



内容

1 引言.....	3
1.1 EVM 版本和组件型号.....	4
2 重要使用说明.....	4
2.1 加电使用说明.....	4
3 系统说明.....	5
3.1 关键特性.....	6
3.2 功能方框图.....	9
3.3 加电/断电过程.....	10
3.3.1 加电过程.....	10
3.3.2 断电过程.....	11
3.4 外设和主要元件描述.....	12
3.4.1 计时.....	12
3.4.1.1 以太网 PHY 时钟.....	12
3.4.1.2 AM64x/AM243x 时钟.....	12
3.4.1.3 PCIe 时钟.....	12
3.4.2 复位.....	13
3.4.3 电源.....	14
3.4.3.1 电源输入.....	14
3.4.3.2 反极性保护.....	14
3.4.3.3 电流监控.....	14
3.4.3.4 电源.....	15
3.4.3.5 电源时序.....	17
3.4.3.6 AM64x/AM243x 电源.....	18
3.4.4 配置.....	19
3.4.4.1 启动模式.....	19
3.4.5 JTAG.....	23
3.4.6 测试自动化.....	26
3.4.7 UART 接口.....	29
3.4.8 存储器接口.....	30
3.4.8.1 DDR4 接口.....	30
3.4.8.2 MMC 接口.....	31
3.4.8.3 OSPI 接口.....	32
3.4.8.4 SPI EEPROM 接口.....	33
3.4.8.5 板 ID EEPROM 接口.....	33
3.4.9 以太网接口.....	34
3.4.9.1 DP83867 PHY 默认配置.....	36
3.4.9.2 DP83869 PHY 默认配置.....	36
3.4.9.3 以太网 LED.....	42
3.4.10 显示接口.....	43
3.4.11 USB 2.0 接口.....	44
3.4.12 PCIe 接口.....	44
3.4.13 高速扩展接口.....	46
3.4.14 CAN 接口.....	54
3.4.15 中断.....	55
3.4.16 ADC 接口.....	55
3.4.17 安全连接器.....	56
3.4.18 SPI 接口.....	56

3.4.19 I2C 接口.....	56
3.4.20 FSI 接口.....	58
4 已知问题和修改.....	59
4.1 问题 1 - CCS 中嵌入式 XDS110 与 AM64x 目标板的连接.....	59
4.2 问题 2 - MDIO 以太网 PHY 通信.....	61
4.3 问题 3 - 热插拔时显示直流筒形插孔警告.....	61
5 参考文献.....	61
6 修订历史记录.....	61

插图清单

图 3-1. AM64x/AM243x GP EVM 板的俯视图.....	5
图 3-2. AM64x/AM243x GP EVM 板的仰视图.....	6
图 3-3. 通用处理器板功能方框图.....	9
图 3-4. AM64x/AM243x GP EVM 时钟树.....	12
图 3-5. AM64x/AM243x GP EVM 的整体复位架构.....	13
图 3-6. 电源正常 LED.....	16
图 3-7. 加电和断点时序.....	17
图 3-8. AM64x/AM243x 内核电源和阵列内核电源选项.....	18
图 3-9. AM64x/AM243x GP EVM 原理图摘录、引导模式选择开关 (SW2、SW3)	20
图 3-10. AM64x/AM243x GP EVP PCB、引导模式选择开关 (SW2、SW3)	20
图 3-11. JTAG 接口.....	24
图 3-12. 测试自动化接头.....	27
图 3-13. AM64x/AM243x UART 接口.....	29
图 3-14. AM64x/AM243x DDR4 接口.....	30
图 3-15. Micro SD 接口.....	31
图 3-16. eMMC 接口.....	32
图 3-17. AM64x/AM243x OSPI 接口.....	33
图 3-18. 以太网接口 - CPSW 域.....	34
图 3-19. 以太网接口 - ICSSG 域.....	35
图 3-20. AM64x/AM243x 以太网接口 - CPSW 以太网自举设置.....	39
图 3-21. AM64x/AM243x 以太网接口 - ICSSG1 以太网自举设置.....	40
图 3-22. AM64x/AM243x 以太网接口 - ICSSG2 以太网自举设置.....	41
图 3-23. AM64x/AM243x GP EVM 以太网接口 LED.....	42
图 3-24. AM64x/AM243x USB 2.0 主机接口.....	44
图 3-25. AM64x/AM243x PCIe 接口.....	45
图 3-26. AM64x/AM243x 高速扩展连接器.....	52
图 3-27. AM64x/AM243x 高速扩展连接器 - 第 1 部分.....	53
图 3-28. AM64x/AM243x 高速扩展连接器 - 第 2 部分.....	54
图 3-29. AM64x/AM243x CAN 接口.....	55
图 3-30. AM64x/AM243x I2C 接口和外设地址分配.....	57
图 3-31. AM64x/AM243x FSI 接口.....	58
图 4-1. AM64x/AM243x GP EVM 修改标签位置.....	59
图 4-2. XDS110 CCS 连接错误对话框.....	60
图 4-3. XDS110 debug reset 实用程序命令行功能.....	60

表格清单

表 1-1. AM64x/AM243x GP EVM PCB 设计版本以及组件型号.....	4
表 3-1. 时钟缓冲器的时钟源选择.....	12
表 3-2. VMAIN LED.....	14
表 3-3. INA 器件 I2C 从器件地址.....	14
表 3-4. 电源测试点.....	15
表 3-5. 电源 LED.....	16
表 3-6. SoC 电源.....	19
表 3-7. BOOTMODE 位.....	20
表 3-8. PLL 参考时钟选择，引导模式 [2:0].....	21
表 3-9. 引导器件选择 BOOTMODE[6:3].....	21
表 3-10. 主引导介质配置 BOOTMODE[9:7].....	22
表 3-11. 备份引导模式选择 BOOTMODE[12:10].....	22

表 3-12. 备用引导介质配置 BOOTMODE[13].....	22
表 3-13. HSE 连接器和 JTAG TRACE 功能的选择.....	23
表 3-14. TI20 引脚连接器 (J25) 引脚排列.....	23
表 3-15. TI 60 引脚连接器 (J33) 引脚排列.....	25
表 3-16. 路由到测试自动化接头的信号列表.....	26
表 3-17. 测试自动化接头 (J38) 引脚排列.....	28
表 3-18. 板 ID 存储器标头信息.....	33
表 3-19. CPSW 以太网 PHY 的默认自举设置.....	37
表 3-20. ICSSG 以太网 PHY 的默认自举设置.....	37
表 3-21. 显示连接器 (J36) 引脚排列.....	43
表 3-22. 用于启用根复合体和端点模式的 PCIe 跳线选项.....	45
表 3-23. PCIe 连接器 (J27) 引脚排列.....	45
表 3-24. 应用连接器上 PRG0 信号的选择.....	47
表 3-25. CAN (J31 和 J32) 引脚排列.....	54
表 3-26. ADC 连接器 (J3) 引脚排列.....	55
表 3-27. 安全连接器引脚排列.....	56
表 3-28. I2C 测试接头 (J5) 引脚排列.....	56
表 3-29. I2C 测试接头 (J4) 引脚排列.....	57
表 3-30. FSI (J5) 连接器引脚排列.....	58
表 4-1. AM64x/AM243x GP EVM 已知问题和修改.....	59

商标

Sitara™ and Code Composer Studio™ are trademarks of Texas Instruments.

Arm® and Cortex® are registered trademarks of Arm Limited.

所有商标均为其各自所有者的财产。

1 引言

AM64x/AM243x GP EVM 是一个独立的测试、开发和评估模块 (EVM)，可使开发人员评估 AM64x/AM243x 的功能并开发适用于各种应用的原型。该 EVM 实现了 Sitara™ AM6442 MPU 或 AM2434 MCU。该 EVM 配备了额外的支持元件，使用户可以利用各种器件接口，包括工业以太网、标准以太网、PCIe、快速串行接口 (FSI) 等，从而轻松创建原型。板载显示利用 AM64x/AM243x 的串行外设接口 (SPI) 端口，除了提供各种 LED 之外，还提供针对本地视觉输出的功能。板载电流测量功能可为功耗敏感型应用监视功耗。随附的 USB 电缆与嵌入式仿真逻辑配套，可以使用标准开发工具 (例如 TI 的 Code Composer Studio™ 软件) 进行仿真和调试。



1.1 EVM 版本和组件型号

下表中列出了各种 AM64x/AM243x GP EVM PCB 设计版本以及组件型号。具体 PCB 版本如 PCB 上的丝印所示。具体组件型号会在另外的贴纸标签标示。

表 1-1. AM64x/AM243x GP EVM PCB 设计版本以及组件型号

PCB 版本	组件型号	版本和组件型号描述
PROC101E2	不适用 (生产单个型号)	第一款原型, 提前发布的 AM64x/AM243x GP EVM 版本。实现 Sitara™ AM6442 MPU。
PROC101A	001	AM64x/AM243x GP EVM 的首个正式版本。实现 Sitara™ AM6442 MPU。
PROC101A	002	AM64x/AM243x GP EVM 的首个正式版本。实现采用 ALV 封装的 Sitara™ AM2434 MCU。

备注

本文档中, 除了明确定义的例外, 图形和其他表格中的 AM6442 和 AM2434 器件是可互换的。采用 ALV 封装的 AM2434 MCU 和 AM6442 MPU 在外形尺寸和引脚排列上兼容, 并且 PCB 已设计为能够适应这两者。

2 重要使用说明

2.1 加电使用说明

CAUTION

为了避免出现较高的浪涌电流并防止对 AM64x/AM243x GP EVM 元件造成损坏, 需要采用相应的 EVM 加电和断点过程。如需了解更多详情, 请参阅[节 3.3](#)。

3 系统说明

以下各节介绍了 AM64x/AM243x GP EVM 设计。Top-down and bottom-up views of the PCB are provided in 图 3-1 和图 3-2 中提供了该 PCB 的俯视图和仰视图，以参考主要 IC 和连接器元件的位置。

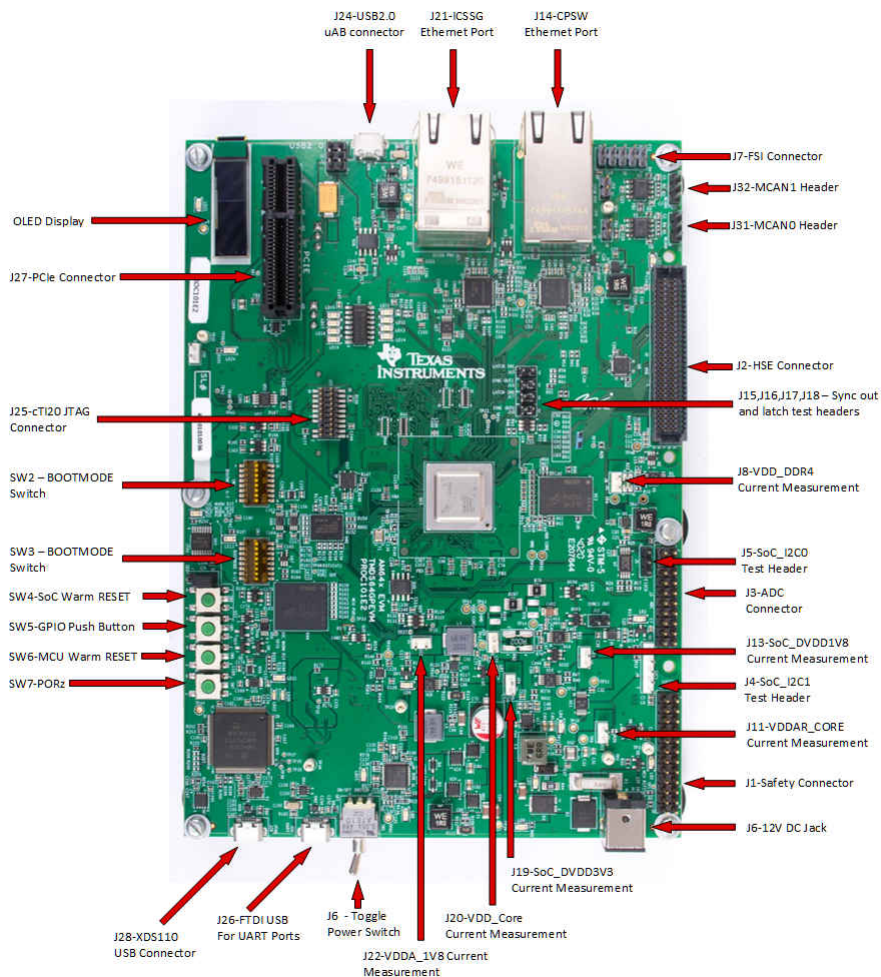


图 3-1. AM64x/AM243x GP EVM 板的俯视图

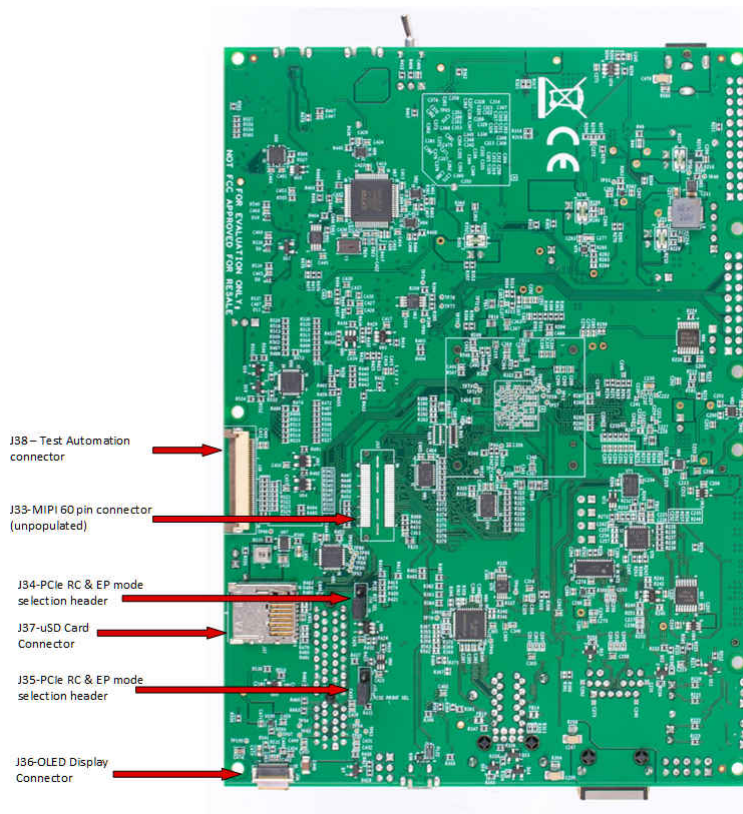


图 3-2. AM64x/AM243x GP EVM 板的仰视图

3.1 关键特性

AM64x 片上系统 (SoC) :

- AM64x 将以下部分合并到了一起：两个支持 TSN 技术的 Sitara 千兆位 PRU-ICSSG 实例，以及最多两个 Arm® Cortex®-A53 内核、最多四个 Cortex-R5F MCU 和一个 Cortex-M4F MCU。

AM243x 微控制器 (MCU) :

- AM243x 将以下部分合并到了一起：两个支持 TSN 技术的 Sitara 千兆位 PRU-ICSSG 实例，以及最多两个 Cortex-R5F MCU 和一个 Cortex-M4F MCU

内存

- 2GB DDR4，支持高达 1600MT/s 的数据速率
- 16GB eMMC 闪存，可支持 HS400 工作速度
- Micro 安全数字 (SD) 卡，提供 UHS-1 支持
- 1Kbit 串行外设接口 (SPI) EEPROM
- 512Mb OSPI EEPROM
- 1Mb 集成电路总线 (I2C) Boot EEPROM

I/O 接口 :

- 一个 CPSW 千兆位以太网端口和两个基于千兆位工业通信子系统 (PRU-ICSS-Gb) 的工业以太网端口与德州仪器 (TI) 千兆位以太网 PHY 配对
- 一个具有 Micro AB 连接器的 USB2.0 接口

扩展总线 :

- 10051922-1410ELF - 14 引脚 FPC 连接器，用于连接 OSD9616P0992-10 显示器
- 高速扩展 (HSE) 连接器，用于连接应用卡
- 2x5 接头 - 67997-410HLF FSI 连接器，用于连接 C2000 EVM

- x4 通道 PCIe 连接器，支持单通道 PCIe 卡

调试：

- XDS110 板载仿真器
- 支持外部仿真器的 20 引脚 JTAG 连接
- 自动在板载和外部仿真器 (优先级较高) 之间进行选择
- 通过 microB USB 连接器连接四端口通用异步接收器/发送器 (UART) 与 USB 电路
- 两个连接到测试接头的 I2C 端口 SoC_I2C0 和 SoC_I2C1，用于对 AM64x 器件进行外设测试
- 4 个按钮：
 - 1 个 SoC 热复位
 - 1 个用户 GPIO
 - 1 个 MCU 热复位
 - 1 个 MCU/SoC PORz RESET

电源：

备注

请确保您使用的直流桶形插孔尺寸适用于您的特定 EVM 版本，因为 E2 至 A 版本对应的尺寸各不相同。通过使用器件型号为 DC PLUG-P1J-P1M 的适配器，可以为版本 A GP EVM 适配 E2 电源。

- 直流输入：12V
- A 版本及更高版本：
 - GP EVM A 版本实现了一个中心为正极的 5.5mm x **2.5mm** x 9.5mm 桶形插孔。
 - 建议的对接连接器 - PJ-080BH。
 - 建议的电源 - GlobTek Inc. RR9LE5000LCPCIMR6B (IEC 320-C6 适配器线单独出售)。
- 版本 E2：
 - GP EVM E2 版本实现了一个中心为正极的 5.5mm x **2.1mm** x 9.5mm 桶形插孔。
 - 建议的对接连接器 - CUI In.PP3-002AH。(建议使用“音叉”型插头，以免造成间歇性连接)
 - 建议的电源 - CUI In.SDI65-12-UD-P5 (适配器线单独出售)。
 - 适配器线示例：
 - CUI In.AC-C7 NA
 - Phihong USA AC15WNA
 - CUI In.AC-C7 UK
- 状态输出：用于指示电源状态的 LED
- 用于电流监控的 INA 器件

合规性：

- 符合 RoHS 标准
- 符合 REACH 标准

3.2 功能方框图

图 3-3 展示了 AM64x/AM243x GP EVM 的功能方框图。

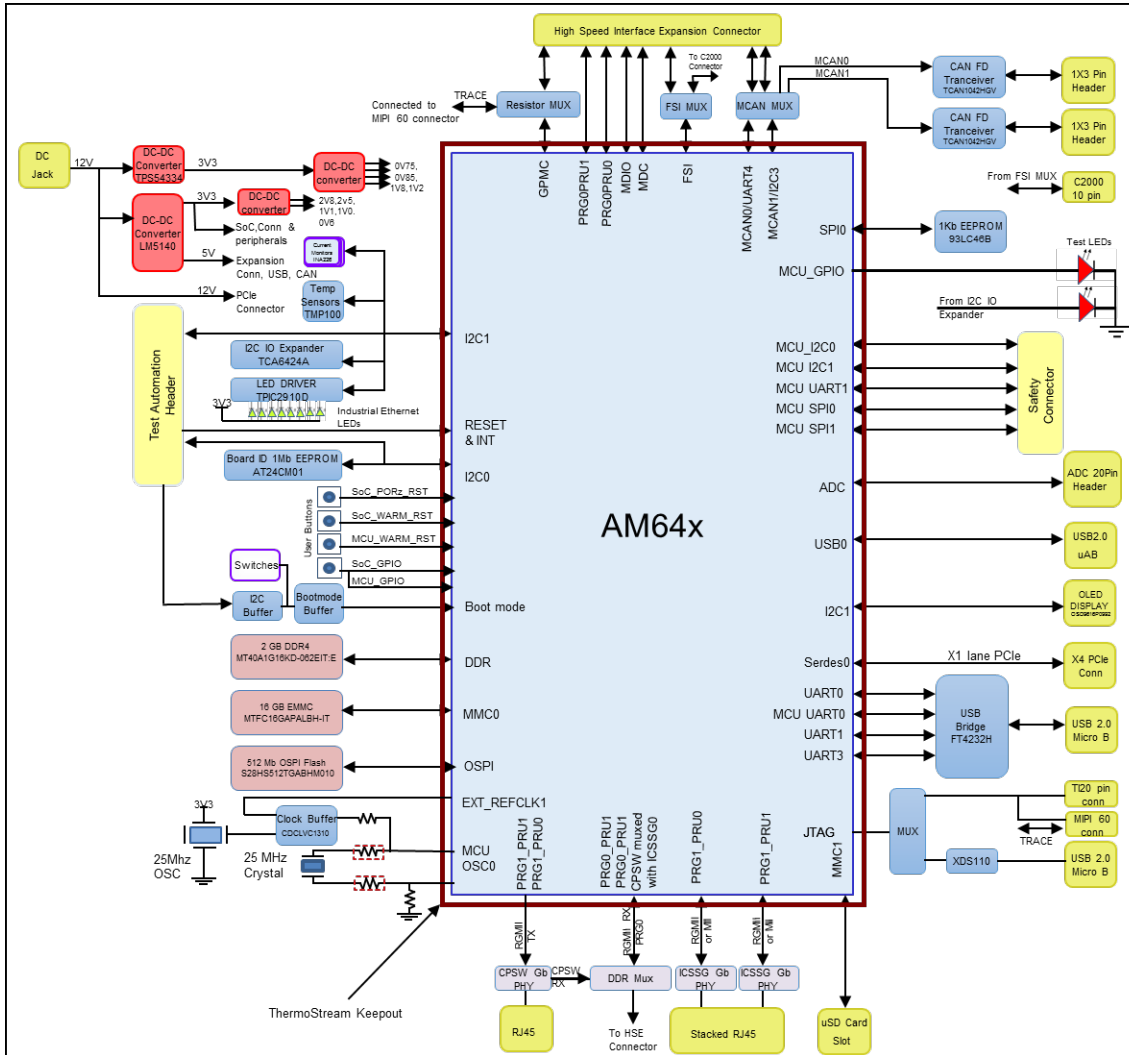


图 3-3. 通用处理器板功能方框图

备注

该方框图与该系统的 AM6442 MPU 和 AM2434 MCU 版本兼容。

3.3 加电/断电过程

EVM 的电源是通过外部交流/直流转换器提供的，该转换器为 J6 电源插孔提供 12V、5A (最大值) 直流电压。

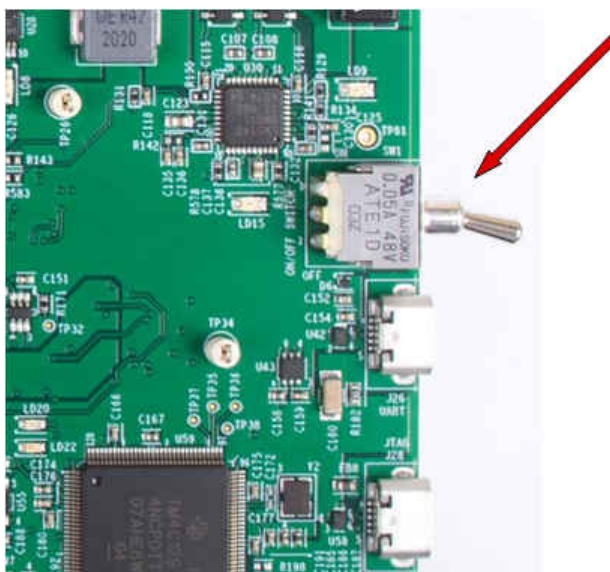
如需 TI 为 EVM 版本推荐的相应交流/直流电源转换器，请参阅 节 3.1 中的“电源”列表。

CAUTION

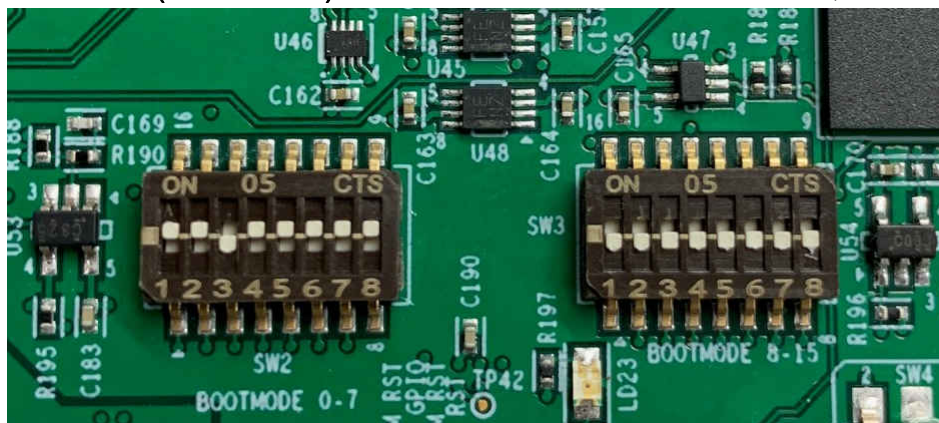
为了避免出现较高的浪涌电流并防止可能对 AM64x/AM243x GP EVM 元件造成损坏，应采用以下 EVM 加电和断电过程。

3.3.1 加电过程

1. 将 EVM 电源开关 (SW1) 置于 OFF 位置，如下图中所示。



2. 将 EVM 引导开关选择器 (SW2、SW3) 置于所选的引导模式。如需了解更多详情，请参阅节 3.4.4.1。



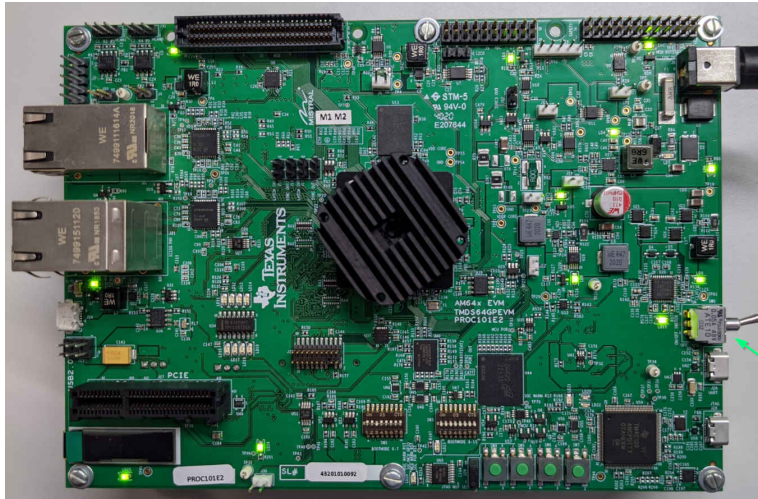
- 将 12V 交流/直流稳压器插头插入 EVM 电源插孔 (J6)，但不要从交流电源为转换器供电。



- 对交流/直流转换器施加交流电。12V 电源 LED (LD6 和 LD12) 应亮起。



- 将 EVM 电源开关 (SW1) 置于 ON 位置，如下图所示。



- 根据上方参考照片检查 LED 显示情况。以下 LED 应该会亮起：
 - LD1、LD2、LD3、LD4、LD6、LD7、LD8、LD9、LD10、LD15、LD24、LD25

备注

如果使用 AM243x GP EVM，则 LD2 不会亮起。

3.3.2 断电过程

- 将 EVM 电源开关 (SW1) 切换至 OFF 位置。
- 从交流/直流转换器断开交流电源。
- 从 EVM 电源插孔 (J6) 拔下直流电源插头。

3.4 外设和主要元件描述

以下各节概述了 AM64x/AM243x GP EVM 上的不同接口和电路。

3.4.1 计时

3.4.1.1 以太网 PHY 时钟

器件型号为 **CDCLVC1310** 的时钟发生器用于驱动以太网 PHY 的 25MHz 时钟。CDCLVC1310 是 1:10 LVCMOS 时钟缓冲器，根据 25MHz 晶体/LVCMOS 参考输入提供十个 25MHz LVCMOS 时钟输出。时钟缓冲器的源可以是 SoC 的 CLKOUT0 引脚或一个 25MHz 振荡器 (**ASFLMB-25.000MHZ-LY-T**)，具体可使用一组电阻器进行选择。此选择可通过时钟缓冲器的选择线路来实现。

1. **IN_SEL0**、**IN_SEL1** = **[00]** 用于选择 CLKOUT0。
2. **IN_SEL0**、**IN_SEL1** = **[01]** 用于选择振荡器输入。这是缺省条件。

单端晶体输入的电容器端接按照特定于器件的数据表提供。

表 3-1. 时钟缓冲器的时钟源选择

IN_SEL1	IN_SEL0	所选时钟	安装	拆除
0	0	来自 SoC 的 EXT_REFCLK	R40、R45	R248、R253
1	0	振荡器输入	R253、R40	R45、R248

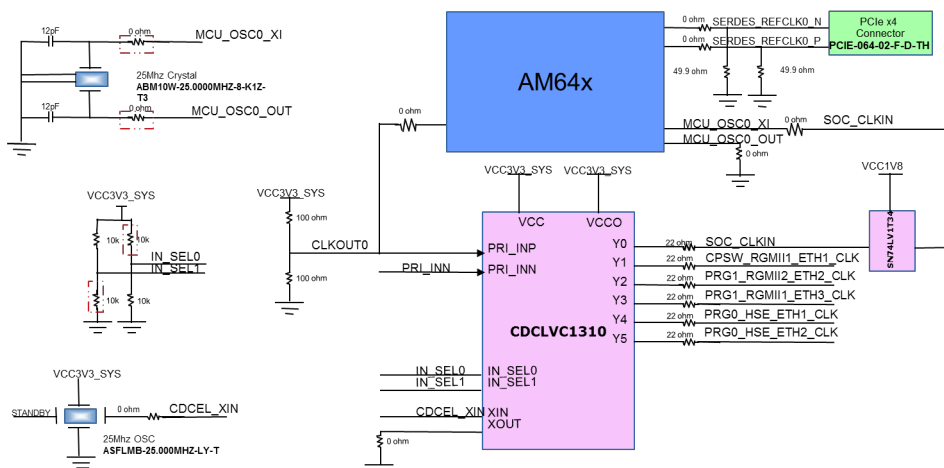


图 3-4. AM64x/AM243x GP EVM 时钟树

备注

红色框中的电阻器是 DNI。

3.4.1.2 AM64x/AM243x 时钟

EVM 上提供了 25MHz 的晶体 (**ABM10W-25.0000MHZ-8-K1Z-T3**) 作为 AM64x/AM243x 器件的参考时钟。另外还提供了缓冲器的可选输出，用于驱动 AM64x/AM243x。SoC 的时钟选择使用电阻器来完成。默认情况下为 SoC 提供 SoC_CLKIN 时钟缓冲器的输出。

3.4.1.3 PCIe 时钟

当处理器配置为下游端口时，SOC 的 PCIe 参考时钟将由 PCIe 槽连接器提供，而在根复合体工作模式下，SoC 的 PCIe 参考时钟 (SERDES0_REFCLK0) 将提供给 PCIe 槽连接器。

3.4.2 复位

AM64x/AM243x 器件具有以下复位信号：

- RESET_REQz 是 MAIN 域的热复位输入。
- RESETSTATz 是 MAIN 域的热复位状态输出。
- PORz_OUT 是 MAIN 域和 MCU 域的加电复位状态输出。
- MCU_PORz 是 MCU 域和 MAIN 域的加电/冷复位输入。
- MCU_RESETh 是 MCU 域的热复位输入。
- MCU_RESETh 是 MCU 域的热复位状态输出。

JTAG 的两个监控器输出和复位会输入与门来生成 PORz 信号。此 PORz、来自安全连接器的 CONN_MCU_PORz，以及来自 PCIe 连接器的 PCIe_MCU_PORz 都会输入另一个与门来生成 MCU_PORz 信号。

该 EVM 上提供了三个按钮开关来对 MCU_PORz、MCU_RESETh 和 RESET_REQz 进行复位。

也可通过测试自动化接头或手动复位开关 SW4 (SoC) 和 SW6 (MCU) 应用热复位。

MCU_PORz 输入可通过开关 SW7 施加。

来自安全连接器的 CONN_MCU_RESETh 和 CONN_MCU_PORz 会分别路由至 MCU_RESETh 和 MCU_PORz，从而为安全连接器提供可创建热复位和冷复位的选项，如图 3-5 中所示。

大多数外设复位均会与来自 SoC 的 RESETSTATz 输出以及 GPIO 控件执行与操作，如图 3-5 中所示。这确保外设复位会置位，直到 SoC 结束复位并允许 AM64x 手动置位外设复位。

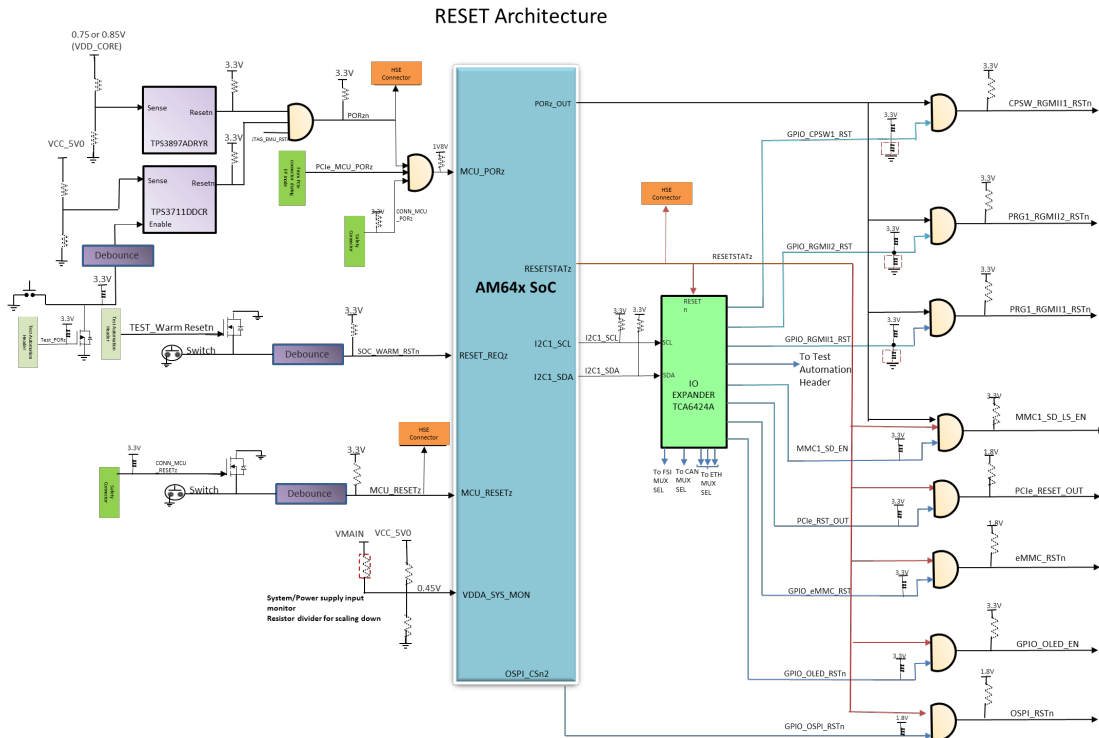


图 3-5. AM64x/AM243x GP EVM 的整体复位架构

3.4.3 电源

3.4.3.1 电源输入

以下各节介绍了为 GP EVM 板供电的配电网络拓扑，可支持元件和参考电压。

AM64x/AM243x GP EVM 板包含一个基于若干分立式电源组件的电源解决方案。电源的初始级将是器件参考为 J6 的桶形插孔连接器的 12V。J6 支持 8A 电流额定值和必要的二极管，以提供反极性保护和电压浪涌保护。EVM 的 12V 输入 (VMAIN) 用于生成 EVM 要求的所有必要电压。

器件参考为 SW1 的 ON/OFF 开关用于开启/关闭 EVM，方法是将其开关连接到 LM5140 的使能引脚，从而允许使用该开关来根据开关位置开启或关闭该电路板。当开关处于接地位置 1-2 时，电路板处于关闭状态，而当开关处于位置 2-3 时，电路板处于开启状态。此外，来自测试自动化接头的 GPIO 也会连接到该开关，通过测试自动化板控制 EVM 的开/关状态。在反极性情况下，故障指示 LED LD5 将处于 ON 状态。LD6 将处于 ON 状态，以指示 VMAIN 电源正常。

备注

开关 SW1 不会关闭 VMAIN。它只是禁用了 LM5140 的 VCC_5V0 输出，而所有电源都是从 LM5140 获得的。

3.4.3.2 反极性保护

具有参考 D3 的肖特基势垒整流器用于提供反极性保护，其平均正向电流 小于或等于 15A，反向电压 VR 小于或等于 45V。LD6 状态指示电源极性。

表 3-2. VMAIN LED

LED	亮起状态	关闭状态
LD5	电源极性反转	电源极性正常
LD6	板通电	板断电

3.4.3.3 电流监控

INA226 电源监控器件用于监控 AM64x/AM243x 处理器各种电源轨的电流和电压。INA226 通过 I2C 接口连接到 AM64x/AM243x。该器件提供了四端子高精度分流电阻器，用于测量负载电流。

表 3-3. INA 器件 I2C 从器件地址

电源	电源网	从器件地址 (IN HEX)	连接到电源轨的分流器的值
VCC_CORE	VDD_CORE	40	2mΩ ±1%
VDD_0V85	VDDAR_CORE	41	10mΩ ± 0.5%
VCC_3V3_SYS	SoC_DVDD3V3	4C	10mΩ ± 0.5%
VCC1V8	SoC_DVDD1V8	4B	10mΩ ± 0.5%
VDDA1V8	VDDA_1V8	4E	10mΩ ± 0.5%
VCC1V2_DDR	VDD_DDR4	46	10mΩ ± 0.5%

3.4.3.4 电源

GP EVM 利用一系列直流/直流转换器为卡上的各种存储器、时钟、SoC 和其他元件提供必要的电压和所需的功率。表 3-5 介绍了 EVM 板上提供的电源正常 LED，使用户能够确认每个电源输出的状态正常。

EVM 板上提供了每个电源输出的测试点，表 3-4 中介绍了这些测试点。

表 3-4. 电源测试点

SI 编号	电源	测试点	电压
正面			
1	VMAIN	TP81	12V
2	VCC_5V0	TP18	5V
3	VCC3V3_PREREG	TP12	3.3V
4	VCC_3V3_SYS	TP44	3.3V
5	VDD_2V5	TP6	2.5V
6	VDD_1V1	TP28	1.1V
7	VDDA1V8	TP29	1.8V
8	VDD_CORE	TP14	0.75V ⁽¹⁾
9	VCC_CORE	TP23	0.75V
10	VDD_0V85	TP8	0.85V
11	VDDAR_CORE	TP10	0.85V
12	VCC1V2_DDR	TP4	1.2V
13	VDD_2V8	TP99	2.8V
14	VCC3V3_TA	TP96	3.3V
15	VDD_1V0	TP56	1V
16	VPP_DDR_2V5	TP47	2.5V
17	VDDR_VTT	TP48	0.6V
18	VCC1V8	TP51	1.8V
19	VPP_1V8	TP52	1.8V

(1) AM243x EVM 应为 0.85V。

表 3-5. 电源 LED

SI 编号	电源	LED REF
SW1 导通之前		
1	VMAIN	LD6
2	VCC3V3_TA	LD24
SW1 导通之后		
3	VCC_5V0	LD15
4	VCC3V3_PREREG	LD4
5	VCC_3V3_SYS	LD9
6	VDD_2V5	LD1
7	VDD_1V1	LD10
8	VDDA1V8	LD8
9	VDD_CORE	LD2
10	VCC_CORE	LD7
11	VDD_2V8	LD25
12	VCC1V2_DDR	LD3

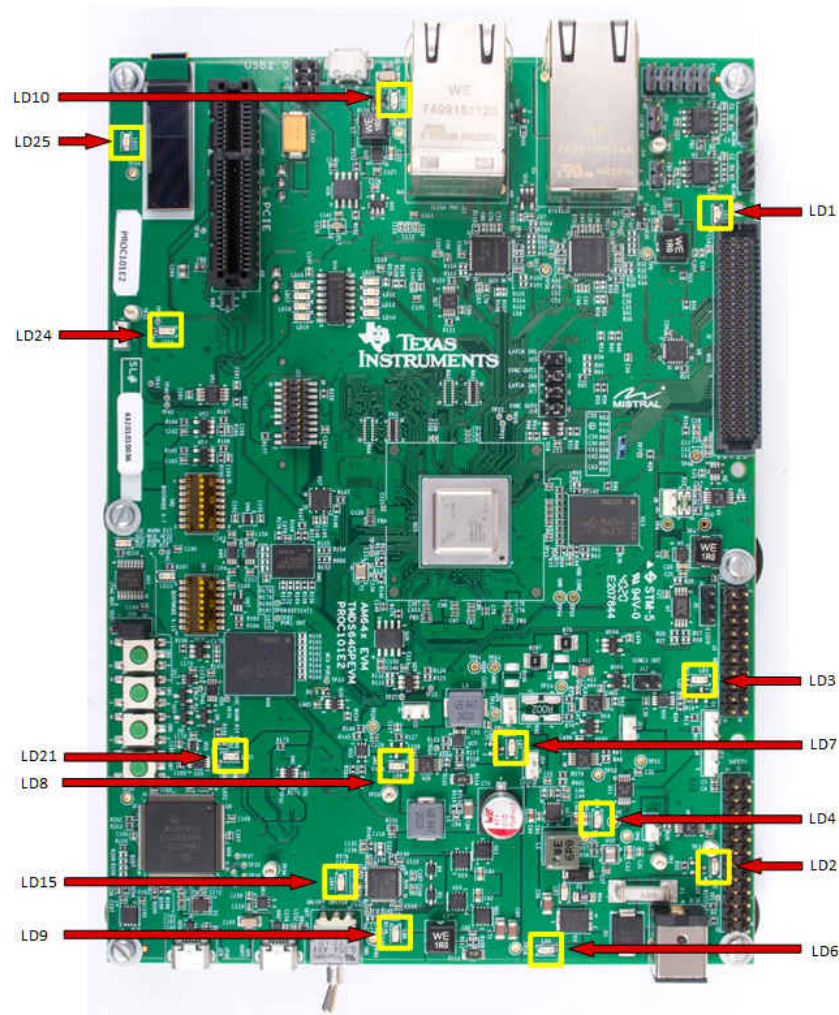


图 3-6. 电源正常 LED

3.4.3.5 电源时序

图 3-7 展示了 EVM 板上所有电源的加电和断电序列。

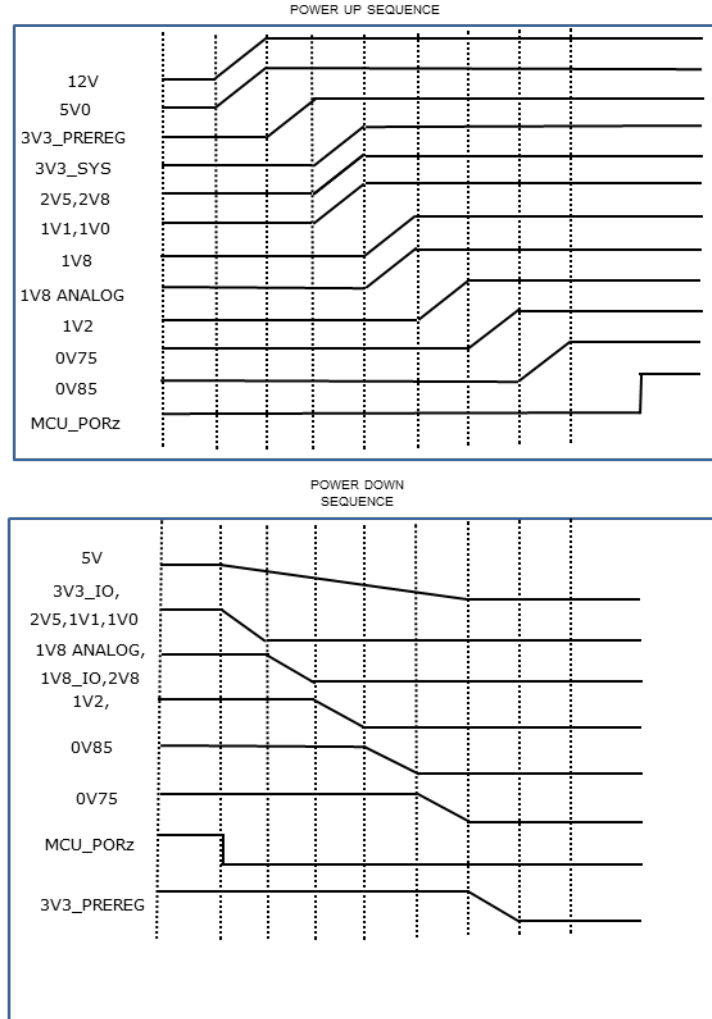


图 3-7. 加电和断点时序

3.4.3.6 AM64x/AM243x 电源

AM64x/AM243x 的内核电压可由 0.75V、0.8V 或 0.85V 电压源提供，具体取决于电源优化要求。当 SoC 内核电压 (VDD_CORE)、SoC 阵列内核电压 (VDDR_CORE) 以及其他阵列内核电压 (VDDA_OP85_SERDES0_C、VDDA_OP85_SERDES0、VDDA_OP85_USB0、VDD_DLL_MMC0、VDD_MMC0) 为 0.85V 时，建议使用单电压源。如果要求 SoC 内核电压为 0.75V 或 0.8V，并且要求 SoC 阵列内核电压以及其他阵列内核电压为 0.85V，那么需要分别采用单独的电压源来提供 SoC 内核电压和 SoC 阵列内核电压。

此 EVM 可以进行配置以为 SoC 内核电压、SOC 阵列内核电压和其他阵列内核电压提供单个电压源或不同的电压源，具体取决于相应要求。这可以通过放置电阻器来配置，如图 3-8 中所述。

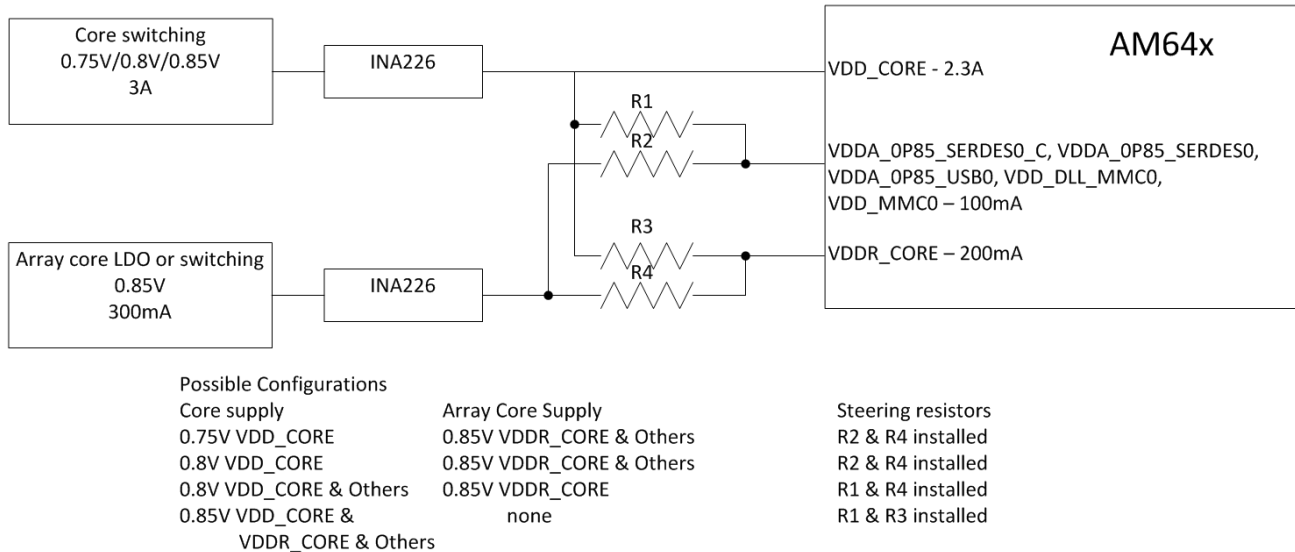


图 3-8. AM64x/AM243x 内核电源和阵列内核电源选项

备注

- PROC101x-001 BOM 型号采用 AM6442 并需要为 VDD_CORE 提供 0.75V 电压源，而为 VDDR_CORE 提供 0.85V 电压源。在此型号中，默认会安装 R2 和 R4，并且将 VDD_CORE 电源 (U25) 设置为采用 0.75V 工作。
- PROC101x-002 BOM 型号采用 AM2434 并需要为 VDD_CORE 和 VDDR_CORE 提供 0.85V。在此型号中，默认会安装 R1 和 R3，并且将 VDD_CORE 电源 (U25) 设置为采用 0.85V 工作。

SoC 具有多个不同的 IO 组。每个 IO 组由特定电源供电，如表 3-6 所示。

表 3-6. SoC 电源

SI 编号	电源	SoC 电源轨	IO 电源组	电源
1	VDDA_CORE	VDDA_0P85_SERDES0	SERDES0	0.85
		VDDA_0P85_SERDES0_C		0.85
		VDDA_0P85_USB0	USB0	0.85
		VDD_MMC0	MMC0	0.85
2	SoC_DVDD3V3	VDDS_MCU	MCU	3.3
		VDDA_3P3_USB0	USB0	3.3
		VDDSHV0	概述	3.3
		VDDSHV1	PRG0	3.3
		VDDSHV2	PRG1	3.3
		VDDSHV3	组策略管理控制台 (GPMC)	3.3
3	VDDA_1V8_MCU	VDDA_MCU	MCU	1.8
4	VDDA_MCU_ADC	VDDA_ADC	ADC0	1.8
5	VDDA_1V8_SERDES	VDDA_1P8_SERDES0	SERDES0	1.8
6	VDDA_1V8_USB0	VDDA_1P8_USB0	USB0	1.8
7	VDDA_1V8	VDDS_OSC	OSC0	1.8
		VDDA_TEMP_0/1		1.8
		VDDA_PLL_0/1/2		1.8
8	VDD_DDR4	VDDS_DDR	DDR0	1.2
		VDDS_DDR_C		1.2
9	SOC_DVDD1V8	VDDSHV4	闪存	1.8
		VDDS_MMC0	MMC0	1.8
10	VDDSHV_SD_IO	VDDSHV5	MMC1	1.8

3.4.4 配置

3.4.4.1 启动模式

该 EVM 的引导模式由两组开关 **SW2** 和 **SW3** 定义，或由连接到测试自动化连接器 (**J38**) 的 I2C 缓冲器 (**U96**) 定义。所有引导模式引脚都具有弱下拉电阻器和能够连接到强上拉电阻器的开关。开关设置为“ON”时对应于逻辑“高”电平，而设置为“OFF”时则对应于逻辑“低”电平。

有关 AM64x SoC 所支持全部引导模式的全面描述，请参阅 [AM64x Sitara™ 处理器数据手册](#)和 [AM64x 处理器器件版本 1.0 德州仪器 \(TI\) 产品系列技术参考手册](#)。

EVM 支持以下引导模式 (可能会发生变更)：

1. OSPI
2. MMC1 - SD 卡
3. MMC0 - eMMC 已安装
4. USB - 使用大容量存储器并通过主机模式引导。采用 FAT16/32 的 USB 2.0 大容量存储设备 (拇指驱动器)
5. USB - 器件引导 DFU
6. UART
7. 无引导

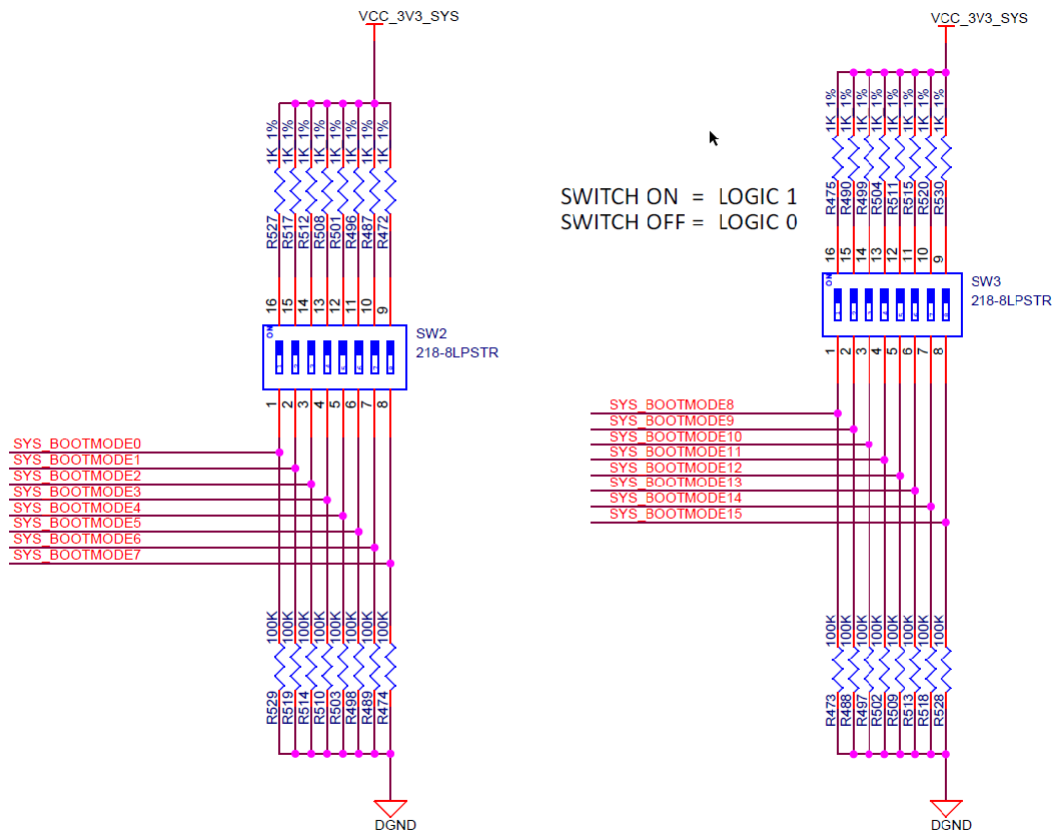


图 3-9. AM64x/AM243x GP EVM 原理图摘录、引导模式选择开关 (SW2、SW3)

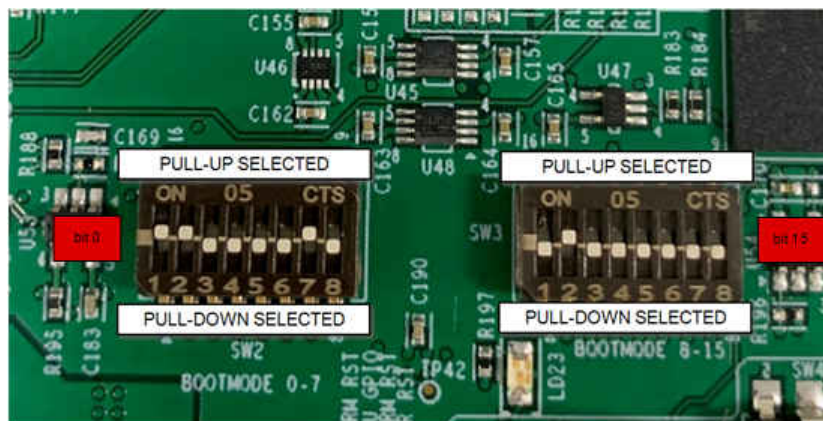


图 3-10. AM64x/AM243x GP EVP PCB、引导模式选择开关 (SW2、SW3)

BOOTMODE 引脚提供了在器件通电之前选择引导模式的方式。这些方式分为以下几类：

备注

在开关指令中，以下位模式与表格中顺序相反。

表 3-7. BOOTMODE 位

位 15	位 14	位 13	位 12	位 11	位 10	位 9	位 8	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
RSVD	RSVD	备份引导模式配置	备份引导模式			主引导模式配置			主引导模式			PLL Config			

BOOTMODE[2:0] - 表示 PLL 配置的系统时钟频率。默认情况下，这些位设为 25MHz。

表 3-8. PLL 参考时钟选择，引导模式 [2:0]

SW2.3	SW2.2	SW2.1	PLL REF CLK (MHz)
关闭	关闭	关闭	19.2
关闭	关闭	开启	20
关闭	开启	关闭	24
关闭	开启	开启	25
开启	关闭	关闭	26
开启	关闭	开启	27
开启	开启	关闭	RSVD
开启	开启	开启	RSVD

BOOTMODE[6:3] - 提供主引导模式配置，在 POR 之后选择请求的引导模式，即要从中引导的外设/存储器。

表 3-9. 引导器件选择 BOOTMODE[6:3]

SW2.7	SW2.6	SW2.5	SW2.4	所选的主引导器件
关闭	关闭	关闭	关闭	RSVD
关闭	关闭	关闭	开启	OSPI
关闭	关闭	开启	关闭	QSPI
关闭	关闭	开启	开启	SPI
关闭	开启	关闭	关闭	RSVD
关闭	开启	关闭	开启	RSVD
关闭	开启	开启	关闭	I2C
关闭	开启	开启	开启	UART
开启	关闭	关闭	关闭	MMC/SD 卡
开启	关闭	关闭	开启	eMMC
开启	关闭	开启	关闭	USB
开启	关闭	开启	开启	GPMC NAND
开启	开启	关闭	关闭	GPMC NOR
开启	开启	关闭	开启	PCIe
开启	开启	开启	关闭	xSPI
开启	开启	开启	开启	无引导/开发引导

BOOTMODE[9:7] - 这些引脚提供可选设置，与所选主引导器件配合使用。有关更多详细信息，请参阅特定于器件的 TRM。

表 3-10. 主引导介质配置 BOOTMODE[9:7]

SW3.2	SW3.1	SW2.8	主引导器件
RSVD	RSVD	RSVD	RSVD
RSVD	lclk	Csel	OSPI
RSVD	lclk	Csel	QSPI
RSVD	模式	Csel	SPI
RSVD	RSVD	RSVD	RSVD
RSVD	RSVD	RSVD	RSVD
总线复位	不用考虑	Addr	I2C
RSVD	RSVD	RSVD	UART
端口	RSVD	Fs/raw	MMC/SD 卡
RSVD	RSVD	RSVD	eMMC
内核电压	模式	通道交换	USB
RSVD	RSVD	RSVD	GPMC NAND
RSVD	RSVD	RSVD	GPMC NOR
RSVD	RSVD	RSVD	PCIe
SFDP	读取命令	模式	xSPI
RSVD	RSVD	RSVD	无引导/开发引导

BOOTMODE[12:10] - 选择备份引导模式，即主引导器件出现故障时，要从中引导的外设/存储器。

表 3-11. 备份引导模式选择 BOOTMODE[12:10]

SW3.2	SW3.1	SW2.8	所选的备份引导器件
关闭	关闭	关闭	无（无备用模式）
关闭	关闭	开启	USB
关闭	开启	关闭	RSVD
关闭	开启	开启	UART
开启	关闭	关闭	RSVD
开启	关闭	开启	MMC/SD
开启	开启	关闭	SPI
开启	开启	开启	I2C

BOOTMODE[13] - 此类引脚提供可选设置，与备用引导器件配合使用。有关位详情的更多信息，请参阅特定于器件的 TRM。设置为 on 时，开关 SW3.6 设置为 1，而设置为 off，则设置为 0。

表 3-12. 备用引导介质配置 BOOTMODE[13]

SW3.6	引导器件
RSVD	无
模式	USB
RSVD	RSVD
RSVD	UART
RSVD	RSVD
端口	MMC/SD
RSVD	SPI
RSVD	I2C

BOOTMODE[14:15] - 保留

3.4.5 JTAG

GP EVM 包含通过 micro B 连接器 J28 连接的 XDS110 级嵌入式 JTAG 仿真。它还提供可选的 TI20 引脚 (J25) 连接器来支持外部 JTAG 仿真。当连接外部仿真器时，内部仿真电路将被禁用。

该设计包含 MIPI60 60 引脚 (J33) 连接器的占用空间，该连接器具有用于 JTAG 和跟踪功能的连接端。跟踪引脚与 GPMC 信号进行多路复用，而该信号默认连接到处理器板上的 HSE 连接器。电阻器网络用于将这些信号引向 HSE 连接器或 MIPI60 连接器。交付时未安装 MIPI60。

该设计提供了寄存器选项来将这些信号连接到 HSE 或 Trace 连接器，如表 3-13 中所述。

表 3-13 和表 3-15 中分别显示了 TI20 引脚连接器和 MIPI60 引脚连接器的引脚排列。

表 3-13. HSE 连接器和 JTAG TRACE 功能的选择

所选信号	安装	拆除
HSE 连接器 (默认)	RA1	RA2
	RA3	RA4
	RA5	RA6
	R390	R391
	R393	R392
至 J33 的 JTAG 跟踪信号	RA2	RA1
	RA4	RA3
	RA6	RA5
	R391	R390
	R392	R393

表 3-14. TI20 引脚连接器 (J25) 引脚排列

引脚编号	信号	引脚编号	信号
1	JTAG_CTI_TMS	11	JTAG_CTI_TCK
2	JTAG_TRSTN	12	DGND
3	JTAG_CTI_TDI	13	JTAG_EMU0
4	JTAG_TDIS	14	JTAG_EMU1
5	VCC_3V3_SYS	15	JTAG_EMU_RSTN
6	NC	16	DGND
7	JTAG_TDO	17	NC
8	SEL_XDS110_INV	18	NC
9	JTAG_CTI_RTCK	19	NC
10	DGND	20	DGND

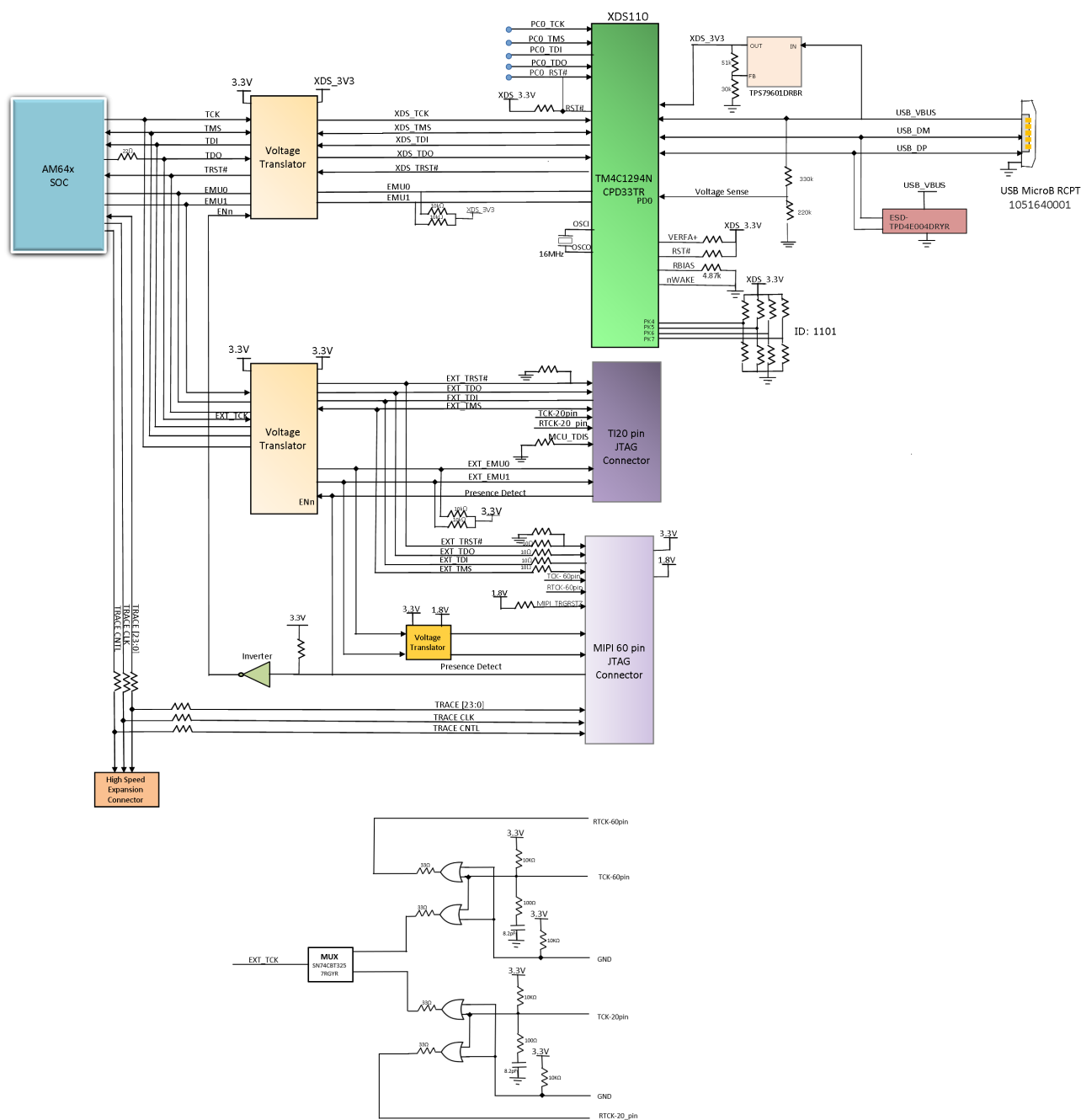


图 3-11. JTAG 接口

表 3-15. TI 60 引脚连接器 (J33) 引脚排列

引脚编号	信号	引脚编号	信号
1	VCC3V3_R	31	MIPI_TRC_DAT06
2	MIPI_TMS_R	32	NC
3	JTAG_MIPI_TCK	33	MIPI_TRC_DAT07
4	MIPI_TDO_R	34	NC
5	MIPI_TDI_R	35	MIPI_TRC_DAT08
6	MIPI_EMU_RSTn	36	NC
7	MIPI_RTCK	37	MIPI_TRC_DAT09
8	MIPI_TRST#_R	38	JTAG_MIPI_EMU0
9	NC	39	MIPI_TRC_DAT10
10	NC	40	JTAG_MIPI_EMU1
11	NC	41	MIPI_TRC_DAT11
12	VCC_3V3_MIPI	42	NC
13	MIPI_TRC_CLK	43	MIPI_TRC_DAT12
14	NC	44	NC
15	DGND	45	MIPI_TRC_DAT13
16	DGND	46	NC
17	MIPI_TRC_CTL	47	MIPI_TRC_DAT14
18	MIPI_TRC_DAT19	48	NC
19	MIPI_TRC_DAT00	49	MIPI_TRC_DAT15
20	MIPI_TRC_DAT20	50	NC
21	MIPI_TRC_DAT01	51	MIPI_TRC_DAT16
22	MIPI_TRC_DAT21	52	NC
23	MIPI_TRC_DAT02	53	MIPI_TRC_DAT17
24	MIPI_TRC_DAT22	54	NC
25	MIPI_TRC_DAT03	55	MIPI_TRC_DAT18
26	MIPI_TRC_DAT23	56	NC
27	MIPI_TRC_DAT04	57	DGND
28	NC	58	SEL_XDS100_INV
29	MIPI_TRC_DAT05	59	NC
30	NC	60	NC

3.4.6 测试自动化

该电路板提供了测试自动化接头 J38，以便使用外部控制器来控制加电/断电、引导模式、复位功能和电流测量，从而支持自动化测试。测试自动化接头包含四个 GPIO 和两个 I2C 接口。表 3-16 中显示了基本控制。

表 3-16. 路由到测试自动化接头的信号列表

信号	信号类型	功能
POWER_DOWN	GPIO	指示 EVM 将所有电路断电
POR	GPIO	创建一个传到 AM64x SoC 的 PORz
WARM_RESET	GPIO	创建一个传到 AM64x SoC 的 RESETz
GPIO1	GPIO	用于与 AM64x SoC 进行通信的 GPIO
GPIO2	GPIO	连接到 I2C IO 扩展器
GPIO3	GPIO	用于启用 BOOTMODE 缓冲器
GPIO4	GPIO	用于复位引导模式 IO 扩展器
I2C0	I2C	与引导模式 I2C 缓冲器进行通信
I2C2	I2C	与 INA226 电流测量器件进行通信

测试自动化接头的其中一个 I2C 接口连接到 I2C IO 扩展器，可驱动处理器的引导模式引脚。

备注

引导模式选择开关应处于 OFF 状态，而 GPIO3 应设置为逻辑低电平才能启用此模式。

另一个 I2C 接口连接到 SOC 中 I2C1 端口上的电流测量器件和温度感应器件。

德州仪器 (TI) 使用测试自动化连接器来控制软件回归测试和比较功率测量。提供该连接器是为了让客户能够开发自有客户应用测试和功率测量。

备注

功率测量不能代替 AM64x/AM243x 功耗估算工具，也不应用于设计电源解决方案。

根据硅工艺和具体环境，功率测量会有所不同，并且测量仅用于与在相同 EVM 上进行的其他测量进行比较。

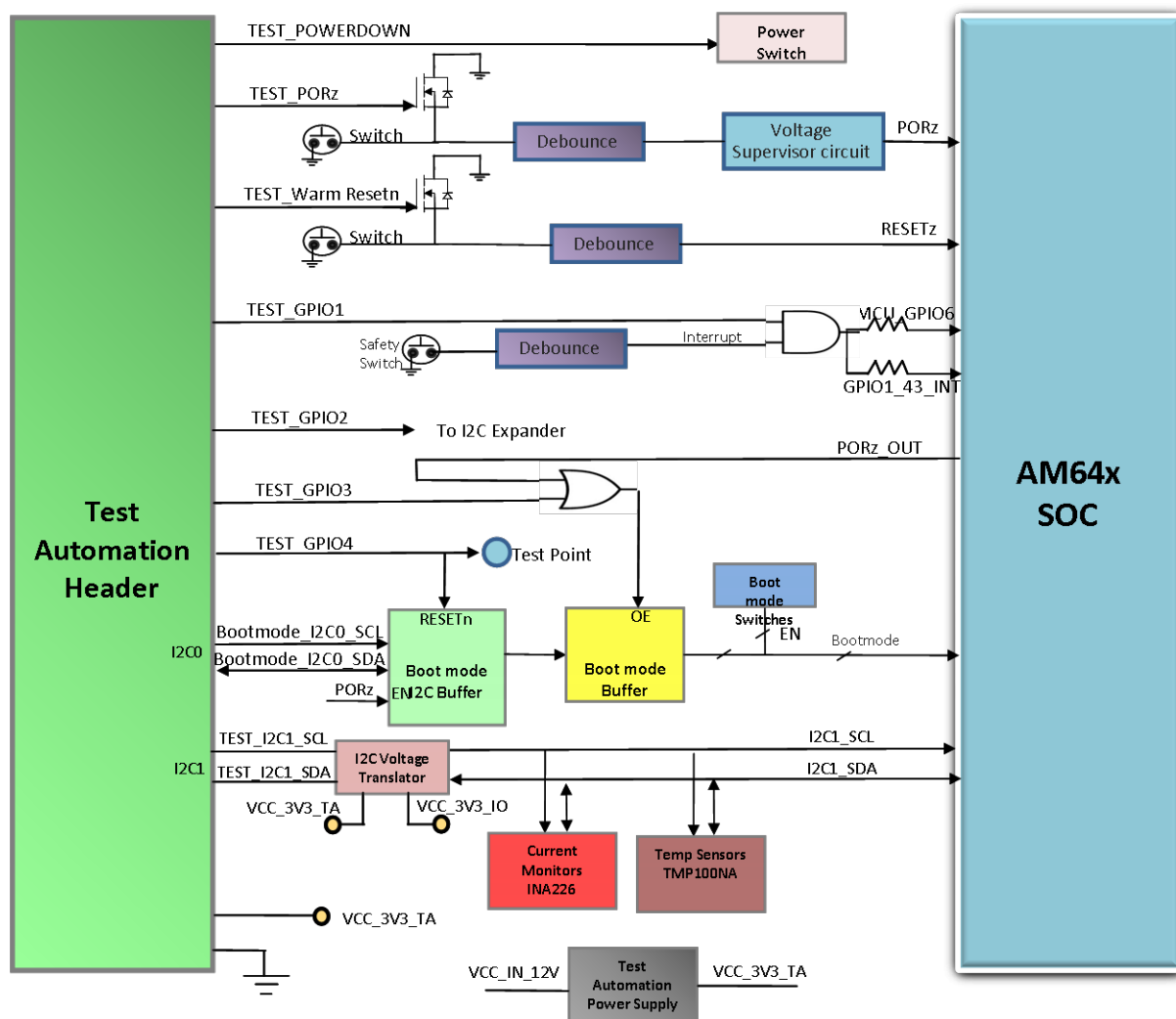


图 3-12. 测试自动化接头

表 3-17. 测试自动化接头 (J38) 引脚排列

引脚编号	信号	IO 方向 (至 CP 板)
1	VCC3V3_1	电源 (输出)
2	VCC3V3_1	电源 (输出)
3	VCC3V3_1	电源 (输出)
4	NC	不可用
5	NC	不可用
6	NC	不可用
7	DGND	接地
8	NC	不适用
9	NC	不适用
10	NC	不适用
11	NC	不适用
12	NC	不适用
13	NC	不适用
14	NC	不适用
15	NC	不适用
16	DGND	接地
17	NC	不适用
18	NC	不适用
19	NC	不适用
20	NC	不适用
21	NC	不适用
22	NC	不适用
23	NC	不适用
24	NC	不适用
25	DGND	接地
26	TEST_POWERDOWN	输入
27	TEST_PORz	输入
28	TEST_WARMRESETn	输入
29	NC	不适用
30	TEST_GPIO1	双向
31	TEST_GPIO2	双向
32	TEST_GPIO3	输入
33	TEST_GPIO4	输入
34	DGND	接地
35	NC	不适用
36	SOC_I2C1_SCL	双向
37	BOOTMODE_I2C_SCL	双向
38	SOC_I2C1_SDA	双向
39	BOOTMODE_I2C_SDA	双向
40	DGND	接地
41	DGND	接地
42	DGND	接地

3.4.7 UART 接口

SoC 的四个 UART 端口与 FT4232H 相连以实现 UART 转 USB 功能，并端接在 Micro B 连接器 (J26) 上。当使用提供的 USB 电缆将 EVM 连接到主机时，主机能够建立一个可与任何终端仿真应用程序一同使用的虚拟 Com 端口。FT4232H 由总线供电。可从 <https://www.ftdichip.com/Products/ICs/FT4232H.htm> 获取 FT4232H 的虚拟 Com 端口驱动程序。

FT_Prog 具有三种工作模式：空闲模式、编程模式和编辑模式。FT_Prog 编程参数可以保存在被称为 EEPROM 模板的文件中。定义之后，这些 EEPROM 模板可由 FT_Prog 加载并用于对 EEPROM 进行编程。

- 空闲模式是该程序启动时的初始工作模式。
- 编辑模式用于编辑 EEPROM 模板的设置
- 编程模式用于编程和擦除器件 EEPROM。

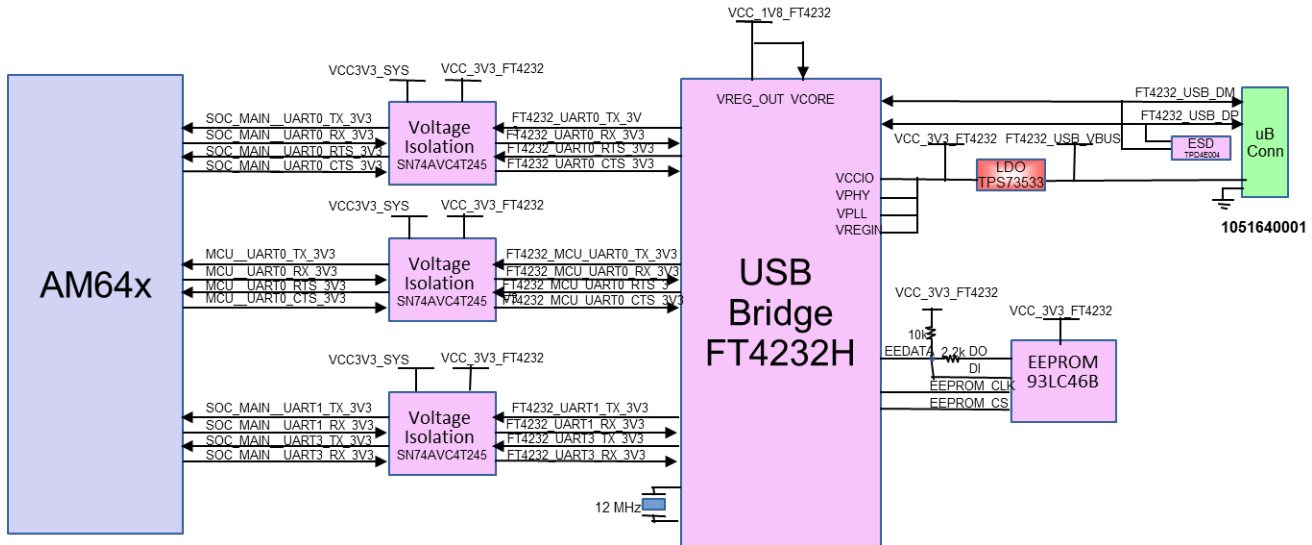


图 3-13. AM64x/AM243x UART 接口

3.4.8 存储器接口

3.4.8.1 DDR4 接口

该 GP EVM 具有 2GB、16 位宽 DDR4 存储器，运行速度可高达 1600MT/s。这里使用的是 Micron 的 MT40A1G16KD-062E:E。还使用了两个 x8 8Gb Micron 裸片构成一个 x16 存储器。该 DDR 存储器采用板载安装形式（单个芯片）。DDR4 器件将与 VTT 终端进行点对点的布局和布线。该 DDR4 采用 1.2V 电压工作，因此可降低功率需求。

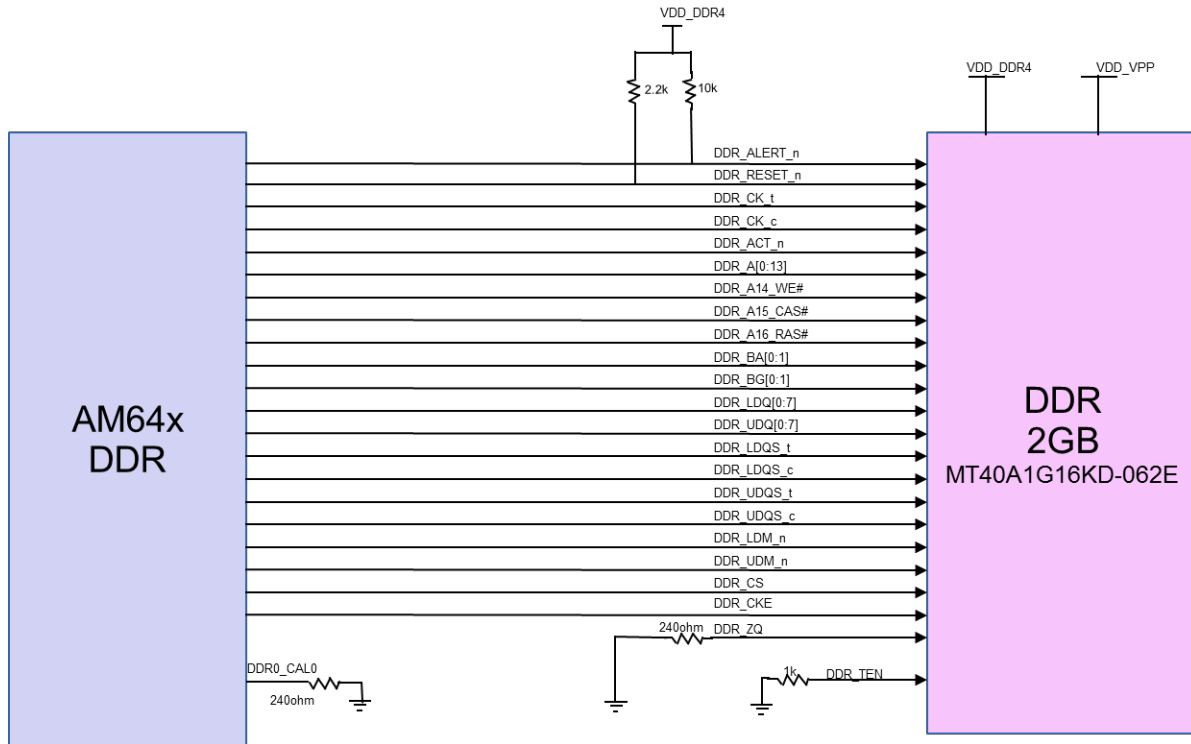


图 3-14. AM64x/AM243x DDR4 接口

3.4.8.2 MMC 接口

AM64x/AM243x 处理器提供了两个 MMC 接口。一个 MMC 接口连接到 eMMC 闪存，而另一个接口用于 micro SD 卡接口。

3.4.8.2.1 Micro SD 接口

该处理器板提供了一个 uSD 卡接口，连接到 AM64x SoC 的 MMC1 端口。uSD 卡接口支持 UHS1 操作，包括采用 1.8V 和 3.3V IO 电平操作。AM64x SoC 包含一个电路以根据与 uSD 卡协商的 IO 电平生成 uSD 电压。对于高速卡，SOC 的 ROM 代码会尝试找到卡和控制器能够支持并可转换到 1.8V 的最快速度。SoC 的内部 SDIO LDO 输出通过 CAP_VDDSHV_SDLDO 引脚提供。CAP_VDDSHV_SDLDO 连接到 SD 信号的 IO 电压和 SOC 的 VDDSHV_MMC1 电源引脚。

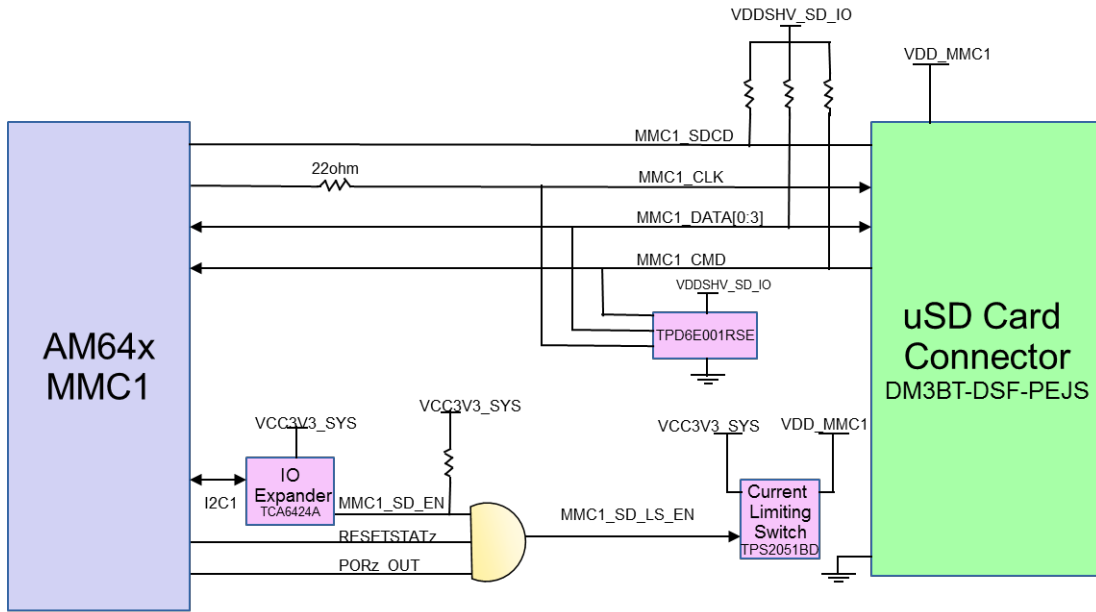


图 3-15. Micro SD 接口

3.4.8.2.2 eMMC 接口

处理器卡支持 eMMC 闪存 (器件型号 Micron MTFC16GAPALBH-IT)，该闪存连接到 AM64x 处理器的 MMC0 端口。该闪存连接到 MMC0 接口的 8 个位，支持高达 200MHz 的 HS400 双倍数据速率。

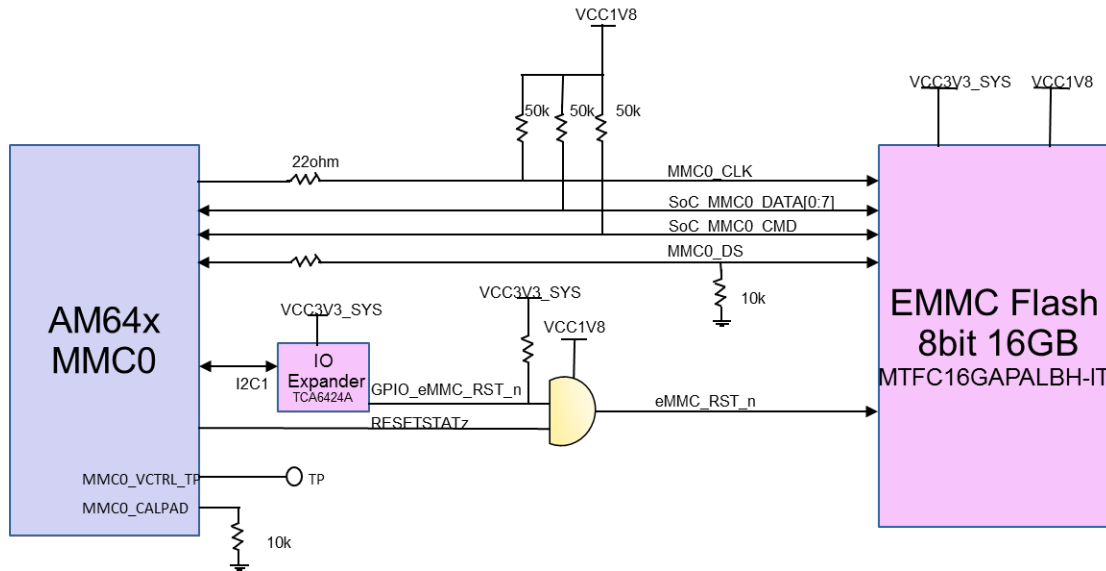


图 3-16. eMMC 接口

3.4.8.3 OSPI 接口

GP EVM 包含来自 Cypress 且器件型号为 S28HS512TGABHM010 的 512Mb OSPI 存储器器件，可连接到 AM64x/AM243x SoC 的 OSPI0 接口。OSPI 接口支持单倍和双倍数据速率，存储器速度高达 200MBps SDR 和 400MBps DDR (200MHz 时钟速度)。

两个信号路由到 OSPI0_DQS：

1. 来自存储器器件的 OSPI0_DQS
2. 来自 SoC 的 OSPI0_LBCLK

若要路由来自存储器器件的 DQS：安装 R601 和 R592 以及 DNI R600 和 R591。

若要路由来自 SoC 的 OSPI0_LBCLK：安装 R600 和 R591 以及 DNI R601 和 R592

备注

更多相关信息，请参阅 [AM64x Sitara™ 处理器数据手册](#) 中的 OSPI 和 QSPI 电路板设计及布线指南部分。

OSPI 和 QSPI 实施：为 DATA[7:0]、DQS、INT# 和 CLK 信号提供 0Ω 电阻器。在 DATA[7:0] 上提供了安装外部上拉电阻器的空间，以防止总线悬空。也为 OSPI 存储器提供了空间，以供安装 QSPI 存储器或 OSPI 存储器。在需要 QSPI 闪存的版本中应使用 Cypress 的 S25FL256SABHI200。如果安装了 QSPI 闪存，则会移除在引脚 OSPI_DATA[4:7] 上使用的 0Ω 电阻器。

备注

适用于 QSPI 配置

从以下位置移除 0E 电阻器

1. OSPI_DQ4 至 OSPI_DQ7 网 (R432、R441、R442、R443)
2. OSPI_INTn (R158)

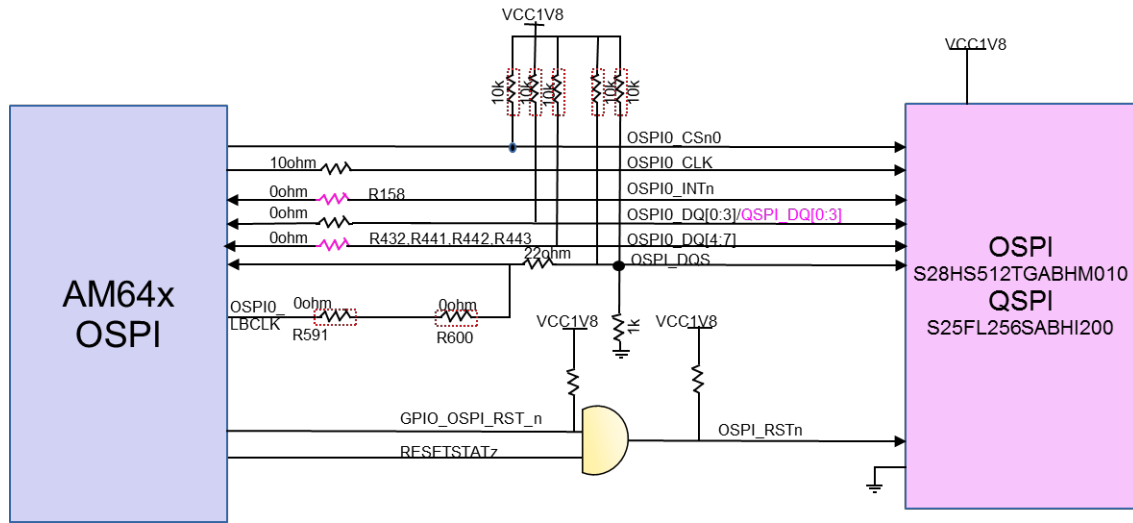


图 3-17. AM64x/AM243x OSPI 接口

3.4.8.4 SPI EEPROM 接口

AM64x/AM243x 处理器的 SPI0 端口上连接了一个 1Kbit SPI EEPROM (93LC46B)。它用于测试目的。

3.4.8.5 板 ID EEPROM 接口

GP EVM 包含一个板载 EEPROM (U7)。此 EEPROM 保存各种标识信息，包括 EVM 版本和序列号。另外，此存储器中还保存 PHY MAC ID 以及其他关于 EVM 的静态信息。

板 ID 存储器应配置为响应地址 0x50 和 0x51，并使用此卡的标头说明和 DDR 信息进行编程。这里使用 Microchip 的 AT24CM01，该器件将连接到 EEPROM SOC12C 地址的 I2C0 端口，并可通过将 A0、A1 和 A2 引脚驱动至低电平来进行修改。使用每个板的标识信息对可寻址 EEPROM 存储器的前 259 个字节进行了预编程。剩余的 32509 个字节可供用户进行数据或代码存储。

表 3-18. 板 ID 存储器标头信息

标头	字段名称	大小 (字节)	注释
EE3355AA	MAGIC	4	幻数
	TYPE	1	定长可变位置板 ID 标头
		2	有效载荷大小
BRD_INFO	TYPE	1	有效载荷类型
	长度	2	下一个标头的偏移量
	Board_Name	16	板的名称
	Design_rev	2	设计的版本号
	PROC_Nbr	4	PROC 号
	变体	2	设计变体号
	PCB_Rev	2	PCB 的版本号
	SCHBOM_Rev	2	原理图的版本号
	SWR_Rev	2	第一个软件版本号
	VendorID	2	
	Build_Week	2	生产年份的第几周
	Build_Year	2	生产年份
	BoardID	6	
	Serial_Nbr	4	递增板编号

表 3-18. 板 ID 存储器标头信息 (continued)

标头	字段名称	大小 (字节)	注释
DDR_INFO	类型	1	
	长度	2	下一个标头的偏移量
	DDR control	2	DDR 控制字
MAC_ADDR	类型	1	有效载荷类型
	长度	2	有效载荷大小
	MAC control	2	MAC 标头控制字
	MAC_adrs	192	AM64x/AM243x PRG2 的 MAC 地址
END_LIST	类型	1	结尾标记

3.4.9 以太网接口

该 EVM 上支持三个以太网 PHY，这些 PHY 集成磁性元件并端接至 RJ45 连接器。

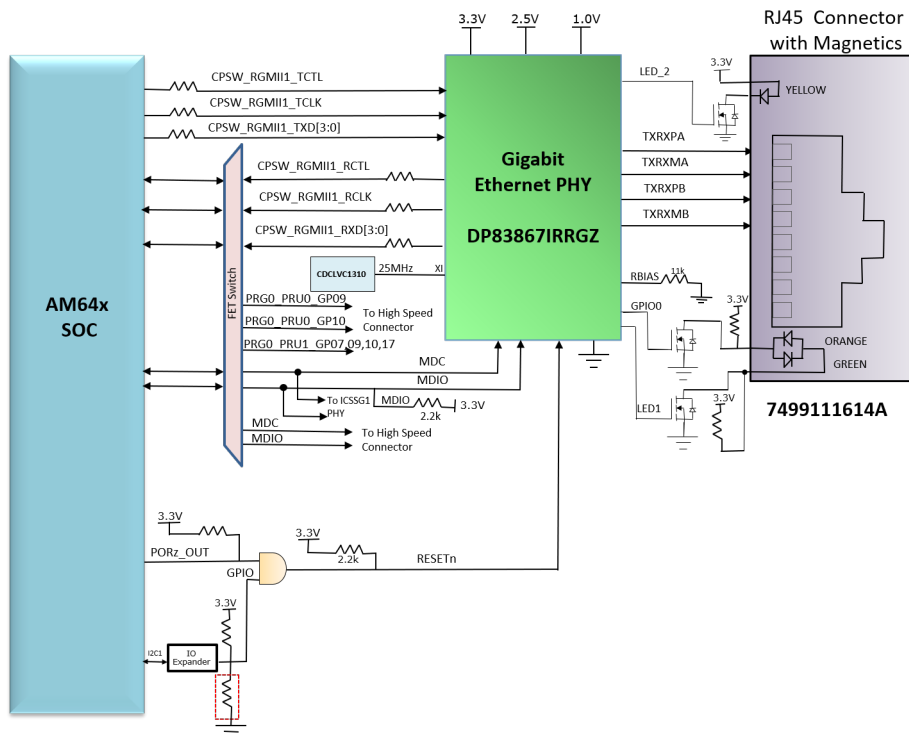


图 3-18. 以太网接口 - CPSW 域

第一个 PHY (连接到 RJ45 连接器 J14) 连接到 SOC 的 CPSW_RGMII1 端口。这里为此接口选择了 DP83867 PHY, 因为该 PHY 能够配置 Tx 和 Rx 延迟。CPSW_RGMII1_RX 端口还与 PRG0 信号进行多路复用, 因此需要一个多路复用器来选择从 SOC 到此 PHY (CPSW 模式) 或到 HSE 连接器 (PRG0 模式) 的路径。该选择使用 24 位 IO 扩展器的 GPIO 来实现。

第二个 PHY (连接到堆叠 RJ45 连接器 J21B) 连接到 SoC 的 PRG1_RGMII2 端口。此端口直接与 CPSW_RGMII2 端口进行多路复用。为在 CPSW 和 PRG 工作模式之间进行选择, 我们需要将来自每个控制器的 MDIO MDC 信号多路复用至此 PHY, 而多路复用器应当由 IO 扩展器的 GPIO 控制。PRG1_RGMII2 也在内部与 PRG1_MII 信号进行多路复用。使用该 PHY 连接此端口的目的是, 该 PHY 应当同时支持 RGMII 和 MII 模式, 因此选择了 DP83869 (48 引脚) PHY。

第三个 PHY (连接到堆叠 RJ45 连接器 J21A) 连接到 SoC 的 PRG1_RGMII1 端口。ICSSG 端口支持在内部对 GPI、GPO、RGMII 和 MII 等进行多路复用。使用此 PHY 连接到此端口的目的是，它应当同时支持 RGMII 和 MII 模式 (无需使用 CRS 和 COL 信号，因为这些信号与用于第一个 PHY 的 CPSW_RGMII1 进行多路复用)。因此，也为此端口选择了 DP83869 (48 引脚) PHY。

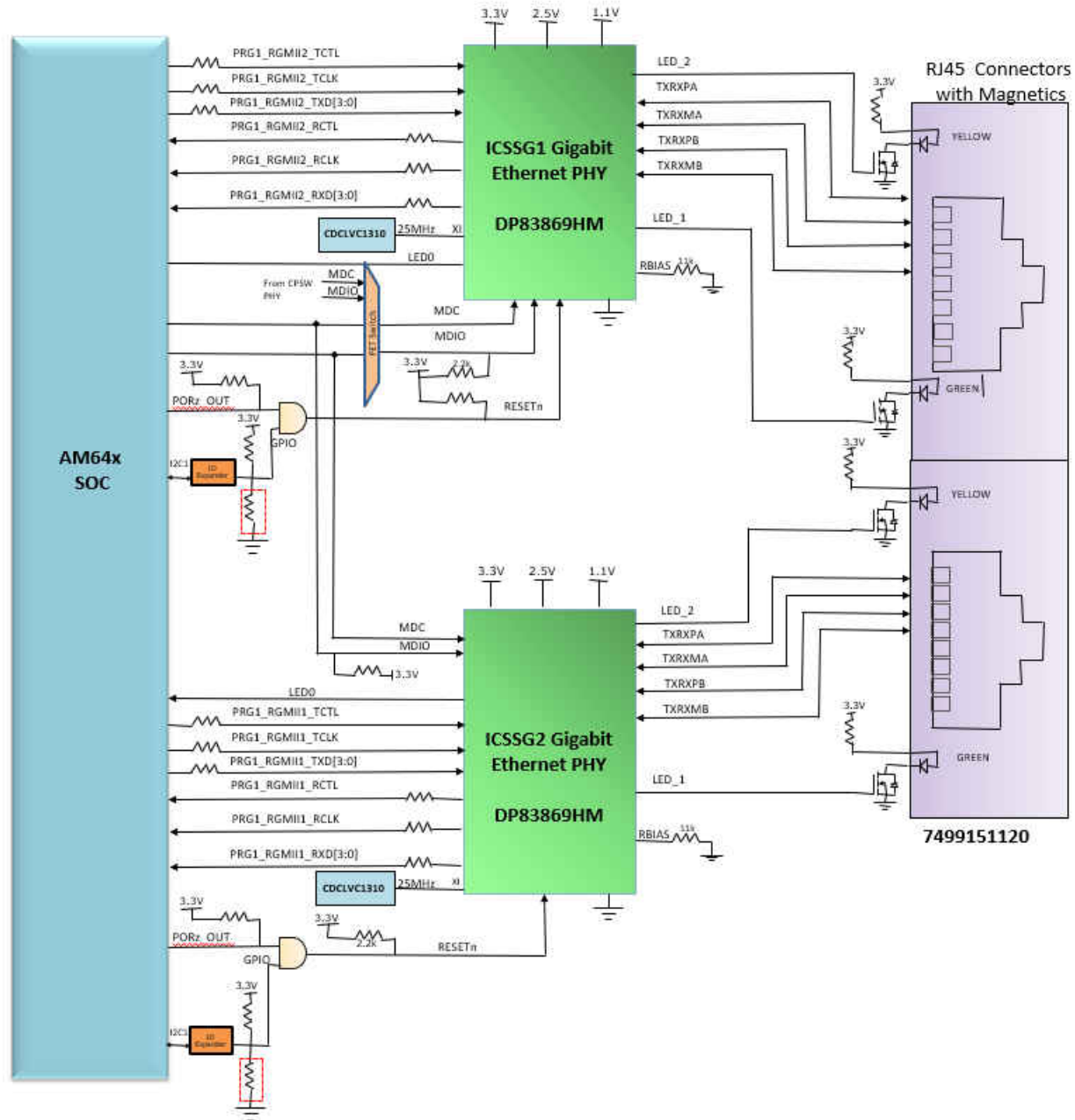


图 3-19. 以太网接口 - ICSSG 域

3.4.9.1 DP83867 PHY 默认配置

DP83867 PHY 使用基于电阻器自举的四级配置，可生成四种不同的电压范围。电阻器连接到 RX 数据和控制引脚，它们通常由 PHY 驱动，是 AM64x 的输入。每种模式的电压范围如下所示：

模式 1 - 0V 至 0.3234V

模式 2 - 0.462V 至 0.6303V

模式 3 - 0.7425V 至 0.9372V

模式 4 - 2.2902V 至 2.904V

DP83867 器件包括内部下拉电阻器。选择外部拉电阻器值时应为 AM64x/AM243x 的引脚提供尽可能接近接地或 3.3V 的电压。自举方式如图 3-21 中所示，而自举电阻值如表 3-19 中所示。

默认为 CPSW PHY 提供地址自举以将地址设置为 -00000 (0h)，因为自举引脚具有内部下拉电阻器。所有自举引脚均提供了上拉和下拉占用空间，但 LED_0 除外。LED_0 用于镜像启用，默认情况下设为模式 1，模式 4 不适用，模式 2、模式 3 选项不理想。

3.4.9.2 DP83869 PHY 默认配置

对于 I/O、RX_D0 和 RX_D1 引脚，DP83869 PHY 采用四级配置，而对于所有其他引脚，则采用两级配置。基于电阻器自举的四级自举引脚可生成四个不同的电压范围。电阻器连接到 RX 数据引脚，它们通常由 PHY 驱动，是 AM64x/AM243x 的输入。每种模式的电压范围如下所示：

模式 0 - 0V 至 0.3069V

模式 1 - 0.4488V 至 0.6072V

模式 2 - 0.7227V 至 0.924V

模式 3 - 1.98V 至 2.9304V

基于电阻器自举的两级自举引脚可生成两个不同的电压范围。这些电阻器连接到 LED 引脚。LED 输出引脚也用作自举引脚，因此必须考虑搭接和 LED 使用所需的外部元件，以避免出现资源争夺问题。具体来说，当 LED 输出直接用于驱动 LED 时，这可能是个问题。每种模式的电压范围如下所示：

模式 0 - 0V 至 0.594V

模式 1 - 1.65V 至 2.904V

DP83869 器件包括内部下拉电阻器。选择外部拉电阻器值时应为 AM64x/AM243x 的引脚提供尽可能接近接地或 3.3V 的电压。自举方式如图 3-21 中所示，而自举电阻值如表 3-20 中所示。

这里使用自举电阻器为 ICSSG1 PHY-1 提供了地址自举，以设置地址 00011 (03h)，并为 ICSSG2 PHY 提供了地址自举，以设置地址 01111 (0Fh)。所有自举引脚均提供了上拉和下拉占用空间。

表 3-19. CPSW 以太网 PHY 的默认自举设置

自举设置	引脚名称	自举功能	PRG0_PRU1、 PRG0_PRU0、 PRG1_PRU1、 PRG1_PRU0 的模式	PRG0 和 PRG1 自举 功能值	说明
PHY 地址	RX_D2	PHY_AD3	1	0	PHY 地址 : 0000
		PHY_AD2	1	0	
	RX_D0	PHY_AD1	1	0	
		PHY_AD0	1	0	
自动协商	RX_DV/RX_CTRL	自动协商	3	0	自动协商禁用 = 0
运行模式	LED_2	RGMII 时钟偏差 TX[1]	1	0	RGMII TX 时钟偏差设 为 2ns
		RGMII 时钟偏差 TX[0]	1	0	
	LED_1	RGMII 时钟偏差 TX[2]	1	0	
		ANEG_SEL	1	0	广播能力 10/100/1000
	LED_0	镜像启用	1	0	镜像启用已禁用
	GPIO_1	RGMII 时钟偏差 RX[2]	1	0	RGMII RX 时钟偏差设 为 2ns
		RGMII 时钟偏差 TX[1]	1	0	
	GPIO_0	RGMII 时钟偏差 RX[0]	1	0	

表 3-20. ICSSG 以太网 PHY 的默认自举设置

自举设置	引脚名称	自举功能	PRG1_RGMII2 的模式 (ICSSG1)	PRG1_RGMII2 的自举功能值 (ICSSG1)	PRG1_RGMII1 的模式 (ICSSG2)	PRG1_RGMII1 的自举功能值 (ICSSG2)	说明
PHY 地址	RX_D1	PHY_AD3	3	1	3	1	ICSSG1 PHY 地址 : 00011
		PHY_AD2	3	1	3	1	
	RX_D0	PHY_AD1	0	0	3	1	ICSSG2PHY 地 址 : 01111
		PHY_AD0	0	0	3	1	
运行模式	RX_CNTL	镜像启用	0	0	0	0	镜像启用已禁用
	LED_2	ANEGSEL_1	0	0	0	0	自动协商, 广播 10/100/1000, Auto-MDI-X
	LED_1	ANEGSEL_0	0	0	0	0	
	LED_0	ANEG_DIS	0	0	0	0	
	JTAG_TDO/ GPIO_1	OPMODE_0	0	0	0	0	RGMII to Copper (1000BaseT/ 100Base-TX/ 10Base-Te)

PHY 设备集成 MDI 终端电阻器, 因此不提供外部端接。

中断: 来自 PRG1 域的两个 ICSSG PHY 的中断连接在一起, 并连接到 AM64x/AM243x 的 EXTINTN 引脚。另外还提供了将来自 CPSW PHY 的中断连接到 PRG1 ICSSG 中断引脚的选项。

三个可配置的 LED 引脚和一个以太网 PHY 的 GPIO 用于指示链路状态。LED 上可多路复用若干功能, 用于不同工作模式。可通过使用 DP83867 器件上的 LEDCR1 寄存器地址 0x0018 和 DP83869 器件上的 LEDS_CFG1 寄存器地址 0x0018 来选择 LED 工作模式。测试配置如下所示。

LED0: 默认情况下, 此引脚指示链路已建立。其他功能可通过 DP83867 器件中的 LEDCR1[3:0] 寄存器位和 DP83869 器件中的 LEDS_CFG1[3:0] 寄存器位进行配置。LDE0 在 CPSW PHY (DP83867) 中未使用, 这也是一个自举引脚, 用于设置镜像启用。由于不需要这些功能, 因而未提供 LED0 的自举。在 DP83869 ICSSG PHY 中, LED0 连接到 SoC 的 PRG1_PRU1_GPO8 和 PRG1_PRU0_GPO8, 用于指示链路状态。此引脚也是自举引脚, 具有内部下拉电阻器, 用于在 DP83869 器件中设置自动协商禁用选项。默认条件是自动协商, 并广播 10/100/1000Mbps 链路。

LED_1：默认情况下，此引脚指示 1000BASE-T 链路已建立。可使用自举电阻器将此设置改为自动协商 10/100Mbps。其他功能可通过 DP83867 器件中的 LEDCR1[7:4] 寄存器位和 DP83869 器件中的 LEDSCFG1[7:4] 寄存器位进行配置。LED_1 也是自举引脚，具有内部下拉电阻器，用于在 DP83867 器件中设置 RGMII TX 时钟偏差并在 DP83869 器件中选择自动协商模式。由于此引脚在两个器件上均设为有效，如果直接驱动 LED，会导致 LED 照明变暗。因此使用 MOSFET 来驱动 LED，如图 3-23 中所示。

LED_2：默认情况下，此引脚指示接收或发送活动。其他功能可通过 DP83867 器件中的 LEDCR1[11:18] 寄存器位和 DP83869 器件中的 LEDSCFG1[11:18] 寄存器位进行配置。LED_2 也是自举引脚，具有内部下拉电阻器，用于在 DP83867 器件中设置 RGMII TX 时钟偏差并在 DP83869 器件中选择自动协商模式。默认条件是自动协商，并广播 10/100/1000Mbps 链路，可以使用提供的自举电阻器改变这种条件。如果直接驱动 LED，用于自举设置的上拉电阻器会导致 LED 照明变暗。因此使用 MOSFET 来驱动 LED。

GPIO1：在 DP83867 PHY 中，可通过 GPIO 多路复用器控制寄存器 1 (GPIO_MUX_CTRL1) 将 GPIO 配置为发挥 LED3 的功能，LED 配置可通过编程 LEDCR1 寄存器进行设置。这也是一个自举引脚，用于设置快速链路丢失 (FDP)，当前为禁用状态。在 DP83869 PHY 中，可通过 GPIO 多路复用器控制寄存器 (GPIO_MUX_CTRL) 将 GPIO 配置为发挥 LED_GPIO(3) 的功能，LED 配置可通过编程 LEDSCFG1 寄存器进行设置。这也是一个自举引脚，用于在启动时选择 RGMII to Copper 模式。这可以通过使用 MDC & MDIO 引脚更新 GEN_CFG1 寄存器 - 0x9 来更改为 MII 模式 (使用 MII 模式时，应禁用千兆位以太网广播功能，因为 PHY 无法建立速度高达 1000Mbps 的链路)

RJ45 连接器 LED 指示 - CPSW (DP83867) :

LED1 和 GPIO1 连接到 RJ45 的双 LED 来指示 10/100MHz 或 1000MHz 链路。橙色 LED 指示速度为 10/100MHz，而绿色 LED 指示速度为 1000MHz

LED2 连接到 RJ45 LED (黄色) 以指示发送/接收活动。

RJ45 连接器 LED 指示 - ICSSG (DP83869) :

LED1 连接到 RJ45 LED (绿色) 以指示速度为 1000MHz

LED2 连接到 RJ45 LED (黄色) 以指示发送/接收活动。

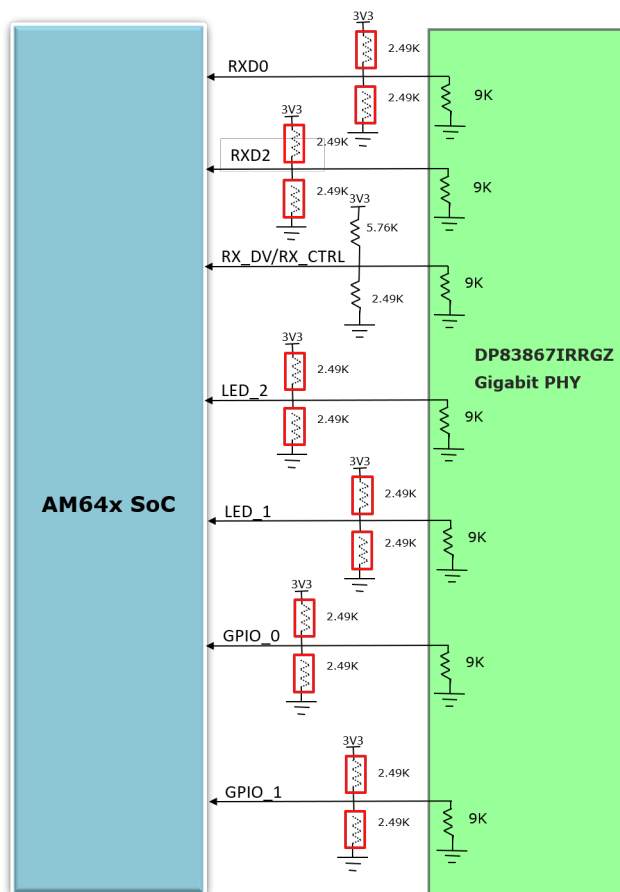


图 3-20. AM64x/AM243x 以太网接口 - CPSW 以太网自举设置

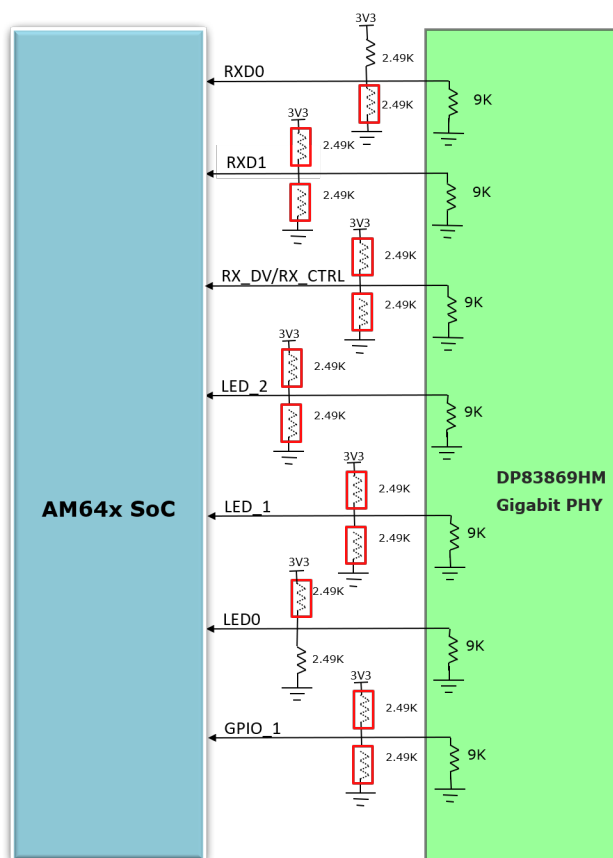


图 3-21. AM64x/AM243x 以太网接口 - ICSSG1 以太网自举设置

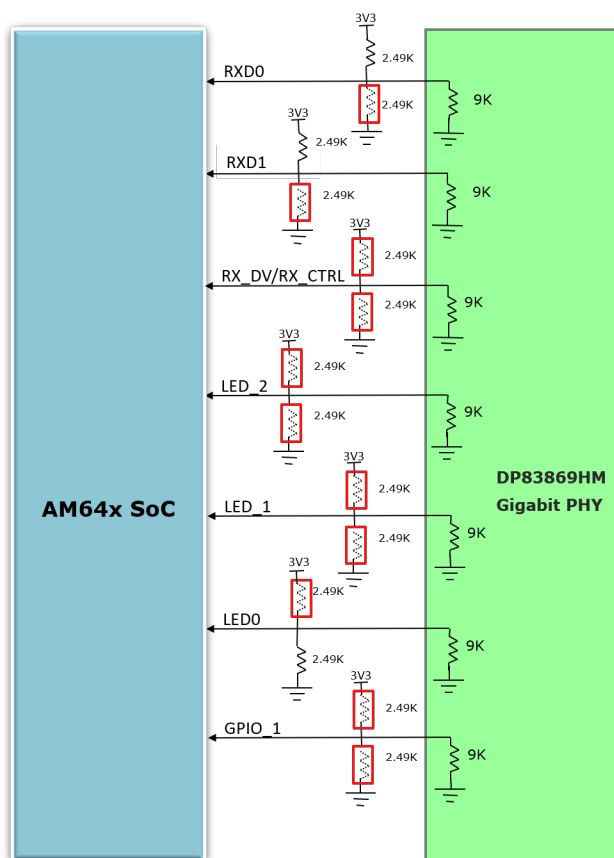


图 3-22. AM64x/AM243x 以太网接口 - ICSSG2 以太网自举设置

备注

红色框中的电阻器是 DNI 元件。

3.4.9.3 以太网 LED

该 EVM 卡具有多个 LED 来指示以太网链路、以太网活动和设置的以太网速度。图 3-23 展示了用于指示 ICSSG PRG1 以太网活动和 CPSW 以太网活动的 LED。另外还有八个 LED 连接到 IO 扩展器，该扩展器由 SoC 通过 I2C1 端口进行控制。这八个 LED 可根据用户应用进行切换。

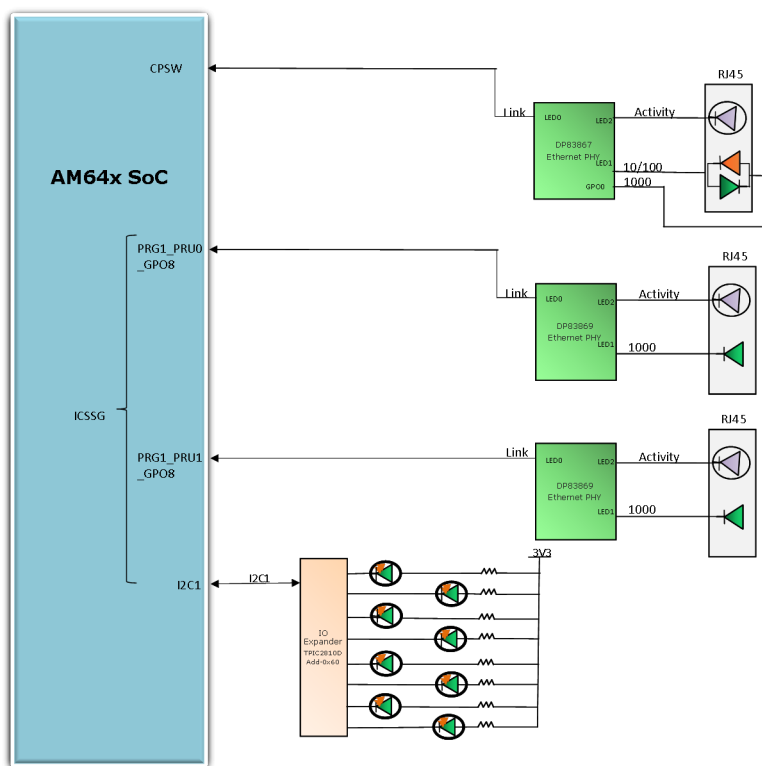


图 3-23. AM64x/AM243x GP EVM 以太网接口 LED

3.4.10 显示接口

EVM 上采用的显示器件是 OSD Displays 的 OSD9616P0992-10。这是一款具有单色 (浅蓝色) 背光的无源矩阵 PMOLED 显示屏。该显示屏具有 96X16 像素，面板尺寸为 29.10 X 9.20 X 1.30 (mm)，而有源区为 21.1 X 3.5 (mm)。该显示屏连接到 EVM 上来自 Amphenol ICC 且器件型号为 10051922-1410ELF 的 14 引脚 FPC 连接器，而引脚详细信息如表 3-21 中所述。

表 3-21. 显示连接器 (J36) 引脚排列

引脚编号	信号
1	C2P
2	C2N
3	C1P
4	C1N
5	VDDDB
6	NC
7	VSS
8	VDD
9	RES#
10	SCL
11	SDA
12	IREF
13	VCOMH
14	VCC

3.4.11 USB 2.0 接口

AM64x/AM243x 的 USB0 端口用于 USB 2.0 接口。USB 信号会端接至 uAB 连接器，并且提供的支持电路允许将该 USB 接口配置为主器件或自供电从器件。

在主机模式中，从器件支持高达 500mA 的电流和高达 5V 的电压。提供的电源开关由来自 AM64x/AM243x 的 DRV_VBUS 信号进行控制。

该电路板上提供了一个 2x3 接头 (J23) 来安装 2 位置成组分流器，以便将该端口配置为主机模式，如图 3-24 所示。在引脚 1 和 2 上放置分流器以使能 VBUS 上的大容量电容，并在引脚 5 和 6 上放置分流器以将 ID 引脚接地。

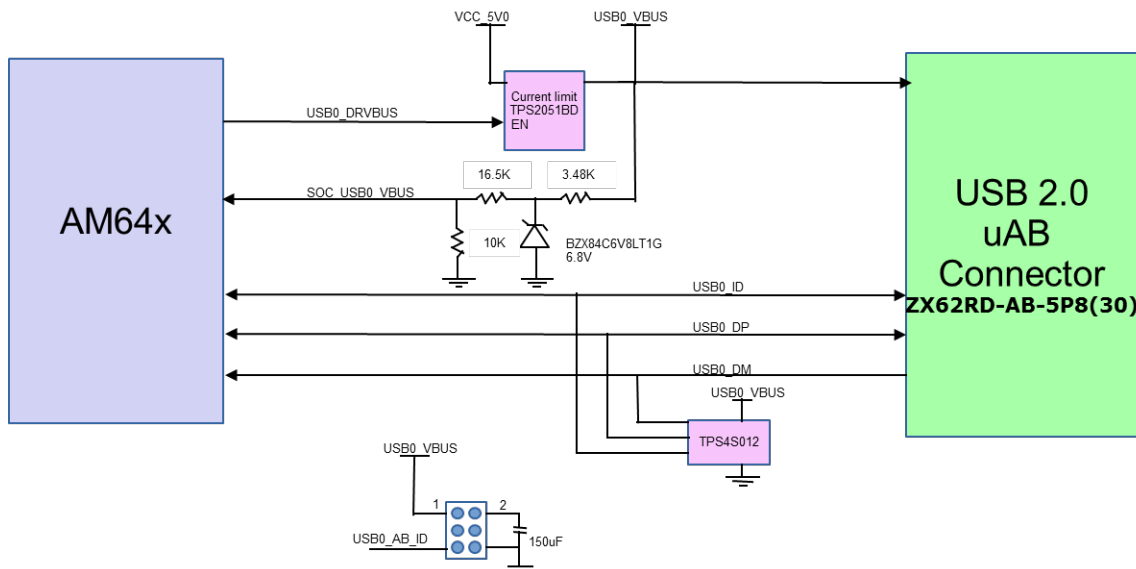


图 3-24. AM64x/AM243x USB 2.0 主机接口

3.4.12 PCIe 接口

AM64x/AM243x 的 Serdes0 接口用于实现一个单通道 PCIe 接口并将信号路由至 x4 PCIe 槽连接器。Samtec 的 **PCIE-064-02-F-D-TH** 连接器用于 PCIe 接口，此连接器满足 PCIe CEM v2.0 的物理和电气规范，并设计为支持 25W 插槽，包括适用于 12V 电压轨的 2.1A，以及适用于 3.3V 电压轨的 3A。PCIe 接口设计为支持采用交叉电缆进行根复合体运行或端点运行。SoC_I2C1 用于控制目的。PCIe 连接器发出的链路激活信号上拉至 VCC3V3_SYS。

时钟：SERDES REFCLK 会路由至 PCIe REF CLK 引脚，以允许通过该连接器接收或提供时钟（EVM 上没有单独的 PLL 来生成 PCIe REF CLK）。

热插拔：PRSENT1# 和 PRSENT2# 信号是热插拔存在检测信号。PRSENT2# 被拉高，PRSENT1# 连接到地，这样当插入子卡时，PRSENT2# 将被拉低。该电路板提供了一个 3 引脚接头 (J35) 以在 RC 和 EP 模式之间进行选择。

复位：该电路板提供了一个 3 引脚接头 (J34) 以选择主机和端点 PCIe 操作的复位源。在主机模式下，来自 IO 扩展器的 PCIe_RST_OUT 信号和来自 SoC 的 RESETSTATz 信号进行“与”运算，输出通过 3 引脚接头连接到 PCIe 连接器。该电路板安装了一个跳线来提供连接。而在 PCIe 端点操作的情况下，AM64x SoC 接收来自附加卡的复位信号并传递到 MCU_PORz 引脚。复位信号连接到 3 引脚接头，并应使用跳线进行选择。

PCIe x4 连接器 JTAG 信号未使用并在这些信号上提供了测试点。

表 3-22 介绍了用于选择 GP EVM 采用根复合体模式还是端点模式工作的跳线选项。

表 3-22. 用于启用根复合体和端点模式的 PCIe 跳线选项

	根复合体	端点
1x3 接头 J34 和 J35	短接 1 和 2	短接 2 和 3

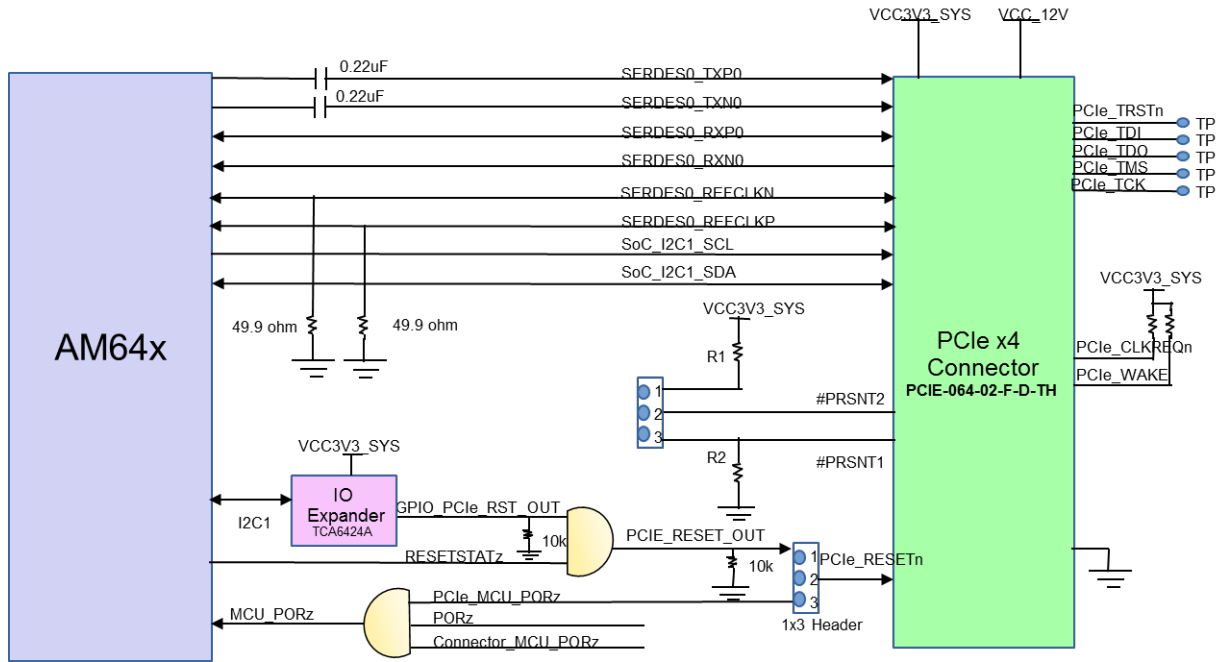


图 3-25. AM64x/AM243x PCIe 接口

表 3-23. PCIe 连接器 (J27) 引脚排列

引脚编号	PCIe 连接器的 A 侧	GP 板信号	PCIe 连接器的 B 侧	GP 板信号
1	PRSNT1#	J35.3	+12V	VDD_12V
2	+12V	VDD_12V	+12V	VDD_12V
3	+12V	VDD_12V	+12V	VDD_12V
4	GND	接地	GND	接地
5	JTAG2	TP	SMCLK	SoC_I2C1_CLK
6	JTAG3	TP	SMDATA	SoC_I2C1_SDA
7	JTAG4	TP	GND	接地
8	JTAG5	TP	+3V3	VCC3V3_SYS
9	+3V3	VCC3V3_SYS	JTAG1	TP
10	+3V3	VCC3V3_SYS	3V3 VAUX	VCC3V3_SYS
11	PERST#	J24.2	WAKE#	上拉至 VCC3V3_SYS
12	GND	接地	RSVD4	上拉至 VCC3V3_SYS
13	REFCLK+	SERDES_REFCLK0P	GND	接地
14	REFCLK-	SERDES_REFCLK0N	PETp0	SERDES_TXP0
15	GND	接地	PETn0	SERDES_TXN0
16	PERp0	SERDES_RXP0	GND	GND
17	PERn0	SERDES_RXN0	PRSNT2#_1	J35.2
18	GND	接地	GND	接地
19	RSVD1	NC	PETp1	NC
20	GND	接地	PETn1	NC
21	PERp1	NC	GND	接地

表 3-23. PCIe 连接器 (J27) 引脚排列 (continued)

引脚编号	PCIe 连接器的 A 侧	GP 板信号	PCIe 连接器的 B 侧	GP 板信号
22	PERn1	NC	GND	接地
23	GND	接地	PETp2	NC
24	GND	接地	PETn2	NC
25	PERp2	NC	GND	接地
26	PERn2	NC	GND	接地
27	GND	接地	PETp3	NC
28	GND	接地	PETn3	NC
29	PERp3	NC	GND	接地
30	PERn3	NC	RSVD3	NC
31	GND	接地	PRSNT2#_2	NC
32	RSVD2	NC	GND	接地

3.4.13 高速扩展接口

GP 板具有高速扩展控制器，支持连接到 AM64x/AM243x 的 ICSSG 和 GPMC 功能。该 EVM 上使用器件型号为 **SEAF-30-06.0-L-05-2-A-K-TR** 的单个高速连接器。与 ICSSG0 接口关联的所有信号均会路由至该扩展连接器。此外，GPMC 的数据和命令信号也会路由至 AM64x/AM243x。

跟踪信号会路由至高速扩展连接器或 MIPI60 连接器。零欧姆电阻器用于最大限度地减少路由中断。默认配置会安装电阻器，从而将信号路由至 HSE 连接器。默认未安装 MIPI60。

若要与 C2000 EVM 连接，需要一个 FSI 发送通道和一个 FSI 接收通道。SoC 中的这些信号会通过来自 Amphenol ICC (FCI) 且器件型号为 **67997-410HLF** 的 2x5 接头进行端接。这些信号会进行多路复用，以便可同时提供给 FSI 连接器和扩展连接器。FSI_TX0 信号和 FSI_RX0 信号都连接至多路复用器。多路复用器由跳线控制。除非安装了跳线，否则默认状态会将信号从 AM64x/AM243x 驱动至 HSE 连接器。电路板在交付时安装了跳线。

UART4、I2C0、SPI1 和 GPIO 等其他信号均连接到 HSE 连接器，可提供额外的连接选项。

该 EVM 上为 HSE 连接器提供了 5V、3V3、1V8 等必需电压，并且这些电压均通过限流开关连接，从而确保连接器上的意外短路不会损坏 EVM。连接器包含存在检测引脚，该引脚在应用板中将接地。此引脚连接到 I2C 存在检测缓冲器上的 ExpBrdDetect 信号。外部 HSE 板上包含板载 ID 存储器，该存储器可通过编程来标识该板。与 MCAN1 进行引脚多路复用的 I2C3 以及与 MCAN0 进行引脚多路复用的 UART4 均路由至 HSE 连接器。

备注

以下网络名称并不表示引脚功能及可用信号功能的详尽列表。如需在器件子系统上实现信号功能的可用备用多路复用完整列表，请参阅“EVM 原理图”、“Sysconfig 工具”和特定器件的数据表。

表 3-24. 应用连接器上 PRG0 信号的选择

连接器引脚	SoC 焊球	网络名称	进行引脚多路复用的信号功能
A1	-	VCC_5V0_HSE	-
A2	-	VCC_5V0_HSE	-
A3	-	VCC_5V0_HSE	-
A4	P2	PRG0_MDIO0_MDIO	GPIO1_40、GPMC0_A12
A5	P3	PRG0_MDIO0_MDC	GPIO1_41、GPMC0_A13
A6	-	DGND	-
A7	T2	PRG0_PRU0GPO8	PRG0_PRU0_GPI8、PRG0_PWM2_A1、GPIO1_8、GPMC0_A2、UART4_RTSn
A8	U2	PRG0_PRU0GPO2	PRG0_PRU0_GPI2、PRG0_RGMII1_RD2、PRG0_PWM2_A0、GPIO1_2、GPMC0_A0、UART2_RTSn
A9	V2	PRG0_PRU0GPO3	PRG0_PRU0_GPI3、PRG0_RGMII1_RD3、PRG0_PWM3_A2、GPIO1_3、UART3_CTSn
A10	-	DGND	-
A11	W2	PRG0_PRU1GPO1	PRG0_PRU1_GPI1、PRG0_RGMII2_RD1、GPIO1_21、EQEP0_B、UART5_TXD
A12	Y2	PRG0_PRU1GPO0	PRG0_PRU1_GPI0、PRG0_RGMII2_RD0、GPIO1_20、EQEP0_A、UART5_CTSn
A13	AA2	PRG0_PRU0GPO4	PRG0_PRU0_GPI4、PRG0_RGMII1_RX_CTL、PRG0_PWM2_B0、GPIO1_4、GPMC0_A1、UART3_TXD
A14	AA3	PRG0_PRU0GPO12	PRG0_PRU0_GPI12、PRG0_RGMII1_TD1、PRG0_PWM0_A0、GPIO1_12、GPMC0_A14
A15	AA4	PRG0_PRU1GPO16	PRG0_PRU1_GPI16、PRG0_RGMII2_TXC、PRG0_PWM1_A2、GPIO1_36、GPMC0_A11、PRG0_ECAP0_SYNC_OUT
A16	-	DGND	-
A17	-	PRG0_HSE_ETH1_CLK	-
A18	-	DGND	-
A19	Y20	GPMC0_AD15	FSI_TX0_D1、UART6_TXD、EHRPWM3_SYNCI、TRC_DATA13、GPIO0_30、BOOTMODE15
A20	-	HSE_GPIO0_36	-
A21	T17	GPMC0_AD9	FSI_RX0_D0、UART3_CTSn、EHRPWM2_B、TRC_DATA7、GPIO0_24、PRG0_PWM2_B2、BOOTMODE09
A22	V19	GPMC0_AD8	FSI_RX0_CLK、UART2_CTSn、EHRPWM2_A、TRC_DATA6、GPIO0_23、PRG0_PWM2_A2、BOOTMODE08
A23	-	DGND	-
A24	-	DGND	-
A25	-	DGND	-
A26	-	-	-
A27	-	VCC3V3_IO_HSE	-
A28	-	VCC3V3_IO_HSE	-
A29	-	VCC3V3_IO_HSE	-
A30	-	-	-
C1	C14	SOC_SPI1_CLK	EHRPWM6_SYNCI、GPIO1_49
C2	-	VCC1V8_HSE	-
C3	-	VCC1V8_HSE	-
C4	-	DGND	-

表 3-24. 应用连接器上 PRG0 信号的选择 (continued)

连接器引脚	SoC 焊球	网络名称	进行引脚多路复用的信号功能
C5	R6	PRG0_PRU0GPO13	PRG0_PRU0_GPI13、PRG0_RGMII1_TD2、PRG0_PWM0_B0、SPI3_D0、GPIO1_13、GPMC0_A15
C6	R3	PRG0_PRU0GPO5	PRG0_PRU0_GPI5、PRG0_PWM3_B2、GPIO1_5、UART3_RTSn
C7	-	DGND	-
C8	T4	PRG0_PRU1GPO3	PRG0_PRU1_GPI3、PRG0_RGMII2_RD3、GPIO1_23、EQEP1_A、GPMC0_A18、UART6_CTSn
C9	v4	PRG0_PRU0GPO14	PRG0_PRU0_GPI14、PRG0_RGMII1_TD3、PRG0_PWM0_A1、SPI3_D1、GPIO1_14、GPMC0_A3
C10	-	DGND	-
C11	U5	PRG0_PRU1GPO15	PRG0_PRU1_GPI15、PRG0_RGMII2_TX_CTL、PRG0_PWM1_B1、GPIO1_35、GPMC0_A10、PRG0_ECAP0_IN_APWM_OUT
C12	V12	PRG1_PRU1GPO19	PRG1_PRU1_GPI19、PRG1_IEP1_EDC_SYNC_OUT0、PRG1_PWM1_TZ_OUT、RGMII1_RD3、RMII1_CRS_DV、SPI3_CS2、GPIO0_84、UART5_RTSn、PRG1_ECAP0_IN_APWM_OUT
C13	-	DGND	-
C14	T18	GPMC0_AD2	FSI_RX2_D1、UART2_RTSn、EHRPWM_TZn_IN0、TRC_DATA0、GPIO0_17、PRG0_PWM2_TZ_IN、BOOTMODE02
C15	U19	GPMC0_AD5	FSI_RX3_D1、UART3_RTSn、EHRPWM1_A、TRC_DATA3、GPIO0_83、PRG0_PWM2_A1、BOOTMODE05
C16	-	DGND	-
C17	-	DGND	-
C18	-	DGND	-
C19	-	DGND	-
C20	-	DGND	-
C21	W21	GPMC0_AD12	FSI_RX1_D0、UART6_CTSn、EQEP1_B、TRC_DATA10、GPIO0_27、EHRPWM7_B、BOOTMODE12
C22	-	HSE_GPIO0_32	-
C23	-	HSE_GPIO0_34	-
C24	-	HSE_GPIO0_37	-
C25	-	DGND	-
C26	-	HSE_GPIO0_39	-
C27	R2	HSE_PRG0_PRU1_GPO19	PRG0_PRU1_GPI19、PRG0_IEP1_EDC_SYNC_OUT0、PRG0_PWM1_TZ_OUT、MDIO0_MDC、RMII1_CRS_DV、EHRPWM7_B、GPIO1_39、PRG0_ECAP0_IN_APWM_OUT
C28	V5	HSE_PRG0_PRU1_GPO17	PRG0_PRU1_GPI17、PRG0_IEP1_EDC_SYNC_OUT1、PRG0_PWM1_B2、RGMII1_RD3、RMII1_TXD1、GPIO1_37、PRG0_ECAP0_SYNC_OUT、PRG0_ECAP0_SYNC_IN
C29	D17	HSE_MCAN1_RX/I2C3_SDA	ECAP2_IN_APWM_OUT、OBSCLK0、TIMER_IO5、UART5_TXD、EHRPWM_SOCB、GPIO1_63、EQEP2_B、UART0_DSRn

表 3-24. 应用连接器上 PRG0 信号的选择 (continued)

连接器引脚	SoC 焊球	网络名称	进行引脚多路复用的信号功能
C30	-	DGND	-
E1	A18	SOC_I2C0_SCL	UART6_CTS、GPIO1_64
E2	B18	SOC_I2C0_SDA	UART6_RTSn、GPIO1_65
E3	B13	MCU_RESETSTATZ	MCU_GPIO0_22
E4	-	HSE_DETECT	-
E5	-	DGND	-
E6	-	DGND	-
E7	-	DGND	-
E8	R4	PRG0_PRU0GPO1	PRG0_PRU0_GPI1、PRG0_RGMII1_RD1、PRG0_PWM3_B0、GPIO1_1、UART2_TXD
E9	U4	PRG0_PRU0GPO16	PRG0_PRU0_GPI16、PRG0_RGMII1_TXC、2 IO 0 0/1 PRG0_PWM0_A2、SPI3_CLK、GPIO1_16、GPMC0_A4
E10	-	DGND	-
E11	R5	PRG0_PRU1GPO6	PRG0_PRU1_GPI6、PRG0_RGMII2_RXC、GPIO1_26、EQEP2_A、GPMC0_A19、UART4_CTSn
E12	U6	PRG0_PRU1GPO14	PRG0_PRU1_GPI14、PRG0_RGMII2_TD3、PRG0_PWM1_A1、GPIO1_34、EQEP1_I、GPMC0_A9、UART6_RXD
E13	Y13	PRG1_PRU1GPO18	PRG1_PRU1_GPI18、PRG1_IEP1_EDC_LATCH_IN0、PRG1_PWM1_TZ_IN、RGMII1_RD2、RMII1_TX_EN、GPIO0_20、UART5_CTSn、PRG1_ECAPH0_SYNC_IN
E14	T20	GPMC0_AD0	FSI_RX2_CLK、UART2_RXD、EHRPWM0_SYNCI、TRC_CLK、GPIO0_15、BOOTMODE00
E15	U20	GPMC0_AD3	FSI_RX3_CLK、UART3_RXD、EHRPWM0_A、TRC_DATA1、GPIO0_18、PRG0_PWM2_A0、BOOTMODE03
B1	A15	SOC_SPI1_MISO	EHRPWM6_B、GPIO1_51
B2	B15	SOC_SPI1_MOSI	EHRPWM6_SYNCO、GPIO1_50
B3	-	DGND	-
B4	R1	PRG0_PRU1GPO8	PRG0_PRU1_GPI8、PRG0_PWM2_TZ_OUT、GPIO1_28、EQEP2_S、UART4_RTSn
B5	-	DGND	-
B6	-	DGND	-
B7	T1	PRG0_PRU0GPO7	PRG0_PRU0_GPI7、PRG0_IEP0_EDC_LATCH_IN1、PRG0_PWM3_B1、CPTS0_HW2TSPUSH、CP_GEMAC_CPTS0_HW2TSPUSH、TIMER_IO6、GPIO1_7、UART4_TXD
B8	U1	PRG0_PRU0GPO17	PRG0_PRU0_GPI17、PRG0_IEP0_EDC_SYNC_OUT1、PRG0_PWM0_B2、CPTS0_TS_SYNC、CP_GEMAC_CPTS0_TS_SYNC、SPI3_CS0、GPIO1_17、TIMER_IO11、GPMC0_A17
B9	V1	PRG0_PRU0GPO18	PRG0_PRU0_GPI18、PRG0_IEP0_EDC_LATCH_IN0、PRG0_PWM0_TZ_IN、CPTS0_HW1TSPUSH、CP_GEMAC_CPTS0_HW1TSPUSH、EHRPWM8_A、GPIO1_18、UART4_CTSn、GPMC0_A5、UART2_RXD

表 3-24. 应用连接器上 PRG0 信号的选择 (continued)

连接器引脚	SoC 焊球	网络名称	进行引脚多路复用的信号功能
B10	-	DGND	-
B11	W1	PRG0_PRU0GPO19	PRG0_PRU0_GPI19、 PRG0_IEP0_EDC_SYNC_OUT0、 PRG0_PWM0_TZ_OUT、CPTS0_TS_COMP、 CP_GEMAC_CPTS0_TS_COMP、EHRPWM8_B、 GPIO1_19、UART4_RTSn、GPMC0_A6、 UART3_RXD
B12	Y1	PRG0_PRU0GPO0	PRG0_PRU0_GPI0、PRG0_RGMII1_RD0、 PRG0_PWM3_A0、GPIO1_0、UART2_CTSn
B13	W3	PRG0_PRU1GPO4	PRG0_PRU1_GPI4、PRG0_RGMII2_RX_CTL、 PRG0_PWM2_B2、GPIO1_24、EQEP1_B、 UART6_TXD
B14	Y3	PRG0_PRU0GPO11	PRG0_PRU0_GPI11、PRG0_RGMII1_TD0、 PRG0_PWM3_TZ_OUT、GPIO1_11、UART4_RXD
B15	Y4	PRG0_PRU1GPO12	PRG0_PRU1_GPI12、PRG0_RGMII2_TD1、 PRG0_PWM1_A0、GPIO1_32、EQEP2_B、 GPMC0_A7、UART4_TXD
B16	-	DGND	-
B17	-	PRG0_HSE_ETH2_CLK	-
B18	-	DGND	-
B19	-	DGND	-
B20	Y21	GPMC0_AD14	FSI_TX0_D0、UART6_RXD、EHRPWM3_B、 TRC_DATA12、GPIO0_29、PRG0_PWM3_B0、 BOOTMODE14
B21	R16	GPMC0_AD10	FSI_RX0_D1、UART4_CTSn、EHRPWM_TZn_IN2、 EHRPWM8_B、TRC_DATA8、GPIO0_25、 PRG1_PWM2_B2、BOOTMODE10
B22	-	HSE_GPIO0_31	-
B23	-	DGND	-
B24	-	HSE_GPIO0_35	-
B25	-	DGND	-
B26	-	DGND	-
B27	-	DGND	-
B28	-	DGND	-
B29	AA5	HSE_PRG0_PRU0_GPO10	PRG0_PRU0_GPI10、PRG0_UART0_RTSn、 PRG0_PWM2_B1、RGMII1_RXC、RMII_REF_CLK、 PRG0_IEP0_EDIO_DATA_IN_OUT29、GPIO1_10、 UART3_RXD
B30	-	DGND	-
D1	B14	SOC_SPI1_CS0	EHRPWM6_A、GPIO1_47
D2	D14	SOC_SPI1_CS1	CPTS0_TS_SYNC、I2C2_SDA、 PRG1_IEP0_EDIO_OUTVALID、UART6_TXD、 ADC_EXT_TRIGGER1、GPIO1_48、TIMER_IO11
D3	B12	MCU_RESETZ	-
D4	-	DGND	-
D5	T6	PRG0_PRU1GPO13	PRG0_PRU1_GPI13、PRG0_RGMII2_TD2、 PRG0_PWM1_B0、GPIO1_33、EQEP0_I、 GPMC0_A8、UART5_RXD
D6	P4	PRG0_PRU1GPO5	PRG0_PRU1_GPI5、GPIO1_25、EQEP1_S、 UART6_RTSn
D7	-	DGND	-

表 3-24. 应用连接器上 PRG0 信号的选择 (continued)

连接器引脚	SoC 焊球	网络名称	进行引脚多路复用的信号功能
D8	T3	PRG0_PRU0GPO6	PRG0_PRU0_GPI6、PRG0_RGMII1_RXC、 PRG0_PWM3_A1、GPIO1_6、UART4_CTSn
D9	V3	PRG0_PRU1GPO2	PRG0_PRU1_GPI2、PRG0_RGMII2_RD2、 PRG0_PWM2_A2、GPIO1_22、EQEP0_S、 UART5_RTSn
D10	-	DGND	-
D11	W4	PRG0_PRU1GPO11	PRG0_PRU1_GPI11、PRG0_RGMII2_TD0、 GPIO1_31、EQEP2_I、UART4_RXD
D12	T5	PRG0_PRU0GPO15	PRG0_PRU0_GPI15、PRG0_RGMII1_TX_CTL、 PRG0_PWM0_B1、SPI3_CS1、GPIO1_15、 GPMC0_A16
D13	-	DGND	-
D14	U21	GPMC0_AD1	FSI_RX2_D0、UART2_TXD、EHRPWM0_SYNCO、 TRC_CTL、GPIO0_16、PRG0_PWM2_TZ_OUT、 BOOTMODE01
D15	U18	GPMC0_AD4	FSI_RX3_D0、UART3_TXD、EHRPWM0_B、 TRC_DATA2、GPIO0_82、PRG0_PWM2_B0、 BOOTMODE04
D16	-	DGND	-
D17	V21	GPMC0_AD7	FSI_RX4_D1、UART4_TXD、EHRPWM_TZn_IN1、 EHRPWM8_A、TRC_DATA5、GPIO0_22、 PRG1_PWM2_A2、BOOTMODE07
D18	P19	GPMC0_CSN2	I2C2_SCL、TIMER_IO8、EQEP1_S、 EHRPWM_TZn_IN4、GPIO0_43、 PRG1_PWM2_TZ_IN
D19	R21	GPMC0_CSN3	I2C2_SDA、TIMER_IO9、EQEP1_I、GPMC0_A20、 EHRPWM_TZn_IN5、GPIO0_44
D20	-	DGND	-
D21	V18	GPMC0_AD13	FSI_RX1_D1、EHRPWM3_A、TRC_DATA11、 GPIO0_28、PRG0_PWM3_A0、BOOTMODE13
D22	-	HSE_GPIO0_33	-
D23	W5	HSE_PRG0_PRU1_GPO7	PRG0_PRU1_GPI7、 PRG0_IEP1_EDC_LATCH_IN1、RGMII1_RD0、 RMII1_RXD0、GPIO1_27、EQEP2_B、UART4_TXD
D24	A17	HSE_MCAN0_TX/UART4_RXD	TIMER_IO2、SYNC2_OUT、SPI4_CS1、 GPIO1_60、EQEP2_I、UART0_DTRn
D25	-	DGND	-
D26	-	HSE_GPIO0_41	-
D27	P5	HSE_PRG0_PRU1_GPO18	PRG0_PRU1_GPI18、 PRG0_IEP1_EDC_LATCH_IN0、 PRG0_PWM1_TZ_IN、MDIO0_MDIO、 RMII1_TX_EN、EHRPWM7_A、GPIO1_38、 PRG0_ECAP0_SYNC_IN
D28	W6	HSE_PRG0_PRU0_GPO9	PRG0_PRU0_GPI9、PRG0_UART0_CTSn、 PRG0_PWM3_TZ_IN、RGMII1_RX_CTL、 RMII1_RX_ER、 PRG0_IEP0_EDIO_DATA_IN_OUT28、GPIO1_9、 UART2_RXD
D29	C17	HSE_MCAN1_TX/I2C3_SCL	ECAP1_IN_APWM_OUT、SYSCLKOUT0、 TIMER_IO4、UART5_RXD、EHRPWM_SOCA、 GPIO1_62、EQEP2_A、UART0_DCDn
D30	-	DGND	-
E16	-	DGND	-

表 3-24. 应用连接器上 PRG0 信号的选择 (continued)

连接器引脚	SoC 焊球	网络名称	进行引脚多路复用的信号功能
E17	V20	GPMC0_AD6	FSI_RX4_D0、UART4_RXD、EHRPWM1_B、TRC_DATA4、GPIO0_21、PRG0_PWM2_B1、BOOTMODE06
E18	N17	GPMC0_DIR	EQEP0_B、GPIO0_40、EHRPWM6_B、PRG1_PWM2_B0
E19	R20	GPMC0_CSN1	EQEP0_I、EHRPWM_TZn_IN2、GPIO0_42、EHRPWM6_SYNC0、PRG1_PWM2_TZ_OUT
E20	-	DGND	-
E21	W20	GPMC0_AD11	FSI_RX1_CLK、UART5_CTSn、EQEP1_A、TRC_DATA9、GPIO0_26、EHRPWM7_A、BOOTMODE11
E22	-	DGND	-
E23	Y5	HSE_PRG0_PRU1_GPO9	PRG0_PRU1_GPI9、PRG0_UART0_RXD、RGMII1_RD1、PRG0_IEP0_EDIO_DATA_IN_OUT30、GPIO1_29、EQEP0_I、UART5_RXD
E24	B17	HSE_MCAN0_RX/UART4_TXD	UART4_TXD、TIMER_IO3、SYNC3_OUT、SPI4_CS2、GPIO1_61、EQEP2_S、UART0_RIn
E25	-	DGND	-
E26	-	HSE_GPIO0_38	-
E27	V6	HSE_PRG0_PRU1_GPO10	PRG0_PRU1_GPI10、PRG0_UART0_TXD、PRG0_PWM2_TZ_IN、RGMII1_RD2、RMII1_TXD0、PRG0_IEP0_EDIO_DATA_IN_OUT31、GPIO1_30、EQEP1_I、UART6_RXD
E28	-	DGND	-
E29	-	DGND	-
E30	B21	MCU_PORZ	-

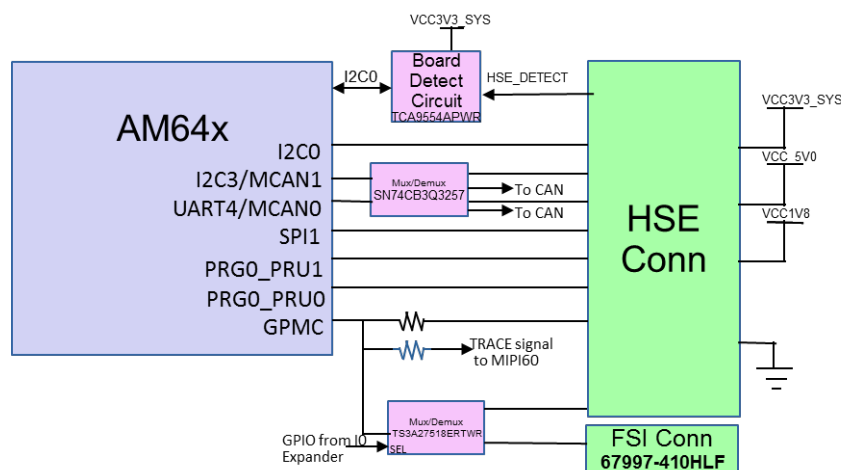


图 3-26. AM64x/AM243x 高速扩展连接器

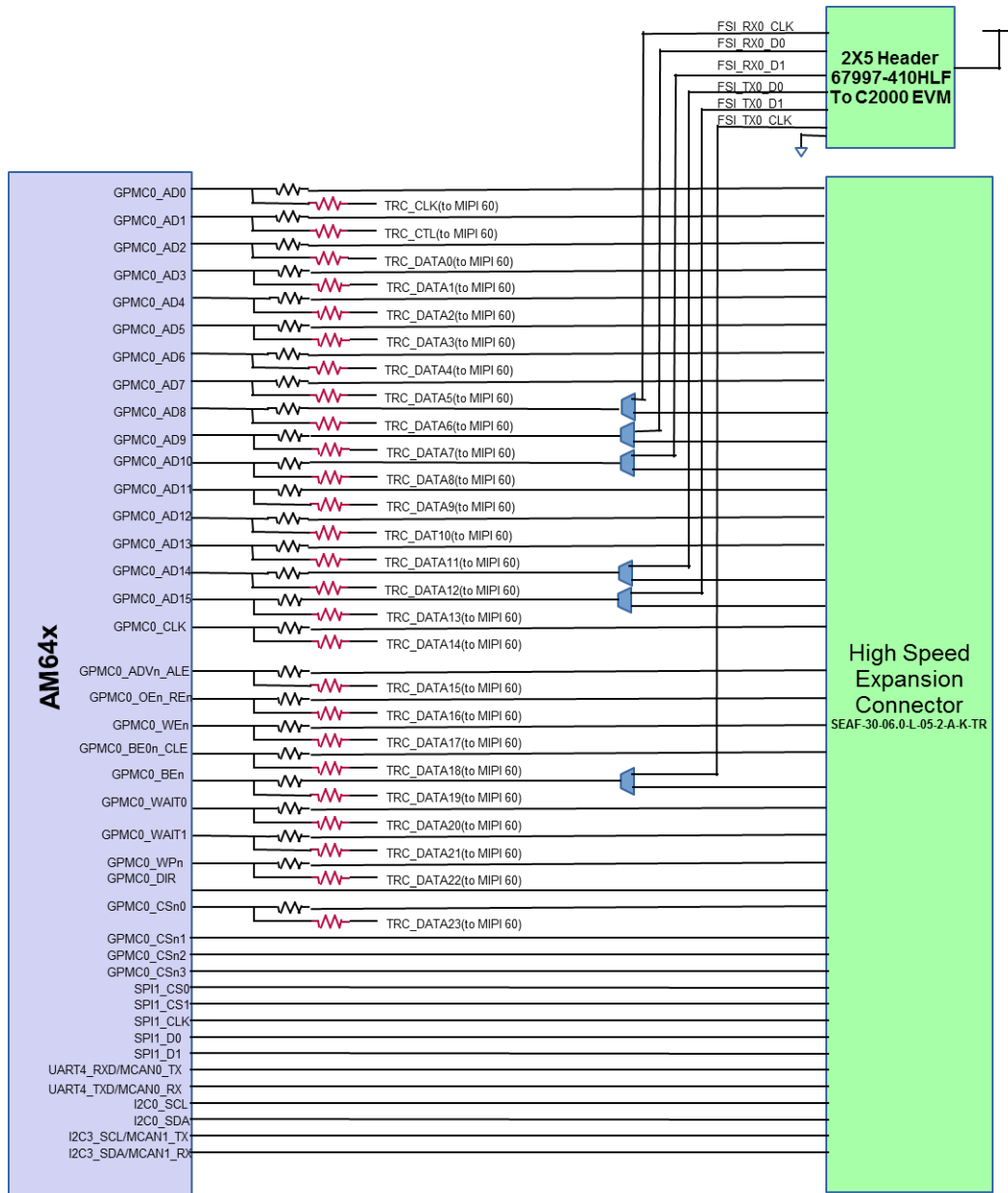


图 3-27. AM64x/AM243x 高速扩展连接器 - 第 1 部分

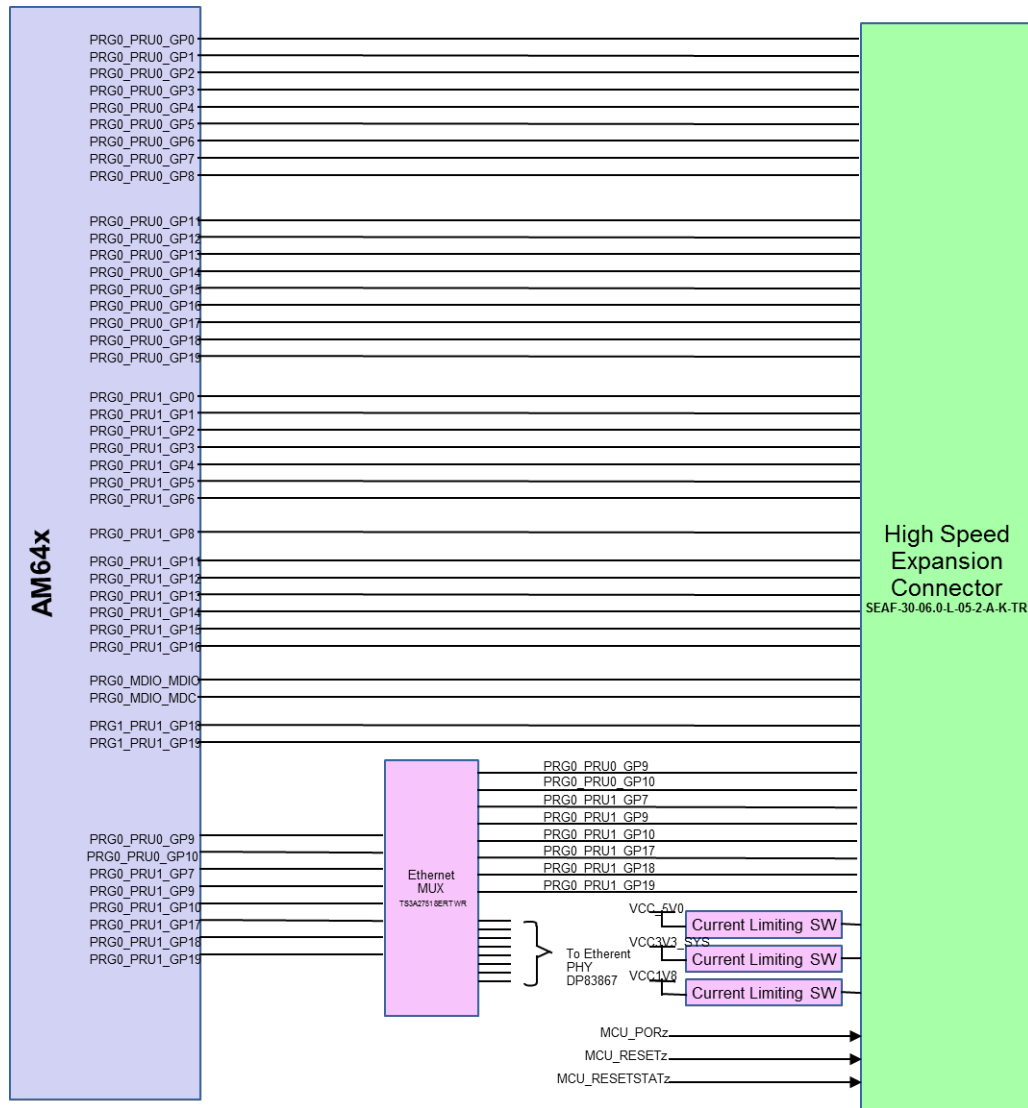


图 3-28. AM64x/AM243x 高速扩展连接器 - 第 2 部分

3.4.14 CAN 接口

该 GP EVM 包含两个 CAN 接口。MCAN0 和 MCAN1 引脚在内部分别与 UART4 和 I2C3 进行多路复用。这些信号连接到板载多路复用器以将信号路由至 MCAN 收发器或 HSE 连接器，而此多路复用器由 IO 扩展器进行控制。

图 3-29 展示了 CAN 接口使用 TCAN1042HGV 的实现方式。RXD 和 TXD 引脚分别连接到 AM64x 的 MCAN0_RX/UART4_TXD 和 MCAN0_TX/UART4_RXD 引脚。该 IC 的 STB 引脚默认连接到地，以避免 IC 进入待机模式。STB 引脚由 GPIO 进行控制以启用待机模式。

表 3-25 展示了 CAN 连接器的引脚排列。

表 3-25. CAN (J31 和 J32) 引脚排列

CAN0 J31		CAN1 J32	
引脚编号	信号	引脚编号	信号
1	MCAN0_H	1	MCAN0_H
2	GND	2	GND
3	MCAN0_L	3	MCAN0_L

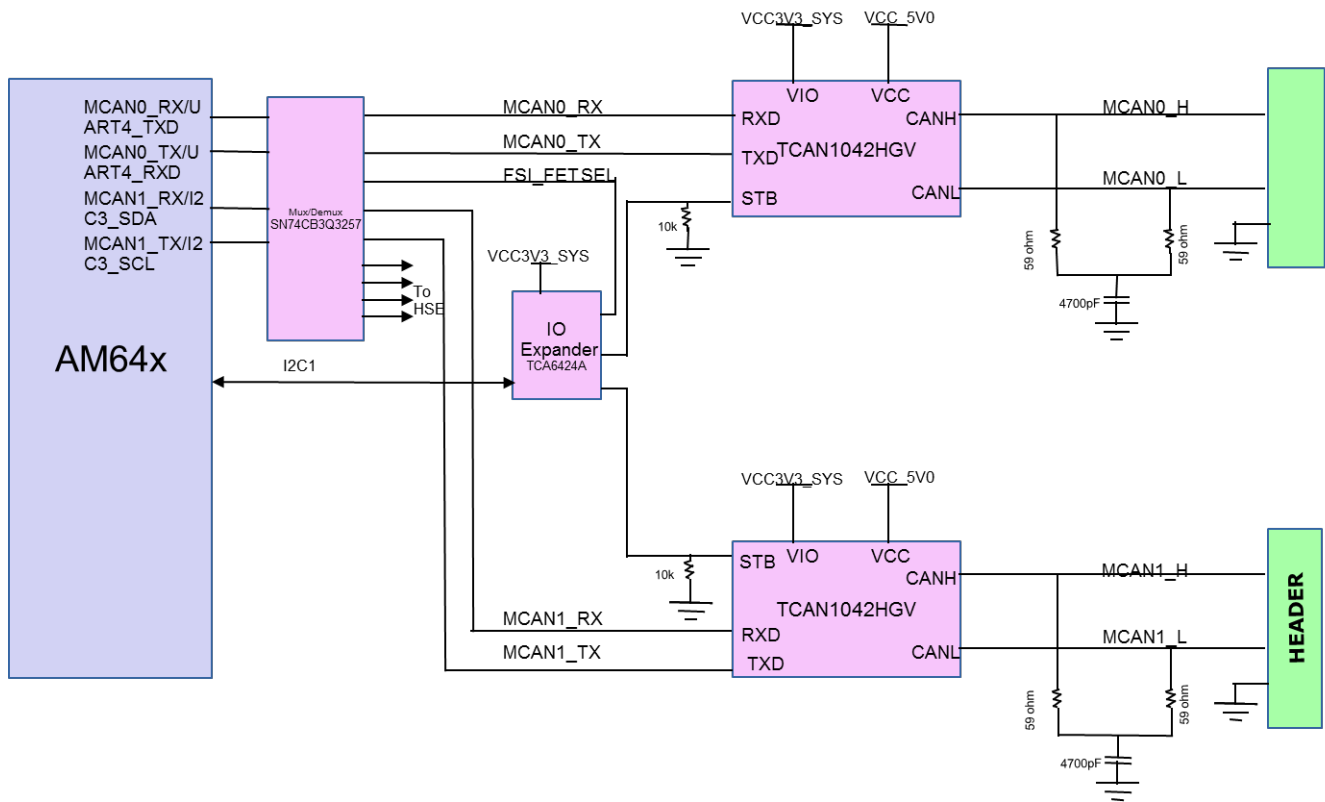


图 3-29. AM64x/AM243x CAN 接口

3.4.15 中断

GP EVM 支持以下计时器和中断选项，

并提供三个按钮开关以对 MCU_PORz、MCU_RESETz 和 RESET_REQz 进行复位。一个按钮开关连接到主域和 MCU 域 GPIO 引脚，用于 GPIO 中断。

也可通过测试自动化接头或手动复位开关 SW4 (SoC) 和 SW6 (MCU) 来应用热复位。

上电复位输入可通过开关 SW7 施加。

3.4.16 ADC 接口

器件型号为 TSW-110-07-S-D 的 20 引脚连接器 J3，用于连接 AM64x/AM243x 的 ADC 信号。该连接器包含 ADC0_AIN0-7、VDDA_ADC 连接和接地连接。

表 3-26. ADC 连接器 (J3) 引脚排列

引脚编号	信号	引脚编号	信号
1	DGND	11	ADC0_AIN7
2	NC	12	DGND
3	ADC0_AIN6	13	DGND
4	VDDA_ADC	14	ADC0_AIN1
5	DGND	15	ADC0_AIN0
6	ADC0_AIN2	16	DGND
7	ADC0_AIN5	17	VDDA_ADC
8	DGND	18	ADC0_AIN3
9	DGND	19	NC
10	ADC0_AIN4	20	DGND

3.4.17 安全连接器

该电路板上包含一个 12x2 标准 0.1” 间隔接头 TSW-112-07-S-D 作为安全信号连接器。安全连接器包含连接到 MCU 的信号。24 个引脚包括 MCU_I2C0、MCI_I2C1、MCU_UART1、MCU_SPI0 和 MCU_SPI1 信号。这提供了十八个信号，可用作指定的接口或用作 MCU_GPIO。此外，该连接器上还支持 CONN_MCU_RESETz、CONN_MCU_PORz、MCU_RESETSTATz 和 MCU_SAFETY_ERRORn 信号。

表 3-27. 安全连接器引脚排列

引脚编号	信号	引脚编号	信号
1	VCC_3V3_SYS	13	MCU_UART1_RTS_3V3
2	MCU_SPI0_D1	14	MCU_I2C1_SDA
3	MCU_SPI0_CS1	15	MCU_UART1_TX_3V3
4	MCU_SPI0_D0	16	MCU_SPI0_CLK
5	MCU_GPIO0_8	17	MCU_I2C0_SDA
6	MCU_SPI0_CS0	18	MCU_I2C1_SCL
7	TEST_LED2	19	MCU_RESETSTATZ
8	MCU_GPIO0_6	20	MCU_I2C0_SCL
9	MCU_GPIO0_7	21	CONN_MCU_RESETZ
10	MCU_UART1_CTS_3V3	22	MCU_SAFETY_ERRORZ_3V3
11	MCU_UART1_RX_3V3	23	DGND
12	MCU_GPIO0_9	24	CONN_MCU_PORZ

3.4.18 SPI 接口

- SPI0：AM64x/AM243x 处理器的 SPI0 端口上连接了一个 1Kbit SPI EEPROM (93LC46B)。它用于测试目的。
- SPI1：此接口会路由至 HSE 连接器 SPI1 接口信号电平全部为 3.3V IO。
 - SPI1_CS0 会路由至 HSE 扩展接头 (J2)
 - SPI1_CS1 会路由至 HSE 扩展接头 (J2)

3.4.19 I2C 接口

GP EVM 板使用了五个 I2C 接口。

1. MAIN_I2C0：软件通过使用此接口来识别 EVM 并控制电源电路。它与存在检测锁存器相连以识别目前安装的子卡、板 ID 存储器器件、子卡的 ID 存储器和 HSE 连接器。此 I2C 还连接到测试接头 J5，以支持 AM64x/AM243x 处理器从操作。I2C 测试接头的引脚排列如表 3-28 中所示。

表 3-28. I2C 测试接头 (J5) 引脚排列

引脚编号	信号
1	DGND
2	SoC_I2C0_SDA
3	SoC_I2C0_SCL

2. **MAIN_I2C1**：此接口连接到以下器件：16 位 GPIO 扩展器，用于所有控制信号和 LED 控制；器件型号为 **TPIC2810** 的 8 位 LED 驱动器；器件型号为 **INA226** 的电流监控器，用于监控 VDD_CORE、VDDAR_CORE、SoC_DVDD3V3、SoC_DVDD1V8、VDDA_1V8、VDD_DDR4 的电流；器件型号为 **TMP100** 的温度传感器；器件型号为 **OSD9616P0992-10** 的显示接口；通过电压隔离的测试自动化连接器。此 I2C 还连接到测试接头 J4，以支持 AM64x 处理器从操作。I2C 测试接头的引脚排列如表 3-29 中所示。

表 3-29. I2C 测试接头 (J4) 引脚排列

引脚编号	信号
1	SoC_I2C1_SCL
2	SoC_I2C0_SDA
3	DGND
4	INA_ALERT
5	NC

3. **MAIN_I2C3**：连接到多路复用器的扩展板连接器。I2C3 与 MCAN 信号进行多路复用。多路复用器的默认状态为 MCAN。
4. **MCU_I2C0**：连接到安全连接器。
5. **MCU_I2C1**：连接到安全连接器。

图 3-30 展示了 I2C 树。

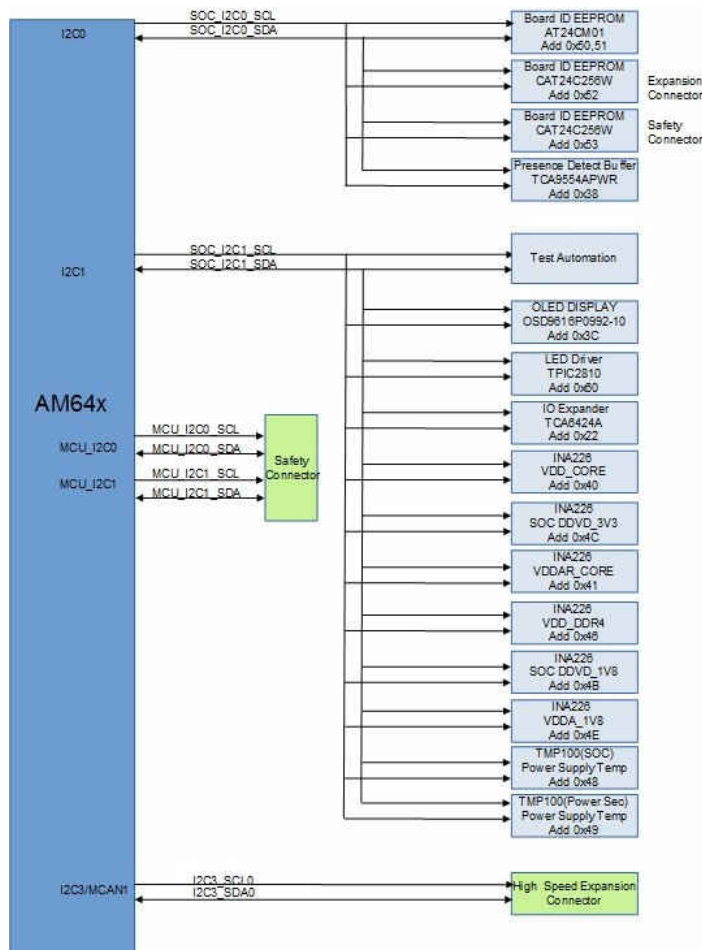


图 3-30. AM64x/AM243x I2C 接口和外设地址分配

3.4.20 FSI 接口

SoC 中的一个 FSI 接口 (1Tx 和 1Rx) 通过来自 Amphenol ICC (FCI) 且器件型号为 **67997-410HLF** 的 2x5 接头进行端接, 后者可连接到 C2000 EVM。FSI_TX0 信号和 FSI_RX0 信号连接到多路复用器, 以同时提供给 FSI 连接器和扩展连接器。TS3A27518E 多路复用器/多路信号分离器用于此目的, 并由来自 IO 扩展器的 GPIO 进行控制。多路复用器引脚上的逻辑低电平会连接端口 A 和端口 B1, 而逻辑高电平则会将端口 A 连接到端口 B2。多路复用器的默认状态是将信号从端口 A 驱动至端口 B1, 而后者会连接到 HSE 连接器。

表 3-30. FSI (J5) 连接器引脚排列

引脚编号	信号
1	FSI_TX0_CLK
2	FSI_RX0_CLK
3	DGND
4	DGND
5	FSI_TX0_D0
6	FSI_RX0_D0
7	FSI_TX0_D1
8	FSI_RX0_D1
9	DGND
10	VCC_3V3_SYS

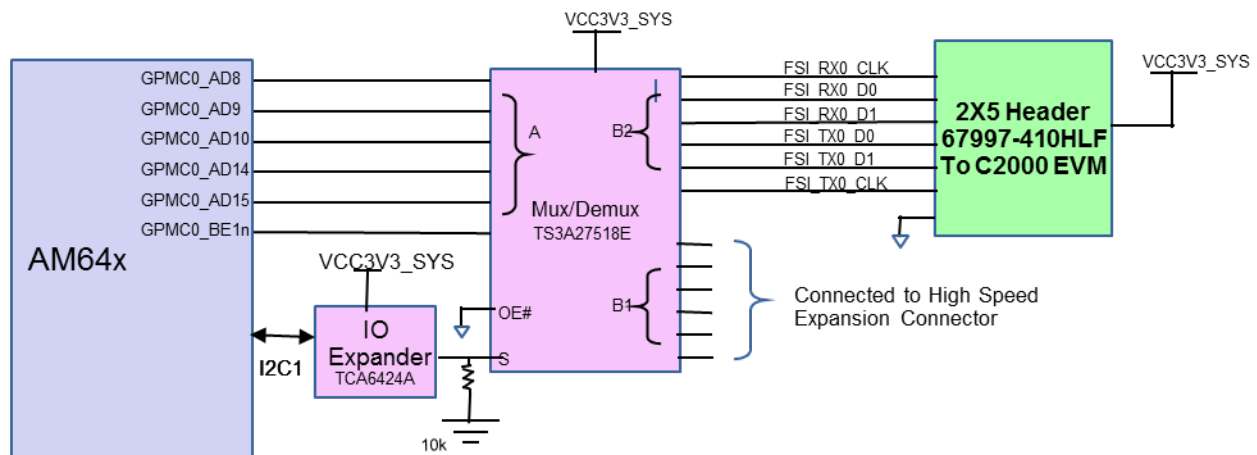


图 3-31. AM64x/AM243x FSI 接口

4 已知问题和修改

本节介绍了每个 EVM 版本目前已知的问题，以及相应的权变措施。EVM 组件上的修改标签中列出了已修复的问题。可以按照表 4-1 和图 4-1 所示找到这些修改标签。

表 4-1. AM64x/AM243x GP EVM 已知问题和修改

问题编号	修改标签编号	问题标题	问题描述
1	不适用	嵌入式 XDS110 连接问题	首次循环通电后，嵌入式 XDS110 在 CCS 中未能连接到 AM64x 目标。
2	4、5	MDIO 以太网 PHY 通信	MDIO 与 CPSW 和 ICSSG1 PHY 之间的间歇性通信

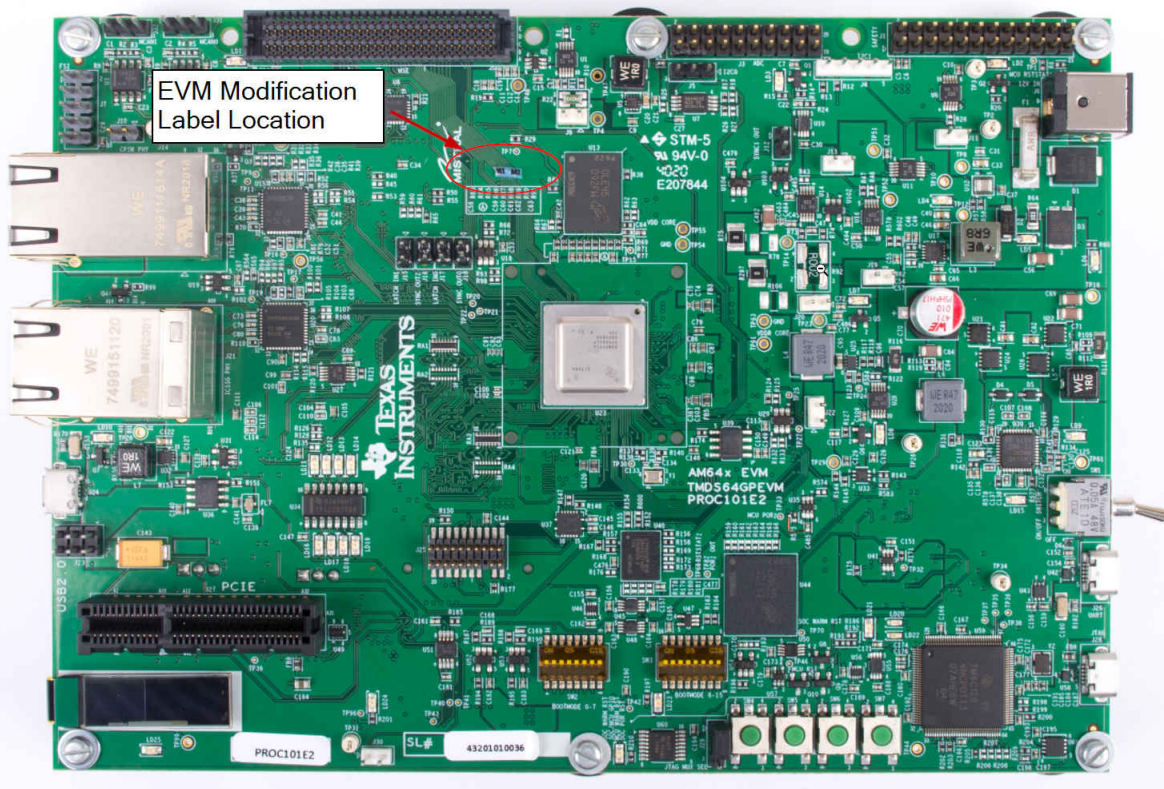


图 4-1. AM64x/AM243x GP EVM 修改标签位置

4.1 问题 1 - CCS 中嵌入式 XDS110 与 AM64x 目标板的连接

适用的 EVM 版本：E2

问题描述：在一些 EVM 上，嵌入式 XDS110 (U59) 在首次 EVM 和 XDS110 下电上电后在 CCS 中与 AM64x 目标板的初始目标连接失败。通过 CTI20 接头 (J25) 使用附加的外部仿真器时不会出现问题。

可以按照以下步骤来重现此故障模式：

1. XDS110 USB 连接在主机 PC 和 XDS110 USB 端口 (J28) 之间。
2. 启用 EVM 电源并使 AM64x 进入不引导模式。
3. 然后在 CCS 中，尝试与 M3 DMSC 内核的初始 CCS 目标连接。

4. CCS 将报错并显示以下对话框，表示与目标内核连接时出现 DAP 连接错误。
- 点击重试会得到相同的错误消息

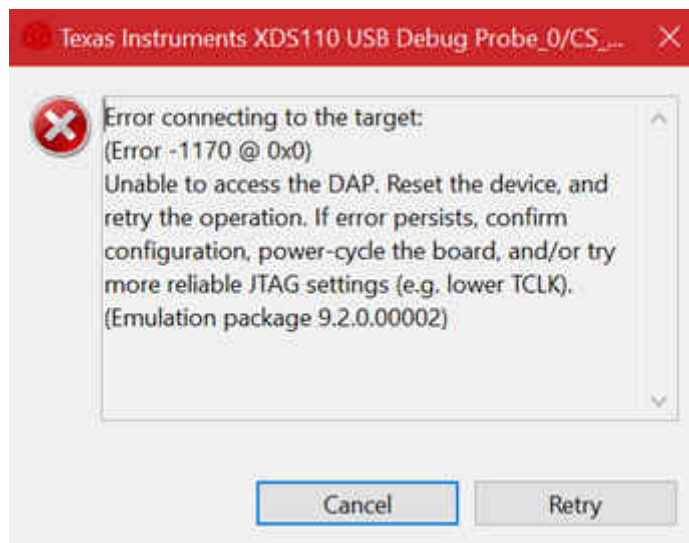


图 4-2. XDS110 CCS 连接错误对话框

权变措施 1：出现该连接问题后，用户可以断开通过 USB 端口 (J28) 建立的 USB 主机与 XDS110 仿真器之间的连接，然后再次插接 USB 线缆。这会对 XDS110 进行循环通电并清除连接错误。

权变措施 2：出现连接问题后，用户可以通过 CCS XDS110 实用程序目录中的 XDS110 调试命令行实用程序 `xds110reset` 来切换 TRSTN。

在 Windows 操作系统安装中，对于 CCS 版本 10.11 的默认安装，此工具位于 `C:\ti\ccs1011\ccs\ccs_base\common\uscif\xds110>` 目录中。

在嵌入式 XDS110 上电并连接到主机 PC 后，可以在 Windows 命令提示符/终端上执行此命令。CCS 的 Linux 操作系统安装中也提供了类似的工具。

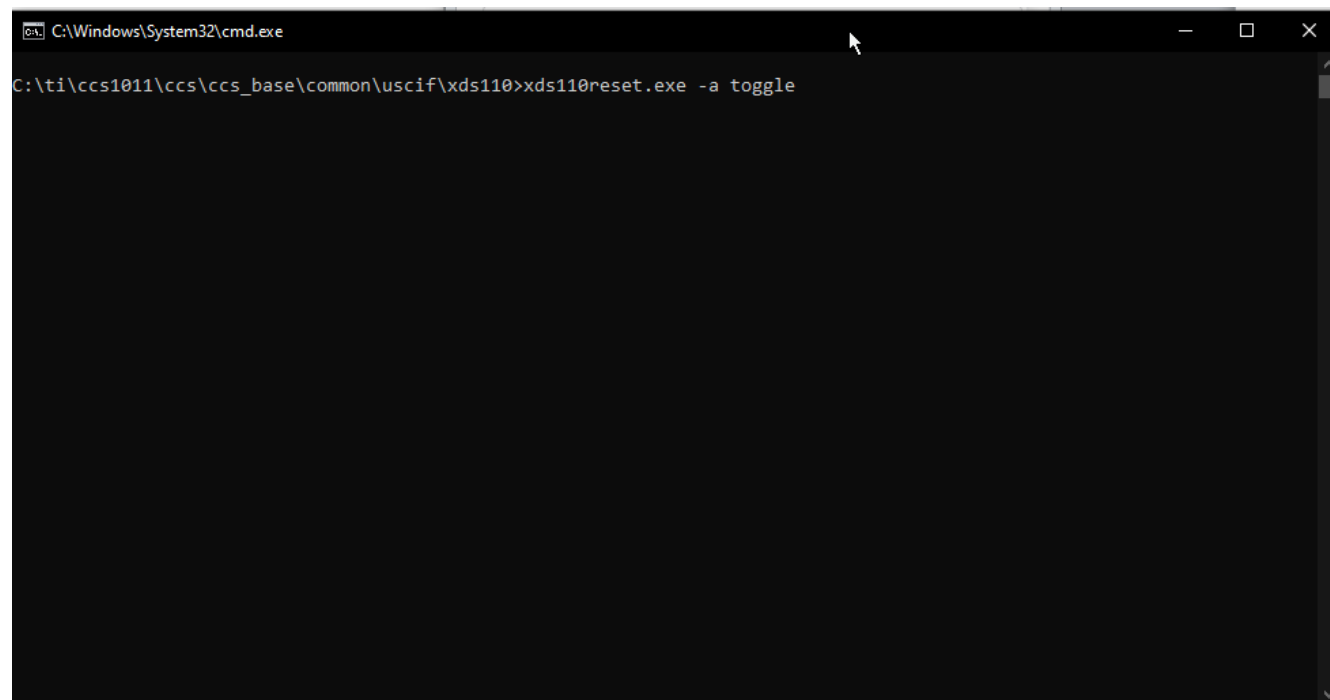


图 4-3. XDS110 debug reset 实用程序命令行功能

4.2 问题 2 - MDIO 以太网 PHY 通信

适用的 EVM 版本：E2

问题描述：在一些 EVM 上，U78 MDIO MUX 路径显示为会导致 AM64x SoC 与 CPSW 和 ICSSG 以太网 PHY 之间的间歇性 MDIO PHY 通信。

权变措施：对组件实施编号为 4 和 5 的修改。这些修改会导致 HSE 接头无法访问 *HSE_PRG0_PRU1_GPO18* 和 *HSE_PRG0_PRU1_GPO19* 信号。

修改 4 描述：

- 安装了 2.2kΩ 电阻器 R370

修改 5 描述：

- 所有元件均位于 PCB 装配层的底部
- 移除 U78
- U78.2 短接至 U78.4
- U78.8 短接至 U78.6

4.3 问题 3 - 热插拔时显示直流筒形插孔警告

适用的 EVM 版本：E2、A

问题描述：在尝试热插拔 J6 直流筒形插孔连接器时，很多节省成本的插头设计都不能保证首先接地的安全连接。这可能会导致间歇性出现欠压型状况，进而可能损坏电路板。

解决方案：不建议在连接器端热插拔电源。在为电路板加电或断电时，应当遵循本文“开始使用”部分中概述的“加电/断电过程”。另外，应确保为 EVM 版本使用推荐的器件型号，如节 3.1 的“电源”部分所述

5 参考文献

- [AM64x Sitara™ 处理器数据手册](#)
- [AM64x 处理器器件版本 1.0 德州仪器 \(TI\) 产品系列技术参考手册](#)

6 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision C (June 2021) to Revision D (August 2021)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式。.....	3
• 对节 3.1 进行了更新。.....	6
• 对节 3.4.3 进行了更新。.....	14
• 对节 3.4.4.1 进行了更新.....	19

重要声明和免责声明

TI 提供技术和可靠性数据 (包括数据表) 、设计资源 (包括参考设计) 、应用或其他设计建议、网络工具、安全信息和其他资源, 不保证没有瑕疵且不做任何明示或暗示的担保, 包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任: (1) 针对您的应用选择合适的 TI 产品, (2) 设计、验证并测试您的应用, (3) 确保您的应用满足相应标准以及任何其他安全、安保或其他要求。这些资源如有变更, 恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务, TI 对此概不负责。

TI 提供的产品受 TI 的销售条款 (<https://www.ti.com/legal/termsofsale.html>) 或 [ti.com](https://www.ti.com) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

邮寄地址: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2021, 德州仪器 (TI) 公司

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022，德州仪器 (TI) 公司