

TI 参考设计

采用高分辨率位置插值的正弦/余弦编码器的接口



TI 参考设计

本参考设计是用于连接正弦/余弦位置编码器且符合 EMC 标准的工业接口。其应用包括需要进行精确速度和位置控制的工业驱动。本设计采用 16 位双路采样模数转换器 ADC 并且可以向下兼容 14 或 12 位版本，可以优化性能、降低成本。此外，TIDA-00176 还支持通过串行外设接口 (SPI) 和正交编码脉冲 (QEP) 接口轻松连接外部处理器，并支持使用备选的内置 ADC。为实现快速评估，本设计提供了适用于 Piccolo™ F28069M MCU LaunchPad™ 的示例固件，可通过微控制器 (MCU) 的 USB 虚拟 COM 端口输出来自正弦/余弦编码器的实测角度，分辨率高达 28 位。

设计资源

[TIDA-00176](#)

[ADS8354](#)

[THS4531A](#)

[TLV3202](#)

[OPA2365](#)

[REF2033](#)

[TPS54040A](#)

[TIPD117](#)

[Piccolo F28069M MCU LaunchPad](#)

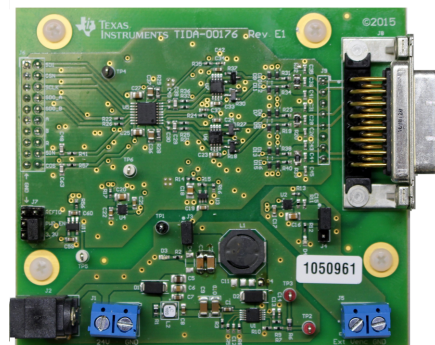
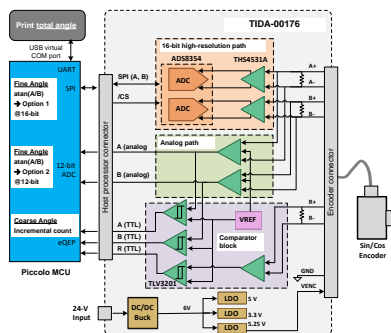
设计文件夹
产品文件夹
产品文件夹
产品文件夹
产品文件夹
产品文件夹
产品文件夹
工具文件夹
工具文件夹

设计特性

- 符合电磁兼容性 (EMC) 标准的工业接口设计，适用于带 1 V_{PP} 差动输出 (2.5V 偏移) 及最高达 500kHz 输入频率的正弦/余弦编码器
- 高分辨率插值位置、高达 28 位的分辨率以及长达 70m 的实测电缆长度
- 双路模拟信号链支持同步使用 16 位双路逐次逼近寄存器 (SAR) ADC 和 MCU 内置的 ADC，可实现双路径评估和单路径优化，从而提高抗扰性能并降低带宽
- 可通过 SPI 和 QEP 接口轻松连接 MCU，因为向下兼容 14 或 12 位 ADC，所以可根据分辨率要求进行设计资源成本优化。
- 配有适用于 C2000™ MCU 的示例固件，可通过 USB 虚拟 COM 端口发送以 16kHz 算得的高分辨率角度，以轻松完成性能评估
- 经测试符合 IEC61000-4-2、4-4 和 4-5 要求 (静电放电 (ESD)、快速瞬态突发 (EFT) 和浪涌 EMC 抗扰度要求)

特色应用

- AC 驱动器
- 精密变速驱动器
- 伺服驱动器



该 TI 参考设计末尾的重要声明表述了授权使用、知识产权问题和其他重要的免责声明和信息。

1 系统描述

1.1 TI 参考设计概述

此 TI 参考设计是符合工业温度要求和 EMC 标准的接口，适用于正弦/余弦增量位置编码器，具有 1 V_{pp} 差动模拟输出信号，频率高达 500kHz，电源电压为 5V。此 TI 参考设计的主要构件包括：双路模拟信号链、高速比较器块、电源管理块、正弦/余弦编码器接口及主机微控制器（用于数字信号处理和高分辨率位置计算）的接口。图 1 所示为简化的系统框图，图中的 TI 硬件设计用浅绿色框表示。

为便于对此 TI 参考设计进行评估，我们为 TMS320F28069M InstaSPIN™-MOTION LaunchPad 提供了示例固件。TMS320F28069M 可计算两条模拟信号通路的高分辨率角位置。一条通路通过 SPI 利用外部 16 位双 ADC。另一条通路使用 F28069M 内置的双路 S/H 12 位 ADC。角度以高达 28 位分辨率计算，通过 USB 虚拟 COM 端口输出，以供评估。

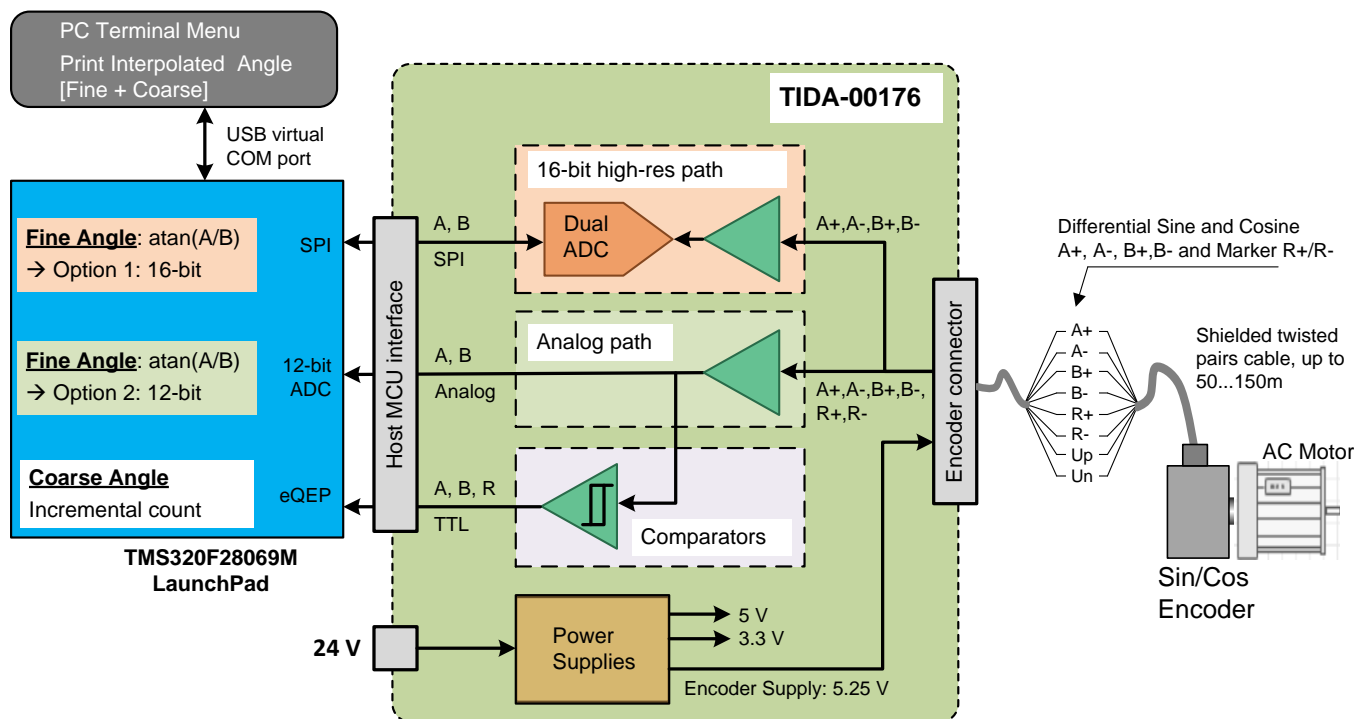


图 1. TIDA-00176 简化系统方图（带 Piccolo F28069M LaunchPad）

模拟信号链提供具有 EMC 保护功能的 120Ω 端接。差动 1 V_{pp} 正弦和余弦输入信号将分别进行放大和电平转换。板载高速高分辨率双路 16 位同步采样 ADC 提供了双信号通路，具有 SPI 和双路模拟单端输出（偏置电压为 1.65V），可连接至配有内置的双路 S/H ADC 的微控制器（如 C2000™ Piccolo 实时 MCU 系列）。

比较器块具有速度快、传播延迟低、滞后可调的特点，可提高抗扰度。比较器块可将模拟信号 A、B 和标记 R 转换为具有 3.3V TTL 电平的数字信号，可连接至正交编码器脉冲模块（如 C2000 Piccolo MCU 上的 QEP 模块）。

板载宽输入范围 24V 电源可为模拟信号链提供必要的电压，同时为正弦/余弦编码器提供 5.25V 电源电压。

正弦/余弦编码器可连接至 15 引脚屏蔽 Sub-D 连接器或 8 引脚插头。用于主机处理器的接口可为模拟单端信号 A 和 B（0 到

3.3V）提供 1.65V 偏置电压，并可为 SPI 和 A、B 和 R 的数字信号提供 3.3V I/O。数字输出信号 A、B 和 R 通常称为“ABZ”信号。

已经根据 IEC 61800-3 标准中的 EMC 抗扰度要求及可调速电力驱动系统适用的特定测试方法，对此参考设计进行测试，此项参考设计符合 IEC61000-4-2、4-4 和 4-5（ESD、EFT 和浪涌）要求。

1.2 模拟正弦/余弦增量编码器

增量旋转编码器或线性位置编码器广泛用于多种应用场合，可用于测量线性/角位置及速度。根据应用的不同，会使用具有 TTL/HTL 输出信号或模拟正弦输出信号的编码器。后者通常称为正弦/余弦编码器。模拟正弦/余弦增量编码器可实现高分辨率位置测量。正弦增量信号的质量很高，可实现通过高插值因子进行数字速度控制。应用领域包括电机、机床、印刷机、木工机床、纺织机、机器人、装卸装置以及各种类型的测量、测试和检验装置。

1.2.1 正弦/余弦编码器输出信号

利用编码器通常可实现两种感测方法，即光学感测或电感感测。在光学旋转编码器中，编码器码盘将对可以被光电管感测到强度的光束进行调制。这样会产生两个 90 度相移正弦增量信号 A 和 B。从编码器转轴方向观察，顺时针旋转时，B 滞后于 A。在一个机械旋转中信号 A 和 B 的周期数等于编码器线数 N。较远的码道用于传递参考标记 R（每个机械旋转周期出现一次）。借助参考标记可实现绝对角位置测量。

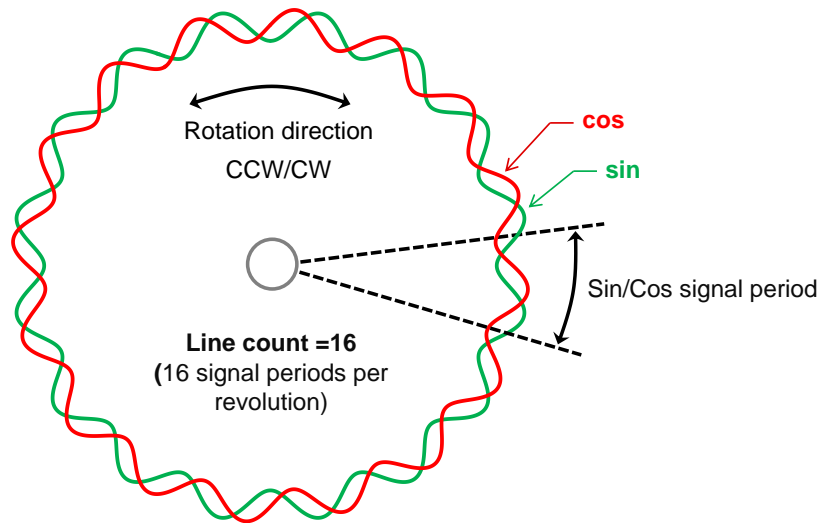


图 2. 线数为 16 的正弦/余弦编码器在一个机械旋转周期中的简化正弦和余弦信号

配有 $1V_{pp}$ 接口的正弦/余弦编码器可以提供差动模拟输出信号 A (A+, A-) 和 B (B+, B-)，信号带有 $1V_{pp}$ 及通常 2.5V 的 DC 偏移。差动参考标记信号 R (R+, R-) 的幅值通常略低，每个旋转周期仅出现一个峰值。图 3 所示为差动输出信号 A、B 和 R。请注意，A、B 和 R 分别代表 A+ 减 A-、B+ 减 B- 及 R+ 减 R- 的差动信号。

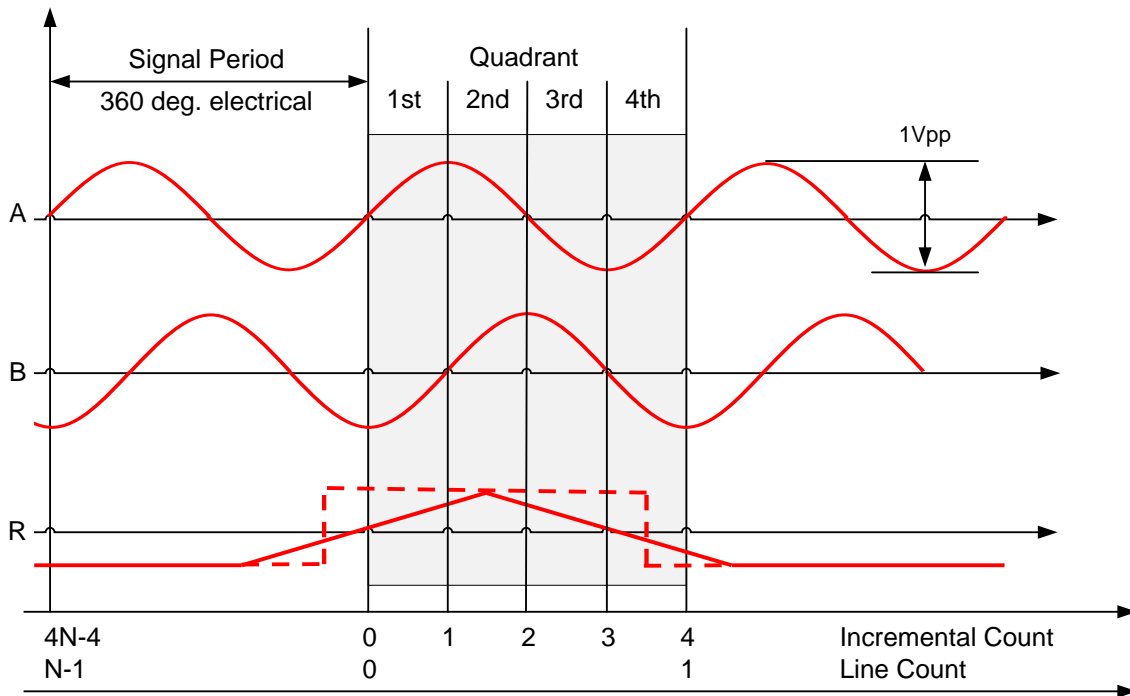


图 3. 线数为 N 的正弦/余弦编码器在每个旋转周期的输出电压信号 A、B 和标记 R

正弦/余弦编码器差动输出信号的频率取决于编码器的线数及机械速度，如公式 1 中所示：

$$f_{A,B} [\text{Hz}] = N \times v[\text{rpm}] \times \frac{1}{60} \tag{1}$$

N 代表正弦/余弦编码器线数，v 代表编码器转轴的机械速度，单位为 rpm。

图 4 概括了线数 N 为 100、1000 和 2000 时编码器输出频率与机械速度的关系。

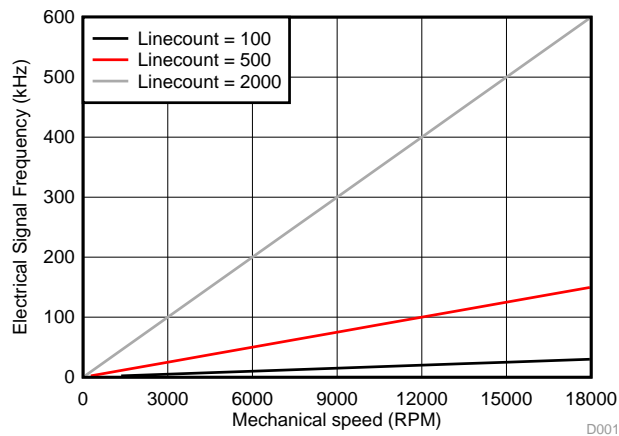


图 4. 正弦/余弦编码器输出信号 A 和 B 的电频率与机械速度和线数

例如，线数 N 为 2000 时，以 12000rpm 的机械速度运行的正弦/余弦编码器将输出频率为 400KHz 的信号 A 和 B。

1.2.2 正弦/余弦编码器电气参数示例

为了了解正弦/余弦编码器电气接口模块的要求，我们对一些工业正弦/余弦编码器型号示例进行了分析。表 1 中列出了相应的参数。

表 1. 编码器电源电压示例

正弦/余弦编码器型号	电源电压	电流消耗
1	5V ± 0.5V DC	< 120mA
2	5V ±10%	150mA
3	5V ±5%	70mA (最小值)

正弦/余弦编码器的电源需要在这—规定范围内。

模拟信号链需要至少达到表 2 中列出的信号幅值、偏移和最大频率要求。

表 2. 编码器输出信号 A、B 示例

正弦/余弦编码器型号	信号电平 A、B	DC 偏移	线数 N	限制频率 (-3dB)
1	0.6 到 1.2 V _{PP} , 1 V _{PP} (典型值)	2.5V ±0.5 V	50 至 5000	≥ 180kHz
2	1 V _{PP} (+20%,-40%)	2.5V ±0.5V		120kHz
3	1 V _{PP} (±10%)	2.5V ±100mV	1024 或 2048	400kHz

表 3. 编码器输出信号标记 R 示例

正弦/余弦编码器型号	参考标记处的可用分量 G	参考标记外静态值 H	DC 偏移
1	0.5 V _{PP} (典型值), 0.2 V _{PP} (最小值)	-1.7V	2.5V

表 4. 编码器机械参数示例

正弦/余弦编码器型号	系统精度	转轴机械速度
1	光栅周期的 1/20	< 16000rpm

1.3 利用正弦/余弦编码器计算高分辨率位置的方法

1.3.1 理论方法

1.3.1.1 概要

从硬件的角度而言，通常可采用两种方法，这两种方法主要影响对 A/D 转换器的要求。

在“过采样方法”中，正弦和余弦两种信号的采样频率至少应为最大正弦和余弦频率的四倍。增量计数及相位计算由主机处理器上的后续数字信号处理来完成。该方法不需要使用比较器，但要使用高速双采样 ADC。

常用的“欠采样”方法使用独立的硬件块来计算增量计数和插值增量相位。与第一种方法相比，该方法的优点是 ADC 的采样频率和带宽更低，因为此方法不会影响增量计数，而仅影响插值相位。但是，欠采样方法需要为每个正弦和余弦各使用一个比较器，以便生成数字正交编码信号 A 和 B，这两个信号会驱动方向递增递减计数器，也称正交编码脉冲计数器。双采样 ADC 的模拟带宽至少需要等于最大正弦/余弦频率。图 5 是欠采样方法的图示。

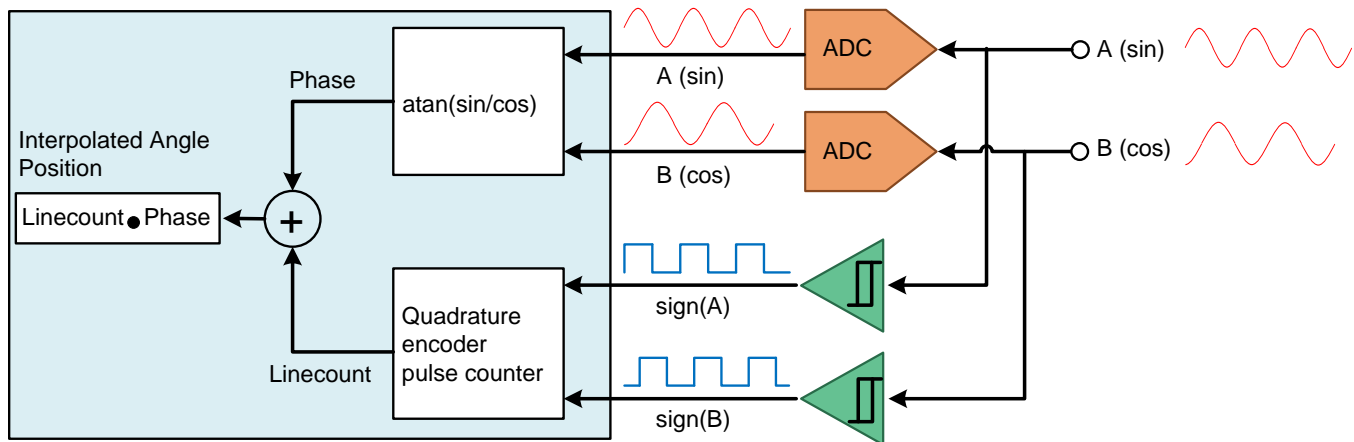


图 5. 用于插值角度计算的信号处理框图

总插值角位置由粗略角和精确角构成。插值角由实际增量线计数及该增量线范围内的相位决定。增量线范围内的相位源于任何特定时间点的模拟正弦和余弦信号 A 和 B。实际增量计数和实际模拟正弦和余弦信号都必须同时锁存，因此二者应同步。增量计线数提供粗略角，而该增量线范围内正弦和余弦的相位则提供精确角。总插值角由粗略角和精确角构成，如图 5 中的简化框图所示。下一段将介绍相应的公式 2 到公式 4。

1.3.1.2 粗略分辨率角度计算

增量计数及其确定的增量粗略角可由计数器决定，当 **A** 为前导序列时，计数器递增，而当 **B** 为前导序列时，计数器递减。数字化处理时，**A** 和 **B** 的边沿均会计数。因此，一个增量计数相当于信号 **A** 和 **B** 发生 90° 相移，参见图 3。增量计数从 0 开始，最大增量计数为 $incr_{MAX}$ （根据公式 2），其中 **N** 为线计数：

$$incr_{MAX} = (4 \times N) - 1 \quad (2)$$

增量位置 Φ_{incr} 的计算公式如下：

$$\Phi_{incr} [\text{deg}] = \frac{360}{4 \times N} \times incr + \Phi_0 \quad (3)$$

其中， $incr$ 是实际增量计数，**N** 是总的线计数， Φ_0 为零度角，该值由参考标记 **R** 确定（若使用）。

1.3.1.3 精确分辨率角度计算

正弦信号 **A** 和 **B** 的相位 $\phi_{A,B}$ 用于将角度值插入两个连续的线计数、或者四个增量步之间（两种方法效果相当）。相位 $\phi_{A,B}$ 可使用公式 4 计算：

$$\phi_{A,B} [\text{deg}] = \begin{cases} 90^\circ + \tan^{-1}\left(\frac{B}{A}\right) & \text{if } A \geq 0 \\ 270^\circ + \tan^{-1}\left(\frac{B}{A}\right) & \text{if } A < 0 \end{cases} \quad (4)$$

由于仅使用 **A** 和 **B** 的幅值比（编码器转速与电源电压的常用函数），因此计算结果不会影响最终结果。

1.3.1.4 插值高分辨率角度计算

当根据表 5 增量计数 $incr$ 与相位 $\phi_{A,B}$ 相符时，总插值角度 Φ_{TOTAL} 可通过线计数 **N** 计算，公式如下：

$$\Phi_{TOTAL} [\text{deg}] = \frac{360^\circ}{N} \left((incr \gg 2) + \left(\times \frac{\phi_{A,B}}{360^\circ} \right) \right) + \Phi_0 \quad (5)$$

CAUTION

正弦信号 **A** 和 **B** 及增量计数 $incr$ 必须同时锁存。

表 5. 增量计数与相位及相位象限间关系的示例

增量计数	相位	象限
0	0 ≤ 相位 < 90	1
1	90 ≤ 相位 < 180	2
2	180 ≤ 相位 < 270	3
3	270 ≤ 相位 < 360	4
4	0 ≤ 相位 < 90	1

1.3.1.5 非理想同步的实际实施

在实践中，与模拟信号相比，输入到正交编码器脉冲计数器的数字化信号 A_{TTL} 和 B_{TTL} 通常会有相移。产生相移的主要原因是比较器的滞后和传播延迟，以及锁存增量计数和采样模拟输入 **A** 和 **B** 之间的同步不理想。

滞后对相移的影响几乎与信号频率无关，但几乎与信号幅值成反比。传播延迟及采样模拟信号与锁存增量计数之间的不理想同步所产生的影响与幅值几乎无关，但与频率成比例。因此，最大相移出现在正弦/余弦编码器频率最大、幅值最小的位置。

这意味着每次转换到下一象限时，由于相位滞后的原因，增量计数器不会立即更新，如图 6 中的第一象限所示。

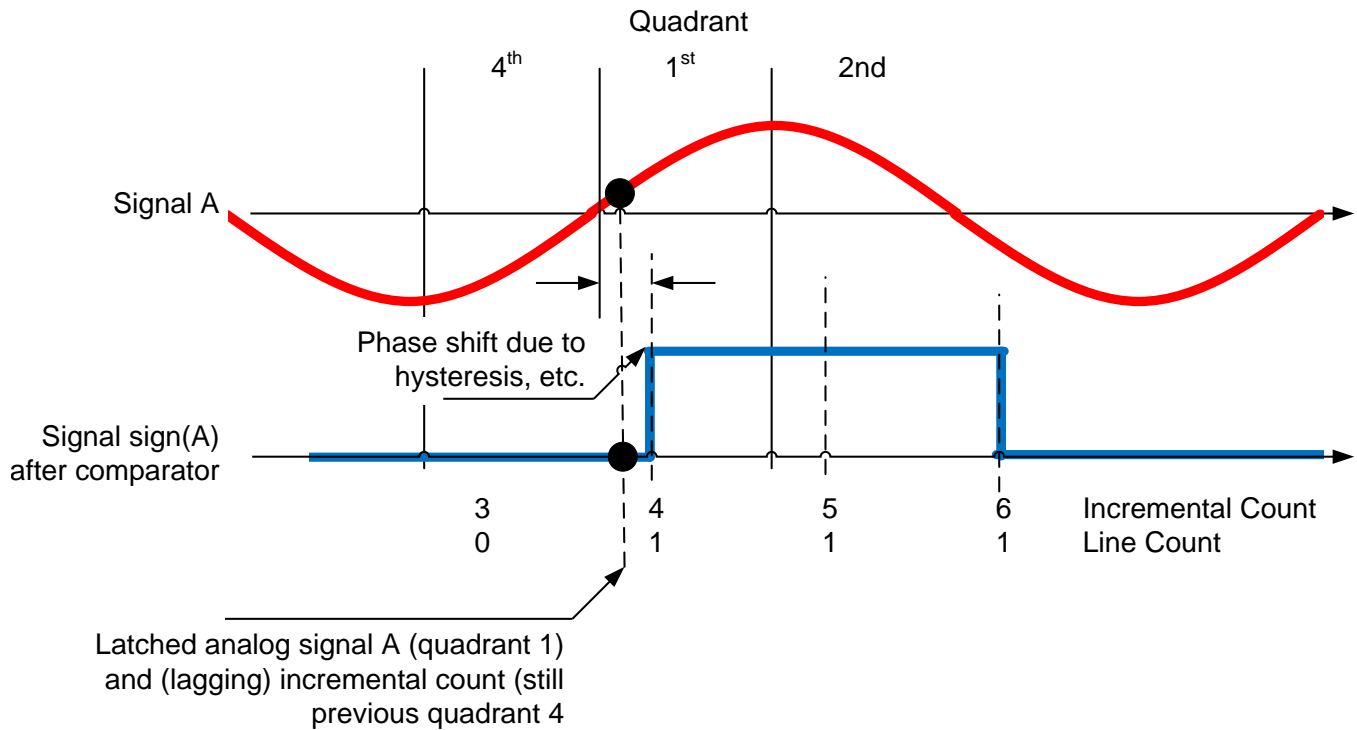


图 6. A_{TTL} 与模拟信号 A 因相位滞后产生的相移

上述因素不容忽视，因此需要采用一种方法来检测并校正这些极端情况。由于增量线数低两位和模拟相位具有不确定性，因此只要相移保持小于 $\pm 90^\circ$ ，即可应用表 6 中所述的校正方法。

由于仅使用相位信息来识别象限，因此只需要考虑两种例外情况（即从象限 4 转换到象限 1，或者从象限 1 转换到 4 象限时），具体视旋转方向而定。

表 6. 校正方法

增量计数 [incr]	相位 $\varphi_{A,B}$	校正方法
$incr \% 4 = 3$	$0 \leq \text{相位} < 90$	$incr = incr + 1$ ，如果 $incr > 4 \times N - 1$ ，则 $incr = 0$
$incr \% 4 = 0$	$270 \leq \text{相位} < 360$	$incr = incr - 1$ ，如果 $incr < 0$ ，则 $incr = 4 \times N - 1$

CAUTION

仅当模拟信号 A 和 B 与数字信号 A_{TTL} 和 B_{TTL} 之间的相移小于 $\pm 90^\circ$ 时，此校正方法才有效。

1.4 节 介绍了此参考设计在最坏情况下的计算方法。

1.3.1.6 分辨率、精度和速度的考量

理想的插值角分辨率是正弦/余弦编码器的线数与双路 ADC 分辨率的函数。等效的插值角分辨率的计算方法为：

$$\Phi_{\text{RESOLUTION}}[\text{bit}] = \log_2(2 \times N) + \text{ADC}_{\text{RESOLUTION}}[\text{bit}] \quad (6)$$

图 7 以图表形式展示了在无插值、使用理想 12 位双路 ADC 和 16 位双路 ADC 的情况下，可得到的插值角分辨率（线数的函数）。

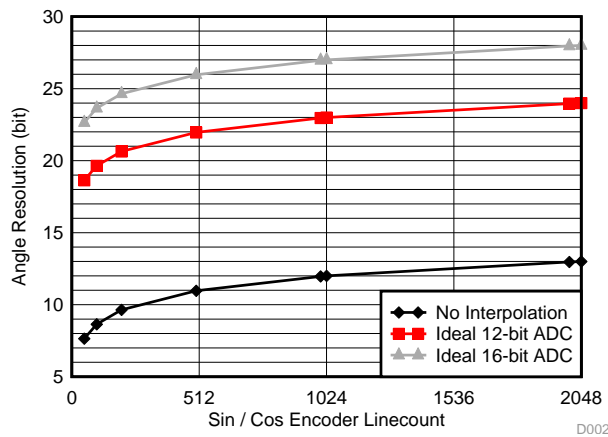


图 7. 理想插值角分辨率、线数与 ADC 分辨率

使用 16 位双路 ADC 时，如果使用 ADC 的满量程输入范围，则线数为 2048 的正弦/余弦编码器的理想分辨率等于 28 位。

位置控制通常不需要如此高的分辨率，但在进行极为精准的速度控制时，特别是在机械速度较低的情况下，则需要高分辨率。图 8 为在采样速率为 1.6kHz、无低滤波条件下得出的理想速度分辨率曲线。此时假设在 16kHz 条件下工业驱动系统速度闭环控制的运行比当前闭环控制和 PWM 低 10 倍。

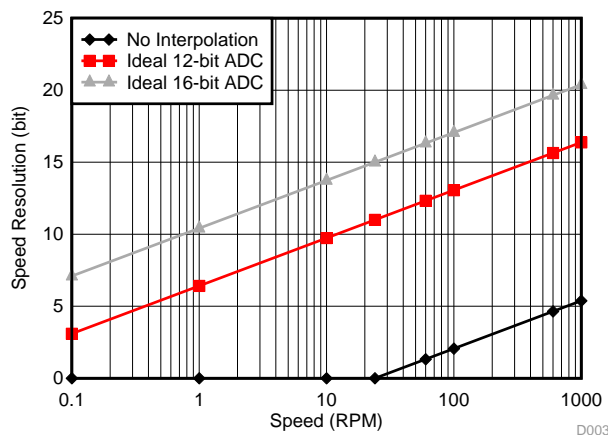


图 8. 采样速率为 1.6kHz、编码器线数为 1000 时的理想速度分辨率与机械速度

在实践中，将进行低通滤波并改进分辨率和抗扰度，但会出现滤波器特有的传播（组）延迟或延时。

继理想分辨率之后，表 7、图 9 和图 10 展示了量化、偏移、增益或相位误差对插值角的影响。

表 7. 相位误差示例分析

误差来源	示例	相位误差 [最大值]
信号 A 和 B 的量化	12 位	0.012% [0.045°]
信号 A 和 B 的偏移误差	0.1%	0.05% [0.18°]
信号 A 和 B 的增益误差	0.1%	0.04% [0.15°]
输入信号 A 和 B 之间的相移	90 + 0.36° [0.1%]	0.1% [0.36°]

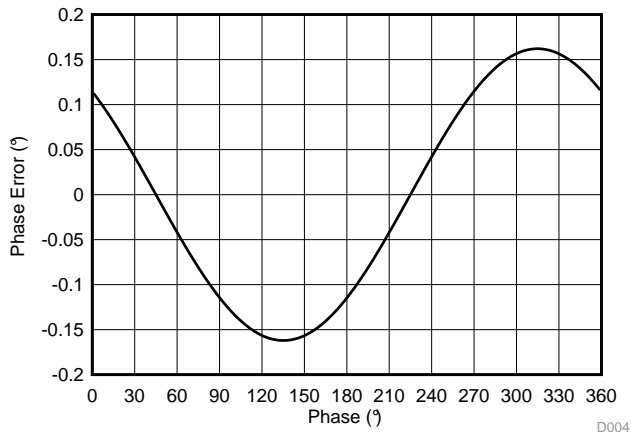
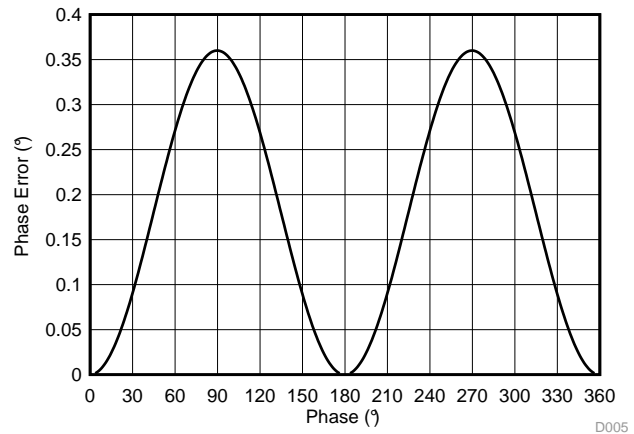

 图 9. 偏移为 +0.1% 时
信号 A 和 B 的相位误差


图 10. 信号 A 和 B 之间的相移为 (90 + 0.36°) 时的相位误差

请注意，因输入信号 A 和 B 之间的相移造成的相位误差显示了两个周期。可利用此特征图通过信号处理算法检测和校正常量相移。但这部分内容不属于本参考设计指南的范畴。

1.4 正弦/余弦编码器参数对模拟电路规范的影响

为确定模拟电路规范（如 4 节所述），我们考虑了以下正弦/余弦编码器信号参数（包括支持更长的电缆）。

- 正弦/余弦最小和最大峰峰值幅值：差动 0.3 到 1.2V_{pp}，满量程输入范围，至少 50% 的余量 (1.8V_{pp})
- 正弦/余弦偏移电压范围：2.5V ±1V
- 正弦/余弦最大频率：500kHz
- 正弦/余弦最大转换率：> 2V/μs
- 正弦/余弦线路端接电阻：120Ω ±1%
- 编码器电源电压和电流：5V ±5%，200mA

1.4.1 相位插值的模拟信号链设计考量

高分辨率模拟信号链应支持 16 位分辨率，以便提供高插值角分辨率，这尤其适用于精确速度控制。

差动模拟放大器的 AC 噪底和失真应匹配 16 位分辨率。对于 1V_{pp} 输入，该值约等于 15μV。

- 输入电压噪声：15μV/SQRT(1MHz) = 15nV/SQRT(Hz)
- 输入电流噪声：15μV/SQRT(1MHz)/R_{INPUT}，对于 R_{INPUT} = 1k，该值等于 15pA/SQRT(Hz)

增益和偏移在某种程度上属于 DC 参数，其漂移通常非常慢，主要与温度或老化有关。初始偏移和增益可在初始化过程中利用特定的算法进行校准，甚至在运行时也可以进行校准。因此对这些参数的要求可稍微宽松。增益和偏移随温度的漂移均应在 10LSB 的范围内。对于 1V_{pp} 输入信号，该值约等于 150μV。

- 偏移漂移 [0 到 85°C]: 150μV/85°C ~ 2μV/°C
- 增益漂移: [0 到 85°C]: 160ppm/85°C ~ 2ppm/°C

对于增益设置，推荐使用匹配电阻（相同封装）。

1.4.2 增量计数的比较器功能系统设计

请参阅上文的图 5：500kHz 条件下，模拟信号与数字信号 ATTL 和 BTTL 之间的总传播延迟应小于 90°，相当于 500ns。硬件造成的延迟不应超过约 50 到 70%（相当于 250 到 350 ns），以便留出余量，例如硬件相关的偏移和温度漂移、因模拟低通/去耦滤波器造成的相移以及后续主机处理器中的非理想同步。

在最小 0.3V_{pp} 输入处，滞后电压为 160mV (±80mV) 时，因滞后造成的延迟约为 32 度或 180ns（信号频率为 500kHz 时）。

比较器的传播延迟会使延迟加剧。比较器传播延迟越小，通过增大滞后电压或应用其他方法来提高系统抗扰度的余量就越大。

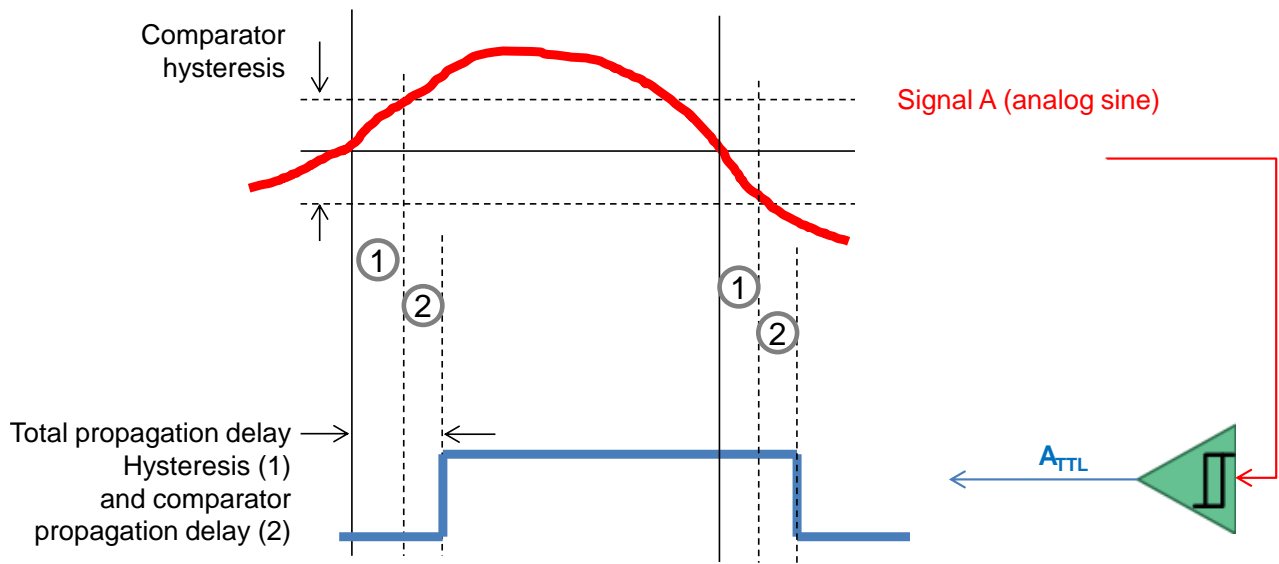


图 11. 带滞后电压的比较器上的信号延迟

2 设计特性

如 1 节中所述，此 TI 参考设计实现了符合工业温度要求和 EMC 标准的接口，适用于正弦/余弦增量位置编码器，具有 $1V_{pp}$ 差动模拟输出信号 A、B 和索引标记 R，输入频率高达 500kHz，电源电压为 5V。此 TI 参考设计的主要构件包括：双路模拟信号链、高速比较器块、电源管理块、正弦/余弦编码器接口及主机微控制器（用于数字信号处理和高分辨率位置计算）的接口。

为便于对此 TI 参考设计进行评估，我们为 TMS320F28069M InstaSPIN™-MOTION LaunchPad 提供了示例固件。TMS320F28069M 将结合使用外部 16 位 ADC（通过 SPI 和模拟通道）和内部双路 S/H 12 位 ADC，来计算两条信号通路的高分辨率角位置，并通过 USB 虚拟 COM 端口将分辨率高达 28 位的角位置数据输出。

TIDA-00176 特性概述

- 输入电压范围宽：24V（17 到 36V），具有反向极性保护功能，可为模拟信号链提供必要的电压，并可为正弦/余弦编码器提供 5.25V 电压。
- 编码器接口：适用于 5V 正弦/余弦编码器的 Sub-D 15 或 8 引脚插头接口，具有差动输出信号 A、B 和标记 R，在 $2.5V \pm 1V$ 偏移处，范围为 0.3V 到 $1.2V_{pp}$ ，输入带宽最高可达到 500kHz。
- 双路模拟信号处理：双路选件配有板载高速高分辨率双路 16 位同步采样 ADC，具有 SPI 和双路模拟输出（偏置电压为 1.65V），可连接至外部 S/H ADC。高速、低传播延迟比较器具有 160mV 可调滞后电压，可获得更好的抗扰度，可将模拟信号 A、B 和 R 转换为 3.3V TTL 信号（通常称为 ABZ 信号）。
- 高分辨率插角值位置，高达 28 位的分辨率，长达 70m 的实测电缆长度
- EMC 抗扰度：已经根据 IEC 61800-3 标准中的 EMC 抗扰度要求及可调速电力驱动系统适用的特定测试方法，对此参考设计进行测试，此项参考设计符合 IEC61000-4-2、4-4 和 4-5（ESD、EFT 和浪涌）要求。
- 可连接主机处理器，具有用于 MCU QEP 和 SPI 的 3.3V 数字接口信号输出，及用于 MCU 内嵌双路 S/H ADC 的可选单端模拟 0 到 3.3V 输出。
- 评估固件：适用于 Piccolo F28069M MCU 的示例固件，可按 16kHz 频率进行高分辨率双角位置。用户界面通过 USB 虚拟 COM 端口输出，方便进行性能评估。

2.1 正弦/余弦编码器接口

此参考设计提供与 HEIDENHAIN 编码器测试设备兼容的屏蔽式 Sub-D15 插座连接器或 8 引脚插头连接器，可连接到具有差动输出信号 A、B 和标记 R 的 5V 正弦/余弦编码器。

表 8. 正弦/余弦编码器接口

参数	典型值	注释
编码器电源电压	5.25V [$\pm 5\%$], 200mA	选择 5.25V 电压是为了获得额外的 0.25V 裕度，以补偿长距离电缆上的电压降。可通过更改反馈电阻进行调整，例如调整为 5V
输入信号	A+, A-, B+, B-, R+, R-	120Ω 差动线路端接
A+, A-, B+, B- 的输入电平和共模电压范围	0.3V – $1.2V_{pp}$, $2.5V \pm 1.0V$, 共模	
R+, R- 的输入电平和共模电压范围	0.2V – $0.85V_{pp}$, $2.5V \pm 1.0V$, 共模	

2.2 主机处理器接口

信号 A+、A- 和 B+、B- 的高分辨率通路配有高速、高分辨率双路 16 位同步采样 ADC，带差动输入和 SPI 输出。该功能块的主要特点在表 9 中介绍。

表 9. 带 ADC 和 SPI 输出的 16 位高分辨率通道

参数	典型值	注释
增益 A、B	5.0 (0.1%)	匹配的单封装增益设置寄存器 (0.1%)
增益漂移 A、B	2ppm/°C	匹配的单封装电阻
偏移 A、B	< 10LSB (@ 16 位)	未校准
偏移漂移 A、B	< 0.15LSB/°C	
带宽 (-3dB)	≥500kHz	
量化	16 位	FSR = ±5V (ADS8354) 提供插接式兼容 14 或 12 位版本
采样频率	高达 700kSPS	
数据输出格式 A、B	16 位二的补码	
串行接口 (SPI 从器件)	3.3V, 最高 24Mhz SPI 时钟	每个 SPI 帧两个 16 位数据

信号 A+、A- 和 B+ 的并行第二通路可为 A 和 B 提供单端模拟输出，偏置电压为 1.65V，可连接至嵌入到 C2000 Piccolo 等微控制器中的外部双 S/H ADC。

表 10. 具有单端模拟输出的模拟通道

参数	典型值	注释
单端模拟输出 A 和 B	0-3.3V, 1.65V 偏置电压 [50ppm/K]	与 1.5V 基准电压插口兼容，基准电压用于匹配 ADC 与 0-3V 输入和 1.5V 偏置。
增益 (A,B)	1.66 (0.1%)	可调，建议使用 0.1% 电阻
偏移 (A,B)	< 1 mV	未校准
偏移漂移 (A,B)	< 2μV/°C	
带宽 (-3dB)	~ 500kHz	可调 LP 滤波器可用于调节带宽

比较器块具有高速、低传播延迟比较器，带可调 100mV 滞后电压，具有更好的抗扰度，可将模拟信号 A、B 和 R 转换为 3.3V TTL。

表 11. 比较器

参数	典型值	注释
数字输出信号 A、B 和 R	3.3V TTL	
滞后	~160mV (±80mV)	要提高抗扰度，可通过更改反馈电阻进行调节
传播延迟	~ 40ns	低传播延迟
最大相位延迟 (传播延迟和滞后)	< 60°	0.3V _{pp} 500kHz 输入下

2.3 评估固件

为了快速评估 TIDA-00176 参考设计，我们提供了适用于 Piccolo F28069M MCU 的示例固件，固件可针对 16 位双 ADC ADS8354 和 F28069M MCU 的内置双 S/H 12 位 ADC 进行插值高分辨率角度计算。用户界面以 115000 波特通过 USB 虚拟 COM 端口进行连接，可方便进行性能评估。

通过 115000 波特的虚拟 COM 端口连接的用户界面支持以下功能：

- 选择正弦/余弦编码器线数：最大 32000
- 通过 SPI 对外部双路采样 16 位 ADC、内部 12 位双路 S/H ADC 和增量计数器进行硬件和软件同步采样，同步延迟小于 100ns
- 采用 32 位小数 Q28 格式输出高分辨率角。角度换算值范围从 0 到 0.9999999，最大 28 位插值角分辨率
- 第一次出现索引标记 R 后会自动初始化绝对位置
- 通过菜单选择 10Hz 显示模式或 200Hz 更新速率的数据转储模式，以显示通过 TIDA-00176 设计上的 16 位双路 ADC (ADS8354) 及 C2000 片上 12 位双路 S/H ADC 获得的总角度、增量角和相位
- 编码器未连接或差动输入电压低于 0.3 V_{pp} 时，会显示诊断错误消息

2.4 电源管理

本 TI 参考设计采用 24V DC 输入，输入电压范围宽（17 到 36V），并具有反极性保护功能。板载电源管理分为 DC/DC 降压，可生成中间的 6V 轨和三个 LDO，这三个 LDO 会生成相应的 3.3V、5-V 和 5.25V 轨。

5.25V 编码器电源配有噪声极低的 LDO 及使能引脚。因此，可通过主机处理器切断正弦/余弦编码器的电源电压（若需要）。

表 12. TIDA-00176 电压轨

参数	电压	电流	注释
输入	24V [17 到 36V]	150 mA	宽输入电压，具有反极性保护功能
中间轨	6V [±5%]	500 mA	中间轨。高效 (> 80%) DC/DC 降压电源
编码器电源	5V [±5%]	250 mA	选择 5.25V 的电压获得额外的 0.25V 裕度，以补偿长距离电缆上的电压降。可通过更换反馈电阻调整为 5V（示例值）
5V 电源轨	5V [±5%]	100 mA	高精度信号链电源
3.3V 电源轨	3.3V [±5%]	100 mA	低精度信号链电源

2.5 EMC 抗扰度

此设计符合 IEC61000-4-2、4-4 及 4-5 针对 ESD、EFT 和浪涌的要求，且达到 IEC 61800-3 标准“可调速电力驱动系统 EMC 抗扰度要求”规定的级别。假定仅能使用 subD-15 连接器连接位置编码器，并通过编码器屏蔽电缆连接编码器。由于编码器电缆长度可能会超过 30m，因此需参照表 13 所示的 2 类环境要求实施 ESD、EFT 和浪涌。

表 13. EMC 抗扰度要求

端口	EMC 测试	EMC 标准	电平	性能（验收）标准
正弦/余弦编码器接口连接器	ESD	IEC 61000-4-2	±4-kV CD, 或 CD 不可行时 8kV AD	B
	快速瞬态突发 (EFT)	IEC 61000-4-4	±2kV/5kHz, 电容夹	B
	浪涌 1.2/50µs、8/20µs	IEC 61000-4-5	±1kV。由于屏蔽电缆长度 >20m, 因此需直接耦合屏蔽层 (2Ω源阻抗)	B

性能（验收）标准定义如下所示：

表 14. 性能标准

性能（验收）标准	说明
A	模块按预期连续运行。测试过程中无功能或性能损失
B	允许性能暂时下降。测试完成后，模块在无人工干预的情况下应能够按预期继续运行。
C	允许测试期间存在功能损失，但硬件或软件不得损坏。测试完成后，模块经手动重启或者掉电/上电后应能够自动按预期继续运行。

3 方框图

图 12 所示为本设计的系统框图。此 TI 参考设计的主要构件包括：双路模拟信号链、高速比较器块、电源管理块及连接正弦/余弦编码器和主机微控制器（用于数字信号处理和高分辨率位置计算）的接口。为方便评估 TIDA-00176 设计，我们提供了适用于 F28069M Piccolo LaunchPad 的示例固件，用于通过虚拟 COM 端口输出角位置。

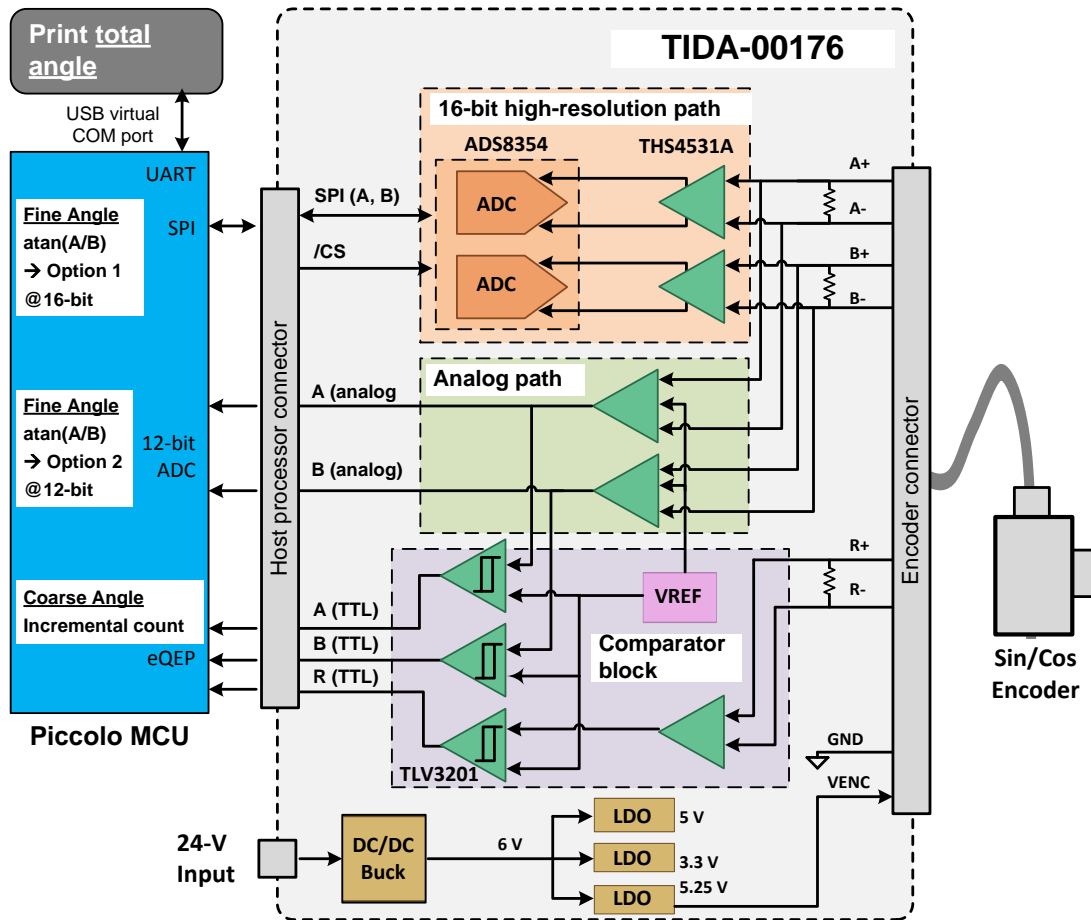


图 12. TIDA-00176 系统方图（带 Piccolo F28069M LaunchPad）

模拟信号链提供具有 EMC 保护功能的 120Ω 端接，并分别对差分 1V_{pp} 正弦和余弦输入信号进行放大和电平转换。板载 ADS8354 高速双路 16 位同步采样 ADC 提供了双信号通路，具有 SPI 及一条模拟通路，其双路模拟输出具有 1.65V 偏置电压，可连接至外部双路 S/H ADC（例如内嵌在 MCU 上的 C2000 Piccolo）。

比较器块具有速度快、传播延迟低、滞后可调的特点，可提高抗扰度。比较器块将模拟信号 A、B 及标记 R 转换为 3.3V TTL 电平数字信号，可连接至正交编码器脉冲模块（如 C2000™ Piccolo MCU 上的 QEP 模块）。

板载宽输入范围 24V 电源可为模拟信号链提供必要的电压，同时为正弦/余弦编码器提供 5.25V 电压。

正弦/余弦编码器接口可连接 15 引脚屏蔽 Sub-D 连接器或 8 针插头。连接主 MCU 的接口可为 SPI 和 A、B 和 R 输出提供 3.3V TTL 信号，以及范围在 0 至 3.3V 的模拟信号 A 和 B（1.65V 偏置电压）。

4 电路设计和组件选择

4.1 模拟信号链

图 13 概括展示了模拟信号链子系统和比较器子系统。模拟信号链的实施分为以下两条通路：

- 高分辨率信号通路带有全差分放大器和全差分双路 16 位 ADC，提供 SPI 输出，具有更高的共模噪声抗扰度。
- 模拟通路采用差分输入及单端模拟输出，可驱动放大器，并可连接至带有内置的 ADC 的主机处理器。

双模拟通路有两种选择，一是对在高分辨率通路采用板载 16 位双路 ADC 的设计进行测试，二是利用从模拟差分输入到单端输出的通路连接带有内置 ADC 的 MCU。此外，由于模拟通路通过高分辨率通路的缓冲器去耦，因此可确保比较器通过实现理想的去耦效果。借助这种方式，在正弦和余弦信号零交期间输出电平切换时，可避免高分辨率模拟通路中产生串扰。

另一种情况是同时使用两条通路。其中一条低带宽通路用于过滤 HF 噪声，以提升抗扰度；而另一条通路提供标准带宽，以达到最大速率。低带宽通路的抗扰性强，用于高分辨率

16 位 ADC，而另一条标准带宽通路则连接带有内置 ADC 的 MCU。当电机速度较低（低于所配置的截止频率）时，从高分辨率通路获取插值相位（反切）；而当电机速度较高时，从另一通路获取插值相位。主机处理器将根据电机速度决定使用的角度。

比较器子系统将以极小的传播延迟生成信号 A、B 和 R 的 TTL 电平输出。后续章节将分别介绍每个子系统。

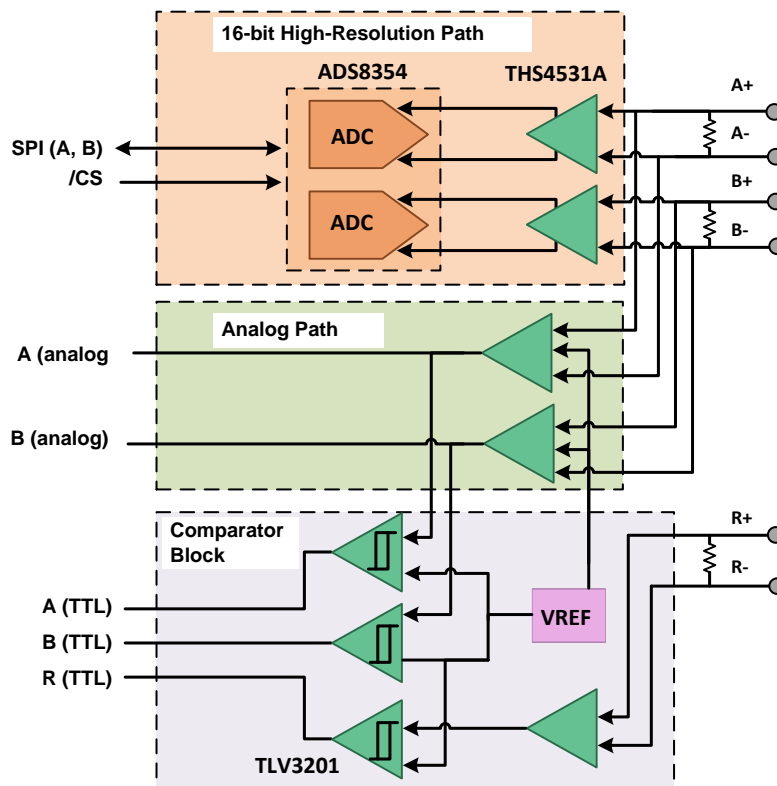


图 13. 模拟信号链

4.1.1 带有 16 位双路采样 ADC 的高分辨率信号路径

4.1.1.1 元件选择

为满足设计要求，需采用高精度双通道 ADC。选择 ADS8354 的原因如下：

- 高分辨率（16 位）、高精度（出色的 THD 和 SNR 性能：-93dB SNR，-100dB THD）
- 插接式 14 位和 12 位版本（引脚兼容），可根据分辨率与成本优化需求灵活选择
- 速度快 (700kSPS) 且带宽高，可支持至少 500kHz 模拟输入信号
- 双通道采用真正的差分输入及双/独立基准电压，可有效提升共模噪声抗扰度
- 同步采样的双通道，确保正弦与余弦输入信号 A 和 B 之间零相移
- 硬件触发采样点（/CS 下降沿），确保主机处理器精确同步采样点与递增计数器锁存。
- 采样保持电路完成转换过程后即返回采样模式，使采样时间相对延长，保证 16 位精度
- 2.5V 双路可编程缓冲内部基准，可为放大器提供共模偏置电压，几乎可消除偏移误差和偏移漂移误差。
- 连接主机处理器的串行端口（双路数据）时钟频率可达 24MHz，可最大程度缩短延迟
- 在 -40°C 至 125°C 的扩展工业温度范围内完全额定运行
- 小封装

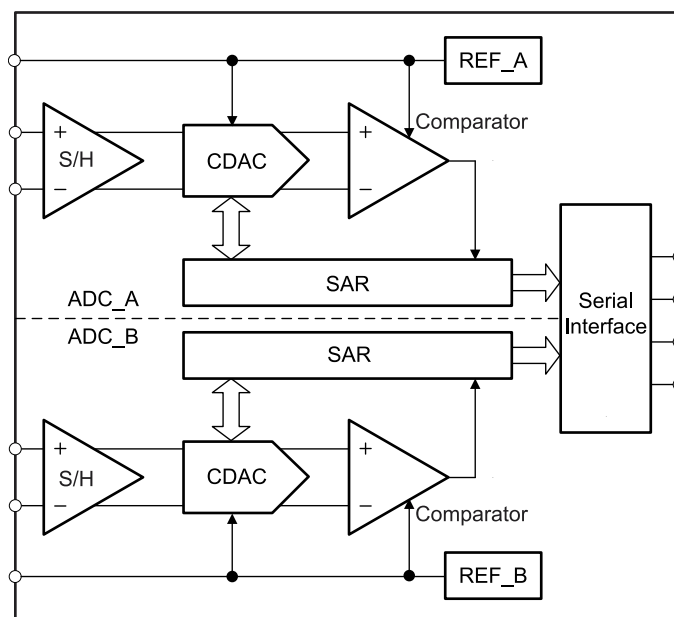


图 14. ADS8354 框图

要发挥 ADS8354 的性能，需借助采用可配置输出共模电压的完全差分高速放大器，如 THS45xx 系列。

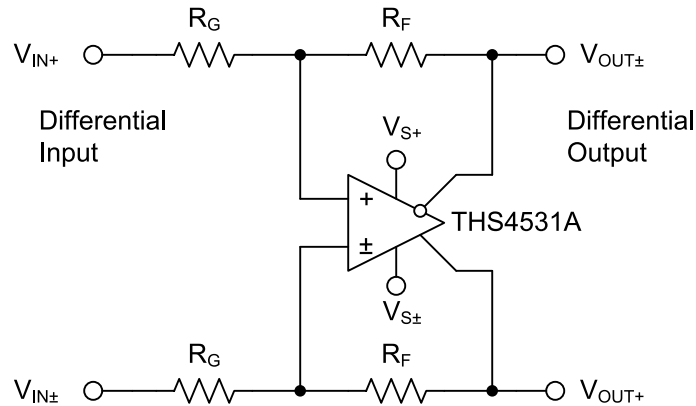


图 15. 差分输入至差分输出放大器

信号始终保持完全差分，增益及可选滤波由输入及反馈电阻和电容确定。增益的大小取决于 R_F/R_G 比值，而输出共模电压则取决于输入信号 V_{OCM} 。

本设计使用 THS4531A，因为该款放大器不仅符合拓扑结构，可以驱动 ADS8354，而且符合 1.4 节中所述的 AC 和 DC 规范要求。这款放大器在每个封装中使用一个放大器拓扑，而不像 THS4532 在每个封装中使用双路差分放大器，这样可以更加轻松灵活地进行 PCB 布线。

本设计中所用 THS4531A 的关键参数：

- 完全差分架构，输出共模电压可调
- 高增益带宽：27MHz ($G = 5$ 时为 6MHz)
- 低失真，1kHz 时 THD 为 120dBc ($1 V_{RMS}$, $R_L = 2k\Omega$)
- 输入电压噪声：10nV/ $\sqrt{\text{Hz}}$ ($f = 1\text{kHz}$)
- 极低的偏移， V_{OS} ： $\pm 100\mu\text{V}$
- 极低的偏移漂移， V_{OS} 漂移： $\pm 2\mu\text{V}/^\circ\text{C}$ (工业温度范围)
- 5V 单电源，与 ADS8354 共用电源
- 轨到轨输出 (RRO) 与负轨输入 (NRI)，可最大限度增大输入和输出信号摆幅

4.1.1.2 输入信号端接与保护

每组差分输入信号端接一个 120Ω 的电阻。为实现差模及共模 HF 噪声抑制，增加了 COG 电容。差分低通滤波器的截止频率 (-3dB) 约为 6MHz 。 10Ω (1%) 耐脉冲电阻与肖特基二极管共同作用，钳位至 5V 电源轨或 GND ，以通过限制输入电流实现 ESD 保护。图 16 所示为 TIDA-00176 编码器差分信号 A+ (正弦) 和 A- (余弦) 输入级的原理图。

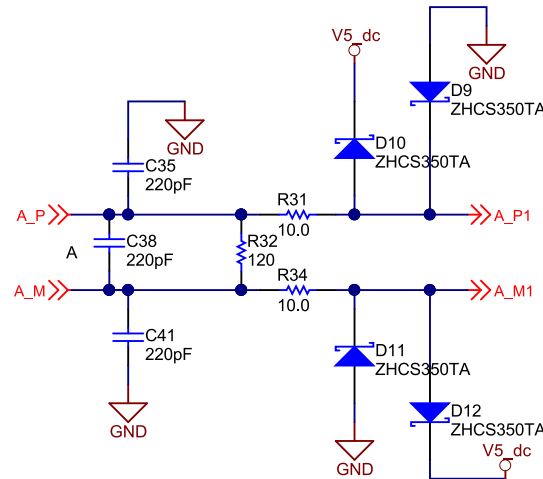


图 16. 模拟输入端接

从左到右分析编码器信号 A+/A- (原理图中名为“A_P/A_M”) 信号调节原理框图，可以看出其包含以下部分/功能：

- HF 噪声抑制 COG 电容：C35、C38 和 C41。要加强共模抑制，可在每个各差分输入端与地之间增加 2nF COG 电容，该电容与 220pF 电容并联。低通截止频率 (-3dB) 约为 6MHz 。
- 阻抗匹配/端接电阻 120Ω ：R32
- 耐脉冲限流电阻：R31、R34
- 5V 电源轨和 GND 钳位二极管/运算放大器保护 (D9 至 D12)

LP 滤波器设计用于在系统规范所要求的速度下确保正常的功能和性能。

4.1.1.3 差分放大器 THS4531A 和 16 位 ADC ADS8354

两个初级电路是输入驱动器和参考驱动电路，可最大程度发挥高精度逐次逼近寄存器 (SAR) ADC 的性能。有关放大器选择的详细信息，请参见 ADS8354 数据表第 9.1 节。

THS4531A 可与 ADS8354 搭配使用。实际上，来自 ADS8354 本身的基准电压输出将作为共模或交流电平输入信号（通常为 2.5V）直接提供给 THS4531A，这样可以最大限度降低偏移误差和漂移误差。

ADS8354 的差分输入满量程配置为 $\pm 2 \times V_{REF}$ 。如果基准电压 $V_{REF} = 2.5V$ ，则 FSR 为 $\pm 5V$ 。正弦/余弦编码器最大差分输入电压为 $1.2V_{pp}$ 。高于 $1.35V_{pp}$ 的电压仍应被检测为故障。最大峰峰值电压加上 50% 安全裕量，即为 $1.8V_{pp}$ 。为与 ADC 满量程输入范围匹配，THS4531A 的增益应为 5.5。但是，要在 5V 电源电压下保持 THS4531A 的线性输出电压范围（最低 0.25 至 4.8V），应将增益减小约 10%，因而理想的差分放大器增益应为 5。

为确保最大限度降低增益误差，尤其是双通道之间的偏移，需使用 0.1% 精度、2ppm/K 温度漂移的高精度匹配电阻。要最大限度减小噪声，应选择更低 k Ω 级的反馈电阻（请参见 1.4 节）。

使用高精度匹配电阻分压器，来尽可能控制潜在增益误差。有关详细信息，请参见 MPMT10015001AT1 数据表。

在增益为 5 的情况下，典型 $1V_{pp}$ 输入信号约对应 50% 的 ADC 满量程范围 (FSR)，这会造成 1 位的精度损失，即相当于仅 15 位分辨率。当输入电压低至 $0.6V_{pp}$ 时，约为 25% FSR，通常相当于 14 位分辨率。

图 17 所示为高精度模拟信号路径原理图；匹配的增益设置电阻为 R18、R27、R30 和 R37。

串联抗混叠滤波器的 10Ω 电阻 R21、R25 与 $2.2nF$ 电容 C29（对于 ADS8354 通道 B，分别为 R33、R36 与 C39）。跨接 ADC 输入的滤波器电容 C29 (C39) 将过滤前端驱动电路噪声、减少采样电荷注入，并提供一个电荷桶，可在采集过程中对内部采样保持电容进行快速充电。根据经验法则，其电容值应至少为 ADC 采样电容规定值的 10 倍。对于这些器件，输入采样电容为 $40pF$ 。应采用 COG 或 NPO 类型电容，因为这两种类型的电容具有电荷量大、温度系数低的特点，且在电压、频率及时间变化的情况下依然能保持稳定的电气特性。为避免出现放大器稳定性问题，在放大器输出端增加了 10Ω 串联隔离电阻 R21、R25（R31、R39）。有关详细信息，请参见 ADS8354 数据表第 9.1 节。

为最大限度降低 ADC 基准电压 REFIO_A 和 REFIO_B 偏移漂移的影响，设计中采用 ADC 基准来偏置 THS4531A 的共模输出电压。为对 THS4531A 的 V_{OCM} 信号进行缓冲并去耦，在靠近各引脚的位置增加了小型 RC 滤波器 R24/C32 和 R35/C42、R28、R29、C36 和 C37。

ADS8354 基准电压 REFIO_A 和 REFIO_B 分别通过电容 C36 和 C37 去耦，同时增加了串联 0.22Ω 电阻，以避免高频振荡。

为优化布局以防止串扰，尽量避免为关键信号 A+、A- 以及 B+、B- 使用过孔，我们采用了以下连接。

1. 差分输入信号 A (A+, A-) 在 THS4531A 的输入端反相，然后馈入至 ADS8354 输入通道 B。
2. THS4531A 的差分输出信号 B+ 和 B- 反相连接至 ADS8354 输入引脚，其中 AINP_A 连接 B-，AINM_A 连接 B+

如此便形成以下硬件关系：ADS8354 通道 B 等于反相正弦/余弦编码器信号 A；ADS8354 通道 A 等于反相正弦/余弦编码器信号 B。

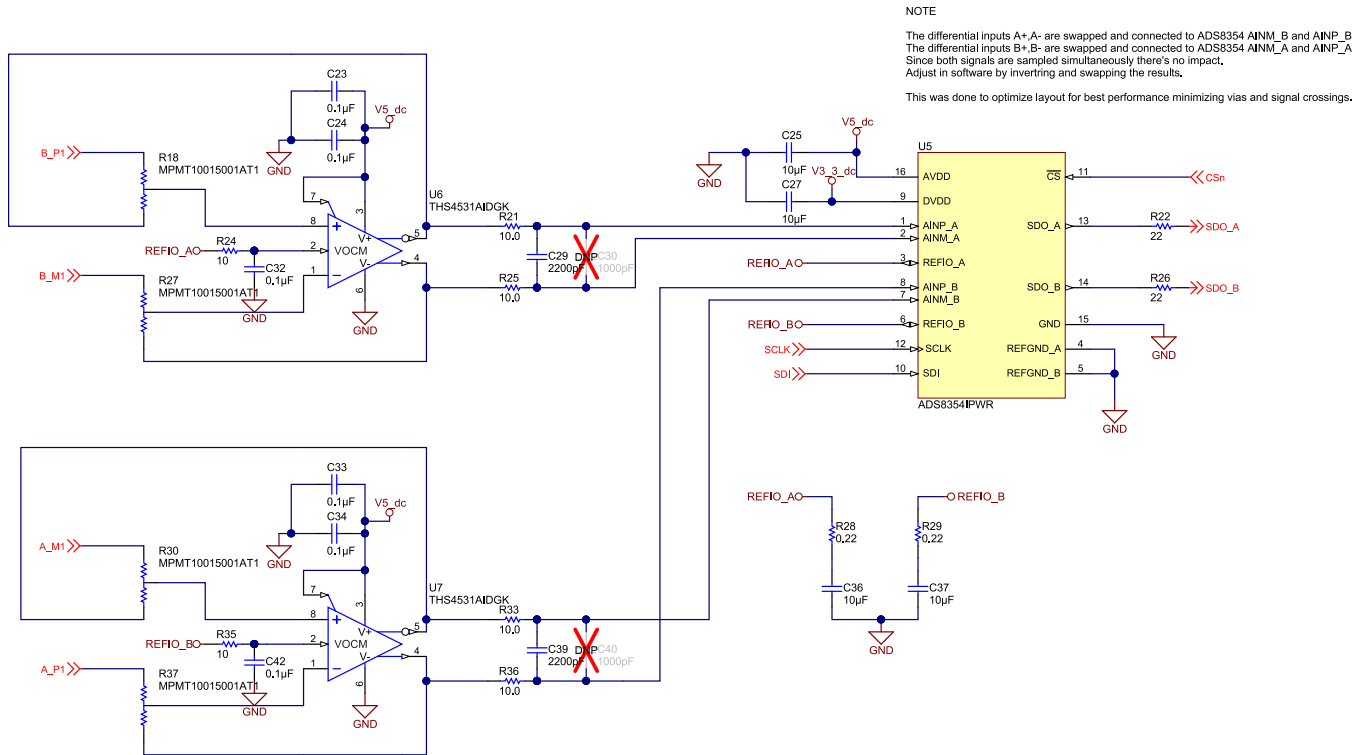


图 17. 双路 THS4531A 和 ADS8354 的正余弦信号链

注：通道进行反相和交换，是为了实现最佳性能布局，并最大程度降低过孔数量。

为降低带宽，提升抗扰度，建议根据所需带宽在反馈路径中增加 10pF（1% 或更高精度）或更大电容，电容与 5kΩ 电阻并联。请参见 4.5 节。

有关通过串行接口配置 ADS8354 寄存器的信息，请参见 4.3 节。

4.1.2 带内置 ADC 的 MCU 的单端输出模拟信号路径

并行模拟信号路径不应影响高分辨率路径，特别是差分放大器。因此，差分信号 A+、A-、B+ 和 B- 在输入端接和保护后实现分接，并通过偏移（尤其是偏移漂移）极低的单位增益放大器进行缓冲。后续放大器应将差分信号转换为单端信号。最低带宽至少应达到 500kHz，理想状态应高到可以支持输出信号高于 500kHz 的增量编码器。比较器路径的相位延迟应与高分辨率路径相似，以最大程度减小模拟信号相位偏移。

电源电压应为 5V 单电源。

为匹配高分辨率通道，两个运算放大器偏移漂移的总和应至少达到相当于 12 位的精度，从而与高分辨率通道的模拟性能完美匹配。选择 OPA2365 执行输入缓冲及差分到单端转换，原因如下：

- 2.2V 至 5.5V 的工作电压，以利用 5V 电源轨
- 轨到轨 I/O
- 偏移及偏移漂移极低：200 μ V（最大值）和 1 μ V/K（典型值）
- 电压和电流噪声低：4.5nV/SQRT(Hz) 和 0.004pA/SQRT(Hz)
- THD+N 出色：0.0004%
- 共模抑制比高，CMRR：100dB（最小值）
- 转换速率：25V/ μ s
- 快速稳定：300ns（0.01% 误差）驱动外部 ADC

也可选择成本更低的替代产品 OPA2322，其偏移电压为 2mV，会使 AC 和 DC 性能略微下降。

模拟输出电压范围应为 0 至 3.3V，共模电压 1.65V。采用节 4.1.1 所述标准，最大 1.8 V_{pp} 输入电压，10% 相对 3.3V FSR 的裕度时，增益为 1.66。

图 18 所示为通道 A 的模拟信号链，通道 B 与此相同。

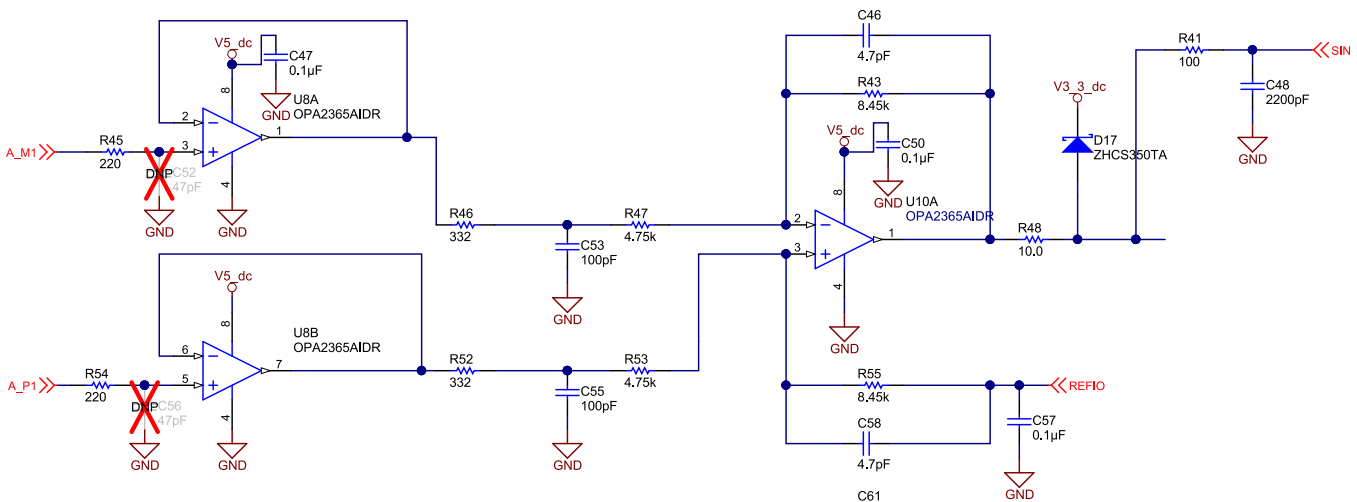


图 18. 信号 A（正弦）差分输入到单端输出的模拟信号路径，未显示信号 B（余弦）

差分信号 A_P 和 A_N 经由 220 Ω 电阻连接至 OPA2365 的非反相输入（U8A 和 U8B）。OPA2365（U8A 和 U8B）配置为单位增益缓冲器，避免加载信号源及引入失真。在过压或欠压状态下，220 Ω 串联电阻可限制 OPA2365 非反相输入端的电流。各缓冲器的输出端采用小型可调 RC 滤波器实现高频降噪，如上图所示，RC 滤波器由 R46 和 C53 构成，f-3dB 频率约为 5MHz。

后面的 OPA2365 (U10A) 配置为差分到单端放大器及电平转换器。其采用低漂移电压基准 REF2033，增益设置为 1.66，输出共模电压为 1.65V。可调 5.6pF 反馈电容与反馈电阻并联形成 HF 噪声滤波器 (f-3dB ~ 3.5MHz)，完美匹配 THS4531A 带宽。请参见 4.5 节。

由于 OPA2365 采用 5V 电源，放大器输出借助串联 10 Ω 限流电阻 (R48) 钳位至 3.3V (D17)。这种方式可保护后面的比较器 (TLV3202/1) 和外部 ADC（通常为 3.3V I/O）。

增加抗混叠去耦 RC 电路 (R41/C48)，用于驱动外部 ADC。滤波器经过优化，可与 C2000 Piccolo MCU 系列中内嵌的 12 位双路 S/H ADC 配合使用。对于其它 ADC，需对滤波器进行相应调整。

1.65V 偏置电压采用 100n 电容 (C57) 进行去耦。除此之外，还增加了 LP RC 滤波器来降低越来越多的 HF 噪声分量，尤其是来自开关 TPS54040A 的潜在噪声分量。

4.1.3 数字信号 A、B 和 R 的比较器子系统

比较器用于进行模拟信号 A 和 B 的过零检测，以及标记 R 的零索引脉冲检测，并相应生成数字 3.3V TTL 信号 A_{TTL} 、 B_{TTL} 和 R_{TTL} （通常称作 ABZ）。如 1.4 节所述，低传播延迟的比较器可以为系统提供额外的裕度。

所选比较器为 40ns 低功耗、推挽式输出比较器 TLV3201（单路）和 TLV3202（双路），主要特性如下：

- 低传播延迟，典型值 40ns
- 低输入偏移电压（典型值 1mV），可最大程度降低开关阈值的漂移
- 推挽式输出，可驱动 3.3V I/O 主机处理器的输入
- 工业温度范围

具有 250ns 传播延迟的 TLC372 双路比较器的成本更为低廉，具体选型取决于总系统传播延迟及最大频率。TLV320x 系列的优势在于：可以在保持所需 500ns 最大延迟（500kHz 下）的同时，允许其他元器件增加延迟。例如，更大的滞后电压会增加传播延迟，但可以提升抗扰度。

4.1.3.1 带滞后的非反相比较器

所有比较器的输入信号均源自单端至差分放大器的输出。如上文所述，输出信号钳位到 3.3V，并通过 RC 电路（如图 19 中用于信号 A 的 R49、C54）去耦，以避免分别与模拟单端信号 A 和 B 发生串扰。

这与高分辨率路径和该路径之间的相位匹配，而比较器输入端的 RC 去耦电路与 THS4531A 输出端的 RC 滤波器（ $2 \times 10\Omega$ 和 2.2nF）匹配。

TLV370x 配置为非反相比较器，用于模拟正弦信号和余弦信号 A 和 B 的过零检测，以及索引脉冲 R 检测。图 19 所示为信号 A 对应的原理图。

开关阈值取决于基准电压 $V_{REF} = 1.65V$ (REF2033)，此外，基准电压还用于为差分到单端放大器的单端模拟信号提供偏置。对于每个放大器，基准输入信号来自 REF2033，并经由 10Ω 串联电阻和 100n 电容实现去耦。

为提升抗扰度，我们增加了滞后电路。非反相比较器滞后电压 ($V_{TH+} - V_{TH-}$) 计算公式如公式 7 所示：

$$V_{\text{Hysteresis}} = (V_{\text{Out_High}} - V_{\text{Out_Low}}) \times \frac{R_G}{R_F} \quad (7)$$

其中， $V_{\text{Out_High}}$ 和 $V_{\text{Out_Low}}$ 分别为高电平和低电平比较器输出电压， R_F 为反馈电阻， R_G 为非反相比较器输入的输入电阻。

对于图 19 所示的此设计配置，已根据公式 8 将滞后电压设置为约 160mV。由于 R49 和 R48 的量级低于 R50，因此可忽略。

$$V_{\text{Hysteresis}} = 3.3 \text{ V} \times \frac{R_{50}}{R_{51}} \sim 160 \text{ mV} \quad (8)$$

上限和下限开关阈值 V_{TH+} 和 V_{TH-} 根据公式 9 和公式 10 定义，其中基准电压 $V_{REF} = 1.65V$ 。

$$V_{TH+} = 1.65 V \times \left(1 + \frac{R50}{R51} \right) = 1.73 V \tag{9}$$

$$V_{TH-} = (3.3 V - 1.65 V) \times \left(1 - \frac{R50}{R51} \right) = 1.57 V \tag{10}$$

CAUTION

下限阈值是电源电压的函数。但此设计的电源电压容差为 5%，此值为大多数设计的典型值。3.3V 电源电压 $\pm 5\%$ 的容差仅会对下限阈值造成 $\pm 16mV$ 的波动影响，因此 V_{TH-} 范围约为 1.56 至 1.59V，仍然可以接受。

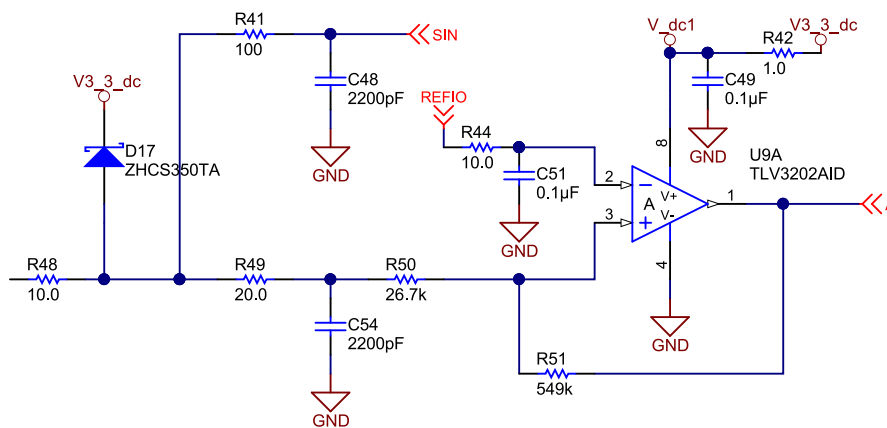


图 19. 带滞后的信号 A 比较器

每个比较器的 3.3V 电源经 1Ω 串联电阻和 100nF 电容器去耦，可最大限度降低通过 3.3V 电源轨对其它比较器的串扰。为此，增加了 R49 和 C54 组成 RC 低通滤波器，将比较器开关节点从 A/正弦模拟信号去耦，该节点将连接至外部 ADC。

滞后功能可避免在过零点附近因噪声造成快速切换，从而获得干净的数字信号。但滞后会引入额外的传播延迟，延迟时间的长短取决于比较器输入端模拟信号的幅值 $V_{IN_PEAK-PEAK}$ 。

$$t_{Hysteresis} \sim \sin^{-1} \left(\pm \frac{160 \text{ mV}}{V_{IN_PEAK-PEAK}} \right) \tag{11}$$

假设最小输入电压为 $0.3 V_{PP}$ ：差分至单端放大器（增益 = 1.66）的输出幅值为 $0.5 V_{PP}$ （0 至 100kHz）；500kHz 时由于低通滤波器衰减，输出幅值约为 $0.32 V_{PP}$ 。当比较器输入信号为 $0.32 V_{PP}$ 时，数字信号 A、B 和 R 的滞后对应相位延迟约为 30 度。500kHz 时，将转化为比较器的总传播延迟，约为 $170ns + 40ns = 210ns$ 。

由于 TLV3201 传播延迟低，只有 40ns，因此当信号频率达到 500 kHz 时，比较器块的总延迟始终低于 45 度。

信号 B 和 R 的比较器采用相同设置。同样，索引标记 R 的缓冲和增益级也与信号 A 和 B 相同。这样可确保当信号频率达到 500kHz 时，索引标记 R 的相位与信号 A 和 B 精确同步。进而可确保零索引标记 R 按预期出现，出现时间比信号 A 和 B 上升沿到来时间略有提前。索引标记 R 决定着绝对零的位置，因此与信号 A 和 B 精确相关，以避免任何位置偏移。

4.2 电源管理

电源管理部分由 DC/DC 降压转换器组成，用于由 24V 输入电压生成 6V 中间电源轨。编码器电源电压及 5V 和 3.3V 电源轨均由中间电压生成，如图 20 所示。

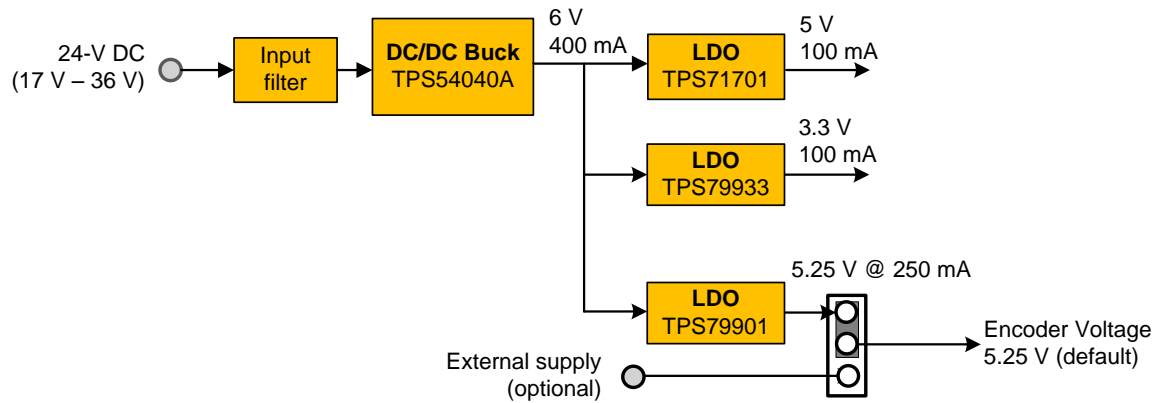


图 20. 电源管理解决方案

由于系统及解决方案的高性能要求，大部分电源轨均由低噪声 LDO 提供。其缺点在于频率限制及输出电流能力不足。由于功耗较高，散热器性能会限制最大输出电流。

为降低 LDO 两端的压降，使用了高效的 DC/DC 开关转换器，可由 24V 输入生成 6V 中间电源轨。请注意确保合理的布局及元件选型，以最大程度降低开关解决方案引入的噪声。

4.2.1 24V 输入至 6V 中间电源轨

设计中采用 DC-DC 开关转换器，用以获得 6V 中间电源轨，来为三个 LDO 供电。这基本上是强制性的选型，因为在 V_{IN}/V_{OUT} 比高的情况下，任何 LDO 均不适用于进行电源转换。事实上，任何 LDO 的效率均可简单计算为 V_{OUT}/V_{IN} ，在最坏情况下（最大 V_{IN} ），为 $5.25\text{ V}/36\text{ V} \approx 14\%$ 。其余 86% 的功耗由 LDO 封装消耗：当达到最大电流 200mA 时，LDO 封装的功耗为 $36\text{ V} \times 200\text{ mA} \times 86\% = 6.2\text{ W}$ ，这样轻易即可迅速损坏任何合理封装。

众所周知，从输入滤波器开始，开关电路的正常工作就会产生传导性 EMI。非常快速地开关电源开关会产生较大的断续电流。在降压拓扑中，转换器的输入端存在较大的断续电流（高 di/dt ）。图 21 所示为设计中所采用的输入滤波器值。

有关如何设计输入 EMI 滤波器的详细信息，请参见应用报告《AN-2162 轻松抑制 DC-DC 转换器中的传导性 EMI》（文献编号：[SNVA489](#)）。

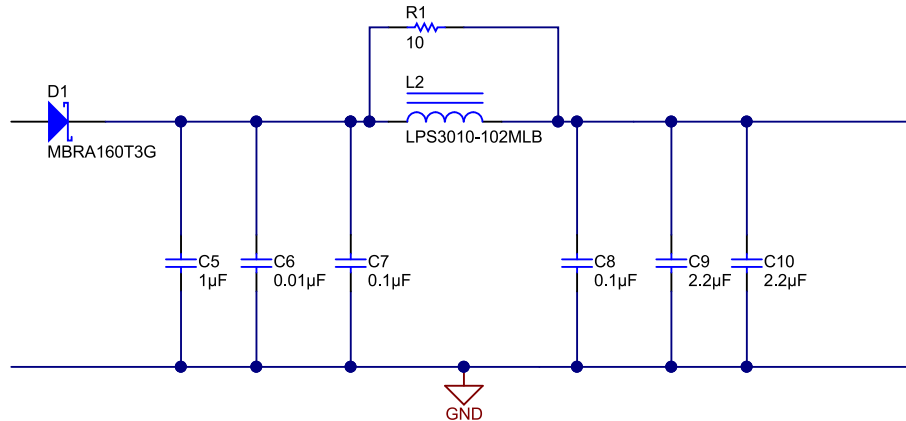


图 21. 带反极性保护的输入滤波器

DC/DC 降压转换器的设计满足以下规范：

- 输入电压： $V_{IN} = 17$ 至 $36V$ ，额定电压 $24V$
- 输出电压： $6V @ 500mA$
- 开关频率： $500kHz$ （额定值）
- 输出电压纹波： $25mV_{PP}$ （最大值）
- 效率： $> 80%$ （满载）
- 非隔离拓扑

选用 TPS54040A 的目的在于：该降压转换器具有集成 FET，其输入电压范围为 3.5 至 $42V$ ，输出电压范围为 0.8 至 $39V$ ，输出电流为 $500mA$ 。其频率可在 $100kHz$ 至 $2.5MHz$ 范围内调节，也可通过外部时钟同步。此外，转换器也可以启用和禁用。这些特点使得 TPS54040A 非常适合上述要求/规范。

注意，TPS54040A 与 TPS5401 引脚兼容，TPS5401 为 TPS54040A 的低成本版本，TPS5401 的性能与之类似，但输出电压及使能阈值的精确度相对较低。

此外，TPS54040A 与 TPS54140A、TPS54240、TPS54340 和 TPS54540 同样引脚兼容，这拓宽了器件选型的范围，可在成本与性能等级之间寻求平衡点（考虑到未来系统升级）。

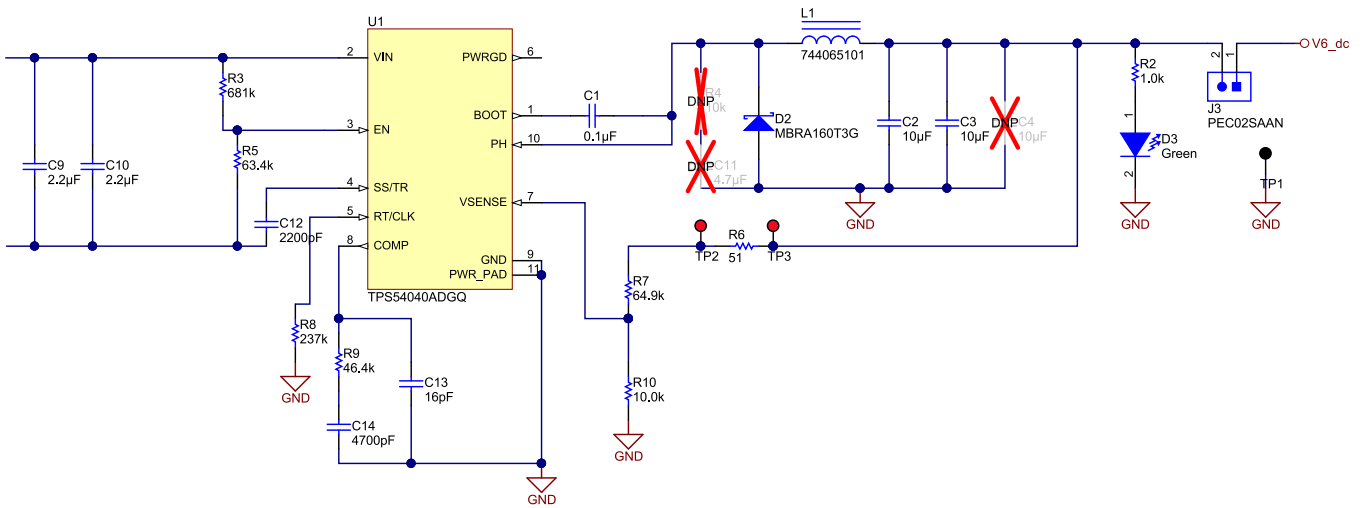


图 22. 采用 TPS54040A 的 24V 至 6V DC-DC 降压转换器原理图

有关设计过程的详细介绍，请参见 TPS54040A 数据表或 TI 参考设计 TIDA-00180。

典型应用中，通过简单的电阻分压器网络确定输出电压。公式 12 根据输出电压、基准电压（TPS54040A 为 0.8V）和下方电阻（通常情况下，R10 固定为 10kΩ）计算上方电阻的阻值。

$$R7 = R10 \times \frac{V_{OUT} - 0.8 V}{0.8 V} \tag{12}$$

当 $V_{OUT} = 6V$ 且 $R10 = 10k\Omega$ 时，R7 为 65kΩ。

6V 输出电压的容差为 $6V \pm 4\%$ 。此时，假设反馈电阻容差为 1%，TPS54040A 的内部带隙容差为 $\pm 2\%$ 。

当 $R8 = 237k\Omega$ 时，开关频率为 500kHz。

在 TPS54040A 原理图中，一些元件标记为不贴装 (DNP)。对于由 R4 和 C11 组成的缓冲器电路，会出现这种情况。对于 TPS54040A 设计，不需要该缓冲器电路。缓冲器电路可减少开关节点上的振铃以及 MOSFET 过冲（如果需要）。有关其他选项的详细信息，请参见应用说明《针对 NexFET™ 高性能 MOSFET 的振铃减少技术》（文献编号：SLPA010）。

4.2.2 编码器电源

为满足典型值 5V ($\pm 5\%$) 的编码器电源规范，本设计选用 5.25V 编码器电源，其中 0.25V 的额外裕度可补偿较长编码器连接电缆两端的压降。

为编码器提供 5.25V 的 LDO 还必须带有使能引脚。这样才可以根据需要从主机处理器断开或启动编码器电源，例如，在未连接编码器时断开编码器连接端端的电压。

除出于稳定性考量所允许的电容/ESR 范围外，LDO 无需其他具体说明；主设计中涉及 SMPS 时，该范围会影响所有主要性能（噪声、EMI、效率、成本以及电路板空间）。

TPS79901 可提供稍高于额定 5V 的电压 (5.25V)，通过 LDO 更高精度的一部分来降低器件承受的热应力。简而言之，5.25V $\pm 2\%$ 在编码器允许的电源范围内 (5V $\pm 5\%$)。这样，其必须耗散的功率为

$$P_{LDO,MAX} = (V_{LDO,IN} - V_{LDO,OUT}) \times i_{LDO,MAX} = (6 V - 5.25 V) \times 250 mA = 187 mW \tag{13}$$

对于 5V 编码器电压，最大功率将增加至 250mW。

事实上，当 $R_{thja} \approx 180^\circ C/W$ 时，意味着当 TPS79901 以最大负载电流 250mA 工作时，其结温相比环境温度增加不到 34°C。例如，环境温度为 85°C 时，结温将达到 120°C。

TPS79901 LDO 输出电压根据公式 13 由 1% 反馈电阻 R11 和 R13 决定，其中 1.193V 为 TPS79901 基准电压的标称值。

$$V_{ENC_VCC} = 1.193 \text{ V} \times \left(1 + \frac{R11}{R13}\right) = 1.193 \times \left(1 + \frac{340\text{k}}{100\text{k}}\right) = 5.25 \text{ V} \quad (14)$$

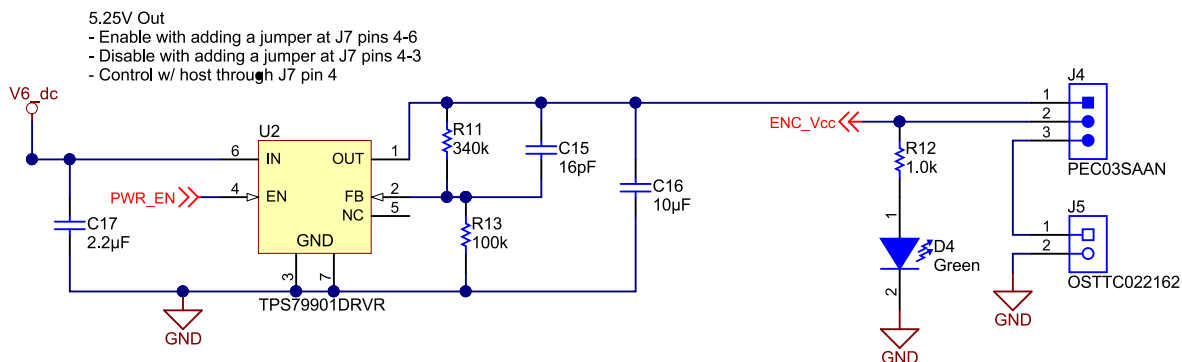


图 23. 编码器电源 5.25V LDO 原理图

通过跳线选择 5.25V LDO 输出与可选外部电源（如果需要）。信号 PWR_EN 默认为上拉状态，但可通过主机微控制器禁用或重新启动编码器电源电压，来将该信号置为低电平（参见 4.3 节）。

4.2.3 信号链电源 5V 和 3.3V

如 4.1 节所述，由于模拟信号链需要低电流，并且需要确保高性能和极低噪声，因此必须同样选用 LDO。实际上，由于 TI LDO 具有 PSRR 高的特性，因此能够阻隔开关产生的 AC 噪声，不会对 ADC 及输入缓冲器和放大器等对噪声敏感的器件产生任何影响。

5V 电源轨用于为模拟缓冲器和放大器供电，并同时为 ADS8354 ADC 提供模拟电源电压。3.3V 用于为 ADS8354 和比较器提供数字电源，从而确保在无需 I/O 电平转换的情况下，用于连接主机处理器的接口获得 3.3V 的接口电压。由于所选元件均为低功耗产品，因此为 3.3V 和 5V 电源轨选用的 LDO 的标称输出电流为 100 mA。

3.3V 电源轨采用固定 3.3V LDO TPS79933，5V 电源轨则采用 TPS71701。原理图如图 24 所示。5V 输出电压由反馈电阻 R15 和 R16 决定，当 TPS71701 $V_{REF} = 0.8 \text{ V}$ 时，其计算公式为公式 15。

$$V_{5V} = V_{REF} \times \left(1 + \frac{R15}{R16}\right) = 0.8 \text{ V} \times \left(1 + \frac{845\text{k}}{160\text{k}}\right) = 5.02 \text{ V} \quad (15)$$

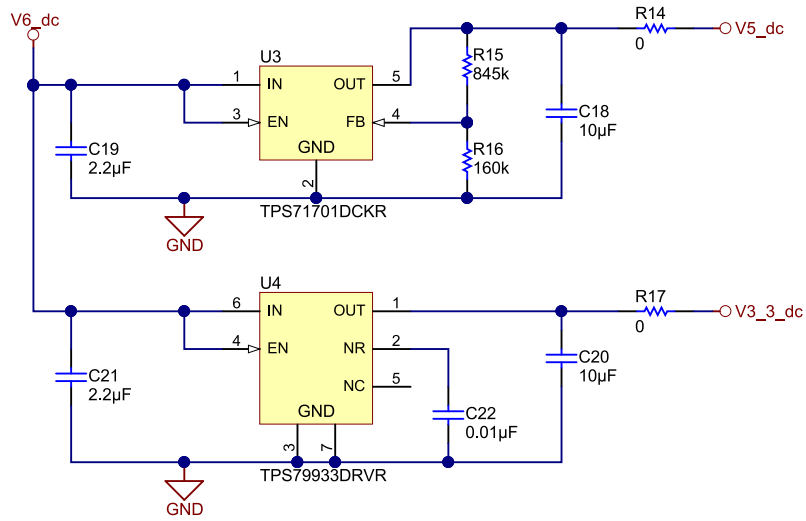


图 24. 信号链 5V 和 3.3V PoL 原理图

4.3 主机处理器接口

4.3.1 信号描述

设计中提供了 10 引脚插头接口，用于连接主机处理器。该插头可提供必要的信号来为两条信号路径计算高分辨率插值角，这两条路径分别使用 ADS8354 双路 16 位 ADC 和内置的双路 S/H ADC（如果提供）。

该接口与 3.3V I/O 系统兼容。为实现可靠的 GND 连接，所有奇数引脚均分配给 GND。表 15 列出了所提供的信号。

表 15. 连接主 MCU 的 TIDA-00176 接口连接器

功能	信号	I/O (3.3V)	注释
用于 A 和 B 的 16 位高分辨率输出通道，带 ADS8354 和 SPI（从）	SDI (I)	数字输入	串行通信的数据输入。用于双路采样模式配置
	/CS (I)	数字输入	片选信号；低电平有效。/CS 下降沿将锁存模拟输入（保持）并启动新的转换。采用 /CS 下降沿同步锁存主处理器（如 Piccolo MCU）上的 QEP 计数器
	SCLK (I)	数字输入，最高 24MHz	串行通信的时钟信号
	SDO_A (O)	数字输出	串行通信通道 A 和通道 B 的数据输出。通道 A 和通道 B 均采用 16 位二的补码数据。输入到输出信号增益 = 5。
	SDO_B (O)	数字输出	串行通信通道 B 数据输出
数字正交编码信号 A、B 以及索引标记 R	ATTL (O)	数字输出	A、B 和 R 的 160mV 滞后，可配置
	BTTL (O)	数字输出	
	RTTL (O)	数字输出	
单端模拟输出通道 A 和 B	A/正弦 (O)	模拟输出：0 至 3.3V，1.65V 偏置（单端）	标称输出范围： 0.82V – 2.48V (1.65 ±0.83V)（针对 1 V _{pp} ），增益 = 1.66，偏置电压 = 1.65V
	B/余弦 (O)	模拟输出：0 至 3.3V，1.65V 偏置（单端）	标称输出范围： 0.82V – 2.48V (1.65 ±0.83V)（针对 1 V _{pp} ），增益 = 1.66，偏置电压 = 1.65V

有关连接器引脚分配的详细信息，请参见 6 节。

CAUTION

要同步 ADS8354 16 位双路采样 ADC 的模拟信号采样与 QEP 递增计数器模块，可向 ADS8354 发送 /CS 信号，同时锁定 QEP 计数器。对于 MCU（如 Piccolo），需将 /CS 连接至 eQEP 选通输入引脚 EPEPxS（x 代表模块编号）。可将 Piccolo eQEPx 模块配置为在 EQEPxS 引脚的下降沿锁存 QEP 计数器。

4.3.2 采用具有串行输出的 16 位双路 ADC ADS8354 的高分辨率路径

本节介绍通过串行接口配置 ADS8354。分为基于内部 ADS8354 基准的满量程输入电压范围编程和串行数据传输编程两部分。

4.3.2.1 ADS8354 输入满量程输出数据格式

用在本设计中时，ADS8354 需配置为 $\pm 2 \times V_{REF}$ 输入范围。内部基准电压 V_{REF} 应设置为 2.5V，从而获得 $\pm 5V$ FSR。

表 16. ADS8354 针对 TIDA-00176 的传输特性

输入电压： AINP_x - AINM_x	模式	输入电压	输出编码（十六进制）
< -5V	$\pm 2 \times V_{REF}$ 范围	NFSC	8000
-5V + 1 LSB		NFSR	8001
-1 LSB		-1 LSB	FFFF
0		0	0000
> 5V - 1 LSB		PFSR - 1 LSB	7FFF

通道 A 和 B 的输出数据格式均为 16 位有符号整数输出（2 的补码）。

4.3.2.2 ADS8354 串行接口

ADS8354 采用串行时钟 (SCLK) 同步器件的数据输入与输出。CS 信号决定一个转换和串行传输帧。传输帧从 CS 下降沿开始，到 CS 上升沿结束。在帧的起点和终点之间，必须提供最少 N 个 SCLK 下降沿，以确保读/写操作生效。如表 17 所示，N 取决于读取转换结果所采用的接口模式。提供 N 个 SCLK 下降沿后，帧内尝试的写操作生效，并在随后的 CS 上升沿更新内部用户可编程寄存器。该 CS 上升沿同时也将该帧结束。如果在提供 N 个 SCLK 下降沿之前 CS 变为高电平，则帧内的写操作无效。

表 17. 有效写操作所需 ADS8354 SCLK 下降沿数量

接口模式	有效写操作所需最少 SCLK 下降沿数量 N
32 位时钟双 SDO 模式（默认）	32
32 位时钟单 SDO 模式	48
32 位时钟双 SDO 模式	16
16 位时钟单 SDO 模式	32

F28069M Piccolo MCU 中的示例固件以 32 位时钟单 SDO 模式初始化 ADS8354。

有关串行接口模式和读写操作的详细信息，请参见 ADxx54 数据表。

4.3.2.3 ADS8354 转换数据读取

如表 17 所示，该器件为用户提供了四种接口模式。这些模式也适用于读取转换结果。借助这些模式，可实现灵活的硬件连接和固件编程。在 32 位时钟接口模式下，器件使用内部时钟转换模拟采样信号。转换在前 16 个 SCLK 周期完成，然后在后续 SCLK 下降沿读取转换结果。该系列的所有器件（即 ADS8354、ADS7854 和 ADS7254）均支持 32 位时钟接口模式。除 32 位时钟接口模式外，ADS7854 和 ADS7254 还支持 16 位时钟接口模式。采用

16 位时钟接口模式时，在更低的 SCLK 速度下即可实现相同的吞吐量。

F28069M Piccolo MCU 中的示例固件以 32 位时钟单 SDO 模式初始化 ADS8354。

在 32 位时钟单 SDO 模式下，可以仅占用一个 SDO 引脚 (SDO_A) 读取两个 ADC (ADC_A 和 ADC_B) 的转换结果。SDO_B 保持为三态，可视作无连接 (NC) 引脚。图 25 所示为该模式下的详细时序图。

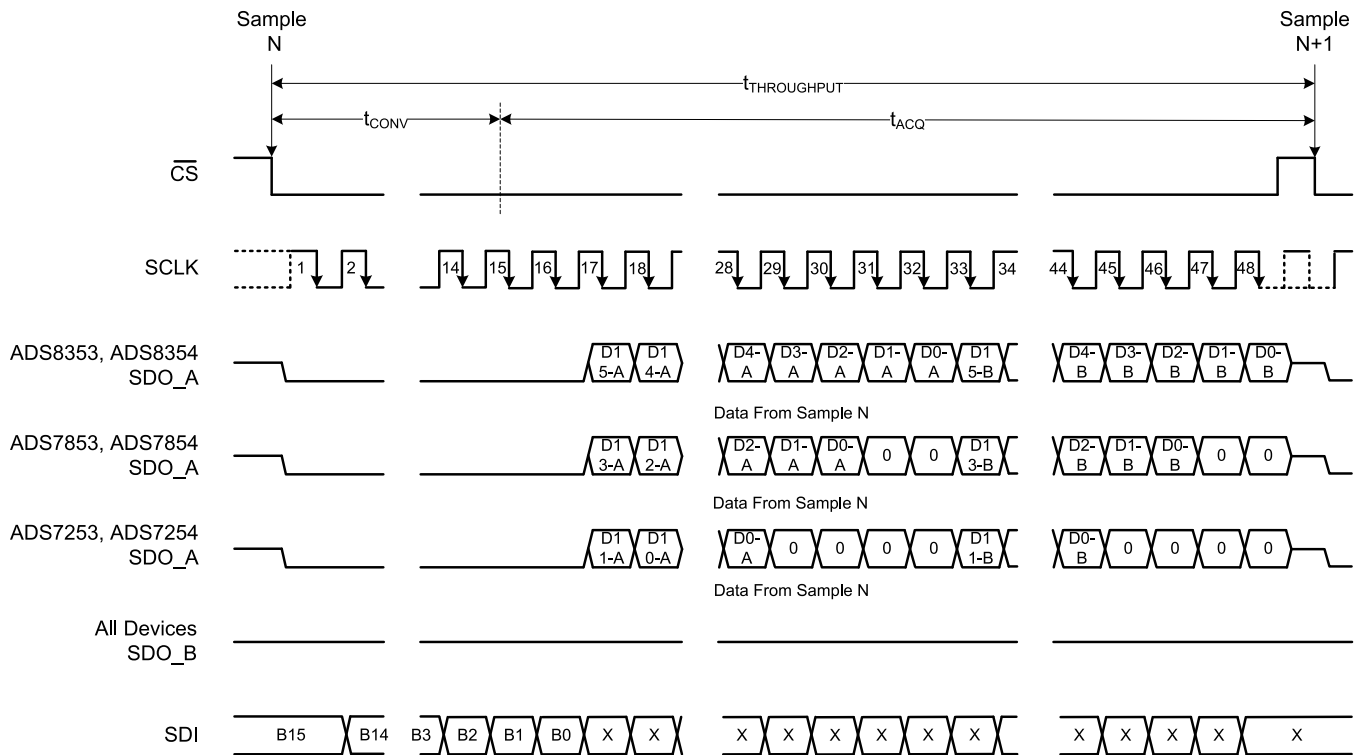


图 25. 32 位时钟单 SDO 模式时序图

CS 下降沿到来时，串行数据总线脱离三态，同时 SDO_A 引脚输出 0。器件在转换时间 (t_{CONV}) 内对采样的模拟输入信号进行转换。在此期间，SDO_A 读取 0。转换过程完成后，采样保持电路返回采样模式。第 16 个 SCLK 下降沿到达时，器件在 SDO_A 引脚输出 ADC_A 的 MSB。后续 SCLK 下降沿达到时，先后在 SDO_A 引脚移出 ADC_A 转换结果和 ADC_B 转换结果。此模式下，必须至少提供 48 个 SCLK 下降沿，才能确保读取或写入帧有效。CS 上升沿到达时，帧将结束，串行总线置为三态。

有关详细信息，请参见 ADSxx54 数据表。

4.3.2.4 ADS8354 寄存器配置

要选择前面部分所述的模式，需按如下方式对 ADS8354 寄存器 REFDAC_A、REFDAC_B 和 CFR 进行编程。

REFDAC_X 和 CFR 为 16 位寄存器，可参照 表 18 进行编程，其中，高 4 位用于选择写/读模式及其相应寄存器。

表 18. ADS8354 寄存器配置

寄存器	数据（十六进制）	注释
REFDAC_A	9FF8	REFDAC_A 写入模式，选择 VREF_A = 2.5V
REFDAC_B	AFF8	REFDAC_B 写入模式，选择 VREF_B = 2.5V
CFR	8640	CFR 写入模式，SDO_A 上的 A 和 B 均选择 32 位时钟双 SDO 模式，FSR = $\pm 2 \times V_{REF}$ ，选择内部 V_{REF}

有关详细信息，请参见 ADSxx54 数据表。

4.4 编码器连接器

连接正弦/余弦编码器有两种连接器选择。默认情况下，采用屏蔽 SubD-15 插座连接器。此外，也可选择 8 引脚插头。有关连接器分配的详细信息，请参见 6 节。

4.5 设计升级

高分辨率路径：为进一步增强高分辨率通道的抗扰度，建议使用一阶低通滤波器并采用差分放大器 THS4531A。要使用高达 500kHz 的高分辨率通道，建议在 THS4531A 反馈路径中各增加一个 33pF 1% NPO/COG 电容，电容与 5kΩ 匹配电阻并联。要降低截止频率，可相应增大电容值。

通过信号 PWR_EN 使能 5.25V LDO 输出：尽管设计中提供了连接器 J-7 的引脚 4，来确保 LDO 输入始终端接上拉（跳线：J7 4-6）或下拉（跳线：J7 4-3）电阻，但仍建议在 U2 引脚 4 与 3.3V (V3_3_dc) 端增加 10k 的上拉电阻。

5 软件设计

5.1 概述

TIDA-00176 硬件设计可与任何带嵌入式正交编码脉冲计数器和 SPI 的嵌入式处理器或微控制器搭配使用。

但为了简化 TIDA-00176 硬件参考设计的评估，我们提供了适用于 C2000 F28069M Piccolo LaunchPad 的示例固件，以便对采用正弦/余弦增量位置编码器的 TIDA-00176 进行评估。将通过 USB 虚拟 COM 端口提供用户菜单，用以初始化所选正弦/余弦编码器的线数并输出计算出的高分辨率角度信息及其它用户可选数据。

F28069M 选配的主外设包括 SPI-A 外设，用于读取双路高分辨率 16 位数据信号 A_{16} 位和 B_{16} 位。内置的双路 S/H ADC 用于转换单端模拟信号 A_{12} 位和 B_{12} 位。正交编码器脉冲 (eQEP2) 模块用于根据基于信号 A_{TTL} 和 B_{TTL} 、以及用来实现绝对位置初始化的零索引标记 R_{TTL} ，进行递增和递减计数。ePWM1 定时器用于生成周期性中断，以触发新的角度测量。本设计中采用 16kHz 周期。SCI-A 外设用于通过虚拟 COM 端口以 115000 波特实施基于 UART 的用户界面。

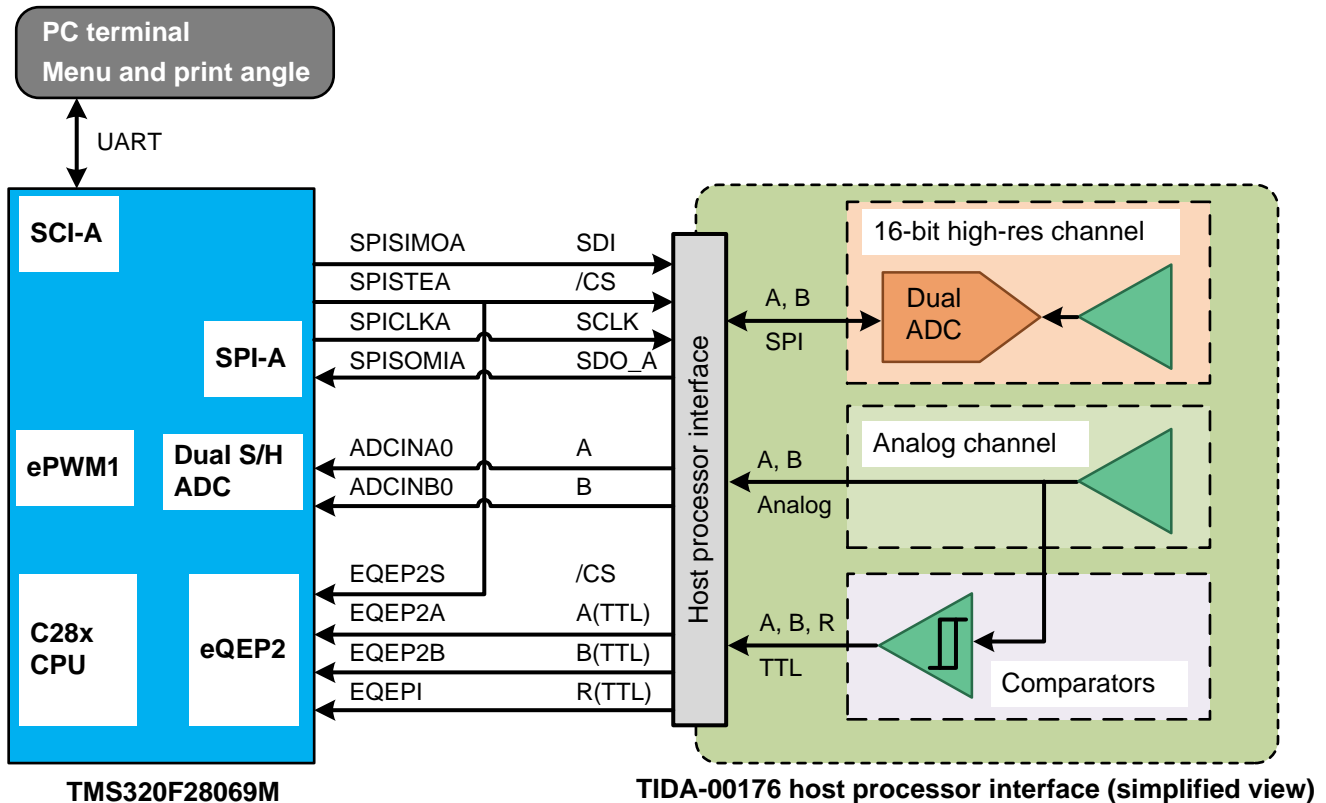


图 26. TMS320F28069M 外设模块及与 TIDA-00176 主机处理器接口的引脚分配

5.2 C2000 Piccolo 固件

我们专门针对 Piccolo TMS320F28069M 开发并编译了示例固件，固件将使用如图 26 所示的外设模块。

该固件将使用 C2000 controlSUITE™。固件由三个基本功能块组成，分别是如图 27 所示的 F28069M 框架、用于同步采样所需数据并计算插值角的算法、以及基于用户界面的 UART 终端。

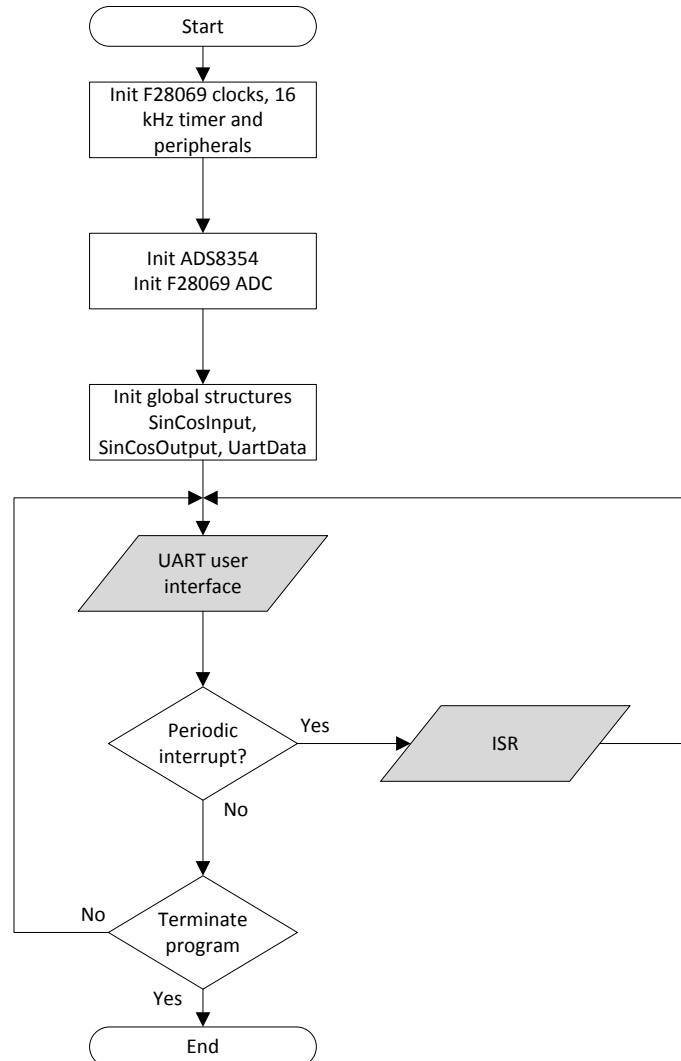


图 27. 正弦/余弦编码器框架流程图

TMS320F28069M 框架可初始化 TMS320F26069M CPU 时钟 (80MHz)、GPIO 复用器及各种外设，例如 SPI-A、SCI-A (UART)、基于 ePWM1 的周期性定时器和中断、内置的 12 位双路 S/H ADC。同时，该器件还通过 SPI-A 对外部 16 位双路 ADC ADS8354 进行配置（如节 4.3.2.4 所述）。SPI-A 配置为 SPI 主器件，采用 10MHz 串行时钟。对于 Piccolo F28069M，这是最大的 SPI 时钟。对于其它处理器（如 Sitara AM437x 或 Delfino F287x），SPI 时钟可增至 24MHz。

初始化完成后，程序将调用基于 UART 的用户界面并运行周期中断服务程序 (ISR)。周期 ISR 将实施同步数据捕获，并基于外部 16 位 ADC ADS8354 和内部 12 位 ADC 计算中间相位及总插值角。此过程遵循如 1 节所述的算法。这些编码是利用 TI IQmath 库以 32 位 Q28 整小数编写。与 32 位 IEEE 浮点数相比，32 位小数的优势在于，无论数据范围如何，分辨率始终保持恒定。由于角度的数据范围限定为 0 至 1.0（标么值），同时 ADC 输入数据的数据范围最大值限定为 ± 5 (V)，因此整数范围为 ± 8.0 的 Q28 数具有足够的余量，所有数据的精度始终保持不变。

ISR 流程图如图 28 所示。

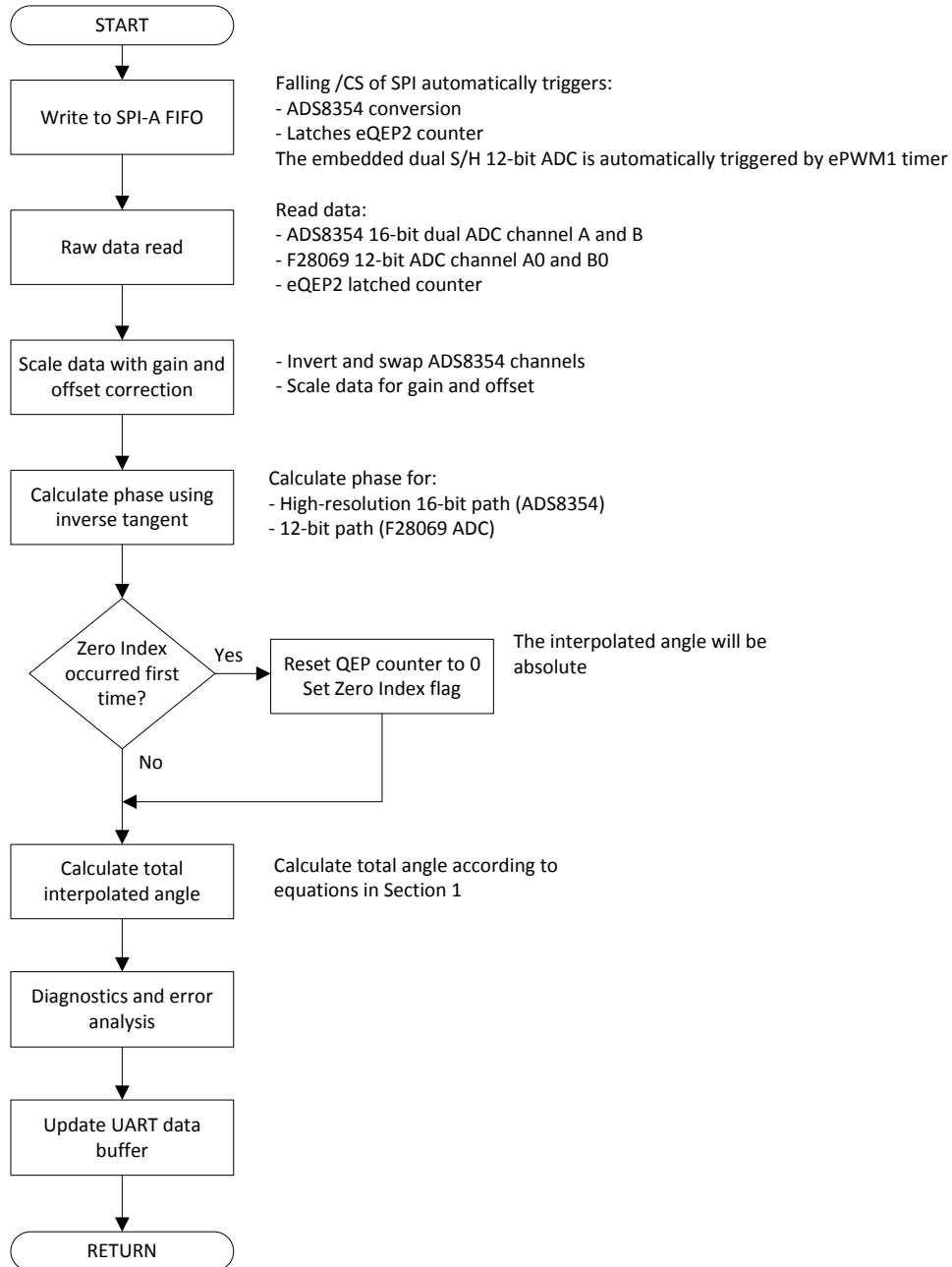


图 28. 带插值角计算的正弦/余弦编码器主 ISR 流程图

5.3 用户界面

为快速完成评估，我们实施了基于虚拟 COM 端口的用户界面。可使用任何采用 115000 波特的终端界面（如 Tera Term）。

用户可在程序到达主菜单前，借助用户界面输入连接正弦/余弦编码器的线数。用户可通过菜单中提供的菜单项选项，选择基本显示模式（仅打印高分辨率角度）或专业显示模式，二者的更新速率均为 10Hz。后续的菜单项可选择数据转储模式，更新速率为 200Hz，用于将数据写入文件中以便进行事后分析。

用户界面的流程图如图 29 所示。

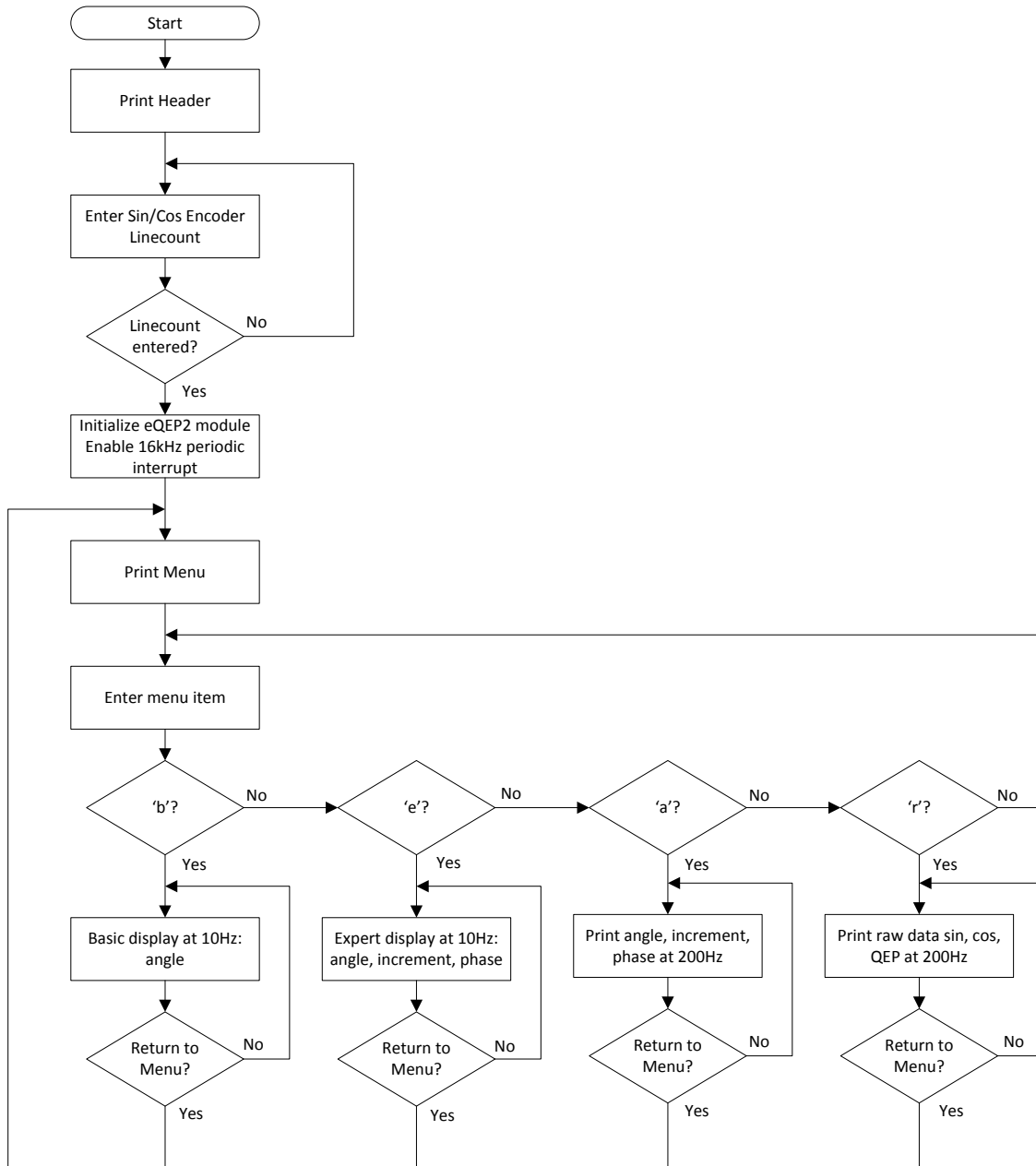


图 29. UART 终端用户界面流程图

表 19 至表 22 所示分别为四个菜单项的数据输出格式。在数据转储模式中，每行数据以“tab”符号作为分隔符。

表 19. 基本显示模式输出格式和数据换算

菜单	列 1	列 2	列 3	列 4	列 5
“b”基本显示	采用 ADS8354 时的总角度 (换算)	—	—	—	—
数据格式	浮点 (0 至 360 度)	—	—	—	—

表 20. 专业显示模式输出格式和数据换算

菜单	列 1	列 2	列 3	列 4	列 5
“e”专业显示	采用 ADS8354 时的总角度 (换算)	产生标记索引 R	递增计数	相位 ADS8354 (换算)	相位 F28069M ADC (换算)
数据格式	浮点 (0 至 360 度)	标志 (是/否)	整数	浮点 (0 至 1.0)	浮点 (0 至 1.0)

表 21. 角度数据转储菜单格式及换算

菜单	列 1	列 2	列 3	列 4	列 5	列 6
“d”角度转储	采用 ADS8354 时的总角度 (换算)	采用 F28069 ADC 时的总角度 (换算)	递增计数	相位 ADS8354 (换算)	相位 F28069M ADC (换算)	周期性节拍 (换算)
数据格式	浮点 (0 至 360 度)	浮点 (0 至 360 度)	整数	浮点 (0 至 1.0)	浮点 (0 至 1.0)	整数 (66μs)

表 22. 原始数据转储菜单格式及换算

菜单	列 1	列 2	列 3	列 4	列 5	列 6	列 7
“r”原始数据	递增计数 (SW)	递增计数 (锁定在 /CS)	输入 A+ / A-, ADS8354 (换算)	输入 B+ / B-, ADS8354 (换算)	输入 A+/A-, F28069 (换算)	输入 A+/A-, F28069 (换算)	周期性节拍 (换算)
	整数	整数	浮点 (V _{PP})	浮点 (V _{PP})	浮点 (V _{PP})	浮点 (V _{PP})	整数 (66μs)

6 开始使用

6.1 TIDA-00176 PCB 概览

图 30 所示为 TIDA-00176 PCB 的俯视图。6.2 节将介绍其插头及默认跳线设置。

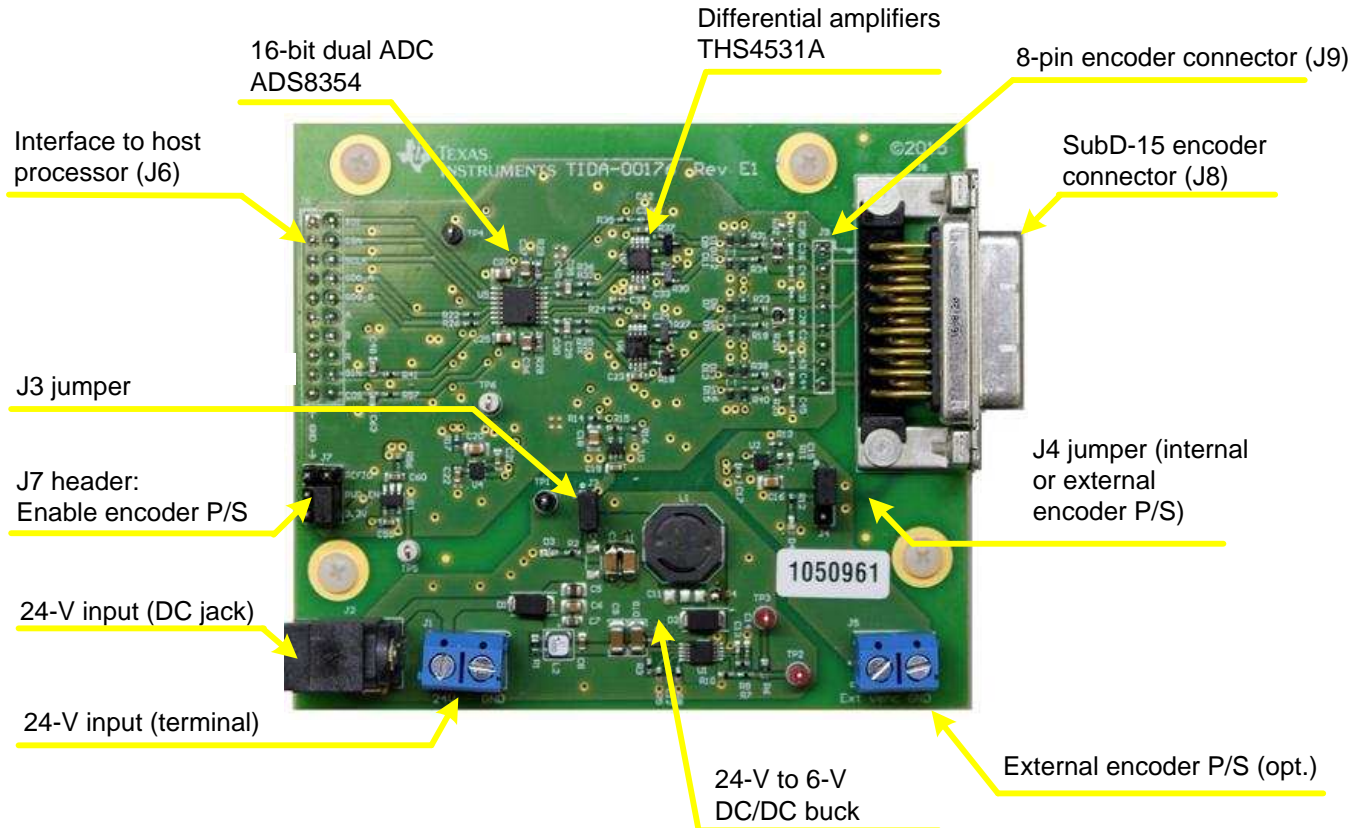


图 30. TIDA-00176 板图

6.2 连接器及跳线设置

6.2.1 连接器和跳线概述

表 23 至表 26 列出了连接器分配和跳线设置。

可通过连接器 J1 或 J2 提供 24V 标称输入电压。

表 23. 连接器分配和跳线设置 (J1 至 J4)

连接器及引脚分配		说明
24V 输入 (引脚: J1)		
1		24V 输入电压 (17 至 36V)
2		GND
24V 输入 (DC 接口: J2)		
内部		24V 输入电压 (17 至 36V)
外部		GND
J3		
1		TPS54040A 输出 (默认 6V)
2		6V 电源轨
J4		
1		5.25V 电源 (默认)
2		V_ENC (编码器电源电压)
3		外部电源

如有必要,也可不使用 5.25V 编码器电源电压,而是通过连接器 J5 提供外部电源电压。

表 24. 外部编码器电源连接器 (J5)

引脚	说明
1	编码器电源 VCC
2	编码器电源 GND

表 25. 主机处理器接口 (J6)

引脚	说明	引脚	说明 (3.3V I/O)
1	GND	2	SDI (ADS8354)
3	GND	4	/CS (ADS8354)
5	GND	6	SCLK (ADS8354)
7	GND	8	SDO_A (ADS8354)
9	GND	10	SDO_B (ADS8354)
11	GND	12	A (TTL)
13	GND	14	B (TTL)
15	GND	16	R (TTL)
17	GND	18	A (单端模拟 0 至 3.3V)
19	GND	20	B (单端模拟 0 至 3.3V)

有关主机处理器接口信号的详细说明，请参见4.3节。

表 26. 连接器分配和跳线设置 (J7 至 J9)

引脚	说明	引脚	说明
带编码器电源使能的插头 J7 (J7)			
1	GND	2	REFIO (1.65V)
3	GND	4	使能编码器电源电压 (5.25V)
5	GND	6	3.3 V
编码器 DSUB15 连接器 (J8)			
1	A+	2	编码器电源 GND
3	B+	4	编码器电源 VCC (默认 5.25V)
5	NC	6	NC
7	R-	8	NC
9	A-	10	被保留
11	B-	12	保留
13	NC	14	R+
15	NC	—	—
编码器 8SIL100 连接器 (J9)			
1	A+	2	A-
3	编码器电源 GND	4	B-
5	B+	6	编码器电源 VCC (默认 5.25V)
7	R-	8	R+

6.2.2 默认跳线配置

使用 TIDA-00176 电路板前，请确保先应用如下所示默认跳线设置。参见板图图 30。

表 27. 默认跳线设置

插头	跳线设置
J3	在 J3 引脚 1 和 2 之间插入跳线，以使能连接三个 LDO 的 6V 中间电源轨
J4	在 J4 引脚 1 和 2 之间插入跳线，以将板载 5.25V 编码器电源连接至编码器连接器
J7	在 J7 引脚 4 和 6 之间插入跳线，以使能 5.25V 编码器电源。

6.3 设计评估

6.3.1 必要条件

要评估 TIDA-00176

TI 参考设计，需使用如下所示硬件设备和软件。

表 28. 必要条件

设备	注释
24V 电源	24V 输出电源模块，至少 250mA 输出电流 输出连接器 2.1mm 内径 × 5.5mm 外径 × 9.5mm 母头
TIDA-00176 硬件	有关默认跳线设置信息，请参见第 6.2 节。
用于设置电路板的三个跳线	2 引脚，100 mil
TIDA-00176 固件	从 TIDA-00176 设计文件夹下载
InstaSPIN-MOTION F28069M LaunchPad	可从 TI 网上商店获取
USB 线缆	迷你 A 型 USB 至 A 型 USB 电缆
TIDA-00176 至 LaunchPad 适配器	内部 TI (可选)
Code Composer Studio 6	从 www.ti.com 下载
PC 终端程序	任何终端程序，如 Tera Term
带 1V _{pp} 输出信号的正弦/余弦编码器	如 ROD480

6.3.2 硬件设置

需在 TIDA-00176 与 InstaSPIN-MOTION LaunchPad 之间进行如下连接。

表 29. TIDA-00176 主机处理器接口 (J6) 与 InstaSPIN-LaunchPad 之间的连接

TIDA-00176 主机处理器接口 (J6)		连接至 →	InstaSPIN-MOTION LAUNCHPAD	
J6 引脚	说明		插头引脚	说明 (3.3V I/O)
1	GND		J3 引脚 22	GND
19	GND		J2 引脚 20	GND
2	SDI (ADS8354)		J2 引脚 15	GPIO16/SPISIMOA
4	/CS (ADS8354)		J2 引脚 19 J6 引脚 59	GPIO27/eQEP2S 和 GPIO19/SPISTEA
6	SCLK (ADS8354)		J1 引脚 7	GPIO18/SPICLKA
8	SDO_A (ADS8354)		J2 引脚 14	GPIO17/SPISOMIA
10	SDO_B (ADS8354)	NC	NC	NC
12	A (TTL)		J6 引脚 55	GPIO24/eQEP2A
14	B (TTL)		J6 引脚 54	GPIO25/eQEP2B
16	R (TTL)		J6 引脚 58	GPIO26/eQEP2I
18	A (单端模拟 0 至 3.3V)		J3 引脚 27	ADCIN_A0
20	B (单端模拟 0 至 3.3V)		J3 引脚 28	ADCIN_B0

按如下步骤设置硬件：

1. 使用适当的连接器或适配器连接 TIDA-00176 电路板和 InstaSPIN-MOTION LaunchPad。

注：对于内部测试，需采用适配器板连接 TIDA-00176 与 InstaSPIN-MOTION LaunchPad，如图 31 所示。

2. 验证 TIDA-00176 是否已参照节 6.2.2 配置了默认的三根跳线设置。
3. 通过 SubD-15 连接器 (J8) 或 SIL-8 连接器 (J9) 将正弦/余弦编码器连接至电路板。
4. 将电源模块的 24V 输入端插入 J1 连接器，若使用外部电源（17 至 36V），则使用 J2 连接器。
5. 使用 USB 迷你电缆将 InstaSPIN-MOTION LaunchPad 连接至 PC。

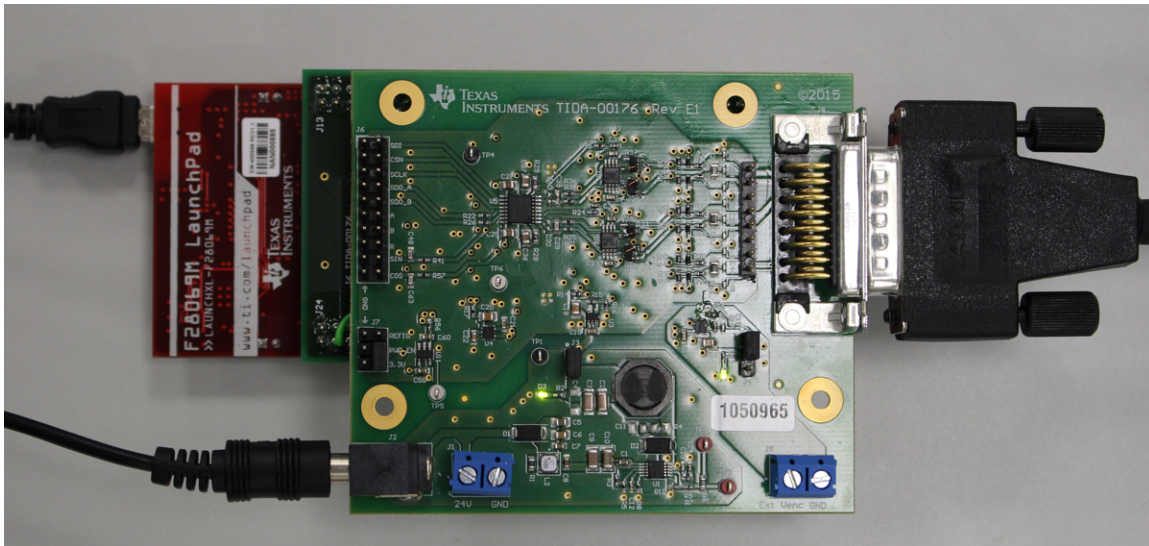


图 31. InstaSPIN-MOTION LaunchPad 上安装的 TIDA-00176 电路板

也可在以下位置了解 InstaSPIN-MOTION LaunchPad 必要条件：<http://www.ti.com/tool/launchxl-f28069m>

确保在 F28069 LaunchPad 上连接以下跳线：JP1、JP2、JP3 和 JP7。请勿设置 JP4、JP5 和 JP6；这些跳线不能连接。

6.3.3 软件设置

按如下步骤设置软件：

1. 如果尚未下载 TIDA-00176 SinCosEncoder 固件，请从 TIDA-00176 设计文件夹下载并解压缩至文件夹（如 c:\ti\tida-00176\bin）。
2. 调用可连接至虚拟 COM 端口的终端程序，如 Tera Term。
3. 将终端程序设置为串行控制台模式，并完成以下参数设置：
 - 波特率 = 115200，数据 = 8 位，奇偶校验 = 无，停止位 = 1 位，流控 = 无
4. 启动 Code Composer Studio (CCS)。
5. 在 CCS 中，将 XDS100 JTAG 目标设置为 InstaSPIN-MOTION F28069M LaunchPad。
6. 在 CCS 中，连接 TMS320F28069M 并下载 TIDA-00176 二进制输出文件。运行 → 加载程序 → TIDA-00176_SinCosEncoder_Firmware_rev1_0.out
7. 在 CCS 中运行目标。

此时，终端程序应显示 TIDA-00176 的启动画面，如图 32 所示。

注： 二进制文件加载至 F28069M 后，便无需再执行步骤 4 至 7。只需重新启动 LaunchPad 即可重启程序。确保 F28069M 配置为从内部闪存启动。请参考 InstaSPIN-MOTION LaunchPad 文档。

故障排除： 如果未建立连接，需在 Windows® 7 设备管理器中启用 USB 虚拟 Com 端口 TI XDS100 通道 B 的 VCP 驱动程序。有关详细信息，请参考 InstaSPIN-MOTION LaunchPad 文档。

```

-----+
| TIDA-00176                                     |
| Interface to Sin/Cos Position Encoders with High-Resolution Position Interpolation |
| TIDA-00176_SinCosEncoder_Firmware_F28069M_rev1_0 |
|-----+
| Sin/Cos Encoder Init                          |
|-----+
-> Enter Sin/Cos Encoder LINECOUNT: █

```

图 32. TIDA-00176 用户界面启动画面

6.3.4 用户界面

启动后，用户需在用户界面中输入正弦/余弦编码器线数（十进制）。输入线数后，将显示主菜单，如图 33 所示。

```

Interface to Sin/Cos Position Encoders with High-Resolution Position Interpolation
|-----|
| TIDA-00176_SinCosEncoder_Firmware_F28069M_rev1_0 |
|-----|
| Sin/Cos Encoder Init |
|-----|
-> Enter Sin/Cos Encoder LINECOUNT: 2000
LINECOUNT entered: 2000
|-----|
| Main Menu |
|-----|
key  mode                format
---  ---                ---
b    basic display mode  [angle]
e    expert display mode [angle  index  incr   phase16  phase12  tick]
r    raw data dump at 200Hz [QEP  QEPL  sin16  cos16  sin12  cos12  tick]
a    angle dump at 200Hz  [angle  incr  phase16  phase12  tick]
x    reserved
---  ---                ---
any  any other key returns to this main menu
-> press key
    
```

图 33. TIDA-00176 用户界面主菜单

其中包含四个菜单。可按下字母 **b**、**e**、**r** 或 **a** 选择相应菜单。菜单项 **x** 为预留项，用于软件开发期间内部测试模式。

按下“**b**”或“**e**”可选择基本显示模式或专业显示模式，以便输出插值角（单位：度）或其它信息。注意，开始时由于尚未出现索引，因此总角度不是绝对角度值。可以通过专业显示模式中递增标记设置为“否”(No)，来判断这种情况。沿顺时针方向慢慢转动编码器，直至递增标记变为“是”(Yes)。此时，插值角是相对索引标记位置的绝对角度值。可按任意键返回主菜单。

```

=====+
| High-resolution angle [degree] |
+-----+
359.9804

-----+-----+
| Main Menu |
+-----+-----+

key  mode                format
-----+-----+-----+
b    basic display mode  [angle]
e    expert display mode [angle index incr  phase16 phase12 tick]
r    raw data dump at 200Hz [QEP QEPL sin16  cos16  sin12  cos12 tick]
a    angle dump at 200Hz  [angle incr  phase16 phase12 tick]
x    reserved

-----+-----+-----+
any other key returns to this main menu

-> press key

=====+
| Expert display mode [10Hz update rate] |
+-----+-----+
| High-resolution angle | Increments | Phase/atan [PU] |
| [degree] | Marker Count | ADS8354 F28069 |
+-----+-----+-----+
359.9804 | No 0 | 0.8914 0.8926 |

```

图 34. 基本角度显示模式及专业显示模式

按下“a”可启动角度数据转储，其更新速率为 200Hz。数据格式如5 节所述。图 35 所示为屏幕截图。可按任意键停止并返回主菜单。

```

+-----+
| Data dump at 200 Hz |
+-----+
Angle16PU   Angle12PU   Incr   Phase16PU   Phase12PU   Tick[32kHz]
0.85510715  0.85510683  7005  0.25946 0.25879 9190
0.85510674  0.85510638  7005  0.25862 0.25788 9270
0.85510715  0.85510668  7005  0.25945 0.25851 9350
0.85510679  0.85510661  7005  0.25871 0.25835 9430
0.85510692  0.85510671  7005  0.25898 0.25854 9510
0.85510753  0.85510694  7005  0.26022 0.25902 9590
0.85510702  0.85510659  7005  0.25919 0.25830 9670
0.85510717  0.85510682  7005  0.25949 0.25878 9750
0.85510726  0.85510671  7005  0.25967 0.25857 9830
0.85510681  0.85510660  7005  0.25876 0.25833 9910
0.85510682  0.85510658  7005  0.25877 0.25829 9990
0.85510727  0.85510681  7005  0.25970 0.25877 10070
0.85510728  0.85510672  7005  0.25972 0.25858 10150
0.85510755  0.85510694  7005  0.26027 0.25902 10230
    
```

图 35. 更新速率为 200Hz 的角度转储模式

按下“a”可启动原始数据转储，其更新速率为 200Hz。数据格式如5 节所述。图 36 所示为屏幕截图。可按任意键停止并返回主菜单。

```

+-----+
| Raw data dump at 200 Hz |
+-----+
QEP   QEPL   Vsin16  Vcos16  Vsin12  Vcos12  Tick[32kHz]
7005  7005   1.0044  0.0631  1.0280  0.0583  1542
7005  7005   1.0108  0.0631  1.0280  0.0583  1622
7005  7005   1.0069  0.0616  1.0280  0.0583  1622
7005  7005   1.0150  0.0662  1.0309  0.0597  1702
7005  7005   1.0089  0.0627  1.0324  0.0612  1782
7005  7005   1.0083  0.0643  1.0280  0.0597  1862
7005  7005   1.0101  0.0680  1.0295  0.0612  1942
7005  7005   1.0066  0.0636  1.0265  0.0597  2022
7005  7005   1.0072  0.0666  1.0265  0.0597  2102
7005  7005   1.0083  0.0595  1.0295  0.0568  2182
7005  7005   1.0047  0.0605  1.0251  0.0554  2262
7005  7005   1.0032  0.0610  1.0251  0.0583  2342
7005  7005   1.0040  0.0671  1.0280  0.0612  2422
7005  7005   1.0110  0.0643  1.0324  0.0597  2502
    
```

图 36. 更新速率为 200Hz 的原始数据转储模式

7 测试结果

为了解每个功能块及整个电路板的特性，我们进行了相关测试。具体来说，进行了如下测试。

- 模拟信号链
- 电源管理
- 带正弦/余弦编码器信号仿真和正弦/余弦编码器的整个系统
- EMC 抗扰度（ED、EFT 和浪涌）

测试在室温（约 22 至 23 度）或 75 甚至 85 度的环境下执行。除非具体说明，否则均在室温环境下进行。

TIDA-00176 测试中使用了如下设备：

表 30. TIDA-00176 性能测试的测试设备

测试设备	部件编号
可编程 16 位波形发生器	Keysight (Agilent) 33600A
低速示波器（适用于电源测试）	Tektronix TDS2024B
高速示波器（适用于模拟信号测试）	Tektronix TDS784C
可调 SMPS	Knuerr-Heinzinger Polaris 125-5
24V @ 2.5A SMPS（电源模块）	V-infinity 3A-621DN24
真有效值万用表	Fluke 179
差分探头	Tektronix P6630
单端探头	Tektronix P6139A
可编程热处理室	Voetsch VT 4002
可编程电子负载模块	Chroma 63103
电子负载模块控制模块	Chroma 6314
热像仪	Fluke TI40
控制系统环路分析仪	Venable 3120
HEIDENHAIN 屏蔽电缆，PUR M23 插头/插座（4 × 2 × 0.14mm；4 × 0.5mm），10m、20m、50m	298399-10、-20、-50
HEIDENHAIN M23/Sub-D15 插头适配器电缆，1m	310196-01
HEIDENHAIN 正弦/余弦编码器	ROD480-2000、ROD480-1024、ROD486-2048

7.1 模拟性能测试

图 37 所示为 TIDA-00176 模拟信号链测试图。

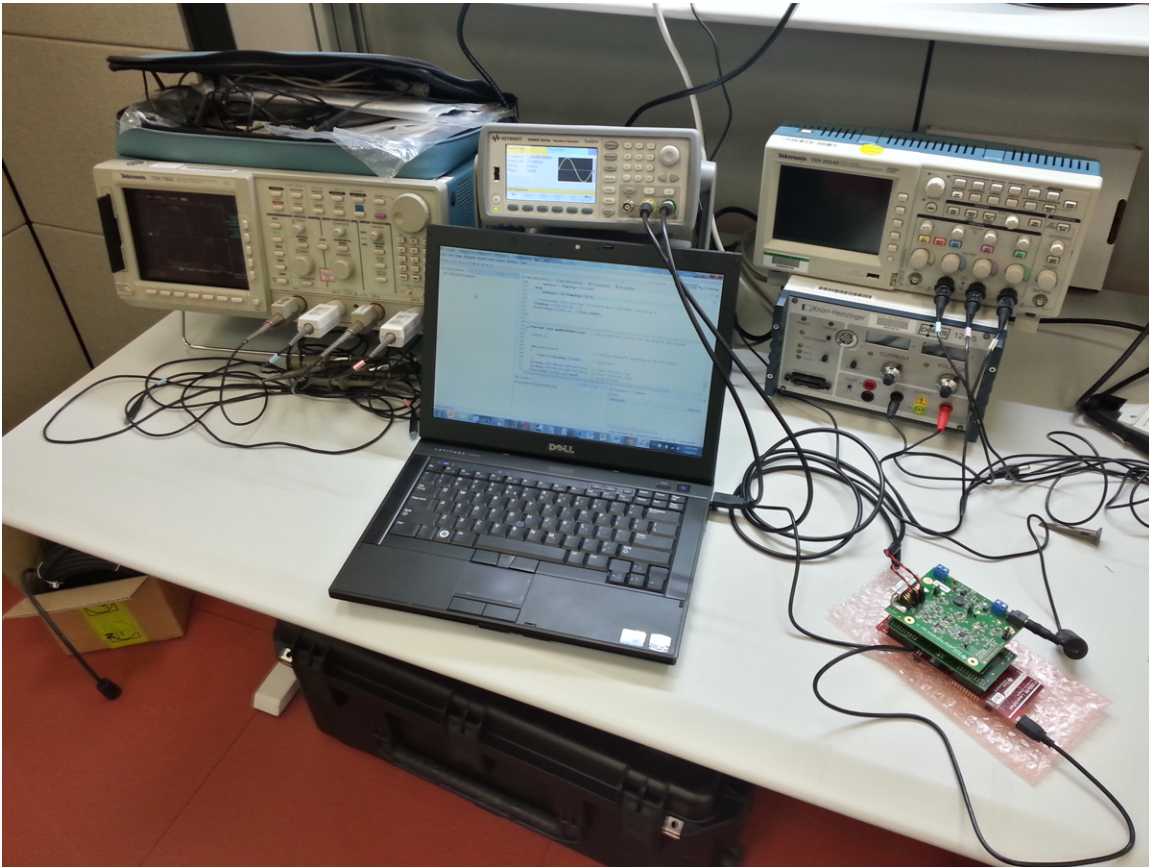


图 37. TIDA-00176 模拟信号链性能测试设置

我们对高分辨率 16 位信号路径（包含全差动放大器 THS4531A 和双路 16 位 ADC ADS8353）及差分到单端模拟信号路径进行了测试。测试中使用了双路输出可编程函数发生器。在连接器 J8 端施加输入信号（差分输入 A、B 和 R）。然后在不同的探测点采集输出波形，测试点取决于所分析的信号路径。

7.1.1 高分辨率信号路径

我们在高精度、高分辨率信号路径上进行测量。在编码器连接器 J8 输入 A+、A- 和 B+、B- 注入 1 V_{pp} 正弦信号，然后在 ADS8354 差分输入端测量差分模拟信号。图 38 所示为测试过程中所测量的输入和输出信号。

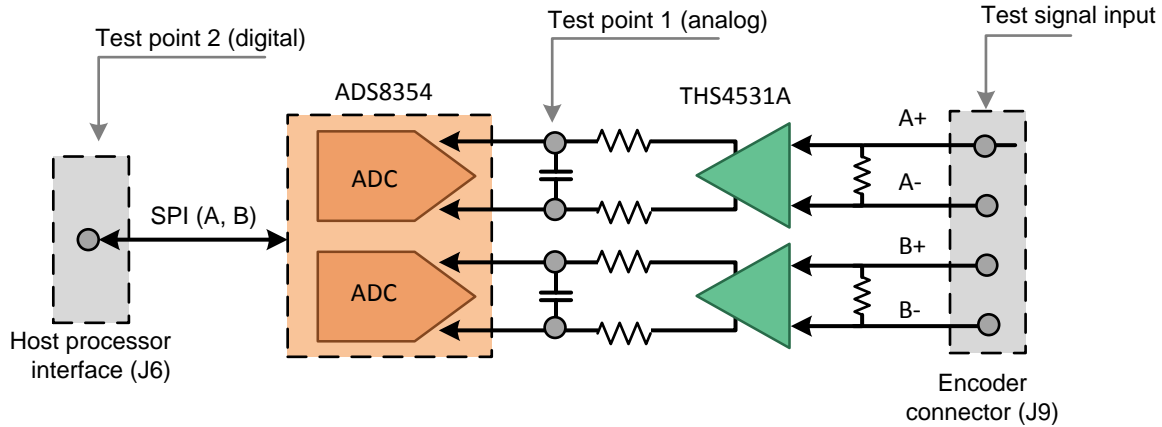


图 38. 高分辨率信号链测量点

7.1.1.1 编码器连接器至 ADS8354 输入端的模拟路径波特图

图 39 所示为幅值和相位响应，主要取决于 THS4531A 增益设置 2 以及由两个 10Ω 串联电阻和 2.2nF 并联电容组成的一阶无源低通滤波器。

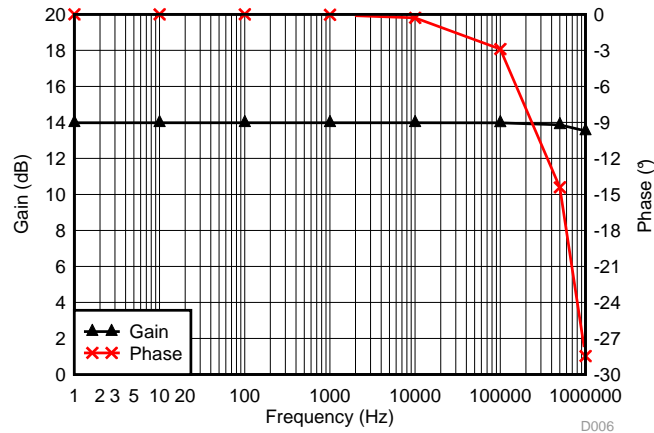


图 39. 从编码器差分输入至 ADS8354 差分输入的高分辨率模拟信号波特图

7.1.1.2 整个高分辨率信号路径的性能曲线图 (DFT)

在如下的测试中，我们测试了整个高分辨率信号链，包括经 RC 滤波器连接的差分放大器 THS4531A 直到双路 16 位 ADC ADS8354。在编码器差分输入引脚注入正弦测试信号，然后对 16 位数字数据进行分析。

分析在频域中进行，以评估信噪比 (SNR)、总谐波失真 (THD)、信纳比 (SINAD) 和有效位数 (ENOB) 等性能。本质上，所有这些参数都是基于快速傅里叶变换 (FFT) 分析利用不同的方式来量化 ADC 的噪声和失真性能。本节在结尾处简单介绍了 ADC 信噪测量的原理。

在测试中，使用了两种输入信号：

- 超低噪声直流电源，1.8V
- 幅值 0.6 V_{PP} 的 1kHz 正弦波，代表正弦/余弦编码器的低电平输出

每次在 A+、A- 或 B+、B- 其中一组输入通道上施加输入信号，另一通道则处于未连接状态。这样做的目的在于，测量并突出两个通道 A 和 B（分别为正弦和余弦信号）的超低串扰电平。

为确保最佳噪声性能，采用直流输入（以确保输入/信号源不引入噪声）。采用 1kHz 正弦波测量两个并联通道的有效位数。

通道 A 和 B 均以 32kHz 的频率进行采样，并分别采集 8192 个连续 16 位样本。根据所采集的数据计算了 DFT，以测量 SNR 和 THD。

结果如下图所示。

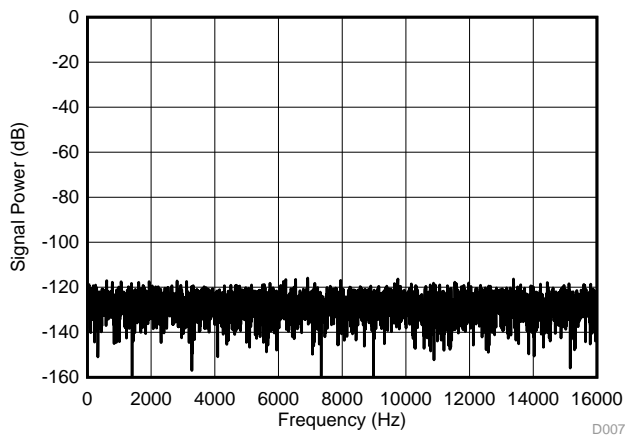


图 40. 16 位通道 A 输出 DFT
在 A 输入端施加 1.8V DC 信号

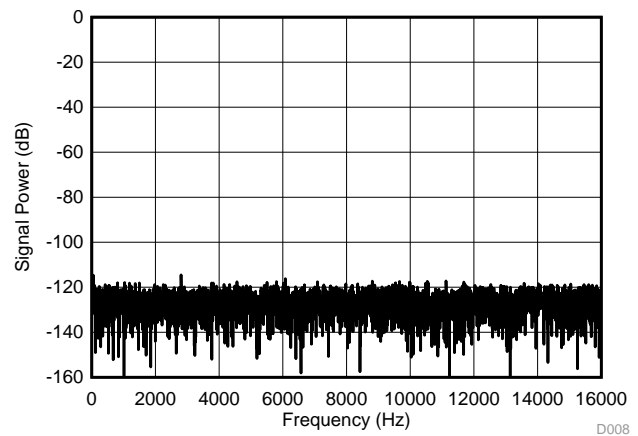


图 41. 16 位通道 B 输出 DFT
在 B 输入端施加 1.8V DC 信号

在上面的图中，所测得的噪底低于 120dB，也就是说这是可实现的最佳性能。此外，还需注意的是，以上图表均采用满量程输入范围，即最大幅值。0dB 对应于 ADS8354 的最大允许输入，在此配置中应为 $2V_{PP}$ 。

下面的图所示为整个高分辨率通道的 DFT，其中正弦输入电压幅值为 $0.6V_{PP}$ ，频率为 1KHz。这等于约 -6dB 输入电平（相对于理论满量程输入范围）。

输入信号可施加在通道 A 或通道 B。另一通道保持开路状态，以便测量串扰。

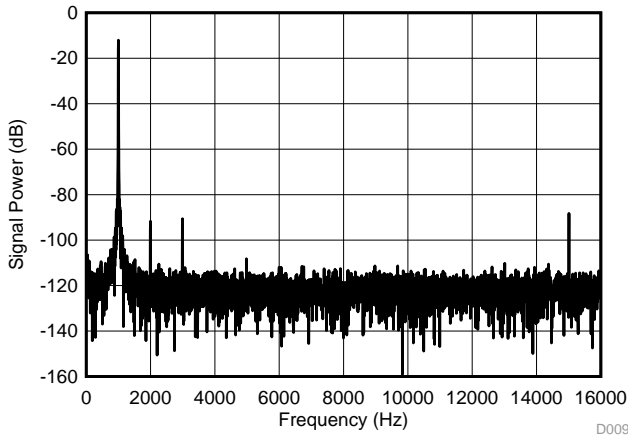


图 42. 16 位通道 A 输出的 DFT，在 A 输入端施加 $600mV_{PP}$ ，1KHz 正弦波输入

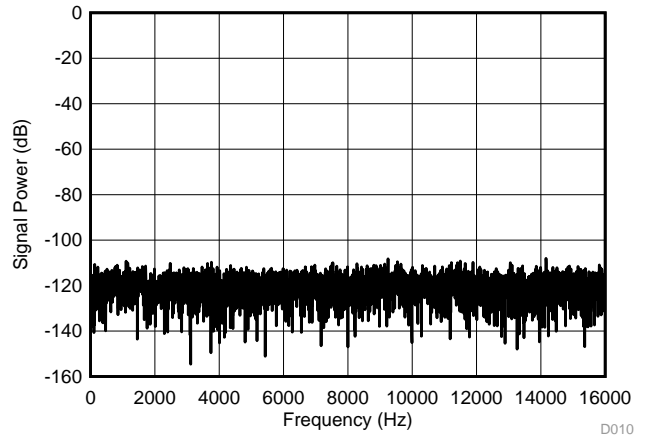


图 43. 16 位通道 B 输出的 DFT，在 A 输入端施加 $600mV_{PP}$ ，1KHz 正弦波输入

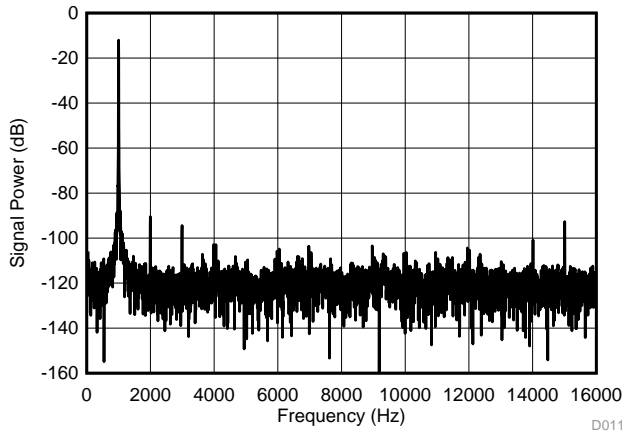


图 44. 16 位通道 B 输出的 DFT，在 B 输入端施加 $600mV_{PP}$ ，1KHz 正弦波输入

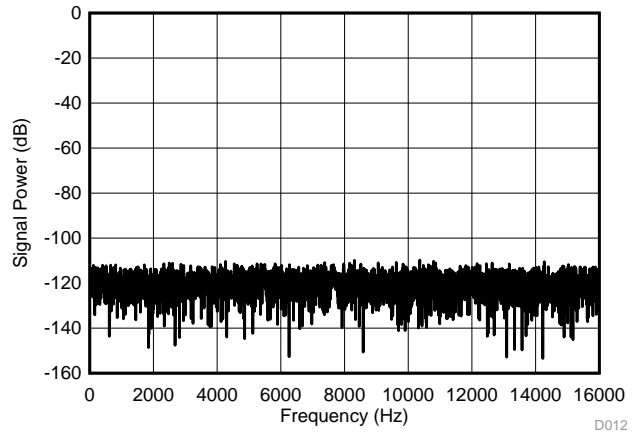


图 45. 16 位通道 A 输出的 DFT，在 B 输入端施加 $600mV_{PP}$ ，1KHz 正弦波输入

以上图形均采用理论上的满量程输入范围。注意，1kHz 正弦信号的第一个和第二个谐波源于信号源本身（通常采用极其严格的陷波滤波器来隔离测试信号的频率；相关示例，另请参阅 [SLAU515](#)）。

此外，还需注意的是 1kHz 信号存在轻微的扩频。这与 TIDA-00176 硬件无关，而是由于 F28069 软件实施中出现抖动，触发了 SPI 传输，从而启动了 ADS8354 转换（保持模式），引起相当于 12.5ns 的一个 CPU 时钟周期的抖动。

从上面的图形也可以看出，两个正弦（信号 A+、A-）和余弦（B+、B-）模拟通道之间基本不存在串扰。频谱（DFT）仅为一半的采样频率（另一半频谱是前半部分一样，两者为镜像关系，因此图表中未显示）。我们利用 Hann 函数 (http://en.wikipedia.org/wiki/Hann_function) 为数据加窗，以获得更加明晰的频域图。

接下来，便可计算本设计在满量程信号下的 THD、SNR 和 ENOB，如表 31 所示。

表 31. 高分辨率信号路径（THS4531A 和 ADS8354）典型性能

参数	值 (测量值)
SNR	89.1dB
信噪比和失真率 (SINAD)	88.5dB
ENOB	14.4 位
串扰	-107 至 -109dB

7.1.1.3 关于 ADC 交流性能定义的背景信息

图 46 所示为一个 ADC 的典型 FFT 曲线图。

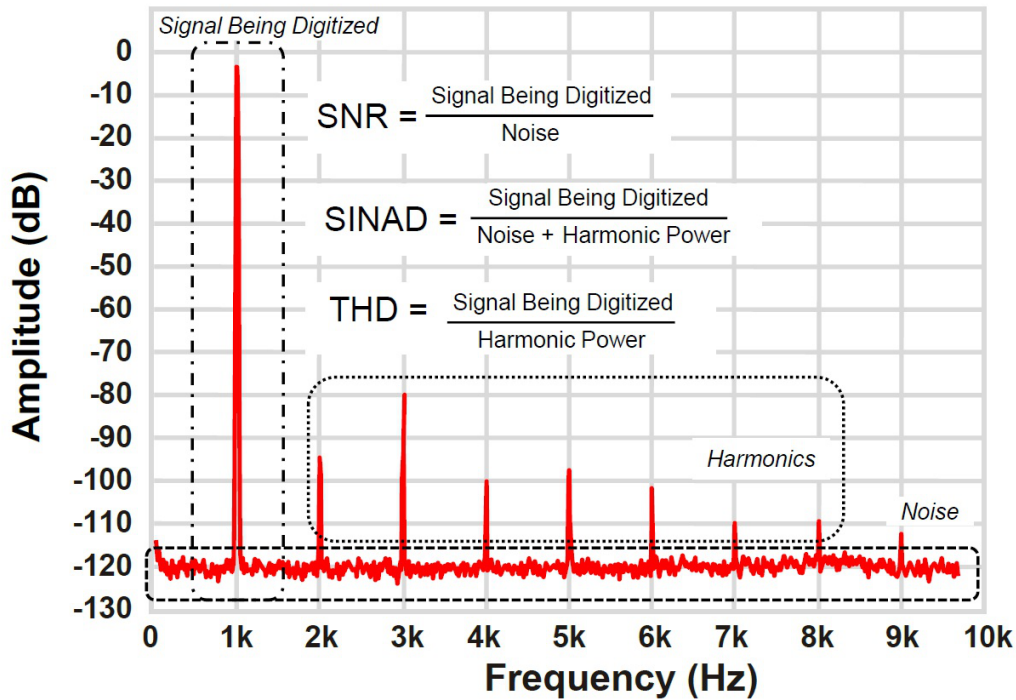


图 46. 性能定义

借助 SNR 可深入了解系统的总噪声情况。数据采集系统的总噪声是前端放大器噪声和 ADC 噪声的和方根 (rss)。此 ADC 噪声包括量化噪声，以及 ADC 内部电路导致的噪声。所有这些噪声源引入的总噪声表示为 $V_{n_TOT_RMS}$ ，是指用于计算系统总 SNR 的 ADC 输入：

$$SNR = \frac{V_{SIGNAL_RMS}}{V_{NOISE_RMS}} \tag{16}$$

THD 是指全部谐波分量的 rss（通常使用九个谐波）与基波信号频率功率之比。它通常由一个接近满量程 (FS) 的输入信号确定，但是在本设计中，输入保持在比 FS 低 0.5dB 的水平上，以防止削波失真。

如果输入信号的均方根 (rms) 值表示为 V_{SIGNAL_RMS} ，且前九个谐波（基波除外）的总功率表示为 $V_{HARMONICS_RMS}$ ，则 THD 计算公式如下：

$$THD = \frac{V_{SIGNAL_RMS}}{V_{HARMONICS_RMS}} \tag{17}$$

SINAD 将失真和噪声的影响结合在一起，以提供一个系统总体动态性能的累计衡量方法。

$$SINAD = \frac{V_{SIGNAL_RMS}}{\sqrt{V_{NOISE_RMS}^2 + V_{HARMONICS_RMS}^2}} \tag{18}$$

最后但同样重要的是，由于 ENOB 指定了高于噪声的位数，因此是 ADC 数字化信号质量的有效衡量指标。其计算公式如下（使用以 dB 表示的 SINAD）：

$$\text{ENOB} = \frac{\text{SINAD}_{\text{dB}} - 1.76 \text{ dB}}{6.02 \text{ dB}} \quad (19)$$

有关各个参数计算方法的详细信息，请参见 [SLAU515](#)。

7.1.2 差分到单端模拟信号路径

借助双通道信号发生器，生成两个耦合正弦波（幅值和频率相同，波形之间存在 90 度相移），并通过 J9 连接器施加到模拟差分信号 A+、A- 和 B+、B-。使用两个差分探头采集输入端的差分信号，同时两个单端探头分别连接模拟路径中的单端模拟输入 A 和 B，即连接器 J6 的引脚 18 和引脚 20。

通过这种方式测量输出信号相对输入信号的幅值；同时，也测量差分输入与相应单端输出之间的相移。通过这种方式，可以计算出模拟信号调节路径的波特图。

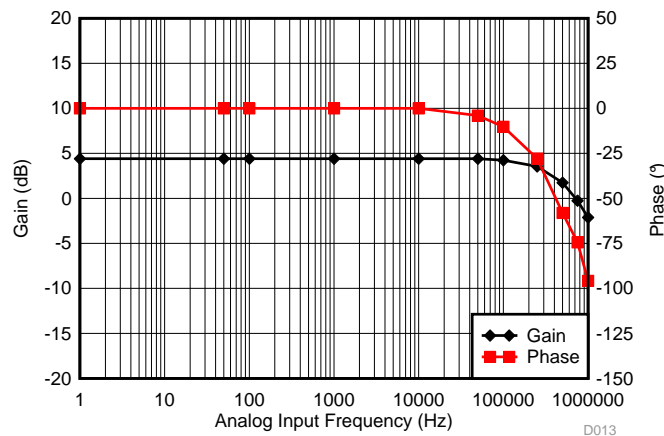


图 47. 差分到单端模拟信号路径的传递函数 - 通道 A 和 B

我们对标记信号 (R+/R-) 进行了相同的测量。注意，由于在比较器的输入端测量 R 信号的输出，因此 R 信号的相位小于 A 和 B 的相位。去耦滤波器的截止频率 (R = 20Ω, C = 2.2nF) 比 A 和 B 输出滤波器 (R = 100Ω, C = 2.2nF) 高五倍。

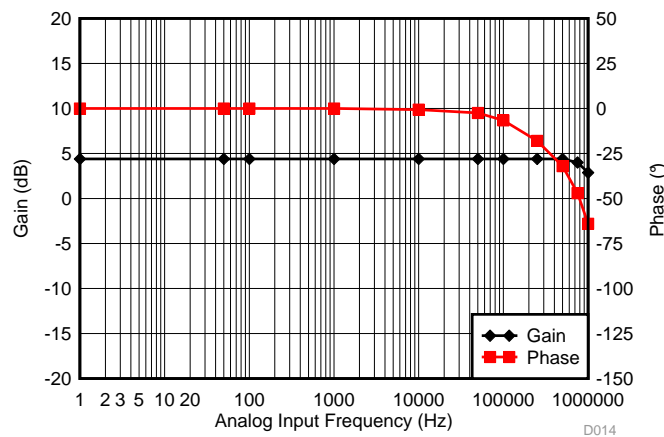


图 48. 差分到单端索引标记 R 的传递函数

7.1.3 带数字输出信号 A_{TTL} 、 B_{TTL} 和 R_{TTL} 的比较器子系统

本节中，对用于将单端模拟信号 A、B 和 R 转换为数字信号且带有滞后的比较器进行性能测试。

重点测试了主机连接器 J6 端比较器输出信号 A_{TTL} 、 B_{TTL} 和 R_{TTL} 的传播延迟，将分别相对高分辨率路径 ADS8354 端的模拟信号输入和模拟路径的单端模拟信号进行延迟测试。

测试的目的在于测量比较器路径相对于模拟路径的总信号延迟，全面考虑由滞后带来的延迟、因低通滤波引起的相移以及比较器本身的传播延迟。

由于 A、B 和 R 全部三个通道的比较器输出设计具有绝对对称性，因此仅针对通道 A 执行测量。

模拟信号均采用单端探头进行测量，因此对于 ADS8354 的差分输入，仅测量对地正差分信号。

测试中，在编码器连接器 J9 的 A_P、A_M（正弦）和 B_P、B_M（余弦）以及 P_M 和 R_P 引脚注入正弦信号。

对于高分辨率路径，将幅值设置为 $1.0 V_{PP}$ （典型值）和 $0.3 V_{PP}$ （最小值），频率设置为 100Hz 和 500kHz（最大值），以测试最坏情况下的传播延迟。对于模拟路径，测量 $0.3 V_{PP}$ 100Hz 和 500kHz 频率下的极端情况。

测试结果如下图所示。注意，高分辨率路径（ADS8354 差分输入端）和单端模拟路径（连接器 J6 端引脚 12）均参照比较器输出（连接器 J6 端引脚 18）。

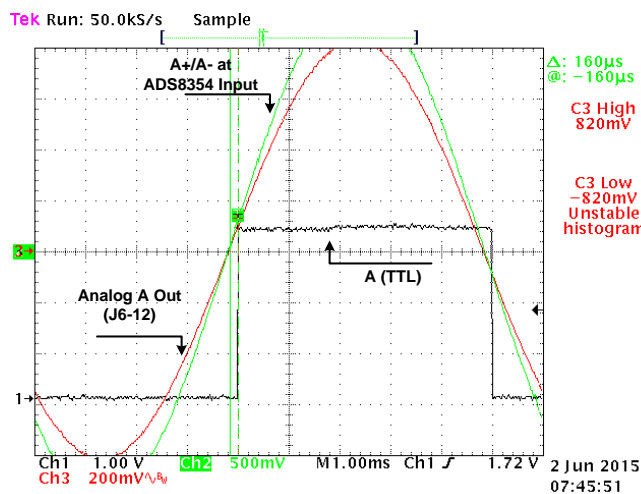


图 49. 相对于 ADS8354 差分输入的比较器输出 A_{TTL} 以及编码器连接器 J9-1、J9-2 端输入 $1.0 V_{PP}$ 100Hz 时的模拟输出 A (J6-12)

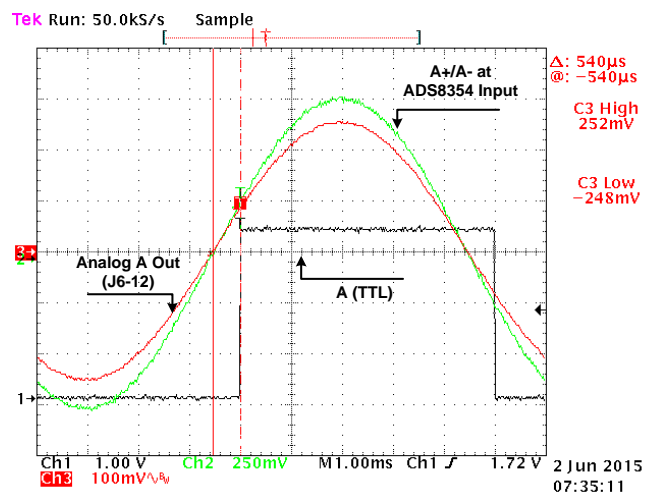


图 50. 相对于 ADS8354 差分输入的比较器输出 A_{TTL} 以及编码器连接器 J9-1、J9-2 端输入 $0.3 V_{PP}$ 100Hz 时的模拟输出 A (J6-12)

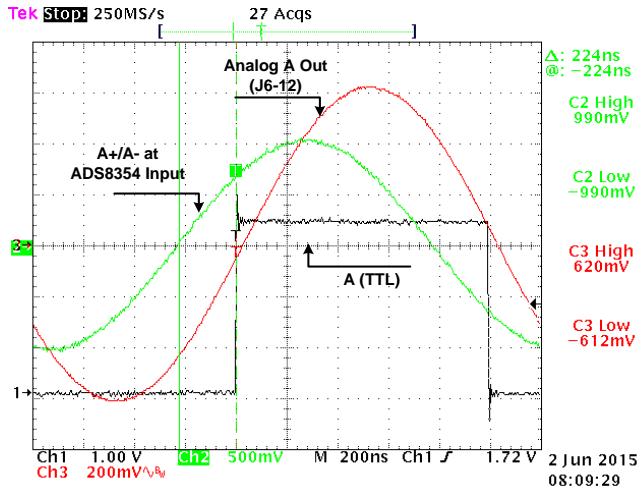


图 51. 相对于 ADS8354 差分输入的比较器输出 A_{TTL} 以及编码器连接器 J9-1、J9-2 端输入 $1.0 V_{PP}$ 500kHz 时的模拟输出 A (J6-12)

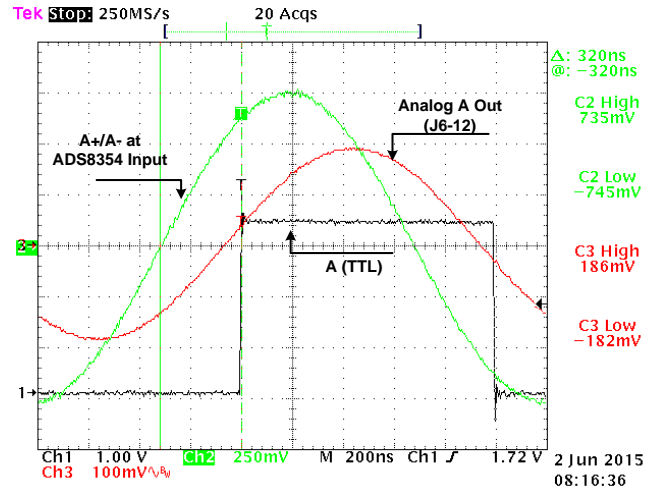


图 52. 相对于 ADS8354 差分输入的比较器输出 A_{TTL} 以及编码器连接器 J9-1、J9-2 端输入 $0.3 V_{PP}$ 500 kHz 时的模拟输出 A (J6-12)

结果符合预期，500kHz 下，在最低输入幅值处出现最大整体相移（含 RC 滤波器去耦电路），约为 320ns，相当于 57 度，该值低于 90 度且处于 60 度范围内，符合 2 节所述规范。延迟如此之低，主要是因为 TLV3201 传播延迟极低（典型值 40ns）。这也提供了充足的裕度，来补偿影响相位延迟量的参数（如低通滤波器）可能带来的延迟影响。

由于较低频率情况下的延迟取决于与幅值相关的滞后，因此 100Hz 时的传播延迟几乎等同于高分辨率通道的传播延迟。

在单端模拟路径中，500kHz 时几乎不存在任何延迟（除了带滞后的比较器自身的 250ns 传播延迟）。这是因为单端模拟输出端配有强大的低通滤波器 ($R = 100\Omega$, $C = 4.7nF$)，可驱动 Piccolo MCU 等微控制器中内置的开关电容 ADC。较高频率时，这种与频率相关的相位延迟可略微补偿比较器带来的延迟。

接下来，仅测量与带滞后的比较器相关的延迟，即比较器输入（R50 处的模拟信号）与比较器输出之间的延迟。注意，因为上一放大器级增益为 1.66，因此编码器输入端 $0.3 V_{PP}$ 到比较器输入端约为 $0.5 V_{PP}$ 。

我们测量了仅由比较器块引入的延迟（滞后和比较器传播延迟），结果如表 32 所示。

表 32. 滞后比较器子系统延迟

编码器连接器端的输入	比较器输入端的电压（如 R50）	传播延迟	相位延迟
$1.0 V_{PP}$, 100 Hz	1.66V	170 μ s	6.1 度
$0.3 V_{PP}$, 100 Hz	0.5V	560 μ s	20.1 度
$1.0 V_{PP}$, 500 kHz	1.52V	120ns	21 度
$0.3 V_{PP}$, 500 kHz	0.46V	200ns	36 度

图 49 到 图 52 中总延迟的差异来自模拟路径中的低通滤波器，500kHz 时其在高分辨率信号路径中可增加约 22 度的延迟。即便如此，该延迟依然低于 90 度。

如需实现理想的相位匹配，可按 4.5 节所述搭配 THS4531A 实施相应的低通滤波器。

7.2 电源测试

7.2.1 24V DC/DC 输入电源

为确定将 24V 转换为 6V 中间电源轨的 DC/DC 降压转换器的特性，我们执行了以下测试。

7.2.1.1 负载线路调节

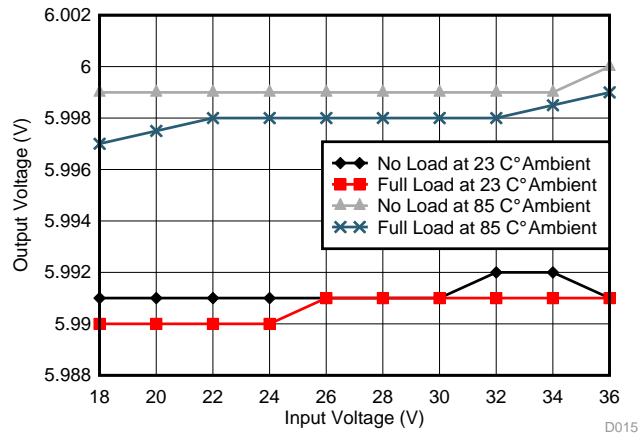


图 53. 负载线路调节

注释 完全工作状态下，负载线路调节范围为 $\pm 10\text{mV}$ 。V_{OUT} 等于预期 6V $\pm 2\%$ （稳压器精度）加上电阻分压器 R7/R10 的精度。

7.2.1.2 输出电压纹波为

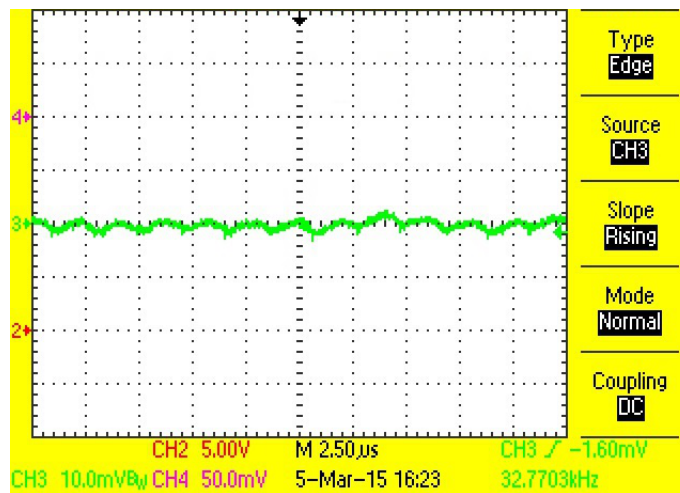


图 54. 输出电压纹波（24V 输入，无负载，22°C 环境温度）

注释 V_{OUT} 远低于所需的 20 mV_{pp}。

7.2.1.3 开关节点和开关频率

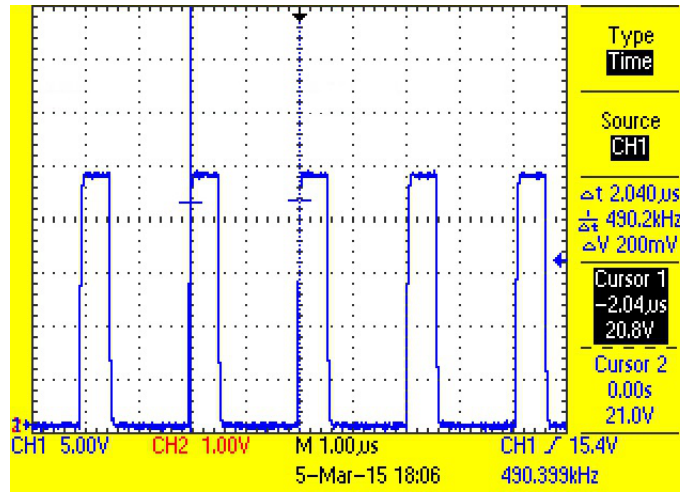


图 55. 开关频率测量（满载，24V 输入，Troom）

注释 开关频率处于预期范围内 (500KHz \pm 23%)。SMPS 处于稳定状态，无抖动、无非正常切换、无电压尖峰。

7.2.1.4 效率

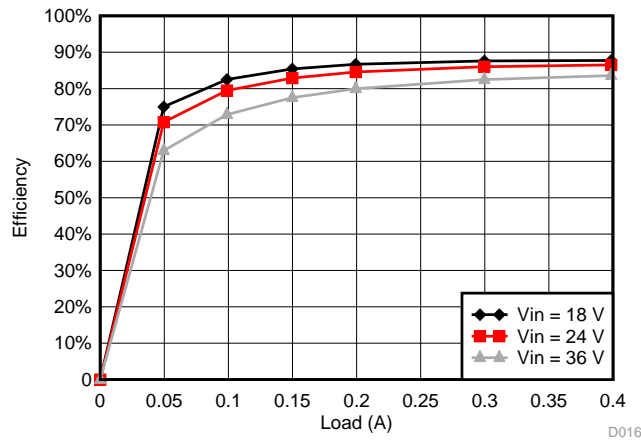


图 56. 22°C 带反极性保护二极管情况下的效率

注释 反极性保护二极管对 DC-DC 转换器效率的影响可以忽略不计。满载时在任何规定输入电压下均可以完全达到 80% 的效率目标。

7.2.1.5 波特图

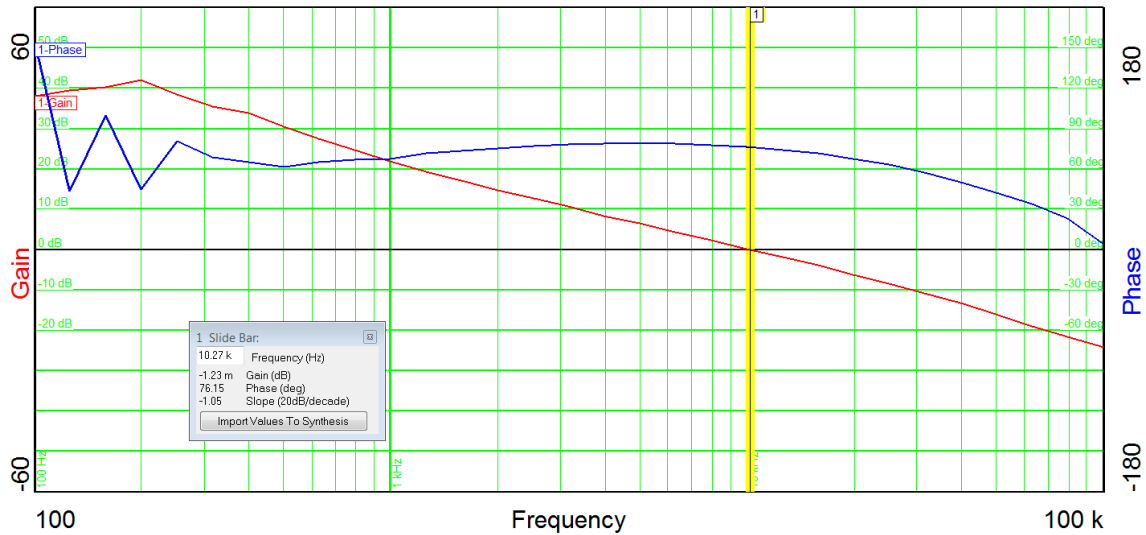


图 57. 满载状态 24V 输入情况下的波特图

表 33. 相位和增益裕度

输入电压	相位裕度	分频频率
36V	78 度	10.3KHz
24V	76 度	10.3KHz
17V	74 度	10.2KHz

注释 增益环路分析表明，在任何工作状态下系统带宽为 10kHz，且具有极其出色的相位裕度 (> 60 度)。

7.2.1.6 热像图

为确定在最大负载条件下电路板上的热点，获取了热像图。

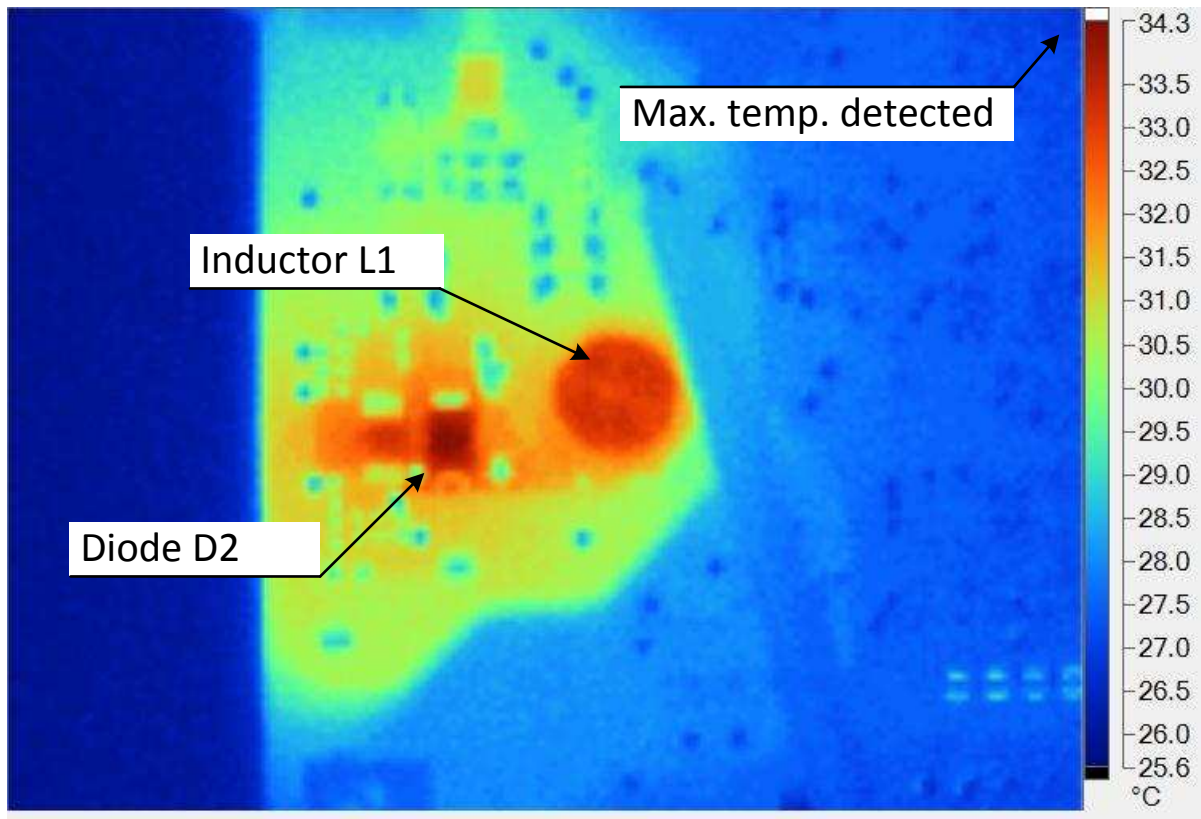


图 58. 满载调节下的热像图（24V 输入，22°C 环境温度）

注释 检测到的电路板热点对应于 TPS54040A 电路中的非同步整流器或二极管。从图中可以看出，Troom 测试时温度上升 11°C，上升幅度取决于输入电压和输出电流。所检测到的器件最大温度为 34°C。

85°C 的测试中，未出现明显的性能变动（请参见图 53：85°C 下的负载线路调节）。

7.2.2 编码器电源输出电压

以下测量显示，负责为编码器供电的 LDO 的输出电压具有良好的稳压效果，符合执行以下测量所规定的范围。

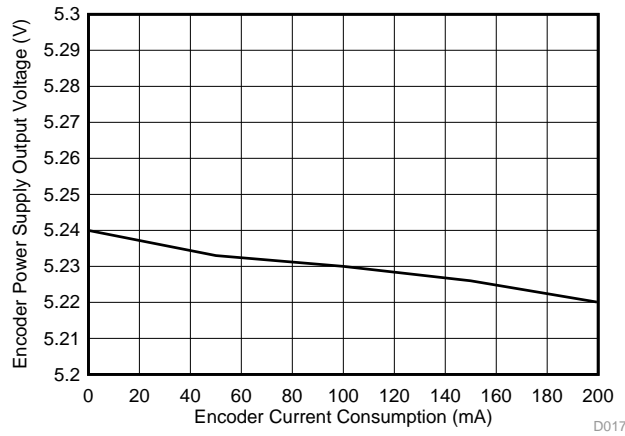


图 59. 编码器电源输出电压与负载电流（0 至 200mA）

7.2.3 5V 和 3.3V 负载点

设计中有两个 LDO 负责产生负载点，来为信号链模块供电。这两个 LDO 的输出电压具有良好的稳压效果，符合相关规范要求。测量结果如表 34 所示。我们在连接正弦/余弦编码器的情况下，测量了 3.3V 和 5V 电源轨的标称电流消耗，由 F28069M LaunchPad 以 16kHz 的频率触发新的测量。

表 34. 测得的输出电压

规定的输出电压	标称负载时测得的电压	标称电流
5V	5.02V	49.9mA
3.3V	3.34V	0.2mA

7.3 系统性能

7.3.1 正弦/余弦编码器输出信号仿真

为实现这一目的，采用了 16 位可编程双路输出信号发生器 Keysight (Agilent) 33600A 来仿真编码器输出信号。将来自 DC 的正弦测试信号（最高达 500kHz）注入差分输入 A+/A- 和 B+/B-。

本节将介绍系统级性能的测量。具体而言，涉及以下方面的性能测试：

- 一个电周期（相位）内的精度
- 最大输入频率 500kHz 下旋转一周的精度 此时，编码器仿真的一周旋转相当于 2000 个信号周期

测试均先在室温条件下进行，然后再在 70 度温度条件下重复执行，以检查误差漂移与温度之间的关系。

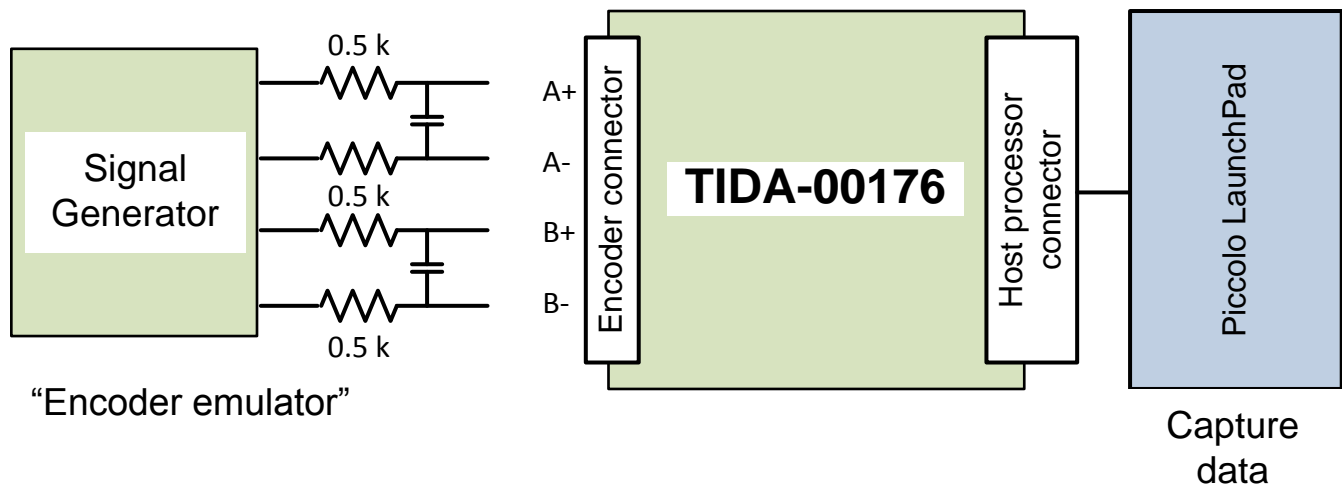


图 60. 编码器信号仿真的测试设置

7.3.1.1 一个周期（增量相位）测试

前几次测试显示，双路输出信号发生器引发的误差远高于 TIDA-00176 精度所应达到的水平，完全背离了测试的目的。可将噪声源和误差源“简单”概括为：

- 增益误差（A 的幅值不等于 B 的幅值）
- 相移误差（未按预期精确达到恒定的 90 度）
- 偏移误差（A 或 B 信号的平均值不等于 0）
- 由函数发生器的量化误差引起的 HF 噪声
- 频率误差（即使信号已耦合，但 A 的频率仍不等于 B 的频率）

CAUTION

为减小函数发生器引入的量化误差和噪声，在信号发生器与 TIDA-00176 输入端之间增加一个 1K 电阻与 1 μ F 电容构成的 LP 滤波器（实际上，为保持电路平衡可将两个 500 Ω 电阻串联获得 1K 电阻）。

为消除两个通道间的增益误差、偏移误差、相移误差和频率误差，执行以下步骤：仅将按上述方式滤波的单一输出信号同时施加至 TIDA-00176 编码器连接器 J8 端的输入 A 和 B，以馈入相同的信号。这样可避免函数发生器的局限性。此外，也可以更好地评估 ADS8354 两条通道（及其各自信号调节路径）之间的所有不匹配。

实际上，在理想状况下，从 ADS8354 采集的数据应显示出两个完全相同的原始数据流，而这一级别的所有不匹配均源于两条通道之间的不匹配，而非输入信号本身。借助这种方式，可以执行偏移误差和增益误差校正，以实现 A 通道与 B 通道之间的完全平衡，进而实现对系统的校准。

通过连接至 TIDA-00176 的 F28069M LaunchPad 以 32kHz 的采样率进行数据采集，请参见 6 节。

F28069M 采集到 ADS8354 通道 A 和 B 的数据后，将 16 位原始数据转储到 Excel 文件中。然后，将通道 B 的原始数据精确相移

90 度。最后，借助原始数据 A 和经过 90 度相移的原始数据 B 的反正切值计算相位。

在 1.0V_{pp} 幅值和 10Hz 至 500Hz 频率范围内重复多次执行此测试。测试结果如下所示。

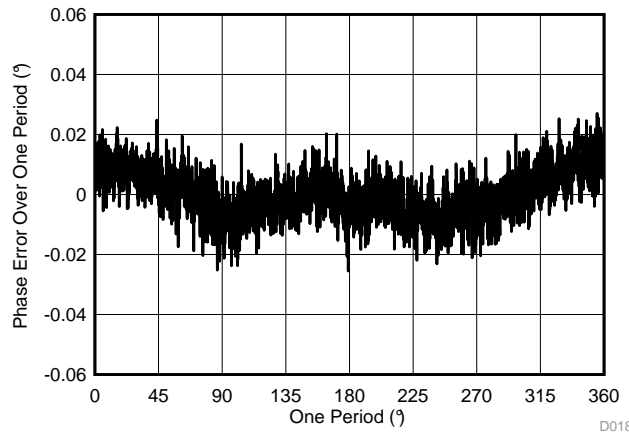


图 61. 施加 1.0V_{pp} 10Hz 输入信号时一个信号周期内的相位误差

在一个递增线（一个信号周期 = 360 度）内，相移误差应保持在 ± 0.02 度范围内。该值对应于误差 $\pm 0.02/360 = 0.0055\%$ 。分辨率为 16 位时，误差仅约等于 ± 3 LSB。

噪声分配甚至在 ± 0.01 (± 1.5 LSB) 范围内。两个周期内的相位误差因两个信号 A 和 B 之间未达到理想的 90 度相移而造成，请参见 1 节。

注意，一个信号周期内 ± 0.02 度误差对于线数为 2000 的编码器而言，相当于总误差为 ± 10 微度（0.036 角秒）。

标称 70°C 温度下在热处理室中执行相同测试，以对系统性能偏移，尤其是角位置的绝对误差进行评估。

同样，两个输入信号的非完全匹配（90 度相移等）会导致倍频调制。

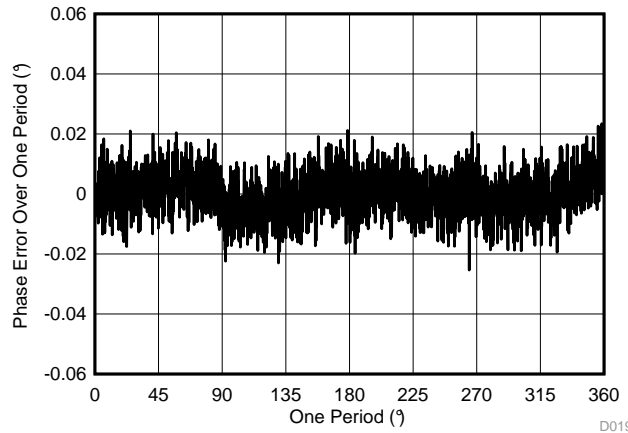


图 62. 70°C 温度下施加 1.0V_{pp} 10Hz 输入时一个信号周期内的相位误差

在施加 0.6V_{pp} 输入时执行相同测试，此时可以看到更高的噪声/更低的 SNR:

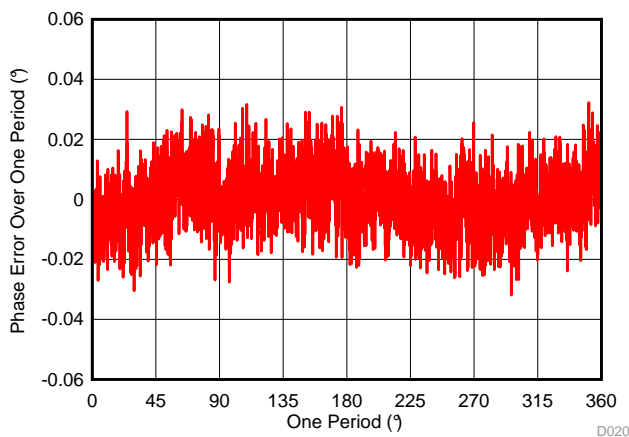


图 63. 23°C 温度下施加 0.6V_{pp} 10Hz 输入时一个信号周期内的相位误差

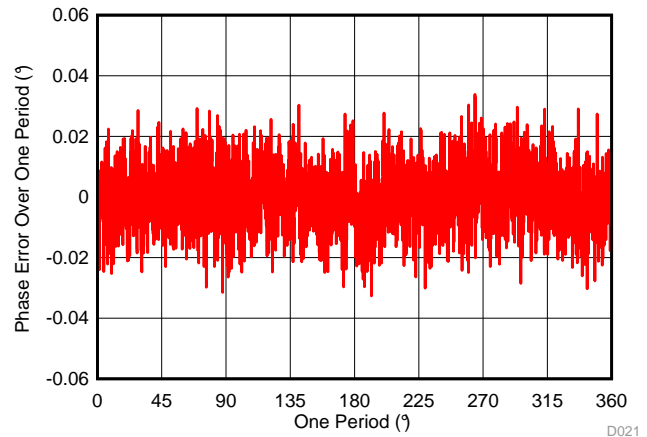


图 64. 70°C 温度下施加 0.6V_{pp} 10Hz 输入时一个信号周期（旋转一周/2000）内的相移误差

相对于温度的超低漂移符合预期，这同样与模拟信号调节所用的运算放大器和匹配电阻的特性有关。

7.3.1.2 最大速度时机械旋转一周的测试

为完成本测试，我们计算了 Piccolo F28069M LaunchPad 所连 TIDA-00176 中机械旋转一周的高分辨率插值角。CPU 时钟频率为 80MHz，采样率设置为 32kHz。

此测试的目的在于，验证在最大输入信号频率 500kHz 下插值算法有效，例如，不会因模拟样本与 QEP 计数器锁存产生的不匹配而造成任何增量计数缺失，或插值相位（反切）与相应线计数 (QEP) 不匹配。这些情况会产生高于量化噪声的误差（测量结果参见节 7.3.1.1）。

为此，采用双路信号发生器模拟编码器 360 旋转。执行测试时，使用双路输出信号发生器，方法如下：两个输出信号存在 90 度相移，并在幅值和频率上进行耦合。然后，两个信号作为输入施加至 TIDA-00176 编码器连接器的 J9 A+/A- 和 B+/B- 引脚。

总插值角存储在 F28069M RAM 中，通过 CCS 内存转储进行读取。

将计算得出的高分辨率角与编码器在线数为 2000 时的理想相位进行比较。因此，500K kHz 下的 2000 个信号周期等于一周的仿真旋转。总角相位以 $360 \text{ 度} \times 500\text{kHz}/2000 = 90,000 \text{ 度/s}$ 的速率斜升。表 35 所示为

1 μs 和 100ns 内的时序，相当于 80MHz 频率下的一个 F28069M CPU 时钟周期。

表 35. 线数为 2000 的正弦/余弦编码器以 1500rpm 运行时的角速度

理想角速度	1 μs 时间内的角度变化	12.5 (CPU 时钟) 内的角度变化
90,000 度/s	0.09	0.0011

信号发生器及处理器时钟的抖动，乃至主机处理器经 SPI/CS 采样模拟信号时的 CPU 时钟抖动均无法避免。假设角度以理想状态斜升（因缺少参照值），测得的角将带有相应的相位滞后或相位超前，进而导致与速度相关的角度误差。

图 65 所示为理想斜升（500kHz，每转 2000 个信号周期）情况下 32kHz（每转获得 128 个连续样本）时测得的插值角误差。

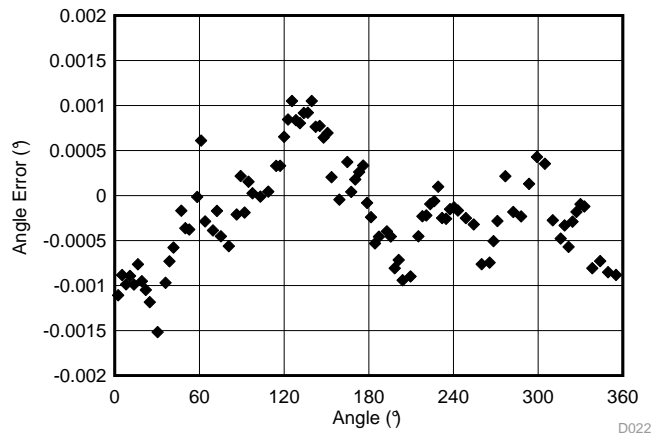


图 65. 编码器仿真情况下旋转一周所得的插值角误差 (1 V_{pp}, 500kHz 输入, 32kHz 采样率)

如上文所述，此测试不用于检测精度，但会验证是否存在增量缺失。对于 2000 线仿真，一个增量线数相当于 $360/2000 = 0.18 \text{ 度}$ 。与理想直线的角度误差（差异）始终保持在 $\pm 0.001 \text{ 度}$ 内；因此，在 500kHz 时插值运算仍有效，不存在增量缺失。

从图中可以看出，误差 $\pm 0.0015 \text{ 度}$ 内。误差是由于 CPU 时钟抖动及来自信号发生器等来源的其它抖动而造成，CPU 时钟抖动决定了最小精度。

这样分布的原因在于 F28069 软件的抖动，抖动触发了一个或两个 CPU 时钟周期的 SPI 传输/CS。/CS 的下降沿可锁存模拟输入。仅仅 12.5ns 的抖动就会转换为约 $12.5\text{ns}/2000\text{ns} \times 360/2000 \text{ 度} \sim 0.0011 \text{ 度}$ 的相位差。因此，角度差实际上是速度相关的角度误差（速度）滞后。

7.4 正弦/余弦编码器系统测试

系统测试中采用正弦/余弦编码器 ROD480-2000 和 ROD480-1024，线缆长度分别为 1m 和 71m。

7.4.1 零索引标记 R

第一项测试用于验证数字输出信号 A、B 和 R 之间的同步或偏差，信号测试点位于 TIDA-00176 主机处理器接口连接器 J6 的引脚 12 (A_{TTL})、引脚 14 (B_{TTL}) 和引脚 16 (R_{TTL})。通过此项测试可验证 TIDA-00176 比较器子系统的配置是否合理。

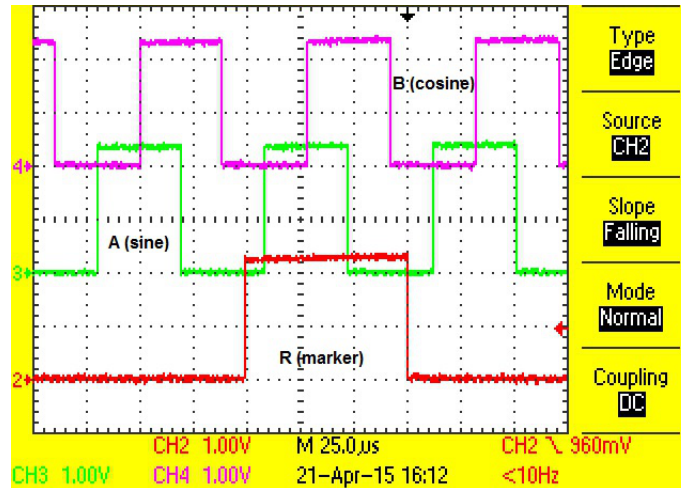


图 66. 在 TIDA-00176 比较器输出 J6-12、14 和 18 端测得的 TTL 信号 A、B 和 R

仅当 A 和 B 均为低电平时，比较器输出信号 R 才发生变换，这符合预期。这说明 A、B 和 R 信号之间的序列取决于正弦/余弦编码器转轴的旋转方向。在图 66 中，B 信号上升沿出现在 A 信号上升沿之后，因此编码器为顺时针旋转。

我们对约 400rpm 更高速度下 R 上升沿与下降沿之间 A、B 与 R 信号的偏差进行了更为详细的研究。R 的上升沿和下降沿仍出现在信号 A 和 B 同为低电平时。

注意，图 67 和图 68 的旋转方向为逆时针方向 (CCW)。

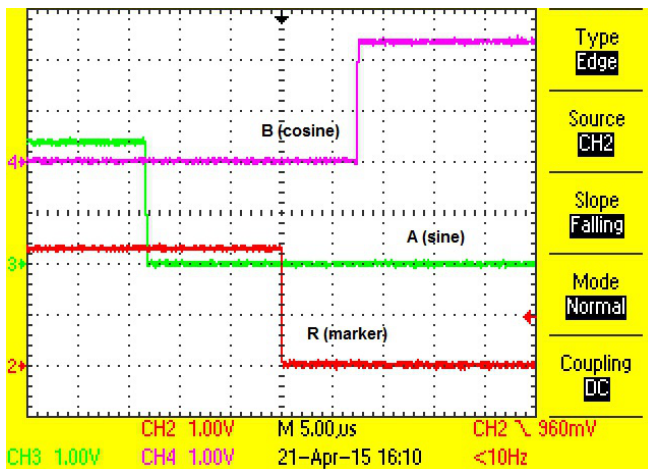


图 67. CCW 方向时索引信号 R 下降沿与 A 和 B

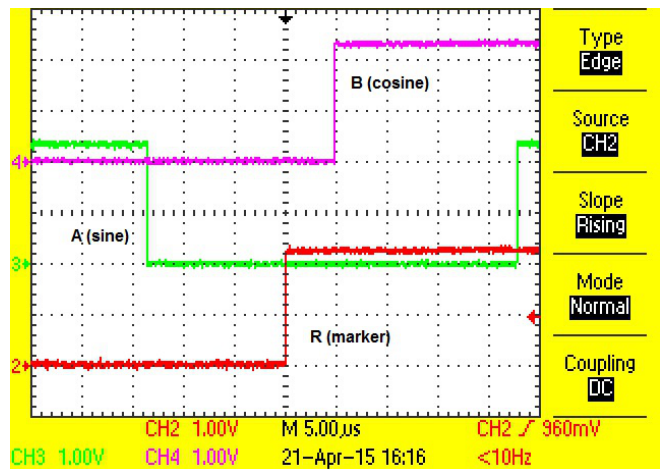


图 68. CCW 方向时索引信号 R 上升沿与 A 和 B

7.4.2 功能性系统测试

以下静态角度测试采用 ROD480-1024 正弦/余弦编码器，电缆长度为 1m 和 71m。由于编码器测试台的机械精度不足，所以总精度测量的精度无法高于 0.003 度（10 角秒）。测试设置如图 69 所示。

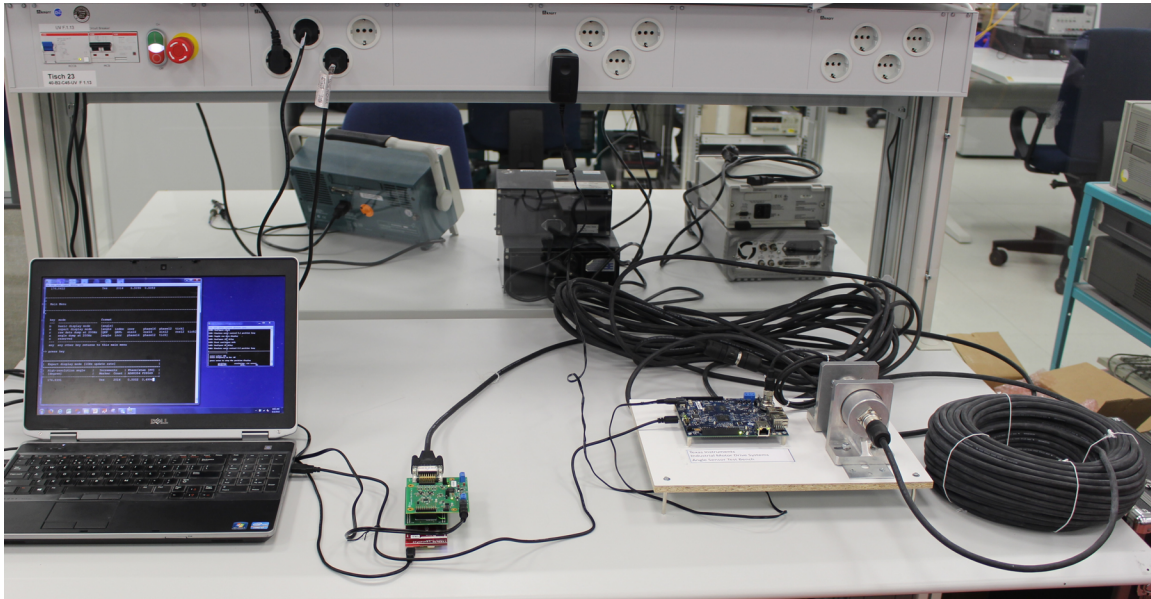


图 69. TIDA-00176 测试设置，采用 70m 电缆 (20m + 50m) 和 ROD480-1024 正弦/余弦编码器

图 70 和图 71 所示分别为 ROD480-1024（线数为 1024）连接 1m 和 70m 电缆时随时间变化所测得的静态角度 转轴未固定。

注意，由于从编码器拆除 1m 电缆而改为安装 70m 电缆时发生机械振动，1m 和 71m 测量的绝对角度略有变化。

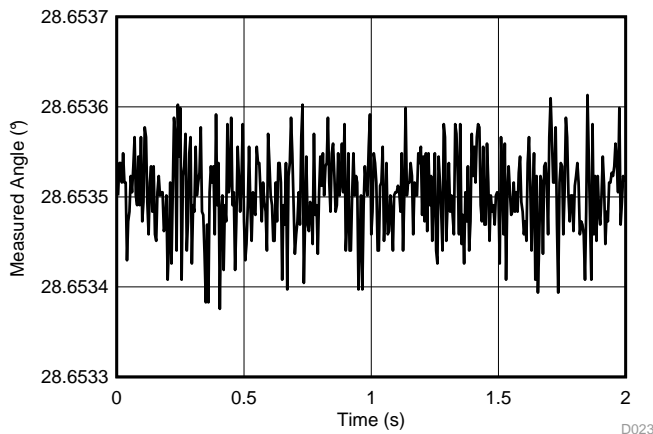


图 70. 系统测试，ROD480-1024 连接 1m 电缆时所测得角度的分布

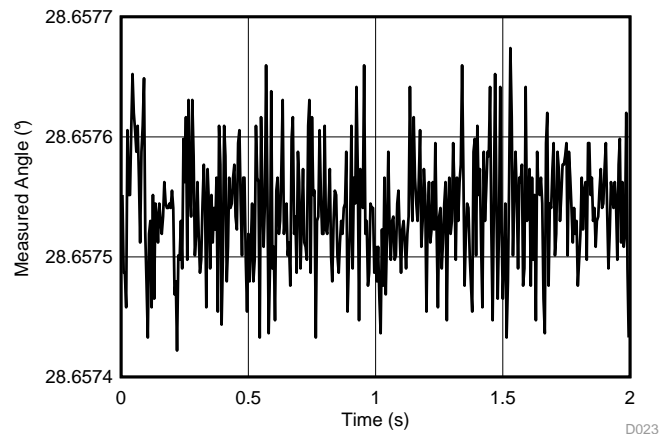


图 71. 系统测试，ROD480-1024 连接 71m 电缆时所测得角度的分布

采用 ROD480-1024 时所测得的角度存在 ± 0.0001 度（0.36 角秒）噪声分布。由于 0Hz 时电缆衰减约为 -1.5dB，因此 1m 和 70m 测量之间并无明显差异。

为验证带正弦/余弦编码器的 TIDA-00176 设计的基本精度和可重复性，通过机械方式将 ROD480-1024 正弦/余弦编码器与 EnDat 2.2 编码器 ROQ437 耦合。采用 70m 电缆连接 ROD480-1024。测试设置如图 73 所示。

图 72 所示为 TIDA-00176 连接 ROD480-1024 正弦/余弦编码器与连接 ROQ437 EnDat 2.2 绝对值编码器时的角度差异，采用绝对值编码器时，通过 Sitara AM437x EnDat 2.2 主器件读取其绝对角度。绝对角度呈现余弦波形误差，造成误差的原因是带小幅偏摆的两个转轴之间存在不理想的非中心耦合。

我们又通过多次旋转编码器并捕获相应角度，确定了可重复性。

但与预期的一样，这样的机械设置并未精确到足以体现整体的绝对系统精度。因此，7.3 节所述基于编码器仿真的测试更能体现 TIDA-00176 参考设计的预期性能。

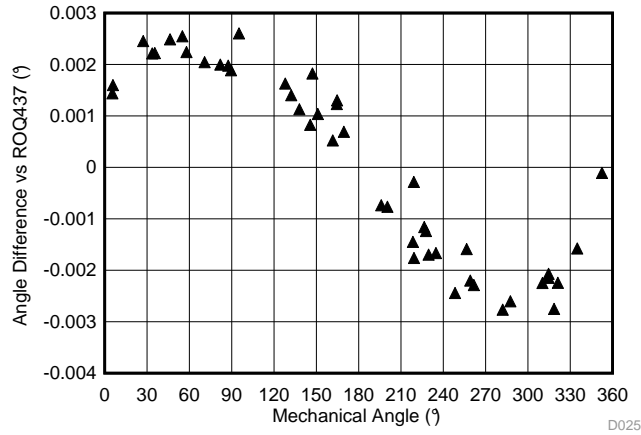


图 72. 正弦/余弦编码器连接 70m 电缆时的基本系统精度测试

7.5 EMC 测试结果

已经根据 IEC 61800-3 标准“EMC 抗扰度要求及可调速电力驱动系统适用的特定测试方法”中的测试级别和性能标准，对 TIDA-00176 TI 设计进行测试，此项设计符合 IEC61000-4-2、4-4 和 4-5（ESD、EFT 和浪涌）要求。

本设计符合这些标准并优于 IEC61800-3 EMC 抗扰度的电压要求。下表是概要介绍，详细信息在后文提供。

性能标准 A 通常为用户专用标准，预期精度取决于系统要求。有关测试规范的详细信息，请参见节 7.5.1。

表 36. 第二环境下的 IEC61800-3 EMC 抗扰度要求及所测得的电压等级和类别

要求					TIDA-00176 测量		
端口	现象	基本标准	等级	性能（验收）标准	等级	性能（验收）标准 ⁽¹⁾	测试
机壳端口	ESD	IEC61000-4-2	±4-kV CD, 或 CD 不可行时 8kV AD	B	±8kV CD	B	通过（超出）
控制线端口及低于 60V 的 DC 辅助电源端口	快速瞬态突发 (EFT)	IEC61000-4-4	±2kV/5kHz 电容夹	B	±4 kV	B	通过（超出）
	浪涌 1.2/50µs、8/20µs	IEC61000-4-5	±1kV。由于屏蔽电缆长度 > 20m，因此需直接耦合屏蔽层 (2Ω/500A)	B	±1kV	B	通过

⁽¹⁾ 当 EMC 事件期间所测角度与初始机械参考位置之间的偏差始终低于增量角度精度时，需考虑 A 类。增量线精度为 360/N 度。测试中，采用线数为 2000 的正弦/余弦编码器 (HEIDENHAIN ROD480)，其增量分辨率等于 0.18 度。

性能（验收）标准定义如下所示：

表 37. 性能标准

性能（验收）标准	说明
A	模块按预期连续运行。测试过程中无功能或性能损失。
B	允许性能暂时下降。测试完成后，模块在无人工干预的情况下应能够按预期继续运行。
C	允许测试期间存在功能损失，但硬件或软件不得损坏。测试完成后，模块经手动重启或者掉电/上电后应能够自动按预期继续运行。

7.5.1 测试设置

该 TIDA-00176 参考设计已经在德国 Strasskirchen 的 CSA Group Bayern 测试实验室进行过测试。图 73 所示为 TIDA-00176 设计的基本测试设置。

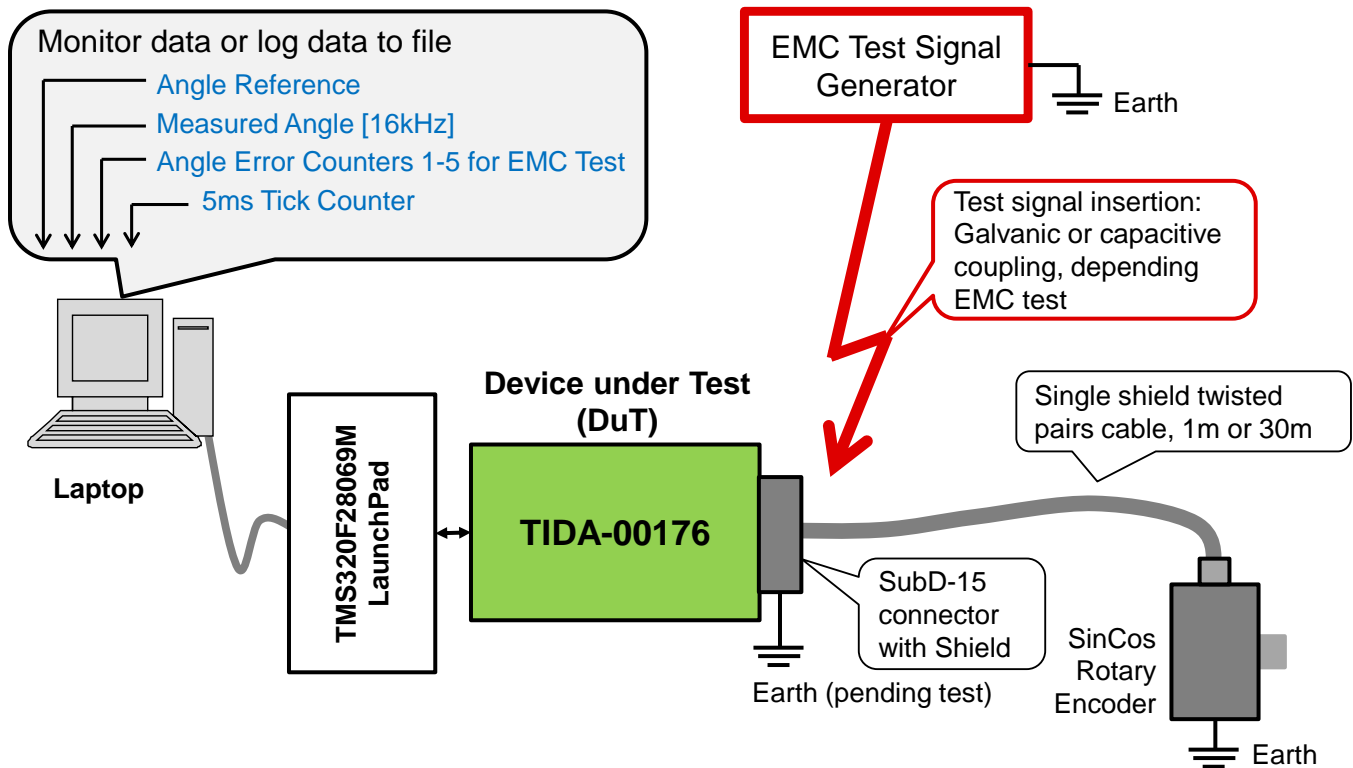


图 73. TIDA-00176 简化系统方图（带 Piccolo F2069M LaunchPad）

为验证 EMC 测试期间及测试完成后插值角信号的完整性，在 EMC 测试过程中使用正弦/余弦编码器初始角位置（静止）作为参考，且编码器未旋转。

插值角的测量频率为 16kHz，测量结果与初始参考角位置进行比较。由于采用具有极高分辨率的模拟输入信号，角度误差分为如表 38 所示的六个范围。每次出现指定范围内的误差时，相应误差计数器加 1。

表 38. TIDA-00176 高分辨率角度误差范围定义

误差计数器	角度误差范围（度）	角度误差范围（角秒）	注释
误差范围 1	>1.0		
误差范围 2	0.18 ≤ 误差 < 1.0		
误差范围 3	0.1 ≤ 误差 < 0.18		始终未出现增量线数误差
误差范围 4	0.01 ≤ 误差 < 0.1		
误差范围 5	0.001 ≤ 误差 < 0.01	3.6 ≤ 误差 < 36	
误差范围 6	0.0001 ≤ 误差 < 0.001	< 3.6	不考虑

根据编码器的线数选择误差范围。此测试中，采用线数为 2000 的正弦/余弦编码器 (HEIDENHAIN ROD480-2000)，其线数分辨率等于 0.18 度。

注意，误差范围 6 计数器对低于 1/1000 度（3.6 角秒）的差值进行计数，该值处于 TI 参考设计标准角度测量分布范围内，因此在 EMC 测试过程中不考虑。

所采用的固件为随本设计提供的 TIDA-00176_SinCosEncoder_Example_Firmware_rev1_0.out。固件运行于 TMS320F28069M Piccolo MCU。

通过键入“9999”的线数来进入特定 EMC 测试接口模式，以初始化正弦/余弦编码器和参考角度位置，并以启动频率为 200Hz 的数据转储。EMC 测试菜单将初始化为固定线数 2000，并将始终保持此测试模式。这样可以确保程序流程不变，因为笔记本上的 USB 端口（不属于本设计）对 EMC 极其敏感。

后续相应章节将提供 ESD、EFT 和浪涌特定测试的设置图。

7.5.2 IEC-61000-4-2 ESD 测试结果

图 74 显示了 ESD 测试装置。在 SubD-15 插座连接器屏蔽层上施加 ESD 冲击。此外，屏蔽层应接地，正弦/余弦编码器经 1m 屏蔽双绞线电缆连接。

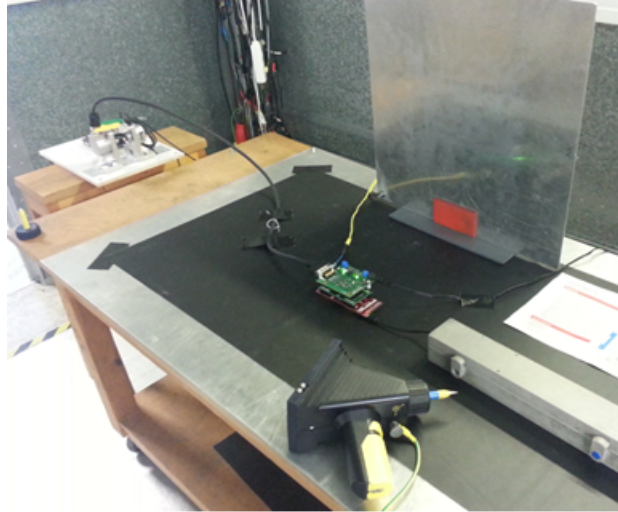


图 74. TIDA-00176 的 IEC61000-4-2 ESD 测试设置

表 39 显示了在不同电压水平下完成的 ESD 接触放电或空气放电测试结果，均超过了 IEC61800-3 要求。我们对此进行了相应标记。

表 39. TIDA-00176 的 IEC-61000-4-2 ESD 测试结果

现象	基本标准	等级	TIDA-00176 连接器	所达到的性能标准 ⁽¹⁾	注释
ESD	IEC61000-4-2	±4kV 接触放电	SubD-15	B	
ESD	IEC61000-4-2	±6kV 接触放电	SubD-15	B	IEC61800-3 不要求
ESD	IEC61000-4-2	±8kV 接触放电	SubD-15	B	IEC61800-3 不要求
ESD	IEC61000-4-2	±8kV 空气放电	SubD-15	B	
ESD	IEC61000-4-2	±15kV 空气放电	SubD-15	B	IEC61800-3 不要求

⁽¹⁾ 至少达到 B 类，因为 ESD 测试过程中所测得的任何角度相对于参考角度的偏离均未超过 0.1 度。该值小于增量线数分辨率。角度误差均处于表 38 所示各误差范围内。对于 A 类，请参见表 36 注释 1。

表 40. 整个测试过程中 IEC-61000-4-2 ESC 角度误差分布

误差计数器	角度误差范围 (度)	发生次数 @ 4kV CD	发生次数 @ 6kV CD	发生次数 @ 8kV CD
误差范围 1	> 1.0	0	0	0
误差范围 2	0.18 ≤ 误差 < 1.0	0	0	0
误差范围 3	0.1 ≤ 误差 < 0.18	0	0	0
误差范围 4	0.01 ≤ 误差 < 0.1	1	2	3
误差范围 5	0.001 ≤ 误差 < 0.01	0	1	31878

ESD 测试之前和测试之后的角度相差不超过 0.0005 度，处于固定角度正态分布范围内。例如，6kV CD ESD 测试之前的角度为 80.0272 度，ESD 测试之后的角度为 80.0274，处于固定角度标准分布范围内。

7.5.3 IEC-61000-4-4 EFT 测试结果

图 75 所示为 TIDA-00176 的 EFT 测试设置。EFT 测试过程中，SubD-15 插座连接器通过 30m (10m + 20m) 屏蔽双绞线电缆连接远端 ROD480 正弦/余弦编码器。

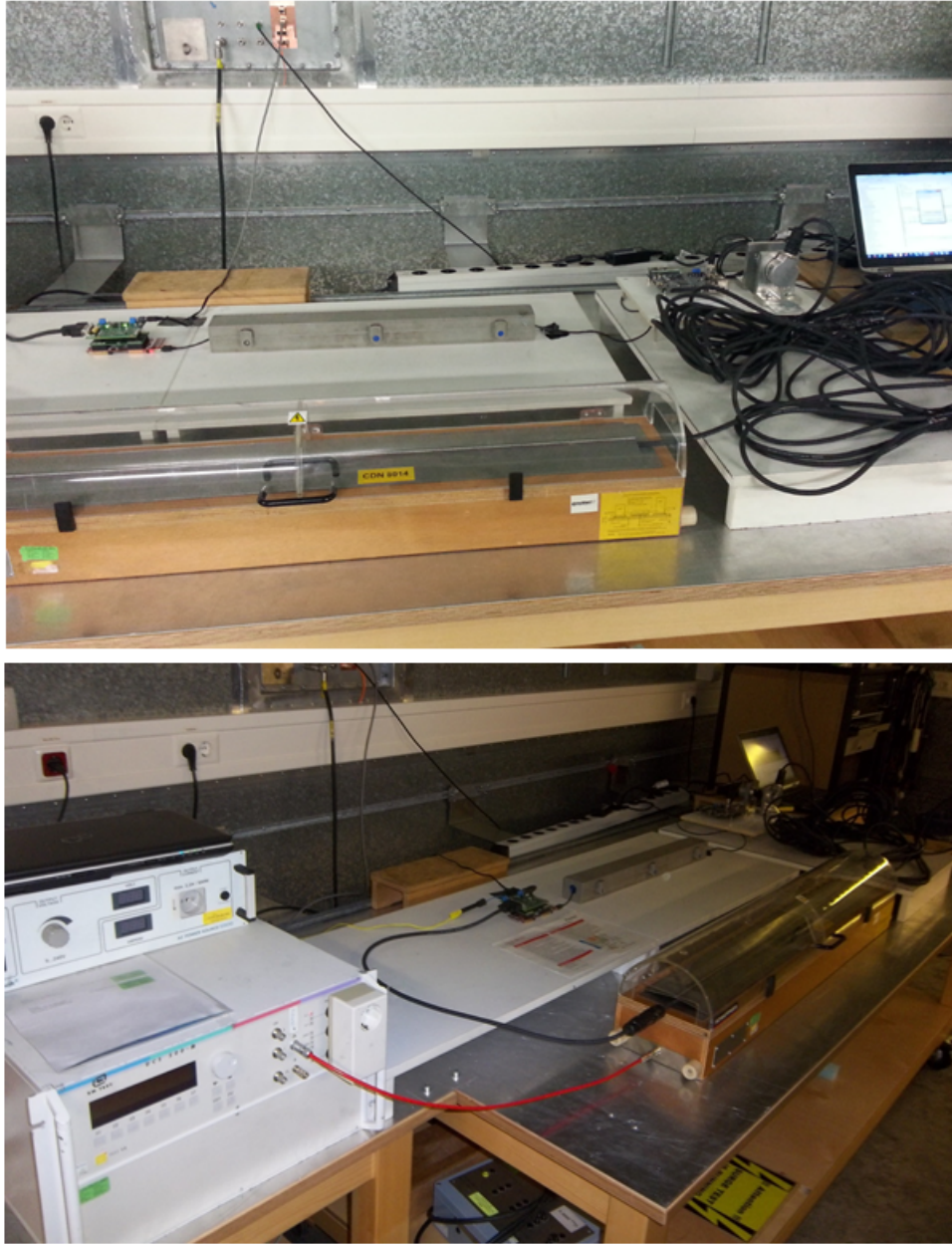


图 75. TIDA-00176 的 IEC61000-4-4 EFT 测试设置（上方图片为设置的右侧，下方图片为设置的左侧）

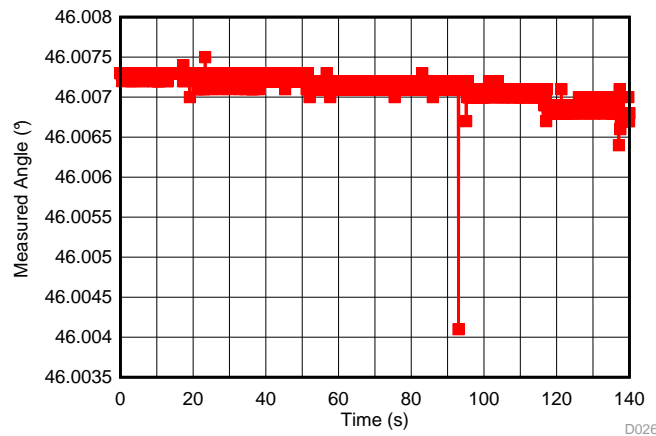
表 41. TIDA-00176 的 IEC-61000-4-4 EFT 测试结果

现象	基本标准	等级	TIDA-00176 连接器	所达到的性能标准 ⁽¹⁾	注释
EFT	IEC61000-4-4	±2kV/5kHz, 电容夹	SubD-15	B	
EFT	IEC61000-4-4	±2kV/5kHz, 电容夹	SubD-15	B	
EFT	IEC61000-4-4	±4 kV/5kHz, 电容夹	SubD-15	B	IEC61800-3 不要求
EFT	IEC61000-4-4	±4 kV/5kHz, 电容夹	SubD-15	B	IEC61800-3 不要求

⁽¹⁾ 至少达到 B 类, 因为 ESD 测试过程中所测得的任何角度相对于参考角度的偏离均未超过 0.045 度。对于 A 类, 请参见表 36 注释 1。

表 42. 整个测试过程中 IEC-61000-4-4 EFT 角度误差分布

误差计数器	角度误差范围 (度)	发生次数 @ 2kV EFT	发生次数 @ 4kV EFT
误差范围 1	> 1.0	0	0
误差范围 2	0.18 ≤ 误差 < 1.0	0	0
误差范围 3	0.1 ≤ 误差 < 0.18	0	0
误差范围 4	0.01 ≤ 误差 < 0.1	254	1302
误差范围 5	0.001 ≤ 误差 < 0.01	1658	3413

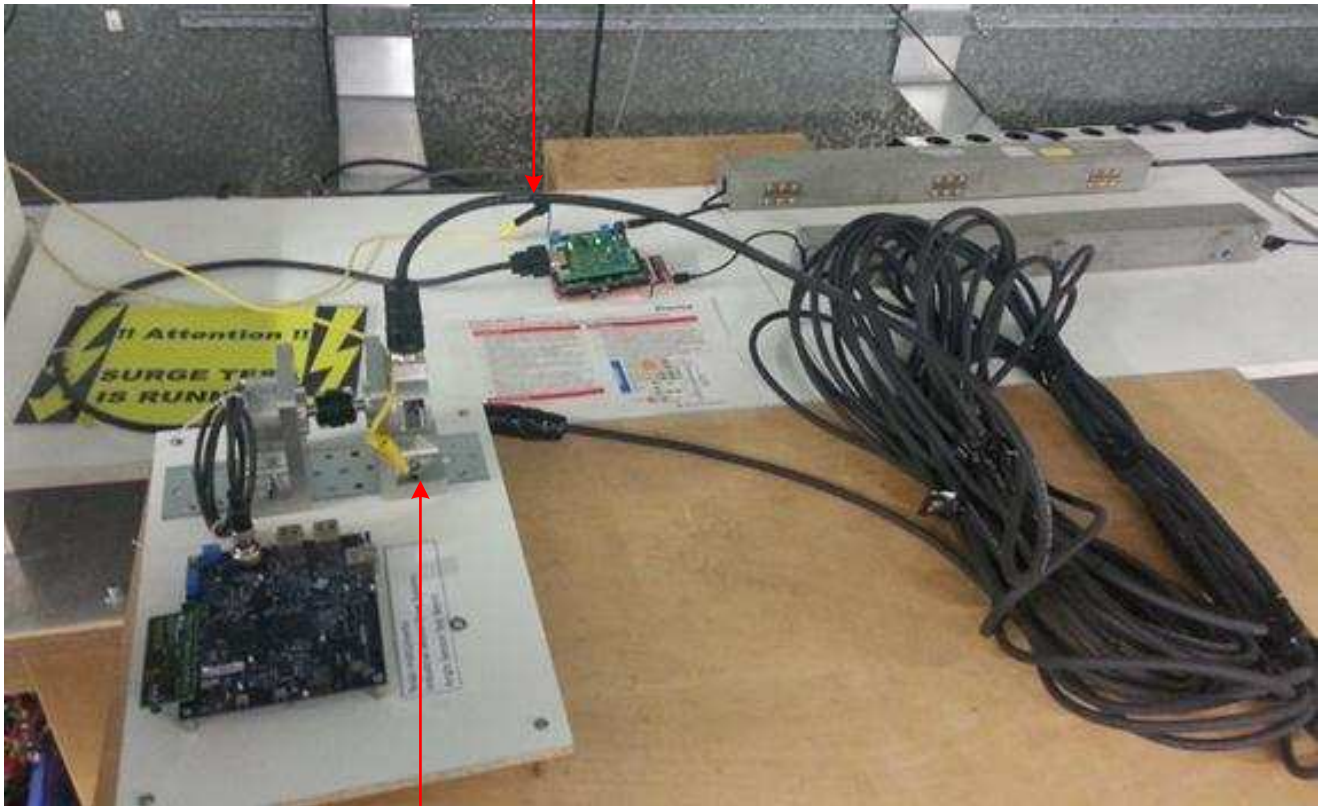

图 76. 10Hz 更新速率下 ±2kV EFT 测试周期内所测得的角度

2kV EFT 测试之前、期间及之后, 角度始终保持常量。图表中的最大误差为 0.003 度。由于更新速率只有 10Hz (取决于 115000 波特 UART), 该角度大于中间可能出现但未显示的 0.001 度误差。注意, 误差计数器的更新速率为 16kHz。

7.5.4 IEC-61000-4-5 浪涌测试结果

图 77 所示为 TIDA-00176 浪涌测试设置。EFT 测试过程中，SubD-15 插座连接器通过 30m (10m + 20m) 屏蔽双绞线电缆连接远端 ROD480 正弦/余弦编码器。

Surge injection at TIDA-00176
SubD-15 Connector/Shield



Surge return path at 30-m far end
of cable (shield)

图 77. TIDA-00176 的 IEC61000-4-5 浪涌测试设置

表 43. TIDA-00176 的 IEC-61000-4-5 浪涌测试结果

现象	基本标准	等级	TIDA-00176 连接器	所达到的性能标准 ⁽¹⁾	注释
浪涌	IEC61000-4-4	±0.5 kV/2Ω (10m + 20m 屏蔽 电缆)	SubD-15	B	
浪涌	IEC61000-4-4	±1kV/2Ω (10m + 20m 屏蔽 电缆)	SubD-15	B	

⁽¹⁾ 至少达到 B 类，因为 ESD 测试过程中所测得的任何角度相对于参考角度的偏离均未超过 0.045 度。对于 A 类，请参见表 36 注释 1。

表 44. 整个测试过程中 IEC-61000-4-5 浪涌角度误差分布

误差计数器	角度误差范围 [度]	发生次数 @ 0.5 kV	发生次数 @ 1kV
误差范围 1	> 1.0	0	0
误差范围 2	$0.18 \leq \text{误差} < 1.0$	0	0
误差范围 3	$0.1 \leq \text{误差} < 0.18$	1	5
误差范围 4	$0.01 \leq \text{误差} < 0.1$	1	4
误差范围 5	$0.001 \leq \text{误差} < 0.01$	204	5669

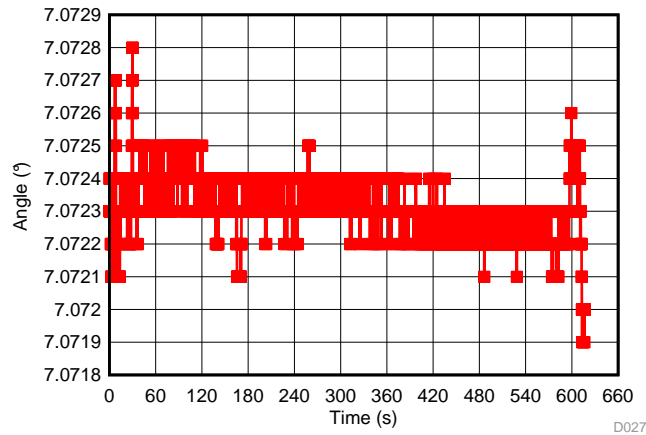


图 78. 10Hz 更新速率下 ±1kV 浪涌测试周期内所测得的角度

1kV 浪涌测试之前和之后，角度始终保持常量。图表中的最大误差仅为 0.0009 度。由于更新速率只有 10Hz，未显示通过 UART 的误差较大的角度（如图 44 所示）。

由于缺少螺丝，三个电缆之间的机械 M23 连接器无法与屏蔽层实现具有机械强度的连续连接。我们通过覆铜实现了适当的电气连接，并由 CSA Group 操作人员通过所测得的浪涌电流对电气连接进行验证。一旦我们利用带有适当机械连接器的电缆完成 ±2kV 测试，即会对设计指南进行相应更新。

8 设计文件

8.1 电路原理图

要下载原理图，请参见 [TIDA-00176](#) 的设计文件。

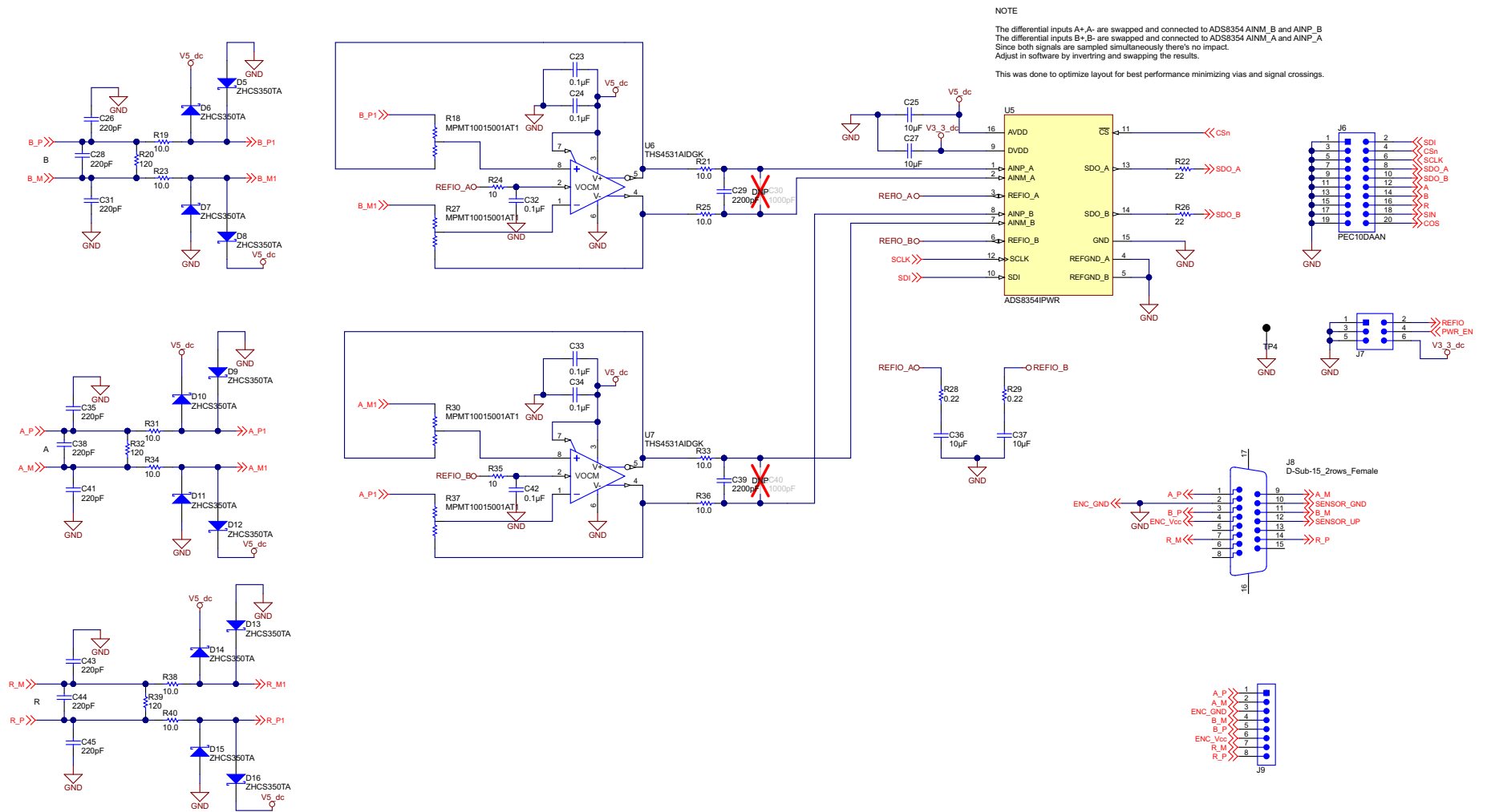


图 79. 带 16 位 ADC 的高分辨率模拟路径原理图

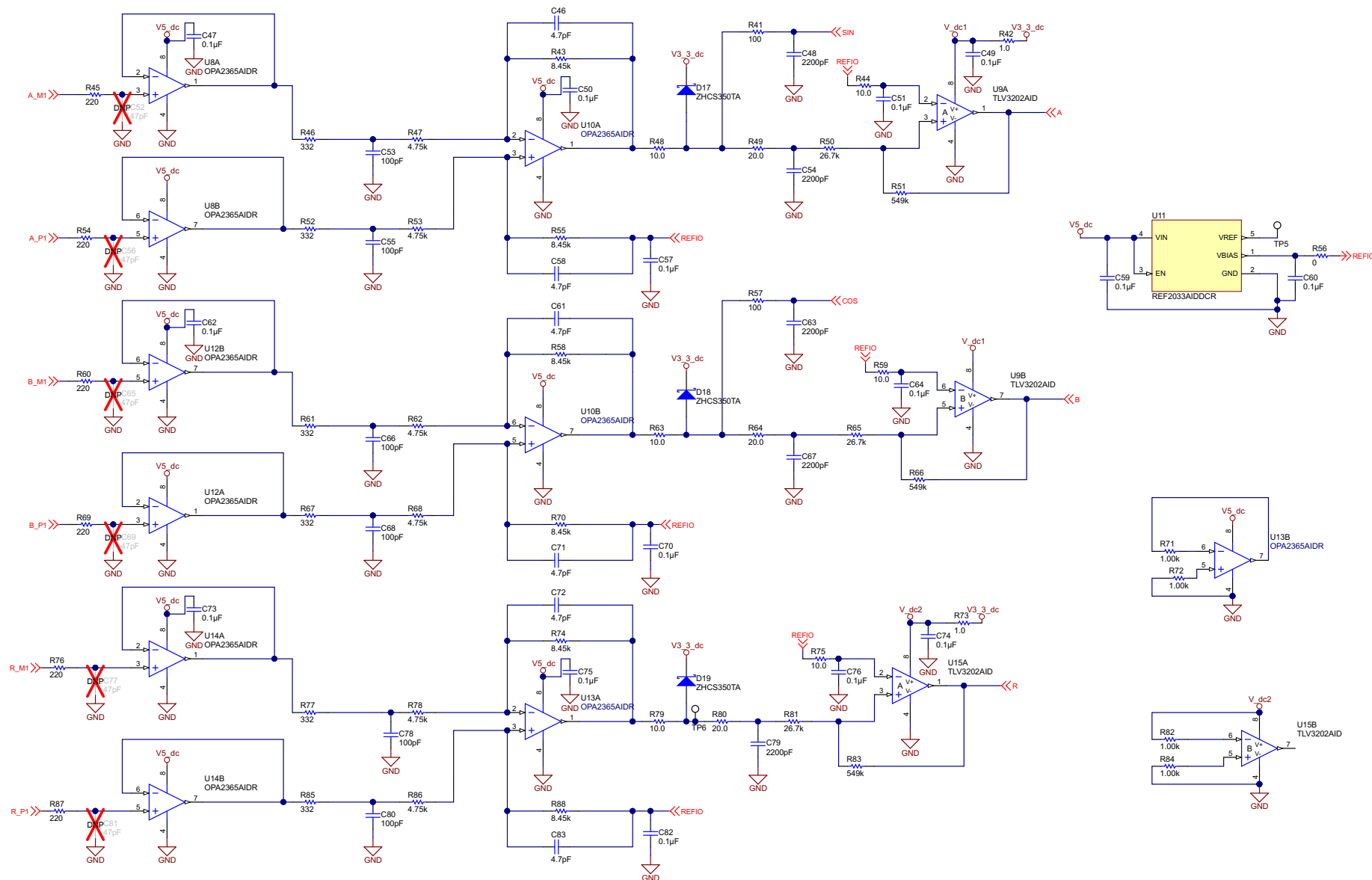


图 80. 差分到单端模拟路径及比较器原理图

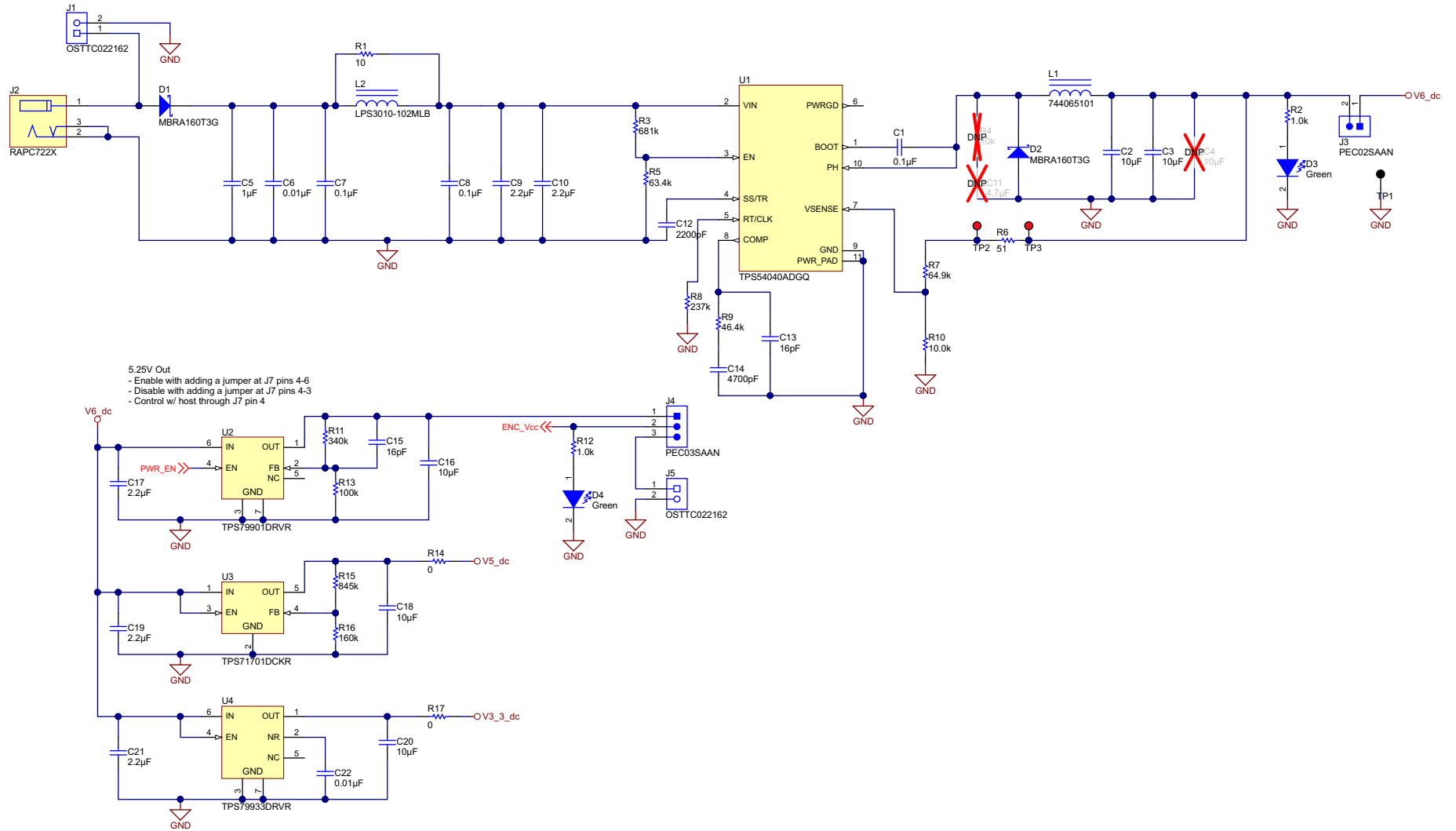


图 81. 电源管理原理图

8.2 物料清单

要下载物料清单 (BOM), 请参见 [TIDA-00176](#) 的设计文件。

8.3 PCB 布局布线指南

本设计中所采用的各 TI 器件的器件特定布局准则请参见相应数据表。

TIDA-00176 设计特定的布局准则如下图所示。

由于模拟信号调节部件较为敏感, 建议采用四层 PCB 设计, 其中至少有一层为完全接地层; 这样可提升系统的抗扰度。

此外, 尤其需要注意两个正弦/余弦信号的布线 (避免串扰问题/干扰); 此外, 电源管理部分 (尤其是开关 TPS54040A) 也应合理布线, 并与电路板上的敏感部件合理分离, 以避免后者受到开关噪声的影响。

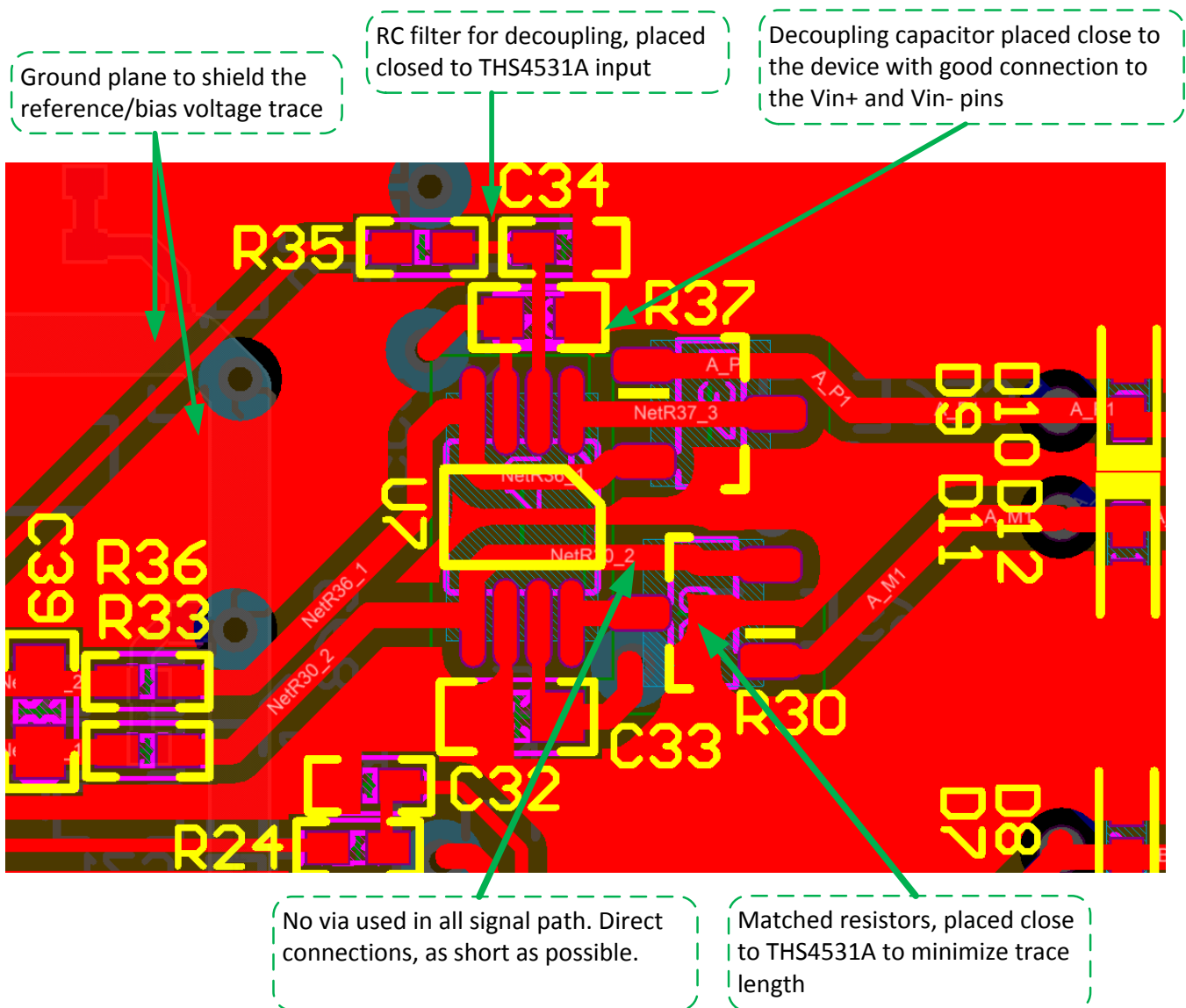


图 82. THS4531A 布局

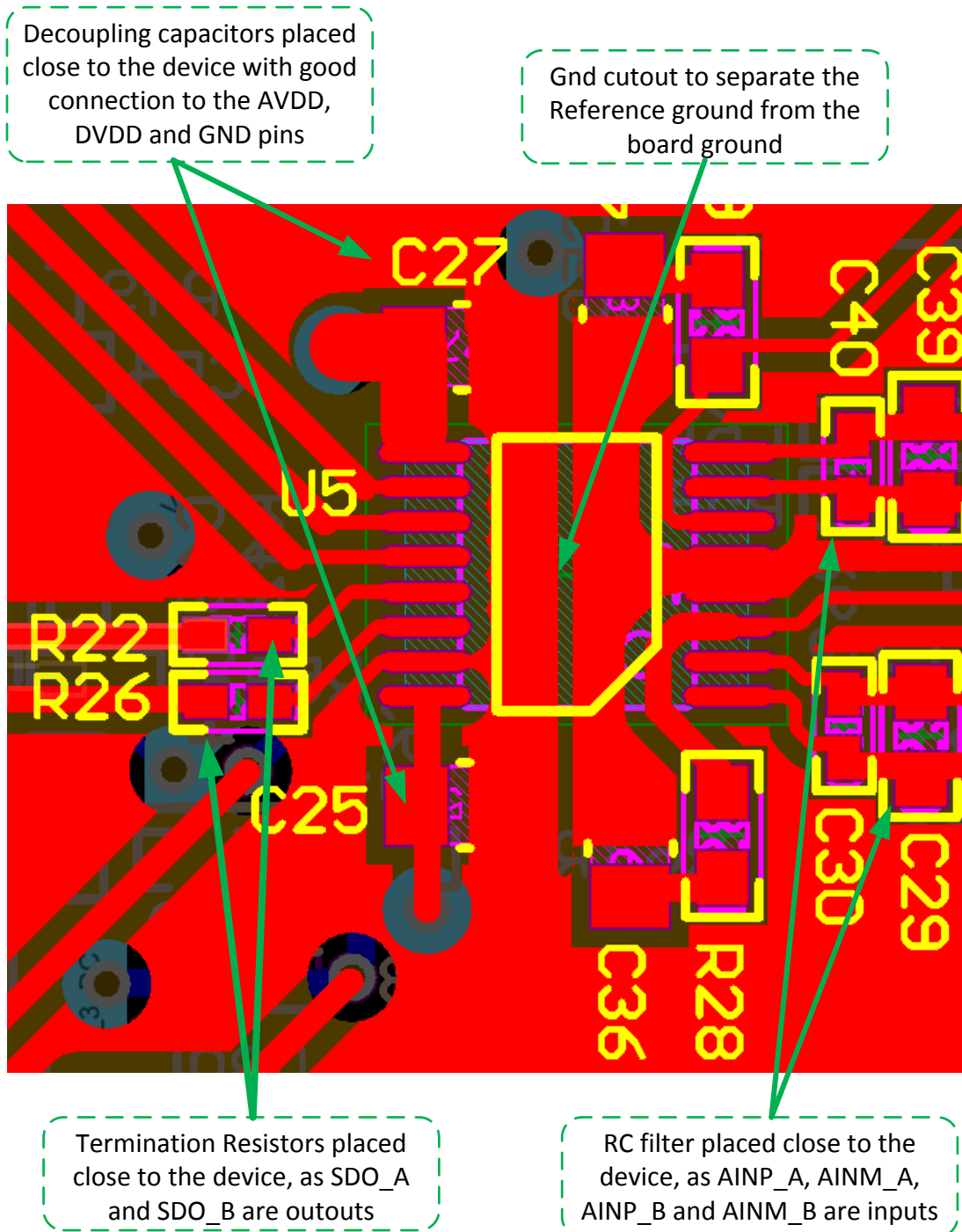


图 83. ADS8354 16 位 ADC 布局

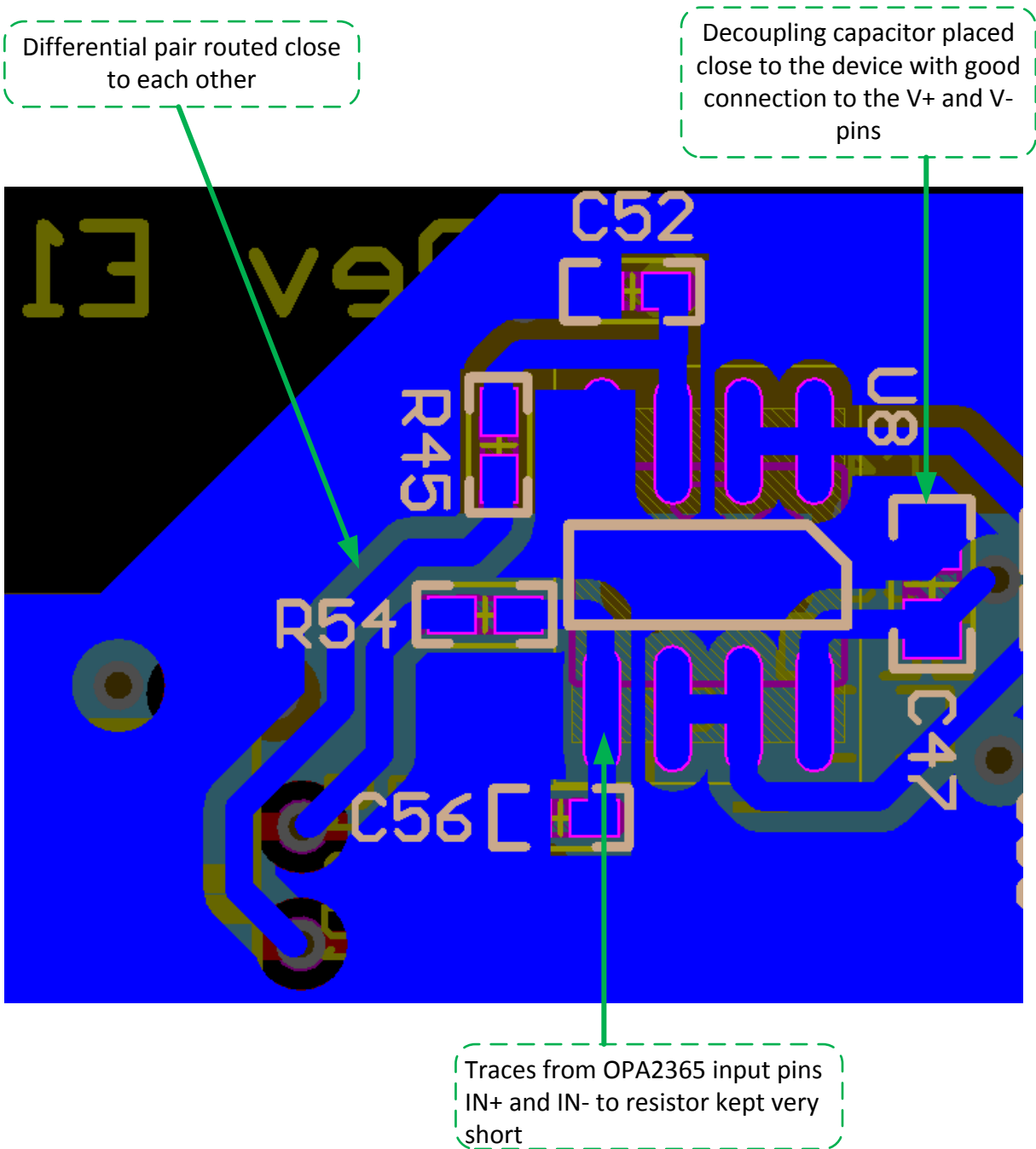


图 84. OPA2365 输入缓冲器布局提示

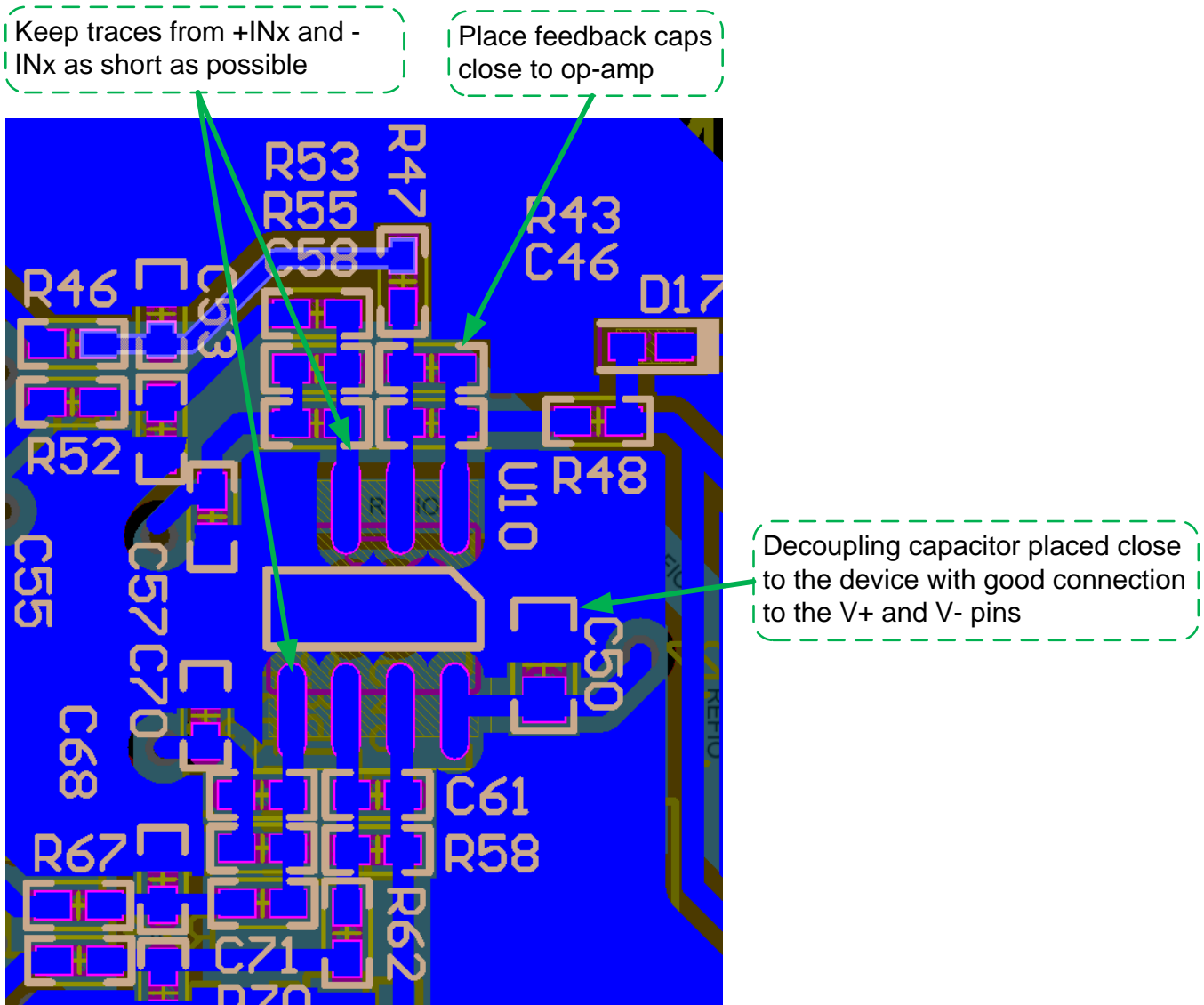


图 85. OPA2365 差分到单端放大器布局提示



图 86. TLV3202 布局

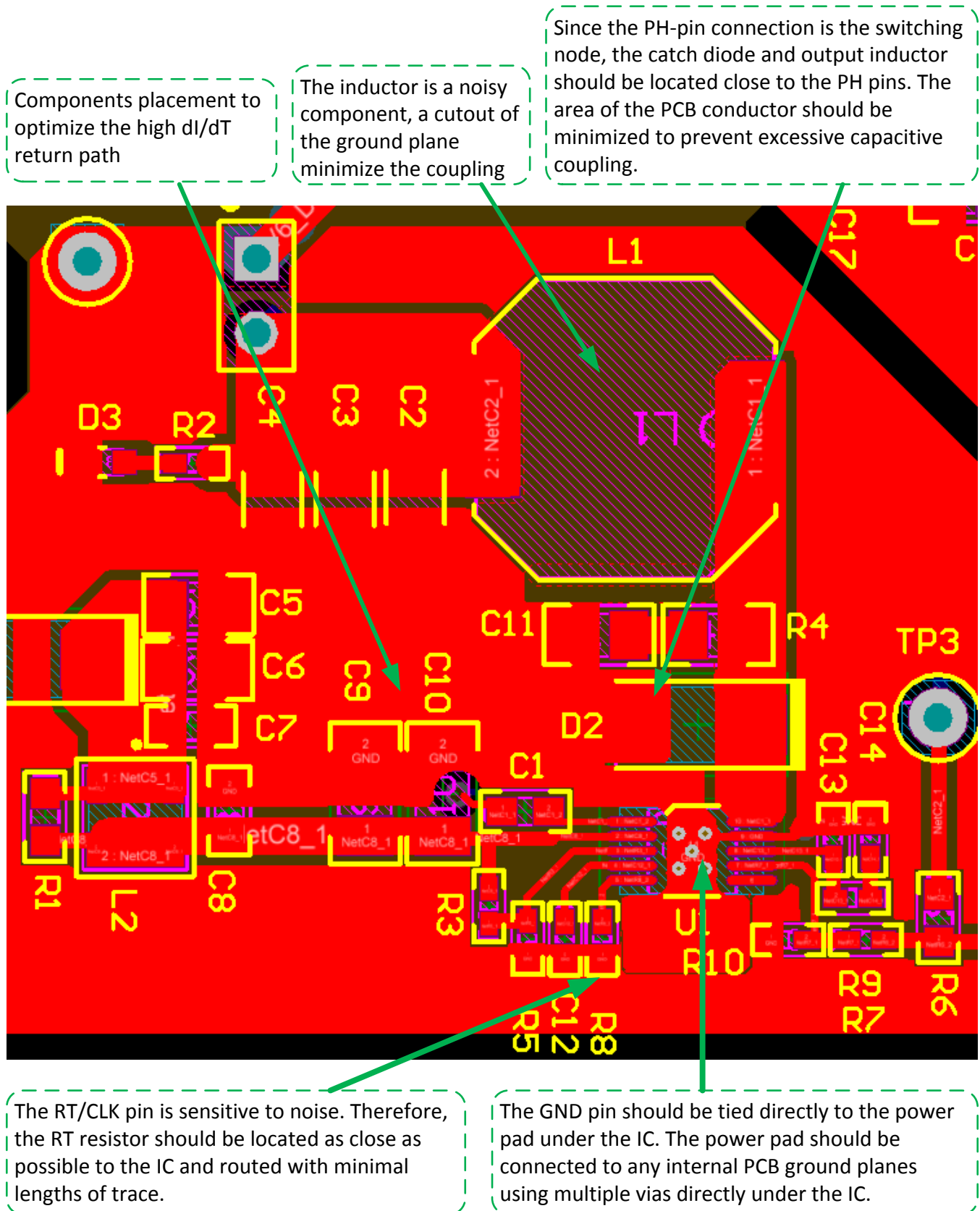


图 87. TPS54040A 布局

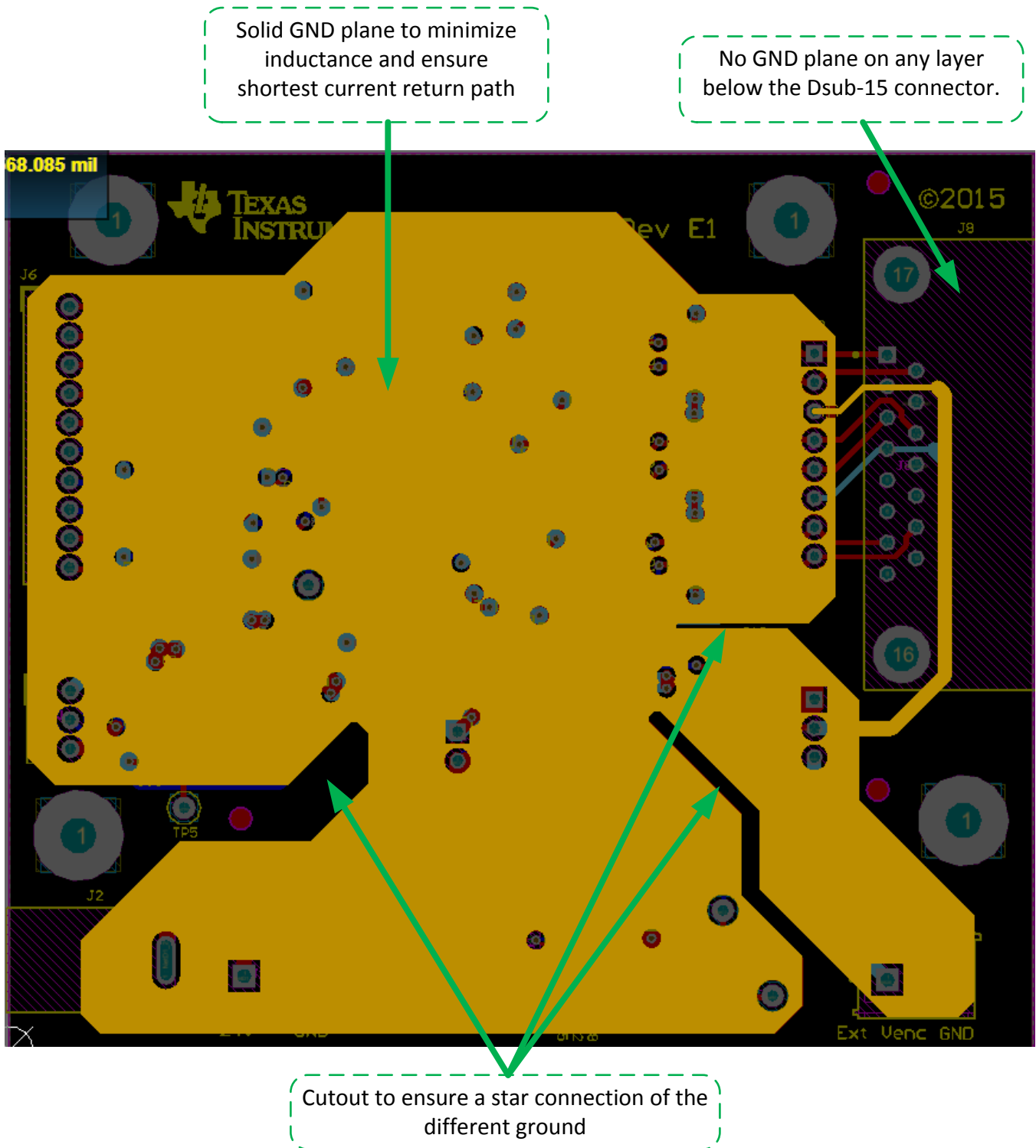


图 88. GND 层

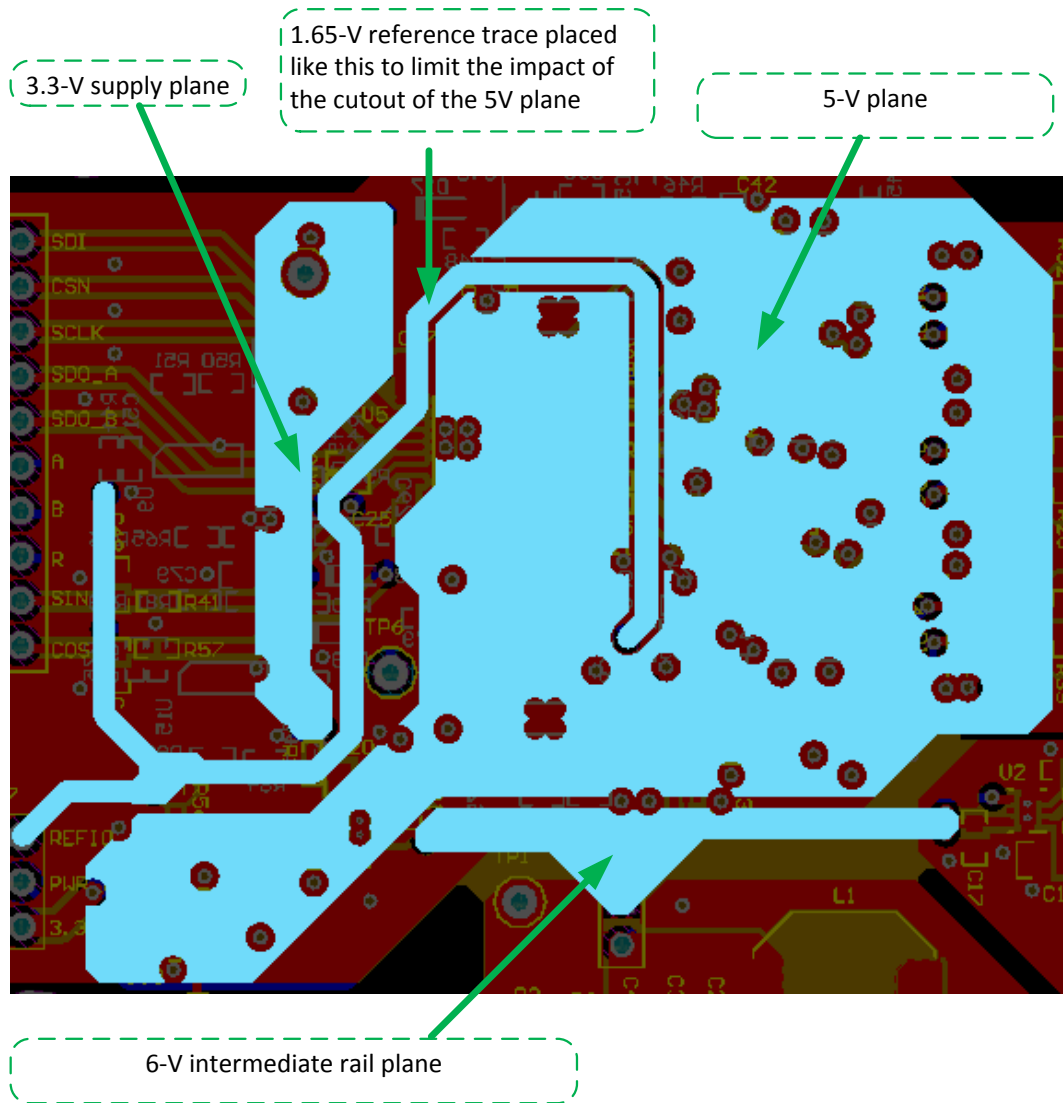


图 89. 电源层

8.3.1 PCB 板层图

要下载板层图，请参见 [TIDA-00176](#) 的设计文件。

8.4 Altium 项目

要下载 Altium 项目文件，请参见 [TIDA-00176](#) 的设计文件。

8.5 光绘文件

要下载光绘文件，请参见 [TIDA-00176](#) 的设计文件。

8.6 软件文件

要下载软件文件，请参见 [TIDA-00176](#) 的设计文件。

9 参考文档

注： 另请参考 [设计资源](#) 的设计文档。

1. 德州仪器 (TI) TIDA-00180 设计指南 《适用于位置编码器接口的具有可编程输出电压和保护的电源》 (文献编号: [TIDU533](#))
2. 德州仪器 (TI) 高精度设计 《优化为具有最低失真和噪声的 18 位 1MSPS 数据采集模块 (DAQ)》 (文献编号: [SLAU515](#))
3. 德州仪器 (TI) TPS799 数据表 《TPS799 200mA 低静态电流, 超低噪声, 高电源抑制比 (PSRR) 低压降线性稳压器》 (文献编号: [SBVS056](#))
4. 德州仪器 (TI) TPS717 数据表 《TPS717xx 低噪声、高带宽 PSRR、低压降、150mA 线性稳压器》 (文献编号: [SBVS068](#))
5. 德州仪器 (TI) 应用报告 《AN-2162 轻松抑制 DC-DC 转换器中的传导性 EMI》 (文献编号: [SNVA489](#))
6. 德州仪器 (TI) 应用报告 《TMS320F240 正弦/余弦编码器高分辨率位置 DSP 解决方案》 (文献编号: [SPRA496](#))
7. IEC 61800-3 ed2.0 (2004-08), 可调速电力驱动系统 - 第 3 部分: EMC 要求与特定测试方法, [IEC 61800-3 ed2.0 (2004-08)].
8. IEC 61800-3-am1 ed2.0 (2011-11), 修正稿 1 - 可调速电力驱动系统 - 第 3 部分: EMC 要求与特定测试方法, [IEC 61800-3-am1 ed2.0 (2011-11)].
9. 《HEIDENHAIN 编码器接口》, 2015 年 3 月, 手册编号 #1078628-21, www.heidenhain.com
10. 《旋转编码器》, 2014 年 9 月, 手册编号 #349529-2E, www.heidenhain.com

10 关于作者

VINCENZO PIZZOLANTE 是德州仪器 (TI) 工业系统电机驱动团队的系统工程师, 负责开发工业驱动的参考设计。

MARTIN STAEBLER 是德州仪器 (TI) 工业系统电机驱动团队的系统工程师, 负责开发工业驱动的参考设计。

KEVIN STAUDER 是德州仪器 (TI) 工业系统电机驱动团队的系统工程师, 负责开发工业驱动的参考设计。

鸣谢

作者特别鸣谢 **FERDINAND von MOLO** 所作的突出贡献, 其在德州仪器完成了学士论文《正弦/余弦编码器与 Piccolo MCU 基于 TIDA-00176 的连接接口》。

修订历史记录

Changes from Original (June 2015) to A Revision **Page**

-
- 已更改 自预览页面 1
-

注：之前版本的页码可能与当前版本有所不同。

针对 TI 参考设计的重要声明

德州仪器公司 ("TI") 参考设计只用于帮助设计人员 ("客户") 开发包含 TI 半导体产品的系统 (在这里也指"组件")。客户理解并同意他们对设计客户系统和产品中的独立分析、评估和判断负责。

TI 参考设计已经使用标准实验室条件和工程实践创建。TI 未采取任何测试, 除非那些在已发布文档中针对一个特定参考设计所专门描述的测试。TI 也许会对它的参考设计进行修正、提高、改进和其它改变。

客户被授权使用具有每个特定参考设计中确认的 TI 组件的 TI 参考设计, 并且在他们的终端产品开发中修改参考设计。然而, 在这里不授予任何其它 TI 知识产权的直接或隐含, 默许或其它方式的许可, 和任何第三方技术或知识产权的许可, 其中包括但不限于任何专利权、版权、屏蔽作品权、或者与采用了 TI 产品或服务的任何集成、机器或工艺相关的知识产权。TI 所发布的与第三方产品或服务有关的信息不能构成使用此类产品或服务的许可或与其相关的保证或认可。使用此类信息可能需要获得第三方的专利权或其它知识产权方面的许可, 或是 TI 的专利权或其它知识产权方面的许可。

TI 参考设计按"原样"提供。对于参考设计或者包括精度和完整性在内的直接、隐含或者法律规定的参考设计的使用, TI 不作出任何保证或声明。TI 不对任何隐含的适销性、针对特定用途的适用性、平静受益权、无干扰享有权, 以及与 TI 参考设计或其使用相关的任何第三方知识产权的非侵权作出任何保证。TI 不对任何与 TI 参考设计中提供的产品组合相关的或基于这些产品组合的第三方侵权声明负责, 并且不应为客户提供辩护或赔偿。不论是何原因造成任何实际的、特殊的、意外的、相应发生的或间接的损坏, 并且不论 TI 是否已经告知了 TI 参考设计的任何使用或 TI 参考设计的客户使用所造成的此类损坏的可能性, TI 都不应对此负责。

TI 保留根据 JESD46 最新标准, 对所提供的半导体产品和服务进行更正、增强、改进或其它更改的权限, 并有权根据 JESD48 最新标准中止提供任何产品和服务。客户在下订单前应获取最新的相关信息, 并验证这些信息是否完整且是最新的。所有产品的销售都遵循在订单确认时所提供的 TI 销售条款与条件。

TI 保证其所销售的组件的性能符合产品销售时 TI 半导体产品销售条件与条款的适用规范。仅在 TI 保证的范围内, 且 TI 认为有必要时才会使用测试或其它质量控制技术。除非适用法律做出了硬性规定, 否则没有必要对每种产品的所有参数进行测试。

TI 对应用帮助或客户产品设计不承担任何义务。客户应对其使用 TI 组件的产品和应用自行负责。为尽量减小与客户产品和应用相关的风险, 客户应提供充分的设计与操作安全措施。

对于 TI 数据手册、数据表或参考设计中的 TI 信息, 仅在没有对内容进行任何篡改且带有相关授权、条件、限制和声明的情况下才允许进行复制。TI 对此类篡改过的文件不承担任何责任。第三方信息可能受到其它限制条件的制约。

客户认可并同意, 尽管任何应用相关信息或支持仍可能由 TI 提供, 但他们将独力负责满足与其产品及其应用中使用的 TI 产品相关的所有法律、法规和安全相关要求。客户声明并同意, 他们具备制定与实施安全措施所需的全部专业技术和知识, 可预见故障的危险后果、监测故障及其后果、降低有可能造成人身伤害的故障的发生机率并采取适当的补救措施。客户将全额赔偿因在客户的安全关键应用中使用任何 TI 组件而对 TI 及其代理造成的任何损失。

在某些场合中, 为了推进安全相关应用有可能对 TI 组件进行特别的促销。借助于这样的组件, TI 的目标是帮助客户设计和创立其特有的可满足适用的功能安全性标准和要求的终端产品解决方案。尽管如此, 此类组件仍然服从这些条款。

TI 组件未获得用于 FDA Class III (或类似的生命攸关医疗设备) 的授权许可, 除非各方授权官员已经达成了专门管控此类使用的特别协议。

只有那些 TI 特别注明属于军用等级或"增强型塑料"的 TI 组件才是设计或专门用于军事/航空应用或环境的组件。客户认可并同意, 对还未指定面向军事或航空航天用途的 TI 组件进行军事或航空航天方面的应用, 其风险由客户单独承担, 并且由客户独力负责满足与此类使用相关的所有法律和法规要求。

TI 已明确指定符合 ISO/TS16949 要求的组件, 这些组件主要用于汽车。在任何情况下, 因使用非指定产品而无法达到 ISO/TS16949 要求, TI 将不承担任何责任。

邮寄地址: 上海市浦东新区世纪大道 1568 号中建大厦 32 楼, 邮政编码: 200122
Copyright © 2015 德州仪器半导体技术 (上海) 有限公司

重要声明

德州仪器(TI) 及其下属子公司有权根据 JESD46 最新标准, 对所提供的产品和服务进行更正、修改、增强、改进或其它更改, 并有权根据 JESD48 最新标准中止提供任何产品和服务。客户在下订单前应获取最新的相关信息, 并验证这些信息是否完整且是最新的。所有产品的销售都遵循在订单确认时所提供的TI 销售条款与条件。

TI 保证其所销售的组件的性能符合产品销售时 TI 半导体产品销售条件与条款的适用规范。仅在 TI 保证的范围内, 且 TI 认为有必要时才会使用测试或其它质量控制技术。除非适用法律做出了硬性规定, 否则没有必要对每种组件的所有参数进行测试。

TI 对应用帮助或客户产品设计不承担任何义务。客户应对其使用 TI 组件的产品和应用自行负责。为尽量减小与客户产品和应用相关的风险, 客户应提供充分的设计与操作安全措施。

TI 不对任何 TI 专利权、版权、屏蔽作品权或其它与使用了 TI 组件或服务的组合设备、机器或流程相关的 TI 知识产权中授予的直接或间接权限制作出任何保证或解释。TI 所发布的与第三方产品或服务有关的信息, 不能构成从 TI 获得使用这些产品或服务的许可、授权、或认可。使用此类信息可能需要获得第三方的专利权或其它知识产权方面的许可, 或是 TI 的专利权或其它知识产权方面的许可。

对于 TI 的产品手册或数据表中 TI 信息的重要部分, 仅在没有对内容进行任何篡改且带有相关授权、条件、限制和声明的情况下才允许进行复制。TI 对此类篡改过的文件不承担任何责任或义务。复制第三方的信息可能需要服从额外的限制条件。

在转售 TI 组件或服务时, 如果对该组件或服务参数的陈述与 TI 标明的参数相比存在差异或虚假成分, 则会失去相关 TI 组件或服务的所有明示或暗示授权, 且这是不正当的、欺诈性商业行为。TI 对任何此类虚假陈述均不承担任何责任或义务。

客户认可并同意, 尽管任何应用相关信息或支持仍可能由 TI 提供, 但他们将独自负责满足与其产品及其应用中使用 TI 产品相关的所有法律、法规和安全相关要求。客户声明并同意, 他们具备制定与实施安全措施所需的全部专业技术和知识, 可预见故障的危险后果、监测故障及其后果、降低有可能造成人身伤害的故障的发生机率并采取适当的补救措施。客户将全额赔偿因在此类安全关键应用中使用任何 TI 组件而对 TI 及其代理造成的任何损失。

在某些场合中, 为了推进安全相关应用有可能对 TI 组件进行特别的促销。TI 的目标是利用此类组件帮助客户设计和创立其特有的可满足适用的功能安全性标准和要求的终端产品解决方案。尽管如此, 此类组件仍然服从这些条款。

TI 组件未获得用于 FDA Class III (或类似的生命攸关医疗设备) 的授权许可, 除非各方授权官员已经达成了专门管控此类使用的特别协议。

只有那些 TI 特别注明属于军用等级或“增强型塑料”的 TI 组件才是设计或专门用于军事/航空应用或环境的。购买者认可并同意, 对并非指定面向军事或航空航天用途的 TI 组件进行军事或航空航天方面的应用, 其风险由客户单独承担, 并且由客户独自负责满足与此类使用相关的所有法律和法规要求。

TI 已明确指定符合 ISO/TS16949 要求的产品, 这些产品主要用于汽车。在任何情况下, 因使用非指定产品而无法达到 ISO/TS16949 要求, TI 不承担任何责任。

	产品		应用
数字音频	www.ti.com.cn/audio	通信与电信	www.ti.com.cn/telecom
放大器和线性器件	www.ti.com.cn/amplifiers	计算机及周边	www.ti.com.cn/computer
数据转换器	www.ti.com.cn/dataconverters	消费电子	www.ti.com.cn/consumer-apps
DLP® 产品	www.dlp.com	能源	www.ti.com.cn/energy
DSP - 数字信号处理器	www.ti.com.cn/dsp	工业应用	www.ti.com.cn/industrial
时钟和计时器	www.ti.com.cn/clockandtimers	医疗电子	www.ti.com.cn/medical
接口	www.ti.com.cn/interface	安防应用	www.ti.com.cn/security
逻辑	www.ti.com.cn/logic	汽车电子	www.ti.com.cn/automotive
电源管理	www.ti.com.cn/power	视频和影像	www.ti.com.cn/video
微控制器 (MCU)	www.ti.com.cn/microcontrollers		
RFID 系统	www.ti.com.cn/rfidsys		
OMAP应用处理器	www.ti.com.cn/omap		
无线连通性	www.ti.com.cn/wirelessconnectivity	德州仪器在线技术支持社区	www.deyisupport.com

Mailing Address: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2016, Texas Instruments Incorporated