# AFEx39xx 使用电压和 PWM 输出进行 TEC 控制的 12 位、10 位和 8 位智能模拟前端

## 1 特性

- 集成式比例积分 (PI) 控制
  - 从非易失性存储器 (NVM) 中独立运行
  - 可编程的比例和积分增益
  - 适合输出钳位的比较器输入
  - 适合输出的可编程最小值、最大值和共模值
  - 可编程的环路-相位反转
- AFE639D2
  - 为外部数字温度传感器接口提供了 $I^2C$ 控制器
  - 12 位 DAC 输出：4-LSB DNL，1-LSB DNL
- AFE539A4
  - 10 位 ADC 输入：2-LSB INL，1-LSB DNL
  - 10 位 DAC 输出：1-LSB INL 和 DNL
- AFE439A2
  - 8 位 ADC 输入：1-LSB INL 和 DNL
  - 7 位占空比 PWM 输出
- 使用可编程比较器进行故障管理
- VDD 关闭时 DAC 通道上具有高阻抗输出
- 自动检测 $I^2C$ 或 SPI
  - 1.62V $V_{IH}$ ($V_{DD}$ = 5.5V)
- VREF/MODE 引脚可在编程模式和独立模式之间进行选择
- 用户可编程 NVM
- 采用内部基准、外部基准或电源作为基准
- 宽工作范围
  - 电源：1.8V 至 5.5V
  - 温度范围：-40˚C 至 +125˚C
- 微型封装：16 引脚 WQFN (3mm × 3mm)

## 2 应用

- 激光
- 化学和气体分析仪
- 机械扫描激光雷达
- 机器人感应模块
- 移动机器人感应模块
- 导引头前端

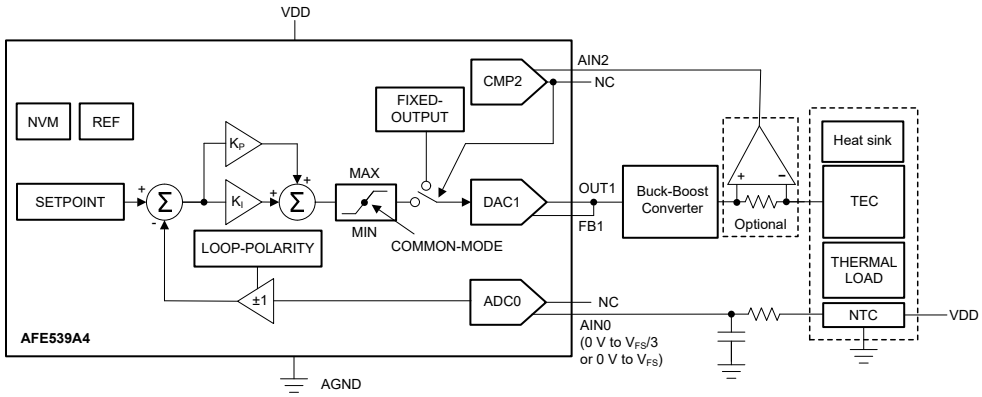
## 3 说明

8 位 AFE439A2、10 位 AFE539A4 和 12 位 AFE639D2 (AFE39xx) 是使用电压或 PWM 输出进行热电冷却 (TEC) 控制的智能模拟前端 (AFE)。AFE639D2 支持使用 $I^2C$ 控制器接口连接外部数字温度传感器。AFE639D2 和 AFE539A4 支持电压输出，AFE439A2 支持 PWM 输出。AFE39xx 支持用于故障管理的比较器通道。这些器件还支持高阻态断电模式，并且在断电期间支持 DAC 通道上的高阻态输出。这些器件具有已预编程为比例积分 (PI) 控制器的集成状态机。AFE39xx 非常适合用于 TEC 控制、温度控制和动态余量控制应用。AFE39xx 集成了高级功能、内部基准和 NVM，使这款智能 AFE 能够用于*无处理器*的应用并支持重用设计。

**器件信息**

| 器件型号 | 分辨率 | 封装[(1)] |
|---|---|---|
| AFE439A2 | 8 位 | WQFN (16) |
| AFE539A4 | 10 位 | |
| AFE639D2 | 12 位 | |

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。




**使用 AFE539A4 进行热电冷却 (TEC) 控制**

本文档旨在为方便起见，提供有关 TI 产品中文版本的信息，以确认产品的概要。有关适用的官方英文版本的最新信息，请访问 www.ti.com，其内容始终优先。TI 不保证翻译的准确性和有效性。在实际设计之前，请务必参考最新版本的英文版本。
English Data Sheet: SBASAC1

## 内容

**1 特性**.....1
**2 应用**.....1
**3 说明**.....1
**4 修订历史记录**.....2
**5 引脚配置和功能**.....3
**6 规格**.....6
6.1 绝对最大额定值.....6
6.2 ESD 等级.....6
6.3 建议运行条件.....6
6.4 热性能信息.....6
6.5 电气特性：电压输出.....8
6.6 电气特性：比较器模式.....10
6.7 电气特性：ADC 输入.....10
6.8 电气特性：通用.....11
6.9 时序要求：I²C 标准模式.....12
6.10 时序要求：I²C 快速模式.....12
6.11 时序要求：I²C 超快速模式.....12
6.12 时序要求：SPI 写入操作.....13
6.13 时序要求：SPI 读取和菊花链操作 (FSDO = 0).....13
6.14 时序要求：SPI 读取和菊花链操作 (FSDO = 1).....13
6.15 时序要求：PWM 输出.....15
6.16 时序要求：I²C 控制器.....15
6.17 时序图.....16
6.18 典型特性：电压输出.....18
6.19 典型特性：ADC.....23
6.20 典型特性：比较器.....25
6.21 典型特性：通用.....26
**7 详细说明**.....27
7.1 概述.....27
7.2 功能方框图.....28
7.3 特性说明.....30
7.4 器件功能模式.....33
7.5 编程.....46
7.6 寄存器映射.....52
**8 应用和实施**.....59
8.1 应用信息.....59
8.2 典型应用.....60
8.3 电源相关建议.....62
8.4 布局.....62
**9 器件和文档支持**.....63
9.1 文档支持.....63
9.2 接收文档更新通知.....63
9.3 支持资源.....63
9.4 商标.....63
9.5 静电放电警告.....63
9.6 术语表.....63
**10 机械、封装和可订购信息**.....63

## 4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

| Changes from Revision * (August 2021) to Revision A (June 2023) | Page |
|---|---|
| • 将器件数据表状态从“预告信息（预发布）”更改为“量产数据（正在供货）” | 1 |


Copyright © 2023 Texas Instruments Incorporated

# 5 引脚配置和功能

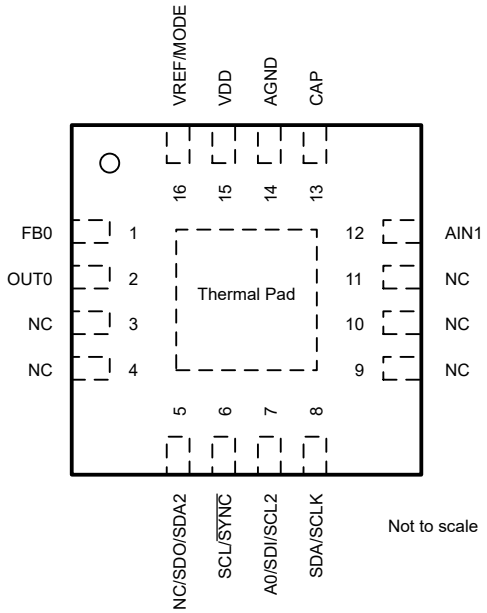



**图 5-1. AFE639D2：RTE 封装，16 引脚 WQFN（顶视图）**

**表 5-1. 引脚功能：AFE639D2**

| 引脚 | | 类型 | 说明 |
|---|---|---|---|
| 编号 | 名称 | | |
| 1 | FB0 | 输入 | DAC 通道 0 的电压反馈输入。将此引脚连接到 OUT0 以实现闭环放大器输出。 |
| 2 | OUT0 | 输出 | DAC 通道 0 的模拟输出。 |
| 3 | NC | — | 未连接。 |
| 4 | NC | — | 未连接。 |
| 5 | NC/SDO/SDA2 | 输入/输出 | *目标模式*：此引脚可配置为 SDO 或保持未连接状态。对于 SDO 功能，通过外部上拉电阻器将此引脚连接到 IO 电压。<br>*控制器模式*：双向 $I^2C$ 串行数据总线。 |
| 6 | SCL/$\overline{SYNC}$ | 输入 | *目标模式*：$I^2C$ 串行接口时钟或 SPI 芯片选择输入。使用外部上拉电阻器将此引脚连接到 IO 电压。 |
| 7 | A0/SDI/SCL2 | 输入/输出 | *目标模式*：$I^2C$ 目标模式下的地址配置输入或用于 SPI 的串行数据输入。在 A0 功能中，将此引脚连接到 VDD、AGND、SDA 或 SCL 以进行地址配置。在 SDI 功能中，此引脚不需要端接。<br>*控制器模式*：$I^2C$ 串行接口时钟输出。 |
| 8 | SDA/SCLK | 输入/输出 | *目标模式*：双向 $I^2C$ 串行数据总线或 SPI 时钟输入。使用外部上拉电阻器将此引脚连接到 IO 电压。 |
| 9 | NC | — | 未连接。 |
| 10 | NC | — | 未连接。 |
| 11 | NC | — | 未连接。 |
| 12 | AIN1 | 输入 | 比较器的模拟输入。 |
| 13 | CAP | 功率 | 用于内部 LDO 的外部旁路电容器。在 CAP 和 AGND 间连接一个电容器（约 1.5 μF）。 |
| 14 | 模拟接地 (AGND) | 接地 | 此器件上用于所有电路的接地参考点。 |
| 15 | VDD | 功率 | 电源电压：1.8V 至 5.5V。 |
| 16 | VREF/MODE | 输入 | 外部基准或接口模式选择输入。在 VREF/MODE 和 AGND 之间连接一个电容器（约 0.1 μF）。当外部基准未使用时，应使用一个上拉电阻器连接到 VDD。如果使用外部基准或处于接口选择模式时，需确保基准电压在 VDD 之后斜升。<br>在接口选择模式下：<br>将此引脚拉至低电平可启用 $I^2C$ 目标或 SPI 通信。<br>将此引脚拉至高电平可启用 $I^2C$ 控制器模式。 |
| — | 散热焊盘 | 接地 | 将散热焊盘连接至 AGND。 |

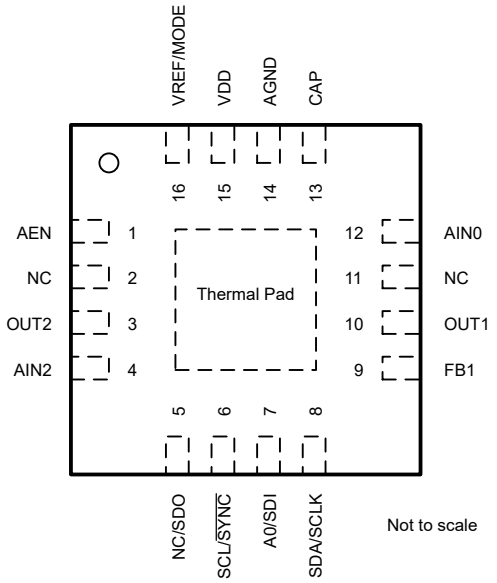



**图 5-2. AFE539A4：RTE 封装，16 引脚 WQFN（顶视图）**

**表 5-2. 引脚功能：AFE539A4**

| 引脚 | | 类型 | 说明 |
|---|---|---|---|
| 编号 | 名称 | | |
| 1 | AEN | 输入 | ADC 硬件使能引脚。通过上拉电阻器将此引脚连接到 VDD。 |
| 2 | NC | — | 未连接。 |
| 3 | NC | — | 未连接。 |
| 4 | AIN2 | 输入 | 比较器的模拟输入。不使用时，将此引脚拉至 VDD 或 AGND。 |
| 5 | NC/SDO | 输出 | 此引脚可配置为 SDO 或保持未连接状态。对于 SDO 功能，通过外部上拉电阻器将此引脚连接到 IO 电压。 |
| 6 | SCL/$\overline{\text{SYNC}}$ | 输入 | $I^2C$ 串行接口时钟或 SPI 芯片选择输入。使用外部上拉电阻器将此引脚连接到 IO 电压。 |
| 7 | A0/SDI | 输入 | 用于 $I^2C$ 的地址配置输入或用于 SPI 的串行数据输入。<br>在 A0 功能中，将此引脚连接到 VDD、AGND、SDA 或 SCL 以进行地址配置。<br>在 SDI 功能中，此引脚不需要端接。 |
| 8 | SDA/SCLK | 输入/输出 | 双向 $I^2C$ 串行数据总线或 SPI 时钟输入。使用外部上拉电阻器将此引脚连接到 IO 电压。 |
| 9 | FB1 | 输入 | DAC 通道 1 的电压反馈输入。将此引脚连接到 OUT1 以实现闭环放大器输出。 |
| 10 | OUT1 | 输出 | DAC 通道 1 的模拟输出。 |
| 11 | NC | — | 未连接。 |
| 12 | AIN0 | 输入 | ADC 通道 0 的模拟输入。 |
| 13 | CAP | 功率 | 用于内部 LDO 的外部旁路电容器。在 CAP 和 AGND 间连接一个电容器（约 1.5 μF）。 |
| 14 | 模拟接地 (AGND) | 接地 | 此器件上用于所有电路的接地参考点。 |
| 15 | VDD | 功率 | 电源电压：1.8V 至 5.5V |
| 16 | VREF/MODE | 输入 | 外部基准或接口模式选择输入。在 VREF 和 AGND 间连接一个电容器（约 0.1 μF）。当外部基准未使用时，应使用一个上拉电阻器连接到 VDD。如果使用外部基准或处于接口选择模式时，需确保基准电压在 VDD 之后斜升。<br>在接口选择模式下：<br>将此引脚拉至低电平可启用 $I^2C$/SPI 通信。<br>将此引脚拉至高电平可启用独立模式。 |
| — | 散热焊盘 | 接地 | 将散热焊盘连接至 AGND。 |


Copyright © 2023 Texas Instruments Incorporated

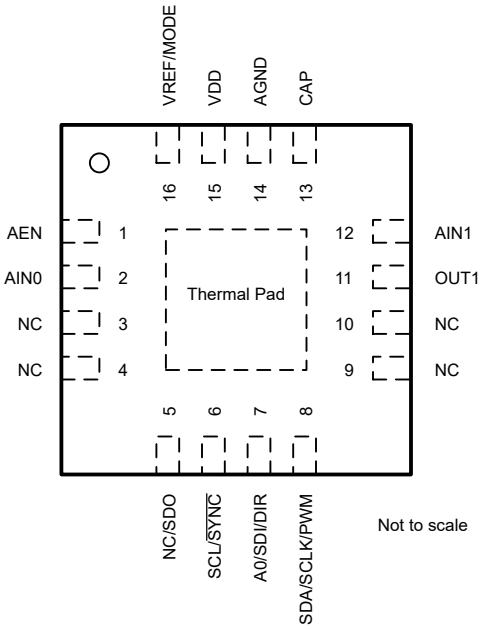



**图 5-3. AFE439A2：RTE 封装，16 引脚 WQFN（顶视图）**

**表 5-3. 引脚功能：AFE439A2**

| 引脚 | | 类型 | 说明 |
|---|---|---|---|
| 编号 | 名称 | | |
| 1 | AEN | 输入 | ADC 硬件使能引脚。通过上拉电阻器将此引脚连接到 VDD。 |
| 2 | AIN0 | 输入 | ADC 通道 0 的模拟输入。 |
| 3 | NC | — | 未连接。 |
| 4 | NC | — | 未连接。 |
| 5 | NC/SDO | 输出 | 此引脚可配置为 SDO 或保持未连接状态。对于 SDO 功能，通过外部上拉电阻器将此引脚连接到 IO 电压。 |
| 6 | SCL/$\overline{\text{SYNC}}$ | 输入 | $I^2C$ 串行接口时钟或 SPI 芯片选择输入。使用外部上拉电阻器将此引脚连接到 IO 电压。 |
| 7 | A0/SDI/DIR | 输入 | *编程模式*：用于 $I^2C$ 的地址配置输入或用于 SPI 的串行数据输入。在 A0 功能中，将此引脚连接到 VDD、AGND、SDA 或 SCL 以进行地址配置。在 SDI 功能中，此引脚不需要端接。<br>*独立模式*：方向输出。 |
| 8 | SDA/ SCLK/PWM | 输入/输出 | *编程模式*：双向 $I^2C$ 串行数据总线或 SPI 时钟输入。使用外部上拉电阻器将此引脚连接到 IO 电压。<br>*独立模式*：PWM 输出。 |
| 9 | NC | — | 未连接。 |
| 10 | NC | — | 未连接。 |
| 11 | NC | — | 未连接。 |
| 12 | AIN1 | 输入 | 比较器的模拟输入。不使用时，将此引脚拉至 VDD 或 AGND。 |
| 13 | CAP | 功率 | 用于内部 LDO 的外部旁路电容器。在 CAP 和 AGND 间连接一个电容器（约 1.5 μF）。 |
| 14 | 模拟接地 (AGND) | 接地 | 此器件上用于所有电路的接地参考点。 |
| 15 | VDD | 功率 | 电源电压：1.8V 至 5.5V |
| 16 | VREF/MODE | 输入 | 外部基准或接口模式选择输入。在 VREF 和 AGND 间连接一个电容器（约 0.1 μF）。当外部基准未使用时，应使用一个上拉电阻器连接到 VDD。如果使用外部基准或处于接口选择模式时，需确保基准电压在 VDD 之后斜升。<br>在接口选择模式下：<br>将此引脚拉至低电平可启用 $I^2C$/SPI 通信。<br>将此引脚拉至高电平可启用独立模式。 |
| — | 散热焊盘 | 接地 | 将散热焊盘连接至 AGND。 |

# 6 规格

## 6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]

| | | 最小值 | 最大值 | 单位 |
|---|---|---|---|---|
| $V_{DD}$ | 电源电压，$V_{DD}$ 至 AGND | –0.3 | 6 | V |
| | 数字输入至 AGND | -0.3 | $V_{DD}$ + 0.3 | V |
| | $V_{FBX}$ 至 AGND | -0.3 | $V_{DD}$ + 0.3 | V |
| | $V_{OUTX}$ 或 $A_{INX}$ 至 AGND | -0.3 | $V_{DD}$ + 0.3 | V |
| $V_{REF}$ | 外部基准，$V_{REF}$ 至 AGND | -0.3 | $V_{DD}$ + 0.3 | V |
| | 流入除 OUTx、VDD 和 AGND 引脚以外的任何引脚的电流 | -10 | 10 | mA |
| $T_J$ | 结温 | -40 | 150 | °C |
| $T_{stg}$ | 贮存温度 | –65 | 150 | °C |

(1) 超出绝对最大额定值运行可能会对器件造成损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

## 6.2 ESD 等级

| | | | 值 | 单位 |
|---|---|---|---|---|
| $V_{(ESD)}$ | 静电放电 | 人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001，所有引脚[(1)] | ±2000 | V |
| | | 充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准，所有引脚[(2)] | ±500 | |

(1) JEDEC 文件 JEP155 指出：500V HBM 可实现在标准 ESD 控制流程下安全生产。
(2) JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

## 6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

| | | 最小值 | 标称值 | 最大值 | 单位 |
|---|---|---|---|---|---|
| $V_{DD}$ | 提供给接地端 (AGND) 的正电源电压 | 1.7 | | 5.5 | V |
| $V_{REF}$ | 提供给接地端 (AGND) 的外部基准电压 | 1.7 | | $V_{DD}$ | V |
| $V_{IH}$ | 数字输入高电压，1.7V < $V_{DD}$ ≤ 5.5V | 1.62 | | | V |
| $V_{IL}$ | 数字输入低电压 | | | 0.4 | V |
| $C_{CAP}$ | CAP 引脚上的外部电容器 | 0.5 | | 15 | μF |
| $T_A$ | 环境温度 | -40 | | 125 | °C |

## 6.4 热性能信息

| 热指标[(1)] | | AFE439A2、AFE539A4、AFE639D2 RTE (WQFN) 16 引脚 | 单位 |
|---|---|---|---|
| $R_{\theta JA}$ | 结至环境热阻 | 49 | °C/W |
| $R_{\theta JC(top)}$ | 结至外壳（顶部）热阻 | 50 | °C/W |
| $R_{\theta JB}$ | 结至电路板热阻 | 24.1 | °C/W |
| $\Psi_{JT}$ | 结至顶部特征参数 | 1.1 | °C/W |
| $\Psi_{JB}$ | 结至电路板特征参数 | 24.1 | °C/W |


Copyright © 2023 Texas Instruments Incorporated

| 热指标[1] | | AFE439A2、AFE539A4、AFE639D2 RTE (WQFN) 16 引脚 | 单位 |
|---|---|---|---|
| $R_{\theta JC(bot)}$ | 结至外壳（底部）热阻 | 8.7 | °C/W |

(1) 有关新旧热指标的信息，请参阅*半导体和 IC 封装热指标应用报告。*

## 6.5 电气特性：电压输出

所有最小/最大规格的条件为 –40°C ≤ $T_A$ ≤ +125°C，所有典型规格的条件为 $T_A$ = 25°C，1.7V ≤ $V_{DD}$ ≤ 5.5V，DAC 基准连接至 VDD，增益 = 1 ×，DAC 输出引脚 (OUT) 具有阻性负载（$R_L$ = 5kΩ 至 AGND）和容性负载（$C_L$ = 200pF 至 AGND），且数字输入处于 VDD 或 AGND（除非另有说明）

| 参数 | | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|
| **静态性能** | | | | | | |
| | 分辨率 | AFE639D2 | 12 | | | 位 |
| | | AFE539A4 | 10 | | | |
| INL | 积分非线性(1) | AFE639D2 | -4 | | 4 | LSB |
| | | AFE539A4 | -1 | | 1 | |
| DNL | 微分非线性(1) | | -1 | | 1 | LSB |
| | 零代码误差(2) | 将 0d 编码至 DAC，外部基准，$V_{DD}$= 5.5V | | 6 | 12 | mV |
| | | 将 0d 编码到 DAC 中，内部 $V_{REF}$，增益 = 4 ×，$V_{DD}$ = 5.5V | | 6 | 15 | |
| | 零代码误差温度系数(2) | | | ±10 | | μV/°C |
| | 偏移误差(2) | 1.7V ≤ $V_{DD}$ < 2.7V，$V_{FB}$ 引脚短接至 $V_{OUT}$，DAC 代码：32d（12 位分辨率）、8d（10 位分辨率） | -0.75 | 0.3 | 0.75 | %FSR |
| | | 2.7V ≤ $V_{DD}$ ≤ 5.5V，$V_{FB}$ 引脚短接至 $V_{OUT}$，DAC 代码：32d（12 位分辨率）、8d（10 位分辨率） | –0.5 | 0.25 | 0.5 | |
| | 偏移误差温度系数(2) | $V_{FB}$ 引脚短接至 $V_{OUT}$，DAC 代码：32d（12 位分辨率）、8d（10 位分辨率） | | ±0.0003 | | %FSR/°C |
| | 增益误差(2) | 介于终点代码：32d 至 4064d（12 位分辨率）、8d 至 1016d（10 位分辨率） | –0.5 | 0.25 | 0.5 | %FSR |
| | 增益误差温度系数(2) | 介于终点代码：32d 至 4064d（12 位分辨率）、8d 至 1016d（10 位分辨率） | | ±0.0008 | | %FSR/°C |
| | 满量程误差(2) | 1.7V ≤ $V_{DD}$ < 2.7V，DAC（满量程） | -1 | | 1 | %FSR |
| | | 2.7V ≤ $V_{DD}$ ≤ 5.5V，DAC（满量程） | -0.5 | | 0.5 | |
| | 满量程误差温度系数(2) | DAC 处于满量程 | | ±0.0008 | | %FSR/°C |
| **输出** | | | | | | |
| | 输出电压 | 基准连接到 $V_{DD}$ | 0 | | $V_{DD}$ | V |
| $C_L$ | 容性负载(3) | $R_L$ = 无限，相位裕度 = 30° | | | 200 | pF |
| | | 相位裕度 = 30° | | | 1000 | |
| | 短路电流 | $V_{DD}$ = 1.7V，满量程输出短接至 AGND 或零标度输出短接至 $V_{DD}$ | | 15 | | mA |
| | | $V_{DD}$ = 2.7V，满量程输出短接至 AGND 或零标度输出短接至 $V_{DD}$ | | 50 | | |
| | | $V_{DD}$ = 5.5V，满量程输出短接至 AGND 或零标度输出短接至 $V_{DD}$ | | 60 | | |
| | 输出电压余量(3) | 至 $V_{DD}$，DAC 输出空载，内部基准 = 1.21V，$V_{DD}$ ≥ 1.21V × 增益 + 0.2V | 0.2 | | | V |
| | | 至 $V_{DD}$ 和 AGND，DAC 输出空载，$V_{DD}$ 处的外部基准（增益 = 1 ×），$V_{REF}$ 引脚未短接至 $V_{DD}$ | 0.8 | | | %FSR |
| | | 至 $V_{DD}$ 和 AGND，$V_{DD}$ = 5.5V 时 $I_{LOAD}$ = 10mA，$V_{DD}$ = 2.7V 时 $I_{LOAD}$ = 3mA，$V_{DD}$ = 1.8V 时 $I_{LOAD}$ = 1mA，$V_{DD}$ 处的外部基准（增益 = 1 ×），$V_{REF}$ 引脚未短接至 $V_{DD}$ | 10 | | | |


Copyright © 2023 Texas Instruments Incorporated

## 6.5 电气特性：电压输出 (continued)

所有最小/最大规格的条件为 –40°C ≤ $T_A$ ≤ +125°C，所有典型规格的条件为 $T_A$ = 25°C，1.7V ≤ $V_{DD}$ ≤ 5.5V，DAC 基准连接至 VDD，增益 = 1 ×，DAC 输出引脚 (OUT) 具有阻性负载（$R_L$ = 5kΩ 至 AGND）和容性负载（$C_L$ = 200pF 至 AGND），且数字输入处于 VDD 或 AGND（除非另有说明）

| 参数 | | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|
| $Z_O$ | $V_{FB}$ 直流输出阻抗[4] | DAC 输出已启用，内部基准（增益 = 1.5 × 或 2 ×）或 $V_{DD}$ 处的外部基准（增益 = 1 ×），$V_{REF}$ 引脚未短接至 $V_{DD}$ | 400 | 500 | 600 | kΩ |
| | | DAC 输出已启用，内部 $V_{REF}$，增益 = 3 × 或 4 × | 325 | 400 | 485 | |
| | 电源抑制比（直流） | 内部 $V_{REF}$，增益 = 2 ×，DAC 处于中标度，$V_{DD}$ = 5V ±10% | | 0.25 | | mV/V |
| **动态性能** | | | | | | |
| $t_{sett}$ | 输出电压建立时间 | 1/4 至 3/4 标度和 3/4 至 1/4 标度趋稳至 10%FSR，$V_{DD}$ = 5.5V | | 20 | | μs |
| | | 1/4 至 3/4 标度和 3/4 至 1/4 标度趋稳至 10%FSR，$V_{DD}$ = 5.5V，内部 $V_{REF}$，增益 = 4 × | | 25 | | |
| | 转换率 | $V_{DD}$ = 5.5V | | 0.3 | | V/μs |
| | 加电干扰幅度 | 启动时，DAC 输出被禁用 | | 75 | | mV |
| | | 启动时，DAC 输出被禁用，$R_L$ = 100kΩ | | 200 | | |
| | 输出使能干扰幅度 | DAC 输出从禁用至启用，DAC 寄存器处于零标度，$R_L$ = 100kΩ | | 250 | | mV |
| $V_n$ | 输出噪声电压（峰峰值） | f = 0.1Hz 至 10Hz，DAC 位于中标度，$V_{DD}$ = 5.5V | | 50 | | $μV_{PP}$ |
| | | 内部 $V_{REF}$，增益 = 4 ×，f = 0.1Hz 至 10Hz，DAC 处于中标度，$V_{DD}$ = 5.5V | | 90 | | |
| | 输出噪声密度 | f = 1kHz，DAC 位于中标度，$V_{DD}$ = 5.5V | | 0.35 | | μV/√Hz |
| | | 内部 $V_{REF}$，增益 = 4 ×，f = 1kHz，DAC 处于中标度，$V_{DD}$ = 5.5V | | 0.9 | | |
| | 电源抑制比（交流）[4] | 内部 $V_{REF}$，增益 = 4 ×，200mV 50Hz 或 60Hz 正弦波叠加在电源电压上，DAC 处于中标度 | | -68 | | dB |
| | 代码变化干扰脉冲 | 围绕中标度的 ±1LSB 变化（包括馈通） | | 10 | | nV-s |
| | 代码变化干扰脉冲幅度 | 围绕中标度的 ±1LSB 变化（包括馈通） | | 15 | | mV |

(1) 在 DAC 输出空载的情况下测量。对于外部基准和内部基准 $V_{DD}$ ≥ 1.21 × 增益 + 0.2V，介于终点代码：32d 至 4064d（12 位分辨率）、8d 至 1016d（10 位分辨率）。
(2) 在 DAC 输出空载的情况下测量。
(3) 根据设计和特征确定；未经生产测试。
(4) 当使用内部基准时，相对于基准值以 200mV 余量指定。

## 6.6 电气特性：比较器模式

所有最小/最大规格的条件为 –40°C ≤ $T_A$ ≤ +125°C，所有典型规格的条件为 $T_A$ = 25°C，1.7V ≤ $V_{DD}$ ≤ 5.5V，基准连接至 VDD，增益 = 1 ×，且数字输入处于 VDD 或 AGND（除非另有说明）

| 参数 | | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|
| **静态性能** | | | | | | |
| | 偏移误差(1) (2) | 1.7V ≤ $V_{DD}$ ≤ 5.5V，DAC 处于中标度，比较器输入处于高阻态，且 DAC 采用外部基准运行。 | -5 | 0 | 5 | mV |
| | 偏移误差时间漂移(1) | $V_{DD}$ = 5.5V，外部基准，$T_A$ = 125°C，AIN 处于高阻态模式，DAC 处于满量程且 $V_{AIN}$ 为 0V 或 DAC 处于零标度且 $V_{AIN}$ 为 1.84V，10 年连续运行的额定漂移 | | 4 | | mV |
| **输出** | | | | | | |
| | 输入电压 | $V_{REF}$ 连接到 $V_{DD}$，AIN 电阻器网络连接到接地 | 0 | | $V_{DD}$ | V |
| | | $V_{REF}$ 连接到 $V_{DD}$，AIN 电阻器网络断开接地 | 0 | | $V_{DD}$ (1/3 – 1/100) | |
| $V_{OL}$ | 逻辑低输出电压 | $I_{LOAD}$ = 100 µA，输出处于开漏模式 | | 0.1 | | V |
| **动态性能** | | | | | | |
| $t_{resp}$ | 输出响应时间 | DAC 处于中标度且具有 10 位分辨率，AIN 输入处于高阻态，AIN 节点处的转换步长为 ($V_{DAC}$ – 2LSB) 至 ($V_{DAC}$ + 2LSB)，转换时间在输出的 10% 至 90% 之间测得，输出电流为 100 µA，比较器输出配置为推挽模式，DAC 输出的负载电容器为 25pF | | 10 | | µs |

(1) 根据设计和特征确定；未经生产测试。
(2) 此规格不包括 DAC 的总体未调误差 (TUE)。

## 6.7 电气特性：ADC 输入

所有最小/最大规格的条件为 –40°C ≤ $T_A$ ≤ +125°C，所有典型规格的条件为 $T_A$ = 25°C，1.7V ≤ $V_{DD}$ ≤ 5.5V，基准连接至 VDD，增益 = 1 ×，且数字输入处于 VDD 或 AGND（除非另有说明）

| 参数 | | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|
| | 分辨率 | AFE539A4 | 10 | | | 位 |
| | | AFE439A2 | 8 | | | |
| INL | 积分非线性(1) (2) | | -2 | | 2 | LSB |
| DNL | 微分非线性(1) (2) | | -1 | | 1 | LSB |
| | 偏移误差(1) (2) (3) | 1.7V ≤ $V_{DD}$ < 2.7V | -5 | 0 | 5 | mV |
| | | 2.7V ≤ $V_{DD}$ ≤ 5.5V | -5 | 0 | 5 | |
| | 增益误差(1) (2) (3) | | -1 | | 1 | %FSR |
| | 输入电压 | 外部 $V_{REF}$ = $V_{DD}$，模拟输入衰减为 1 | 0 | | $V_{DD}$ | V |
| | 数据速率(2) | ADC 平均设置为 4 个样本 | 1406 | | 2008 | SPS |
| | 采样电容器 | | | 10 | | pF |

(1) 对于外部基准和内部基准 $V_{DD}$ ≥ 1.21 × 增益 + 0.2V，介于终点代码：8d 至 1016d（10 位分辨率）、2d 至 254d（8 位分辨率）。
(2) 根据设计和特征确定；未经生产测试。
(3) 在模拟输入处于中标度、高阻态输入配置和采用外部基准的条件下测得。


Copyright © 2023 Texas Instruments Incorporated

## 6.8 电气特性：通用

所有最小/最大规格的条件为 –40°C ≤ $T_A$ ≤ +125°C，所有典型规格的条件为 $T_A$ = 25°C，1.7V ≤ $V_{DD}$ ≤ 5.5V，基准连接至 VDD，增益 = 1 ×，且数字输入处于 VDD 或 AGND（除非另有说明）

| 参数 | | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|
| **内部基准** | | | | | | |
| | 初始精度 | 所有测量值的 $T_A$ = 25°C | 1.1979 | 1.212 | 1.224 | V |
| | 基准输出温度系数(1) (2) | | | | 50 | ppm/°C |
| **外部基准** | | | | | | |
| | 外部基准输入范围 | | 1.7 | | $V_{DD}$ | V |
| | $V_{REF}$ 输入阻抗(1) (3) | | | 192 | | kΩ-ch |
| **EEPROM** | | | | | | |
| | 寿命(1) | –40°C ≤ $T_A$ ≤ +85°C | | 20000 | | 周期 |
| | | $T_A$ = 125°C | | 1000 | | |
| | 数据保留(1) | | | 50 | | 年 |
| | EEPROM 编程写入周期时间(1) | | | | 200 | ms |
| | 器件启动时间(1) | 从电源有效 ($V_{DD}$ ≥ 1.7V) 到输出有效状态（EEPROM 中编程的输出状态）所用的时间，CAP 引脚上具有 0.5μF 电容器 | | 5 | | ms |
| **数字输入** | | | | | | |
| | 数字馈通 | 电压输出模式，中标度 DAC 输出静态，超快速模式，SCL 切换 | | 20 | | nV-s |
| | 引脚电容 | 每引脚 | | 10 | | pF |
| **电源** | | | | | | |
| $I_{DD}$ | 流入 VDD 的电流 | 睡眠模式，内部基准关断，外部基准为 5.5V | | | 28 | μA |
| | 流入 VDD 的电流(1) | 睡眠模式，内部基准已启用，通过内部基准的额外电流 | | 10 | | μA |
| | | 所有通道已启用，内部基准已启用，每个通道通过内部基准的额外电流 | | 12.5 | | μA-ch |
| | | 正常运行，状态机已启用，AFE439A2 | | 1.05 | | mA |
| | | 正常运行，状态机已启用，AFE539A4 | | 1.4 | | |
| | | 正常运行，状态机已启用，AFE639D2 | | 1.04 | | |
| **高阻抗输出** | | | | | | |
| $I_{LEAK}$ | 流入 $V_{OUTX}$ 和 $V_{FBX}$ 的电流 | DAC 处于高阻态输出模式，1.7V ≤ $V_{DD}$ ≤ 5.5V | | 10 | | nA |
| | | $V_{DD}$ = 0V，$V_{OUT}$ ≤ 1.5V，$V_{DD}$ 和 AGND 之间的去耦电容 = 0.1 μF | | 200 | | |
| | | $V_{DD}$ = 0V，1.5V < $V_{OUT}$ ≤ 5.5V，$V_{DD}$ 和 AGND 之间的去耦电容 = 0.1 μF | | 500 | | |
| | | $V_{DD}$ 和 AGND 之间的电阻为 100kΩ，$V_{OUT}$ ≤ 1.25V，OUT 引脚上具有 10kΩ 串联电阻 | | ±2 | | μA |

(1) 根据设计和特征确定；未经生产测试。
(2) 在 –40°C 和 +125°C 条件下测得，并计算了斜率。
(3) DAC、比较器或 ADC 通道的阻抗并联。

## 6.9 时序要求：I²C 标准模式

所有输入信号的时间都是从 VIL 计时到 $V_{pull-up}$ 的 70%，1.7V ≤ $V_{DD}$ ≤ 5.5V，–40°C ≤ $T_A$ ≤ +125°C，且 1.7V ≤ $V_{pull-up}$ ≤ $V_{DD}$

| | | 最小值 | 标称值 | 最大值 | 单位 |
|---|---|---|---|---|---|
| $f_{SCL}$ | SCL 频率 | | | 100 | kHz |
| $t_{BUF}$ | 停止条件和启动条件之间的总线空闲时间 | 4.7 | | | µs |
| $t_{HDSTA}$ | 重复启动后的保持时间 | 4 | | | µs |
| $t_{SUSTA}$ | 重复启动设置时间 | 4.7 | | | µs |
| $t_{SUSTO}$ | 停止条件设置时间 | 4 | | | µs |
| $t_{HDDAT}$ | 数据保持时间 | 0 | | | ns |
| $t_{SUDAT}$ | 数据设置时间 | 250 | | | ns |
| $t_{LOW}$ | SCL 时钟低电平周期 | 4700 | | | ns |
| $t_{HIGH}$ | SCL 时钟高电平周期 | 4000 | | | ns |
| $t_F$ | 时钟和数据下降时间 | | | 300 | ns |
| $t_R$ | 时钟和数据上升时间 | | | 1000 | ns |
| $t_{VDDAT}$ | 数据有效时间，R = 360Ω，$C_{trace}$ = 23pF，$C_{probe}$ = 10pF | | | 3.45 | µs |
| $t_{VDACK}$ | 数据有效确认时间，R = 360Ω，$C_{trace}$ = 23pF，$C_{probe}$ = 10pF | | | 3.45 | µs |

## 6.10 时序要求：I²C 快速模式

所有输入信号的时间都是从 VIL 计时到 $V_{pull-up}$ 的 70%，1.7V ≤ $V_{DD}$ ≤ 5.5V，–40°C ≤ $T_A$ ≤ +125°C，且 1.7V ≤ $V_{pull-up}$ ≤ $V_{DD}$

| | | 最小值 | 标称值 | 最大值 | 单位 |
|---|---|---|---|---|---|
| $f_{SCL}$ | SCL 频率 | | | 400 | kHz |
| $t_{BUF}$ | 停止条件和启动条件之间的总线空闲时间 | 1.3 | | | µs |
| $t_{HDSTA}$ | 重复启动后的保持时间 | 0.6 | | | µs |
| $t_{SUSTA}$ | 重复启动设置时间 | 0.6 | | | µs |
| $t_{SUSTO}$ | 停止条件设置时间 | 0.6 | | | µs |
| $t_{HDDAT}$ | 数据保持时间 | 0 | | | ns |
| $t_{SUDAT}$ | 数据设置时间 | 100 | | | ns |
| $t_{LOW}$ | SCL 时钟低电平周期 | 1300 | | | ns |
| $t_{HIGH}$ | SCL 时钟高电平周期 | 600 | | | ns |
| $t_F$ | 时钟和数据下降时间 | | | 300 | ns |
| $t_R$ | 时钟和数据上升时间 | | | 300 | ns |
| $t_{VDDAT}$ | 数据有效时间，R = 360Ω，$C_{trace}$ = 23pF，$C_{probe}$ = 10pF | | | 0.9 | µs |
| $t_{VDACK}$ | 数据有效确认时间，R = 360Ω，$C_{trace}$ = 23pF，$C_{probe}$ = 10pF | | | 0.9 | µs |

## 6.11 时序要求：I²C 超快速模式

所有输入信号的时间都是从 VIL 计时到 $V_{pull-up}$ 的 70%，1.7V ≤ $V_{DD}$ ≤ 5.5V，–40°C ≤ $T_A$ ≤ +125°C，且 1.7V ≤ $V_{pull-up}$ ≤ $V_{DD}$

| | | 最小值 | 标称值 | 最大值 | 单位 |
|---|---|---|---|---|---|
| $f_{SCL}$ | SCL 频率 | | | 1 | MHz |
| $t_{BUF}$ | 停止条件和启动条件之间的总线空闲时间 | 0.5 | | | µs |
| $t_{HDSTA}$ | 重复启动后的保持时间 | 0.26 | | | µs |
| $t_{SUSTA}$ | 重复启动设置时间 | 0.26 | | | µs |
| $t_{SUSTO}$ | 停止条件设置时间 | 0.26 | | | µs |
| $t_{HDDAT}$ | 数据保持时间 | 0 | | | ns |
| $t_{SUDAT}$ | 数据设置时间 | 50 | | | ns |
| $t_{LOW}$ | SCL 时钟低电平周期 | 0.5 | | | µs |
| $t_{HIGH}$ | SCL 时钟高电平周期 | 0.26 | | | µs |
| $t_F$ | 时钟和数据下降时间 | | | 120 | ns |
| $t_R$ | 时钟和数据上升时间 | | | 120 | ns |


Copyright © 2023 Texas Instruments Incorporated

所有输入信号的时间都是从 VIL 计时到 $V_{pull-up}$ 的 70%，1.7V ≤ $V_{DD}$ ≤ 5.5V，–40°C ≤ $T_A$ ≤ +125°C，且 1.7V ≤ $V_{pull-up}$ ≤ $V_{DD}$

| | | 最小值 | 标称值 | 最大值 | 单位 |
|---|---|---|---|---|---|
| $t_{VDDAT}$ | 数据有效时间，R = 360Ω，$C_{trace}$ = 23pF，$C_{probe}$ = 10pF | | | 0.45 | µs |
| $t_{VDACK}$ | 数据有效确认时间，R = 360Ω，$C_{trace}$ = 23pF，$C_{probe}$ = 10pF | | | 0.45 | µs |

## 6.12 时序要求：SPI 写入操作

所有输入信号都在 $t_r = t_f$ = 1V/ns（$V_{IO}$ 的 10% 至 90%）时指定，而且从 (VIL + VIH) / 2 的电压电平开始，1.7V ≤ $V_{IO}$ ≤ 5.5V，1.7V ≤ $V_{DD}$ ≤ 5.5V 且 –40°C ≤ $T_A$ ≤ +125°C

| | | 最小值 | 标称值 | 最大值 | 单位 |
|---|---|---|---|---|---|
| $f_{SCL}$ | 串行时钟频率 | | | 50 | MHz |
| $t_{SCLKHIGH}$ | SCLK 高电平时间 | 9 | | | ns |
| $t_{SCLLOW}$ | SCLK 低电平时间 | 9 | | | ns |
| $t_{SDIS}$ | SDI 建立时间 | 8 | | | ns |
| $t_{SDIH}$ | SDI 保持时间 | 8 | | | ns |
| $t_{CSS}$ | $\overline{SYNC}$ 到 SCLK 下降沿建立时间 | 18 | | | ns |
| $t_{CSH}$ | SCLK 下降边沿到 $\overline{SYNC}$ 上升边沿 | 10 | | | ns |
| $t_{CSHIGH}$ | $\overline{SYNC}$ 高电平时间 | 50 | | | ns |
| $t_{DACWAIT}$ | 同一通道的顺序更新等待时间（后续 $\overline{SYNC}$ 上升沿之间的时间） | 2 | | | µs |

## 6.13 时序要求：SPI 读取和菊花链操作 (FSDO = 0)

所有输入信号都在 $t_r = t_f$ = 1V/ns（$V_{IO}$ 的 10% 至 90%）时指定，而且从 (VIL + VIH) / 2 的电压电平开始，1.7V ≤ $V_{IO}$ ≤ 5.5V，1.7V ≤ $V_{DD}$ ≤ 5.5V，–40°C ≤ $T_A$ ≤ +125°C 且 FSDO = 0

| | | 最小值 | 标称值 | 最大值 | 单位 |
|---|---|---|---|---|---|
| $f_{SCL}$ | 串行时钟频率 | | | 1.25 | MHz |
| $t_{SCLKHIGH}$ | SCLK 高电平时间 | 350 | | | ns |
| $t_{SCLLOW}$ | SCLK 低电平时间 | 350 | | | ns |
| $t_{SDIS}$ | SDI 建立时间 | 8 | | | ns |
| $t_{SDIH}$ | SDI 保持时间 | 8 | | | ns |
| $t_{CSS}$ | $\overline{SYNC}$ 到 SCLK 下降沿建立时间 | 400 | | | ns |
| $t_{CSH}$ | SCLK 下降边沿到 $\overline{SYNC}$ 上升边沿 | 400 | | | ns |
| $t_{CSHIGH}$ | $\overline{SYNC}$ 高电平时间 | 1 | | | µs |
| $t_{SDODLY}$ | SCLK 上升沿到 SDO 下降沿，$I_{OL}$ ≤ 5mA，$C_L$ = 20pF | | | 300 | ns |

## 6.14 时序要求：SPI 读取和菊花链操作 (FSDO = 1)

所有输入信号都在 $t_r = t_f$ = 1V/ns（$V_{IO}$ 的 10% 至 90%）时指定，而且从 (VIL + VIH) / 2 的电压电平开始，1.7V ≤ $V_{IO}$ ≤ 5.5V，1.7V ≤ $V_{DD}$ ≤ 5.5V，–40°C ≤ $T_A$ ≤ +125°C 且 FSDO = 1

| | | 最小值 | 标称值 | 最大值 | 单位 |
|---|---|---|---|---|---|
| $f_{SCL}$ | 串行时钟频率 | | | 2.5 | MHz |
| $t_{SCLKHIGH}$ | SCLK 高电平时间 | 175 | | | ns |
| $t_{SCLLOW}$ | SCLK 低电平时间 | 175 | | | ns |
| $t_{SDIS}$ | SDI 建立时间 | 8 | | | ns |
| $t_{SDIH}$ | SDI 保持时间 | 8 | | | ns |
| $t_{CSS}$ | $\overline{SYNC}$ 到 SCLK 下降沿建立时间 | 300 | | | ns |
| $t_{CSH}$ | SCLK 下降边沿到 $\overline{SYNC}$ 上升边沿 | 300 | | | ns |

Copyright © 2023 Texas Instruments Incorporated

所有输入信号都在 $t_r = t_f$ = 1V/ns（$V_{IO}$ 的 10% 至 90%）时指定，而且从 (VIL + VIH) / 2 的电压电平开始，1.7V ≤ $V_{IO}$ ≤ 5.5V，1.7V ≤ $V_{DD}$ ≤ 5.5V，–40°C ≤ $T_A$ ≤ +125°C 且 FSDO = 1

| | | 最小值 | 标称值 | 最大值 | 单位 |
|---|---|---|---|---|---|
| $t_{CSHIGH}$ | $\overline{SYNC}$ 高电平时间 | 1 | | | µs |
| $t_{SDODLY}$ | SCLK 上升沿到 SDO 下降沿，$I_{OL}$ ≤ 5mA，$C_L$ = 20pF | | | 300 | ns |


Copyright © 2023 Texas Instruments Incorporated

## 6.15 时序要求：PWM 输出

所有输入信号的时间都是从 VIL 计时到 $V_{pull-up}$ 的 70%，1.7V ≤ $V_{DD}$ ≤ 5.5V，–40°C ≤ $T_A$ ≤ +125°C，且 1.7V ≤ $V_{pull-up}$ ≤ $V_{DD}$

| | | 最小值 | 标称值 | 最大值 | 单位 |
|---|---|---|---|---|---|
| $f_{PWMOUT}$ | PWM 频率(1) | 0.218 | | 48.828 | kHz |
| $t_{PWMOHI}$ | PWM 高电平时间 | 1 | | | µs |
| $t_{PWMOLO}$ | PWM 低电平时间 | 1 | | | µs |
| $t_{PWMODTY}$ | PWM 占空比 | 0 | | 100 | % |

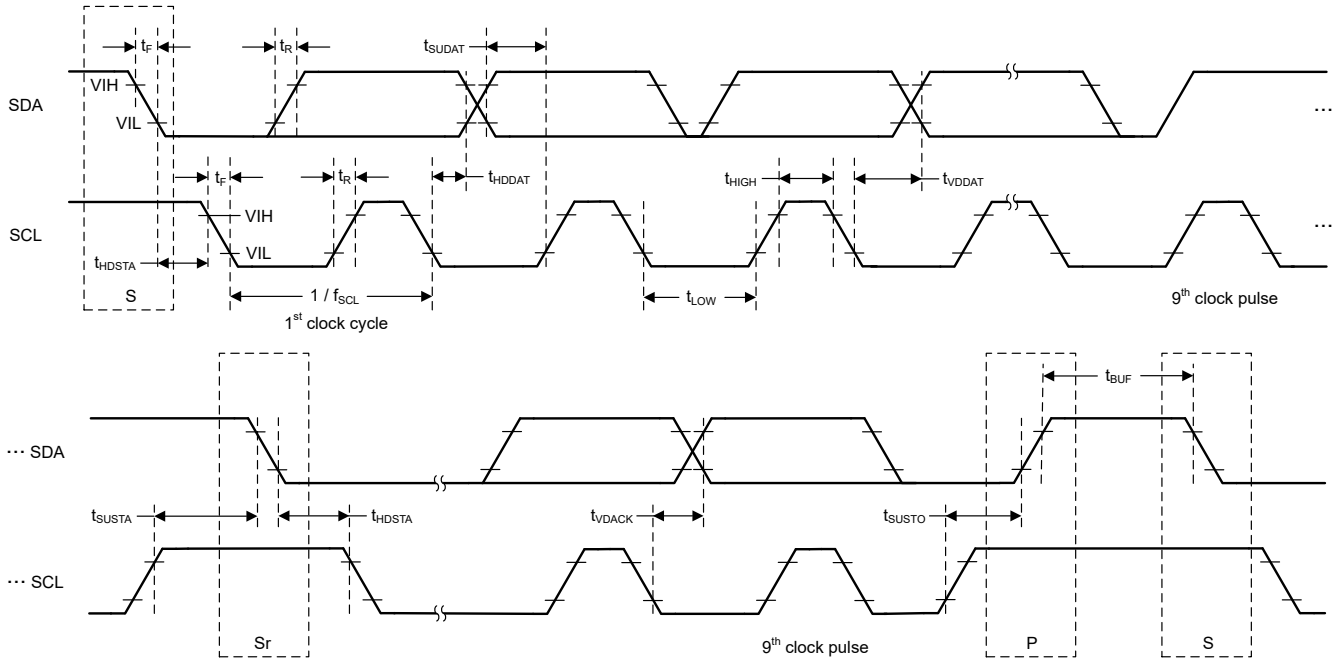
(1) 该频率范围不考虑内部振荡器频率误差。

## 6.16 时序要求：I²C 控制器

所有输入信号的时间都是从 VIL 计时到 $V_{DD}$ 的 70%，1.8V ≤ $V_{DD}$ ≤ 5.5V，–40°C ≤ $T_A$ ≤ +125°C，且 1.8V ≤ $V_{pull-up}$ ≤ $V_{DD}$

| | | 最小值 | 标称值 | 最大值 | 单位 |
|---|---|---|---|---|---|
| $f_{SCL}$ | SCL 频率 | | | 100 | kHz |
| $t_{BUF}$ | 停止条件和启动条件之间的总线空闲时间 | 4.7 | | | µs |
| $t_{HDSTA}$ | 重复启动后的保持时间 | 4 | | | µs |
| $t_{SUSTA}$ | 重复启动设置时间 | 4.7 | | | µs |
| $t_{SUSTO}$ | 停止条件设置时间 | 4 | | | µs |
| $t_{HDDAT}$ | 数据保持时间 | 0 | | | ns |
| $t_{SUDAT}$ | 数据设置时间 | 250 | | | ns |
| $t_{LOW}$ | SCL 时钟低电平周期 | 4700 | | | ns |
| $t_{HIGH}$ | SCL 时钟高电平周期 | 4000 | | | ns |
| $t_F$ | 时钟和数据下降时间 | | | 300 | ns |
| $t_R$ | 时钟和数据上升时间 | | | 1000 | ns |

## 6.17 时序图




**S**: Start bit, **Sr**: Repeated start bit, **P**: Stop bit

图 6-1. I²C 时序图

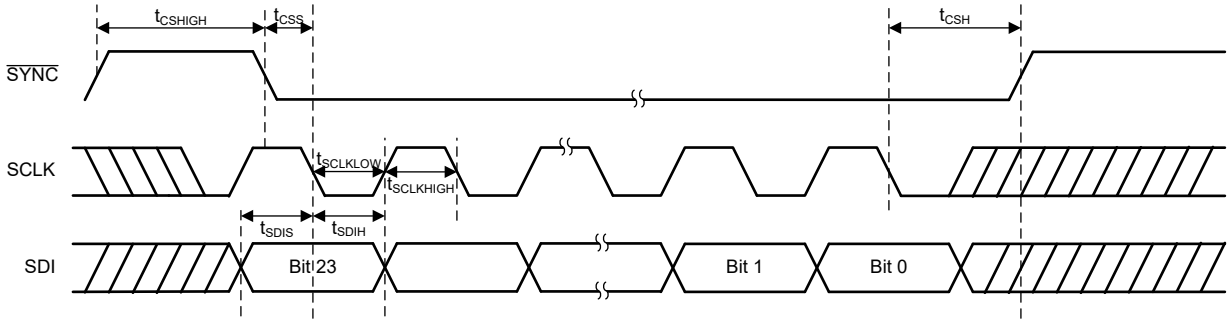



图 6-2. SPI 写入时序图


Copyright © 2023 Texas Instruments Incorporated

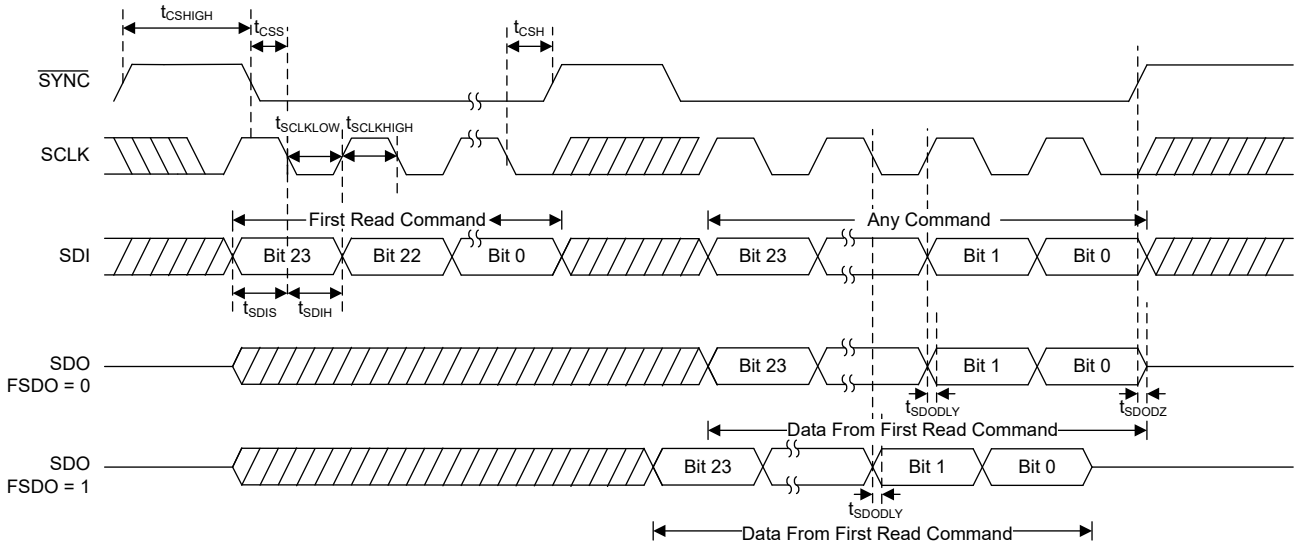
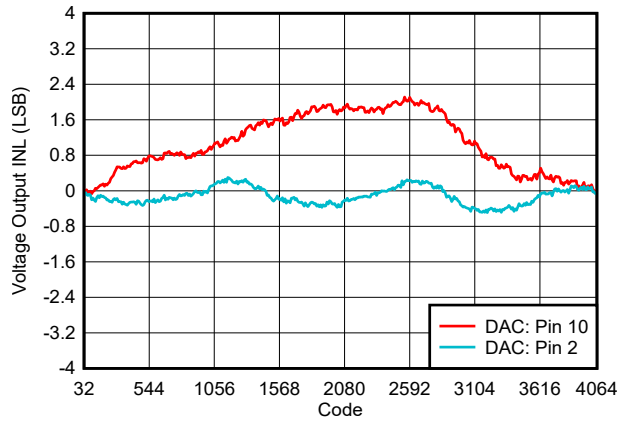



**图 6-3. SPI 读取时序图**

## 6.18 典型特性：电压输出

$T_A$ = 25°C，$V_{DD}$ = 5.5V，外部基准 = 5.5V，增益 = 1 ×，12 位分辨率，且 DAC 输出为空载（除非另有说明）




内部基准，增益 = 4 ×

图 6-4. 电压输出 INL 与数字输入代码间的关系

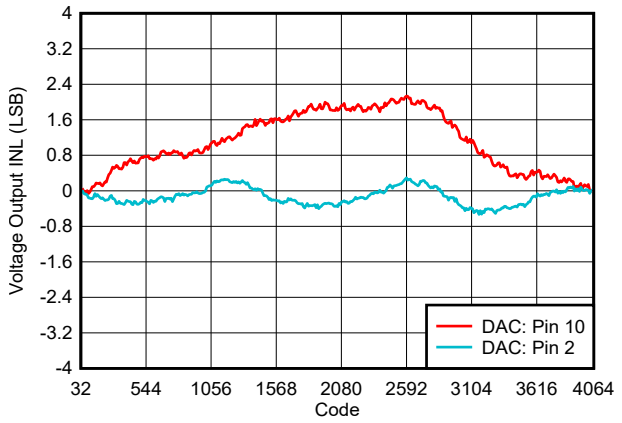



图 6-5. 电压输出 INL 与数字输入代码间的关系

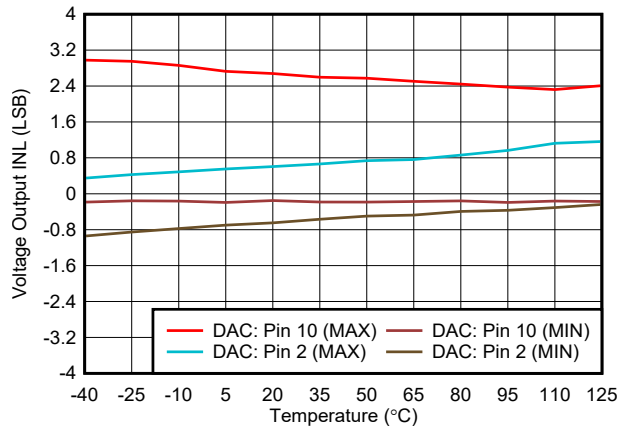



图 6-6. 电压输出 INL 与温度间的关系

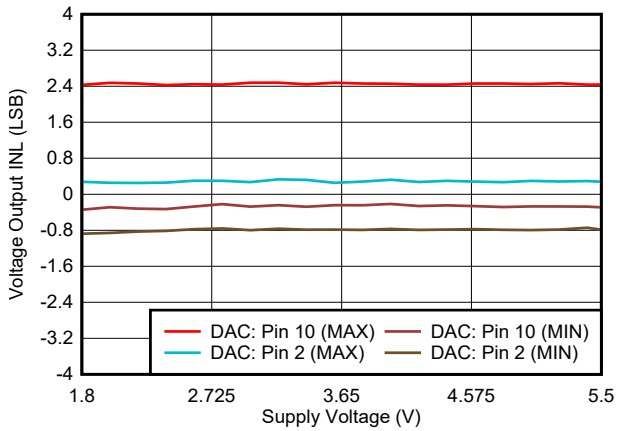
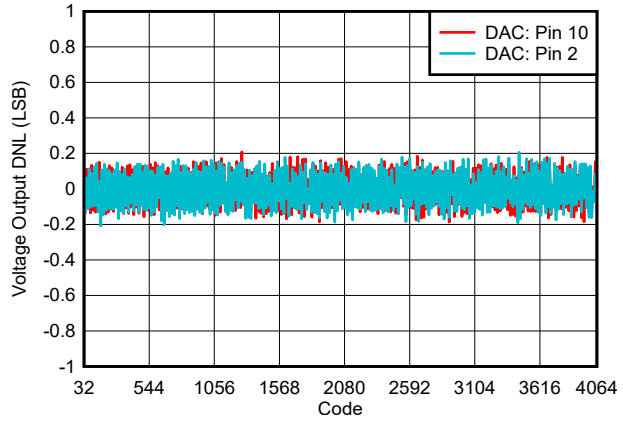



图 6-7. 电压输出 INL 与电源电压间的关系




内部基准，增益 = 4x

图 6-8. 电压输出 DNL 与数字输入代码间的关系

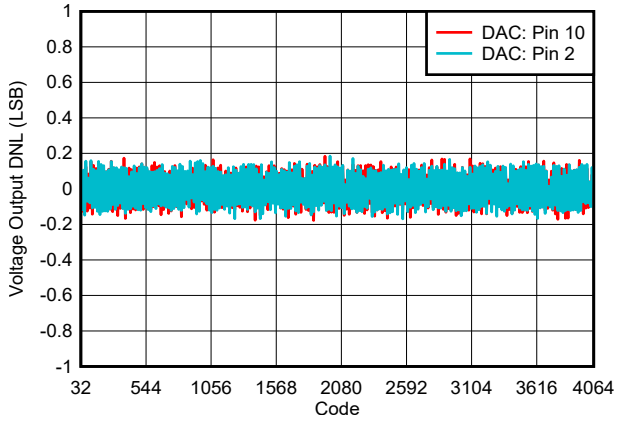



图 6-9. 电压输出 DNL 与数字输入代码间的关系


Copyright © 2023 Texas Instruments Incorporated

## 6.18 典型特性：电压输出 (continued)

$T_A$ = 25°C，$V_{DD}$ = 5.5V，外部基准 = 5.5V，增益 = 1 ×，12 位分辨率，且 DAC 输出为空载（除非另有说明）

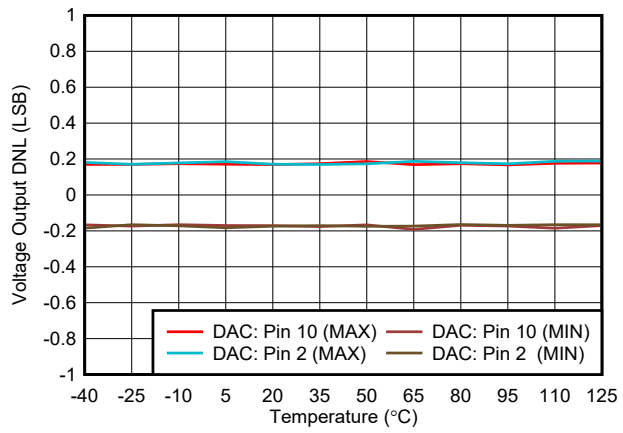



图 6-10. 电压输出 DNL 与温度间的关系

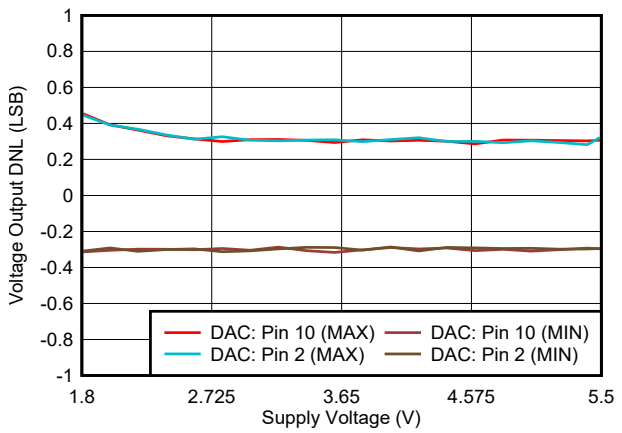
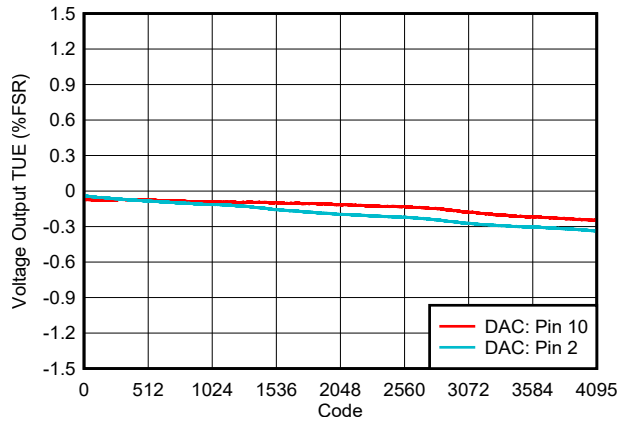



图 6-11. 电压输出 DNL 与电源电压间的关系




内部基准，增益 = 4 ×

图 6-12. 电压输出 TUE 与数字输入代码间的关系

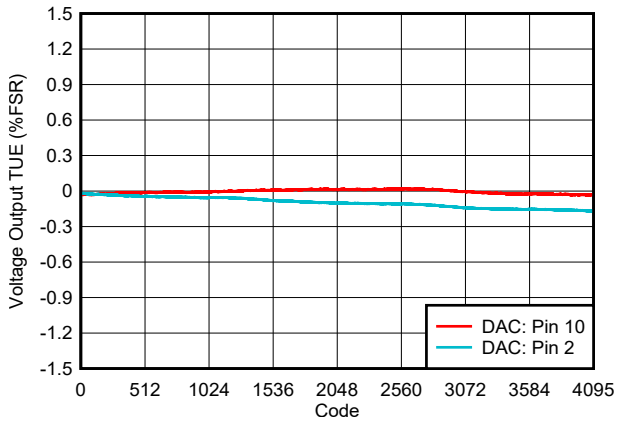
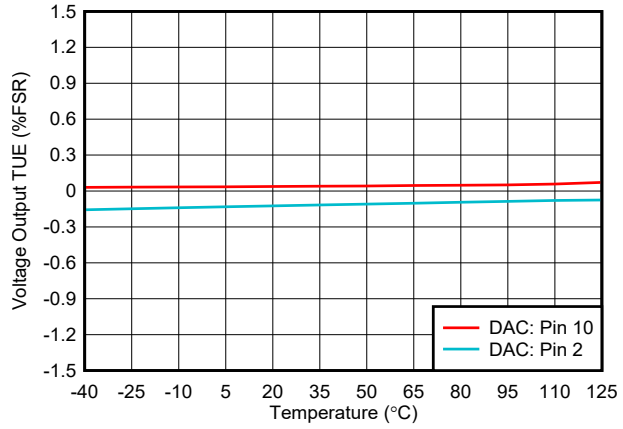
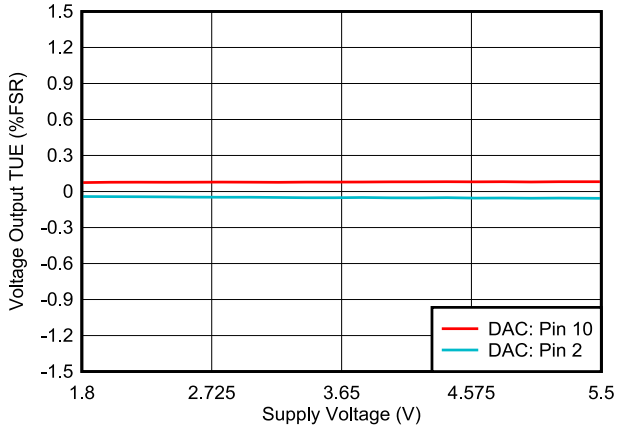



图 6-13. 电压输出 TUE 与数字输入代码间的关系




DAC 通道位于中标度

图 6-14. 电压输出 TUE 与温度间的关系




DAC 通道位于中标度

图 6-15. 电压输出 TUE 与电源电压间的关系

## 6.18 典型特性：电压输出 (continued)

$T_A$ = 25°C，$V_{DD}$ = 5.5V，外部基准 = 5.5V，增益 = 1 ×，12 位分辨率，且 DAC 输出为空载（除非另有说明）

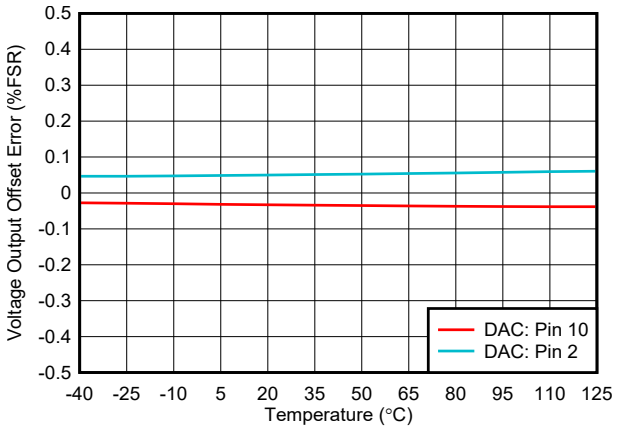



图 6-16. 电压输出偏移误差与温度间的关系

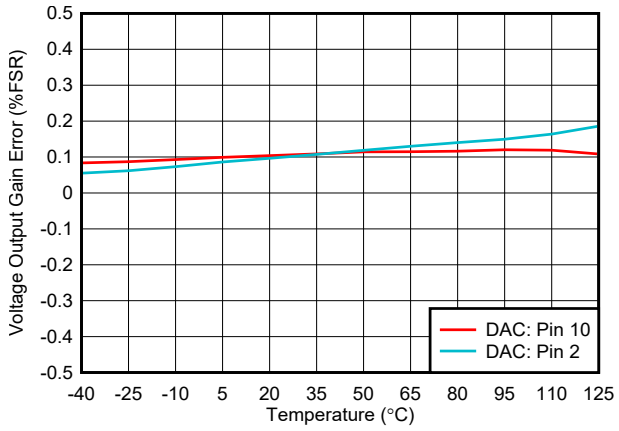
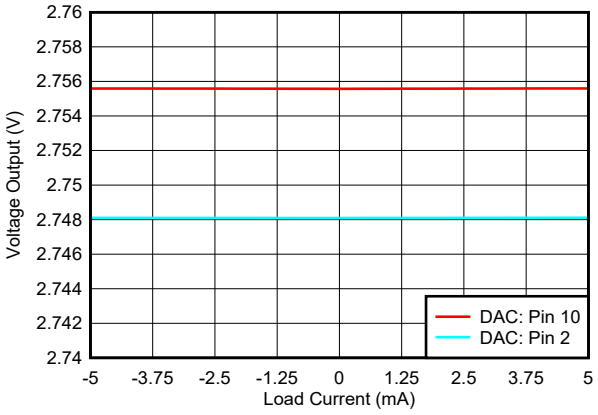



图 6-17. 电压输出增益误差与温度间的关系




DAC 通道位于中标度

图 6-18. 电压输出与负载电流间的关系

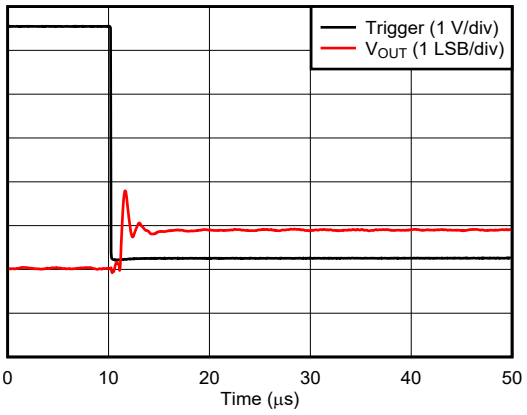



图 6-19. 电压输出代码对代码干扰 - 上升沿

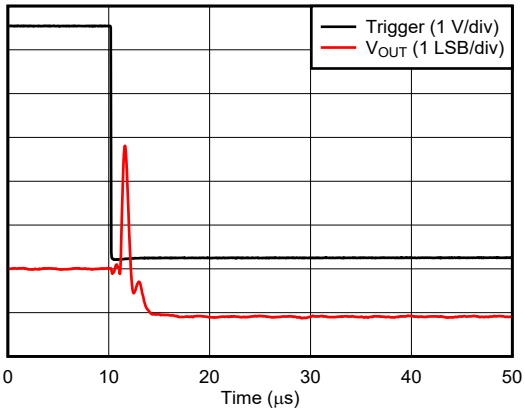
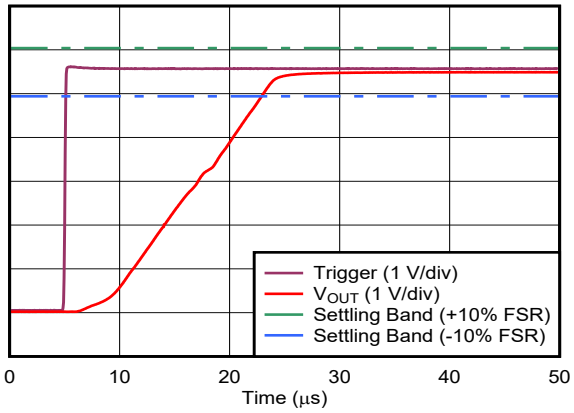



图 6-20. 电压输出代码对代码干扰 - 下降沿



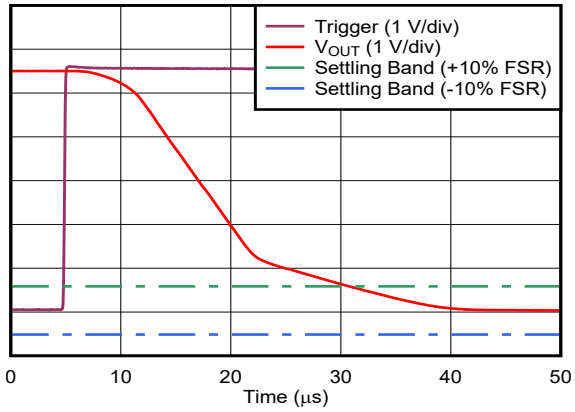

零标度到满程摆幅

图 6-21. 电压输出建立时间 - 上升沿


Copyright © 2023 Texas Instruments Incorporated

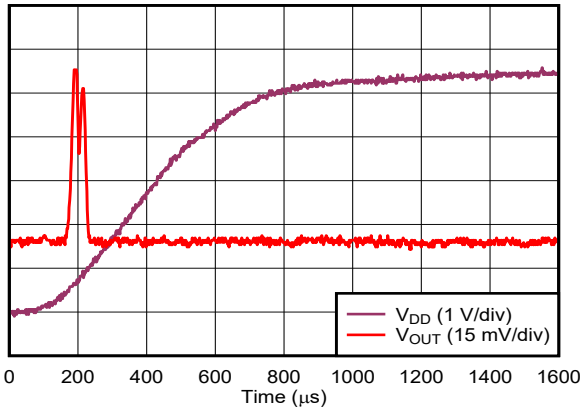
## 6.18 典型特性：电压输出 (continued)

$T_A$ = 25°C，$V_{DD}$ = 5.5V，外部基准 = 5.5V，增益 = 1 ×，12 位分辨率，且 DAC 输出为空载（除非另有说明）



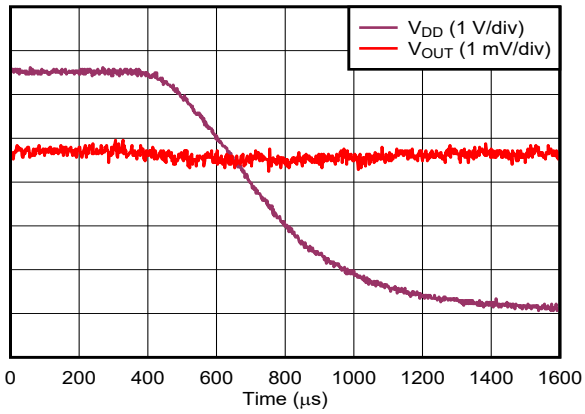

满量程到零标度摆幅

**图 6-22. 电压输出建立时间 - 下降沿**



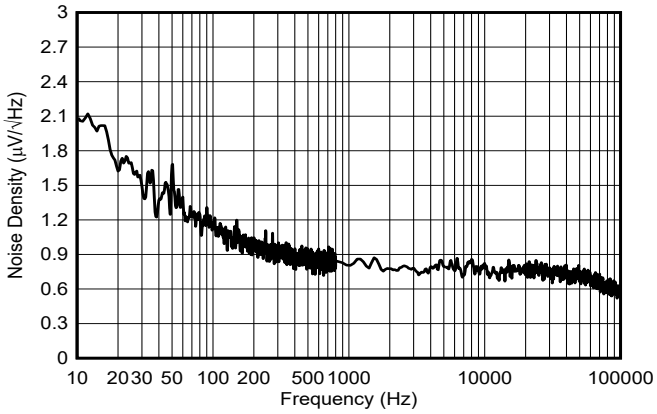

DAC 处于高阻态断电模式

**图 6-23. 电压输出加电干扰**




DAC 处于零标度

**图 6-24. 电压输出断电干扰**




内部基准，增益 = 4 ×

**图 6-25. 电压输出噪声密度**

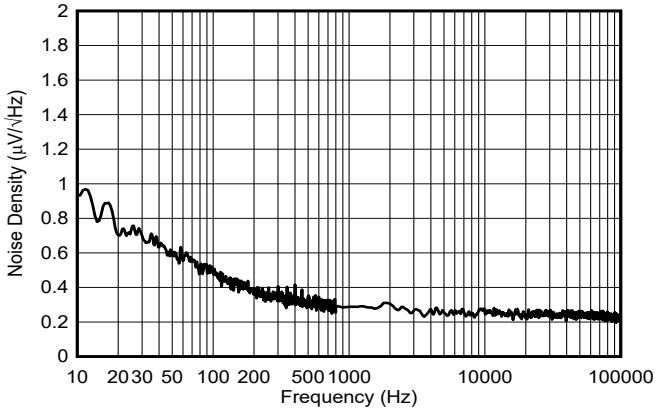
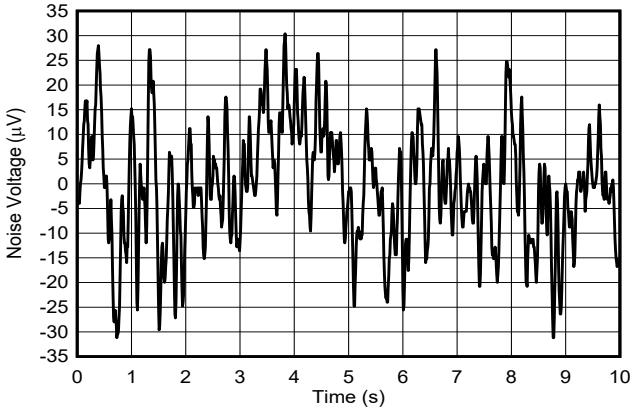



**图 6-26. 电压输出噪声密度**

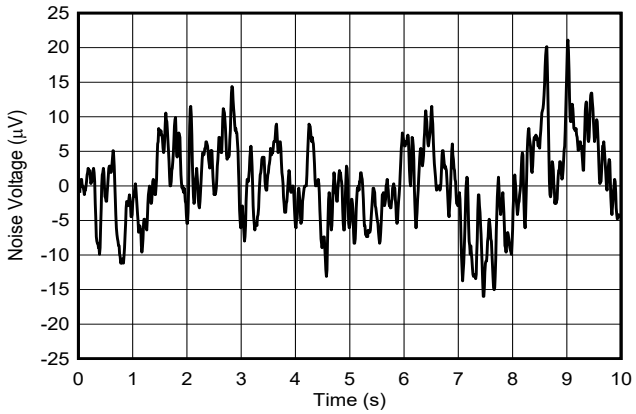



内部基准，增益 = 4 ×，f = 0.1Hz 至 10Hz

**图 6-27. 电压输出闪烁噪声**

## 6.18 典型特性：电压输出 (continued)

$T_A$ = 25°C，$V_{DD}$ = 5.5V，外部基准 = 5.5V，增益 = 1 ×，12 位分辨率，且 DAC 输出为空载（除非另有说明）




f = 0.1Hz 至 10Hz

**图 6-28. 电压输出闪烁噪声**

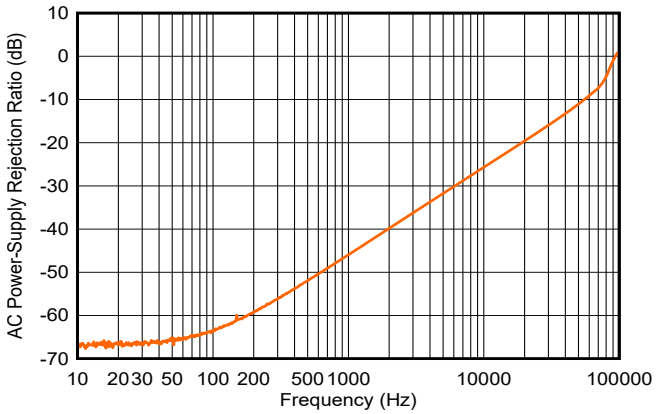



**图 6-29. 电压输出交流 PSRR 与频率间的关系**


Copyright © 2023 Texas Instruments Incorporated

## 6.19 典型特性：ADC

$T_A$ = 25°C，$V_{DD}$ = 5.5V，外部基准 = 5.5V，增益 = 1 ×，10 位分辨率，且高阻态输入（除非另有说明）

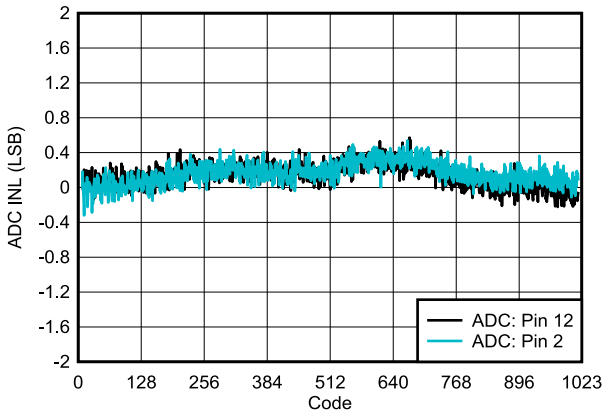



图 6-30. ADC INL 与数字输出代码间的关系

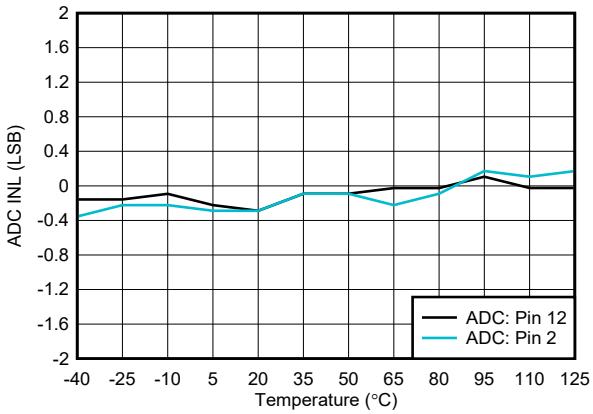



图 6-31. ADC INL 与温度间的关系

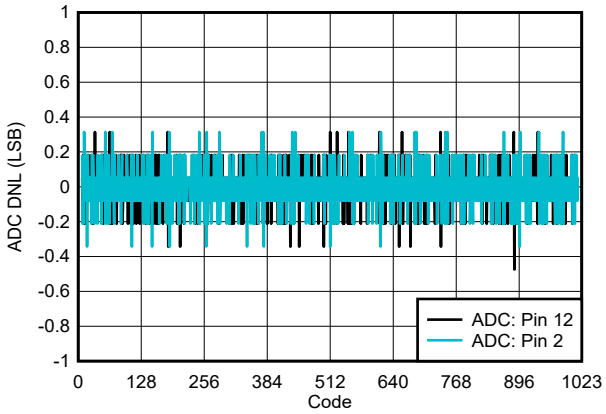



图 6-32. ADC DNL 与数字输出代码间的关系

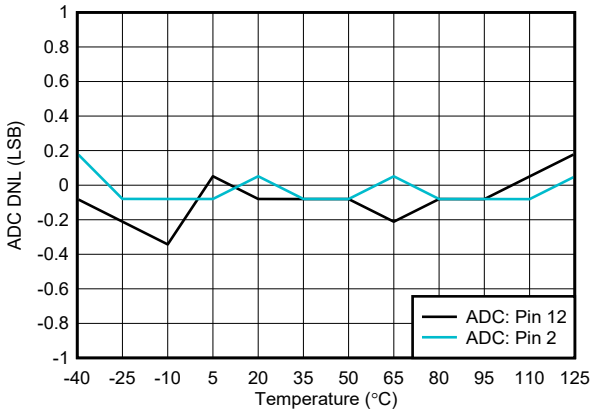



图 6-33. ADC DNL 与温度间的关系

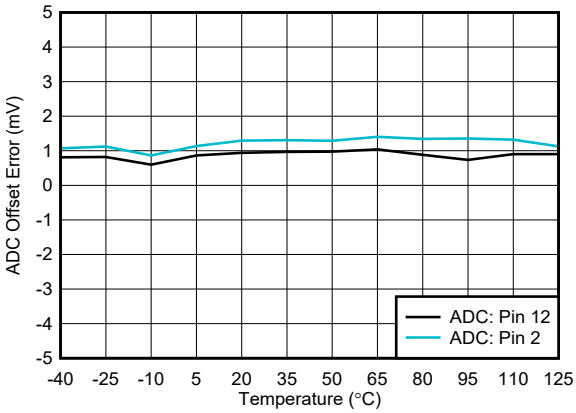



图 6-34. ADC 偏移误差与温度间的关系

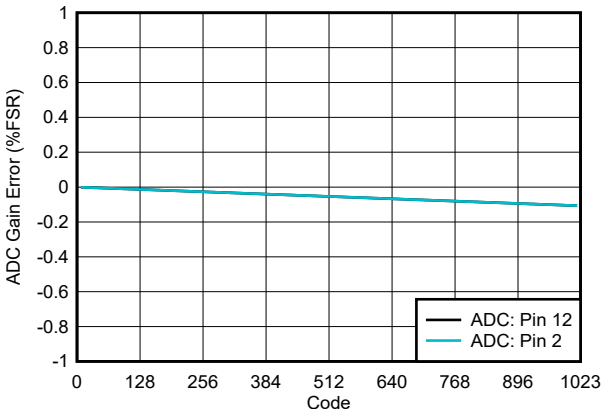



图 6-35. ADC 增益误差与数字输出代码间的关系

## 6.19 典型特性：ADC (continued)

$T_A$ = 25°C，$V_{DD}$ = 5.5V，外部基准 = 5.5V，增益 = 1 ×，10 位分辨率，且高阻态输入（除非另有说明）

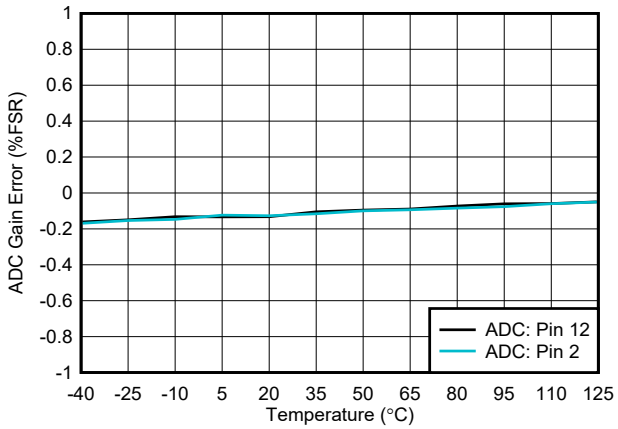



**图 6-36. ADC 增益误差与温度间的关系**


Copyright © 2023 Texas Instruments Incorporated

## 6.20 典型特性：比较器

$T_A$ = 25°C，$V_{DD}$ = 5.5V，外部基准 = 5.5V，增益 = 1 ×，12 位分辨率，AINx 引脚处于高阻态模式，且 DAC 输出为空载（除非另有说明）

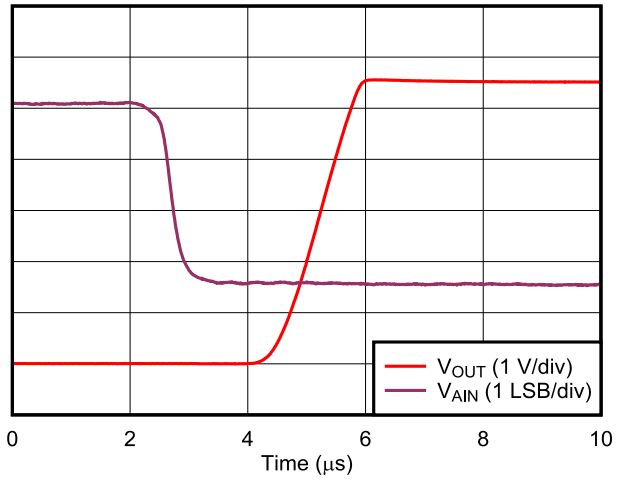



图 6-37. 比较器响应时间：低电平到高电平转换

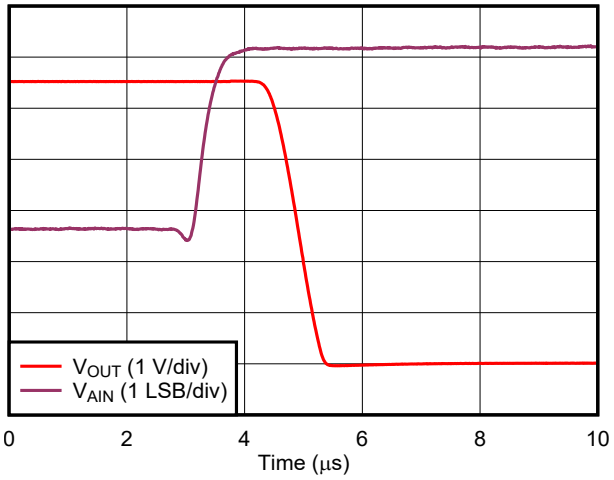



图 6-38. 比较器响应时间：高电平到低电平转换

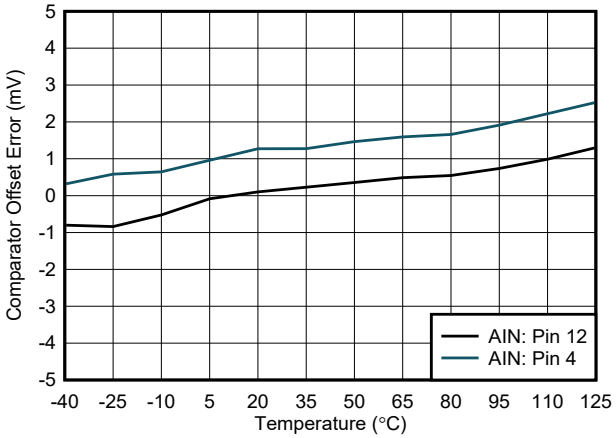
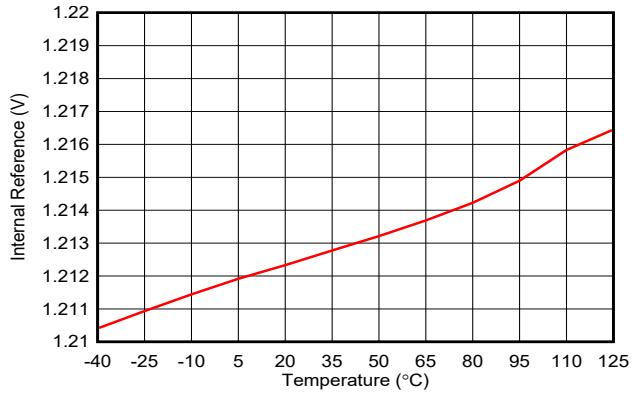



图 6-39. 比较器偏移误差与温度间的关系

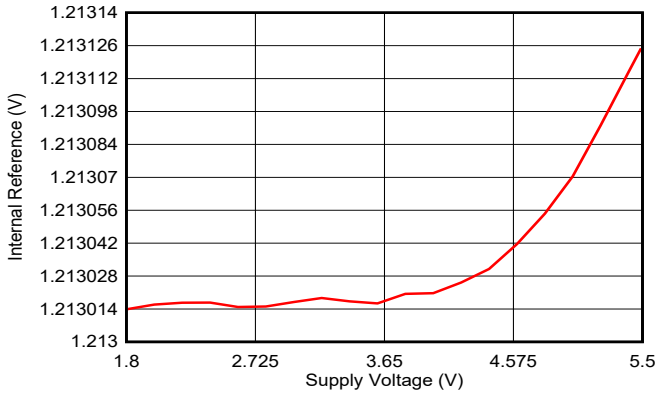
## 6.21 典型特性：通用

$T_A$ = 25°C，$V_{DD}$ = 5.5V，且 DAC 输出为空载（除非另有说明）



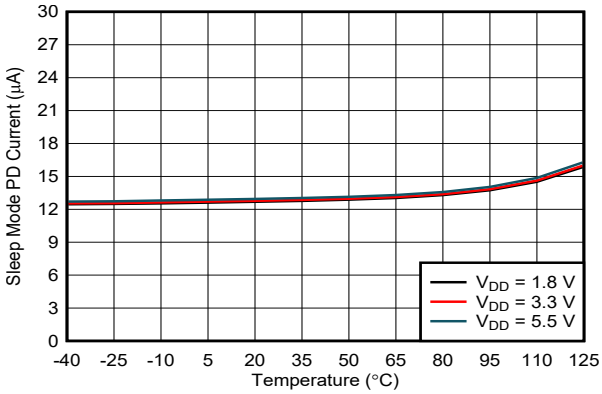

内部基准

**图 6-40. 内部基准与温度间的关系**




内部基准

**图 6-41. 内部基准与电源电压间的关系**




睡眠模式，内部基准禁用

**图 6-42. 断电电流与温度间的关系**

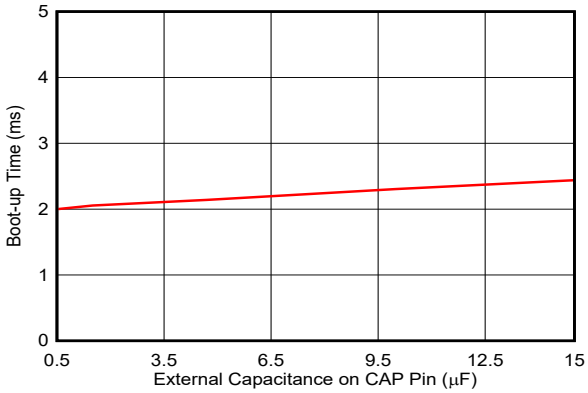



**图 6-43. 启动时间与 CAP 引脚上电容间的关系**


Copyright © 2023 Texas Instruments Incorporated

# 7 详细说明

## 7.1 概述

8 位 AFE439A2、10 位 AFE539A4 和 12 位 AFE639D2 器件 (AFE39xx) 是使用电压或 PWM 输出进行热电冷却 (TEC) 控制的智能模拟前端 (AFE)。这些器件支持用于故障管理的可编程比较器输入。表 7-1 提供了这些器件支持的主要功能。

**表 7-1. 功能列表**

| 器件 | ADC | DAC | PWM | 比较器 | I²C 控制器 | PI 控制 |
|---|---|---|---|---|---|---|
| AFE439A2 | 8 位 | 否 | 7 位 | 8 位 | 否 | 是 |
| AFE539A4 | 10 位 | 10 位 | 否 | 10 位 | 否 | 是 |
| AFE639D2 | 外部 ADC 的接口 | 12 位 | 否 | 12 位 | 是 | 是 |

AFE39xx 提供一个预编程的状态机，充当比例积分 (PI) 控制器。此类器件包含非易失性存储器 (NVM) 和一个内部基准，并自动检测 I²C 和 SPI。AFE39xx 具有上电复位 (POR) 电路，可确保所有寄存器以默认设置或使用 NVM 的用户编程设置启动。AFE39xx 采用内部基准、外部基准或电源作为基准运行。

AFE39xx 支持 I²C 标准模式 (100Kbps)、快速模式 (400Kbps) 和快速+ 模式 (1Mbps)。I²C 接口可使用 A0 引脚配置四个器件地址。SPI 模式默认支持三线制接口，具有高达 25MHz 的 SCLK 输入。NC/SDO 输入可在 NVM 中配置为 SDO 以实现 SPI 读取功能。AFE39xx 专为闭环控制应用（例如 TEC 控制、汽车座椅加热控制、医疗体外诊断设备、血液气体分析仪和热循环仪）而设计。

AFE639D2 包含一个 I²C 控制器接口，用于连接外部数字温度传感器。使用 VREF/MODE 引脚可以在目标模式和控制器模式之间进行选择。

## 7.2 功能方框图

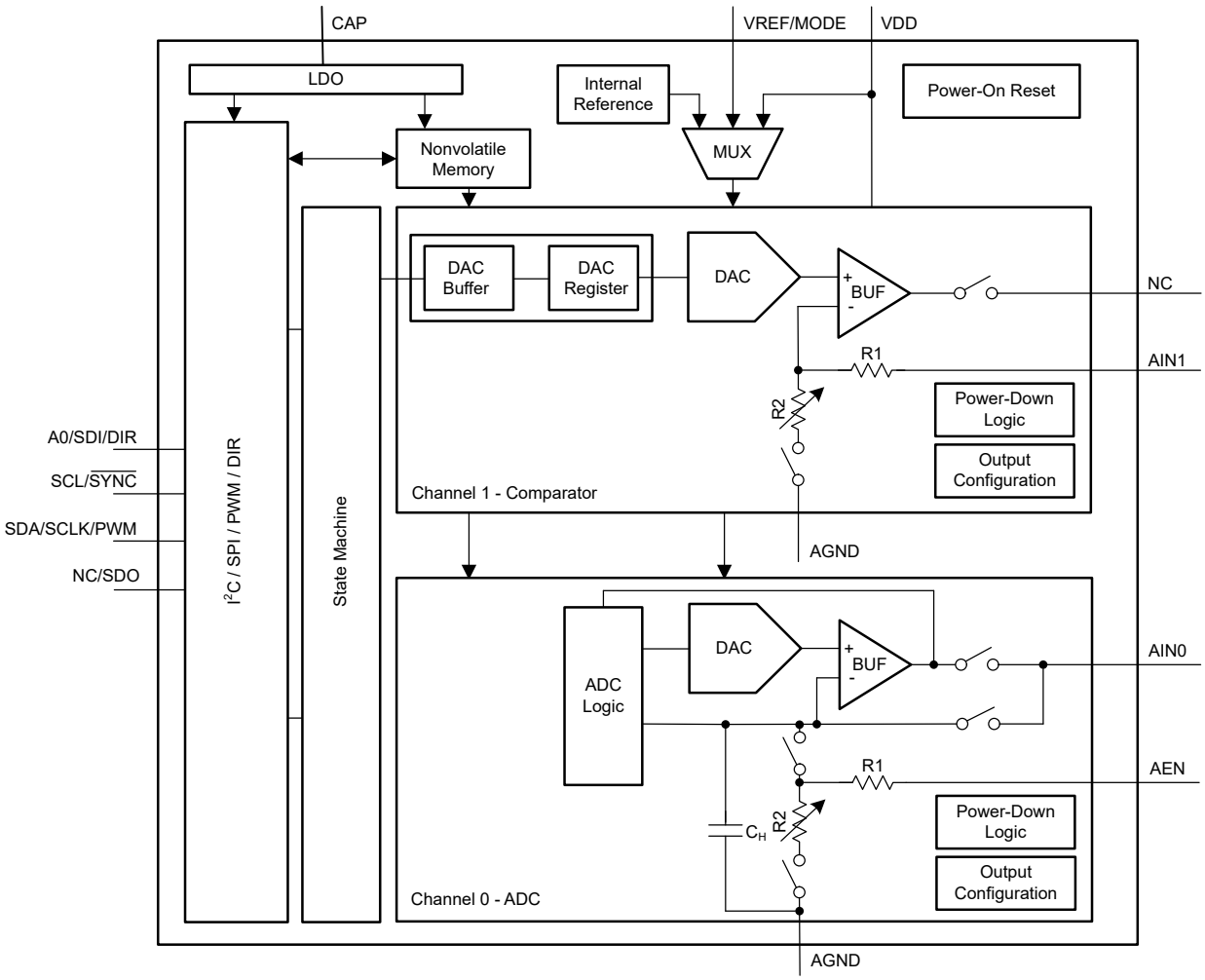



图 7-1. 功能方框图：AFE439A2


Copyright © 2023 Texas Instruments Incorporated

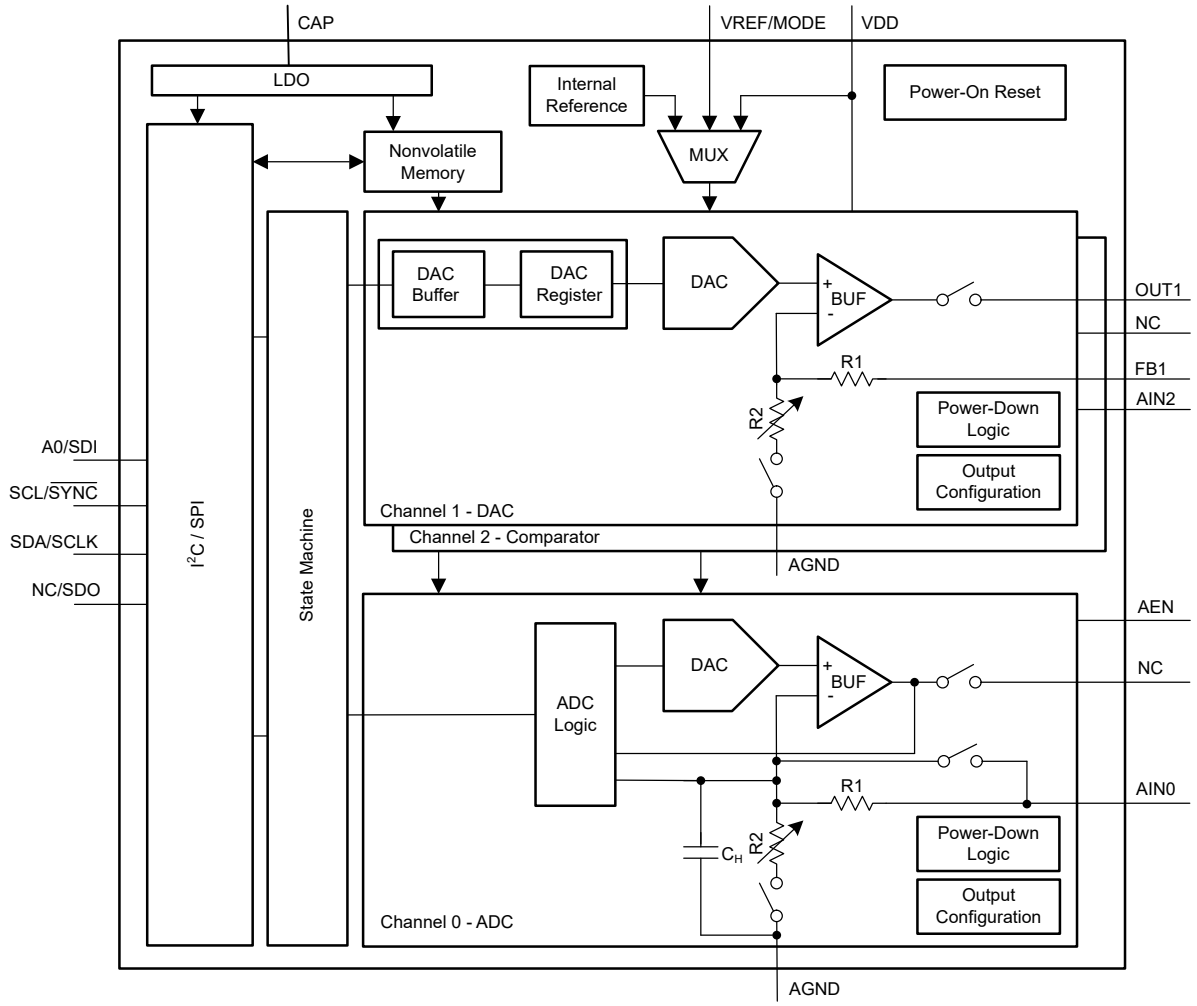



图 7-2. 功能方框图：AFE539A4

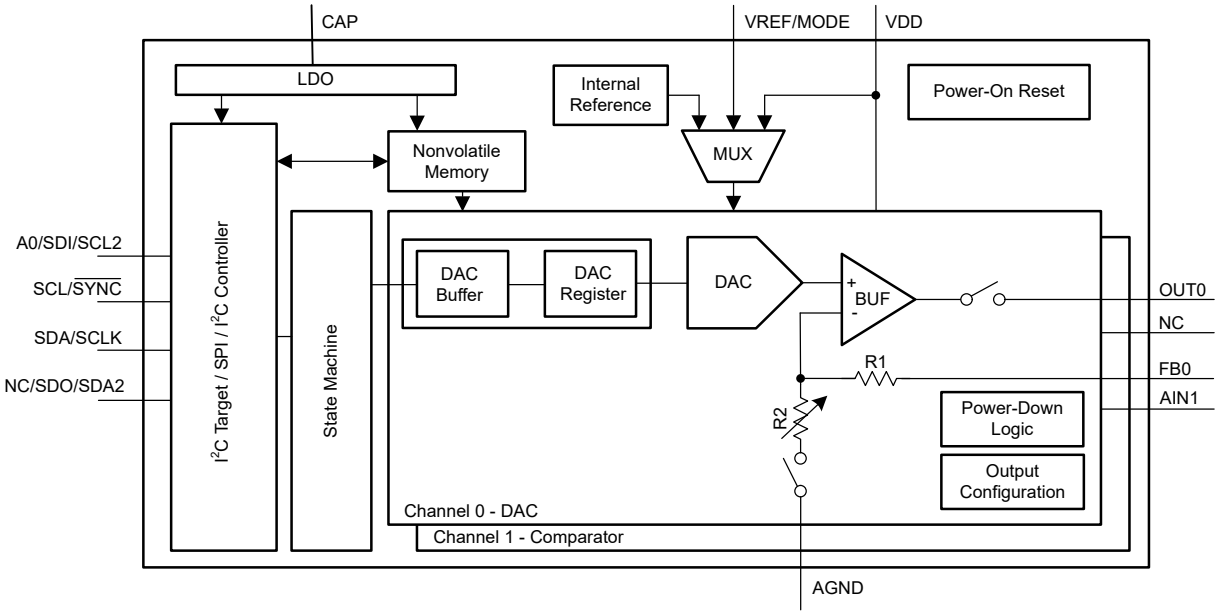



图 7-3. 功能方框图：AFE639D2

## 7.3 特性说明

### 7.3.1 智能模拟前端 (AFE) 架构

AFE639D2 由采用串式架构的 12 位数模转换器 (DAC) 和后接的电压输出放大器组成。同样，AFE539A4 由 10 位 DAC 组成。图 7-3 和图 7-2 展示了方框图中的 DAC 架构，采用 1.8V 至 5.5V 电源运行。

AFE439A2 支持 SDA/SCLK/PWM 引脚上的 7 位占空比脉宽调制 (PWM) 输出。将 VREF/MODE 引脚拉至高电平即可启用 PWM 功能。AFE439A2 还支持 DIR 输出，以提供对 TEC 元件的双向控制。

AFE39xx 的内部电压基准为 1.21V。有一个选项可以选择 VREF/MODE 引脚上的外部基准或以电源作为基准。这些器件使用这三个基准选项之一。

AFE39xx 支持用于故障管理的独立可编程比较器。该架构支持使用寄存器设置来反转比较器输出。比较器输出可以是推挽式或开漏式。器件可在内部访问比较器输出，以在发生故障时强制 PI 控制器输出达到预定义值。

AFE439A2 和 AFE539A4 有一个 ADC 可用于检测 PI 控制器的输入。AFE639D2 提供了一个 $I^2C$ 控制器接口来连接外部数字温度传感器。

AFE39xx 具有一个支持算术、逻辑和时序操作的可编程状态机，如图 7-4 所示。该状态机已预先编程为比例积分 (PI) 控制器，允许用户对系数和输入/输出参数进行编程。节 7.4.6 中详细讨论了 PI 控制器。用户配置存储在 NVM 中，状态机可以在独立模式下运行，无需连接到处理器（*无处理器* 运行模式）

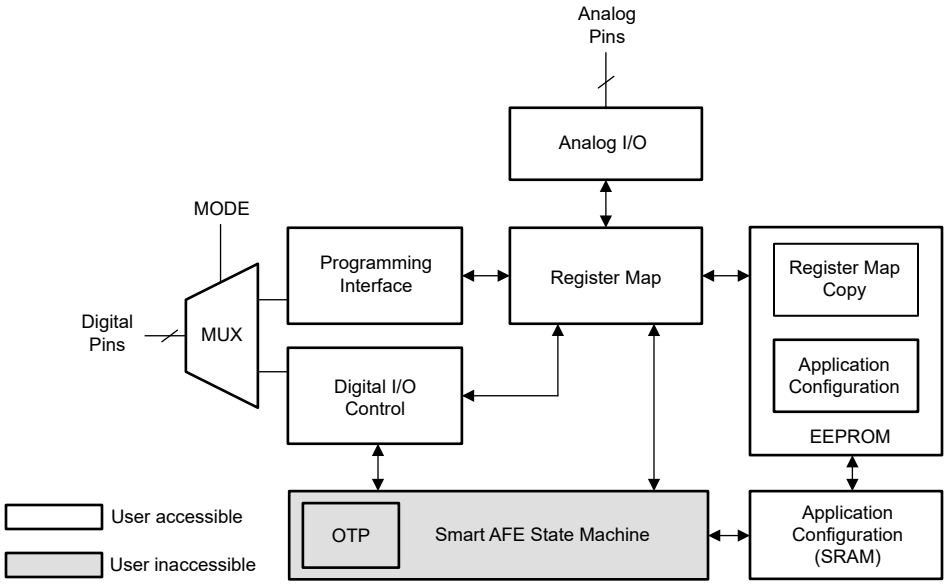



图 7-4. 智能 AFE 架构


Copyright © 2023 Texas Instruments Incorporated

### 7.3.2 编程接口

AFE39xx 有四个数字 IO 引脚，当 VREF/MODE 引脚保持低电平时，包括 $I^2C$ 和 SPI。这些器件会在上电后首次成功通信时自动检测 $I^2C$ 和 SPI 协议，然后连接到检测到的接口。连接接口协议后，协议中的任何更改都将被忽略。$I^2C$ 接口使用 A0 引脚从四个地址选项中进行选择。SPI 默认为三线制接口。三线制 SPI 模式下没有回读功能。NC/SDO 引脚可以在寄存器映射中配置为 SDO 功能，然后编程到 NVM 中。当 NC/SDO 引脚充当 SDO 时，SPI 用作四线制接口。SPI 回读模式比写入模式慢。编程接口引脚为：

- 对于 $I^2C$：SCL、SDA、A0
- 对于 SPI：SCLK、SDI、$\overline{SYNC}$、NC/SDO

当用作输出时，所有数字引脚都是开漏。因此，必须使用外部寄存器将所有输出引脚上拉至所需的 IO 电压。

### 7.3.3 非易失性存储器 (NVM)

AFE39xx 包含非易失性存储器 (NVM) 位。这些存储器位是用户可编程和可擦除的，并且会断电的情况下保留设定的值。通过在 COMMON-TRIGGER 寄存器中设置 NVM-PROG = 1（该位会自动复位），可以将所有寄存器位（在表 7-23 突出显示的灰色单元格中）都存储在 NVM 中。当正在进行 NVM 写入或重新加载操作时，器件会将 GENERAL-STATUS 寄存器中的 NVM-BUSY 位设置为 1。在此期间，器件会阻止针对器件的所有读写操作。写入或重新加载操作完成后，NVM-BUSY 位设置为 0；此时，允许对器件进行所有读写操作。一旦发生 POR 事件，AFE39xx 中所有寄存器的默认值都将立即从 NVM 加载。

AFE39xx 还利用 COMMON-TRIGGER 寄存器中的 NVM-RELOAD 位，以 NVM 中存储的当前值重新加载寄存器。将该位设置为 1 可以让器件启动 NVM 重新加载操作。完成后，器件会自动将该位复位为 0。在 NVM-RELOAD 操作期间，NVM-BUSY 位设置为 1。

#### *7.3.3.1 NVM 循环冗余校验 (CRC)*

为确保存储在 NVM 中的数据不被损坏，AFE39xx 为 NVM 采用循环冗余校验 (CRC) 功能。AFE39xx 中实现了两种类型的 CRC 报警位：

- NVM-CRC-FAIL-USER
- NVM-CRC-FAIL-INT

NVM-CRC-FAIL-USER 位指示用户可编程的 NVM 位的状态，NVM-CRC-FAIL-INT 位指示内部 NVM 位的状态。CRC 功能的实现方式是在每次执行 NVM 编程操作（写入或重新加载）时以及器件启动期间，将一个 16 位 CRC (CRC-16-CCITT) 与 NVM 数据一起存储。器件会读取 NVM 数据并使用存储的 CRC 来验证数据。CRC 报警位（GENERAL-STATUS 寄存器中的 NVM-CRC-FAIL-USER 和 NVM-CRC-FAIL-INT）报告从器件 NVM 读取数据后的任何错误。报警位仅在启动时设置。

##### 7.3.3.1.1 NVM-CRC-FAIL-USER 位

NVM-CRC-FAIL-USER 位为逻辑 1 表示用户可编程的 NVM 上数据已损坏。在这种情况下，器件中的所有寄存器都会使用出厂复位值进行初始化，并且任何寄存器都可以写入或读取。要将报警位复位为 0，需发出软件复位命令（请参阅*外部复位*）或对器件执行下电上电。软件复位或执行下电上电也会重新加载用户可编程的 NVM 位。如果故障仍然存在，需重新对 NVM 进行编程。

##### 7.3.3.1.2 NVM-CRC-FAIL-INT 位

NVM-CRC-FAIL-INT 位为逻辑 1 表示内部 NVM 数据已损坏。在这种情况下，器件中的所有寄存器都会使用出厂复位值进行初始化，并且任何寄存器都可以写入或读取。在发生临时故障时，要将报警位复位为 0，需发出软件复位（请参阅*外部复位*）命令或对器件执行下电上电。NVM 中的永久故障会导致器件无法使用。

### 7.3.4 上电复位 (POR)

AFE39xx 系列器件包含上电复位 (POR) 功能，可在加电时控制输出电压。在建立 $V_{DD}$ 电源后，便会发出 POR 事件。POR 使所有寄存器初始化为默认值，只有在 POR（启动）延迟之后，与该器件的通信才有效。一旦发生 POR 事件，AFE39xx 中所有寄存器的默认值都将立即从 NVM 加载。

该器件加电时，POR 电路将器件设置为默认模式。POR 电路需要特定的 $V_{DD}$ 电平（如图 7-5 所示）才能确保内部电容器在加电时放电并使器件复位。为了确保发生 POR，$V_{DD}$ 小于 0.7V 的时间必须至少为 1ms。当 $V_{DD}$ 降至低于 1.65V 但仍高于 0.7V（显示为未定义区域）时，该器件在所有指定的温度和电源条件下可能会也可能不会复位。在这种情况下，需启动 POR。当 $V_{DD}$ 保持为大于 1.65V 时，不会发生 POR。

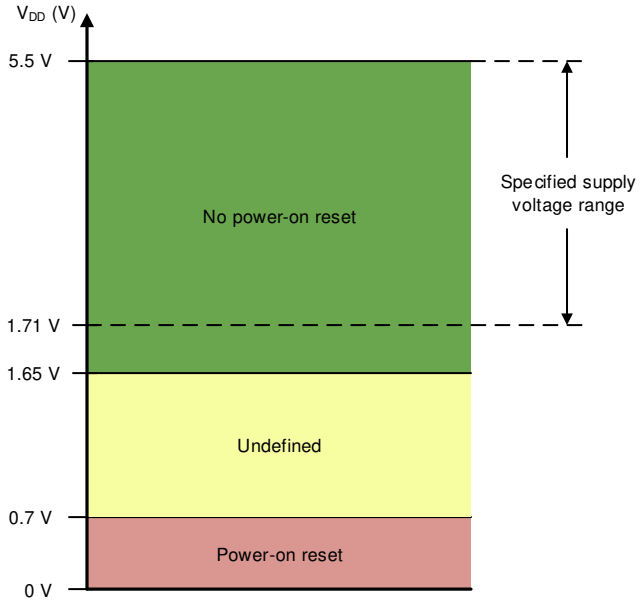



**图 7-5. $V_{DD}$ POR 电路的阈值电平**

### 7.3.5 外部复位

可以通过寄存器映射来触发器件的外部复位。要启动器件软件复位事件，应将保留代码 1010b 写入 COMMON-TRIGGER 寄存器的 RESET 字段。软件复位启动 POR 事件。

### 7.3.6 寄存器映射锁定

AFE39xx 实现了寄存器映射锁定功能，可防止意外或无意中写入 DAC 寄存器。当 COMMON-CONFIG 寄存器中的 DEV-LOCK 位设置为 1 时，器件会锁定所有寄存器。但是，使用 $I^2C$ 接口时，通过 COMMON-TRIGGER 寄存器的软件复位功能不会被阻止。要绕过 DEV-LOCK 设置，需将 0101b 写入 COMMON-TRIGGER 寄存器中的 DEV-UNLOCK 位。


Copyright © 2023 Texas Instruments Incorporated

## 7.4 器件功能模式

### 7.4.1 电压输出模式

通过选择 COMMON-CONFIG 寄存器的 VOUT-PDN-x 字段中的上电选项，可以进入 DAC 通道的电压输出模式。将相应通道的 OUTx 和 FBx 引脚从外部短接可以实现闭环放大器输出。FBx 引脚开路会使放大器输出饱和。要实现所需的电压输出，应选择正确的基准选项，并为相应通道选择所需输出范围的放大器增益。

### 7.4.2 电压基准和 DAC 传递函数

AFE39xx 可以支持以下三种电压基准选项：内部基准、外部基准，以及以电源作为基准，如图 7-6 所示。电压输入/输出模式和比较器模式下的 DAC 和 ADC 传递函数会根据电压基准的选择而变化。

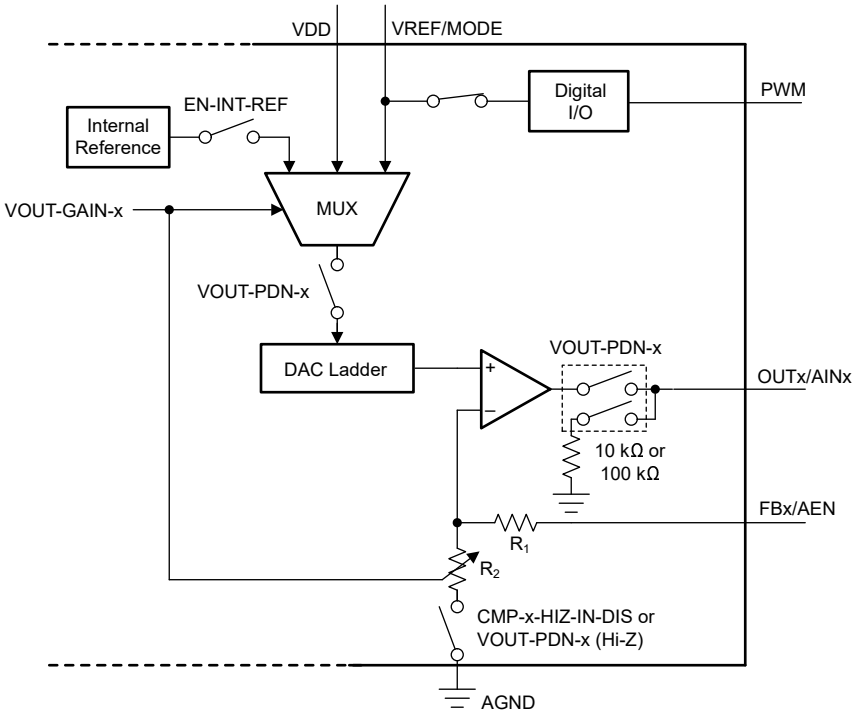



图 7-6. 电压基准选择与断电逻辑

#### *7.4.2.1 电源作为基准*

默认情况下，AFE39xx 采用电源引脚 (VDD) 作为基准运行。方程式 1 展示了电源引脚用作基准时的 DAC 传递函数。输出级的增益始终为 1 ×。

$$V_{OUT} = \frac{DAC_DATA)}{2^N} \times V_{DD} \quad (1)$$

其中：

- N 是以位为单位的分辨率，AFE439A2 为 8 位，AFE539A4 为 10 位，AFE639D2 为 12 位。
- DAC_DATA 是加载到 DAC 寄存器的二进制代码的十进制等效值。
- DAC_DATA 范围为 0 至 $2^N$ – 1。
- $V_{DD}$ 用作 DAC 基准电压。

#### *7.4.2.2 内部基准*

AFE39xx 包含默认禁用的内部基准。要启用内部基准，需将 1 写入 COMMON-CONFIG 寄存器中的位 EN-INT-REF。内部基准生成固定的 1.21V 电压（典型值）。使用 DAC-x-VOUT-CMP-CONFIG 寄存器中的 VOUT-GAIN-x 字段可实现 DAC 输出电压 ($V_{OUT}$) 的 1.5 ×、2 ×、3 × 或 4 × 增益。方程式 2 展示了使用内部基准的 DAC 传递函数。

$$V_{OUT} = \frac{DAC_DATA)}{2^N} \times V_{REF} \times GAIN \tag{2}$$

其中：

- N 是以位为单位的分辨率，AFE439A2 为 8 位，AFE539A4 为 10 位，AFE639D2 为 12 位。
- DAC_DATA 是加载到 DAC 寄存器的二进制代码的十进制等效值。
- DAC_DATA 范围为 0 至 $2^N$ – 1。
- $V_{REF}$ 是内部基准电压，值为 1.21V。
- GAIN = 1.5 ×、2 ×、3 × 或 4 ×，根据 VOUT-GAIN-x 位而定。

#### *7.4.2.3 外部基准*

AFE39xx 提供外部基准输入。通过适当配置 DAC-x-VOUT-CMP-CONFIG 寄存器中的 VOUT-GAIN-x 字段，选择外部基准选项。外部基准电压可介于 1.8 V 和 VDD 之间。方程式 3 展示了使用外部基准时的 DAC 传递函数。

**备注**

在瞬态和稳态条件下，外部基准都必须小于 VDD。因此，外部基准必须在 VDD 之后斜升，在 VDD 之前斜降。

$$V_{OUT} = \frac{DAC_DATA)}{2^N} \times V_{REF} \tag{3}$$

其中：

- N 是以位为单位的分辨率，AFE439A2 为 8 位，AFE539A4 为 10 位，AFE639D2 为 12 位。
- DAC_DATA 是加载到 DAC 寄存器的二进制代码的十进制等效值。
- DAC_DATA 范围为 0 至 $2^N$ – 1。
- $V_{REF}$ 为外部基准电压。


Copyright © 2023 Texas Instruments Incorporated

### 7.4.3 比较器模式

通过使输出放大器开环，将 DAC 通道配置为可编程比较器。要进入某个通道的比较器模式，需向相应 DAC-x-VOUT-CMP-CONFIG 寄存器的 CMP-x-EN 位中写入 1。可使用 CMP-X-OD-EN 位将比较器输出配置为推挽或开漏输出。要反转比较器输出，需向 CMP-x-INV-EN 位写入 1。AINx 引脚具有有限阻抗。默认情况下，AINx 引脚处于高阻抗模式。要禁用 AINx 引脚上的高阻抗，需向 CMP-x-HIZ-IN-DIS 位写入 1。

**备注**

表 7-2 提供了比较器输入范围限制。任何较高的输入电压都会被削波。

### 7.4.4 模数转换器 (ADC) 模式

AFE439A2 和 AFE539A4 支持集成式 ADC。ADC 由这些器件中的状态机控制。方程式 4 中提供了 ADC 的传递函数。

$$\text{ADC_DATA} = \left(\text{INTEGER}\right)\left(\frac{V_{IN}}{V_{FS}}\right) \times 2^{N} \tag{4}$$

其中

- ADC_DATA 是状态机可用的 ADC 输出，并且限制为 ($2^N$–1)。
- $V_{IN}$ 是 AINx 引脚上的输入电压。
- α 是 ADC 输入处的衰减系数。
- $V_{FS}$ 是表 7-2 中提供的满量程输入电压。
- N 是 ADC 位数，即 AFE439A2 为 8 位，AFE539A4 为 10 位。
- (INTEGER) 表示整数除法。

**表 7-2. 满量程模拟输入 ($V_{FS}$)**

| 基准 (VREF) | 增益 | $V_{FS}$（高阻态输入模式） | $V_{FS}$（有限阻抗输入模式） |
|---|---|---|---|
| 电源 | 1 × | VDD / 3 | VDD |
| 外部 | 1 × | VREF / 3 | VREF |
| 内部 | 1.5 × | (VREF × GAIN) / 3 | VREF × GAIN |
| | 2 × | (VREF × GAIN) / 3 | VREF × GAIN |
| | 3 × | (VREF × GAIN) / 6 | (VREF × GAIN) / 2 |
| | 4 × | (VREF × GAIN) / 6 | (VREF × GAIN) / 2 |

### 7.4.5 脉宽调制 (PWM)

AFE439A2 在 SDA/SCLK/PWM 引脚上提供 7 位占空比 PWM 输出。将 VREF/MODE 引脚拉至高电平即可启用 PWM 功能。表 7-3 列出了所有可能的 PWM 频率配置。

**表 7-3. PWM 频率配置**

| SRAM 寄存器 | PWM-FREQUENCY | PWM 频率 (kHz) | 代码 1 的占空比 (%) | 代码 126 的占空比 (%) |
|---|---|---|---|---|
| PWM-FREQUENCY (0x21[4:0])(1) | 0 | 无效 | 不适用 | 不适用 |
| | 1 | 48.828 | 4.88 | 95.12 |
| | 2 | 24.414 | 2.44 | 97.56 |
| | 3 | 16.276 | 1.63 | 98.37 |
| | 4 | 12.207 | 1.22 | 98.44 |
| | 5 | 8.138 | 0.81 | 98.44 |
| | 6 | 6.104 | 0.78 | 98.44 |
| | 7 | 3.052 | 0.78 | 98.44 |
| | 8 | 2.035 | 0.78 | 98.44 |
| | 9 | 1.526 | 0.78 | 98.44 |
| | 10 | 1.221 | 0.78 | 98.44 |
| | 11 | 1.017 | 0.78 | 98.44 |
| | 12 | 0.872 | 0.78 | 98.44 |
| | 13 | 0.763 | 0.78 | 98.44 |
| | 14 | 0.678 | 0.78 | 98.44 |
| | 15 | 0.610 | 0.78 | 98.44 |
| | 16 | 0.555 | 0.78 | 98.44 |
| | 17 | 0.509 | 0.78 | 98.44 |
| | 18 | 0.470 | 0.78 | 98.44 |
| | 19 | 0.436 | 0.78 | 98.44 |
| | 20 | 0.407 | 0.78 | 98.44 |
| | 21 | 0.381 | 0.78 | 98.44 |
| | 22 | 0.359 | 0.78 | 98.44 |
| | 23 | 0.339 | 0.78 | 98.44 |
| | 24 | 0.321 | 0.78 | 98.44 |
| | 25 | 0.305 | 0.78 | 98.44 |
| | 26 | 0.291 | 0.78 | 98.44 |
| | 27 | 0.277 | 0.78 | 98.44 |
| | 28 | 0.265 | 0.78 | 98.44 |
| | 29 | 0.254 | 0.78 | 98.44 |
| | 30 | 0.244 | 0.78 | 98.44 |
| | 31 | 0.218 | 0.78 | 98.44 |

(1) PWM-FREQUENCY 与 MIN-OUTPUT (0x21[15:9]) 共享 SRAM 位置。因此，这两个参数必须一起写入。

PWM 的占空比与 7 位代码（0d 至 126d）成正比。如表 7-4 所示，代码 127d 对应于 100% 占空比。跳过占空比 99.22% (127d/128d) 可以使用 7 位代码实现 100% 占空比。PWM 占空比设置由状态机完成，不会向用户公开。

**表 7-4. PWM 占空比设置**

| 代码 | DUTY-CYCLE | 说明 |
|---|---|---|
| 0 | 0% | 始终为 0 |
| 1 | 0.78% | 最小线性占空比 |
| x | (x/128)% | *x* 是 2d 和 125d 之间的代码（含 2d 和 125d）。 |
| 126 | 98.44% | 最大线性占空比 |
| 127 | 100% | 总是 1。跳过占空比 99.22% (127d/128d)。 |


Copyright © 2023 Texas Instruments Incorporated

### 7.4.6 比例积分 (PI) 控制

#### *7.4.6.1 AFE439A2 PI 控制*

AFE439A2 提供预编程的 PI 控制器状态机，如图 7-7 所示。ADC 通道 0 用作输入，SDA/SCLK/PWM 引脚用作输出。DAC 通道 1 用作比较器，用于将 PWM 的输出设置为 FIXED-OUTPUT 字段指定的值。表 7-5 列出了所有输入/输出引脚名称和功能。

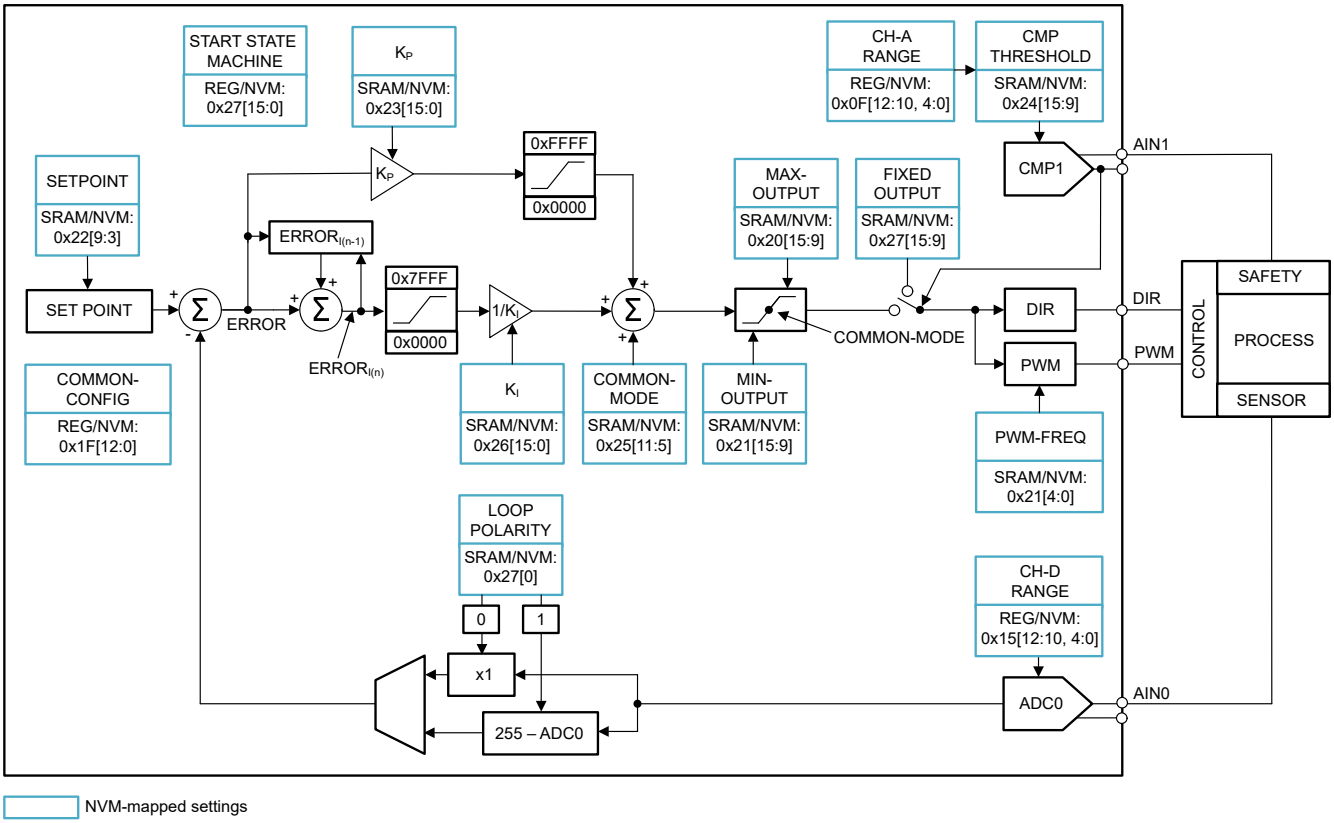



图 7-7. AFE439A2 的 PI 控制器架构

表 7-5. AFE439A2 的 PI 控制器引脚定义

| 引脚 | 功能 | 范围 |
|---|---|---|
| AIN0 | ADC0 输入 | 高阻态：0V 至 $V_{FS}$ / 3 |
| AEN | 不用于 PI 控制 — 使用上拉电阻器连接到 VDD | 不适用 |
| AIN1 | DAC1 比较器输入 — 如果未用于固定输出钳位，则连接到 AGND | 请参阅 节 7.4.3 |
| SDA/SCLK/PWM | PWM 输出 — 使用上拉电阻器连接到 VDD 或 VIO | 0V 至 VDD 或 VIO |
| A0/SDI/DIR | 方向输出 — 使用上拉电阻器连接到 VDD 或 VIO | 0V 至 VDD 或 VIO |

PI 控制器提供许多配置参数。下面的表 7-6 列表说明了每个配置参数的功能：

**表 7-6. AFE439A2 的 PI 控制器参数：说明**

| 寄存器字段名称 | 静态地址 |
|---|---|
| 设定点 | 这是 8 位设定点，PI 控制器将 ADC 输入与其进行比较。该值的单位与 ADC 输入值的单位相同。PI 控制器最大限度减小设定点与检测到的 ADC 数据之间的误差。 |
| $K_P$ | 这是一个 16 位参数，用作比例增益。$K_P$ 乘以瞬时误差。较高的 $K_P$ 使环路能够更快地校正误差。但是，如果外部进程的响应时间较快，则较高的 $K_P$ 可能会导致系统不稳定。 |
| $K_I$ | 这是一个 16 位参数，用作逆向积分增益。$K_I$ 经过反转后与累积误差相乘。该参数对于帮助最小化该过程在不同环境条件下的稳态误差非常重要。$K_I$ 越高，意味着对稳态误差的响应越弱。降低 $K_I$ 可以有效纠正稳态误差，但也会导致振荡增大。当 $K_I = 0$ 时，积分功能禁用。 |
| MAX-OUTPUT | 这是一个 7 位值，用于限制 PI 控制器输出的最大值。 |
| MIN-OUTPUT | 这是一个 7 位值，用于限制 PI 控制器输出的最小值。 |
| 共模 | 当比例和积分输出为零时，该 7 位值出现在 PI 输出中。此参数很重要，有助于为具有固定 $K_P$ 和 $K_I$ 设置的所有设定点实现统一响应。COMMON-MODE 表示达到给定设定点的标称输出。因此，为了获得最佳结果，请对每个设定点使用按经验测量的 COMMON-MODE 值。 |
| LOOP-POLARITY | 这是一个 1 位参数，提供了反转 PI 控制器环路相位的选项。当器件外部环路具有额外的相位反转时，此功能非常有用。 |
| FIXED-OUTPUT | 这是一个 8 位参数，用于根据比较器通道 2 的输出将输出设置为此预定义值。该功能在故障场景中非常有用。 |
| CMP-THRESHOLD | 这是一个 8 位参数，用于设置比较器的阈值。 |

**备注**

使用 SRAM-ADDR 和 SRAM-DATA 寄存器来访问 SRAM 位置。请勿在状态机正在运行时访问 SRAM 寄存器。可以通过向 STATE-MACHINE-CONFIG0 寄存器写入值来停止状态机。表 7-7 中的参数映射到 NVM。由于当 VREF/MODE 引脚为高电平时，数字引脚会映射到 PWM，因此无法在运行时期间读取 PI 控制器参数。

**表 7-7. AFE439A2 的 PI 控制器参数：值**

| 寄存器字段名称 | SRAM 地址 | 静态地址位置 | 默认值（16 位对齐） |
|---|---|---|---|
| 设定点 | 0x22[9:3] | SRAM | 0x0200 |
| $K_P$ | 0x23[15:0] | SRAM | 0x0032 |
| $K_I$ | 0x26[15:0] | SRAM | 0x0000 |
| MAX-OUTPUT | 0x20[15:9] | SRAM | 0x7E00 |
| MIN-OUTPUT | 0x21[15:9] | SRAM | 0x0000 |
| 共模 | 0x25[11:5] | SRAM | 0x0000 |
| LOOP-POLARITY | 0x27[0] | SRAM | 0x0000 |
| FIXED-OUTPUT | 0x27[15:9] | SRAM | 0x8000 |
| CMP-THRESHOLD | 0x24[15:9] | SRAM | 0x8000 |


Copyright © 2023 Texas Instruments Incorporated

表 7-8 展示了默认器件配置。

**表 7-8. AFE439A2 的器件配置**

| 寄存器名称 | 地址 | 默认值 |
|---|---|---|
| COMMON-CONFIG | 0x1F | 0x13F9 |
| DAC-A-VOUT-CMP-CONFIG | 0x03 | 0x0405 |
| DAC-D-VOUT-CMP-CONFIG | 0x15 | 0x0401 |
| STATE-MACHINE-CONFIG0 | 0x27 | 0x0003 |

按照以下步骤配置和操作 PI 控制器：

1. 通过向 STATE-MACHINE-CONFIG0 寄存器写入 0004h 来停止状态机。
2. 连接 ADC 输入、比较器输入和 DAC 输出，如图 7-7 所示。
3. 将 VREF/MODE 引脚拉至低电平以启用编程模式。
4. 向 COMMON-PWM-TRIG 寄存器中的 START-FUNCTION 位写入 0 以禁用 PWM。
5. 向 COMMON-CONFIG 寄存器写入值以启用所有 DAC 通道。
6. 向各个通道的 DAC-x-VOUT-CMP-CONFIG 寄存器写入值以选择每个通道的电压基准和输出范围。将通道 A 和 D 配置为比较器。
7. 计算 PWM 输出范围并相应配置 MIN-OUTPUT 和 MAX-OUTPUT。

**备注**

PWM-FREQUENCY (0x21[4:0]) 与 MIN-OUTPUT (0x21[15:9]) 共享 SRAM 位置。因此，这两个参数必须一起写入。

8. 根据表 7-3 对 PWM 频率进行编程，同时也对 MIN-OUTPUT 进行编程。
9. 根据系统的情况对配置参数 LOOP-POLARITY、CMP-THRESHOLD 和 FIXED-OUTPUT 进行相应编程。
10. 对 $K_P$ 和 $K_I$ 的初始值进行编程。
11. 在主机处理器中维护一个 SETPOINT 与 COMMON-MODE 之间关系的表，并根据系统要求对这些值进行编程。
12. 配置 STATE-MACHINE-CONFIG0 寄存器以启动状态机。
13. 迭代调整 $K_P$ 和 $K_I$ 以实现最佳瞬态和稳态响应。
14. 通过向 COMMON-TRIGGER 寄存器中的 NVM-PROG 位写入值，将值存储在 NVM 中。
15. 将 VREF/MODE 引脚拉至高电平以启用 PWM 输出。

### 7.4.6.2 AFE539A4 PI 控制

AFE539A4 提供了预编程的 PI 控制器状态机。图 7-8 展示了 PI 控制器架构。ADC 通道 0 用作输入，DAC 通道 1 用作输出。DAC 通道 2 用作比较器，用于将 DAC 通道 1 的输出设置为 FIXED-OUTPUT 字段指定的值。表 7-9 列出了所有输入/输出引脚名称和功能。

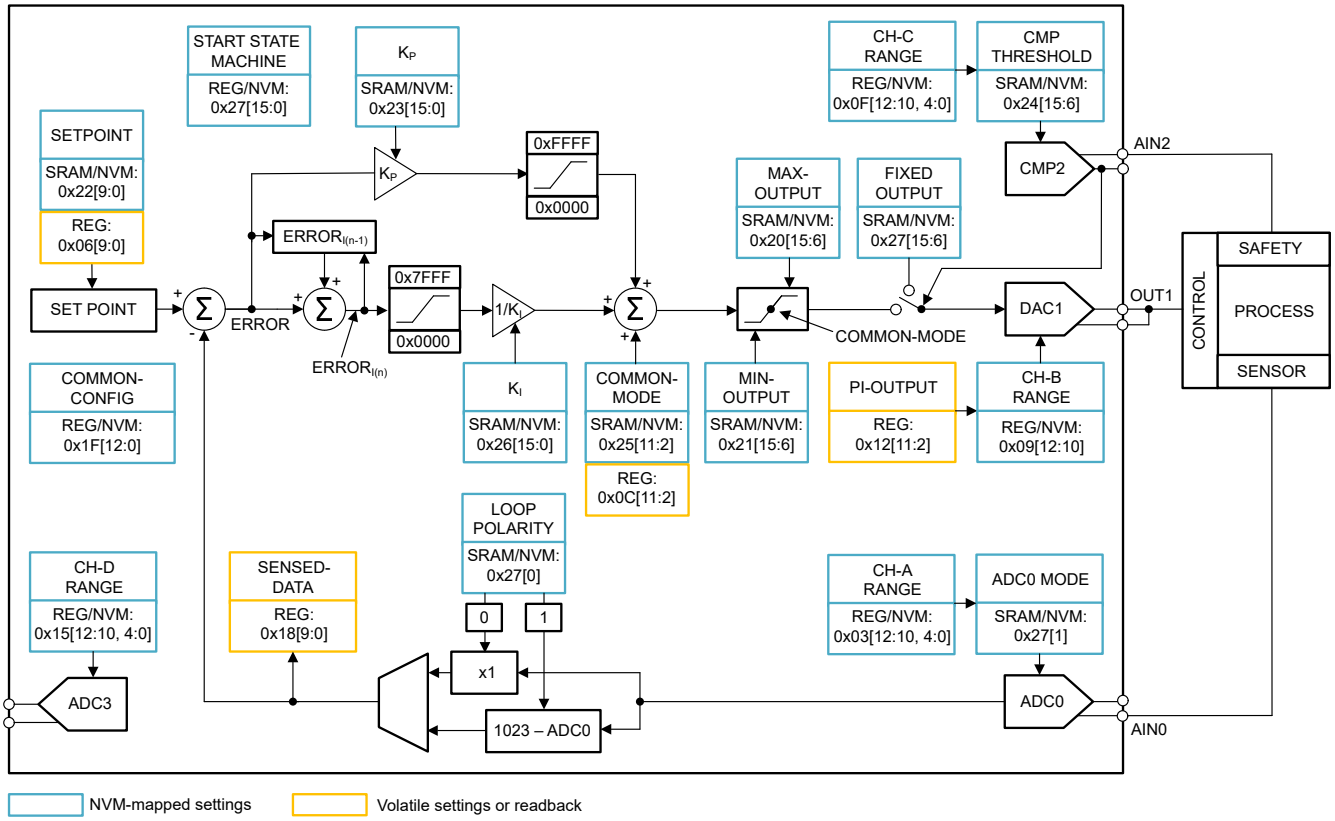



图 7-8. PI 控制器架构

表 7-9. PI 控制器引脚定义

| 引脚 | 功能 | 范围 |
|---|---|---|
| AIN0 | ADC0 输入 | 高阻态：0V 至 $V_{FS}$ / 3<br>有限阻抗：0V 至 $V_{FS}$ |
| FB1 | DAC1 的电压反馈输入 — 将此引脚连接到 OUT1 | 不适用 |
| OUT1 | DAC1 电压输出 | 0V 至 $V_{FS}$ |
| AIN2 | DAC2 比较器输入 — 如果未用于固定输出钳位，则连接到 AGND | 请参阅 节 7.4.3 |
| AEN | 不用于 PI 控制 — 使用上拉电阻器连接到 VDD | 不适用 |


Copyright © 2023 Texas Instruments Incorporated

PI 控制器提供许多配置参数。表 7-10 说明了每个配置参数的功能：

**表 7-10. AFE539A4 的 PI 控制器参数：说明**

| 寄存器字段名称 | 静态地址 |
|---|---|
| 设定点 | 这是 10 位设定点，PI 控制器将 ADC 输入与其进行比较。该值的单位与 ADC 输入值的单位相同。PI 控制器最大限度减小设定点与检测到的 ADC 数据之间的误差。 |
| $K_P$ | 这是一个 16 位参数，用作比例增益。$K_P$ 乘以瞬时误差。较高的 $K_P$ 使环路能够更快地校正误差。但是，如果外部进程的响应时间较快，则较高的 $K_P$ 可能会导致系统不稳定。 |
| $K_I$ | 这是一个 16 位参数，用作逆向积分增益。$K_I$ 经过反转后与累积误差相乘。该参数对于帮助最小化该过程在不同环境条件下的稳态误差非常重要。$K_I$ 越高，意味着对稳态误差的响应越弱。降低 $K_I$ 可以有效纠正稳态误差，但也会导致振荡增大。当 $K_I$ = 0 时，积分功能禁用。 |
| MAX-OUTPUT | 这是一个 10 位值，用于限制 PI 控制器输出的最大值。 |
| MIN-OUTPUT | 这是一个 10 位值，用于限制 PI 控制器输出的最小值。 |
| 共模 | 当比例和积分输出为零时，该 10 位值出现在 PI 输出中。此参数非常重要，有助于为具有固定 $K_P$ 和 $K_I$ 设置的所有设定点实现统一响应。COMMON-MODE 表示达到给定设定点的标称输出。因此，为了获得最佳结果，请对每个设定点使用按经验测量的 COMMON-MODE 值。 |
| LOOP-POLARITY | 这是一个 1 位参数，提供了反转 PI 控制器环路相位的选项。当器件外部环路具有额外的相位反转时，此功能非常有用。 |
| FIXED-OUTPUT | 这是一个 10 位参数，用于根据比较器的输出将输出设置为此预定义值。该功能在故障场景中非常有用。 |
| ADC-MODE | 这是一个 1 位参数，用于选择 ADC 的高阻态模式或有限阻抗模式。ADC-MODE = 0 对应于高阻态输入；ADC-MODE = 1 对应于有限阻抗输入。 |
| CMP-THRESHOLD | 这是一个 10 位参数，用于设置比较器的阈值。 |

**备注**

使用 SRAM-ADDR 和 SRAM-DATA 寄存器来访问 SRAM 位置。请勿在状态机正在运行时访问 SRAM 寄存器。可以通过向 STATE-MACHINE-CONFIG0 寄存器写入值来停止状态机。必须在运行时更新的关键参数可以使用表 7-11 中列出的动态位置进行访问。表 7-11 中的静态 (SRAM) 位置会映射到 NVM。动态位置不会映射到 NVM。将静态 SRAM 位置中所有未分配的位设置为 0。

**表 7-11. AFE539A4 的 PI 控制器参数：值**

| 寄存器字段名称 | 静态地址 | 静态地址位置 | 默认值（16 位对齐） | 动态地址 | 动态地址位置 |
|---|---|---|---|---|---|
| 设定点 | 0x22[9:0] | SRAM | 0x0200 | 0x06[9:0] | 寄存器 |
| $K_P$ | 0x23[15:0] | SRAM | 0x0064 | 不适用 | 不适用 |
| $K_I$ | 0x26[15:0] | SRAM | 0x0000 | 不适用 | 不适用 |
| MAX-OUTPUT | 0x20[15:6] | SRAM | 0xFFF0 | 不适用 | 不适用 |
| MIN-OUTPUT | 0x21[15:6] | SRAM | 0x0000 | 不适用 | 不适用 |
| 共模 | 0x25[11:2] | SRAM | 0x02FF | 0x0C[11:2] | 寄存器 |
| LOOP-POLARITY | 0x27[0] | SRAM | 0x0000 | 不适用 | 不适用 |
| FIXED-OUTPUT | 0x27[15:6] | SRAM | 0x0000 | 不适用 | 不适用 |
| ADC-MODE | 0x27[1] | SRAM | 0x0000 | 不适用 | 不适用 |
| CMP-THRESHOLD | 0x24[15:6] | SRAM | 0x8000 | 不适用 | 不适用 |

表 7-12 展示了默认器件配置。

**表 7-12. AFE539A4 的器件配置**

| 寄存器名称 | 地址 | 默认值 |
|---|---|---|
| COMMON-CONFIG | 0x1F | 0x1249 |
| DAC-A-VOUT-CMP-CONFIG | 0x03 | 0x0401 |
| DAC-B-VOUT-CMP-CONFIG | 0x09 | 0x0400 |
| DAC-C-VOUT-CMP-CONFIG | 0x0F | 0x0405 |
| DAC-D-VOUT-CMP-CONFIG | 0x15 | 0x0401 |
| STATE-MACHINE-CONFIG0 | 0x27 | 0x0003 |

按照以下步骤配置和操作 PI 控制器：

1. 通过向 STATE-MACHINE-CONFIG0 寄存器写入 0004h 来停止状态机。
2. 连接 ADC 输入、比较器输入和 DAC 输出，如图 7-8 所示。
3. 向 COMMON-CONFIG 寄存器写入值以启用所有通道。
4. 向各个通道的 DAC-x-VOUT-CMP-CONFIG 寄存器写入值以选择每个通道的电压基准和输出范围。将通道 A、C 和 D 配置为比较器。
5. 计算 DAC1 的电压输出范围并相应配置 MIN-OUTPUT 和 MAX-OUTPUT。
6. 根据系统的情况对配置参数 LOOP-POLARITY、ADC-MODE、CMP-THRESHOLD 和 FIXED-OUTPUT 进行相应编程。
7. 对 $K_P$ 和 $K_I$ 的初始值进行编程。
8. 在主机处理器中维护一个 SETPOINT 与 COMMON-MODE 之间关系的表，并根据系统要求对这些值进行编程。
9. 配置 STATE-MACHINE-CONFIG0 寄存器以启动状态机。
10. 迭代调整 $K_P$ 和 $K_I$ 以实现最佳瞬态和稳态响应。
11. 通过向 COMMON-TRIGGER 寄存器中的 NVM-PROG 位写入值，将值存储在 NVM 中。


Copyright © 2023 Texas Instruments Incorporated

### 7.4.6.3 AFE639D2 PI 控制

AFE639D2 提供预编程的 PI 控制器状态机，如图 7-9 所示。外部数字温度传感器用作输入，DAC 通道 0 用作输出。DAC 通道 1 用作比较器，用于将 DAC 通道 0 的输出设置为 FIXED-OUTPUT 字段指定的值。表 7-13 列出了所有输入/输出引脚名称和功能。

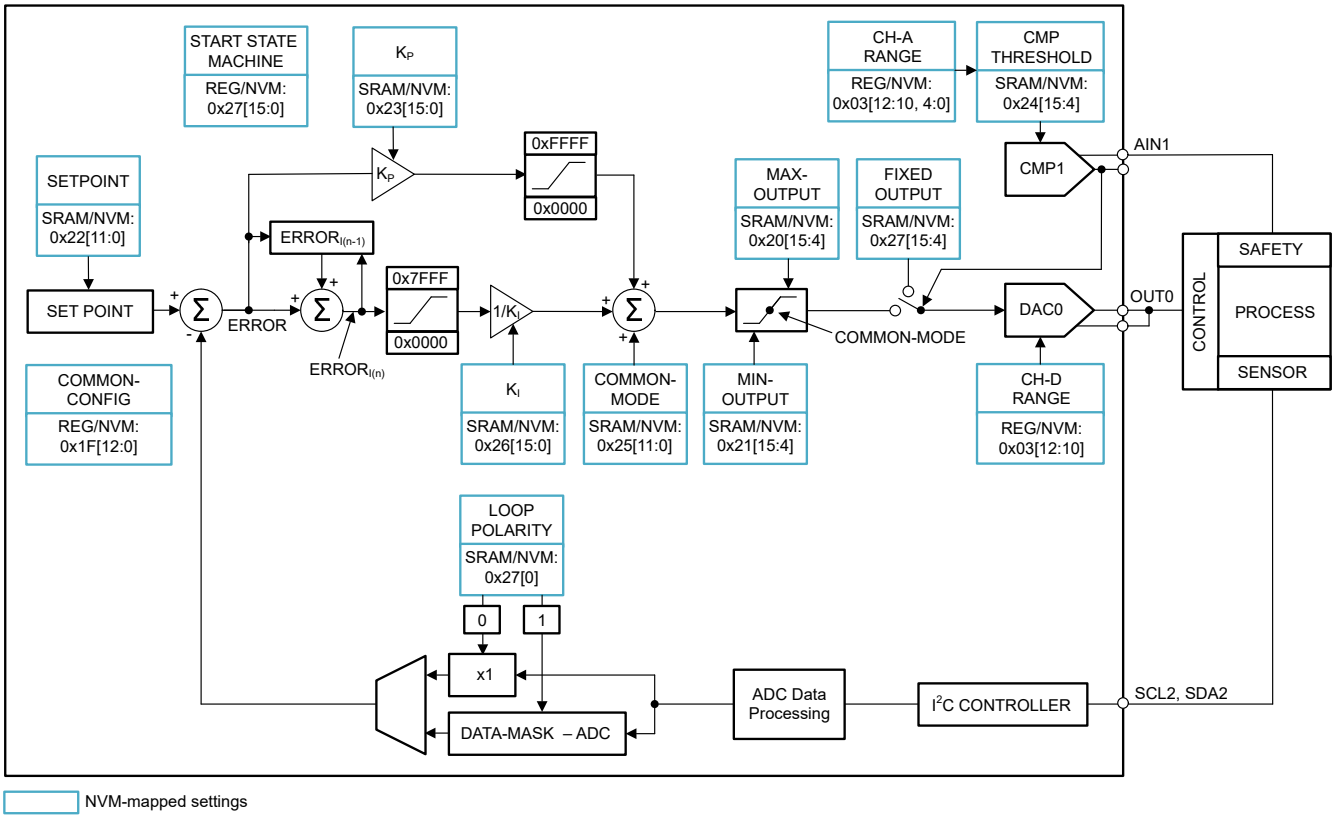



图 7-9. AFE639D2 的 PI 控制器架构

表 7-13. AFE639D2 的 PI 控制器引脚定义

| 引脚 | 功能 | 范围 |
|---|---|---|
| FB0 | DAC0 的电压反馈输入 — 将此引脚连接到 OUT0。 | 不适用 |
| OUT0 | DAC0 电压输出。 | 0V 至 $V_{FS}$ |
| AIN1 | DAC1 比较器输入 — 如果未用于固定输出钳位，则连接到 AGND。 | 请参阅 节 7.4.3 |
| A0/SDI/SCL2 | $I^2C$ 控制器时钟输出。 | 不适用 |
| NC/SDO/SDA2 | 双向 $I^2C$ 控制器数据输入/输出。 | 不适用 |

PI 控制器提供许多配置参数。下面的列表说明了每个配置参数的功能：

**表 7-14. AFE639D2 的 PI 控制器参数：说明**

| 参数 | 说明 |
|---|---|
| 设定点 | 这是 12 位设定点，PI 控制器将 ADC 输入与其进行比较。该值的单位与外部 ADC 输入值的单位相同。PI 控制器最大限度减小设定点与检测到的 ADC 数据之间的误差。 |
| $K_P$ | 这是一个 16 位参数，用作比例增益。$K_P$ 乘以瞬时误差。较高的 $K_P$ 使环路能够更快地校正误差。但是，如果外部进程的响应时间较快，则较高的 $K_P$ 可能会导致系统不稳定。 |
| $K_I$ | 这是一个 16 位参数，用作逆向积分增益。$K_I$ 经过反转后与累积误差相乘。该参数对于帮助最小化该过程在不同环境条件下的稳态误差非常重要。$K_I$ 越高，意味着对稳态误差的响应越弱。降低 $K_I$ 可以有效纠正稳态误差，但也会导致振荡增大。当 $K_I = 0$ 时，积分功能禁用。 |
| MAX-OUTPUT | 这是一个 12 位值，用于限制 PI 控制器输出的最大值。 |
| MIN-OUTPUT | 这是一个 12 位值，用于限制 PI 控制器输出的最小值。 |
| 共模 | 当比例和积分输出为零时，该 12 位值出现在 PI 输出中。此参数非常重要，有助于为具有固定 $K_P$ 和 $K_I$ 设置的所有设定点实现统一响应。COMMON-MODE 表示达到给定设定点的标称输出。因此，为了获得最佳结果，请对每个设定点使用按经验测量的 COMMON-MODE 值。 |
| LOOP-POLARITY | 这是一个 1 位参数，提供了反转 PI 控制器环路相位的选项。当器件外部环路具有额外的相位反转时，此功能非常有用。 |
| FIXED-OUTPUT | 这是一个 12 位参数，用于根据比较器的输出将输出设置为此预定义值。该功能在故障场景中非常有用。 |
| CMP-THRESHOLD | 这是一个 12 位参数，用于设置比较器的阈值。 |
| PERIPHERAL-ADDR | 外部温度传感器或 ADC 的 7 位 $I^2C$ 目标地址。 |
| DATA-REG-ADDR | 温度或 ADC 数据寄存器的 8 位地址。 |
| CONFIG-REG-ADDR | 配置寄存器的 8 位地址。 |
| CONFIG-DATA | 外部温度传感器或 ADC 的 16 位配置数据。 |
| ADC-DATA-SHIFT | ADC 数据需要移位的位数（以将数据与 16 位 MSB 对齐）。 |
| SHIFT-DIR | ADC 数据移位的方向。0 表示左移。1 表示右移。 |
| DATA-MASK | 当 LOOP-POLARITY 设置为 1 时需要应用于数据的掩码。DATA-MASK 值必须是 0xFFFF 右移（16 位 − ADC 数据长度）。对于 12 位 ADC，DATA-MASK 必须为 0x0FFF。 |
| TWOS-FLAG | 1：16 位数据以 2 的补码表示，0：数据不是 16 位。 |

**备注**

1. 使用 SRAM-ADDR 和 SRAM-DATA 寄存器来访问 SRAM 位置。请勿在状态机正在运行时访问 SRAM 寄存器。可以通过向 STATE-MACHINE-CONFIG0 寄存器写入值来停止状态机。表 7-15 中的静态 (SRAM) 位置会映射到 NVM。
2. 当 $I^2C$ 控制器处于活动状态时（VREF/MODE 引脚为高电平），对 $I^2C$ 目标通道的读取或写入不可用。
3. 每当状态机重启时，都会配置外部 $I^2C$ 外设。在此期间，VREF/MODE 引脚必须保持高电平。


Copyright © 2023 Texas Instruments Incorporated

**表 7-15. AFE639D2 的 PI 控制器参数：值**

| 寄存器字段名称 | 静态地址 | 静态地址位置 | 默认值（16 位对齐） |
|---|---|---|---|
| 设定点 | 0x23[15:4] | SRAM | 0x0200 |
| $K_P$ | 0x24[15:0] | SRAM | 0x0064 |
| $K_I$ | 0x27[15:0] | SRAM | 0x0001 |
| MAX-OUTPUT | 0x21[15:4] | SRAM | 0x7FC0 |
| MIN-OUTPUT | 0x22[15:4] | SRAM | 0x0000 |
| 共模 | 0x26[11:0] | SRAM | 0x8000 |
| LOOP-POLARITY | 0x28[0] | SRAM | 0x0000 |
| FIXED-OUTPUT | 0x28[15:4] | SRAM | 0x8000 |
| CMP-THRESHOLD | 0x25[15:4] | SRAM | 0x8000 |
| PERIPHERAL-ADDR | 0x29[14:8] | 寄存器 | 0xC800 |
| DATA-REG-ADDR | 0x29[7:0] | SRAM | 0x0000 |
| CONFIG-REG-ADDR | 0x2A[7:0] | SRAM | 0x0001 |
| CONFIG-DATA | 0x2B[15:0] | SRAM | 0x0220 |
| ADC-DATA-SHIFT | 0x2C[0] | SRAM | 0x0000 |
| SHIFT-DIR | 0x2D[0] | SRAM | 0x0001 |
| DATA-MASK | 0x2E[15:0] | SRAM | 0xFFFF |
| TWOS-FLAG | 0x2F[0] | SRAM | 0x0001 |

**表 7-16. AFE639D2 的器件配置**

| 寄存器名称 | 地址 | 默认值 |
|---|---|---|
| COMMON-CONFIG | 0x1F | 0x13F9 |
| DAC-A-VOUT-CMP-CONFIG | 0x03 | 0x0401 |
| DAC-D-VOUT-CMP-CONFIG | 0x15 | 0x0400 |
| STATE-MACHINE-CONFIG0 | 0x27 | 0x0003 |

表 7-16 展示了默认器件配置。按照以下步骤配置和操作 PI 控制器：

1. 通过向 STATE-MACHINE-CONFIG0 寄存器写入 0004h 来停止状态机。
2. 连接外部温度传感器或 ADC 输入、比较器输入和 DAC 输出，如图 7-9 所示。
3. 将 VREF/MODE 引脚拉至低电平以启用编程模式。
4. 向 COMMON-CONFIG 寄存器写入值以启用所有 DAC 通道。
5. 向各个通道的 DAC-x-VOUT-CMP-CONFIG 寄存器写入值以选择每个通道的电压基准和输出范围。将通道 D 配置为比较器。
6. 计算 DAC0 的电压输出范围并相应配置 MIN-OUTPUT 和 MAX-OUTPUT。
7. 根据系统的情况对配置参数 LOOP-POLARITY、CMP-THRESHOLD 和 FIXED-OUTPUT 进行相应编程。
8. 根据所选外设配置 $I^2C$ 外设参数。
9. 对 $K_P$ 和 $K_I$ 的初始值进行编程。
10. 在主机处理器中维护一个 SETPOINT 与 COMMON-MODE 之间关系的表，并根据系统要求对这些值进行编程。
11. 配置 STATE-MACHINE-CONFIG0 寄存器以启动状态机。
12. 迭代调整 $K_P$ 和 $K_I$ 以实现最佳瞬态和稳态响应。
13. 通过向 COMMON-TRIGGER 寄存器中的 NVM-PROG 位写入值，将值存储在 NVM 中。
14. 立即将 VREF/MODE 引脚拉至高电平以便 $I^2C$ 控制器能够配置外设。

## 7.5 编程

### 7.5.1 SPI 编程模式

通过将 $\overline{\text{SYNC}}$ 引脚置于低电平，可以启动 AFE39xx 的 SPI 访问周期。串行时钟 SCLK 可以是连续时钟或选通时钟。SDI 数据在 SCLK 下降沿上传输。AFE39xx 的 SPI 帧长度为 24 位。因此，$\overline{\text{SYNC}}$ 引脚必须保持低电平至少 24 个 SCLK 下降沿。当 $\overline{\text{SYNC}}$ 引脚取消置位为高电平时，访问周期结束。如果访问周期包含的时钟边沿小于最小值，则通信将被忽略。默认情况下，SDO 引脚未启用（三线 SPI）。在三线 SPI 模式下，如果访问周期包含的时钟边沿大于最小值，则器件仅使用前 24 位。当 $\overline{\text{SYNC}}$ 为高电平时，SCLK 和 SDI 信号会被阻止，同时 SDO 变为高阻态，以允许从总线上连接的其他器件回读数据。

表 7-17 和图 7-10 介绍了 24 位 SPI 访问周期的格式。SDI 的第一个字节输入是指令周期。指令周期将请求标识为读或写命令以及要访问的 7 位地址。周期中的最后 16 位构成数据周期。

**表 7-17. SPI 读/写访问周期**

| 位 | 字段 | 说明 |
|---|---|---|
| 23 | R/$\overline{\text{W}}$ | 将通信标识为地址寄存器的读或写命令：R/$\overline{\text{W}}$ = 0 设置写入操作。R/$\overline{\text{W}}$ = 1 设置读取操作 |
| 22-16 | A[6:0] | 寄存器地址：指定在读取或写入操作期间要访问的寄存器 |
| 15-0 | DI[15:0] | 数据周期位：如果是写入命令，则数据周期位是要写入地址为 A[6:0] 的寄存器的值。如果是读取命令，则数据周期位为*不用考虑*值。 |

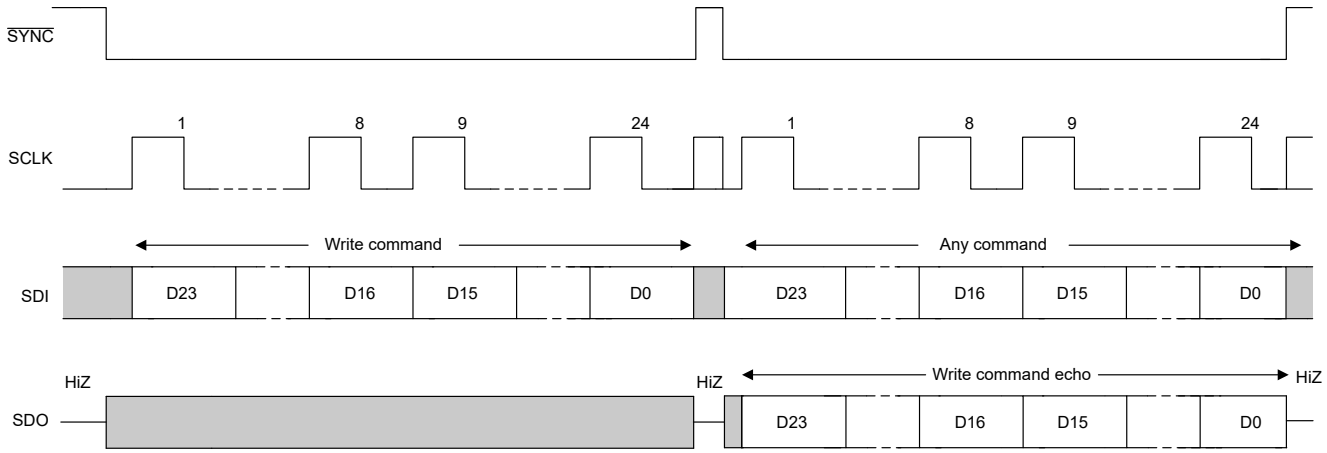



**图 7-10. SPI 写入周期**

读取操作要求首先通过设置 INTERFACE-CONFIG 寄存器中的 SDO-EN 位来启用 SDO 引脚。此配置称为四线 SPI。读取操作通过发出读取命令访问周期来启动。读取命令后，必须发出第二个访问周期来获取请求的数据。表 7-18 和图 7-11 展示了输出数据格式。根据 FSDO 位，数据通过 SDO 引脚在 SCLK 的下降沿或上升沿输出，如图 6-3 所示。

**表 7-18. SDO 输出访问周期**

| 位 | 字段 | 说明 |
|---|---|---|
| 23 | R/$\overline{\text{W}}$ | 来自上一访问周期的回波 R/$\overline{\text{W}}$ |
| 22-16 | A[6:0] | 来自上一访问周期的回波寄存器地址 |
| 15-0 | DI[15:0] | 上一访问周期中请求的回读数据 |


Copyright © 2023 Texas Instruments Incorporated

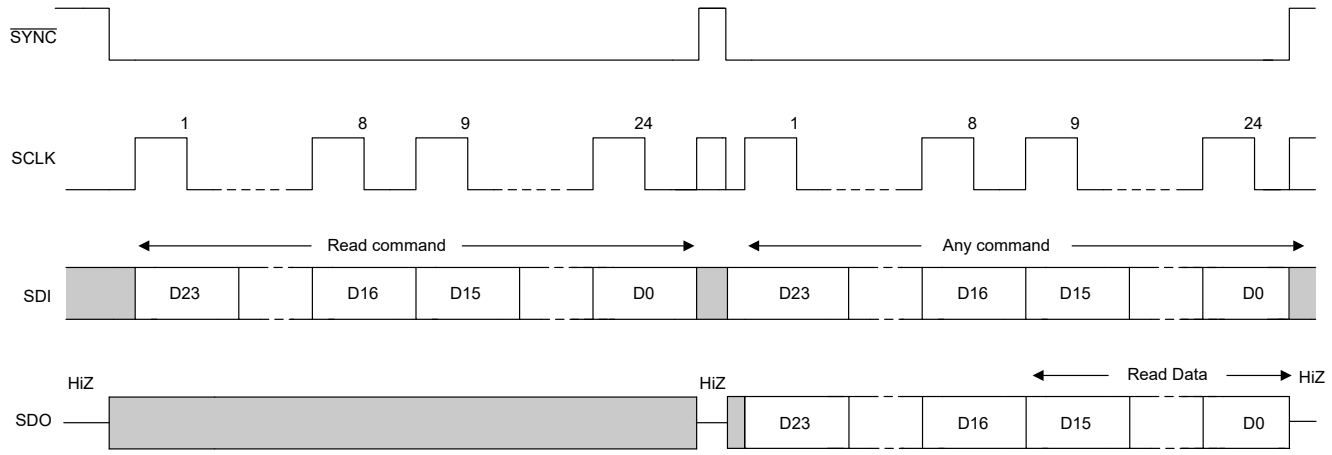



**图 7-11. SPI 读取周期**

菊花链操作也通过 SDO 引脚启用。在菊花链模式下，多个器件采用*链式*连接，其中一个器件的 SDO 引脚连接到以下器件的 SDI 引脚，如图 7-12 所示。SPI 主机驱动链中第一个器件的 SDI 引脚。链中最后一个器件的 SDO 引脚连接到 SPI 主机的 POCI 引脚。在四线 SPI 模式下，如果访问周期包含 24 个时钟边沿的倍数，则链中的第一个器件仅使用最后 24 个位。如果访问周期包含的时钟边沿不是 24 的倍数，则器件会忽略 SPI 数据包。图 7-13 介绍了菊花链写入周期的数据包格式。

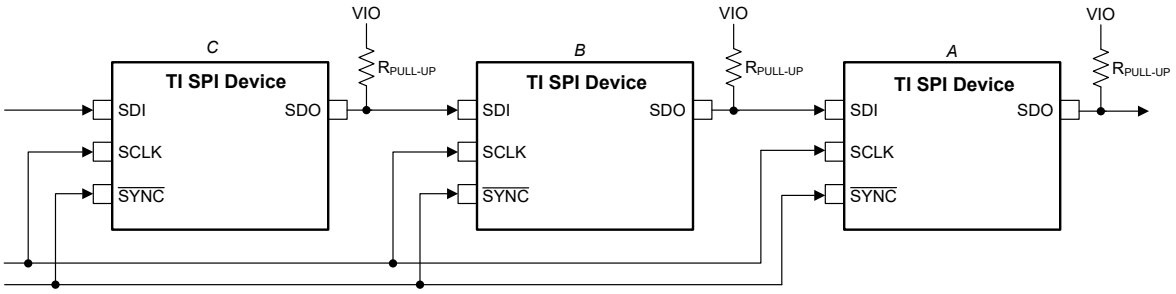



**图 7-12. SPI 菊花链连接**

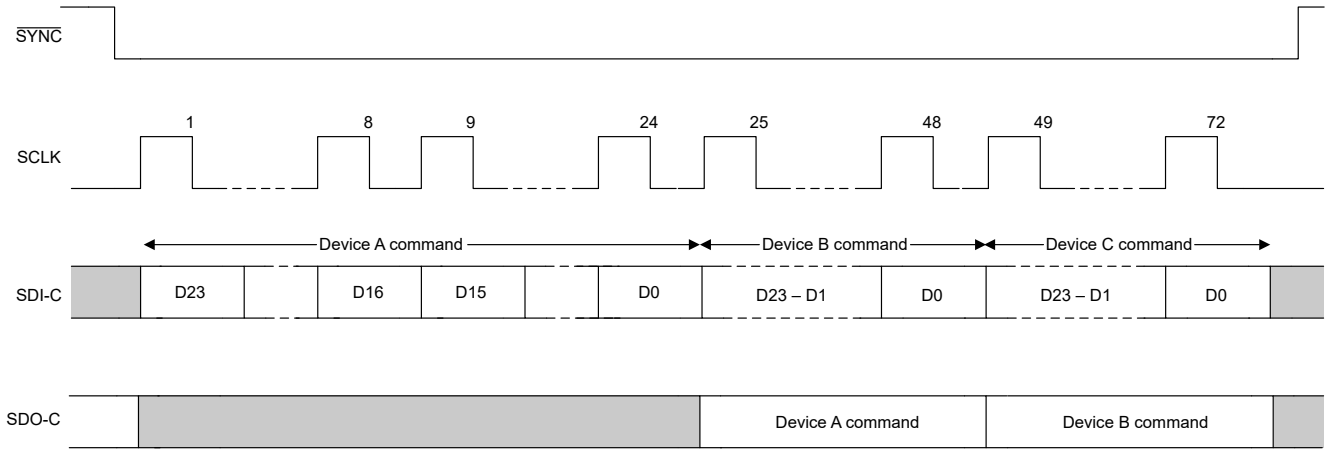



**图 7-13. SPI 菊花链写入周期**

### 7.5.2 I²C 编程模式

AFE39xx 器件具有两线制串行接口（SCL 和 SDA）和一个地址引脚 (A0)，如*引脚配置和功能* 部分的引脚图所示。I²C 总线由数据线 (SDA) 和带上拉结构的时钟线 (SCL) 组成。当总线空闲时，SDA 和 SCL 线都被拉高。所有与 I²C 兼容的器件通过开漏 I/O 引脚、SDA 和 SCL 连接到 I²C 总线。

I²C 规范规定控制通信的器件称为*控制器*，而由控制器控制的器件称为*目标器件*。控制器产生 SCL 信号。控制器还在总线上生成特殊的时序条件（启动条件、重复启动条件和停止条件）来指示数据传输的开始或停止。器件寻址由控制器完成。I²C 总线上的控制器通常是微控制器或数字信号处理器 (DSP)。AFE39xx 系列作为目标器件在 I²C 总线上运行。目标器件确认控制器命令，并在控制器控制时接收或传输数据。

通常，AFE39xx 系列充当目标接收器。控制器向 AFE39xx（目标接收器）写入数据。但是，如果控制器需要 AFE39xx 内部寄存器数据，则 AFE39xx 充当目标发送器。在这种情况下，控制器从 AFE39xx 读取数据。根据 I²C 术语，读写是指控制器。

AFE39xx 系列支持以下数据传输模式：

- 标准模式 (100Kbps)
- 快速模式 (400Kbps)
- 快速+ 模式 (1.0Mbps)

标准模式和快速模式的数据传输协议完全相同；因此，本文档中将这两种模式称为 *F/S 模式*。超快速模式协议在数据传输速度方面受支持，但在输出电流方面不受支持。与标准和快速模式的情况类似，低电平输出电流为 3mA。AFE39xx 系列支持 7 位寻址。不支持 10 位寻址模式。该器件支持通用呼叫复位功能。发送以下序列会启动器件内的软件复位：启动或重复启动、0x00、0x06、停止。在 ACK 位的上升沿（在第二个字节之后）在器件内进行复位置位。

除了特定的时序信号外，I²C 接口还使用串行字节。在每个字节结束时，第九个时钟周期产生并检测确认信号。确认是指 SDA 线在第九个时钟周期的高电平期间被拉低。非确认是指 SDA 线在第九个时钟周期的高电平期间保持高电平，如图 7-14 所示。

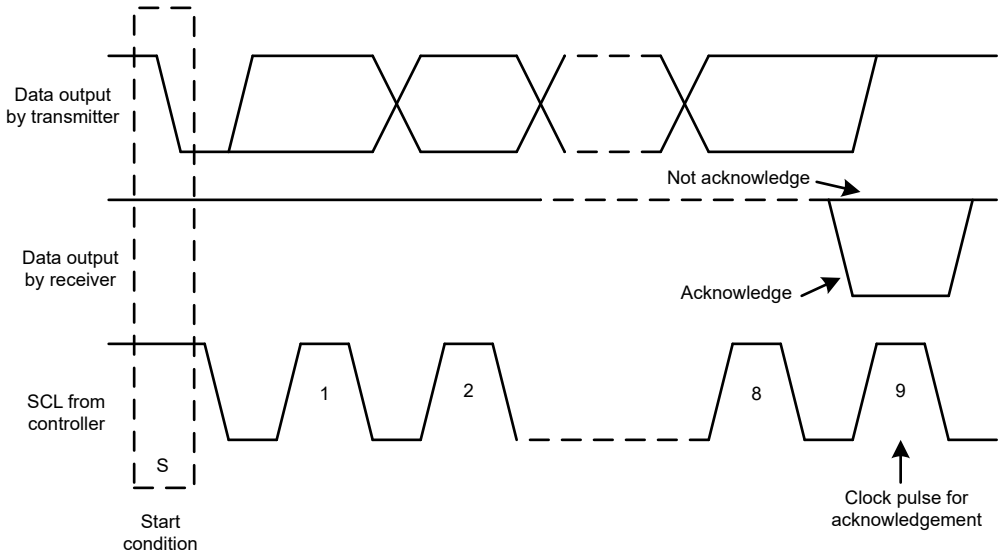



**图 7-14. I²C 总线上的确认和非确认**

#### *7.5.2.1 F/S 模式协议*

以下步骤说明了 F/S 模式下的完整事务。

1. 控制器通过产生启动条件来启动数据传输。启动条件是当 SCL 为高电平时在 SDA 线上发生从高到低的转换，如图 7-15 所示。所有与 I²C 兼容的器件都会识别启动条件。


Copyright © 2023 Texas Instruments Incorporated

2. 控制器随后产生 SCL 脉冲，并在 SDA 线上发送 7 位地址和读取/写入方向位 (R/$\overline{W}$)。在所有传输期间，控制器确保数据有效。有效数据条件要求 SDA 线在时钟脉冲的整个高电平期间保持稳定，如图 7-16 所示。所有器件都识别控制器发送的地址，并将其与相应内部固定地址进行比较。只有具有匹配地址的目标器件才会通过在第 9 个 SCL 周期的整个高电平期间拉低 SDA 线来生成确认，如图 7-14 所示。当控制器检测到此确认时，则表示与目标的通信链路已建立。
3. 控制器产生更多的 SCL 周期，以便向目标器件发送（R/$\overline{W}$ 位为 0）数据或接收（R/$\overline{W}$ 位为 1）数据。在任一种情况下，接收器都必须确认发送器发送的数据。因此，确认信号可由控制器或目标器件生成，具体取决于哪一方是接收器。9 位有效数据序列包含 8 个数据位和 1 个确认位，并可根据需要继续。
4. 为了用信号指示数据传输结束，控制器通过在 SCL 线处于高电平期间将 SDA 线从高电平拉低来产生停止条件，如图 7-15 所示。此操作将释放总线并停止与寻址的目标器件之间的通信链路。所有与 $I^2C$ 兼容的器件都会识别停止条件。在收到停止条件后，将释放总线，然后所有目标器件等待启动条件，接着是匹配的地址。

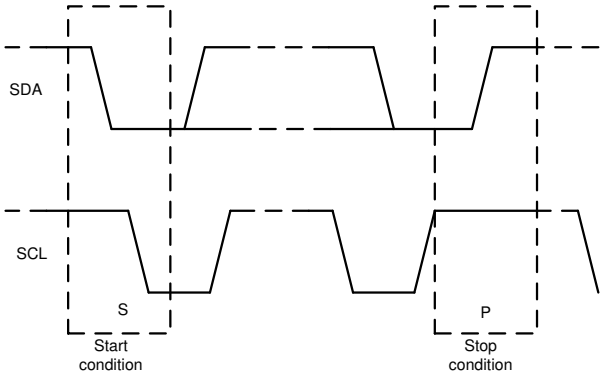



**图 7-15. 启动和停止条件**

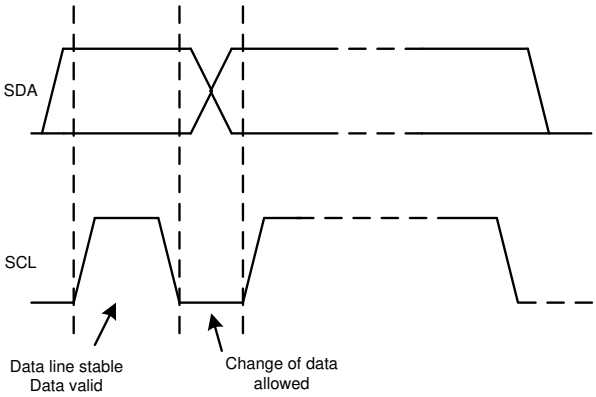



**图 7-16. 在 $I^2C$ 总线上的位传输**

### 7.5.2.2 I²C 更新序列

对于单次更新，AFE39xx 需要一个开始条件、一个有效的 I²C 地址字节、一个命令字节以及两个数据字节，如表 7-19 中所列。

**表 7-19. 更新序列**

| MSB | .... | LSB | ACK | MSB | ... | LSB | ACK | MSB | ... | LSB | ACK | MSB | ... | LSB | ACK |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 地址 (A) 字节<br>节 7.5.2.2.1 | | | | 命令字节<br>节 7.5.2.2.2 | | | | 数据字节 - MSDB | | | | 数据字节 - LSDB | | | |
| DB [31:24] | | | | DB [23:16] | | | | DB [15:8] | | | | DB [7:0] | | | |

收到每个字节后，AFE39xx 通过在单个时钟脉冲的高电平期间将 SDA 线拉至低电平来确认该字节，如图 7-17 所示。这四个字节和确认周期构成了单次更新所需的 36 个时钟周期。一个有效的 I²C 地址字节选择 AFE39xx。

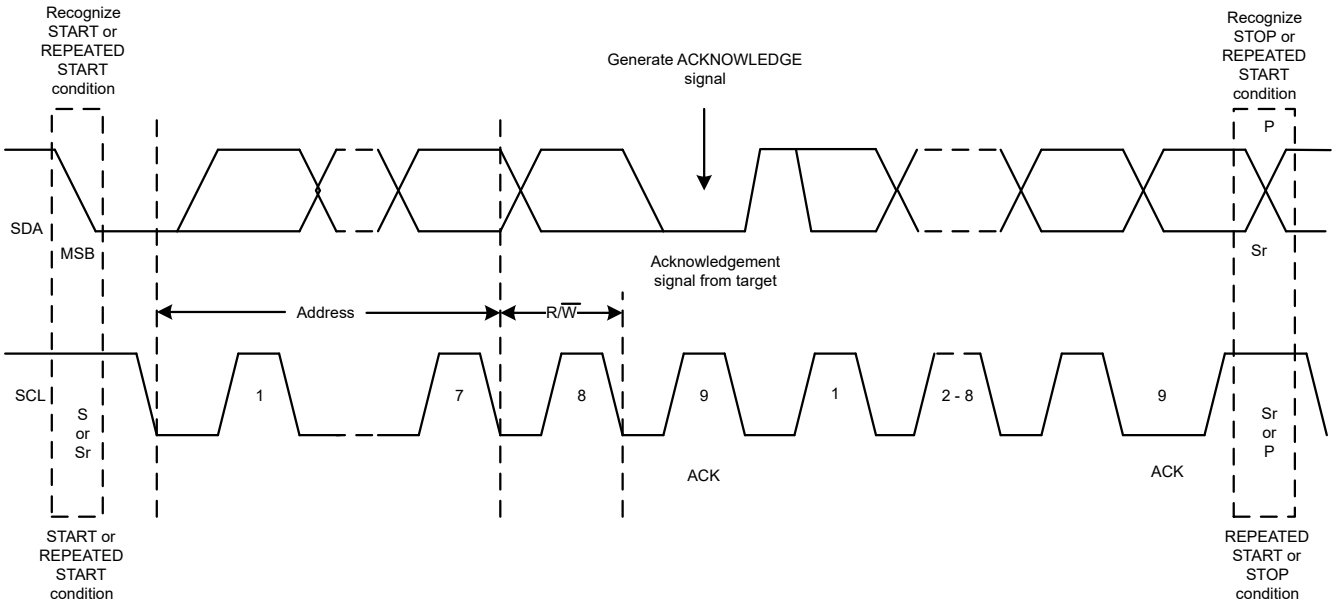



**图 7-17. I²C 总线协议**

命令字节设置所选 AFE39xx 器件的工作模式。如果要在通过该字节选择工作模式时进行数据更新，AFE39xx 器件必须接收两个数据字节：最高有效数据字节 (MSDB) 和最低有效数据字节 (LSDB)。AFE39xx 器件在 LSDB 之后的确认信号下降沿执行更新。

使用快速模式（时钟 = 400kHz）时，最大 DAC 更新速率限制为 10kSPS。使用超快速模式（时钟 = 1MHz）时，最大 DAC 更新速率限制为 25kSPS。收到停止条件后，AFE39xx 器件将释放 I²C 总线并等待新的启动条件。


Copyright © 2023 Texas Instruments Incorporated

#### 7.5.2.2.1 地址字节

地址字节（如表 7-20 所示）是在启动条件之后从控制器器件接收的第一个字节。地址的前四位 (MSB) 出厂预设为 1001b。地址的接下来三位由 A0 引脚控制。A0 引脚输入可以连接到 VDD、AGND、SCL 或 SDA。在每个数据帧的第一个字节期间对 A0 引脚进行采样以确定地址。该器件会锁存地址引脚的值，因此会根据表 7-21 响应该特定地址。

**表 7-20. 地址字节**

| 注释 | MSB | | | | | | | LSB |
|---|---|---|---|---|---|---|---|---|
| — | AD6 | AD5 | AD4 | AD3 | AD2 | AD1 | AD0 | R/$\overline{W}$ |
| 一般地址 | 1 | 0 | 0 | 1 | 请参阅表 7-21（目标地址列） | | | 0 或 1 |
| 广播地址 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 |

**表 7-21. 地址格式**

| 目标地址 | A0 引脚 |
|---|---|
| 000 | AGND |
| 001 | VDD |
| 010 | SDA |
| 011 | SCL |

AFE39xx 支持使用广播地址来同步更新或关闭多个 AFE39xx 器件。使用广播地址时，无论地址引脚状态如何，AFE39xx 都会进行响应。仅在写入模式下支持广播。

#### 7.5.2.2.2 命令字节

表 7-24 列出了“地址”列中的命令字节。

### *7.5.2.3 I²C 读取序列*

要读取任何寄存器，必须使用以下命令序列：

1. 发送启动或重复启动命令（使用目标器件地址并将 R/$\overline{W}$ 位设置为 0 以进行写入）。该器件将确认此事件。
2. 针对要读取的寄存器发送一个命令字节。该器件将再次确认此事件。
3. 发送重复启动命令（使用目标器件地址并将 R/$\overline{W}$ 位设置为 1 以进行读取）。该器件将确认此事件。
4. 该器件将写入寻址到的寄存器的 MSDB 字节。控制器必须确认此字节。
5. 最后，该器件将写出寄存器的 LSDB。

广播地址不能用于读取。

**表 7-22. 读取序列**

| S | MSB | … | R/$\overline{W}$ (0) | ACK | MSB | … | LSB | ACK | Sr | MSB | … | R/$\overline{W}$ (1) | ACK | MSB | … | LSB | ACK | MSB | … | LSB | ACK |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | 地址字节 节 7.5.2.2.1 | | | | 命令字节 节 7.5.2.2.2 | | | | Sr | 地址字节 节 7.5.2.2.1 | | | | MSDB | | | | LSDB | | | |
| 来自控制器 | | | | 目标 | 来自控制器 | | | 目标 | 来自控制器 | | | | 目标 | 来自目标器件 | | | 控制器 | 来自目标器件 | | | 控制器 |

## 7.6 寄存器映射

表 7-23. 寄存器映射

| 寄存器 | 最高有效数据字节 (MSDB) | | | | | | | | 最低有效数据字节 (LSDB) | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | BIT15 | BIT14 | BIT13 | BIT12 | BIT11 | BIT10 | BIT9 | BIT8 | BIT7 | BIT6 | BIT5 | BIT4 | BIT3 | BIT2 | BIT1 | BIT0 |
| NOP | NOP | | | | | | | | | | | | | | | |
| DAC-X-VOUT-CMP-CONFIG | X | | | VOUT-GAIN-x | | | X | | | | | | | CMP-x-HIZ-IN-DIS | CMP-x-INV-EN | CMP-x-EN |
| COMMON-CONFIG | 保留 | DEV-LOCK | 保留 | EN-INT-REF | VOUT-PDN-D | | 保留 | VOUT-PDN-C | | 保留 | VOUT-PDN-B | | 保留 | VOUT-PDN-A | | 保留 |
| COMMON-TRIGGER | DEV-UNLOCK | | | | 重置 | | | | 保留 | | | | | | NVM-PROG | NVM-RELOAD |
| COMMON-PWM-TRIG | 保留 | | | | | | | | | | | | | | | START-FUNCTION |
| GENERAL-STATUS | NVM-CRC-FAIL-INT | NVM-CRC-FAIL-USER | 保留 | | | | | NVM-BUSY | DEVICE-ID | | | | | | VERSION-ID | |
| INTERFACE-CONFIG | X | | | TIMEOUT-EN | X | | | RESERVED | X | | | | | FSDO-EN | X | SDO-EN |
| STATE-MACHINE-CONFIG0 | 保留 | | | | | | | | | | | | | SM-ABORT | SM-START | SM-EN |
| STATE-MACHINE-CONFIG-1 | 保留 | PERIPHERAL-ADDR | | | | | | | X | | | | | | | |
| SRAM-CONFIG | X | | | | | | | | SRAM-ADDR | | | | | | | |
| SRAM-DATA | SRAM-DATA | | | | | | | | | | | | | | | |

备注：阴影单元格表示存储在 NVM 中的寄存器位或字段。

备注：X = 不用考虑。


Copyright © 2023 Texas Instruments Incorporated

表 7-24. 寄存器名称

| I²C 或 SPI 地址（命令字节） | 寄存器名称 | 章节 |
|---|---|---|
| 00h | NOP | 节 7.6.1 |
| 03h | DAC-A-VOUT-CMP-CONFIG | 节 7.6.2 |
| 09h | DAC-B-VOUT-CMP-CONFIG | 节 7.6.2 |
| 0Fh | DAC-C-VOUT-CMP-CONFIG | 节 7.6.2 |
| 15h | DAC-D-VOUT-CMP-CONFIG | 节 7.6.2 |
| 1Fh | COMMON-CONFIG | 节 7.6.3 |
| 20h | COMMON-TRIGGER | 节 7.6.4 |
| 21h | COMMON-PWM-TRIG | 节 7.6.5 |
| 22h | GENERAL-STATUS | 节 7.6.6 |
| 26h | INTERFACE-CONFIG | 节 7.6.7 |
| 27h | STATE-MACHINE-CONFIG0 | 节 7.6.8 |
| 29h | STATE-MACHINE-CONFIG1 | 节 7.6.9 |
| 2Bh | SRAM-CONFIG | 节 7.6.10 |
| 2Ch | SRAM-DATA | 节 7.6.11 |

Copyright © 2023 Texas Instruments Incorporated

### 7.6.1 NOP 寄存器（地址 = 00h）[复位 = 0000h]

图 7-18. NOP 寄存器

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| NOP | | | | | | | | | | | | | | | |
| R/W-0h | | | | | | | | | | | | | | | |

表 7-25. NOP 寄存器字段说明

| 位 | 字段 | 类型 | 复位 | 说明 |
|---|---|---|---|---|
| 15-0 | NOP | R/W | 0000h | 无操作 |

### 7.6.2 DAC-x-VOUT-CMP-CONFIG 寄存器（地址 = 03h、09h、0Fh、15h）

备注

A 对应于引脚（11、12）上的数据转换器通道。B 对应于引脚（9、10）上的通道。C 对应于引脚（3、4）上的通道。D 对应于引脚（1、2）上的通道。

图 7-19. DAC-x-VOUT-CMP-CONFIG 寄存器（x= A、B、C、D）

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| X | | | VOUT-GAIN-x | | | X | | | | | | | CMP-x-HIZ-IN-DIS | CMP-x-INV-EN | CMP-x-EN |
| X-0h | | | R/W-0h | | | X-0h | | | | | | | R/W-0h | R/W-0h | R/W-0h |

表 7-26. DAC-x-VOUT-CMP-CONFIG 寄存器字段说明

| 位 | 字段 | 类型 | 复位 | 说明 |
|---|---|---|---|---|
| 15-13 | X | X | 0h | 不用考虑 |
| 12-10 | VOUT-GAIN-x | R/W | 0h | 000：增益 = 1 ×，VREF/MODE 引脚上的外部基准<br>001：增益 = 1 ×，VDD 作为基准<br>010：增益 = 1.5 ×，内部基准<br>011：增益 = 2 ×，内部基准<br>100：增益 = 3 ×，内部基准<br>101：增益 = 4 ×，内部基准<br>其他：无效 |
| 9-3 | X | X | 0h | 不用考虑 |
| 2 | CMP-x-HIZ-IN-DIS | R/W | 0 | 0：AINx 输入具有高阻抗。输入电压范围受限。<br>1：AINx 输入连接到电阻分压器并具有有限阻抗。输入电压范围与满量程相同。 |
| 1 | CMP-x-INV-EN | R/W | 0 | 0：请勿反转比较器输出<br>1：反转比较器输出 |
| 0 | CMP-x-EN | R/W | 0 | 0：禁用比较器模式<br>1：启用比较器模式。电流输出必须处于断电状态。必须启用电压输出模式。 |


Copyright © 2023 Texas Instruments Incorporated

### 7.6.3 COMMON-CONFIG 寄存器（地址 = 1Fh）

**备注**

A 对应于引脚（11、12）上的数据转换器通道。B 对应于引脚（9、10）上的通道。C 对应于引脚（3、4）上的通道。D 对应于引脚（1、2）上的通道。

**图 7-20. COMMON-CONFIG 寄存器**

| 15 | 14 | 13 | 12 | 11 10 | 9 | 8 7 | 6 | 5 4 | 3 | 2 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|
| RESERVED | DEV-LOCK | 保留 | EN-INT-REF | VOUT-PDN-D | 保留 | VOUT-PDN-C | 保留 | VOUT-PDN-B | 保留 | VOUT-PDN-A | RESERVED |
| R/W-0h | R/W-0h | R/W-0h | R/W-0h | R/W | R/W-1b | R/W | R/W-1b | R/W | R/W-1b | R/W | R/W-1b |

**表 7-27. COMMON-CONFIG 寄存器字段说明**

| 位 | 字段 | 类型 | 复位 | 说明 |
|---|---|---|---|---|
| 15 | 保留 | R/W | 0 | 始终写入 0。 |
| 14 | DEV-LOCK | R/W | 0 | 0：器件未锁定。<br>1：器件锁定，器件会锁定所有寄存器。要将此位重设为 0（解锁器件），需先将解锁代码写入 COMMON-TRIGGER 寄存器的 DEV-UNLOCK 字段，然后向 DEV-LOCK 位写入 0。 |
| 13 | RESERVED | R/W | 0 | 始终写入 0。 |
| 12 | EN-INT-REF | R/W | 0 | 0：禁用内部基准。<br>1：启用内部基准。在使用内部基准增益设置之前，必须设置此位。 |
| 11-10、8-7、5-4、2-1 | VOUT-PDN-x | R/W | -- | 00：为 VOUT-x 上电<br>01：通过 10kΩ 连接至 AGND，将 VOUT-x 断电<br>10：通过 100kΩ 连接至 AGND，将 VOUT-x 断电<br>11：通过高阻态连接至 AGND，将 VOUT-x 断电 |
| 9、6、3、0 | RESERVED | R/W | 1 | 始终写入 1。 |

### 7.6.4 COMMON-TRIGGER 寄存器（地址 = 20h）[复位 = 0000h]

**图 7-21. COMMON-TRIGGER 寄存器**

| 15 14 13 12 | 11 10 9 8 | 7 6 5 4 3 2 | 1 | 0 |
|---|---|---|---|---|
| DEV-UNLOCK | 重置 | 保留 | NVM-PROG | NVM-RELOAD |
| R/W-0h | R/W-0h | R/W-0h | R/W-0h | R/W-0h |

**表 7-28. COMMON-TRIGGER 寄存器字段说明**

| 位 | 字段 | 类型 | 复位 | 说明 |
|---|---|---|---|---|
| 15-12 | DEV-UNLOCK | R/W | 0000 | 0101：器件解锁密码。要解锁器件，首先写入此解锁密码，然后将 0 写入 COMMON-CONFIG 寄存器中的 DEV-LOCK 位。<br>其他：不用考虑 |
| 11-8 | 复位 | W | 0000 | 1010：触发 POR 复位。此位会自行复位。<br>其他：不用考虑 |
| 7-2 | RESERVED | R/W | 0 | 始终写入 00h。 |
| 1 | NVM-PROG | R/W | 0 | 0：不触发 NVM 写入<br>1：触发 NVM 写入。此位会自行复位。 |
| 0 | NVM-RELOAD | R/W | 0 | 0：不触发 NVM 重新加载<br>1：将数据从 NVM 重新加载到寄存器映射。此位会自行复位。 |

Copyright © 2023 Texas Instruments Incorporated

### 7.6.5 COMMON-PWM-TRIG 寄存器（地址 = 21h）[复位 = 0000h]

图 7-22. COMMON-PWM-TRIG 寄存器

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| RESERVED | | | | | | | | | | | | | | | START-FUNCTION |
| R/W-0000h | | | | | | | | | | | | | | | R/W-0h |

表 7-29. COMMON-PWM-TRIG 寄存器字段说明

| 位 | 字段 | 类型 | 复位 | 描述 |
|---|---|---|---|---|
| 15-1 | 保留 | W | 0 | 始终写入 0000h。 |
| 0 | START-FUNCTION | R/W | 0 | 0：在 AFE439A2 上停止生成 PWM。<br>1：无效。状态机自动向此位写入值。 |

### 7.6.6 GENERAL-STATUS 寄存器（地址 = 22h）[复位 = 00h、DEVICE-ID、VERSION-ID]

图 7-23. GENERAL-STATUS 寄存器

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| NVM-CRC-FAIL-INT | NVM-CRC-FAIL-USER | X | | | | | NVM-BUSY | DEVICE-ID | | | | | | VERSION-ID | |
| R-0h | R-0h | X-0h | | | | | X-0h | R | | | | | | R-0h | |

表 7-30. GENERAL-STATUS 寄存器字段说明

| 位 | 字段 | 类型 | 复位 | 说明 |
|---|---|---|---|---|
| 15 | NVM-CRC-FAIL-INT | R | 0 | 0：OTP 中无 CRC 错误<br>1：表示 OTP 加载失败。软件复位或下电上电可在发生临时故障时使器件脱离此状态。 |
| 14 | NVM-CRC-FAIL-USER | R | 0 | 0：NVM 加载中无 CRC 错误<br>1：表示 NVM 加载失败。寄存器设置已损坏。该器件允许在该错误条件下执行所有操作。重新对 NVM 进行编程以获得原始状态。软件复位可使器件摆脱此临时错误状态。 |
| 13 | X | R | 0 | 不用考虑 |
| 8 | NVM-BUSY | R | 0 | 0：NVM 可用于读取和写入。<br>1：NVM 不可用于读取或写入。 |
| 7-2 | DEVICE-ID | R | AFE639D2：0Dh<br>AFE539A4：0Ch<br>AFE439A2：0Eh | 器件标识符。 |
| 1-0 | VERSION-ID | R | 00 | 版本标识符。 |


Copyright © 2023 Texas Instruments Incorporated

### 7.6.7 INTERFACE-CONFIG 寄存器（地址 = 26h）[复位 = 0000h]

图 7-24. INTERFACE-CONFIG 寄存器

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| X | | | TIMEOUT-EN | X | | | | | | | | | FSDO-EN | X | SDO-EN |
| X-0h | | | R/W-0h | X-0h | | | | | | | | | R/W-0h | X-0h | R/W-0h |

表 7-31. INTERFACE-CONFIG 寄存器字段说明

| 位 | 字段 | 类型 | 复位 | 说明 |
|---|---|---|---|---|
| 15-13 | X | X | 0h | 不用考虑。 |
| 12 | TIMEOUT-EN | R/W | 0 | 0：禁用 $I^2C$ 超时。<br>1：启用 $I^2C$ 超时。 |
| 11-3 | X | X | 0h | 不用考虑。 |
| 2 | FSDO-EN | R/W | 0 | 0：禁用快速 SDO。<br>1：启用快速 SDO。 |
| 1 | X | X | 0 | 不用考虑。 |
| 0 | SDO-EN | R/W | 0 | 0：禁用 SDO。<br>1：启用 SDO。 |

### 7.6.8 STATE-MACHINE-CONFIG0 寄存器（地址 = 27h）[复位 = 0003h]

图 7-25. STATE-MACHINE-CONFIG0 寄存器

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| RESERVED | | | | | | | | | | | | | SM-ABORT | SM-START | SM-EN |
| R/W-0h | | | | | | | | | | | | | R/W-0h | R/W-1h | R/W-1h |

表 7-32. STATE-MACHINE-CONFIG0 寄存器字段说明

| 位 | 字段 | 类型 | 复位 | 说明 |
|---|---|---|---|---|
| 15-3 | RESERVED | R/W | 0000h | 始终写入 0。 |
| 2 | SM-ABORT | R/W | 0 | 0：状态机未中止。<br>1：状态机已中止。 |
| 1 | SM-START | R/W | 1 | 0：状态机已停止。<br>1：状态机已启动。必须使用 SM-EN 位来启用状态机。 |
| 0 | SM-EN | R/W | 1 | 0：状态机已禁用。<br>1：状态机已启用。 |

### 7.6.9 STATE-MACHINE-CONFIG1 寄存器（地址 = 29h）[复位 = C800h]

图 7-26. STATE-MACHINE-CONFIG1 寄存器

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| RESERVED | PERIPHERAL-ADDR | | | | | | | X | | | | | | | |
| R/W-1 | R/W-48h | | | | | | | X-0h | | | | | | | |

表 7-33. STATE-MACHINE-CONFIG1 寄存器字段说明

| 位 | 字段 | 类型 | 复位 | 说明 |
|---|---|---|---|---|
| 15 | 保留 | R/W | 1 | 始终写入 1。 |
| 14-8 | PERIPHERAL-ADDR | R/W | 48h | 用于 AFE639D2 上的 $I^2C$ 控制器的 7 位外设。 |
| 7-0 | X | R/W | 0 | 不用考虑 |

### 7.6.10 SRAM-CONFIG 寄存器（地址 = 2Bh）[复位 = 0000h]

图 7-27. SRAM-CONFIG 寄存器

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| X | | | | | | | | SRAM-ADDR | | | | | | | |
| X-00h | | | | | | | | R/W-00h | | | | | | | |

表 7-34. SRAM-CONFIG 寄存器字段说明

| 位 | 字段 | 类型 | 复位 | 说明 |
|---|---|---|---|---|
| 15-8 | X | X | 00h | 不用考虑 |
| 7-0 | SRAM-ADDR | R/W | 00h | 8 位 SRAM 地址。写入此寄存器字段将配置接下来要访问的 SRAM 地址。此地址会在写入 SRAM 后自动递增。 |

### 7.6.11 SRAM-DATA 寄存器（地址 = 2Ch）[复位 = 0000h]

图 7-28. SRAM-DATA 寄存器

| 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| SRAM-DATA | | | | | | | | | | | | | | | |
| R/W-0000h | | | | | | | | | | | | | | | |

表 7-35. SRAM-DATA 寄存器字段说明

| 位 | 字段 | 类型 | 复位 | 说明 |
|---|---|---|---|---|
| 15-0 | SRAM-DATA | R/W | 0000h | 16 位 SRAM 数据。在 SRAM-CONFIG 寄存器中配置的地址中读写数据。 |


Copyright © 2023 Texas Instruments Incorporated

# 8 应用和实施

**备注**

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

## 8.1 应用信息

请遵循这些指南以实现 AFE39xx 的最佳性能：

- 对于电压输出，请将 OUTx 和 FBx 引脚短接。
- 在 ADC 模式下，使用上拉电阻器将 AEN 连接到 VDD。
- 在瞬态或稳态条件下，外部基准不得超过 VDD。
- 为了在 VDD 关闭时获得最佳高阻态输出性能，应在 VREF/MODE 引脚上使用一个上拉电阻器连接到 VDD。如果 VDD 在关断状态下保持悬空，需在 AGND 上放置 100kΩ 电阻器，以便正确检测 VDD 关断状态。
- 所有数字输出均为开漏输出；应在这些引脚上使用外部上拉电阻器。
- 在上电时检测接口协议，只要 VDD 打开，器件就会锁定到该协议。
- 在系统中以 $I^2C$ 模式分配 $I^2C$ 地址时，还应考虑广播地址。
- 可以启用 $I^2C$ 超时以确保稳健性。
- SPI 模式默认为三线模式。
- 在 NVM 中将 NC/SDO 引脚配置为 SDO 以实现 SPI 回读功能。
- 回读模式下的 SPI 时钟速度比写入模式下的速度慢。
- $I^2C$ 控制器只能用于符合指定寄存器格式的特定外部器件。
- 当 $I^2C$ 控制器已启用（VREF/MODE 为高电平）时的目标 $I^2C$ 读回功能。将 VREF/MODE 引脚设置为低电平以启用 $I^2C$ 目标接口上的读写功能。

## 8.2 典型应用

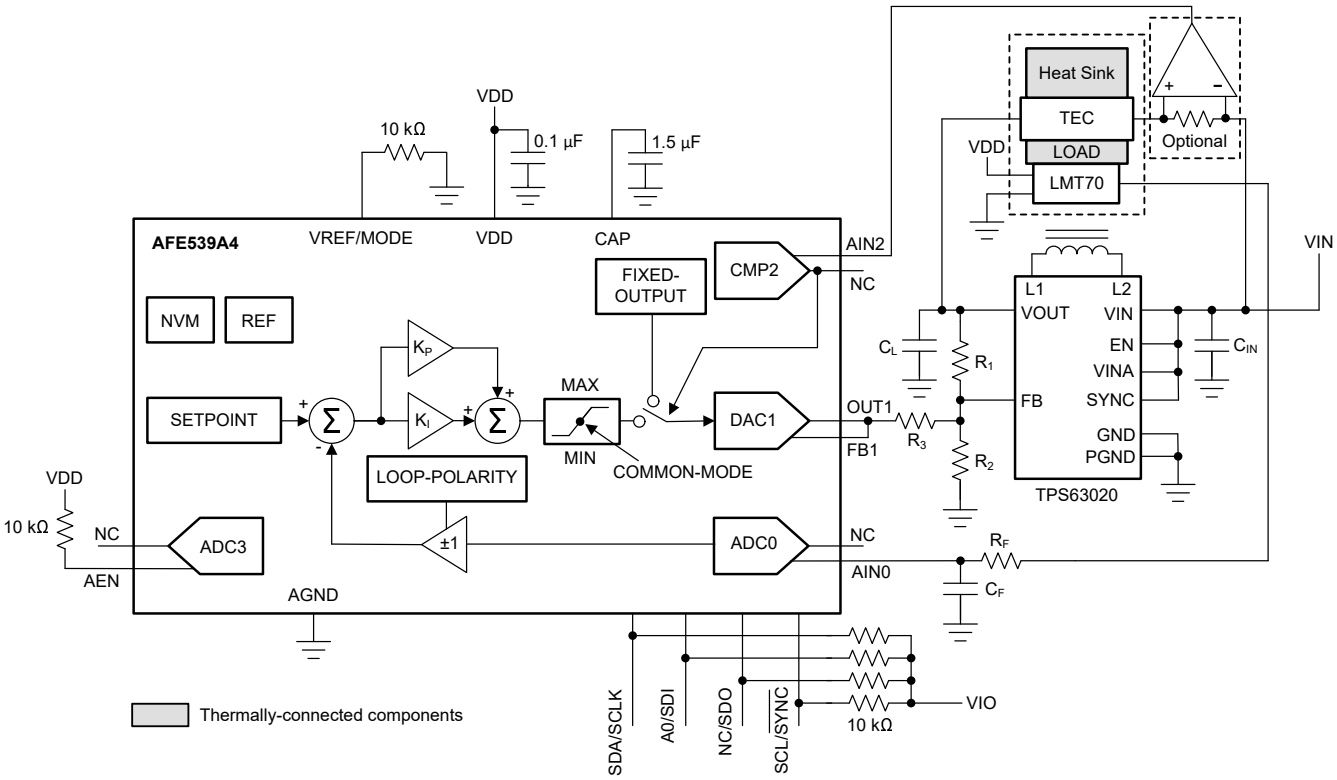



图 8-1. TEC 控制

热电冷却 (TEC) 电路可用于许多应用，例如激光二极管冷却、医学血液分析和热循环、中央处理器 (CPU) 冷却、便携式制冷、汽车座椅加热等。使用 PI 控制器控制 TEC 元件上的电压，即可控制 TEC 元件。此应用示例扩展了*低功耗 TEC 驱动器*应用报告中介绍的电路。图 8-1 展示了完整的电路图。

### 8.2.1 设计要求

表 8-1. 设计参数

| 参数 | 值 |
|---|---|
| 测量的温度范围 | –55ºC 至 +150ºC |
| AFE 输出电压范围 | 0V 至 1.8V |
| 温度设定点 | 30ºC |
| 稳态误差 | < ±0.5ºC |

### 8.2.2 详细设计过程

此设计示例使用降压/升压转换器 TPS63020，并在 VIN 和 VOUT 节点之间连接 TEC 元件以实现 TEC 元件的双向电压控制。TPS63020 的控制电压必须介于 0V 和 1.8V 之间以实现全范围的 TEC 电流。如图 8-1 所示，使用高精度模拟温度传感器 LMT70 来测量温度。LMT70 在 –55°C 至 +125°C 的温度范围内提供 1.38V 至 300mV 的电压输出。因此，应使用内部基准和 1.5 × 增益来配置 PI 控制器输出 (DAC1)。同样，使用内部基准和 4 × 增益，将 ADC0 配置为高阻态输入模式 (ADC-MODE = 0)。该配置会将 ADC0 设置为满量程输入 ($V_{FS}$) 范围 (1.21V × 4) / 3 = 1.613V。在 10 位分辨率下，ADC0 代码的 1 LSB 对应于 (1.613V / 1024) = 1.58mV。LMT70 在 30°C 时的响应斜率为 5.194mV/°C。因此，ADC0 的 1 LSB 对应于 (1.58 / 5.194) = 0.3ºC。

LMT70 对应于 30°C 温度设定点的电压输出为 943.227mV。使用方程式 4，得出 SETPOINT 输入的计算结果为 598d (0x256)。对于负反馈，请在反馈环路中使用奇数个相位反转。DAC1 输出至 TPS63020 输出有一个相位反转；当 DAC1 输出增大时，TPS63020 减小。TPS63020 输出和 TEC 冷端温度有第二个相位反转；当 TPS63020


Copyright © 2023 Texas Instruments Incorporated

输出增大时，TEC 冷端温度降低。TEC 冷端和 LMT70 具有第三个相位反转；当 TEC 冷端温度降低时，LMT70 输出电压升高。AFE39xx 的外部环路具有奇数个相位反转，因此，请确保内部 PI 控制环路没有相位反转。为了防止相位反转，请配置 LOOP-POLARITY = 1。根据检测电路中存在的噪声水平，选择图 8-1 中 $R_F$ 和 $C_F$ 的值。

当比较器的输出为低电平时，PI 控制器输出进入安全模式。因此，电流检测放大器和比较器设置必须配置为在所需的 TEC 电流限值时触发回退模式。

按照节 7.4.6.2 中描述的过程配置表 8-2 中列出的参数。

**表 8-2. PI 控制器参数**

| 寄存器字段名称 | 静态地址 | 静态地址位置 | 配置的值（16 位） | 动态地址 | 动态地址位置 |
|---|---|---|---|---|---|
| 设定点 | 0x22[9:0] | SRAM | 0x0256 | 0x06[9:0] | 寄存器 |
| $K_P$ | 0x23[15:0] | SRAM | 0x0FA0 | 不适用 | 不适用 |
| $K_I$ | 0x26[15:0] | SRAM | 0x0001 | 不适用 | 不适用 |
| MAX-OUTPUT | 0x20[15:6] | SRAM | 0xFFC0 | 不适用 | 不适用 |
| MIN-OUTPUT | 0x21[15:6] | SRAM | 0x0000 | 不适用 | 不适用 |
| 共模 | 0x25[11:2] | SRAM | 0x7FC0 | 0x0C[11:2] | 寄存器 |
| LOOP-POLARITY | 0x27[0] | SRAM | 0x0001 | 不适用 | 不适用 |
| FIXED-OUTPUT | 0x27[15:6] | SRAM | 0x0000 | 不适用 | 不适用 |
| ADC-MODE | 0x27[1] | SRAM | 0x0002 | 不适用 | 不适用 |
| CMP-THRESHOLD | 0x24[15:6] | SRAM | 0x7FC0 | 不适用 | 不适用 |

### 8.2.3 应用曲线

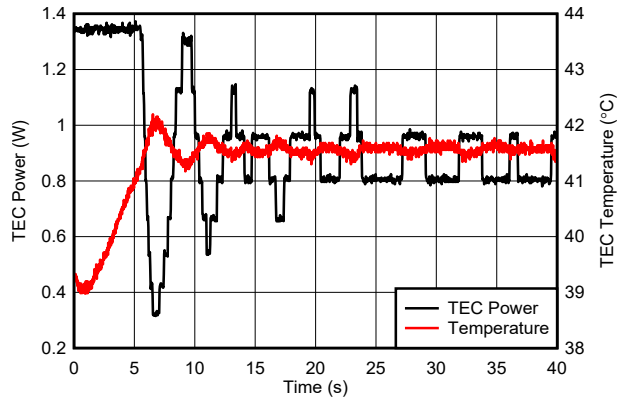



图 8-2. TEC 功率和 TEC 温度与时间之间的关系

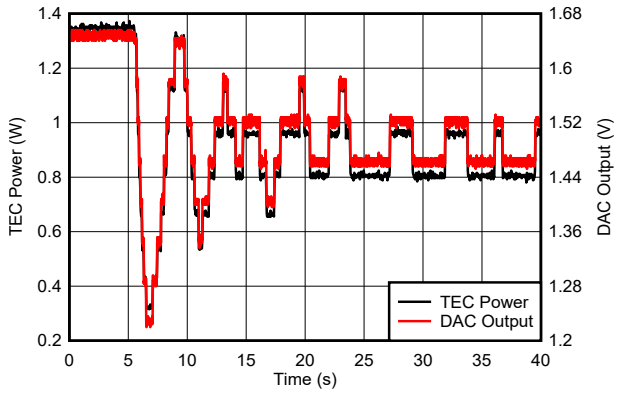



图 8-3. TEC 功率和 DAC 输出与时间之间的关系

## 8.3 电源相关建议

AFE39xx 系列器件不需要特定的电源时序。这些器件需要单个电源 $V_{DD}$。但是，应确保在 VDD 之后施加外部电压基准。$V_{DD}$ 引脚应使用 0.1μF 去耦电容器。CAP 引脚应使用约 1.5μF 的旁路电容器。

## 8.4 布局

### 8.4.1 布局指南

AFE39xx 引脚配置将模拟、数字和电源引脚分开以实现优化布局。为了保证信号完整性，需将数字和模拟走线分开，并将去耦电容器放置在器件引脚附近。

### 8.4.2 布局示例

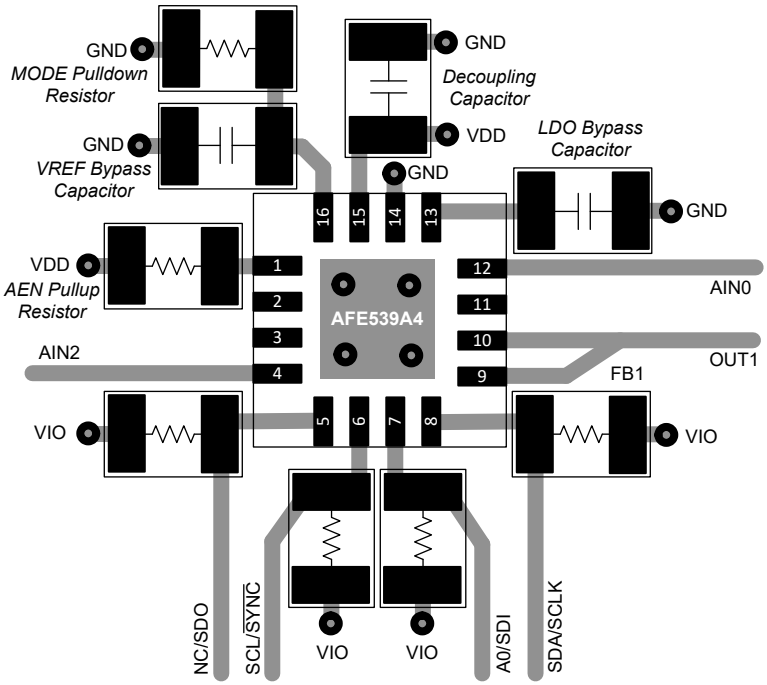



图 8-4. 布局示例

注意：为了清晰起见，这里忽略了接地平面和电源平面。将散热焊盘连接至地。


Copyright © 2023 Texas Instruments Incorporated

# 9 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

## 9.1 文档支持

### 9.1.1 相关文档

可用的文档如下：*AFE539A4 评估模块* 用户指南

## 9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*订阅更新* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

## 9.3 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

## 9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

## 9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

## 9.6 术语表

| | |
|---|---|
| TI 术语表 | 本术语表列出并解释了术语、首字母缩略词和定义。 |

# 10 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

## PACKAGING INFORMATION

| Orderable part number | Status (1) | Material type (2) | Package \| Pins | Package qty \| Carrier | RoHS (3) | Lead finish/ Ball material (4) | MSL rating/ Peak reflow (5) | Op temp (°C) | Part marking (6) |
|---|---|---|---|---|---|---|---|---|---|
| AFE439A2RTER | Active | Production | WQFN (RTE) \| 16 | 3000 \| LARGE T&R | Yes | FULL NIPDAU | Level-1-260C-UNLIM | -40 to 125 | A49A2 |
| AFE439A2RTER.A | Active | Production | WQFN (RTE) \| 16 | 3000 \| LARGE T&R | Yes | FULL NIPDAU | Level-1-260C-UNLIM | -40 to 125 | A49A2 |
| AFE539A4RTER | Active | Production | WQFN (RTE) \| 16 | 3000 \| LARGE T&R | Yes | FULL NIPDAU | Level-1-260C-UNLIM | -40 to 125 | A59A4 |
| AFE539A4RTER.A | Active | Production | WQFN (RTE) \| 16 | 3000 \| LARGE T&R | Yes | FULL NIPDAU | Level-1-260C-UNLIM | -40 to 125 | A59A4 |
| AFE639D2RTER | Active | Production | WQFN (RTE) \| 16 | 3000 \| LARGE T&R | Yes | FULL NIPDAU | Level-1-260C-UNLIM | -40 to 125 | A69D2 |
| AFE639D2RTER.A | Active | Production | WQFN (RTE) \| 16 | 3000 \| LARGE T&R | Yes | FULL NIPDAU | Level-1-260C-UNLIM | -40 to 125 | A69D2 |

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

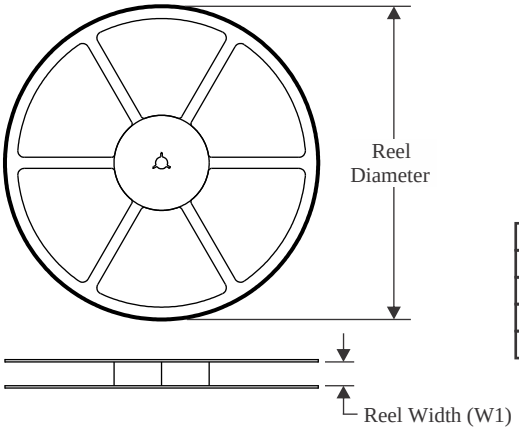
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

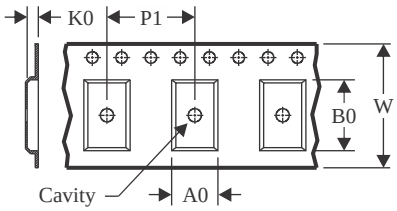
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

## TAPE AND REEL INFORMATION

**REEL DIMENSIONS**

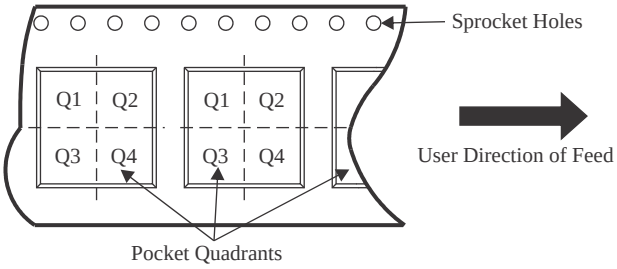



**TAPE DIMENSIONS**




| | |
|---|---|
| A0 | Dimension designed to accommodate the component width |
| B0 | Dimension designed to accommodate the component length |
| K0 | Dimension designed to accommodate the component thickness |
| W | Overall width of the carrier tape |
| P1 | Pitch between successive cavity centers |

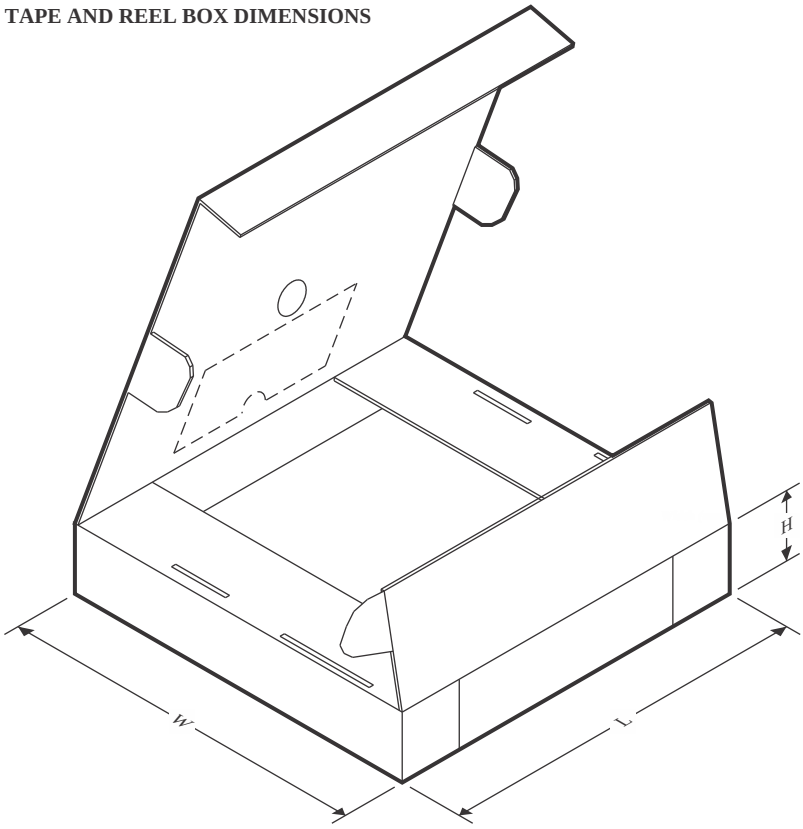
**QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE**




*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Reel Diameter (mm) | Reel Width W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| AFE439A2RTER | WQFN | RTE | 16 | 3000 | 330.0 | 12.4 | 3.3 | 3.3 | 1.1 | 8.0 | 12.0 | Q2 |
| AFE539A4RTER | WQFN | RTE | 16 | 3000 | 330.0 | 12.4 | 3.3 | 3.3 | 1.1 | 8.0 | 12.0 | Q2 |
| AFE639D2RTER | WQFN | RTE | 16 | 3000 | 330.0 | 12.4 | 3.3 | 3.3 | 1.1 | 8.0 | 12.0 | Q2 |

TAPE AND REEL BOX DIMENSIONS




*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Length (mm) | Width (mm) | Height (mm) |
|---|---|---|---|---|---|---|---|
| AFE439A2RTER | WQFN | RTE | 16 | 3000 | 367.0 | 367.0 | 35.0 |
| AFE539A4RTER | WQFN | RTE | 16 | 3000 | 367.0 | 367.0 | 35.0 |
| AFE639D2RTER | WQFN | RTE | 16 | 3000 | 367.0 | 367.0 | 35.0 |

# GENERIC PACKAGE VIEW

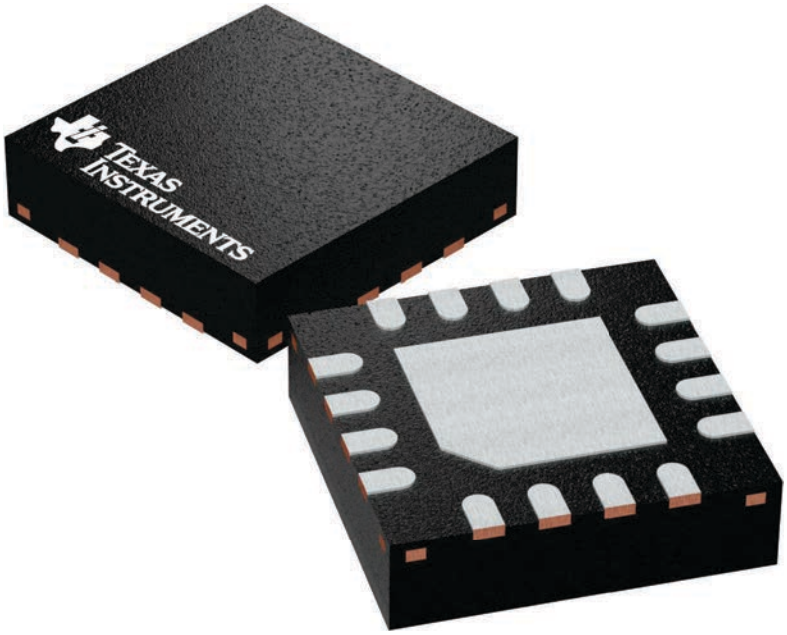
## RTE 16

## WQFN - 0.8 mm max height

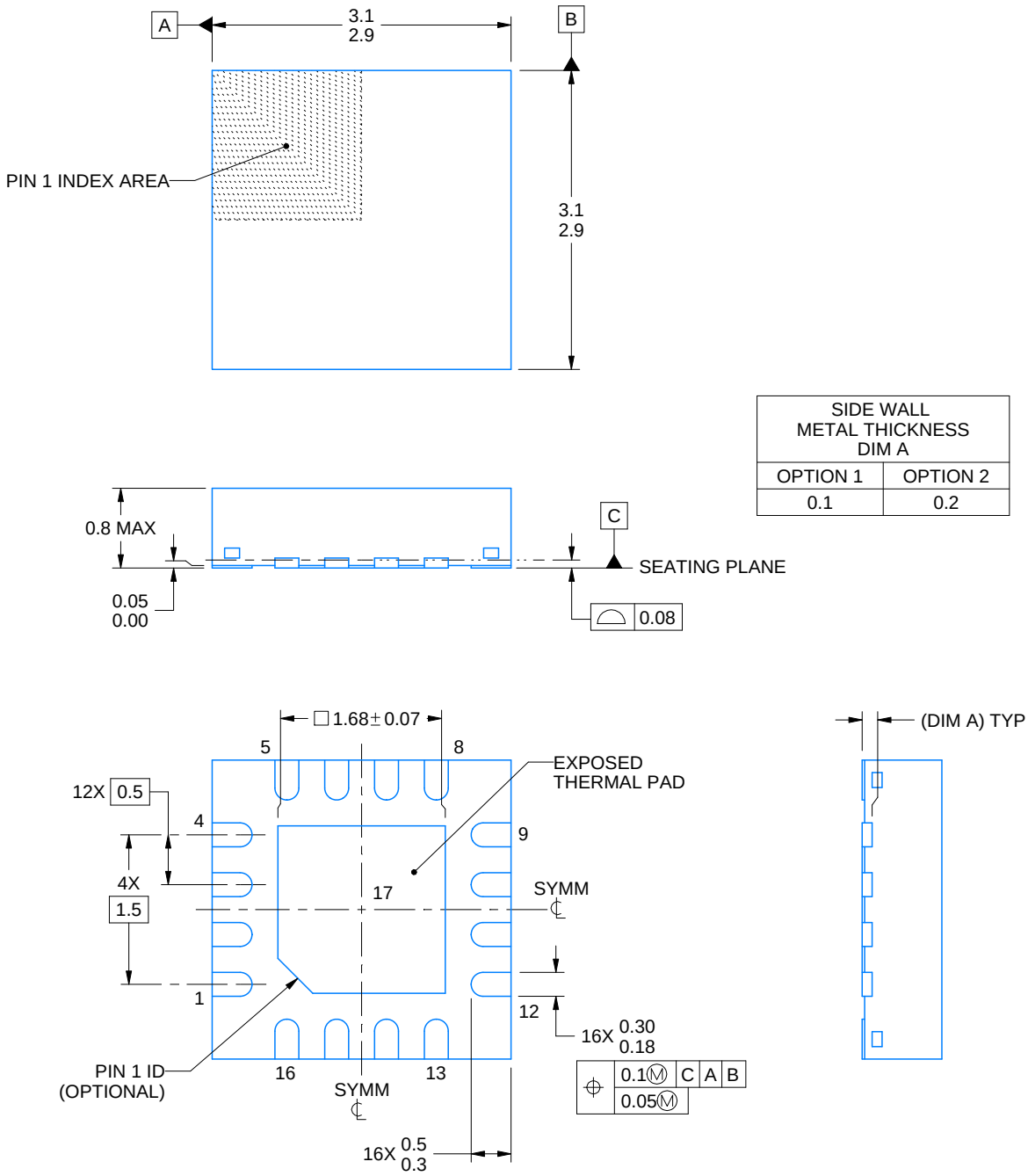
**3 x 3, 0.5 mm pitch**

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



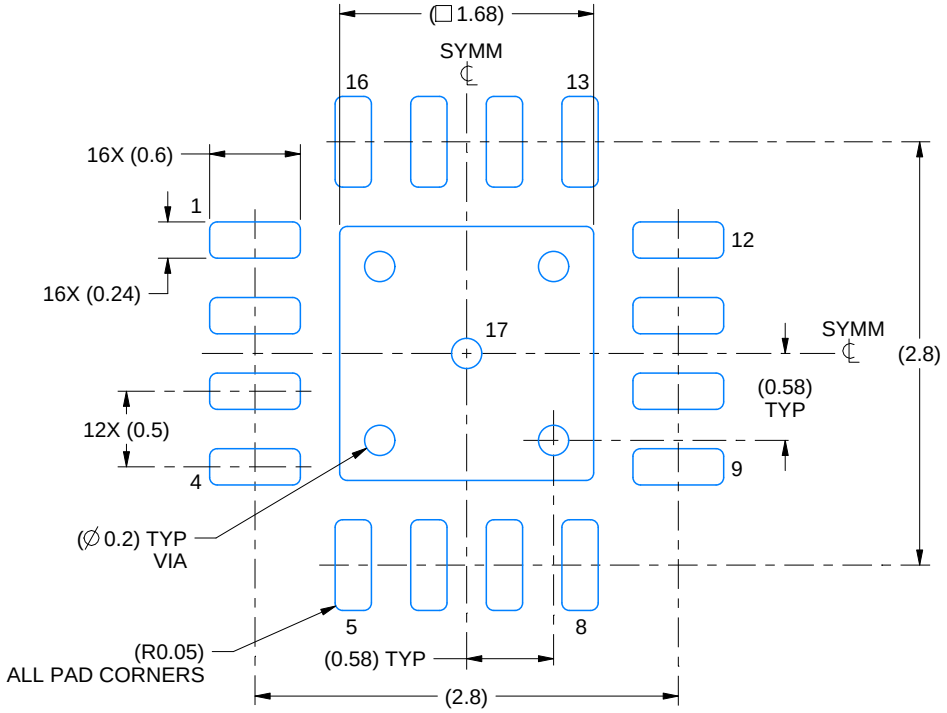

4225944/A



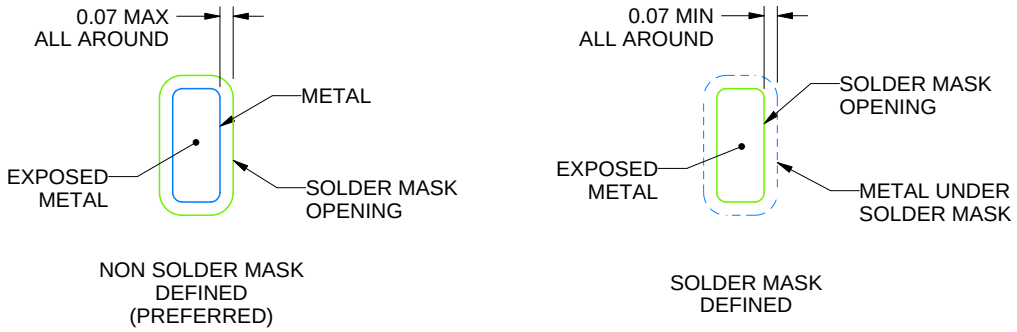

| SIDE WALL METAL THICKNESS DIM A | |
|---|---|
| OPTION 1 | OPTION 2 |
| 0.1 | 0.2 |

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.




LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

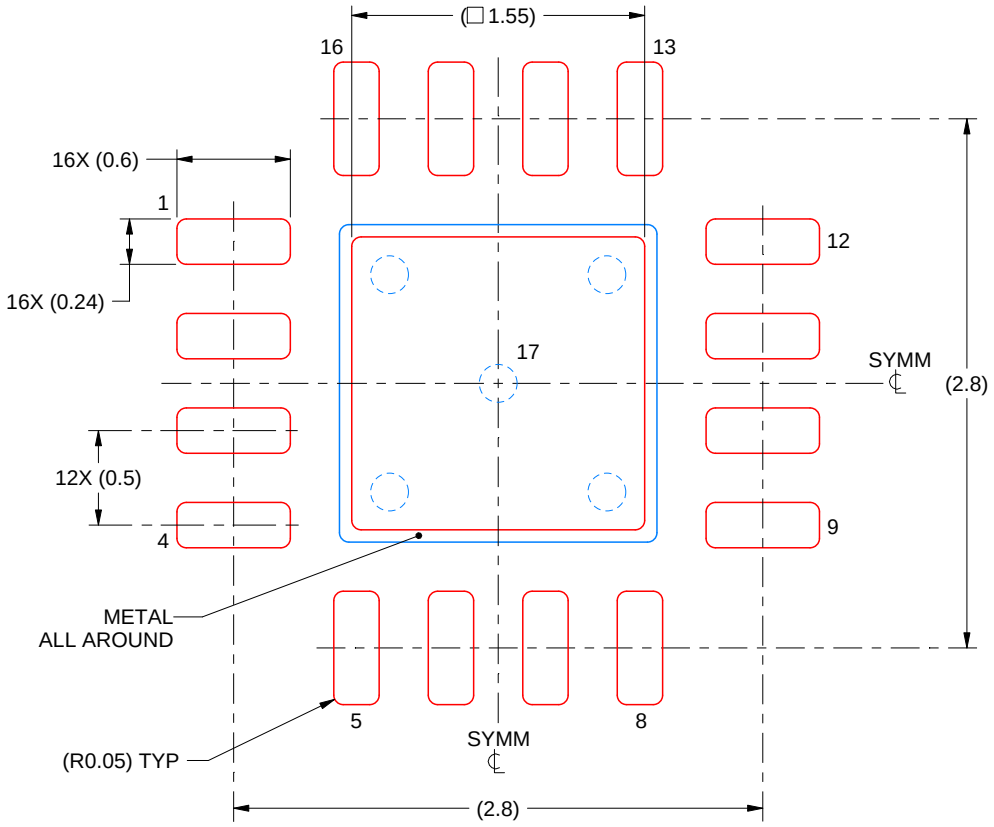



SOLDER MASK DETAILS

4219117/B 04/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.




SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4219117/B 04/2022

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

# 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月