Application Note

低像素时钟显示链路设计指南

Violet Lei *China Central FAE Team*

摘要

本文面向采用 DS90UB927Q-Q1 与 DS90UB926Q-Q1 的低像素时钟显示链路.

内容

1 简介.....2
2 关于低分辨率/低帧率显示屏的设计.....3
2.1 如何计算像素时钟.....3
2.2 如何使用 DS90UB926-Q1 和 DS90UB927-Q1 设计低分辨率下的显示屏.....3
3 调试指南.....4
3.1 low frequence mode [LF Mode] 低频模式正确配置.....4
3.2 I2C 通信.....4
3.3 信号完整性测试.....6
4 参考文档.....7

插图清单

图 1-1. 设计路径.....2
图 3-1. I2C 通信机制.....5
图 3-2. DS90UB927Q 的 AUTO ACK 机制.....5

表格清单

表 1-1. 不同分辨率下设计需求.....2
表 2-1. DS90UB927Q-Q1 设计规范.....3
表 2-2. DS90UB926Q-Q1 设计规范.....3
表 3-1. I2C 配置寄存器.....4

商标

所有商标均为其各自所有者的财产。

Copyright © 2026 Texas Instruments Incorporated

1 简介

FPD-Link 的 DS90UB926Q-Q1 和 DS90UB927Q-Q1 支持的 PCLK 范围为 5 MHz ≤ PCLK < 15 MHz（LFMODE = 1）以及 15 MHz ≤ PCLK ≤ 85 MHz（LFMODE = 0）。这对应 155 Mbps 至 2.635 Gbps 的应用有效负载速率，以及 525 Mbps 至 2.975 Gbps 的实际正向线速率。正向链路采用 NRZ 编码，Nyquist frequency 为线速率的一半，即 262.5 MHz 至 1.4875 GHz。

在面向车载大灯及地面投影时等动画显示时，可以通过 DS90UB926Q-Q1 和 DS90UB927Q-Q1 器件将 SoC 的数据进行加串和解串，并成功传输。

图 1-1. 设计路径

SoC / GPU	→	**DS90UB927Q-Q1**	→	**FPD-Link III**	→	**DS90UB926Q-Q1**	→	**TCON / Display**

表 1-1. 不同分辨率下设计需求

PCLK 范围	DS90UB927Q-Q1	DS90UB926Q-Q1	设计结论
5 MHz ≤ PCLK < 15 MHz	LFMODE = 1	LFMODE = High	必须使用 Low-Frequency Mode
15 MHz ≤ PCLK ≤ 85 MHz	LFMODE = 0	LFMODE = Low	使用默认高频配置

Copyright © 2026 Texas Instruments Incorporated

2 关于低分辨率/低帧率显示屏的设计

2.1 如何计算像素时钟

像素时钟（Pixel Clock）是显示系统中每秒传输的像素数量。

像素时钟 = 水平总像素 × 垂直总像素 × 刷新率

这里的总像素包括了有效像素和消隐像素，比如 720P @ 60Hz 的屏幕的标准参数如下：

- 水平方向：1280（有效）+ 370（消隐）= 1650
- 垂直方向：720（有效）+ 30（消隐） = 750

像素时钟 = 1650 × 750 × 60 = 74,250,000 ≈ 74.25 MHz

2.2 如何使用 DS90UB926-Q1 和 DS90UB927-Q1 设计低分辨率下的显示屏

2.2.1 引脚控制或寄存器覆盖

表 2-1. DS90UB927Q-Q1 设计规范

配置方式	5-15MHz 推荐设置	说明
硬件 strap	LFMODE pin 以 10 kΩ 上拉至逻辑电源	LFMODE=1；TI 明确要求置高时使用 10 kΩ pull-up。
软件 override	Reg 0x04[1:0] = 11b	bit1 选择寄存器控制，bit0 选择 Low-Frequency Mode；例如 0x80 变为 0x83。

表 2-2. DS90UB926Q-Q1 设计规范

配置方式	5-15MHz 推荐设置	说明
硬件 strap	MODE_SEL 选择 Mode #5：R3=226 kΩ，R4=102 kΩ（1%）	对应 LFMODE High，即 5 MHz 至 <15 MHz；不是单独的 10 kΩ 上拉。
软件 override	Reg 0x02[1:0] = 11b	bit1 使能 register override，bit0 选择 LFMODE； 回读 Reg 0x23[3]=1 确认实际状态。

MODE_SEL 是模拟配置输入，Mode #5 的分压目标约为 VDD33 的 0.311。硬件设计请以 DS90UB926Q-Q1 Pin Functions 表及实际封装 pinout 为准：MODE_SEL 为 pin 15；应核对该节点的两个分压电阻，而不是简单增加一个 pull-up。

软件 override 仅适用于已具备可达配置路径的台架验证。数据手册规定 LFMODE 改变后需要 PDB reset；同时 PDB power-down 会复位控制寄存器。927 可由本地 SoC I2C 配置；926 若只能经 BCC 访问，则必须先存在可用的 BCC，或在 deserializer 侧使用本地 I2C master。若默认 strap 下 BCC 完全不可用，软件无法从 SoC 侧写入 926 0x02，此时应优先修改硬件 strap。

Copyright © 2026 Texas Instruments Incorporated

3 调试指南

本调试指南主要面向使用 DS90UB926Q-Q1 和 DS90UB927Q-Q1 器件过程中出现的 BCC CRC 错误累积，远端 I2C 访问不通问题。BCC（bidirectional back channel）作为反向通道，以 10Mbps（5MHz）的速率主要传输 I2C、CRC、4 bit 标准 GPIO 信息

3.1 low frequence mode [LF Mode] 低频模式正确配置

当 SoC 对远端 926 或下游器件的 I2C 访问 出现 timeout；因为其发生路径位于 BCC 上，因此很容易被误判为 I2C 频率干扰、BCC watchdog 或线缆信号完整性问题。

但如果 LF Mode 没有两边正确匹配，器件将工作在不满足当前 Frequency Mode 规定范围的条件下，可能表现为 LOCK、BCC 或 Remote I2C 异常。

10 MHz PCLK		两端仍为高频模式		链路不在保证范围		LOCK / BCC 边界不稳定
BCC 数据包可靠性下降	→	远端 I2C 访问异常	→	软件看到 I2C timeout / intermittent fail		

调试导图：

1. 测量实际 PCLK（最小 / 典型 / 最大）	使用示波器实测 PCLK 频率
PCLK < 15 MHz？	是：进入 Low-Frequency Mode 核查 否：按常规链路 Debug
2. 核查 927	LFMODE strap 或 0x04[1:0]；10 MHz 目标为 11b
3. 核查 926	MODE_SEL / 0x02[1:0]；读取 0x23[3] 确认状态

3.2 I2C 通信

3.2.1 I2C 基频修改

表 3-1 中的寄存器仅改变器件作为本地 I2C master 时输出的 SCL high/low timing：926 的 0x26/0x27 作用于 deserializer 本地 I2C bus；927 的 0x18/0x19 作用于 serializer 本地 I2C bus。它们不改变 SoC 到 927 的 I2C 频率，也不改变 10-Mbps BCC line rate；链路两侧的本地 I2C 时序可以独立配置。

表 3-1. I2C 配置寄存器

器件	寄存器	说明	默认设置
DS90UB926Q-Q1	0x26=SCL High Time 0x27=SCL Low Time	每 LSB 约 50ns	0x26=0x83 0x27=0x84 I2C 频率：76.0kHz 0x26=0x14 0x27=0x26 I2C 频率：345.0kHz
DS90UB927Q-Q1	0x18=SCL High Time 0x19=SCL Low Time	每 LSB 约 50ns	0x18=0xA1 0x19=0xA5 I2C 频率：76.7kHz

3.2.2 I2C watchdog 机制

926 和 927 的 BCC watchdog 用于终止未在设定时间内完成的 control-channel transaction，例如远端 SDA 被持续拉低或 transaction 无法完成。watchdog 到期并不保证复位状态机、释放所有 bus condition 或完成完整 bus recovery；若异常仍持续，应检查状态并按数据手册采用适当的 Digital RESET 或 PDB toggle 以完成 recovery。

Copyright © 2026 Texas Instruments Incorporated

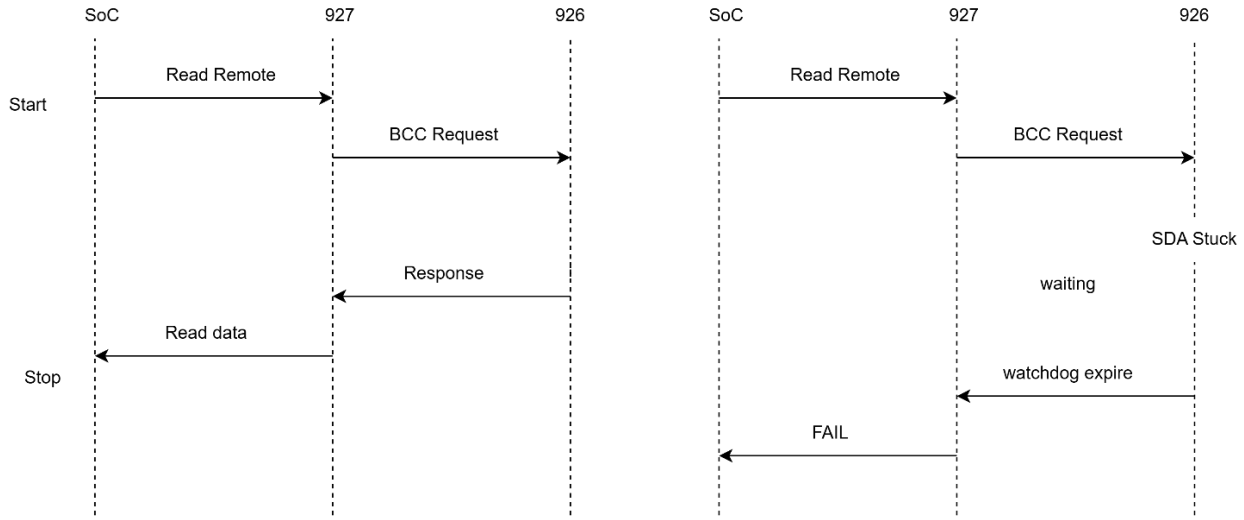


图 3-1. I2C 通信机制

应同时读取并记录 926 0x04 与 927 0x16。建议以 Remote I2C read 在 SoC 侧采集 SDA/SCL 波形，并至少比较两个明显不同的 timeout 设置；写入 timer 时须保留 bit0 的 enable/disable 状态。仅修改 926 0x04 而 927 0x16 仍为默认值时，SoC 侧观察到的 timeout 不一定随之改变。

器件	寄存器	说明	默认值	默认 timeout
DS90UB926Q-Q1	0x04[7:1]	2ms/LSB	0xFE	254ms
DS90UB927Q-Q1	0x16[7:1]	2ms/LSB	0xFE	254ms

3.2.3 DS90UB927Q-Q1 的自动 ACK 机制

当 927 的 0x03[5] Auto ACK 使能时，针对 deserializer 或符合 I2C PASS ALL 条件的 remote slave 的 I2C write，会在不等待远端应答的情况下被立即 ACK。该机制可能掩盖远端 NACK 或读写错误，不能作为远端已正常完成操作的证据；验证 watchdog 或远端可达性时优先使用 remote read。

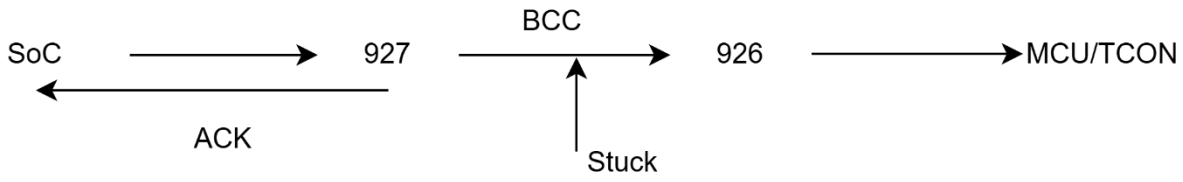


图 3-2. DS90UB927Q 的 AUTO ACK 机制

寄存器	描述
0x03[5]	Auto ACK：仅适用于 remote I2C write。使能后，写入 deserializer（或 I2C PASS ALL 条件下的 remote slave）时，927 不等待远端应答即返回 ACK；该功能会掩盖远端 NACK/错误，不能用于证明远端操作成功。 0: Disable（default） 1: Enable

Copyright © 2026 Texas Instruments Incorporated

3.3 信号完整性测试

DS90UB926Q-Q1 可配合 ALP 中受支持的 Margin Analysis Program（MAP）评估 link margin。MAP 扫描 EQ level 与 strobe position 的无错误/无失锁组合，输出的是 pass/fail margin map，而非示波器物理眼图，也不能替代 S 参数或完整通道合规性测试。具体操作请参考 SNLU243。

当低 PCLK 的 Frequency Mode、供电和复位条件已确认正确，而故障仍与温度、振动、线束/连接器受力或噪声相关时，可以 S 参数作为完整通道的合规性验证。对于 DS90UB927Q-Q1 + DS90UB926Q-Q1 单通道链路，计算如下：

- Forward-channel line rate = PCLK × 35
- Nyquist frequency = Forward-channel line rate / 2 = PCLK × 17.5

插损和回损 RL/IL 必须在规定的全频段内比较。

定义 pin to pin 范围	→	VNA 校准与去嵌	→	测完整信号通道	→	导出 S2P/S4P 文件	→	按 TI channel spec 规范判定

VNA 测量端口应设置于 927 与 926 的 FPD-Link pin 和 reference plane 之间，测试对象必须包括 serializer PCB、HSD/中间连接器、线缆组件和 deserializer PCB。对于 100 ohm differential channel，可使用 differential-mode S parameters：SDD11/SDD22 评估回波损耗，SDD21/SDD12 评估插入损耗；如项目规范要求，还应评估 mode conversion 等指标。保留校准方法、夹具模型、去嵌设置和原始 .sNp 文件。只测 PCB 或只测线缆只能作为 budget 分析，不能替代 total-channel PASS/FAIL。具体 S 参数详解请参考：ZHCAG93 – AUGUST 2026

DS90UB926Q-Q1 和 DS90UB927Q-Q1 属于 FPD3 代器件；因此通道规范需要符合 FPD3-Channel-Requirements -DS90UH94xA_Rev0p5.pdf 的要求；

Copyright © 2026 Texas Instruments Incorporated

4 参考文档

Texas Instruments, DS90UB927Q-Q1 SNLS416

Texas Instruments, DS90UB926Q-Q1 SNLS422

Texas Instruments, ZHCAG93； S 参数与 FPD-Link Channel Spec 详解

Texas Instruments, SNLU243； FPD-Link Margin Analysis Program (MAP) user's guide

Copyright © 2026 Texas Instruments Incorporated

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月