

Nanxiao Zhong, Jacob Wang

摘要

本文介绍了使用 TI C2000™ F28P65x 系列微控制器实现适用于 BBU 的多相交错并联 Boost 升压变换器的峰值电流模式 (PCM) 控制。本文阐述了 C2000 信号处理路径和配置建议并提出了片上逐周期限流 CBC 和电感负电流关断的配置方法, 同时介绍了双 CPU 协同工作的优势和不停机在线升级流程, 为数据中心 BBU/ CBU 等大功率 DC/DC 提供设计指导。

内容

1 引言.....	2
2 BBU Interleave DC/DC 拓扑和控制框架.....	3
3 F28P65X 实时控制信号路径.....	4
4 F28P65X 硬件 SysConfig 配置与工程实现.....	6
4.1 CMPSS 配置注意事项.....	6
4.2 EPWM XBAR 配置.....	7
4.3 EPWM 配置.....	8
5 F28P65x 双 CPU 协同工作以及注意事项.....	12
6 测试波形.....	13
7 参考文献.....	17

插图清单

图 2-1. 交错并联 BOOST 拓扑.....	3
图 3-1. F28P65X 的控制信号路径.....	4
图 3-2. EPWM 框图.....	5
图 4-1. CPMSS PCM 控制.....	6
图 5-1. FLASH Bank 配置参考.....	12
图 6-1. PCM CBC 占空比生成.....	13
图 6-2. EPWM6A 和 EPWM6B 的死区波形.....	14
图 6-3. EPWM6A 和 EPWM4A 的相移.....	14
图 6-4. EPWM6 和 EPWM4 的 SOC 触发.....	15
图 6-5. CMPSS 触发保护.....	16

商标

所有商标均为其各自所有者的财产。

1 引言

数据中心的 BBU (Battery Backup Unit) 需要在 AC/PSU 掉电后的 2~5 分钟内快速接管负载供电，为母线的切换、负载迁移和安全关机争取时间窗口。DC/DC 变换器作为电池与数据中心母线的唯一功率接口，其动态响应能力直接决定了 BBU 的可用性。

传统模拟控制方案 (如峰值电流模式 PWM 控制器) 在多相并联、在线参数调整和固件升级等需求面前灵活性不足。F28P65x 系列 DSP 因其丰富的集成外设，高效的环路控制和双 CPU 多 Flash Bank 的特点，能够克服 BBU 的高功率密度，动态响应和不停机在线升级的挑战。本文以多相放电的 Boost 和充电 Buck 非对称交错并联方案为例，介绍 F28P65x 实现峰值电流模式控制的硬件信号链设计、软件配置方法以及双 CPU 协同工作的要点。

2 BBU Interleave DC/DC 拓扑和控制框架

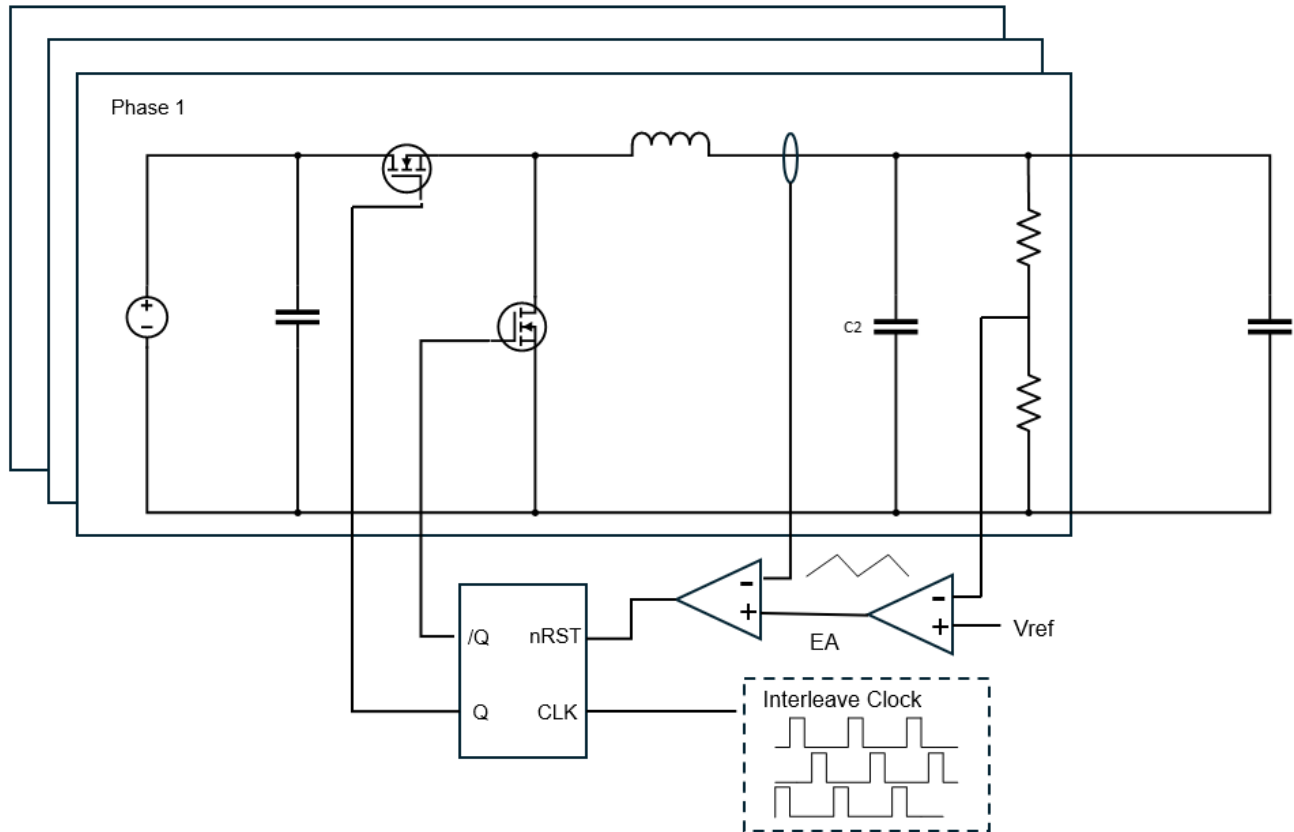


图 2-1. 交错并联 BOOST 拓扑

BBU/CBU 要求极高的功率密度，非隔离的交错并联 Buck/Boost 因其磁性器件体积小和纹波抵消以减少输出电容的优势被广泛应用。数据中心一般不要求 BBU 快速充电，但要求其在短时间（通常为 2-5 分钟）内提供极大的应急峰值功率，因此一般充电相数会少于放电相数。如 图 2-1 所示，由于充电 Buck 易于实现，本系统以多相交错并联放电 Boost 为例进行介绍。在某些功率密度要求更高的场景，双向 Buck/Boost 拓扑也会作为选择，但也会带来冗余设计和充放电时序控制的挑战。

控制部分的挑战在于负载空满载切换的动态性能要求和相间均流。设计上一般会使用峰值电流控制模式（PCM），通过电流内环使电感表现为受控电流源，将传统 Boost 的小信号传递函数降阶为一阶单极点系统，规避了右半平面零点（RHPZ）导致的相位恶化风险，允许大幅拓宽电压外环控制带宽以提升系统动态表现。相间均流采用共享 COMP 的自适应方案，相间 PWM 比较器统一以相同的电压误差信号作为输入与峰值电流信号进行比较后触发占空比。当某相电感感量偏小导致电流上升斜率偏快时，该相电流将在同一阈值处提前触发比较器翻转，从而在该周期内产生更窄的占空比，自动压低平均能量输出。整个均流过程在逐周期硬件层面完成，不占用 ADC 采样通道和主控 运算资源。对比下垂法和民主均流法等集成度上有较大的优势。

3 F28P65X 实时控制信号路径

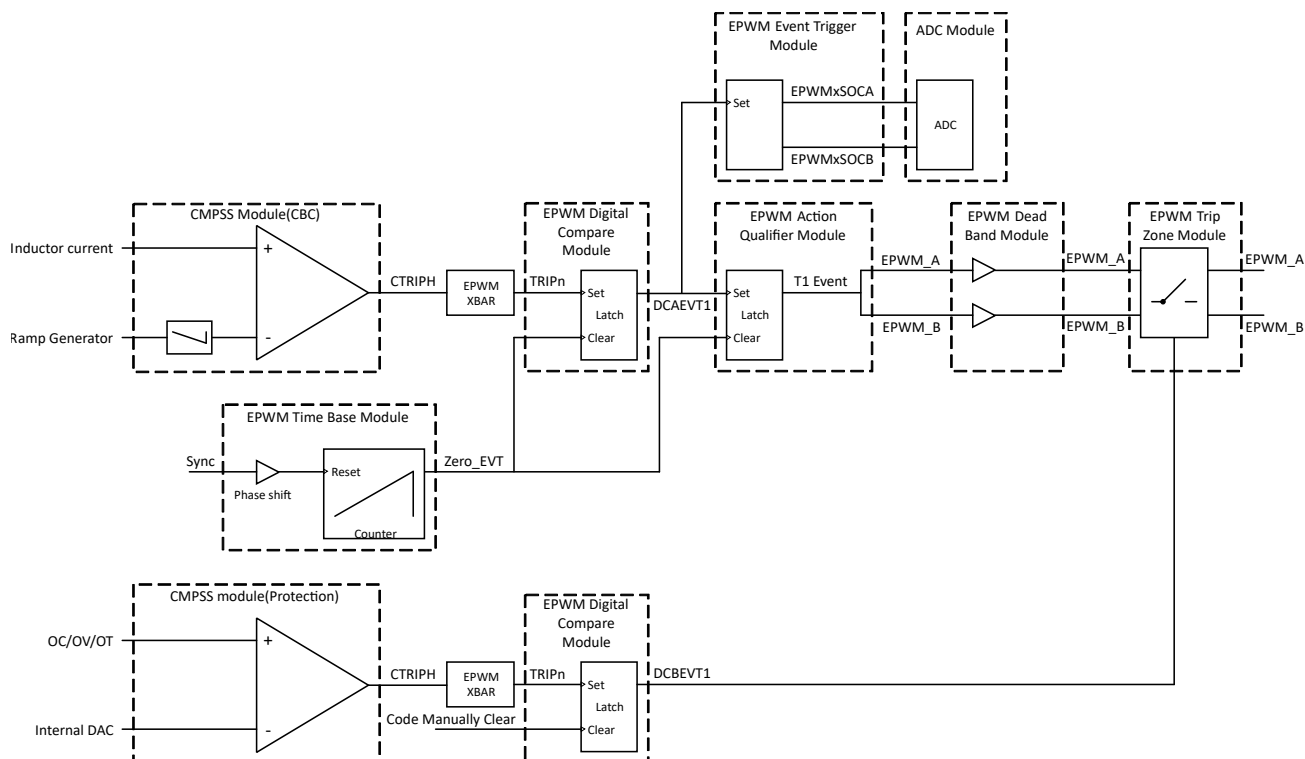


图 3-1. F28P65X 的控制信号路径

本章节会介绍 F28P65X 实时控制的信号路径的设计。如 图 3-1 所示，信号路径主要由 CMPSS, EPWM XBAR, EPWM 和 ADC 等外设构成。相比于一般使用 Trip Zone 产生 CBC 控制的方法，本文使用 Action Qualifier 产生 CBC 控制信号，该方法的优势在于解决 Trip Zone 模块在 EPWM 中在 Dead Band 模块的后面从而无法叠加死区控制的挑战。使用 Action Qualifier 模块产生 CBC 信号，可以叠加死区控制信号，因为 Action Qualifier 在 Dead Band 模块之前，此外 Trip Zone 模块可以用于加工出关闭所有 PWM 信号输出的保护信号。

下面具体介绍各个外设模块的用法以及功能。

- **CMPSS:** 该比较器的比较参考可以设置为内部斜坡发生器或者 DAC，第一个功能是使用斜坡发生器作为参考基准与电感电流进行比较以生成 CBC 控制信号，第二个功能是使用内部 DAC 作为参考基准，与故障信号（过流，过压，过温等）进行比较，在故障信号发生时触发一次性的 PWM 关断保护信号。
- **EPWM X-BAR:** 将 CMPSS 触发事件 CTRIPH 加工成可被 EPWM Digital Compare 模块使用的 TRIP 信号。
- **EPWM Digital Compare:** 该模块将从 EPWM X-BAR 给出的 TRIP 信号加工成 DCAEVT 1 事件给到 Action Qualifier 模块做 CBC 控制，同时将该 DCAEVT 1 事件传递给 Event Trigger 模块以触发 CBC 事件发生时的 ADC 峰值电流采样。此外，该模块也将 EPWM X-BAR 给出的 TRIP 信号加工成 DCBEVT 1 事件给到 Trip Zone 模块做 one shot 保护。
- **EPWM Action Qualifier:** 该模块将从 Digital Compare 模块接收到的 DCAEVT 1 事件加工成 T1 事件，并定义了 EPWM 周期零点以及 T1 事件发生时 EPWM 通道 A 和 B 的输出，从而实现了 CBC 功能。
- **EPWM Dead Band:** 该模块增加了两个开关管之间的死区，避免了同时导通可能产生的损坏。
- **EPWM Trip Zone:** 该模块接收从 Digital Compare 传递过来的 DCBEVT 1 事件，并定义事件发生时上下开关管的行为，从而在故障发生时关闭所有 PWM 输出信号以保护硬件线路。
- **EPWM Event Trigger:** 该模块接收从 Digital Compare 模块来的 DCAEVT 1 事件，并以此事件触发 ADC 模块的峰值电流采样。

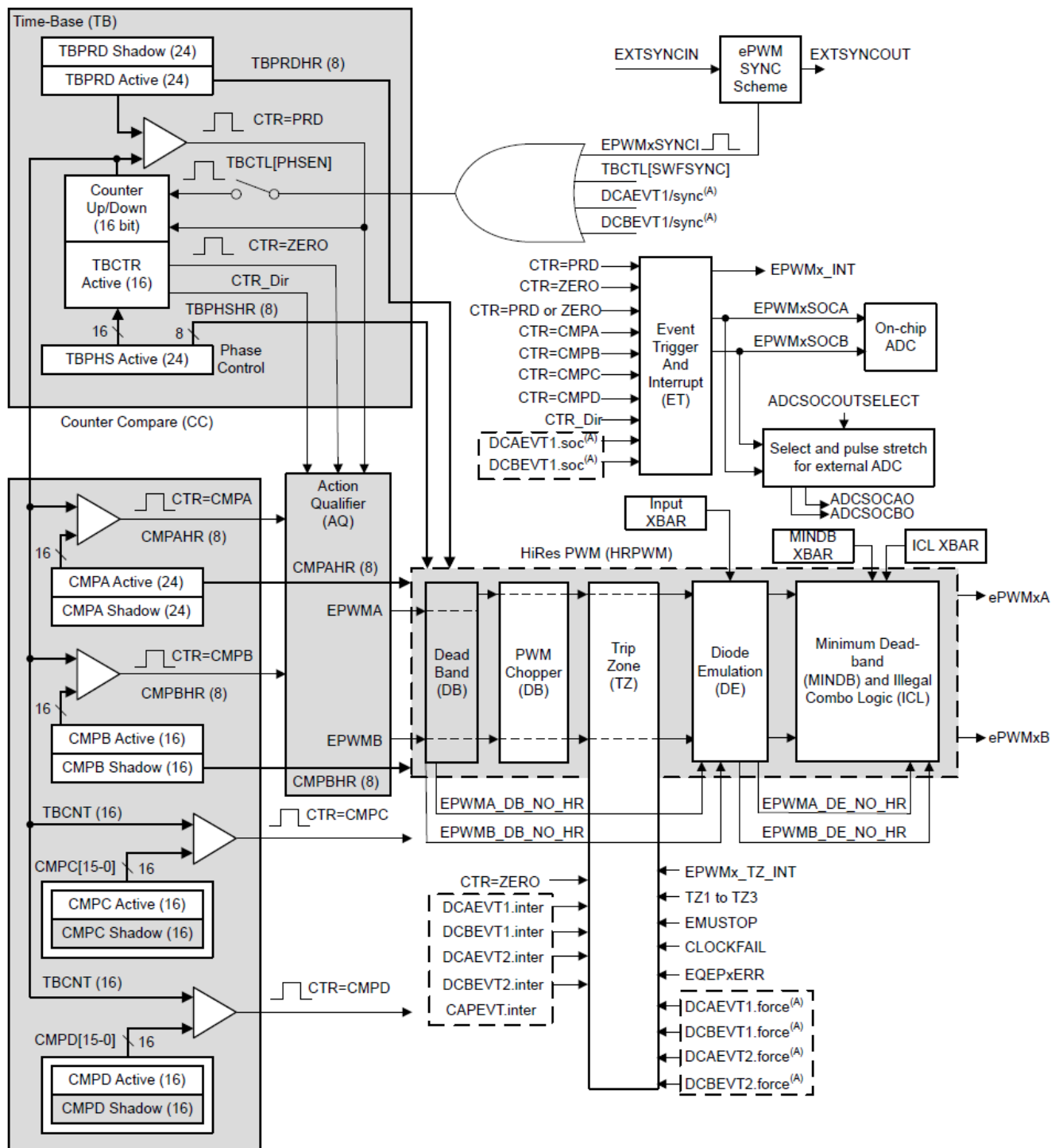


图 3-2. EPWM 框图

4 F28P65X 硬件 SysConfig 配置与工程实现

4.1 CMPSS 配置注意事项

4.1.1 CMPSS 的斜坡补偿和逐周期电流限制

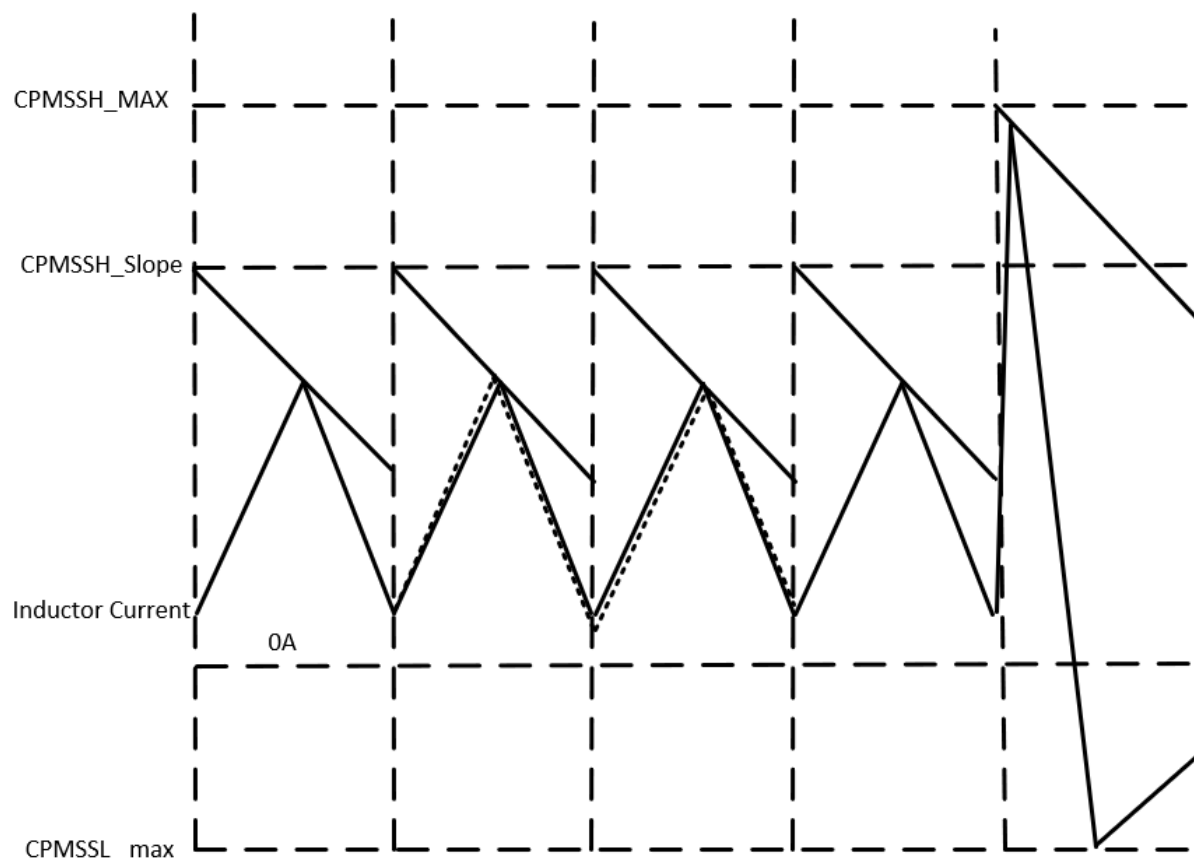


图 4-1. CPMSS PCM 控制

在多相 Boost 放电线路中，我们为每一相 Boost 输出分配一个 CMPSS 比较模块用以触发峰值控制模式下的 CBC 事件的捕获。BBU 因输入端为电池有着较宽的输入电压范围且工作在连续导通模（CCM），50%以上占空比情况较为常见，该工况由于误差无法收敛，会引发电流内环的次谐波振荡。因此斜坡补偿的设计尤为重要。

CMPSS 模块提供为向下计数模式，并根据电感电流下降沿斜率设定对应的斜坡递减步长 Ramp Generator Step Value 与斜坡发生器的时钟频率 Ramp Clock Frequency。再将斜坡发生器的同步源配置为对应的 EPWM 模块，这样斜坡发生器会在 EPWM 周期起始时重置斜坡发生器的值为预设的最大值。

逐周期限流保护（CBC）一般用于开关周期内电感峰值电流的保护，一般情况下由外部模拟电路实现或者额外的比较电路实现。CMPSS 提供了另外一种可能性，通过将 Max Ramp Generator Reference Value 最大值限制在允许的对应该电感电流最大值，可以通过单路 CMPSS 无需任何额外外围电路便利地实现 CBC，适合于 BBU 这种对功率密度要求高的应用。但同时也需要注意以下几点：

1. 因 CMPSS 到最终的 PWM 有一定延时（通常为 50ns 左右），需要充分考虑电感和功率器件的设计冗余。
2. 设计时应充分考量最大初始值的设定，因 RAMP 会随占空比的持续开启而下降，导致单周期能量输出限制。

根据以上的说明，以下为 CMPSS 的具体配置流程：

1. 斜坡发生器的配置如下，最大的参考值范围为 0-65535，根据步长和时钟频率，可以计算周期最大时的参考电压。这里需要注意的是，最大基准值的复位时间绑定 EPWM 模块：

Ramp Generator Configuration	
Ramp Direction	Count Down
Max Ramp Generator Reference Value	40000
Ramp Generator Step Value	20
Ramp Generator Delay Value	0
Ramp Generator Clock Divider Value	RAMPCLK = SYSCLK/2
Ramp Clock Frequency [MHz]	100
EPWMSYNCPER source number	EPWM6SYNCPER
Ramp Generator Reset	load the ramp generator from the shadow register

2. CMPSS 的正输入引脚配置如下，每个 CMPSS 最大有四个可选的输入引脚。

CMPSS MUX Select	
CMPHPMXSEL	Input Signal 0
Selected MUX Signal for HP input	M1: A14/B14/C14

3. 如下配置 DAC 相关的配置。

High DAC Configuration	
DAC value load	DAC value updated from EPWMSYNCPER
DAC reference voltage	VDDA is the voltage reference
DAC value source	DAC value is updated from the ramp register

4.1.2 CMPSS 的负电流关断应用

在大功率同步 Boost 中，续流环节的负电感电流应该被着重考量，过大的负电流会导致能量回灌，存在 DC/DC 损坏的隐患。本文基于 CMPSS 模块同样提出了一个简洁的配置方式：每一个 CMPSS 模块具备两个内部比较模块（CMPSSH/CMPSSL），CMPSSH 负责占空比的生成，CMPSSL 配置为负电流识别。在 FCCM 模式下可能存在的负电流工况，通过 CMPSSL 触发负电流阈值，关断同步管驱动，从而保护电路。同样的，该模块也可以用于零点压开通 ZVS 的实现。

对于作为负电流保护的 CMPSS 模块，我们直接使用固定 DAC 值而非斜坡发生器。

4.1.3 CMPSS 的故障保护

当发生过压，过流等故障工况时，需要系统快速识别出故障事件并做出保护动作，故障工况的识别可以使用 CMPSS 模块来捕获，并使用内部 DAC 作为参考基准。

High Comparator Configuration	
Name	
Negative input source	Input driven by internal DAC
Output is inverted	☐
Asynch OR Latch	☐
Signal driving CTRIPOUTH	Asynchronous comparator output drives CTRIPOUTH
Signal driving CTRIPH	Asynchronous comparator output drives CTRIPH
Set high comparator DAC value	3800

4.2 EPWM XBAR 配置

CMPSS 模块的比较触发可以通过 EPWM XBAR 转化为 EPWM 模块使用的 TRIP 信号。如下为 CMPSS 模块 EPWM XBAR 的具体配置，注意该配置仅可在 CPU1 的工程中实现：

Name	
Trip Input	Boost_1_XBAR
Invert Mode	☐
Auto Enable Mux Setting From Source	☐
Mux Selection Method	
MUXes to be used	MUX 06
MUX 6 Config	CMPSS4 CTRIPH

具体 Mux Selection 的介绍可以在可在用户手册 [TMS320F28P65x Real-Time Microcontrollers datasheet \(Rev. D\)](#) 的 16.2 章节查阅。

4.3 EPWM 配置

4.3.1 交错并联 PWM 全局配置

EPWM 是最终 PWM 的控制模块，在 Interleave 应用每相的移相应为 $360^\circ/n$ 以抵消输出电流纹波，所以要求我们定义 EPWM 的周期和计数方式。本文会使用 Phase Shift 功能配置各个 EPWM 的相位差，通过一路选定的 EPWM 为基准，配置其他 EPWM 模块的移相角度。参考配置如下：

EPWM Time Base	
Emulation Mode	
Time Base Clock Divider	Stop after next Time Base counter increment or decrement
High Speed Clock Divider	Divide clock by 2
Time Base Period Load Mode	☒ For perfectly synchronized TBCLKs across multiple EPWM modules, if
Time Base Period Load Event	Divide clock by 1
Time Base Period	PWM Period register access is through shadow register
Time Base Period Link	Shadow to active load occurs when time base counter reaches 0
Enable Time Base Period Global Load	2000
Initial Counter Value	Disable Linking
Counter Mode	☐
Enable Phase Shift Load	0
Phase Shift Value	Up - count mode
Force a Sync Pulse	☒
Sync In Pulse Source	☒ If the EPWMxSYNCIN signal is held HIGH, the sync will NOT continuously
Sync Out Pulse	400
One-Shot Sync Out Trigger	☐
EPWMxSYNCPER Source Select	Sync-in source is EPWM6 sync-out signal
	Counter zero event generates EPWM sync-out pulse
	Trigger is OSHT sync
	Counter equals zero

4.3.2 单相 EPWM 模块配置

在 EPWM 的 Digital Compare 模块，可以将 EPWM X-BAR 路由过来的 Trip 4 事件进一步加工成 Action Qualifier 模块可用于峰值控制的 DCAEVT1 事件。注意这个事件同时也是触发 ADC SOC 的事件，具体配置参考如下：

EPWM Digital Compare	
DCAEVT1 and DCAEVT2	
Digital Compare A High	Trip 4
Combination Input Sources (Digital Compare A High)	None
Digital Compare A Low	Trip 1
Combination Input Sources (Digital Compare A Low)	None
Condition For Digital Compare output 1 A	Event when DCxH high
Condition For Digital Compare output 2 A	Event is disabled
Generate ADC SOC (DCAEVT1)	☒
Generate SYNCOUT (DCAEVT1)	☐
Synch Mode (DCAEVT1)	DC input signal is synced with TBCLK
Signal Source (DCAEVT1)	Signal source is unfiltered (DCAEVT1/2)
CBC Latch Mode (DCAEVT1)	DC cycle-by-cycle(CBC) latch is disabled
CBC Latch Clear Event (DCAEVT1)	Clear CBC latch when counter equals zero
Synch Mode (DCAEVT2)	DC input signal is synced with TBCLK
Signal Source (DCAEVT2)	Signal source is unfiltered (DCAEVT1/2)
CBC Latch Mode (DCAEVT2)	DC cycle-by-cycle(CBC) latch is disabled
CBC Latch Clear Event (DCAEVT2)	Clear CBC latch when counter equals zero

Action Qualifier 模块负责将 DCAEVT1 加工成 T1 事件，参考配置如下：

EPWM Action Qualifier ⓘ

Enable Continuous SW Force Global Load

Continuous SW Force Shadow Mode

T1 Trigger Source

T2 Trigger Source

☐

Shadow mode load when counter equals zero

Digital compare event A 1

T1/T2 selection and configuration of a trip/digital-compar submodule

Digital compare event A 2

T1/T2 selection and configuration of a trip/digital-compar submodule

进一步定义计数器归零事件与 T1 事件发生时，EPWMxA 和 EPWMxB 通道的行为如下：

ePWMxA Event Output Configuration

ePWMxA Time base counter equals zero	Set output pins to High
ePWMxA Time base counter equals period	No change in the output pins
ePWMxA Time base counter up equals COMPA	No change in the output pins
ePWMxA Time base counter down equals COMPA	No change in the output pins
ePWMxA Time base counter up equals COMPB	No change in the output pins
ePWMxA Time base counter down equals COMPB	No change in the output pins
ePWMxA T1 event on count up	Set output pins to low
ePWMxA T1 event on count down	No change in the output pins
ePWMxA T2 event on count up	No change in the output pins
ePWMxA T2 event on count down	No change in the output pins

ePWMxB Event Output Configuration

ePWMxB Time base counter equals zero	Set output pins to low
ePWMxB Time base counter equals period	No change in the output pins
ePWMxB Time base counter up equals COMPA	No change in the output pins
ePWMxB Time base counter down equals COMPA	No change in the output pins
ePWMxB Time base counter up equals COMPB	No change in the output pins
ePWMxB Time base counter down equals COMPB	No change in the output pins
ePWMxB T1 event on count up	Set output pins to High
ePWMxB T1 event on count down	No change in the output pins
ePWMxB T2 event on count up	No change in the output pins
ePWMxB T2 event on count down	No change in the output pins

至此，EPWM 的 A/B 两个输出通道可以直接根据 CMPSS 触发的 CTRIPH 翻转事件完成 CBC 控制。
 下一步，我们为上下管增加死区控制。这个功能可以在 Dead Band 模块实现，参考配置如下：

EPWM Dead-Band	
Common Dead-Band Modes	Mode for the Dead-Band Submodule
Rising Edge Delay Input	Input signal is ePWMA
Falling Edge Delay Input	Input signal is ePWMA
Rising Edge Delay Polarity	DB polarity is not inverted
Falling Edge Delay Polarity	DB polarity is inverted
Enable Rising Edge Delay	☒
RED Shadow Load Event	Load when counter equals zero
Enable RED Shadow Mode	☐
Rising Edge Delay Value	50
Enable Falling Edge Delay	☒
FED Shadow Load Event	Load when counter equals zero
Enable FED Shadow Mode	☐
Falling Edge Delay Value	50
Swap Output for EPWMxA	☐
Swap Output for EPWMxB	☐
Enable Deadband Control Global Load	☐
Deadband Control Shadow Load Event	Load when counter equals zero
Enable RED Global Load	☐
Enable FED Global Load	☐
Dead Band Counter Clock Rate	Dead band counter runs at TBCLK
Dead Band Rising Edge Delay Link	Disable Linking
Dead Band Falling Edge Delay Link	Disable Linking

在 BBU 应用中，过/欠压，过流和过温等故障需要关断锁定，我们需要 EPWM 迅速关闭所有输出来进行保护。在 Digital Compare 模块中，可以将路由过来的 Trip6 事件加工成 DCBEVT1，参考配置如下：

DCBEVT1 and DCBEVT2	
Digital Compare B High	Trip 6
Combination Input Sources (Digital Compare B High)	None
Digital Compare B Low	Trip 1
Combination Input Sources (Digital Compare B Low)	None
Condition For Digital Compare output 1 B	Event when DCxH high
Condition For Digital Compare output 2 B	Event is disabled
Generate ADC SOC (DCBEVT1)	☐
Generate SYNCOUT (DCBEVT1)	☐
Synch Mode (DCBEVT1)	DC input signal is synced with TBCLK
Signal Source (DCBEVT1)	Signal source is unfiltered (DCAEVT1/2)
CBC Latch Mode (DCBEVT1)	DC cycle-by-cycle(CBC) latch is disabled
CBC Latch Clear Event (DCBEVT1)	Clear CBC latch when counter equals zero
Synch Mode (DCBEVT2)	DC input signal is synced with TBCLK
Signal Source (DCBEVT2)	Signal source is unfiltered (DCAEVT1/2)
CBC Latch Mode (DCBEVT2)	DC cycle-by-cycle(CBC) latch is disabled
CBC Latch Clear Event (DCBEVT2)	Clear CBC latch when counter equals zero

EPWM A/B one shot 保护动作的实现，我们在 Trip Zone 模块中实现，并注册一个中断，参考如下。

EPWM Trip Zone	
Use Advanced EPWM Trip Zone Actions	☐
TZA Event	Low voltage state
	 Conflicting actions on the TZCTL, TZCTL2, TZOTLDC
TZB Event	Low voltage state
	 Conflicting actions on the TZCTL, TZCTL2, TZOTLDC
DCAEVT1 Event	High impedance output
DCAEVT2 Event	High impedance output
DCBEVT1 Event	High impedance output
DCBEVT2 Event	High impedance output
One-Shot Source	One-shot DCBEVT1
	 For the condition to remain latched, a minimum of 3
Additional One-Shot Source	None
CBC Source	None
CBC Latch Clear Signal	Clear CBC pulse when counter equals zero
Additional CBC Source	None
TZ Interrupt Source (ORed)	Digital Compare B Event 1 interrupt
Register Interrupt Handler	☒
TRIPOUT Source	None

在 EPWM TZ Interrupt 模块中，具体配置中断服务，参考如下：

EPWM TZ Interrupt	
Name	Boost_1_EPWM_TZ_INT
Interrupt Name	INT_Boost_1_EPWM_TZ
Interrupt Handler	INT_Boost_1_EPWM_TZ_ISR
Enable Interrupt in PIE	☒

利用 DCAEVT1 事件，可以在 EPWM Even Trigger 模块中，配置 ADC 的 SOC 触发源，具体配置如下。

EPWM Event-Trigger	
Enable EPWM Interrupt	☐
ADC SOC Trigger	
SOC A Trigger Enable	☒
SOC A Trigger Source	Event is based on DCxEVT1
SOC A Trigger Event Count	1 Event Generates Interrupt
SOC A Trigger Event Count Initial Value Load Enable	☒
SOC A Trigger Event Count Initial Value	Initialize event counter to 0
Force SOC A Trigger Event Count Initial Value	☐
SOC B Trigger Enable	☐

在 ADC 外设中，可以引用这个触发源，配置如下：

SOC Triggers ⓘ	
Trigger Mode	Single Trigger
SOC0 Trigger	ePWM6, ADCSOCA
SOC0 Interrupt Trigger	ADCINT1 will trigger the SOC

5 F28P65x 双 CPU 协同工作以及注意事项

在 BBU 系统的设计中，一般具有以下的要求：

1. 同时具备充电和放电能力，一般有多路 Boost 作为放电输出，以及单路 Buck 作为充电输入
2. Boost 放电电路需要持续空载运行以应对瞬时满载的动态要求, Buck 充电电路仅在电池亏电时工作
3. BBU 作为数据中心的备电单元需要在线升级但不能停机

F28P65x 系列 DSP 有双核可选，拥有两个 C28 核和一个额外 CLA 核心可并行处理环路的计算任务，可以通过分配不同任务到两个 C28 核，降低 DSP 的负载压力，提高信号处理的带宽。同时，针对于在线升级要求，F28P65x 有 5 个 Flash Bank，能够满足双核不停机在线升级的要求。综上，F28P65x 非常适合数据中心 BBU 的应用，本文提出了以下配置方式作为参考：

1. CPU1 + CLA 可提供充裕的算力以处理多相 Boost 放电线路的环路计算需求
2. CPU2 控制单相 Buck 充电电路并可同时负担 House Keeping 和在线升级请求
3. 5 个 FLASH Bank，可分配 1 个 FLASH Bank 作为 Boot 程序存放位置，剩下 4 个 FLASH Bank 分成两组互为备份的 CPU1 和 CPU2 的 APP 程序。如下图：

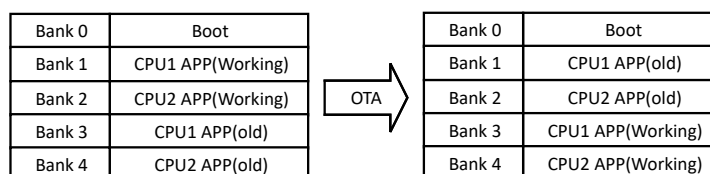


图 5-1. FLASH Bank 配置参考

备注

当 CMPSS 模块被分配给 CPU2 并且选择的信号通道不是 Input Signal 时，有可能会遇到即使电感电流信号超过斜坡发生器的参考值时也无法正确触发 CMPSS 的翻转，导致占空比输出异常的工况。这种异常情况的原因是由于 CMPSS 的输入信号引脚配置仅能在 CPU1 中才能配置生效。

在双 CPU 协同工作中，如需要 CPU2 负责充电 DC/DC 的控制，本文提出了一个同步方法，需要在 main 主函数的初始化阶段增加如下的代码来使 CMPSS 正确触发：

```

SysCtl_disablePeripheral(SYSCTL_PERIPH_CLK_TBCLKSYNC);
Board_init();
ASysCtl_selectCMPHPMux(ASYSCTL_CMPHPMUX_SELECT_9, 2U); //更改 CMPSS 的输入信号通道
ASysCtl_selectCMPHPMux(ASYSCTL_CMPHPMUX_SELECT_6, 1U); //更改 CMPSS 的输入信号通道
ASysCtl_selectCMPHPMux(ASYSCTL_CMPHPMUX_SELECT_5, 1U); //更改 CMPSS 的输入信号通道
SysCtl_enablePeripheral(SYSCTL_PERIPH_CLK_TBCLKSYNC);

```

6 测试波形

利用 F28P65 自带的 DAC 模块，输出一个向上的周期性斜坡，将该斜坡连接到 CMPSS 的正输入来验证 EPWM6 输出的 CBC 的波形：

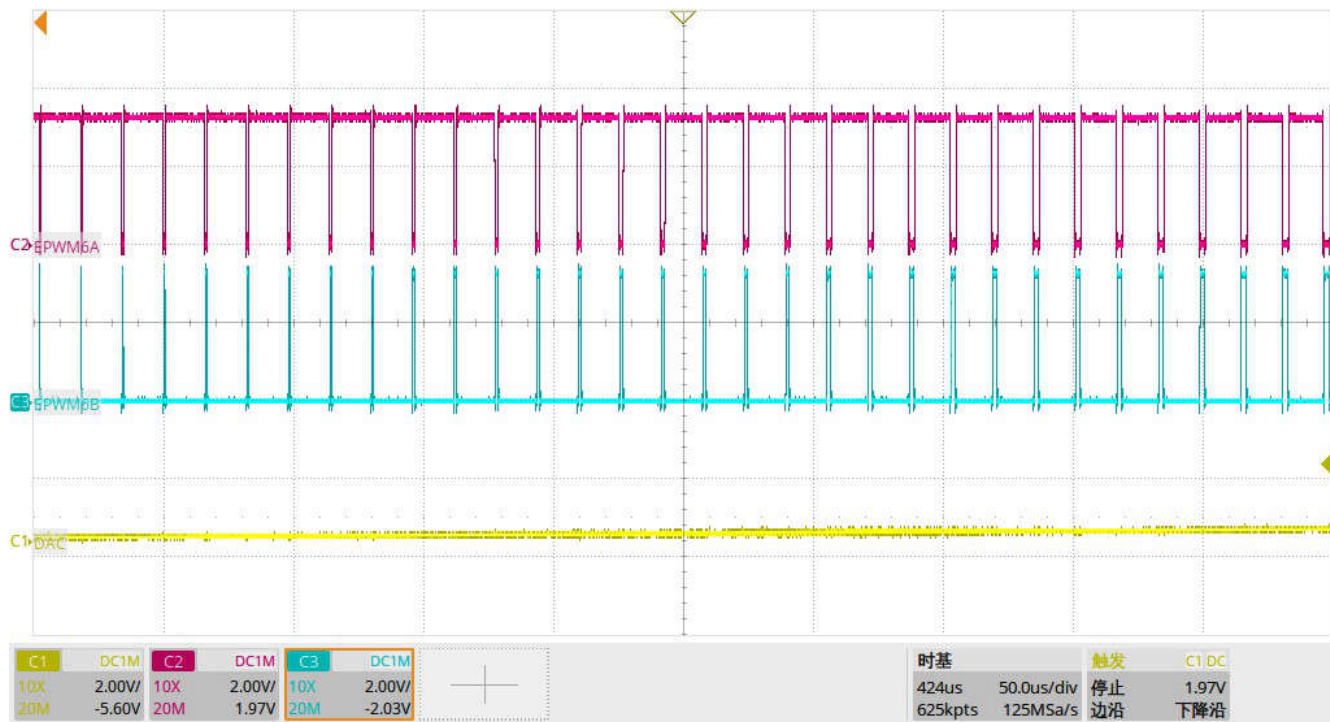


图 6-1. PCM CBC 占空比生成

如 图 6-1 所示，DAC 决定 EPWM6B 的导通时间用于软起动或逐周期电流保护。如 图 6-2 所示，EPWM B 在开通和关断的情况下，A/B 通道之间始终有死区隔离。并且 EPWM6 和 EPWM4 之间有一个固定的相移：

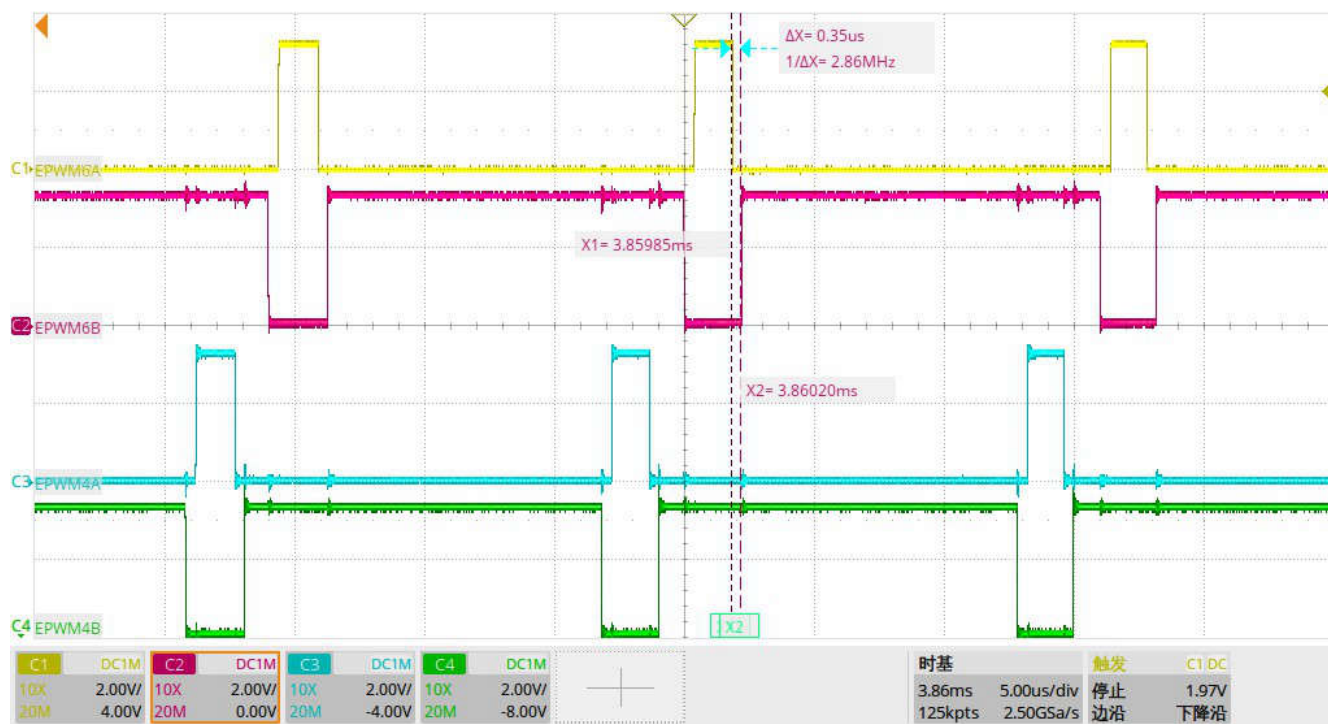


图 6-2. EPWM6A 和 EPWM6B 的死区波形

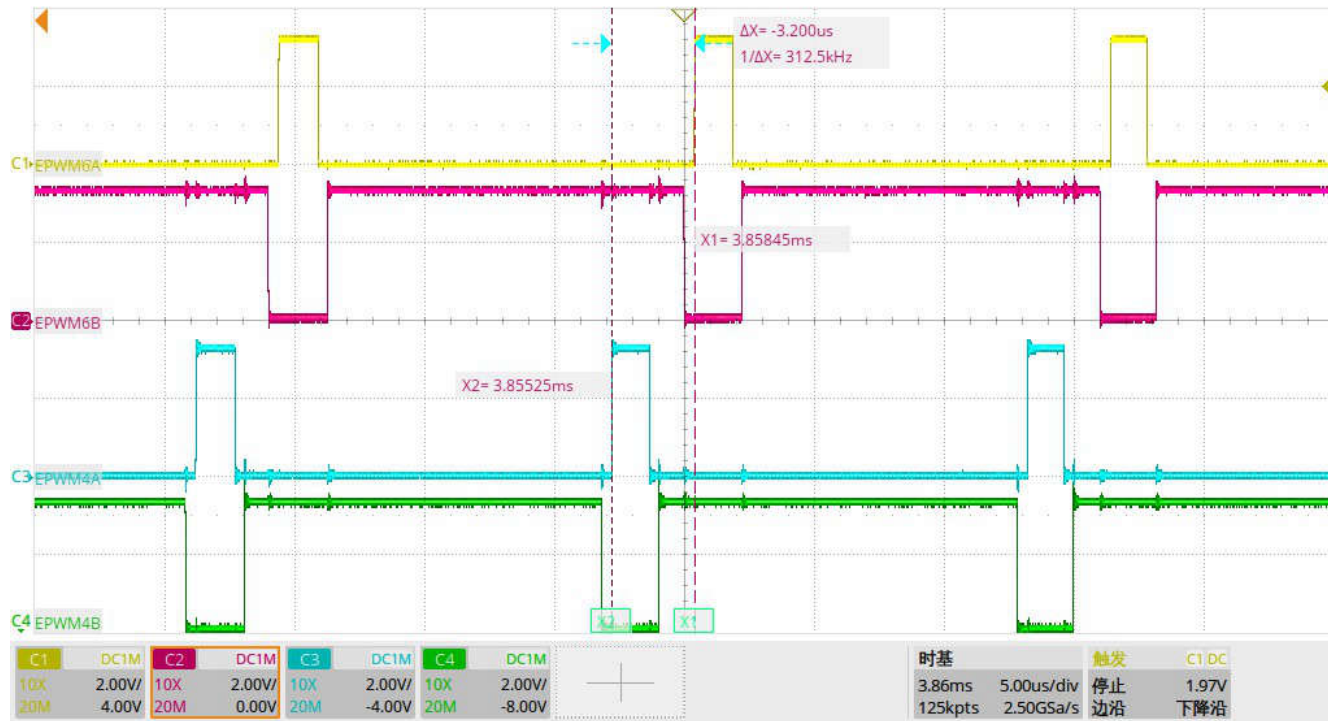


图 6-3. EPWM6A 和 EPWM4A 的相移

EPWM6 和 EPWM4 在 CBC 触发时会各自触发一个 ADC SOC 转换，为这两个 SOC 分别配置一个中断服务函数，并在中断服务函数中各自翻转一个 IO 来验证 ADC 采样时刻如下图，可见对比 A 通道关断时刻有一个延时，该延时为 ADC 转换时间。

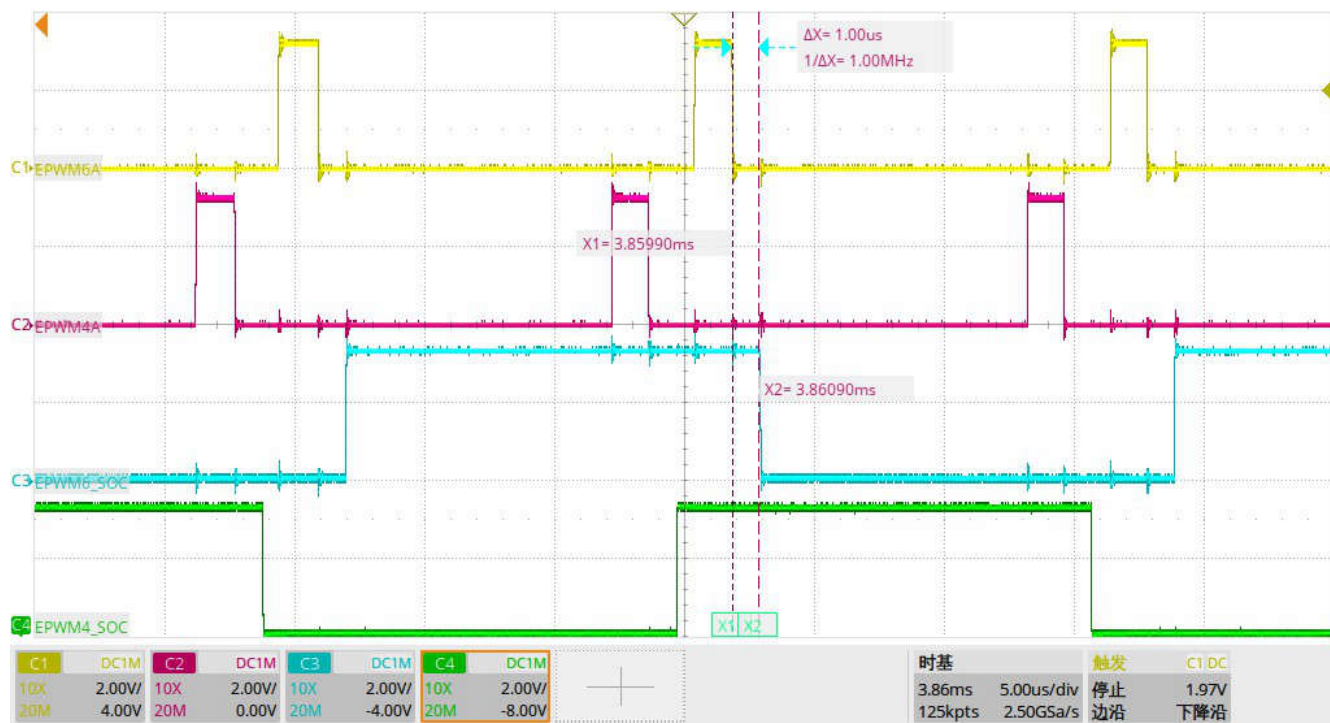


图 6-4. EPWM6 和 EPWM4 的 SOC 触发

将一个 IO 与捕获故障工况的 CMPSS 的正输入相连模拟故障发生，触发 EPWM6 模块保护关断动作如下图：

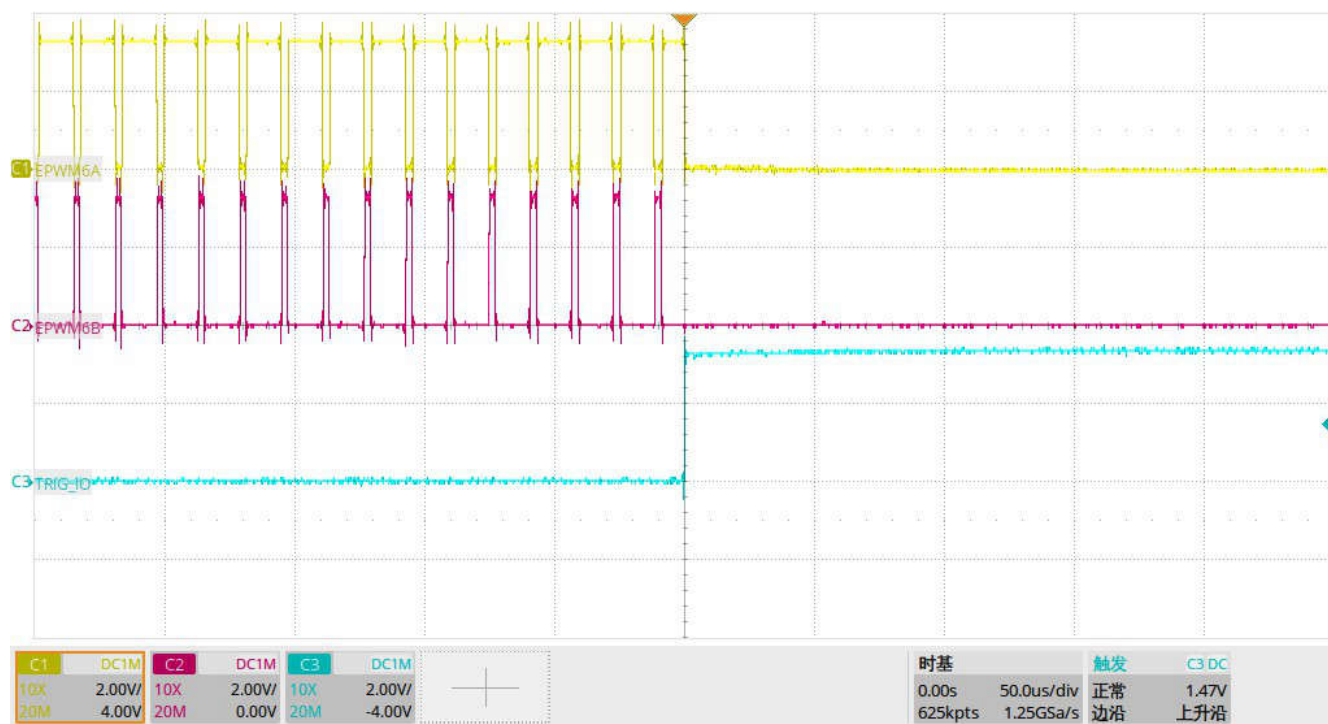


图 6-5. CMPSS 触发保护

7 参考文献

1. [TMS320F28P65x Real-Time Microcontrollers datasheet \(Rev. D\)](#)
2. [Implement three-phase interleaved LLC on C2000 Type-4 PWM](#)
3. [CRM/ZVS PFC Implementation Based on C2000 Type-4 PWM Module](#)
4. [Digital Control Implementation for Hybrid Hysteretic Control LLC Converter \(Rev. A\)](#)
5. [Step-by-Step Design Guide for Digital Peak Current Mode Control: A Single-Chip Solution](#)

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月