

Application Note
比较器输出类型



摘要

本应用手册介绍了比较器的各种输出类型之间的差异以及相关的应用、优点和缺点。

内容

1 简介.....2

2 输出类型.....2

2.1 集电极开路或漏极开路.....2

2.1.1 可选集电极开路或发射极开路输出.....3

2.2 推挽.....5

2.2.1 具有独立电源的推挽式输出.....6

2.3 差分.....7

2.3.1 差分推挽式.....7

2.3.2 ECL、RSECL、PECL、RSPECL 和 LVPECL.....8

2.3.3 低电压差分信号.....9

2.3.4 电流模式逻辑.....10

3 总结.....12

4 参考资料.....14

5 修订历史记录.....15

商标

所有商标均为其各自所有者的财产。

1 简介

比较器有多种输出类型，这可能会引起一些混淆。以下应用手册说明并阐明了输出类型之间的各种差异以及存在这些不同类型的原因。

2 输出类型

2.1 集电极开路或漏极开路

集电极开路或漏极开路（可互换使用）输出由单个只能灌入电流的晶体管组成。这可被视为从输出端到接地处的机械（SPST）开关。

需要上拉电阻器来产生输出高压。施加到端接电阻器顶部的端接电压会设置输出为高（ V_{OH} ）电压。当输出为逻辑高电压时，晶体管关断（未导通），上拉电阻器将输出节点上拉至端接电压。

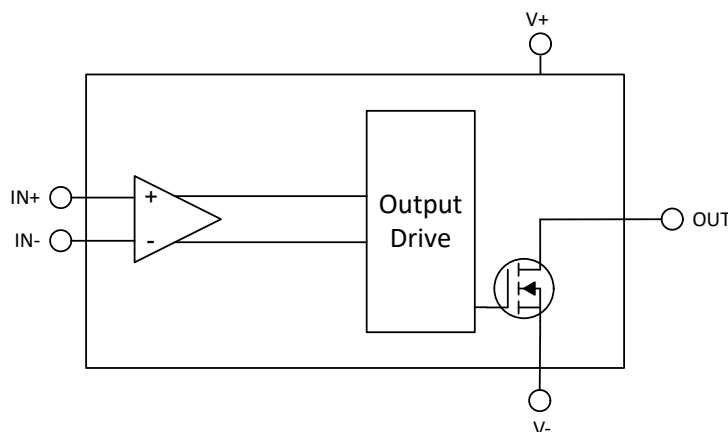


图 2-1. 漏极开路输出

注意：可以将输出上拉至任何小于比较器电源电压的电压。在大多数情况下，比较器允许将输出拉至高于比较器电源电压，最高达到最大电压。但是，某些器件在输出端具有上部 ESD 钳位二极管，可将最大上拉电压限制为电源电压。上拉至不同的电压称为电平转换。

数据表特性或电气规格表注可以提及输出是否可拉至电源电压以上。如果未提及，则绝对最大额定值或建议运行条件的输出电压行可提供线索。

- 如果额定输出电压是绝对数（例如 5V 或 36V），则这是一个很好的迹象，表明输出可以被拉至高于比较器电源电压。
- 如果额定值以电源为基准，例如 $V_{CC} + 0.3$ 或 $(V+) + 0.3V$ ，则最大输出上拉电压限制为比较器电源电压。

集电极开路输出的一个优势是，可将多个输出连接在一起以形成一个 OR'ed 输出总线，其中任何输出都可以将输出总线拉至低电平。这对于系统误差总线和窗口比较器很常见。

表 3-1 中显示了集电极开路输出器件的列表。

表 2-1. 漏极开路或集电极开路输出的优缺点

优点	缺点
- 允许不同的输出高（V_{OH}）电压（电平转换） - 可实现多路输出的或运算 - 允许在计时应用中对电容器进行充电或放电 - 上拉电压可以高于电源电压（在大多数情况下）	- 无法拉取（输出）电流 - 需要外部上拉电阻器。 - 上升时间取决于容性负载 - 高速下的输出上升和下降时间不对称 - 输出为低电平时可耗散电流

2.1.1 可选集电极开路或发射极开路输出

在 LM111/211/311 和 LM119/219/319 系列中可以看到独特的输出。输出晶体管将发射极和集电极暴露于外，从而产生悬空输出。

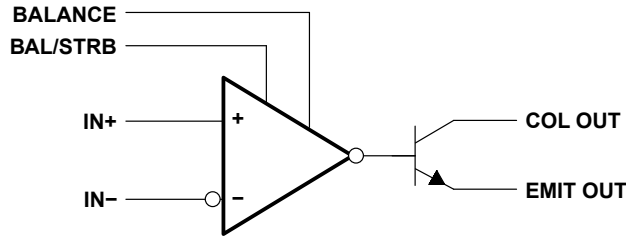


图 2-2. LM311 方框图

当比较器输入需要一个双电源来接受双极输入信号时，就会出现这个问题。对于大多数集电极开路输出比较器，这会导致输出低电平摆幅等于负电源引脚（ V_- 或 V_{EE} ）。如果比较器使用双电源，例如 $+12V$ 和 $-12V$ ，则输出低电平为 $-12V$ ，而不是接地（ $0V$ ）。负电源使比较器能够直接接受双极输入信号，无需电平转换、衰减或钳位，从而提高了精度。通过使用电阻分压器串来实现高于接地摆幅，可以在输出端进行电平转换，但这不是最佳方式。

通过外露的输出晶体管引脚，悬浮输出可以是公共集电极（负载至上拉电压或灌电流）或公共发射极（负载至接地处或拉电流），如下图所示。这使用户能够确定输出高电压和低电压，而与 V_{CC} 和 V_{EE} 电压无关。

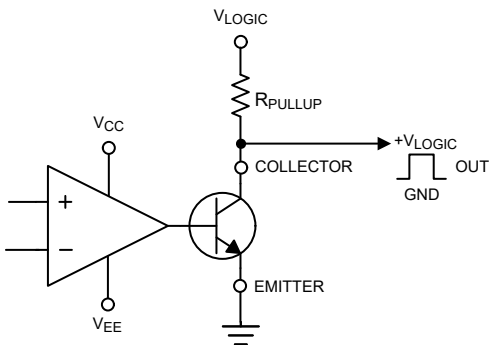


图 2-3. 集电极开路配置

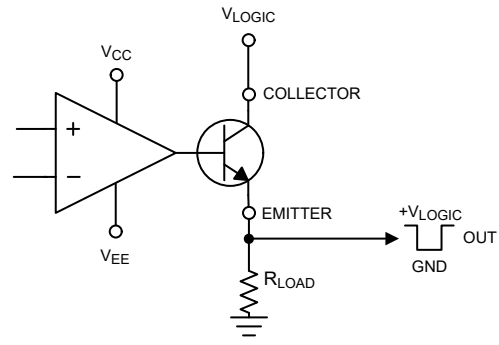


图 2-4. 发射极开路配置

如节 2.1 所示，如果需要通用集电极逻辑输出（最常见的用途），则将发射极引脚连接到系统接地处，而集电极引脚和正逻辑电源之间则连接上拉电阻器。逻辑输出来自集电极引脚，如图 2-3 中所示。这与集电极开路输出的配置相同，只是输出现在将低电平摆动至系统接地（ $0V$ ）。

在一个使用示例中，输入部分电源（ V_+ 和 V_- ）是 $+12V$ 和 $-12V$ 的双电源，以便接受双极输入信号，但输出必须驱动 $3.3V$ 数字逻辑。图 2-5 展示了这种配置。

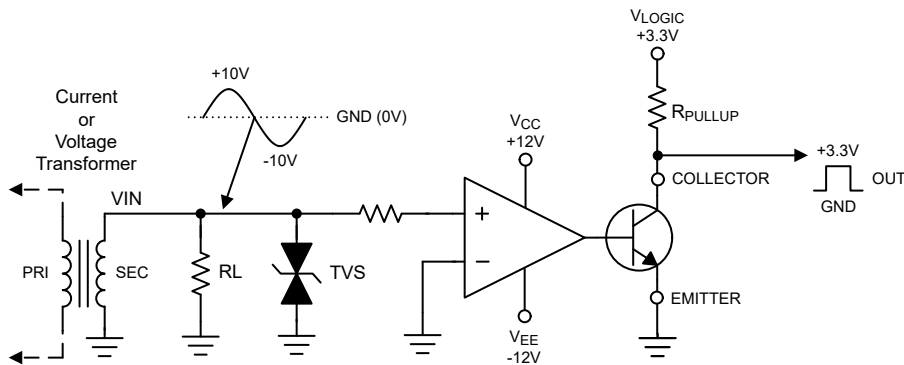


图 2-5. 使用集电极开路输出的双极输入示例

输出发射极连接到 GND，上拉电阻器放置在集电极引脚和上拉电压之间。集电极引脚成为输出。如果上拉电压为 +3.3V，这将产生与 3.3V 数字逻辑直接兼容的 0 至 3.3V 以接地为基准的输出摆幅。无需电平转换！

如果需要高侧拉电流或接地负载，可以使用 公共发射极 配置，如 图 2-6 所示。对于公共发射极输出，集电极引脚连接到正电源电压，负载连接在发射极引脚和负电压（通常为接地）之间。当负载必须返回接地处时，这很有用，如 图 2-6 所示。

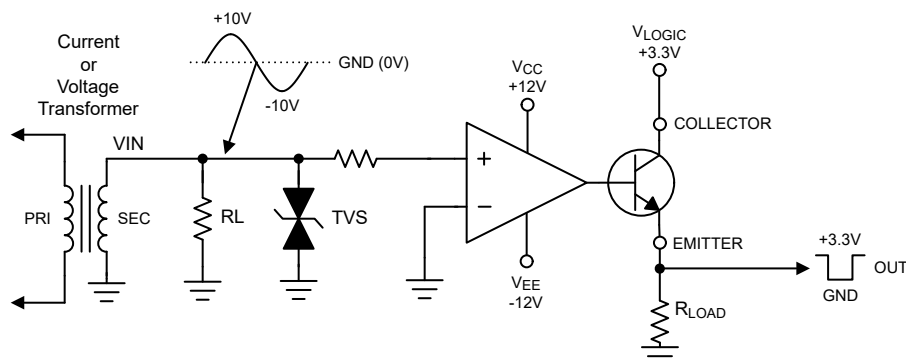


图 2-6. 具有发射极开路输出的双极输入示例

逻辑输出现在取自发射极引脚。请注意，使用公共发射极输出时，逻辑中会存在 反转。只需反转输入即可纠正逻辑。遵照绝对最大值表中的输出级电压限值。

OC/OE 输出的示例有 LM111、LM211、LM311，LM119、LM219、LM319 和 LM6511。

表 2-2. 发射极开路或集电极开路输出的优缺点

优点	缺点
• 允许电平转换 • 可实现多路输出的或运算 • 允许在计时应用中对电容器进行充电或放电 • 可选高侧（拉电流）或低侧（灌电流）驱动器 • 上拉电压可能会超过正电源电压。	• 需要外部电阻器。 • 上升或下降时间取决于容性负载 • 高速下的输出上升和下降时间不对称 • 以一个状态耗散电流

2.2 推挽

推挽式（也称为图腾柱）输出由正负输出器件组成，这样输出既可以灌入电流，也可以拉取电流。由于输出可以拉取电流，因此不再需要上拉电阻器。最常见的情况是，高电平和低电平输出电压等于比较器 $V+$ 和 $V-$ 电源。

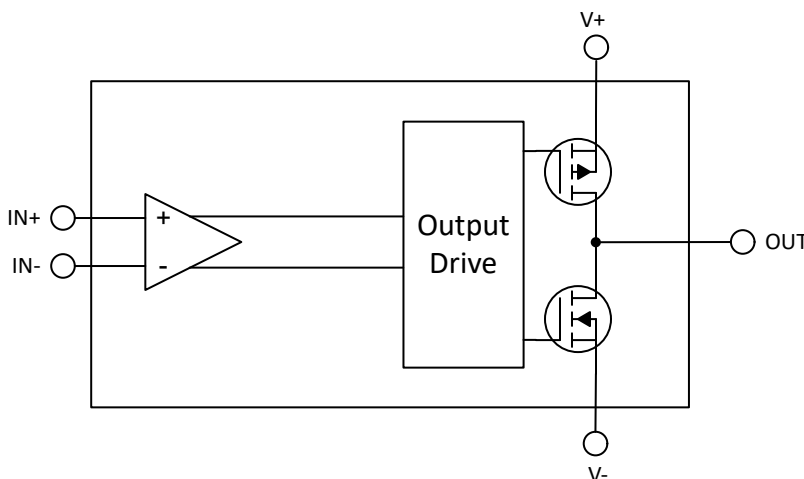


图 2-7. 推挽式输出级

高速器件 (<100ns) 主要使用推挽式输出，因为快速边沿需要对称的上升和下降时间。上升时间不再依赖于上拉电阻器和负载电容，因为推挽式输出现在可以直接对负载电容充电和放电，从而产生更快、更直的脉冲边沿。

推挽式输出也用于微功耗和毫微功耗器件和设计，从而消除在上拉电阻器上浪费功率的情况。

推挽式输出器件的列表如 表 3-1 所示。

表 2-3. 推挽式输出的优缺点

优点	缺点
- 输出可灌入电流和拉取电流 - 无需上拉电阻器 - 节省功率 - 对称上升和下降时间 - 输出高电平或低电平时无额外电流。	- 输出不能连接在一起 - 输出电压摆幅与电源电压相同

2.2.1 具有独立电源的推挽式输出

具有独立输出电源的推挽式输出具有悬空 OC/OE 输出的优势，同时具有推挽式输出和定义的输出摆幅的优势。

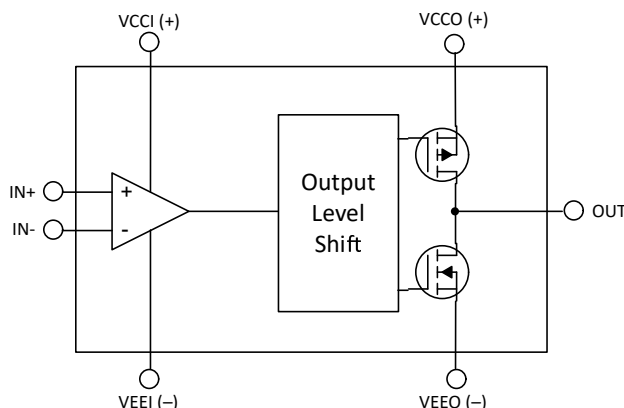
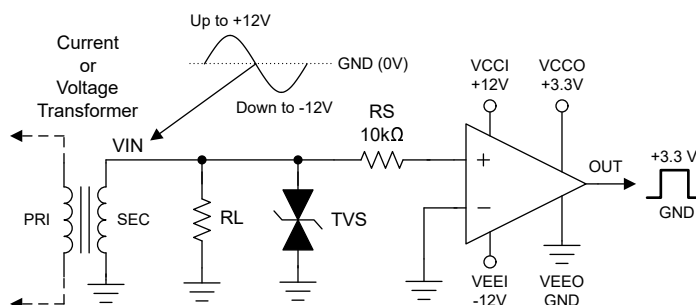


图 2-8. 具有独立电源的推挽式输出

当比较器输入需要宽电源电压或双电源来接受大信号或双极信号时，就会出现这个问题。对于大多数推挽式输出比较器，这会导致输出摆幅等于电源（例如 0 和 12V 或 $\pm 5V$ ），并且与数字逻辑不兼容。这需要外部电平转换或钳位才能为数字逻辑供电。

该问题可以通过具有单独输入和输出电源的推挽式输出（例如上面所示的 TLV1871/2）来解决。因此，输出摆幅可直接通过输出电源引脚（VCCO 和 VEE0）设定，而输入电压范围由输入电源（VCCI 和 VEEI）设定。

例如，输入电源（VCCI 和 VEEI）可以是 +12V 和 -12V 的双电源，用来接受双极输入信号。输出电源（VCCO 和 VEE0）可以设置为 +3.3V 和接地，从而产生与 3.3V 数字逻辑兼容的 0V 至 3.3V 以接地为基准的输出摆幅。无需电平转换！



另一个优势在于，输入范围不是通过所需的输出摆幅来设置，这种摆幅需要衰减输入信号。相反，输入电源引脚可以由较大的电源电压供电，以接受直接或衰减较小的输入信号，从而提高精度。

TLV1871/2（推挽式）和 TLV3801/2（LVDS）具有独立的输出电源。

表 2-4. 具有独立电源输出的推挽式输出的优缺点

优点	缺点
- 通过输出电源引脚设置的输出摆幅 - 独立的输入电源可实现更宽的输入范围或双电源。 - 输出可灌入电流和拉取电流 - 无需上拉电阻器 - 节省功率 - 对称上升和下降时间	输出不能连接在一起

2.3 差分

差分输出使用两个始终为 180° 异相的输出。与单端方案相比，差分方案具有巨大的优势，因为差分方案更不易受到共模噪声的影响。接收器仅响应差分电压。耦合到互连的噪声被接收器视为共模调制，并被抑制。相反，平衡电流路径可以通过使用平衡线路或双绞线来降低辐射 EMI。

2.3.1 差分推挽式

差分推挽式输出是一个具有两个相同推挽式输出的比较器，其中一个输出与另一个输出的 180° 反相，并且摆幅接近电源轨。由于反相是在内部从公共节点实现的，因此使用外部反相器逻辑门可能会促使两个输出之间的偏斜（延迟）很小。

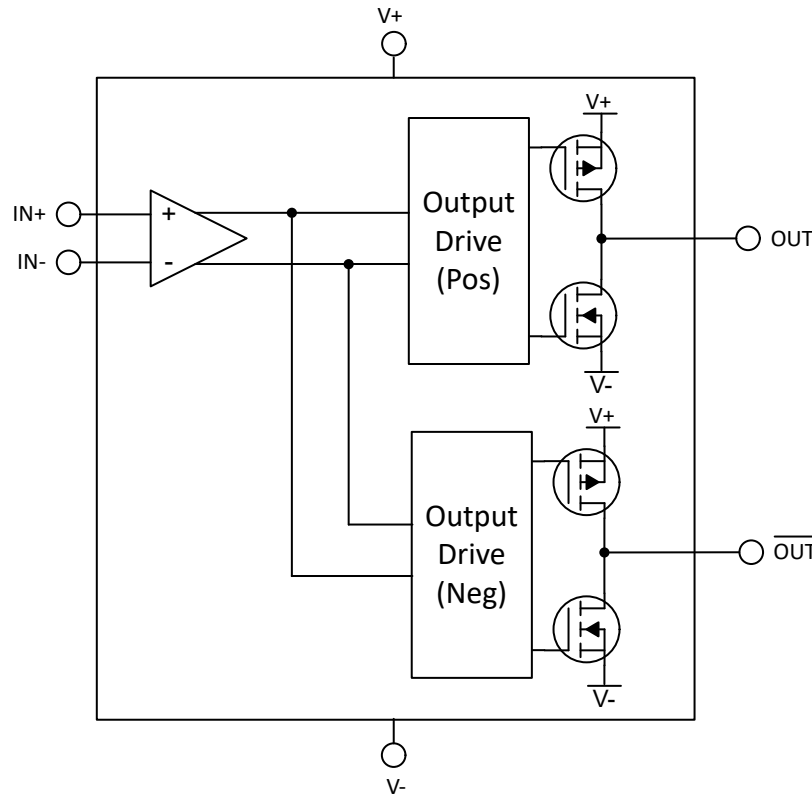


图 2-9. 差分推挽式输出

差分输出可用于创建差分传输方案，或者以分开 180° 的两个单输出形式来驱动 H 桥晶体管或 MOSFET 等负载。支持此标准的器件是 [TL3016](#)、[TL3116](#)、[TL712](#) 和 [TL714](#)。

表 2-5. 差分推挽式输出的优缺点

优点	缺点
- 输出可灌入电流和拉取电流 - 无需上拉电阻器 - 节省功率 - 对称上升和下降时间 - 允许差分信号	- 输出不能连接在一起 - 输出电压摆幅与电源电压相同 - 较大输出摆幅会导致 EMI

2.3.2 ECL、RSECL、PECL、RSPECL 和 LVPECL

随着速度达到纳秒级，在使用大输出摆幅（例如 3V 或 5V）时，单端亚纳秒级边沿速率的产生会出现问题。

当边沿速率（上升和下降时间）到达纳秒范围内时， $i = c \times \Delta V / \Delta T$ 开始在安培范围内产生峰值电流。这些边沿会增加功耗，并会产生 EMI 和噪声。

逻辑阈值之间的上升或下降所耗时间会限制最大输出转换时间（速度）。

为克服这些问题，将输出摆幅降低至 800mV。输出摆幅越小，输出器件就越容易生成，节省功率，还能降低辐射噪声并提高最大速度。

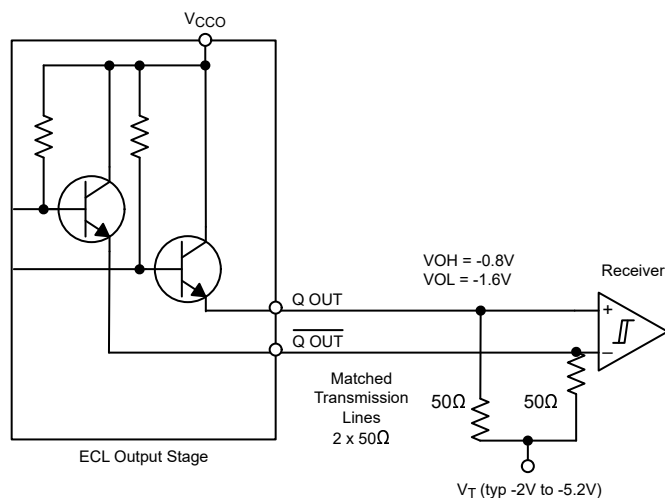


图 2-10. ECL 输出

发射极耦合逻辑器件（简称 **ECL**）开发于 20 世纪 60 年代早期，是最早的高速逻辑系列。驱动器为低阻抗发射极跟随器输出，可生成典型的 800mV 输出差分电压。输出晶体管在线性区域内运行，不饱和，可提供最快的响应。输出通常通过 50Ω 端接至比输出电压低 2V 的端接电压轨。ECL 器件通常端接在 -2V 至 -5.2V 范围内，从而产生 -0.9V 至 -1.8V 的典型输出摆幅。由于终端电阻器阻值较低，因此 ECL 是目前功耗最高的接口。

RSECL（也称为降低摆幅 ECL）与 ECL 类似，但摆幅降低到 400mV，而且仍需要负端接电压。

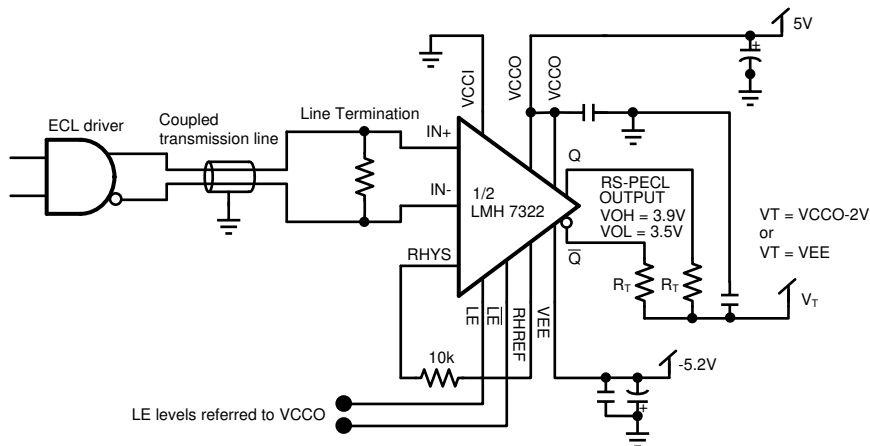


图 2-11. RSPECL 端接

PECL 或正 ECL 可消除负电源并将摆幅移动到接地处以上，实现 +3.2V 和 +4V 的正摆幅，并保持 800mV 的差分。

LVPECL（也称为低压 PECL）与 PECL 相同，但会将阈值降低至 +1.6V 和 +2.4V，从而降低电源电压。

RSPECL (也称为降低摆幅 PECL)，可将摆幅降低至 400mV。

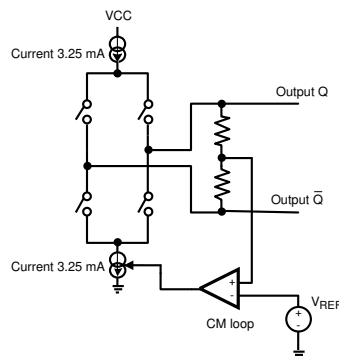
可支持 400mV 摆幅标准的器件是 [LMH7322](#) 和 [LMH7324](#)。

表 2-6. ECL 系列输出的优缺点

优点	缺点
- 输出摆幅越小，速度越快 - 上升/下降时间缩短至皮秒 - 直接与匹配的阻抗线路接合 - 高共模抑制 - 平衡线路可降低辐射 EMI	- ECL 需要较大的负电源电压 (-5.2V) - 低值终端 (50-100 Ω) 消耗大电流 - 每通道高功率耗散 (数个 100mW 级别)

2.3.3 低电压差分信号

低压差分信号 (LVDS) 输出级在输出之间使用开关 $\pm 4\text{mA}$ 电流，并消除基于 ECL 的输出所需的负电源和两个下拉电阻器。LVDS 进一步将输出摆幅降低至 $\pm 400\text{mV}$ ，以 +1.2V 为中心。



Equivalent Output Circuitry

图 2-12. LVDS 输出

只需在接收器的输出之间连接一个 100 Ω 端接电阻器，即可轻松实现 LVDS 端接。100 Ω 电阻器与 $\pm 4\text{mA}$ 差分电流相结合，在接收器上产生 $\pm 400\text{mV}$ 差分信号。

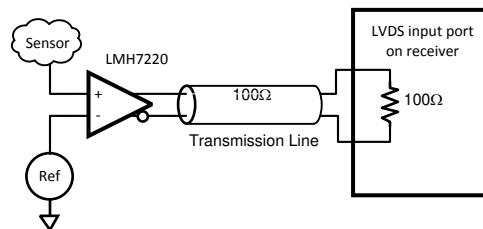


图 2-13. LVDS 端接

LVDS 也称为 TIA/EIA-644，也是许多流行的互连协议 (如 Display Port、FPD-Link、Channel Link、Firewire 和 Serial ATA) 的基础。许多处理器和 ASIC 具备带内部端接电阻器的本机 LVDS 输入。

支持 LVDS 标准的器件示例有 [LMH7220](#)、[TLV3604/5/7](#)、[TLV3801/2](#) 和 [TLV3811/11C](#)。

表 2-7. LVDS 输出的优缺点

优点	缺点
- 即使较低的输出摆幅也会提升速度 - 低至 +1.8 V 单电源运行 - 更低功耗 (50-100mW) - 单个 100 Ω 端接电阻器。 - 直接与匹配的阻抗线路接合 - 高共模抑制 - 平衡线路可降低辐射 EMI - ASIC 和处理器输入的通用标准 - 能够进行多点分配 - TIA 标准 TIA-644	高达 3Gbit/s 的最大位速率

2.3.4 电流模式逻辑

电流模式逻辑 (CML) 是开关电流输出，与 LVDS 类似，但是在更高的速度下使用。该端接通常是每个输出上的 50 Ω 到接收器处的正输出端接电压 (V_{CCO})。

CML 差分输出摆幅和共模电压没有标准化，差分范围为 400mV 至 800mV。当速度高于 6Gbit/s 时，差分通常降至 400mV。

输出级由两个连接到输出电源电压的 50 Ω 电阻器以及两个关联的开关晶体管和一个共享电流源组成，如 图 2-14 所示。

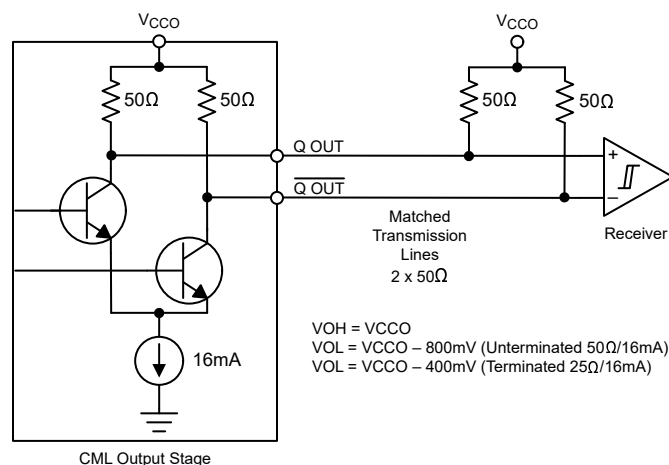


图 2-14. CML 输出

根据所需的输出状态，一次有一个输出晶体管导通。导通晶体管通过相应的 50 Ω 电阻器传递 16mA，从而在输出和 V_{CCO} 之间产生 50 Ω /16mA=800mV 的电压差。

另一个 50 Ω 电阻器充当上拉电阻器，将相应的输出拉至 V_{CCO} ，因为没有电流经过该电阻器。

由于负载端接线在每个输出上都存在并联的 50 Ω 负载，因此接收器处的输出摆幅现在比 V_{CCO} 低一半或低 400mV。

对于 CML 输出，请参阅 TLV3901。

表 2-8. CML 输出的优缺点

优点	缺点
• 高达 12Gbit/s 或更高 • 用户可选差分电压 (减少串扰和 EMI) • 直接与匹配的阻抗线路接合 • 高共模抑制 • 平衡线路可降低辐射 EMI • 可为 AC 耦合	• 需要两个外部 50 Ω 上拉电阻。 • 仅支持点对点 • 比 LVDS 的功耗更高 • 未定义标准 - 输出阈值可能因制造商而异

3 总结

表 3-1 是一个汇总表，其中显示了各种可用的输出类型和限制。

表 3-1. 比较器输出类型

器件系列	输出类型	可以拉至高于电源电压	最大上拉电压
LM111/211/311	OC/OE	Y	30
LM119/319	OC/OE	Y	36
LMx39/x93/B	OC	Y	38
LM2901/3/B	OC	Y	38
LM306	差分 PP	-	-
LM360	差分 PP	-	-
LM361	差分 PP	-	-
LM397	OC	Y	30
LM6511	OC/OE	Y	30/50
LMC6762	PP	-	-
LMC6772	OC	N	VCC
LMC7211	PP	-	-
LMC7215	PP	-	-
LMC7221	OC	Y	15
LMC7225	OC	N	VCC
LMH7220	LVDS	-	-
LMH7322	RSPECL	-	-
LMH7324	RSPECL	-	-
LMV331	OC	N	VCC
LMV339	OC	N	VCC
LMV393	OC	N	VCC
LMV7219	PP	-	-
LMV7235	OC	N	VCC
LMV7239	PP	-	-
LMV7271/2	PP	-	-
LMV7275	OC	Y	5.5
LMV761/2	PP	-	-
LP111/211/311	OC/OE	Y	30/40
LP339/393	OC	Y	36
LPV7215	PP	-	-
TL3016/3116	PP	-	-
TL331/391	OC	Y	36
TL712/4	差分 PP	-	-
TLC139/339	OC	Y	16
TLC352/4	OC	Y	16
TLC372/4	OC	Y	16
TLC3702/4	PP	-	-
TLC393	OC	Y	16
TLC1391	OC	Y	7
TLV1701/2/4	OC	Y	36
TLV1805	PP	-	-
TLV181x	PP	-	-
TLV182x	OC	Y	40
TLV183x	OC	Y	40
TLV184x	PP	-	-
TLV185x	PP	-	-
TLV186x	OC	Y	40

表 3-1. 比较器输出类型 (续)

器件系列	输出类型	可以拉至高于电源电压	最大上拉电压
TLV187x	带独立电源 PP	-	40
TLV192x	OC	Y	65
TLV2302/4	OC	N	VCC
TLV2352/4	OC	Y	8
TLV2702/4	PP	-	-
TLV3011/2	OC	Y	5.5
TLV3231/2	PP	-	-
TLV340x	OC	N	VCC
TLV349x	PP	-	-
TLV350x	PP	-	-
TLV3601/2/3	PP	-	-
TLV3604/5/7	LVDS	-	-
TLV3691	PP	-	-
TLV370x	PP	-	-
TLV3801/2	带独立电源 LVDS	-	-
TLV3811C	LVDS	-	-
TLV3901	CML	-	-
TLV4011	OC	Y	5.5
TLV4021R	PP	-	-
TLV4021S	OC	Y	5.5
TLV4031	PP	-	-
TLV4041	OC	Y	5.5
TLV4051	OC	Y	5.5
TLV4062	PP	-	-
TLV4082	OC	Y	5.5
TLV6700/3	OC	Y	18
TLV6710/13	OC	Y	25
TLV701x	PP	-	-
TLV702x	OC	Y	7
TLV703x	PP	-	-
TLV704x	OC	Y	7
TLV7081	OC	Y	5.5
TLV7211	PP	-	-
TLV902x	OD	Y	6
TLV903x	PP	-	-
TSM102	OC	Y	36
TSX03121	OC/OE	N	3.6

OC = 节 2.1

PP = 节 2.2

OC/OE = 支持 节 2.1.1 中的 悬空输出

LVDS = 节 2.3.3

RSPECL = 节 2.3.2

CML = 节 2.3.4

4 参考资料

- 德州仪器 (TI), [LVPECL、VML、CML 和 LVDS 电平之间的接合](#) 应用手册。
- 德州仪器 (TI), [LVDS、CML、ECL 具有奇数电压的差分接口](#), 应用手册。
- 德州仪器 (TI), [LVDS 技术的概览](#) 应用手册
- 德州仪器 (TI), [LMH7322 带 RSPECL 输出的双 700ps 高速比较器](#), 数据表

5 修订历史记录

Changes from Revision * (June 2025) to Revision A (July 2026)

Page

- 删除了 TLV3901 预发布文本..... 10

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月