



摘要

本应用手册介绍了如何为所有设计人员简化 AM62x、AM62Lx 处理器电路板设计的 DDR 系统实现方案，并将要求提炼为一组布局和布线规则，使设计人员能够针对 TI 支持的拓扑成功实现稳健的设计。本手册中的主题包括电路板布局布线指南、电路板层叠、支持的实现、原理图、元件放置以及布线长度匹配目标。

内容

1 概述	4
1.1 支持的电路板设计	4
1.2 通用电路板布局布线指南	4
1.3 PCB 堆叠	5
1.4 旁路电容器	6
1.5 速度补偿	7
2 DDR4 电路板设计和布局布线指南	8
2.1 DDR4 简介	8
2.2 受支持的 DDR4 器件的实现	8
2.3 DDR4 接口原理图	9
2.4 兼容的 JEDEC DDR4 器件	12
2.5 放置	12
2.6 DDR4 禁止区域	13
2.7 DBI	13
2.8 VPP	13
2.9 网类别	13
2.10 DDR4 信号端接	14
2.11 VREF 布线	14
2.12 VTT	14
2.13 POD 互连	14
2.14 CK 和 ADDR_CTRL 拓扑与布线指南	14
2.15 数据组拓扑与布线指南	17
2.16 CK 和 ADDR_CTRL 布线规格	18
2.17 数据组布线规格	20
2.18 位交换	21
3 LPDDR4 电路板设计和布局布线指南	22
3.1 LPDDR4 简介	22
3.2 受支持的 LPDDR4 器件的实现	22
3.3 LPDDR4 接口原理图	22
3.4 兼容的 JEDEC LPDDR4 器件	24
3.5 放置	24
3.6 LPDDR4 禁止区域	25
3.7 LPDDR4 DBI	25
3.8 网类别	25
3.9 LPDDR4 信号端接	25
3.10 LPDDR4 VREF 布线	26
3.11 LPDDR4 VTT	26
3.12 CK0 和 ADDR_CTRL 拓扑	26
3.13 数据组拓扑	26
3.14 CK0 和 ADDR_CTRL 布线规格	27

3.15 数据组布线规格.....	28
3.16 字节和位交换.....	29
4 LPDDR4 电路板设计仿真.....	30
4.1 电路板模型提取.....	30
4.2 电路板模型验证.....	30
4.3 S 参数检查.....	30
4.4 时域反射法 (TDR) 分析.....	30
4.5 系统级仿真.....	31
4.6 设计示例.....	37
5 其他信息：封装延迟.....	42
6 总结.....	43
7 参考资料.....	43
8 修订历史记录.....	43

插图清单

图 2-1. 采用 x16 SDRAM 实现 16 位、单列 DDR4.....	9
图 2-2. 采用 x8 SDRAM 实现 16 位、双列 DDR4.....	11
图 2-3. DDR4 放置规格.....	12
图 2-4. DDR4 禁止区域.....	13
图 2-5. 两个 DDR4 SDRAM 器件的 CK 拓扑.....	15
图 2-6. 两个 DDR4 SDRAM 器件的 ADDR_CTRL 拓扑.....	15
图 2-7. 两个 DDR4 SDRAM 器件的 CK 布线.....	16
图 2-8. 两个 DDR4 SDRAM 器件的 ADDR_CTRL 布线.....	16
图 2-9. DDR4 DQS 拓扑.....	17
图 2-10. DDR4 DQ/DM 拓扑.....	17
图 2-11. 到两个 DDR4 SDRAM 器件的 DQS 布线.....	18
图 2-12. 到两个 DDR4 SDRAM 器件的 DQ/DM 布线.....	18
图 3-1. 16 位单列单通道 LPDDR4 实现.....	23
图 3-2. LPDDR4 放置规格.....	24
图 3-3. LPDDR4 禁止区域.....	25
图 3-4. LPDDR4 CK0 拓扑.....	26
图 3-5. LPDDR4 ADDR_CTRL 拓扑.....	26
图 3-6. LPDDR4 DQS 拓扑.....	27
图 3-7. LPDDR4 DQ/DM 拓扑.....	27
图 4-1. 阻抗不匹配的 TDR 图示例.....	31
图 4-2. 典型的系统级 DDR 原理图.....	32
图 4-3. 眼图质量的 Vix_CK 和 Vix_DQS 比率.....	35
图 4-4. 具有菱形眼图模板的示例仿真 LPDDR4-4266 读取眼图.....	36
图 4-5. 具有矩形 JEDEC 眼图模板的示例仿真 LPDDR4-4266 写入眼图.....	36
图 4-6. 具有矩形 JEDEC 眼图模板的示例仿真 LPDDR4-4266 CA 眼图.....	37
图 4-7. LPDDR4 时钟和 CA 布线示例.....	38
图 4-8. LPDDR4 数据字节和 DQS 布线示例.....	39
图 4-9. LPDDR4 布线阻抗扫描示例.....	39
图 4-10. CA 的 LPDDR4 仿真结果.....	40
图 4-11. 写入的 LPDDR4 仿真结果.....	41
图 4-12. 读取的 LPDDR4 仿真结果.....	41

表格清单

表 1-1. PCB 堆叠规格.....	5
表 1-2. 大容量旁路电容器.....	6
表 1-3. 高速旁路电容器.....	6
表 2-1. 受支持的 DDR4 SDRAM 组合.....	8
表 2-2. 兼容的 JEDEC DDR4 器件.....	12
表 2-3. 放置参数.....	12
表 2-4. 时钟网类别定义.....	13
表 2-5. 信号网类别定义.....	13
表 2-6. CK 和 ADDR_CTRL 布线规格.....	19
表 2-7. 数据组布线规格.....	20

表 3-1. 受支持的 LPDDR4 SDRAM 组合.....	22
表 3-2. 兼容的 JEDEC LPDDR4 器件.....	24
表 3-3. LPDDR4 放置参数.....	24
表 3-4. 时钟网类别定义.....	25
表 3-5. 信号网类别定义.....	25
表 3-6. CK0 和 ADDR_CTRL 布线规格.....	27
表 3-7. 数据组布线规格.....	28
表 4-1. 示例数据写入 ODI/ODT 优化.....	34
表 4-2. 眼图质量的 Vix_CK 和 Vix_DQS 比率.....	35
表 4-3. LPDDR4 眼图模板定义/要求.....	36
表 4-4. LPDDR4 的 8 层 PCB 堆叠示例 (PROC124 AM62x LP SK EVM).....	38
表 4-5. LPDDR4 的 6 层 PCB 堆叠示例 (PROC181 AM62Lx EVM).....	38
表 4-6. LPDDR4 性能对布线层的影响 (在焊盘上读取).....	39
表 4-7. LPDDR4 性能对布线层的影响 (在焊盘上写入).....	39
表 4-8. LPDDR4 示例布线阻抗数据汇总.....	40
表 4-9. LPDDR4 示例布线阻抗 CA 汇总.....	40
表 4-10. 改进布线阻抗后的 LPDDR4 示例仿真结果.....	40

商标

所有商标均为其各自所有者的财产。

1 概述

AM62x、AM62Lx 处理器支持两种不同类型的 DDR 存储器：DDR4 和 LPDDR4。这让客户能够以尽可能低的 DDR SDRAM 成本使用最符合目标市场需求的存储器类型来实现电路板设计。本文档介绍了适用于 DDR4 和 LPDDR4 的通用信息，以及提供了特定于每种受支持 DDR 存储器类型的单独章节。

备注

为了便于对 DDRSS 进行软件配置，请使用 SysConfig (<https://dev.ti.com/sysconfig>) 中的 DDR 配置工具。

1.1 支持的电路板设计

本文档旨在使所有设计人员都能简单方便地实现 DDR 系统，并将要求提炼为一组布局和布线规则，使设计人员能够针对 TI 支持的拓扑成功实施稳健的设计。目前，TI 不提供处理器 DDR PHY 接口的时序参数。

PCB 的设计工作（设计、布局布线和制造）期望由知识渊博的高速 PCB 设计人员执行和审查。经验丰富的设计人员可以直观地检测出诸如信号穿过参考平面上的裂缝时出现的阻抗不连续等问题。

TI 仅支持遵循本文档中指导原则且使用 DDR4 和 LPDDR4 存储器的电路板设计。这些指南是基于众所周知的在实心参考平面上布线的铜线的传输线特性。不可因 PCB 空间不足而违背布线指南。

1.2 通用电路板布局布线指南

为了验证信号性能是否良好，必须遵循以下通用电路板设计指南：

- 始终尽可能遵循 TI 的示例布局和 EVM 设计。如果不了解概念或布线策略，请在 E2E 上提出问题。
- 所有信号都需要接地基准（强烈建议在两侧都实现）。
- 避免在信号参考平面中出现穿过平面分割点的情况。
- 在去耦电容器和存储器模块之间使用尽可能宽的布线。
- 通过保持阻抗匹配来最大限度地减少码间串扰 (ISI)。对于要对布线宽度进行调整以匹配布线阻抗的 T 分支信号尤其如此。
- 通过隔离敏感信号（如选通和时钟）以及使用适当的 PCB 堆叠方式来最大限度地减少串扰。
- 每当信号改变层和参考平面时，通过添加过孔或电容器来避免返回路径不连续。
- 通过在 SDRAM 的基准输入引脚上进行正确的隔离和正确使用去耦电容器，最大限度地降低基准电压噪声。
- 保持信号布线残桩长度尽可能短。
- 为时钟和选通网额外增大间距以最大限度地减少串扰。
- 为所有信号以及所有旁路和去耦电容器保持一个公共接地（也称为 VSS）基准。
- 评估时序限制时，需要考虑微带线和带状线网之间的传播延迟差异。
- 过孔之间的耦合会是产生 PCB 级串扰的重要原因。过孔的尺寸和间距很重要。对于高速接口，应考虑 GND 屏蔽过孔。这种过孔耦合是推荐在最靠近处理器的层上路由数据信号的一个因素。
- 过孔残桩会影响信号完整性。使用过孔背钻可提高信号完整性，并且在某些情况下是必需的。

更多相关信息，请参阅 [高速接口布局指南](#) 应用手册。该应用手册为成功地对高速信号进行布线提供了更多常规性指导信息。

1.3 PCB 堆叠

DDR 接口布线最少为六层堆叠。不过，这只能在所含布线空间具有较大禁止区域的电路板上完成。如果出现以下情况，则需要使用额外的层：

- DDR 接口的 PCB 布局区域受到限制，从而限制了可用于传播信号的区域以尽可能减少串扰。
- 其他电路必须存在于同一区域中，但位于与 DDR 布线隔开的层上。
- 需要额外的平面层来增强电源布线或改善 EMI 屏蔽效果。

相对密集的电路板设计需要 10 层或以上才能正确实现 DDR 布线，从而满足所有规则。

频率成分最高的 DDR 信号（例如数据或时钟）必须在实心 VSS 参考平面附近布线。频率成分较低的信号（例如地址）可以在实心 VSS 或实心 VDDSDDR 参考平面附近布线。如果使用 VDDSDDR 参考平面，则必须在每条布线两端附近实现旁路电容器，以便为这些布线提供低电感交流接地路径。类似地，当 DDR 布线区域中存在多个 VSS 参考平面时，必须在特定位置实现拼接过孔，从而使过孔在拼接过孔附近将信号传输至不同的 VSS 参考平面。这是维持低电感返回电流路径所必需的。

TI 强烈建议将所有 DDR 信号作为带状线进行布线。某些 PCB 堆叠在两个相邻的层上实现了信号布线。只有这些层上的布线是垂直的并且不支持电路板侧耦合，这才可接受。如果与相邻层上的另一条迹线平行布线，则会发生严重串扰，即使距离很短也会如此。另外，只有实现非对称带状线布线时，即相邻布线层之间的距离超过相邻参考平面上迹线距离的 3 倍时，才可以在两个相邻层上实现 DDR 信号布线。

表 1-1. PCB 堆叠规格

编号	参数	最小值	典型值	最大值	单位
PS1	PCB 布线加平面层	6			
PS2	信号布线层	3			
PS3	DDR 布线区域下的完整 VSS 参考层 ⁽¹⁾	1			
PS4	DDR 布线区域下的完整 VDDSDDR 电源参考层 ⁽¹⁾	1			
PS5	DDR 布线区域内允许的参考平面切口数 ⁽²⁾			0	
PS6	DDR 布线层和参考平面之间的层数 ⁽³⁾			0	
PS7	PCB 布线特征尺寸		4		Mil
PS8	PCB 布线宽度 (w)		4		Mil
PS9	单端阻抗		40		Ω
PS10	差分阻抗		80		Ω
PS11	阻抗控制 ⁽⁴⁾	Z-10%	Z	Z+10%	Ω

- (1) 接地参考层优于电源参考层。返回信号过孔需要靠近层转换。使用电源参考层时，请添加旁路电容器来适应迹线开关布线层时的参考层返回电流。
- (2) 在 DDR 布线区域内，任何布线都不得穿过参考平面切口。高速信号布线穿过参考平面切口会产生很大的返回电流路径，这会导致过多的串扰和 EMI 辐射。请注意过孔反焊盘引起的参考平面空隙，因为它们也会导致返回电流路径的不连续性。
- (3) 参考平面应与信号层直接相邻，以最大限度减小返回电流回路尺寸。
- (4) Z 是为 PCB 选择的标称单端阻抗，由 PS9 和 PS10 指定。

1.4 旁路电容器

1.4.1 大容量旁路电容器

需要使用大容量旁路电容器以实现 DDR SDRAM 和其他电路的中速旁路。表 1-2 包含所需大容量旁路电容器的最小数量和最小电容。表 1-2 仅满足 SoC 的 DDR PHY 的旁路需求。其他电路可能需要额外的大容量旁路电容。有关 SDRAM 器件的任何其他去耦要求，请参阅制造商数据表。

表 1-2. 大容量旁路电容器

编号	参数	最小值 ⁽²⁾	最大值	单位
1	VDDSD_DDR 大容量旁路电容器数量 ⁽¹⁾	1		器件
2	VDDSD_DDR 大容量旁路总电容	22		μF

(1) 需要将这些电容器放置在要绕过的器件附近，但需要优先放置高速 (HS) 旁路电容器和 DDR 信号线路。

(2) 本指南中的电容器建议仅反映该处理器的需求。有关如何适当放置存储器器件的去耦电容器，请参阅存储器供应商的指南。

1.4.2 高速旁路电容器

高速 (HS) 旁路电容器对于 DDR 接口的正常运行至关重要。更最大限度地减小连接到 VDDSD_DDR 和相关接地接头的 HS 旁路电容器的寄生串联电感尤为重要。表 1-3 包含针对 HS 旁路电容器和 PCB 上的电源接头的规格。一般来说，TI 建议：

- 安装尽可能多的 HS 旁路电容器。
- 更最大限度地减小从旁路电容器到被旁路的引脚和焊球的距离。
- 使用物理尺寸尽可能小且具有最高可现用电容的陶瓷电容器。
- 使用尽可能宽的布线和尽可能大的过孔尺寸将旁路电容器焊盘连接到过孔。
- 尽可能减少过孔共享。请注意表 1-3 中显示的对过孔共享的限制。
- 使用三端电容器，而不是两端电容器。三端电容器提供较低的环路电感，一个三端电容器可以代替多个两端电容器，从而进一步优化环路电感。

有关任何其他 SDRAM 要求，请参阅制造商的数据表。

表 1-3. 高速旁路电容器

参数	最小值	典型值	最大值	单位
HS 旁路电容器封装尺寸 ⁽¹⁾		0201	0402	Mil
HS 旁路电容器到被旁路的处理器的距离 ^{(2) (3) (4)}			150	Mil
每个 VDDSD_DDR 电源轨的处理器 HS 旁路 电容器数量 ⁽⁵⁾	5			器件
每个 VDDSD_DDR 电源轨的处理器 HS 旁路 电容器总电容 ⁽⁵⁾	1.4			uF
每个器件电源/接地焊球的连接过孔数量	1			过孔
从处理器电源/接地焊球到连接过孔的布线长度 ⁽²⁾		35	70	Mil
HS 旁路电容器到被旁路的 DDR 器件的距离 ⁽⁶⁾			150	Mil
DDR 器件 HS 旁路电容器数量	请参阅 DDR 制造商指南			
每个 HS 电容器的连接过孔数量 ^{(7) (8)}	2			过孔
从旁路电容器到连接过孔的布线长度 ^{(2) (8)}		35	100	Mil
每个 DDR 器件电源/接地焊球的连接过孔数量	1			过孔
从 DDR 器件电源/接地焊球到连接过孔的布线长度 ⁽²⁾		35	60	Mil

(1) LxW，10 mil 单位，即 0402 是一种 40 x 20 mil 表面贴装电容器。

(2) 越近或越短越好。

(3) 从最近的处理器电源或接地焊球到电容器封装中心进行测量。

(4) 其中三个电容器需要位于处理器下方的 VDDSD_DDR 焊球簇中。

(5) 去耦电容器数量和电容值需要从功率感知 PCB 仿真中得出。PCB 设计人员有责任确保任何设计都符合提供的 PDN 目标。

(6) 从 DDR 器件电源或接地焊球到电容器封装中心进行测量。请参阅 SDRAM 制造商提供的指南。

(7) 仅当附加 HS 旁路电容器安装在电路板的另一侧时，它才能共享连接过孔。不允许在电路板的同一侧共享过孔。

(8) HS 旁路电容器可与安装在 PCB 同一侧的 DDR 器件共享一个过孔。必须使用较宽的布线进行连接，并且从电容器焊盘到 DDR 器件焊盘的长度需要小于 150mil。

1.4.3 返回电流旁路电容器

如果返回电流参考平面会因为 DDR 信号从一个信号层跳跃到另一个信号层而发生变化，进而导致参考平面从 VDD_S_DDR 变为 VSS，那么需要使用额外的旁路电容器。此处的旁路电容器为返回电流提供了一个路径来与信号一同跳跃各平面。尽可能多地使用这样的返回电流旁路电容器，最多每个信号过孔一个旁路电容器。这些是信号电流的返回路径，因此这些旁路电容器的过孔在尺寸上可以小于信号路由所用的过孔。

1.5 速度补偿

部分 DDR 信号迹线为微带线（顶层和底层），而该迹线段长度多数为带状线（内层），并且作为微带线或带状线的布线长度在比例上存在较大的变化范围，因此长度或延迟匹配过程必须包含一种机制来对这两种类型的 PCB 互连之间的速度差异进行补偿。为此，JEDEC 规定了补偿系数为 1.1。所有微带线长度在合计到长度匹配公式之前都要除以 1.1，所得的补偿长度被称为带状线等效长度。尽管设计中仍然存在一定量的残余速度不匹配偏差，但该过程实现了对简单长度匹配的重大改进。

2 DDR4 电路板设计和布局布线指南

2.1 DDR4 简介

DDR4 电路板的设计与 DDR3 电路板相似。与 DDR3 类似，DDR4 也需要采用飞越式布线，因此需要矫正。为了通过 DDR4 实现更高的数据速率，接口规范中加入了多项增强功能，SDRAM 和处理器接口 (PHY) 都必须满足相应的规范要求。下面列出了会影响电路板互连和布局的增强功能：

- 增加 ACT_n 引脚 - 该引脚提供了信号传递功能，支持将之前被称为命令引脚 (RAS_n、CAS_n 和 WE_n) 的引脚用作额外的地址引脚。这些引脚在 ACT_n 为低电平时用作行地址引脚，而在 ACT_n 为高电平时用作命令引脚。这仅在 CS_n 为低电平时有效。
- 移除一个 BA (存储库地址) 引脚并增加 2 个 BG (存储库组) 引脚 - 这增加了与 DDR3 相似的访问灵活性，但共有 16 个存储库，即在四个组中分别有四个存储库。这产生了额外的计时参数，因为存储库组内的相邻访问要快于对另一存储库组的相邻访问。最快的选项是连续访问单个存储库内的位置。
- 增加 PAR (奇偶校验) 和 ALERT_n 引脚 (使用是可选的) - PAR 引脚利用从控制器到 SDRAM 的偶校验来对命令和地址引脚提供奇偶校验监测。ALERT_n 是来自 SDRAM 的指示 (开漏输出)，用于指示何时检测到奇偶校验错误。
- 更改 POD 终端 - 实现了伪开漏 (POD) 输出缓冲器，而不是传统的 SSTL 推挽输出。这让数据位终端 ODT 可以连接到 I/O 电源轨 VDDQ，而非中位电压 VTT。功耗可能会有所降低，因为仅驱动一位时消耗的电流较低。
- 增加 DBI - 数据总线翻转 (DBI) 功能，每当超过一半的位为零时数据总线会翻转。与 POD 终端搭配使用时，该功能可以降低有功功率，从而提高数据信号完整性。
- 增加 VPP 电源输入 - VPP 电源 (2.5V) 为内部字线逻辑供电。电压的升高可以让 SDRAM 降低总体功耗。
- 将数据 VREF 与地址和控制 VREF 分开 - 在 SDRAM 中和在 PHY 中，数据基准电压 VREFDQ 现在都由内部生成。该电压可以编程为多种不同的电平，从而提供理想的采样阈值。根据所选的 ODT 阻抗、驱动强度和 PCB 布线阻抗，理想的阈值会有所不同。地址和控制基准电压 VREFCA 是中位基准电压，与 DDR3 中的相同。

备注

并非所有器件都支持这些功能。请参阅数据表和相关器件的技术参考手册的“DDR 子系统 (DDRSS)”一章。

2.2 受支持的 DDR4 器件的实现

DDR4 EMIF 支持多种可能的 SDRAM 器件组合。表 2-1 列出了支持的器件组合。每个组合中使用的 SDRAM 都必须完全相同：也就是说，SDRAM 必须具有相同的器件型号。

表 2-1. 受支持的 DDR4 SDRAM 组合

SDRAM 总线宽度	SDRAM 器件数量	封装中的芯片数	BG 信号	列数 (CS 信号)	原理图	最大可寻址范围
x16	1	1	BG0	1 (CS0 _n)	图 2-1	4GB
x16	1	2	BG[1:0]	1 (CS0 _n) 或 2 (CS[1:0] _n)	图 2-2 (VTT 可选)	4GB (1 列)、 8GB (2 列)
x8	2	1	BG[1:0]	1 (CS0 _n) 或 2 (CS[1:0] _n)	图 2-2 (带有 VTT)	4GB (1 列)、 8GB (2 列)

备注

DDR4 接口支持 ECC。与传统的需要专用存储器引脚和器件的 ECC 接口不同，ECC 获得了内联支持。由于 ECC 数据与非 ECC 数据一起存储，ECC 对系统的影响在于接口带宽和整体存储器密度。如果启用了 ECC，则最大可寻址范围将缩小。请参阅器件 TRM 了解更多详细信息。

备注

有关可用的 DDR 引脚列表，请参阅数据表的端子配置和功能部分。例如，AM62Lx 不支持 2 列。

2.3 DDR4 接口原理图

本节讨论了采用 x16 和 x8 SDRAM 器件的实现（也称拓扑）。本节并未讨论支持低功耗操作的实现建议，例如 SDRAM 保持自刷新模式且处理器关断时的低功耗操作。本节也未讨论无 DDR 的实现方案。我们正在研究上述情况，本文档的未来版本中可能会加以介绍。

仅支持具有 16 位数据宽度的实现。不支持仅使用 8 位数据的实现。

2.3.1 采用 16 位 SDRAM 器件的 DDR4 实现

DDR4 接口原理图因所采用 DDR4 SDRAM 器件的位宽度和所实现的 EMIF 总线宽度而异。实现之间的通用连接是简单且一致的。16 位 SDRAM 器件就像两个 8 位器件。图 2-1 展示了采用单个 x16 SDRAM 实现 16 位接口的连接原理图。

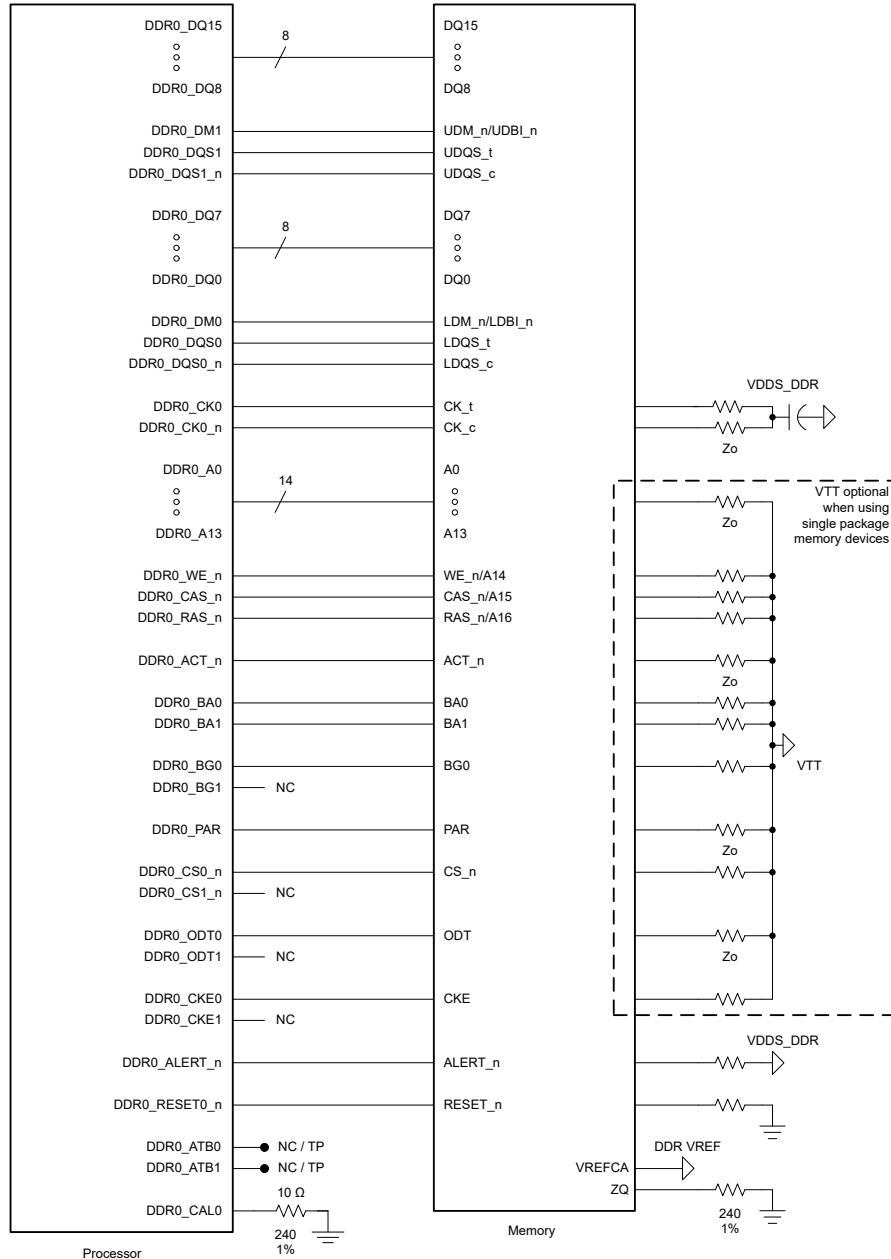


图 2-1. 采用 x16 SDRAM 实现 16 位、单列 DDR4

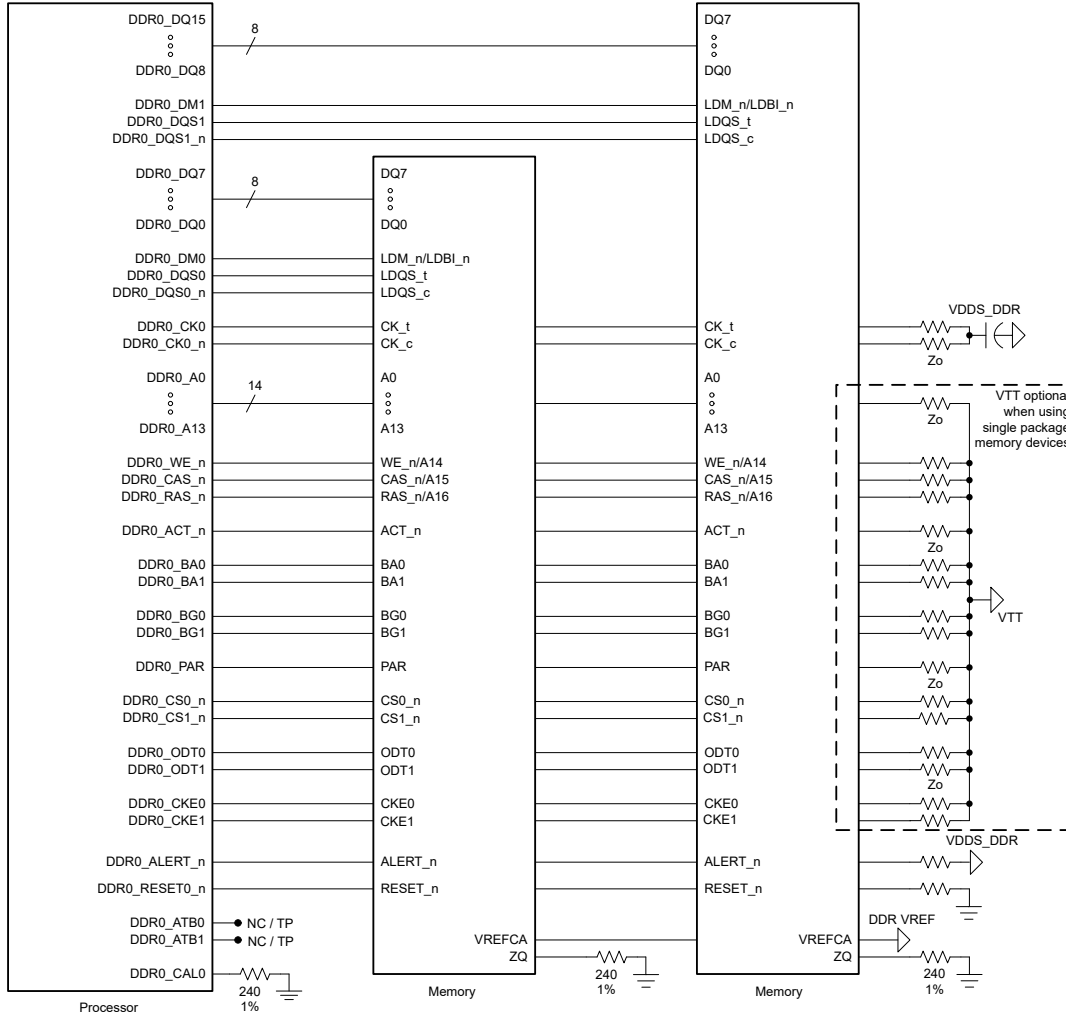
1. 在使用可以拉取和灌入电流的 VTT 稳压器 (LDO) 进行设计时，必须使用去耦电容器（每两个终端电阻器必须至少使用一个电容器（值为 1.0uF）），以尽可能地降低 VTT 电源噪声的影响。请参阅 [AM64x GP EVM](#)

2. 电阻器的 Z_o 值为 $30\ \Omega$ 至 $47\ \Omega$ 。电阻值应与布线阻抗非常接近。
3. 使用单封装存储器器件时，地址和控制信号上的 VTT 是可选的，但始终需要 CK0/CK0_n 上所示的端接
4. DDR_VREF 由 VTT 稳压器供电。当不使用 VTT 时，VREFCA 需要连接到分压器。有关分压器实现示例，请参阅 EVM 原理图。
5. 必须在 DDR0_CAL0 引脚和 VSS 之间连接一个外部 $240\ \Omega \pm 1\%$ 电阻。该电阻的最大功耗为 5.2mW。不得向 DDR0_CAL0 引脚施加外部电压。组件或产品整个生命周期所需的容差为 $\pm 1\%$ 。
6. RESET_n 应具有外部 10k 下拉电阻器以将 RESET 控制为低电平，直到 DDR 控制器驱动信号。RESET_n 没有长度匹配要求。

2.3.2 采用 8 位 SDRAM 器件的 DDR4 实现

图 2-2 展示了使用两个 x8 器件实现双列 16 位接口的连接原理图。

使用在一个封装中包含两个裸片的存储器器件来实现更高密度的设计。该连接与图 2-2 类似，只是两个 x8 存储器位于一个封装中，因此无需 VTT 实现。使用这些器件时，请确保连接 BG[1:0]，因为内部实现仍在两个 x8 存储器。



1. 在使用可以拉取和灌入电流的 VTT 稳压器 (LDO) 进行设计时，必须使用去耦电容器 (每两个终端电阻器必须至少使用一个电容器 (值为 1.0uF))，以尽可能地降低 VTT 电源噪声的影响。请参阅 AM64x GP EVM。
2. 电阻器的 Z_0 值为 30 Ω 至 47 Ω 。电阻值必须与布线阻抗非常接近。
3. 使用单封装存储器器件时，地址和控制信号上的 VTT 是可选的，但始终需要 CK0/CK0_n 上所示的端接
4. DDR_VREF 由 VTT 稳压器供电。当不使用 VTT 时，VREFCA 需要连接到分压器。有关分压器实现示例，请参阅 EVM 原理图。
5. 对于单列设计，CS1_n、ODT1 和 CKE1 可保持未连接状态
6. 具有两个 x8 裸片的单封装存储器不需要 VTT。
7. 必须在 DDR0_CAL0 引脚和 VSS 之间连接一个外部 240 $\Omega \pm 1\%$ 电阻。该电阻的最大功耗为 5.2mW。不得向 DDR0_CAL0 引脚施加外部电压。组件或产品整个生命周期所需的容差为 $\pm 1\%$ 。
8. RESET_n 应具有外部 10k 下拉电阻器以将 RESET 控制为低电平，直到 DDR 控制器驱动信号。RESET_n 没有长度匹配要求。

图 2-2. 采用 x8 SDRAM 实现 16 位、双列 DDR4

2.4 兼容的 JEDEC DDR4 器件

表 2-2 所示为与该接口兼容的 JEDEC DDR4 器件的参数。一般而言，DDR4 接口与所有符合 JEDEC 标准的 x8 或 x16 宽度 DDR4 SDRAM 器件兼容。

表 2-2. 兼容的 JEDEC DDR4 器件

编号	参数	最小值	最大值	单位
1	JEDEC DDR4 数据速率 ^{(2) (3)}		1600	MT/s
2	JEDEC DDR4 器件位宽	x8	x16	位
3	JEDEC DDR4 器件数量 ⁽¹⁾	1	2	器件

- (1) 有关有效的 DDR4 器件配置和器件数量，请参阅 [DDR4 接口原理图](#)。
(2) 如需了解受支持的数据速率，请参阅特定于器件的数据手册。
(3) 可以使用更快速度等级的 SDRAM，前提条件是对 SDRAM 进行正确配置，从而以支持的数据速率运行。具有更快速度等级的 SDRAM 具有更快的边沿速率，可能会影响信号完整性。必须在目标板设计上验证具有更快速度等级的 SDRAM。

2.5 放置

图 2-3 显示了处理器和 DDR4 器件的放置要求。表 2-3 中定义了该图的尺寸。放置不限制将器件安装在 PCB 的哪一侧。放置的最终目的是限制最大布线长度并留出适当的布线空间。

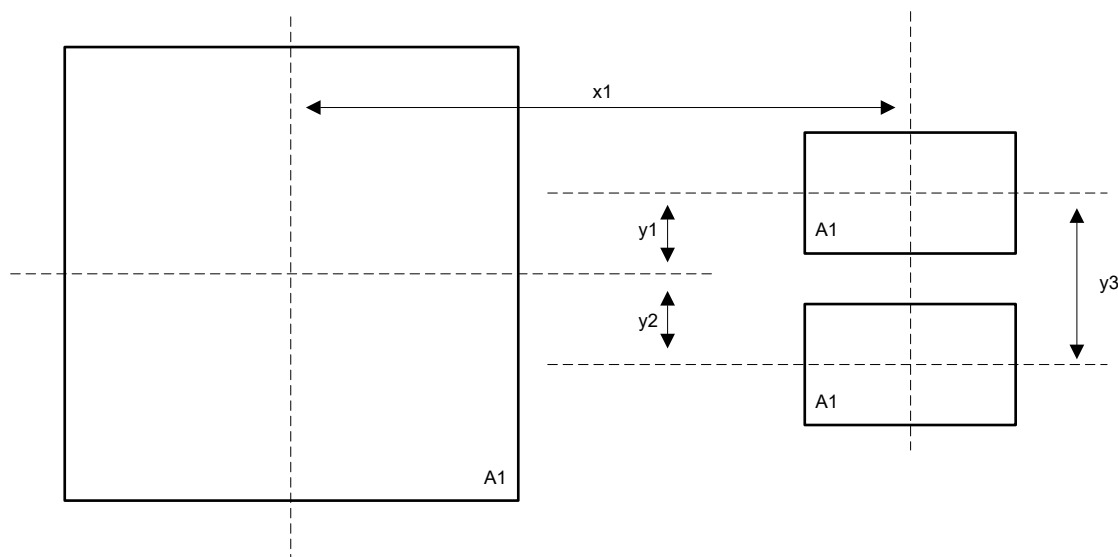


图 2-3. DDR4 放置规格

表 2-3. 放置参数

编号	参数	最小值	最大值	单位
1	x1		2000	Mil
2	y1		500	Mil
3	y2		1000	Mil
4	y3		750	Mil

2.6 DDR4 禁止区域

用于 DDR4 电路的 PCB 区域必须与其他信号隔离开来。为此定义了 DDR4 禁止区域，如 图 2-4 中所示。该区域的大小因放置方式和 DDR 布线而异。对于非 DDR4 信号，不得在 DDR4 禁止区域内的 DDR 信号层上布线。只有在通过接地层与 DDR 信号层隔离开来的其他层上传送该信号时，才能在该区域中传送非 DDR4 信号。该区域的参考接地层中不允许有缝隙。此外，整个禁止区域中存在实心 VDDSDDR 电源平面。

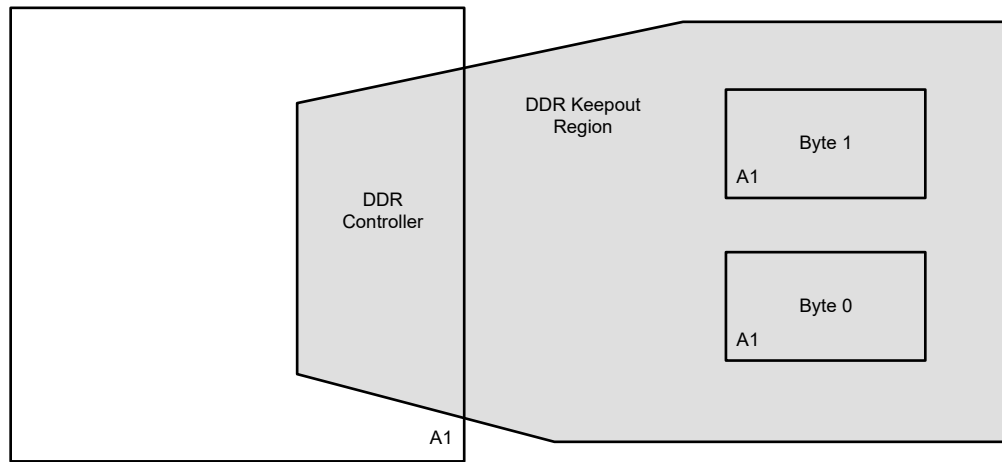


图 2-4. DDR4 禁止区域

2.7 DBI

建议使用 DBI 来降低电源/接地噪声并改善数据眼图。因此，对于 DDR4 配置，DDR 子系统配置工具默认会启用 Read DBI。

2.8 VPP

VPP 是 DDR4 SDRAM 上新增的电源输入。该电源必须在工作模式和待机模式下提供不到 5mA 的平均电流，并在刷新期间提供 10mA 至 20mA 的电流。刷新期间消耗的电流并不恒定。VPP 电源和去耦电容器必须能够在此期间提供高达 60 mA 的短暂瞬时脉冲电流。

2.9 网类别

布线规则应用于被称为网类别的组中的信号。每个网类别包含遵循相同布线要求的信号。这简化了这些布线的实施和依从性。表 2-4 列出了 DDR4 接口的时钟网类别。表 2-5 列出了 DDR4 接口中信号的信号网类别和相关的时钟网类别。然后将这些网类别链接到后续的终端和布线规则。

表 2-4. 时钟网类别定义

时钟网类别	处理器引脚名称
CK	DDR0_CK0/DDR0_CK0_n
DQS0	DDR0_DQS0/DDR0_DQS0_n
DQS1	DDR0_DQS1/DDR0_DQS1_n

表 2-5. 信号网类别定义

信号网类别	关联的时钟网类别	处理器引脚名称
ADDR_CTRL	CK	DDR0_A[13:0]、DDR0_WE_n、DDR0_CAS_n、DDR0_RAS_n、DDR0_ACT_n、DDR0_BA0、DDR0_BA1、DDR0_BG0、DDR0_BG1、DDR0_PAR、DDR0_CS0_n、DDR0_CS1_n、DDR0_ODT0、DDR0_ODT1、DDR0_CKE0、DDR0_CKE1
BYTE0	DQS0	DDR0_DQ[7:0]、DDR0_DM0
BYTE1	DQS1	DDR0_DQ[15:8]、DDR0_DM1

2.10 DDR4 信号端接

如果设计中包含 CK 和 ADDR_CTRL 网类别的多个存储器器件，则需要信号端接器。对于采用单存储器封装的设计，ADDR_CTRL 网类别上的 VTT 端接是可选的（差分时钟信号 CK0 和 CK0_n 仍需要端接）。[DDR4 接口原理图](#) 中的原理图展示了该情况。数据组网在处理器和 SDRAM 存储器中由 ODT 端接，因此数据组 PCB 迹线必须保持末端接。以下各节详细介绍了布线规则中的端接规范。

2.11 VREF 布线

JEDEC 定义了与 DDR4 存储器接口搭配使用的两个基准电压，即 VREFDQ 和 VREFCA。VREFDQ 是在读写期间用于数据组网的基准电压。VREFCA 是用于 SDRAM 命令和地址输入的基准电压。DDR4 SDRAM 会在内部生成 VREFDQ。类似地，处理器的 DDR4 PHY 也会在内部生成 VREFDQ。VREFCA 基准电压必须在电路板上生成并传播至所有 SDRAM。VREFCA 设计为 DDR4 电源电压的 50%，并且通常由 DDR4 VTT 电源生成。VREFCA 必须采用标称宽度为 20mil 的迹线并在每个器件连接装置附近放置 0.1 μ F 旁路电容器。可以缩小 VREF 迹线的宽度，从而适应端点附近较短长度的布线拥塞。

不使用 VTT 电源时，必须使用分压器电路生成 VREFCA。有关分压器电路实现示例，请参阅 EVM 原理图。确保分压器使用高精度电阻器（容差为 1%）。

2.12 VTT

与 VREFCA 一样，VTT 电源的标称值为 DDR4 电源电压的 50%。与 VREFCA 不同，VTT 电源需要提供拉电流和灌电流，具体而言是 ADDR_CTRL 网类别戴维南终端器的终端电流。地址和控制总线末端需要 VTT，并且 VTT 需要作为电源子平面进行布线。VTT 必须在终端电阻器附近通过去耦电容器进行旁路。如果设计仅包含一个存储器器件（即所有信号都是点对点的），则 VTT 是可选的。

2.13 POD 互连

在 DDR4 之前，输出缓冲器为推挽式 CMOS 缓冲器。缓冲器在驱动低电平时灌入电流并在驱动高电平时拉出电流。然后，缓冲器端接至中阻戴维南电阻来获得出色的功率传输和信号完整性。遗憾的是，每次在高电平或低电平条件下启用缓冲器时，这都会导致电流的产生和功率消耗。伪开漏 (POD) 是一种负载处终端 ODT 仅连接到 VDDQ 的连接类型。POD 连接仅在驱动低电平时消耗功率，因此可以降低功耗。在 DDR4 中，PHY（用于读取）和 SDRAM（用于写入）在所有数据组引脚内部提供这些 VDDQ 终端。

在采用 POD 终端的连接上，信号不同于之前 DDR 连接上的信号，那时数据组信号从 VSS 传输到 VDDQ 并根据中位基准电压进行采样。高电平电压仍为 VDDQ。不过，现在根据驱动阻抗和 ODT 电阻计算低电平。如果驱动阻抗和 ODT 电阻都设置为 50 Ω ，则低电平电压现在为 VDDQ/2。然后，为了获得出色的性能，采样电压需要位于这两个电压的中间，即等于 3/4*VDDQ。

2.14 CK 和 ADDR_CTRL 拓扑与布线指南

CK 和 ADDR_CTRL 网类别的布线方式相似，通过处理器中的 DDR PHY 与每个 SDRAM 进行长度匹配，以最大限度地减少两者之间的偏差。因为 CK 网类别的运行转换速率更高并且采用差分形式，所以对待 CK 网类别需要更加谨慎。

CK 和 ADDR_CTRL 网类别采用飞越式形式进行布线。因此，CK 和 ADDR_CTRL 网类别会以多点总线形式按顺序从处理器中的 DDR 控制器布线到每个 SDRAM，并且每个信号都在末端具有终端。若要完成此布线，每个 SDRAM 上的每个网中都存在一个小的残桩迹线。这些残桩必须短并且长度必须大致相同，从而控制信号反射。在每个 SDRAM 上，ADDR_CTRL 网类别与 CK 网类别长度匹配，以便在 SDRAM 处对 ADDR_CTRL 信号进行正确采样。

备注

对于 DDR4 布局，需要采用飞越式布线。不支持之前用于 DDR2 布局的平衡 T 布线。

[节 2.2](#) 讨论了从单个 x16 SDRAM 到最多两个 x8 SDRAM 存在多种可能的存储器拓扑或实现方式。不管所实现的 SDRAM 数量如何，都必须遵循布线要求。TI 建议所有 SDRAM 都在电路板的同一侧上实现，最好是在电路板上与处理器位于同一侧。在电路板的两侧都有可能实现 SDRAM，但布线复杂性和所需的 PCB 层数量会显著增加。

图 2-5 展示了 CK 网类别的拓扑，而图 2-6 展示了相应 ADDR_CTRL 网类别的拓扑。飞越式布线已经分成了多个段，从而简化了长度匹配分析。必须注意避免因这种方法导致累积过量的长度误差。

A1 和 A2 段一同组成导入部分，AT 段是网末端处终端的布线，A3 段是分到每个 SDRAM 的残桩之间的布线。对于 SDRAM 较少的拓扑，如 SDRAM 不存在，则移除对应的 A3 段。表 2-6 详细介绍了布线段的长度匹配要求。

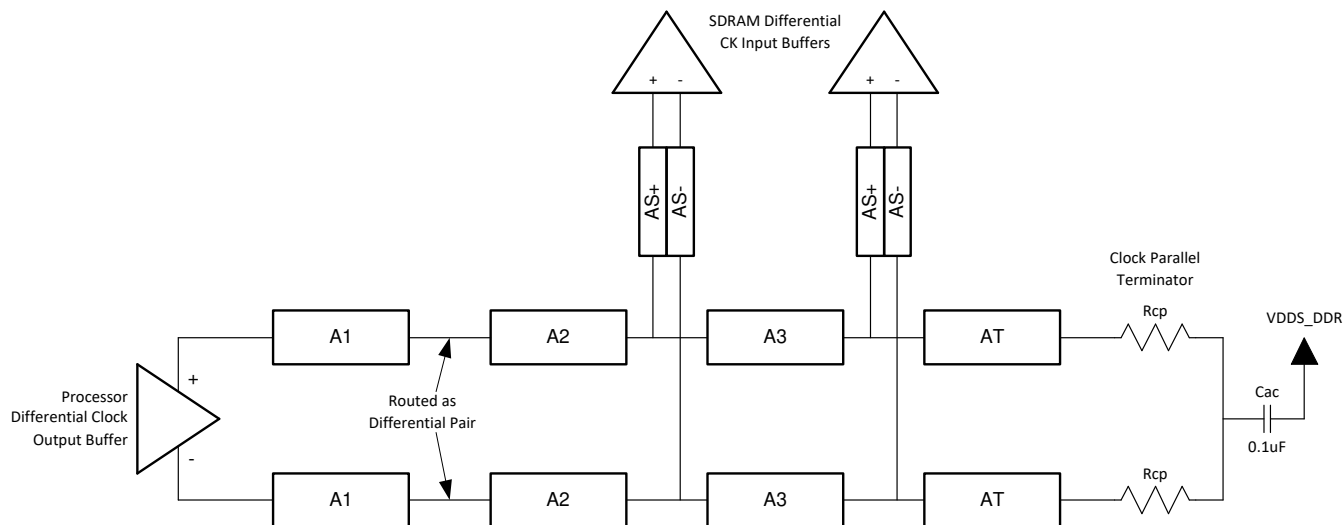


图 2-5. 两个 DDR4 SDRAM 器件的 CK 拓扑

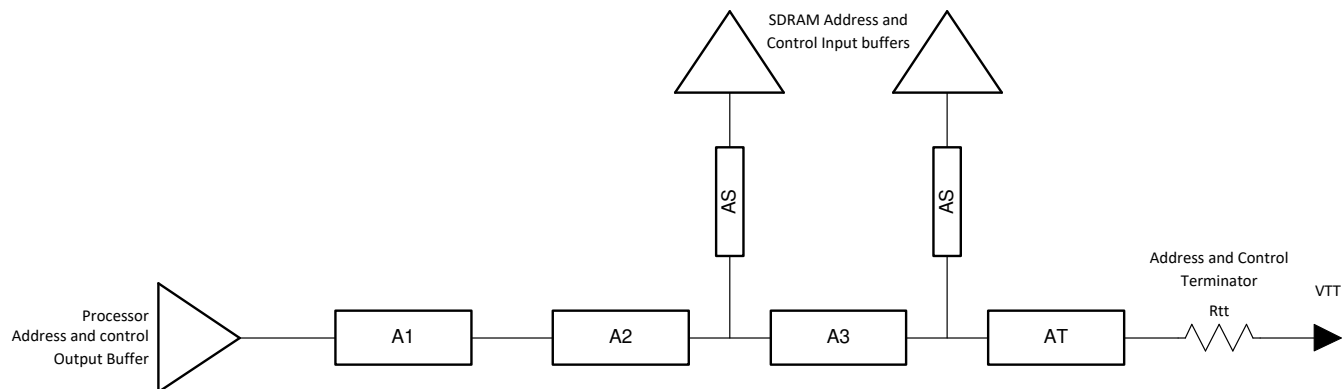


图 2-6. 两个 DDR4 SDRAM 器件的 ADDR_CTRL 拓扑

前几个图显示了该电路拓扑，以便管理布线长度并遵循布线长度匹配规则。后两张图从 PCB 布线角度再次显示了 CK 和 ADDR_CTRL 布线组的布线情况。

图 2-7 展示了两个 SDRAM 器件的 CK 组布线。该图清楚地展示了飞越式布线。DDR0_CK0 和 DDR0_CK0_n 布线 (CK 布线组) 会以差分对形式从处理器布放到末端包含 BYTE0 数据的 SDRAM。然后，该差分对会接着连接到另一个 SDRAM 最后通过交流终端端接至 VDDSD_DDR。该布线还在每个 SDRAM 处包含适用于 DDR0_CK0 和 DDR0_CK0_n 的布线残桩。

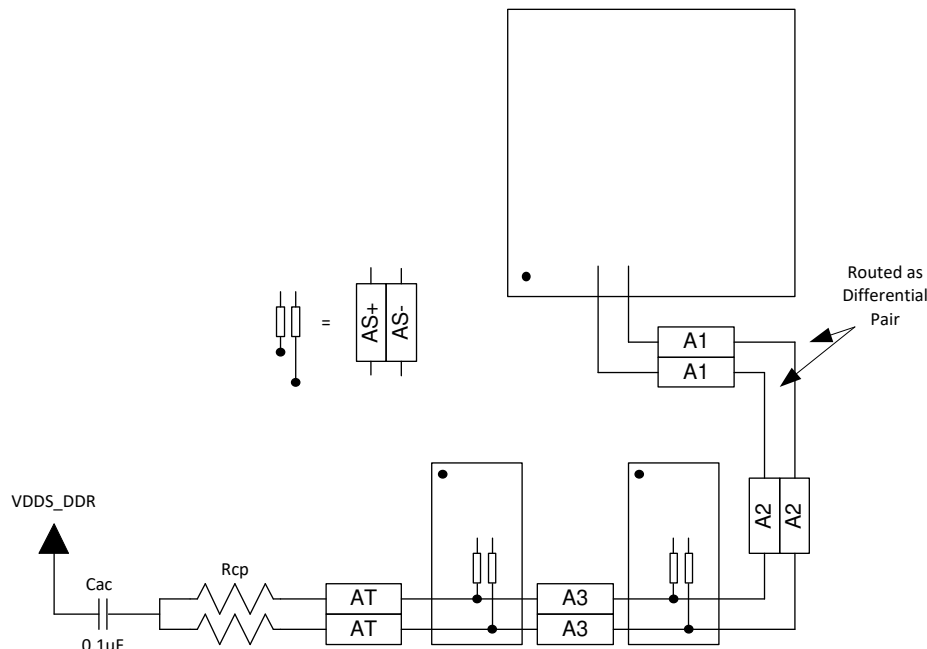


图 2-7. 两个 DDR4 SDRAM 器件的 CK 布线

图 2-8 展示了两个 SDRAM 器件的 ADDR_CTRL 布线，它们也以飞越式形式沿着相同的路径布线，因为 ADDR_CTRL 布线组与 CK 布线组长度匹配。

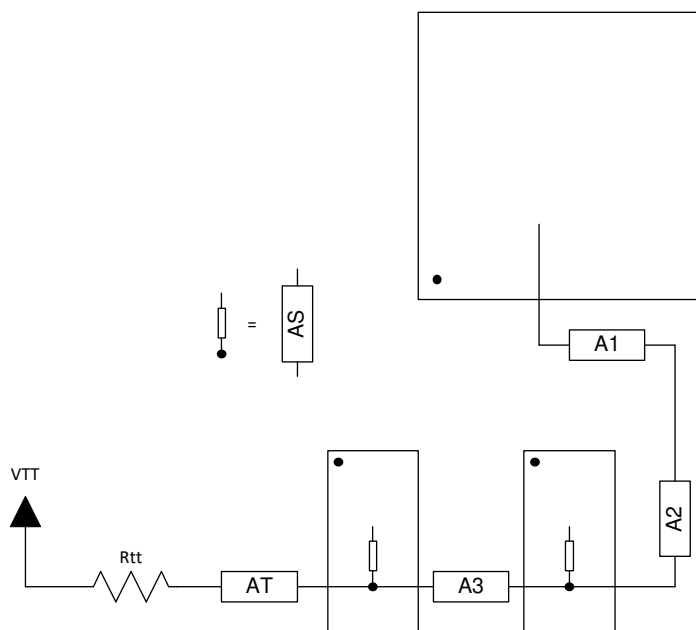


图 2-8. 两个 DDR4 SDRAM 器件的 ADDR_CTRL 布线

绝对顺序并不重要。始于处理器的飞越式布线也可以连接到包含数据最后一个字节的 SDRAM (或者包含 BYTE0 数据的 SDRAM 所在行另一端的任意 SDRAM)。然后，该飞越式布线会接着连接到上文所述的另一个 SDRAM，直到在 BYTE0 SDRAM 之后通过 Rtt 终端连接到 VTT。

在布线期间尽量减少层转换。如果必须进行层转换，则最好转换到使用相同参考平面的层。当参考平面为接地平面和 VDDSDR 时，如果无法做到这一点，请确保附近有拼接过孔，以使返回电流在这两个参考平面之间转换。另外，当其中一个参考平面为接地平面，而另一个参考平面为 VDDSDR 时，请确保附近放置了旁路电容器，以使返回电流在这两个参考平面之间转换。每个参考平面转换都必须满足这一条件。目标是尽可能减小返回

电流路径的大小，从而尽量减小该路径中的电感。如果缺少这些拼接过孔或电容器，则会导致信号路径中的阻抗不连续，从而增加串扰和信号失真。

2.15 数据组拓扑与布线指南

不管实现的 DDR4 器件数量如何，数据线拓扑始终为点对点拓扑。在布线期间尽量减少层转换。如果必须进行层转换，则转换到使用相同参考平面的层。如果无法做到这一点，则确保附近有接地过孔，以使返回电流在参考平面之间转换。目标是为返回电流提供低电感路径。另外，为了优化长度匹配，TI 建议在一个层上对单个数据布线组内的所有网进行布线，该组中的所有网都具有完全相同的过孔数量和相同的过孔套管长度。

DQSP 和 DQSN 线是作为一个差分对进行布线的点对点信号。图 2-9 展示了 DQS 连接拓扑。

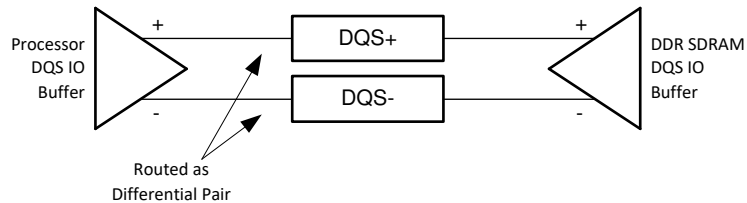


图 2-9. DDR4 DQS 拓扑

DQ 和 DM 线是作为单端进行布线的点对点信号。图 2-10 展示了 DQ 和 DM 连接拓扑。



图 2-10. DDR4 DQ/DM 拓扑

与上方的 CK 和 ADDR_CTRL 布线图相似，图 2-11 和图 2-12 展示了 DQS 布线组以及相关数据布线组网的 PCB 布线示例。

该布线示例显示了 DQS0P 和 DQS0N，这两者以差分对形式从处理器连接到包含字节 0 的 SDRAM。该布线以点对点布线差分对形式实现，而没有任何电路板终端。任何这些类型的网上均不允许存在残桩。所有测试接入点必须排成一条直线，不得有任何分支或残桩。针对实现的字节通道，从处理器到每个 SDRAM 存在类似的 DQS 对布线。

图 2-12 展示了字节 0 布线组内单个网的布线示例。DQ 和 DM 网采用单端布线方式，同时也是点对点形式，而没有任何残桩或电路板终端。实现的每个 DQ 和 DM 网都存在点对点布线。

DQ 和 DM 网沿着与该字节通道 DQSP 和 DQSN 对相同的路径进行布线，以便这些网可以与 DQS 对长度匹配。

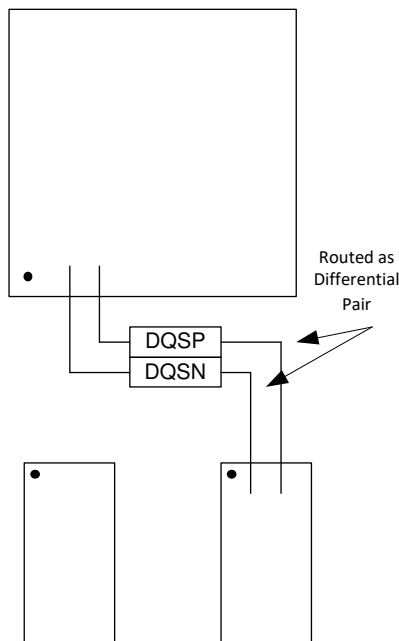


图 2-11. 到两个 DDR4 SDRAM 器件的 DQS 布线

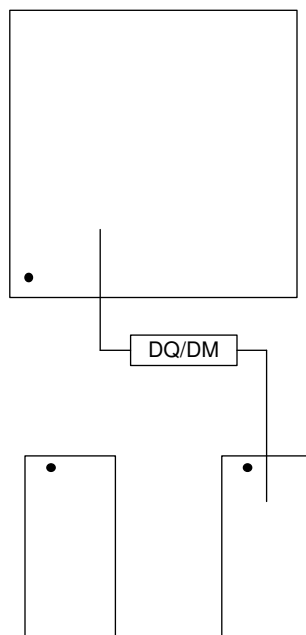


图 2-12. 到两个 DDR4 SDRAM 器件的 DQ/DM 布线

2.16 CK 和 ADDR_CTRL 布线规格

CK 和 ADDR_CTRL 网类别中的偏差会直接降低 ADDR_CTRL 网的建立和保持裕量。因此，必须控制该偏差。PCB 布线具有与其长度成正比的延迟。因此，必须通过在一组定义的信号中匹配布线的长度来管理延迟偏差。在 PCB 上实际匹配长度的唯一方法是将较短的迹线延长至网类别中最长的网及相关时钟 DDR0_CK0 和 DDR0_CK0_n 的长度。在分析过程中，应考虑具有准确堆叠信息的 Z 轴延迟（穿孔）。

2.16.1 CACLM - 时钟地址控制最大曼哈顿距离

一种用于确定最大长度的指标是曼哈顿距离。PCB 上两点之间的曼哈顿距离是指仅通过水平或垂直布线连接两点时的布线长度。该迹线长度的合理限值是其曼哈顿距离加上一些裕度。CACLM 就是这一限值，其定义为时钟地址控制最大曼哈顿距离。

给定处理器和 DDR4 存储器的时钟和地址引脚位置后，可以根据这些器件的位置来确定可能的最大曼哈顿距离。CK 和 ADDR_CTRL 布线组的布线长度经验值就是根据此距离来确定的。

DDR4 SDRAM 器件上的地址输入 A13 可能具有最大的 CK 和 ADDR_CTRL 曼哈顿距离，因为 A13 放置在最远角。假设 A13 是最大距离，则 CACLM 的计算方式为 $CACLMY(A13) + CACLMX(A13) + 300\text{mil}$ 。额外的 300mil 支持布线越过第一个 DDR4 SDRAM 并返回，从而到达引脚 A13。在确定从处理器到第一个 SDRAM 的迹线长度上限时，请参考此指导原则。

2.16.2 CK 和 ADDR_CTRL 布线限值

表 2-6 列出了构成从处理器到 SDRAM 的布线的各个段的限制。这些段的长度与先前图 2-5 和图 2-6 中显示的 CK 和 ADDR_CTRL 拓扑图一致。通过使某个布线组中所有信号的相同段的布线长度保持匹配，可以控制信号延迟偏差。

请记住，CK 和 ADDR_CTRL 网的每个段均沿着相同的路径布线。这简化了长度匹配工作。CK 组的偏差限值将 DDR0_CK0P 的长度与 DDR0_CK0N 的长度进行比较。然后，ADDR_CTRL 组网的偏差限值与 CK 组网进行了比较。

大多数 PCB 布局工具都可以配置为生成报告以帮助执行此验证。如果无法自动生成该报告，则必须手动生成和验证。

表 2-6 还列出了从处理器到每个 SDRAM 的完整布线的偏差限值。除了各段的偏差限值外，还必须检查此项，以确认布局中不会累积误差。

若要使用长度匹配（单位为 mil）而不是延时时间（单位为 ps），请将延时时间（单位为 ps）乘以 5。在信号传播速度方面，微带线要快于带状线。采用长度匹配时，标准做法是将微带线长度除以 1.1 来获得补偿长度，从而使微带线长度与带状线长度实现标准化，并与提供的延迟限值保持一致。这称为速度补偿（请参阅节 1.5）。

表 2-6. CK 和 ADDR_CTRL 布线规格

编号	参数	最小值	典型值	最大值	单位
1	A1+A2 长度			500 ⁽¹⁾	ps ⁽¹²⁾
2	A1+A2 偏差 ADDR_CTRL 至 CK ⁽⁴⁾			3	ps
4	A3 偏差 ADDR_CTRL 至 CK ⁽⁴⁾			3	ps
3	A3 长度			125	ps
5	A1+A2 偏差 DDR0_CK0 至 DDR0_CK0_n			0.4	ps
6	A3 偏差 DDR0_CK0 至 DDR0_CK0_n			0.4	ps
7	AS 长度		5 ⁽¹⁾	17	ps
8	AS 偏差		1.3 ⁽¹⁾	3	ps
9	AS+/AS- 长度		5	17	ps
10	AS+/AS- 偏差			0.4	ps
11	AT 长度 ⁽³⁾		75		ps
12	AT 偏差 ADDR_CTRL 至 CK ⁽⁴⁾		14		ps
13	AT 偏差 DDR0_CK0 至 DDR0_CK0_n			0.4	ps
14	从处理器到每个 SDRAM 的总 DDR0_CK0 至 DDR0_CK0_n 偏差 ⁽²⁾			0.8	ps
15	从处理器到每个 SDRAM 的总 CK 至 ADDR_CTRL 偏差 ⁽²⁾			4	ps
16	每条布线上的过孔数 ⁽¹¹⁾			3 ⁽¹⁾	个过孔
17	过孔数差异 ⁽¹¹⁾			1 ⁽¹⁰⁾	个过孔

表 2-6. CK 和 ADDR_CTRL 布线规格 (续)

编号	参数	最小值	典型值	最大值	单位
18	中心到中心 CK 到其他 DDR4 布线间距 ⁽⁵⁾	4w			
19	中心到中心 ADDR_CTRL 到其他 DDR4 布线间距 ⁽⁵⁾	4w			
20	中心到中心 ADDR_CTRL 到其他 ADDR_CTRL 布线间距 ⁽⁵⁾	3w			
21	CK 中心到中心间距 ^{(6) (7)}	请参阅以下注意事项			
22	CK 到其他网间距 ⁽⁵⁾	4w			
23	Rcp ⁽⁸⁾	Zo-1	Zo	Zo+1	Ω
24	Rtt ^{(8) (9)}	Zo-5	Zo	Zo+5	Ω

- (1) 最大值基于保守的信号完整性方法。仅当上升时间和下降时间的详细信号完整性分析确认运行和预期一致时，才能扩展该值。
- (2) 这是从处理器到 SDRAM 的总长度。必须计算每个 SDRAM 的相应值，以确保段匹配不会导致误差累积。对于第一个 SDRAM，就是 A1 + A2 + AS (针对每个信号进行计算)。对于第二个 SDRAM，则是 A1 + A2 + A3 + AS (针对每个信号进行计算)。
- (3) 尽管为了方便起见，可以延长此长度，但需要尽可能缩短该长度。
- (4) ADDR_CTRL 网类别相对于 CK 网类别。
- (5) 对于最长 500mil 的布线长度，中心到中心间距可以降至最小 2w (仅在端点附近)。
- (6) 设置 CK 间距以确保具有适当的差分阻抗。
- (7) 用户必须控制阻抗，以免无意中造成阻抗不匹配。一般来说，中心到中心间距必须为 2w 或略大于 2w，从而使该层上的差分阻抗等于单端阻抗 Zo 的两倍。
- (8) 尤其不允许使用源终端 (驱动器处的串联电阻器)。
- (9) 网类别中的终端值必须保持一致。
- (10) 只有对信号飞行时间进行精确的 3D 建模，过孔计数差值才会增加 1。其中包括对信号通过过孔的传播进行精确建模，并运用此建模来确保不超过所有段偏移的最大值。
- (11) 分别计算从处理器到每个 SDRAM 的过孔数。
- (12) 以 ps 为单位显示的 PCB 迹线长是长度的标准化表示。换算方式很简单，1ps 就相当于 5mil。这是针对微带线的所有段使用速度补偿时的等效带状线长度。

2.17 数据组布线规格

DQS 及 DQ 和 DM 网类别中的偏差会直接降低 DQ 和 DM 网的建立和保持裕度。因此，必须控制该偏差。PCB 布线具有与其长度成正比的延迟。因此，必须通过匹配一组定义的信号内布线的长度来管理长度偏差。在 PCB 上实际匹配长度的唯一方法是将较短的迹线延长至网类别中最长的网及其相关时钟对 DQSP 和 DQSN 的长度。在分析过程中，应考虑具有准确堆叠信息的 Z 轴延迟 (穿孔)。

2.17.1 DQLM - DQ 最大曼哈顿距离

与 CK 和 ADDR_CTRL 一样，合理的布线长度是位于其曼哈顿距离的一定比例内。DQLMn 定义为 DQ 最大曼哈顿距离 n，其中 n 为字节编号。一个 16 位接口中存在两个 DQLM：DQLM0 和 DQLM1。

备注

TI 不要求也不建议在所有字节通道之间匹配长度。仅需要在每个字节内进行长度匹配。

给定处理器和 DDR4 存储器的 DQS、DQ 和 DM 引脚位置后，可以根据这些位置来确定可能的最大曼哈顿距离。而数据总线的传输线长度上限可以根据此距离来确定。与 CACLM 不同，DQLMn 限值不用增加裕度。这些限值就是该字节组中最长引脚对引脚布线的水平距离与垂直距离之和。

2.17.2 数据组布线限值

表 2-7 包含 DQS、DQ 和 DM 布线组的布线规格。每个字节通道都会独立布线并进行匹配。

若要使用长度匹配 (单位为 mil) 而不是延时时间 (单位为 ps)，请将延时时间 (单位为 ps) 乘以 5。在信号传播速度方面，微带线要快于带状线。采用长度匹配时，标准做法是将微带线长度除以 1.1 来获得补偿长度，从而使微带线长度与带状线长度实现标准化，并与提供的延迟限值保持一致 (请参阅节 1.5)。

表 2-7. 数据组布线规格

编号	参数	最小值	最大值	单位
DRS31	BYTE0 长度		500	ps ⁽¹⁰⁾

表 2-7. 数据组布线规格 (续)

编号	参数	最小值	最大值	单位
DRS32	BYTE1 长度		500	ps
DRS36	DQSn+ 至 DQSn- 偏差		0.4	ps
DRS37	DQSn 至 DQn 偏差 (2) (3)		2	ps
DRS38	每条迹线上的过孔数		2 (1)	个过孔
DRS39	过孔数差异		0 (9)	个过孔
DRS310	中心到中心 BYTEn 到其他 DDR4 布线间距 (5)	4		w (4)
DRS311	中心到中心 DQn 到其他 DQn 布线间距 (6)	3		w (4)
DRS312	DQSn 中心到中心间距 (7) (8)	请参阅以下注意事项		
DRS313	DQSn 中心到中心间距 (到其他网)	4		w (4)

- (1) 最大值基于保守的信号完整性方法。仅当上升时间和下降时间的详细信号完整性分析确认运行和预期一致时，才能扩展该值。
- (2) 仅在一个字节内进行长度匹配。不需要也不建议在字节之间进行长度匹配。
- (3) 每个 DQS 对和与其关联的字节进行长度匹配。
- (4) 对于最长 500mil 的布线长度，中心到中心间距可以降至最小 2w (仅在端点附近)。
- (5) 其他 DDR4 迹线间距表示字节之外的其他 DDR4 网类别。
- (6) 这适用于字节网类别内的间距。
- (7) 设置 DQS 对间距以确保具有适当的差分阻抗。
- (8) 用户必须控制阻抗，以免无意中造成阻抗不匹配。一般来说，中心到中心间距需要为 2w 或略大于 2w，从而使该层上的差分阻抗等于单端阻抗 Zo 的两倍。
- (9) 只有对信号飞行时间进行精确的 3D 建模，过孔计数差值才会增加 1。其中包括对信号通过过孔的传播进行精确建模，并运用此建模来确保不超过 DQn 偏移及 DQSn 到 DQn 偏移的最大值。
- (10) 以 ps 为单位显示的 PCB 迹线长是长度的标准化表示。换算方式很简单，1ps 就相当于 5mil。这是针对微带线的所有段使用速度补偿时的等效带状线长度。

2.18 位交换

2.18.1 数据位交换

允许在一个字节内进行数据位 (DQx) 和数据掩码 (DM) 交换 (例如，将 D2 与 D3 交换)，但不允许在字节之间进行数据位 DQx/DM 交换 (例如，交换 D4 和 D13)。仅当不使用 CRC 时，才可以在一个字节内进行这种数据位交换。

允许交换字节通道 (例如，交换字节 0 和 1)。交换字节时，字节的所有相关信号 (DQx、DQSx 和 DM) 必须一起交换。

与 DDR4 交换数据信号时，DDR 配置工具 (<https://dev.ti.com/sysconfig>) 中的软件配置更改对于器件正常工作不是必需的

2.18.2 地址和控制位交换

不允许使用 DDR4 对地址或控制位进行位交换，因为这会使功能中断。

3 LPDDR4 电路板设计和布局布线指南

3.1 LPDDR4 简介

LPDDR4 是受 JEDEC 标准 JESD209-4 (*低功耗双倍数据速率 4 (LPDDR4)*) 约束的 SDRAM 器件规范。该标准通过实现较低电压的 I/O 电源轨、在命令/地址总线上采用 ODT 以及减少命令/地址总线的整体宽度等特性，致力于降低功耗并提高信号完整性。与其他 DDR 类型不同，LPDDR4 采用 16 位通道。有关受支持功能和不受支持功能的列表，请参阅器件数据表和 AM62x、AM62Lx 技术参考手册的“*DDR 子系统 (DDRSS)*”一章。

以下各节详细介绍了 LPDDR4 接口的布线规格和布局指南。

3.2 受支持的 LPDDR4 器件的实现

LPDDR4 支持很多不同的实现拓扑。不过，器件仅针对 LPDDR4 支持一个 16 位通道。可以实现具有额外通道和/或裸片的 SDRAM，但额外的通道或裸片将处于未连接和未使用状态。表 3-1 列出了唯一受支持的 LPDDR4 器件组合。

表 3-1. 受支持的 LPDDR4 SDRAM 组合

LPDDR4 SDRAM 数量	通道	裸片	列数 (CS 信号)	LPDDR4 通道宽度	DDRSS 数据宽度	原理图	最大可寻址范围
1	1	1	1(CS0_n)	16	16	图 3-1	2GBytes

备注

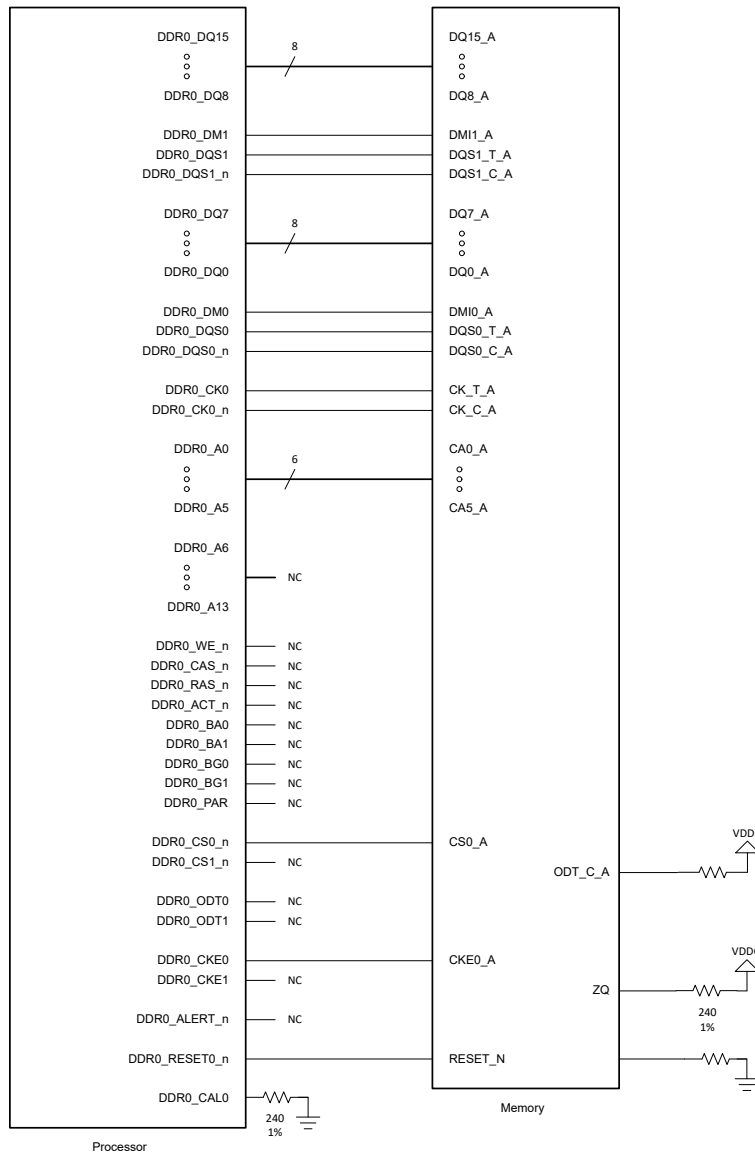
LPDDR4 接口支持 ECC。与传统的需要专用存储器引脚和器件的 ECC 接口不同，ECC 获得了内联支持。由于 ECC 数据与非 ECC 数据一起存储，ECC 对系统的影响在于接口带宽和整体存储器密度。如果启用了 ECC，则最大可寻址范围将缩小。请参阅器件 TRM 了解更多详细信息。

备注

数据总线布线必须在处理器和存储器之间点对点地进行，并且不能在电路板上拆分。因此，仅当使用 LPDDR4 双通道双列器件的一个通道时，才可以进行双列 LPDDR4 设计。如果需要超过 2GB，请考虑使用 DDR4。

3.3 LPDDR4 接口原理图

如上所述，LPDDR4 支持很多不同的实现拓扑，但该器件仅针对 LPDDR4 支持一个 16 位通道。图 3-1 展示了受支持的 16 位单列单通道 LPDDR4 实现。可以使用具有额外通道或裸片的 SDRAM，但额外的通道/裸片将处于未连接和未使用状态。



1. 必须在 DDR0_CAL0 引脚和 VSS 之间连接一个外部 240 Ω $\pm 1\%$ 电阻。该电阻的最大功耗为 5.2mW。不得向 DDR0_CAL0 引脚施加外部电压。组件或产品整个生命周期所需的容差为 $\pm 1\%$ 。
2. RESET_n 应具有外部 10k 下拉电阻器以将 RESET 控制为低电平，直到 DDR 控制器驱动信号。RESET_n 没有长度匹配要求。

图 3-1. 16 位单列单通道 LPDDR4 实现

3.4 兼容的 JEDEC LPDDR4 器件

表 3-2 所示为与该接口兼容的 JEDEC LPDDR4 器件的参数。

表 3-2. 兼容的 JEDEC LPDDR4 器件

编号	参数	最小值	最大值	单位
1	数据速率 ^{(1) (2)}		1600	MT/s
2	通道位宽	x16	x16	位
3	通道	1	1	-
4	列数	1	1	-
5	裸片	1	1	-
6	器件数	1	1	-

- (1) 有关支持的数据速率，请参阅器件数据表。
- (2) 可以使用更快速度等级的 SDRAM，前提条件是对 SDRAM 进行正确配置，从而以支持的数据速率运行。具有更快速度等级的 SDRAM 具有更快的边沿速率，可能会影响信号完整性。必须在目标板设计上验证具有更快速度等级的 SDRAM。

3.5 放置

图 3-2 显示了处理器和 LPDDR4 器件的放置要求。表 3-3 中定义了该图的尺寸。放置不限制将器件安装在 PCB 的哪一侧。放置的最终目的是限制最大布线长度并留出适当的布线空间。

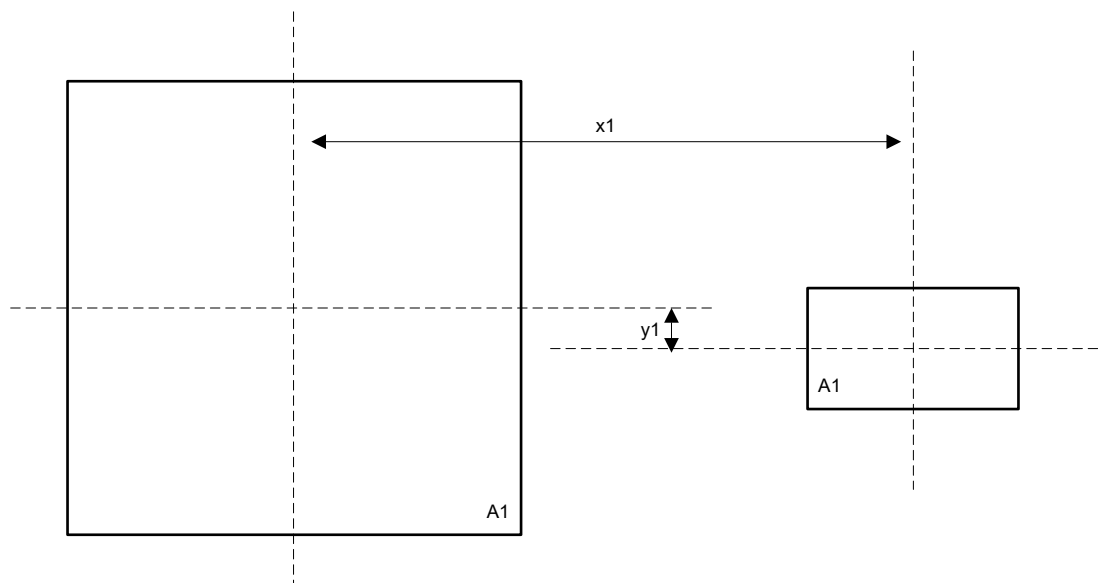


图 3-2. LPDDR4 放置规格

表 3-3. LPDDR4 放置参数

编号	参数	最小值	最大值	单位
1	x1		2000	Mil
2	y1		1000	Mil

3.6 LPDDR4 禁止区域

用于 LPDDR4 电路的 PCB 区域必须与其他信号隔离开来。为此定义了 LPDDR4 禁止区域，如 图 3-3 中所示。该区域的大小因放置方式和 DDR 布线而异。对于非 LPDDR4 信号，不得在 LPDDR4 禁止区域内的 DDR 信号层上布线。只有在通过接地层与 DDR 信号层隔离开来的其他层上传送该信号时，才能在该区域中传送非 LPDDR4 信号。该区域的参考接地层中不允许有缝隙。此外，整个禁止区域中必须存在实心 VDDSDDR 电源平面。

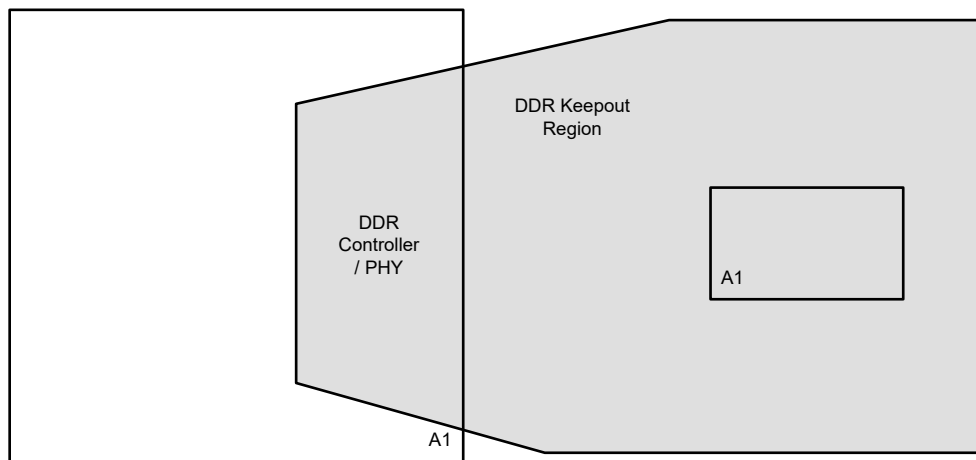


图 3-3. LPDDR4 禁止区域

3.7 LPDDR4 DBI

建议使用 DBI 来降低电源/接地噪声并改善数据眼图。因此，对于 LPDDR4 配置，DDR 子系统寄存器配置工具默认会启用 Write DBI。

3.8 网类别

布线规则应用于被称为网类别的组中的信号。每个网类别包含遵循相同布线要求的信号。这简化了这些布线的实施和依从性。表 3-4 列出了 LPDDR4 接口的时钟网类别。表 3-5 列出了 LPDDR4 接口中信号的网类别和相关的时钟网类别。然后将这些网类别链接到后续的终端和布线规则。

表 3-4. 时钟网类别定义

时钟网类别	处理器引脚名称
CK0	DDR0_CK0/DDR0_CK0_n
DQS0	DDR0_DQS0/DDR0_DQS0_n
DQS1	DDR0_DQS1/DDR0_DQS1_n

表 3-5. 信号网类别定义

信号网类别	关联的时钟网类别	处理器引脚名称
ADDR_CTRL	CK0	DDR0_A[5:0]、DDR0_CS0_n、DDR0_CS1_n、DDR0_CKE0、DDR0_CKE1
BYTE0	DQS0	DDR0_DQ[7:0]、DDR0_DM0
BYTE1	DQS1	DDR0_DQ[15:8]、DDR0_DM1

3.9 LPDDR4 信号端接

LPDDR4 存储器具有用于数据组网的软件可配置片上终端。DDR 子系统还包含用于地址/控制组网的软件可配置片上终端。因此，对于 LPDDR4 配置而言，在任何 DDR 信号上都不需要端接。

3.10 LPDDR4 VREF 布线

LPDDR4 存储器会在内部分别为地址以及命令总线和数据总线生成 VREFCA 和 VREFDQ。类似地，DDR PHY 还在读取期间为数据组网提供基准电压。因此，与 DDR3 和 DDR4 不同，LPDDR4 不需要在电路板上生成 VREF，并且其配置不需要 VREF 布线。

3.11 LPDDR4 VTT

与 DDR3 和 DDR4 不同，LPDDR4 配置的地址/控制总线的 PCB 上不需要终端。所有端接都在内部（片上）处理。因此，VTT 不适用于 LPDDR4。

3.12 CK0 和 ADDR_CTRL 拓扑

CK0 和 ADDR_CTRL 网类别的布线方式相似，通过处理器中的 DDR 控制器与 LPDDR4 SDRAM 进行长度匹配，以最大限度地减少信号之间的偏差并保证在 SDRAM 上对 ADDR_CTRL 信号进行正确采样。对待 CK0 网类别需要更加谨慎，因为 CK0 的运行转换速率更高并且采用差分形式。CK0 和 ADDR_CTRL 拓扑为点对点拓扑。

图 3-4 展示了 CK0 网类别的拓扑，而图 3-5 展示了相应 ADDR_CTRL 网类别的拓扑。表 3-6 详细介绍了布线段的长度匹配要求。

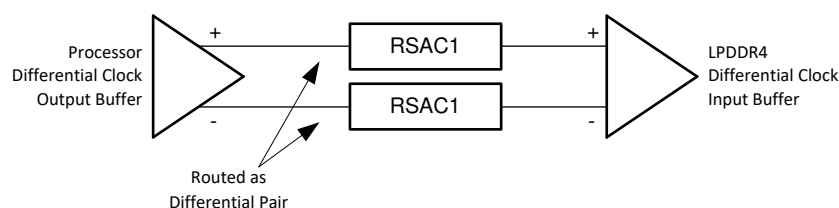


图 3-4. LPDDR4 CK0 拓扑

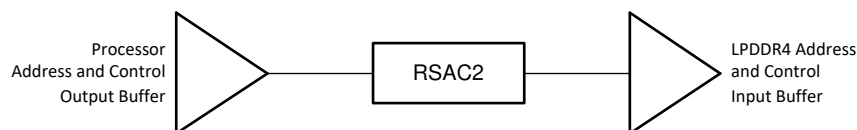


图 3-5. LPDDR4 ADDR_CTRL 拓扑

在布线期间尽量减少层转换。如果必须进行层转换，则转换到使用相同参考平面的层。当参考平面为接地平面和 VDDSD_DDR 时，如果无法做到这一点，请确保附近有拼接过孔，以使返回电流在这两个参考平面之间转换。另外，当其中一个参考平面为接地平面，而另一个参考平面为 VDDSD_DDR 时，请确保附近放置了旁路电容器，以使返回电流在这两个参考平面之间转换。每个参考平面转换都必须满足这一条件。目标是尽可能减小返回电流路径的大小，从而尽量减小该路径中的电感。如果缺少这些拼接过孔或电容器，则会导致信号路径中的阻抗不连续，从而增加串扰和信号失真。

在 CK0 和 ADDR_CTRL 布线组拓扑的网上不允许存在残桩或终端。所有测试和探头接入点必须排成一条直线，不得有任何分支或残桩。

3.13 数据组拓扑

对于 LPDDR4 实现，数据线拓扑始终是点对点拓扑，并被分成两个不同的字节布线组。在布线期间尽量减少层转换。如果必须进行层转换，则最好转换到使用相同参考平面的层。如果无法做到这一点，则确保附近有接地过孔，以使返回电流在参考平面（拼接过孔的 $\pm 250\text{mil}$ 内）之间转换。目标是为返回电流提供低电感路径。为了优化长度匹配，TI 建议在相同的一层或多层上对单个数据布线组内的所有网（即 DQS、DQ、DM）进行布线，该组中的所有网都具有完全相同的过孔数量和相同的过孔套管长度。微带布线可用于实现 DDR 布线，但在高数据速率下，这样做会降低 EMI 抗扰度和信号完整性。设计人员需要仔细评估系统要求，以确定是否可满足所需的产品要求。由于信号传播的变化更大，因此微带层上的高速 DQ 和 DQS/DQSn 布线需要特别小心并考虑 DFM。来自整个字节组的信号必须布线在一起。

DQSP 和 DQSN 线是作为一个差分对进行布线的点对点信号。图 3-6 显示了 DQSP 和 DQSN 连接拓扑。

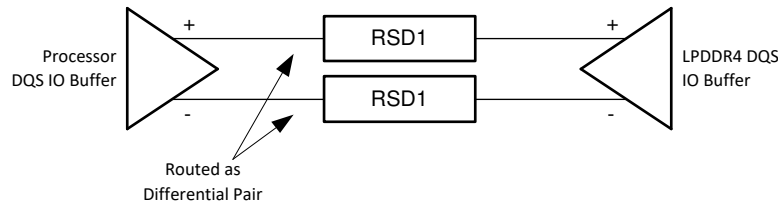


图 3-6. LPDDR4 DQS 拓扑

DQ 和 DM 线是作为单端进行布线的点对点信号。图 3-7 显示了 DQ 和 DM 连接拓扑。

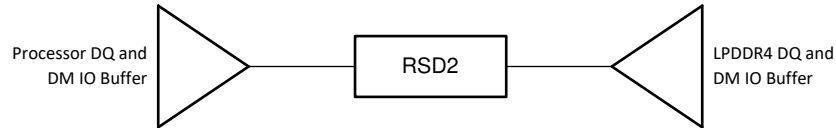


图 3-7. LPDDR4 DQ/DM 拓扑

数据组拓扑网上不允许存在残桩或终端。所有测试和探头接入点必须排成一条直线，不得有任何分支或残桩。

3.14 CK0 和 ADDR_CTRL 布线规格

CK0 和 ADDR_CTRL 网类别中的偏差会直接降低 ADDR_CTRL 网的建立和保持裕量。因此，必须控制该偏差。PHY 内的逐位偏斜校正功能显著放宽了偏斜容差要求。表 3-6 中的偏斜预算包括从 SoC 芯片焊盘到 DRAM 引脚的总延迟。（即 SOC 封装和 PCB 的延迟）。其他信息：封装延迟 中提供了封装延迟。设计人员可以使用比表 3-6 中所示值更小的容差自由进行长度匹配。PCB 布线的延迟与长度成正比。因此，必须通过在一组定义的信号中匹配布线的长度来管理延迟偏差。在 PCB 上实际匹配长度的唯一方法是延长较短的布线。在分析过程中，应考虑具有准确堆叠信息的 Z 轴延迟（穿孔）。

表 3-6 列出了构成从处理器到 SDRAM 的布线的各个段的限制。这些段的长度与先前图 3-4 和图 3-5 中显示的 CK0 和 ADDR_CTRL 拓扑图一致。通过使某个布线组中所有信号的相同段的布线长度保持匹配，可以控制信号延迟偏差。大多数 PCB 布局工具都可以配置为生成报告以帮助执行此验证。如果无法自动生成该报告，则必须手动生成和验证。

表 3-6. CK0 和 ADDR_CTRL 布线规格

编号	参数	最小值	典型值	最大值	单位
LP4_ACRS1	网类别 CK0 的传播延迟 (RSAC1)			450 ⁽¹⁾	ps
LP4_ACRS2	网类别 ADDR_CTRL 的传播延迟 (RSAC2)			450 ⁽¹⁾	ps
LP4_ACRS3	网类别 CK0 内的偏差 (DDR0_CK0 和 DDR0_CK0_n 的偏差) (RSAC1)			0.75 ^{(2) (3)}	ps
LP4_ACRS6	ADDR_CTRL 和相关的 CK0 时钟网类别之间的偏差，相对于 CK0 网类别的传播延迟 (RSAC1 - RSAC2) ⁽⁴⁾	-312.5 ^{(3) (5)}		312.5 ^{(3) (5)}	ps
LP4_ACRS7	每条迹线上的过孔数			3 ⁽¹⁾	个过孔
LP4_ACRS8	过孔残桩长度		20		Mil
LP4_ACRS9	过孔数差异			1 ⁽⁶⁾	个过孔
LP4_ACRS10	中心到中心 CK0 到其他 LPDDR4 布线间距	5w ⁽⁷⁾			
LP4_ACRS11	中心到中心 ADDR_CTRL 到其他 LPDDR4 布线间距	5w ⁽⁷⁾			
LP4_ACRS12	中心到中心 ADDR_CTRL 到自身或其他 ADDR_CTRL 布线间距	3w ⁽⁷⁾			
LP4_ACRS13	CK0 中心到中心间距 ⁽⁸⁾	请参阅以下注意事项			
LP4_ACRS14	CK0 与非 DDR 网的间距	5w ⁽⁷⁾			

(1) 最大值基于保守的信号完整性方法。假设 FR4 材料 $Dk = 3.7 - 3.9$ 且 $DF = 0.002$ 。仅当上升时间和下降时间的详细信号完整性分析确认运行和预期一致时，才能扩展该值。

- (2) 针对 PCB 布局工具设计的建议。需要通过仿真⁽⁹⁾进行验证，确认 JEDEC 定义的 Vix_DQS_ratio (20%) 和 Vix_CK_ratio (25%) 得到满足，另外确认具有良好的眼图裕度。
- (3) 考虑从 SOC 芯片焊盘到 DRAM 引脚的延迟 (即 SOC 封装的延迟和 PCB 到 DRAM 引脚的延迟。DRAM 封装延迟被忽略)。请参阅 [其他信息：封装延迟](#)。
- (4) 建议在同一信号层上对网类别 CK0 和 ADDR_CTRL 进行布线，以实现更好的偏差控制。
- (5) 必须进行⁽⁹⁾仿真并分析延迟报告，以确保延迟在限制范围内。PCB 布局工具的延迟报告使用基于恒定传播速度因子的简化计算方法。TI 建议在 PCB 布局工具中将初始延迟匹配到低于限值 20% 的目标。
- (6) 只有对信号飞行时间进行精确的 3D 建模，过孔计数差值才会增加 1。其中包括对信号通过过孔的传播进行精确建模，并运用此建模来确保不超过所有段偏移的最大值。
- (7) 对于最长 500mil 的布线长度，中心到中心间距可以降至最小 2w (仅在端点附近)。如果仿真⁽⁹⁾准确捕获了相邻受扰对象和干扰源布线之间的串扰并具有良好裕度，则可以放宽间距最低标准。此外还应考虑过孔间距。在 SOC 附近有相邻过孔的信号也不得在 DRAM 附近有相邻过孔。
- (8) 设置 P 至 N 间距以确保具有适当的差分阻抗。设计人员必须控制阻抗，以免无意中造成阻抗不匹配。一般来说，中心到中心间距必须为 2w 或略大于 2w，从而使该层上的差分阻抗等于单端阻抗 Zo 的两倍。请参阅 [表 1-1](#) 中的阻抗目标。
- (9) 仿真是指功率感知 IBIS 信号完整性 (SI) 仿真。跨工艺、电压和温度 (PVT) 进行仿真。请参阅 [LPDDR4 电路板设计仿真](#)

3.15 数据组布线规格

字节信号网类别中的偏差会直接降低 DQ 和 DM 网的建立和保持裕度。因此，与 ADDR_CTRL 信号网类别和相关的 CK0 时钟网类别一样，必须控制该偏差。PHY 内的逐位偏斜校正功能显著放宽了偏斜容差要求。[表 3-7](#) 中的偏斜预算包括从 SoC 芯片焊盘到 DRAM 引脚的总延迟。(即 SOC 封装和 PCB 的延迟)。[其他信息：封装延迟](#) 中提供了封装延迟。设计人员可以使用比 [表 3-7](#) 中所示值更小的容差自由进行长度匹配。PCB 布线的延迟与长度成正比。因此，必须通过匹配一组定义的信号内布线的长度来管理长度偏差。在 PCB 上实际匹配长度的唯一方法是延长较短的布线。在分析过程中，应考虑具有准确堆叠信息的 Z 轴延迟 (穿孔)。

备注

TI 不要求也不建议在所有字节通道之间匹配长度。仅需要在每个字节内进行长度匹配。

[表 3-7](#) 包含字节 0 和字节 1 布线组的布线规格。每个信号网类别及相关的时钟网类别都是独立进行布线和匹配的。

表 3-7. 数据组布线规格

编号	参数	最小值	典型值	最大值	单位
LP4_DRS1	网类别 DQSx 的传播延迟 (RSD1)			450 ⁽¹⁾	ps
LP4_DRS2	网类别 BYTEx 的传播延迟 (RSD2)			450 ⁽¹⁾	ps
LP4_DRS3	CK0 对和每个 DQS 对的传播延迟差异。 (RSAC1 - RSD1) ⁽²⁾	0 ^{(3) (4)}		3 ^{(3) (4)}	tCK
LP4_DRS4	网类别 DQSx 内的偏差。 DDR0_DQSx 和 DDR0_DQSx_n 的偏差 (RSD1)			1.5 ^{(4) (6)}	ps
LP4_DRS5	DQSx 和 BYTEx 网类别上的偏差。 (RSD1 和 RSD2 的偏差) ⁽⁷⁾			150 ^{(3) (4)}	ps
LP4_DRS6	BYTEx 和相应 DQSx 中最短 DQ/DM 位的传播延迟差异。 (RSD2 - RSD1) ⁽⁸⁾	-49 ^{(3) (4) (5)}			ps
LP4_DRS7	每条迹线上的过孔数			2 ⁽¹⁾	个过孔
LP4_DRS8	过孔残桩长度		40		Mil
LP4_DRS9	过孔数差异			0 ⁽⁹⁾	个过孔
LP4_DRS10	RSD1 中心到中心间距 (不同时钟网类别之间)	5w ⁽¹⁰⁾			
LP4_DRS11	RSD1 中心到中心间距 (时钟网类别内) ⁽¹¹⁾	请参阅以下注意事项			
LP4_DRS12	RSD2 中心到中心间距 (不同信号网类别/字节之间)	5w ⁽¹⁰⁾			
LP4_DRS13	RSD2 中心到中心间距 (自身或信号网类别内)	3w ⁽¹⁰⁾			

- (1) 最大值基于保守的信号完整性方法。假设 FR4 材料 $Dk \approx 3.7 - 3.9$ 且 $DF \approx 0.002$ 。仅当上升时间和下降时间的详细信号完整性分析确认运行和预期一致时，才能扩展该值。
- (2) CK0 对的传播延迟必须大于每个 DQS 对的传播延迟。
- (3) 必须进行⁽¹²⁾仿真并分析延迟报告，以确保延迟在限制范围内。PCB 布局工具的延迟报告使用基于恒定传播速度因子的简化计算方法。TI 建议在 PCB 布局工具中将初始延迟匹配到低于限值 20% 的目标。
- (4) 考虑从 SOC 芯片焊盘到 DRAM 引脚的延迟 (即 SOC 封装的延迟和 PCB 到 DRAM 引脚的延迟。DRAM 封装延迟被忽略)。请参阅 [其他信息：封装延迟](#)。

- (5) 建议 DQS 的传播延迟短于一个字节内的所有 DQx。如果无法做到这一点，则 LP4_DRS6 规定 DQ 最多可缩短 49ps。
- (6) 针对 PCB 布局工具设计的建议。需要通过仿真⁽¹²⁾进行验证，确认 JEDEC 定义的 Vix_DQS_ratio (20%) 和 Vix_CK_ratio (25%) 得到满足，另外确认具有良好的眼图裕度。
- (7) 仅在一个字节内进行偏差匹配 (包括 DQS)。不需要也不建议在字节之间进行偏差匹配。
- (8) 建议 BYTEx 信号网类别中最短 DQ/DM 位的传播延迟大于其各自 DQSx 的传播延迟。
- (9) 只有对信号飞行时间进行精确的 3D 建模，过孔计数差值才会增加 1。其中包括精确建模的信号传播过孔。施加此限制是为了确保不超过偏移最大值。
- (10) 对于最长 500mil 的布线长度，中心到中心间距可以降至最小 2w (仅在端点附近)。如果仿真⁽¹²⁾准确捕获了相邻受扰对象和干扰源布线之间的串扰并具有良好裕度，则可以放宽间距最低标准。应考虑过孔间距。在 SOC 附近有相邻过孔的信号也不得在 DRAM 附近有相邻过孔。
- (11) 设置 DQS 对间距以确保具有适当的差分阻抗。例如，设置 P 至 N 间距以确保具有适当的差分阻抗。设计人员必须控制阻抗，以免无意中造成阻抗不匹配。一般来说，中心到中心间距必须为 2w 或略大于 2w，从而使该层上的差分阻抗等于单端阻抗 Zo 的两倍。请参阅节 1.3 中的阻抗目标。
- (12) 仿真是指功率感知 IBIS 信号完整性 (SI) 仿真。跨工艺、电压和温度 (PVT) 进行仿真。

3.16 字节和位交换

所有地址和控制信号都必须从 DDR 控制器路由到 LPDDR4 存储器，如 LPDDR4 接口原理图 中的图所示。地址和控制信号不能与其他信号交换。允许在一个字节内进行数据位 (DQx) 和数据掩码 (DM) 交换 (例如，将 D2 与 D3 交换)，但不允许在字节之间进行数据位 DQx/DM 交换 (例如，交换 D4 和 D13)。

允许在通道内交换字节通道 (例如，交换字节 0 和 1)。交换字节时，字节的所有相关信号 (DQx、DQSx 和 DM) 必须一起交换。

使用 SysConfig (<https://dev.ti.com/sysconfig>) 中的 DDR 子系统寄存器配置工具描述位的交换方式。有关详细说明，请查看工具中的自述文件链接。

4 LPDDR4 电路板设计仿真

本节旨在概述高速 LPDDR4 接口的基本系统级电路板提取、仿真和分析方法（特定于 DDR4 的信息在本文档的后续版本中提供）。这是确保 PCB 设计满足以目标速度运行的所有要求的必要步骤。

4.1 电路板模型提取

备注

本节包含来自 J7 器件和电路板设计的各种信息。具体细节仅适用于 J7 电路板设计，但此处提供了 AM62x、AM62Lx 电路板设计示例。有关器件规格，请查阅数据表。

下列板级提取指导原则适用于任何 EDA 提取工具，而非特定的工具。在完成检验标准模型提取之后，务必立即执行节 4.2 至节 4.4 中概述的步骤。运行 IBIS 仿真之前，必须执行这些步骤来检查设计。

- 对于 DDR 提取，应在 3D-EM 求解器中同时提取电源 (VDDSD_DDR/VDDQ) 和信号网。
- 使用宽带模型。TI 建议提取频率范围为直流到至少 6 倍的奈奎斯特频率（例如，对于 LPDDR4-3733，提取模型的频率上限至少为 11.2GHz）。
- 检查电路板堆叠，以获取准确的层厚度和材料特性。
 - TI 建议使用 Djordjevic-Sarkar 模型进行电介质材料定义。
- 对堆叠中所有层的信号布线使用准确的蚀刻剖面 and 表面粗糙度。
- 如果在提取之前切断电路板布局布线（以减少仿真时间），请在离信号和电源网至少 0.25 英寸的位置定义切断边界。
- 检查过孔焊盘定义。
 - 确保信号过孔上非功能性内层焊盘的建模方式与制造焊盘的方式相同。
 - TI 不建议在信号过孔上使用这些非功能性内层焊盘。
- 使用 Spice/S 参数模型（供应商通常会提供）对系统内的所有无源器件进行建模。

4.2 电路板模型验证

需要检查所提取电路板模型的以下特性：

- 无源性：这可以确保电路板模型为无源网络，不会产生能量。
- 因果性：这可以确保电路板模型遵循因果关系（先有输入，然后有输出）。

可以在任何标准 EDA 模拟器或提取引擎中执行此类检查。

4.3 S 参数检查

在提取的 S 参数被验证为具有因果性和被动性后，必须检查 S 参数图。TI 建议针对以下几点进行检查：

- 插入损耗：建议在最高达奈奎斯特工作频率 3 倍的频率下将单端插入损耗保持在 0 至 10dB 范围内。例如，如果目标频率为 8Gbps（4GHz 奈奎斯特频率），则单端插入损耗必须在最高达 12GHz 的频率下保持在 10dB 以下。
- 回波损耗：建议在最高达奈奎斯特工作频率 3 倍的频率下使单端回波损耗小于 15dB。
- 近端和远端串扰 (FEXT/NEXT)：建议在最高达奈奎斯特工作频率 3 倍的频率下使 FEXT 和 NEXT 低于 25dB。

S 参数检查图不是合格或不合格测试，而更像是一个指南，用于检查设计是否有合理的机会达到要求的性能水平。

4.4 时域反射法 (TDR) 分析

许多设计修正旨在保持一致的布线阻抗，因此时域反射法 (TDR) 分析是用于评估设计质量的一种重要分析方法。下面绘制了布线阻抗与布线长度之间的函数关系，如图 4-1 所示。

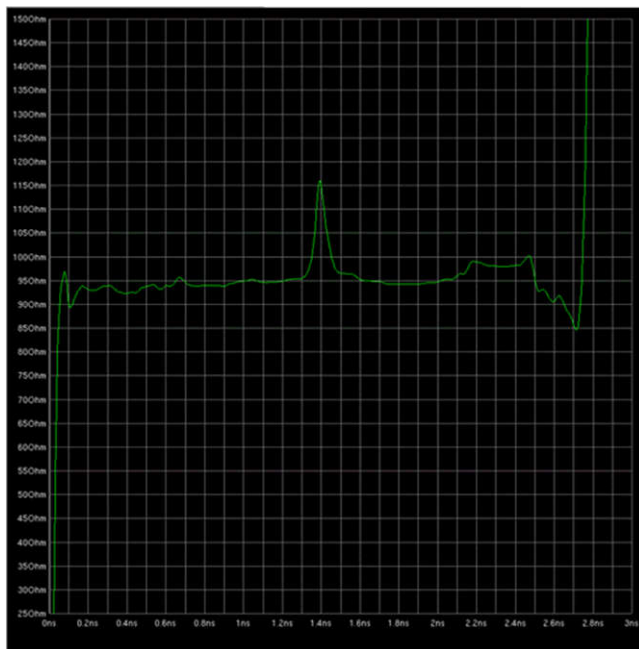


图 4-1. 阻抗不匹配的 TDR 图示例

如图 4-1 所示，TDR 图突出显示了布线中从一端到另一端的阻抗不连续性。此方法依赖于来自布线远端的反射波形。由于存在往返时间，图中对应于布线中特定点的延迟实际上相当于该点到源的距离的 2 倍。在评估阻抗不连续性的原因时需要考虑这一点。

可通过读取由提取工具生成的 S 参数模型并在时域模式下对其进行评估来生成 TDR 图。HyperLynx 等标准 EDA 仿真器可以执行此功能。TI 建议优化设计，使其与标称布线阻抗的偏差处于 $\pm 5\%$ 以内。

TDR 图不是合格或不合格测试，而更像是一个指南，用于检查设计是否有合理的机会达到所需的性能水平。

4.5 系统级仿真

本节概述了验证 DDR 接口的方法。根据 JEDEC 规范的定义，LPDDR4 接口使用在目标 BER (误码率) 下定义的眼图模板来确定信号完整性检查是通过还是未通过。必须使用 IBIS 模型来执行通道仿真，以在目标 BER 下生成信号眼图。从 LPDDR4 开始针对存储器接口引入了这些技术。

4.5.1 仿真设置

通过连接 SOC IBIS 模型、电路板模型、电源、DRAM 封装模型和 DRAM IBIS 模型，在仿真器中建立系统级原理图。图 4-2 所示为典型的系统级 DDR 原理图。

备注

在建立系统原理图时，请注意 DRAM 配置（封装中的芯片数量、列数和通道数）。请注意，DRAM 配置还包括片上去耦电路。

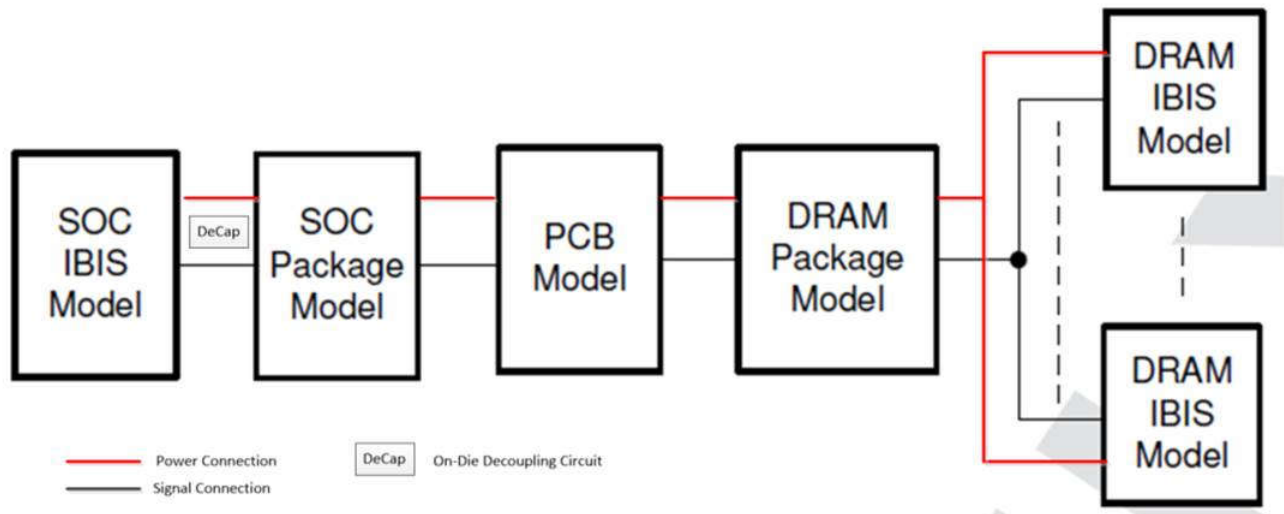


图 4-2. 典型的系统级 DDR 原理图

- LPDDR4 仿真需要针对控制器和存储器的功率感知 IBIS 模型以及支持 DDR 接口通道仿真的仿真器。
- 基于 SPICE 的晶体管级仿真不能用于生成 BER 信号眼图。使用可以处理功率感知 IBIS 仿真并能够为 DDR 接口运行通道仿真的仿真器。
- 与基于 SPICE 的晶体管级仿真相比，IBIS 模型减少了仿真时间，同时精度损失极小。从 5.0 版开始的 IBIS 模型是功率感知模型，可实现同步开关输出 (SSO) 噪声仿真。TI IBIS 模型是一种功率感知 IBIS 模型。
- 使用 SPICE 模型对控制器和 DRAM 的 DDR 电源网上的片上去耦电容进行准确建模。这可以确保在 DDR 仿真中实现准确的电源噪声和电源引起的抖动 (PSIJ) 估算。可以从 DRAM 供应商处获得 DRAM 的片上去耦电容信息。
- 使用 SPICE 或 S 参数文件对 DRAM 封装进行建模。这可以从 DRAM 供应商处索取。不建议使用 EBD 模型。
- 请注意，SoC IBIS 模型中有一个包含 RLC 矩阵的封装部分，用于所有信号和电源网（包括 DDR）。TI 建议使用 SoC IBIS 模型，而不是 SOC 封装 S 参数模型。使用 SoC IBIS 模型时，请确保检查封装寄生效应（或仿真工具中的等效参数），并使用封装模型模型类型，其中包含基于每个引脚的全耦合 L/C 信息（在 IBIS 文件中表示为 [封装模型] am62_pkg）。

- DDR 电源网上的片上去耦电容的 AM62x、AM62Lx 模型：

- 数据

```
*****
* On-die Decoupling circuit for AM62x、AM62Lx (DIE_VDDS_DDR to VSS)
*****
* Notes:
* Includes on-die decoupling for all DDR signals
*
* This subcircuit must be added across the AM62x、AM62Lx IBIS model's
* DIE_VDDS_DDR and VSS pins
*
*****
* x_decouple DIE_VDDS_DDR vss_die AM62x、AM62Lx_ondie_decoupling_alldq
*****
.SUBCKTAM62x、AM62Lx_ondie_decoupling_alldq DIE_VDDS_DDR vss_die
Cvddq_c DIE_VDDS_DDR DIE_VDDS_DDR_c 1.324741e-9
Rvddq_c vss_die DIE_VDDS_DDR_c 25.0036612e-3
.ENDS
```

- 地址/命令

```
*****
* On-die Decoupling circuit for AM62x、AM62Lx (DIE_VDDS_DDR to VSS)
*****
* Notes:
* Includes on-die decoupling for all DDR signals
*
* This subcircuit must be added across the AM62x、AM62Lx IBIS model's
* DIE_VDDS_DDR and VSS pins
*
*****
* x_decouple DIE_VDDS_DDR vss_die AM62x、AM62Lx_ondie_decoupling_alldq
*****
.SUBCKTAM62x、AM62Lx_ondie_decoupling_alldq DIE_VDDS_DDR vss_die
Cvddq_c DIE_VDDS_DDR DIE_VDDS_DDR_c 4.335517e-9
Rvddq_c vss_die DIE_VDDS_DDR_c 25.0036612e-3
.ENDS
```


4.5.2 仿真参数

重要的是配置仿真，使系统按照真实但最坏的情况参数进行测试。

- 使用最坏情况下的位模式来激励系统。仿真器能够根据通道特性生成最坏情况下的位模式。
- 从最适合系统的 IBIS 文件中选择控制器和 DRAM 模型（设置驱动强度、ODT、VOH 级别等）。
 - 这通常是一个迭代过程。
 - 每个系统都是独特的，理想的参数设置因系统而异。

表 4-1. 示例数据写入 ODI/ODT 优化

封装字节	电路板	ODI Ω	ODT Ω	总 EW 裕度 (ps)	总 EH 裕度 (mV)
B3	J7 370HR 10L 参考 B3, 无 BD	40	40	50.28	15.66
B3	J7 370HR 10L 参考 B3, 无 BD	40	48	27.62	11.76
B3	J7 370HR 10L 参考 B3, 无 BD	40	40	33.52	2.92
B3	J7 370HR 10L 参考 B3, 无 BD	48	48	1.54	0.86

- 可以独立设置数据总线和地址总线 ODT 和驱动强度值。例如，J7 EVM 电路板（以类似速度支持 LPDDR4）使用 40 Ω ODT 进行数据读写，将 80 Ω 用于 CA 总线。数据读写和 CA 的驱动强度为 40 Ω 。
 - 数据读取控制器模型 - lpddr4_odt_40、lpddr4_odt_40_diff。
 - 数据写入控制器模型 - lpddr4_ocrd_40p_40n、lpddr4_ocrd_40p_40n_diff。
 - CA/CLK 控制器模型 - lpddr4_ocrd_40p_40n、lpddr4_ocrd_40p_40n_diff。
- 设置通道仿真参数。这些参数通常包括数据速率、忽略时间/位、最小位数、位采样率、BER 底限、显示位数、BER 眼图类型（电压和/或时序）和目标 BER。
 - 为了确定最小位数，可以运行一系列不同位数的通道仿真。BER 信号眼图（和裕量）在达到特定的最小位数后趋于收敛。这有助于确定用于系统的最小位数。
 - 运行通道仿真以生成 LBER 为 -16 的眼图。
- 在不同 PVT 角处通过基本电源设置来运行通道仿真。TI 建议至少在 SSHT 和 FFLT 角处运行仿真。

4.5.3 仿真目标

仿真成功完成后，通过仿真工具生成 DDR 分析报告。需要验证几个不同的参数，本节将对此进行详细介绍。每个参数都有合格或不合格之分，这意味着每个参数都必须符合指定的目标，从而确保设计有足够的裕度以目标数据速率运行。

使用适当的 JEDEC Vref 参数 (Vref_min、Vref_max、Vref_step 和 Vref_set_tol) 和模板参数 (形状、高度、宽度)。

4.5.3.1 眼图质量

应在 DRAM 引脚/BGA 处验证数据写入和 CA 总线仿真的 Vix_DQS 比率和 Vix_CK 比率。JEDEC 规范中的图 4-3 说明了如何测量 Vix 比率以及定义比率要求。

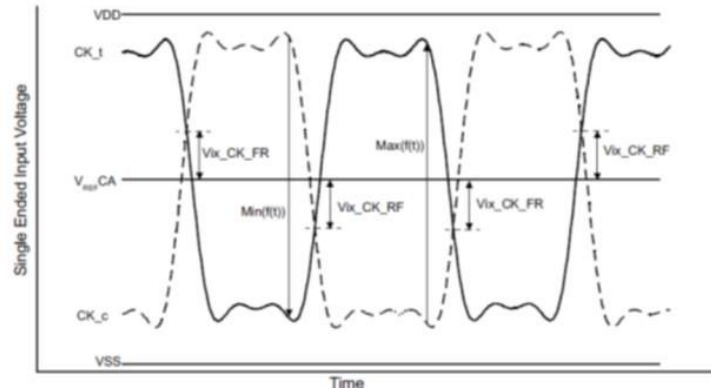


图 4-3. 眼图质量的 Vix_CK 和 Vix_DQS 比率

表 4-2. 眼图质量的 Vix_CK 和 Vix_DQS 比率

符号	数据速率						单位	注释
	1600/1867		2133/2400/3200		3733/4266			
Vix_CK_ratio	-	25	-	25	-	25	%	(1)、(2)
Vix_DQS	-	20	-	20	-	20	%	(1)、(2)

(1) Vix_CK_Ratio 由以下公式进行定义：Vix_CK_Ratio = Vix_CK_FR|Min(f(t))|

(2) Vix_CK_Ratio 由以下公式进行定义：Vix_CK_Ratio = Vix_CK_RF|Min(f(t))|

4.5.3.2 延迟报告

节 3.14 和节 3.15 列出了 DQ、DQS、CA 和 CLK 所需的互连延迟。列出的典型值仅是建议值。任何最小值或最大值都是必需的。一个关键要求是确保 CK 延迟大于任何 DQS 延迟，请参阅节 3.15 中的 LP4_DRS3。建议 DQSx 延迟小于各自 BYTEx 中的 DQ 和 DM 延迟，请参阅节 3.15 中的 LP4_DRS6。

考虑整个系统的延迟，从 SOC 芯片焊盘到 PCB，再到存储器封装的引脚。例如、为了满足网类别 DQSx 和 CK0 内的偏移，PCB 上的 P 和 N 差分布线长度需要对封装内的任何延迟不匹配进行偏移调整。请参阅节 3.15 中的 LP4_DRS4 和节 3.14 中的 LP4_ACRS3。请参阅节 5 中相应的封装延迟。

4.5.3.3 模板报告

将捕获与眼图模板相关的最小抖动和噪声容限。这些模板依赖于数据速率，包括：

- 用于功能测试的 SOC 芯片焊盘上的数据读取眼图模板。
- DRAM 引脚/BGA 上用于合规性测试的数据写入眼图模板 (JEDEC 规格)。
- DRAM 引脚/BGA 上用于合规性测试的 CA 总线眼图模板 (JEDEC 规格)。

仿真器至少生成两组眼图：

- Vref 设置为正方向 Vref_set_tol 字节偏移的理想 Vref (JEDEC 规范中定义了 Vref_set_tol)。
- Vref 设置为负方向 Vref_set_tol 字节偏移的理想 Vref。

系统级裕量是上面列出的所有眼图测量中最坏情况下的噪声和抖动裕量（跨 SSHT 和 FFLT 角）。对于在 DRAM 器件上捕获的所有波形，必须在 BGA 引脚和 DRAM 焊盘上计算裕度。

表 4-3. LPDDR4 眼图模板定义/要求

参数	模板形状	LPDDR4-1600	LPDDR4-3200	LPDDR4-3733
CA 眼图模板 TcIVW	矩形 ⁽¹⁾	0.3 UI	0.3 UI ⁽¹⁾	⁽²⁾
CA 眼图模板 VcIVW	矩形 ⁽¹⁾	175mV	155mV ⁽¹⁾	⁽²⁾
写入眼图模板 TdIVW	矩形 ⁽¹⁾	0.22 UI	0.25UI ⁽¹⁾	⁽²⁾
写入眼图模板 VdIVW	矩形 ⁽¹⁾	140mV	140mV ⁽¹⁾	⁽²⁾
读取眼图模板 TdIVW	菱形	0.42 UI	0.61UI	0.66UI
读取眼图模板 VdIVW	菱形	140mV	140mV	140mV

(1) 从 JEDEC 规范复制：低功耗双倍数据速率 4 (LPDDR4)。

(2) 相关详细信息，请联系 DRAM 供应商。

图 4-4 至图 4-6 显示了所捕获的波形中转换为眼图的眼图模板定义。

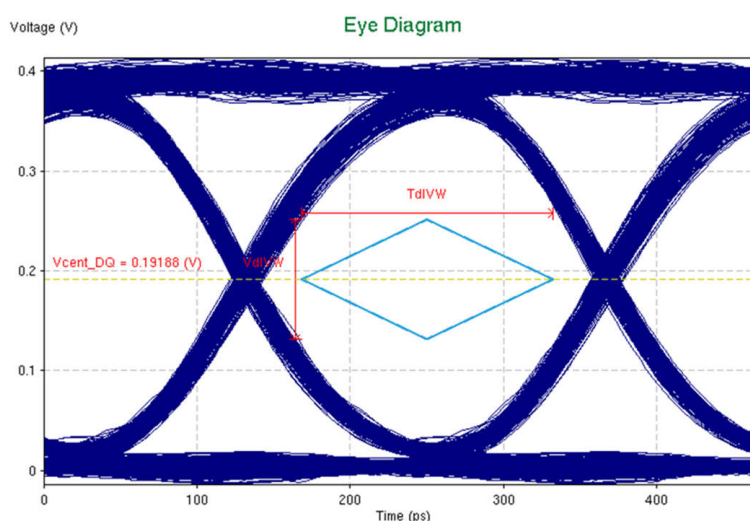


图 4-4. 具有菱形眼图模板的示例仿真 LPDDR4-4266 读取眼图

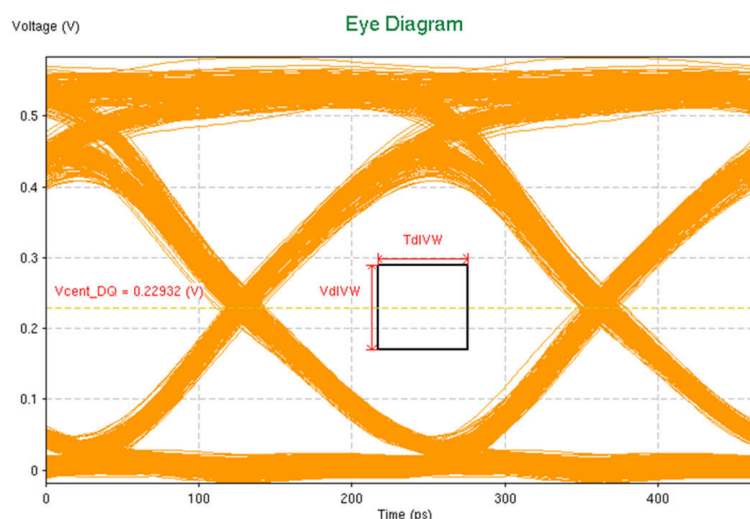


图 4-5. 具有矩形 JEDEC 眼图模板的示例仿真 LPDDR4-4266 写入眼图

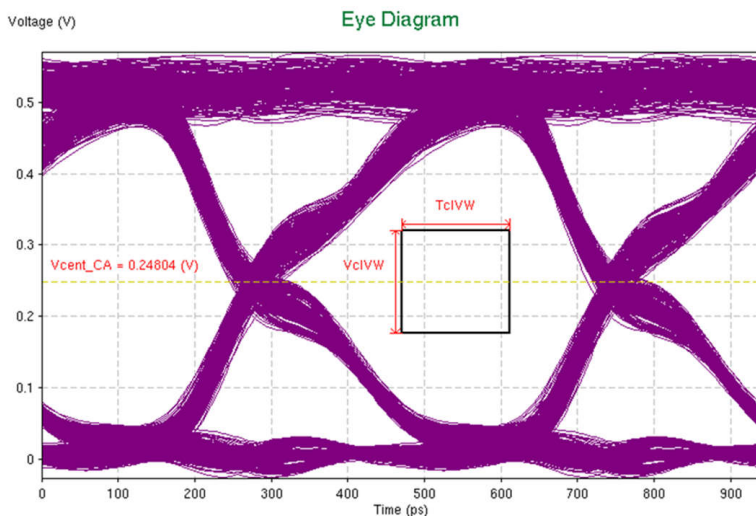


图 4-6. 具有矩形 JEDEC 眼图模板的示例仿真 LPDDR4-4266 CA 眼图

4.6 设计示例

4.6.1 堆叠

这些指导原则建议使用 8 层或 6 层 PCB 堆叠方式以实现完整的器件功能。以下是 8 层和 6 层堆叠示例：

- 支持使用 FR4 产品的设计，如 370HR，同时也建议使用速度更高的材料，如 ISOLA I-Speed (或同等产品)，以增加裕量。IT180A 也是有助于在成本与性能之间进行权衡的另一种材料
- 这些示例在第 3 层对所有数据组进行布线。尽管这样做可以更大限度减小过孔行程，从而减少过孔之间的耦合，但它留下了更长的过孔残桩。
- 这些示例在底层对所有 CA 信号进行布线。

表 4-4. LPDDR4 的 8 层 PCB 堆叠示例 (PROC124 AM62x LP SK EVM)

层号	堆叠	布线计划最高优先级和层
	阻焊层	
1	顶部 - SIG/PWR	BGA 分线、GND、DRAM 去耦电容器
2	GND	实心 GND 参考平面
3	SIG/PWR	LPDDR4 数据、VDD1_LPDDR4_1V8、LVCMOS 迂回布线
4	PWR	VDD_LPDDR4 (在 SOC 和 LPDDR4 下)、SOC_DVDD1V8、VDDA_1V8
5	PWR	VDD_CORE、SOC_DVDD3V3、VCC_3V3_SYS、VPP_1V8、VDDA_1V8_OSC
6	SIG	LVCMOS 迂回布线
7	GND	实心 GND 参考平面
8	底部 - SIG/PWR	LPDDR4 CA、LVCMOS 迂回布线、SOC 去耦电容器、GND、DRAM 去耦电容器
	阻焊层	

表 4-5. LPDDR4 的 6 层 PCB 堆叠示例 (PROC181 AM62Lx EVM)

层号	堆叠	布线计划最高优先级和层
	阻焊层	
1	顶部 - SIG/PWR	BGA 分线、VDD_LPDDR4 至 DRAM、VDD_LPDDR4 大容量电容器
2	GND	实心 GND 参考平面
3	SIG/PWR	LPDDR4 数据、LVCMOS 迂回布线、SOC_DVDD3V3、SOC_DVDD1V8、VDDA_1V8
4	PWR	VDD_CORE、VDD_LPDDR4 (在 SOC 和 LPDDR4 下)、VDDA_1V8
5	GND	实心 GND 参考平面
6	SIG/PWR	LPDDR4 CA、LVCMOS 迂回布线、SOC/DRAM 去耦电容器、VDD1_LPDDR4_1V8、DRAM 测试点
	阻焊层	

4.6.2 布线

以下 J7 设计示例显示了 10 层 PCB 设计示例上的 LPDDR4 时钟和 CA 布线。时钟以 70Ω 的目标阻抗进行差分布线。为了使 T 分支与布线阻抗相匹配，阻抗需要加倍。这会带来挑战，因为在某些 PCB 堆叠中可能难以实现较高的阻抗。CA 信号的布线目标为 35Ω ，T 分支的目标为源阻抗的两倍。

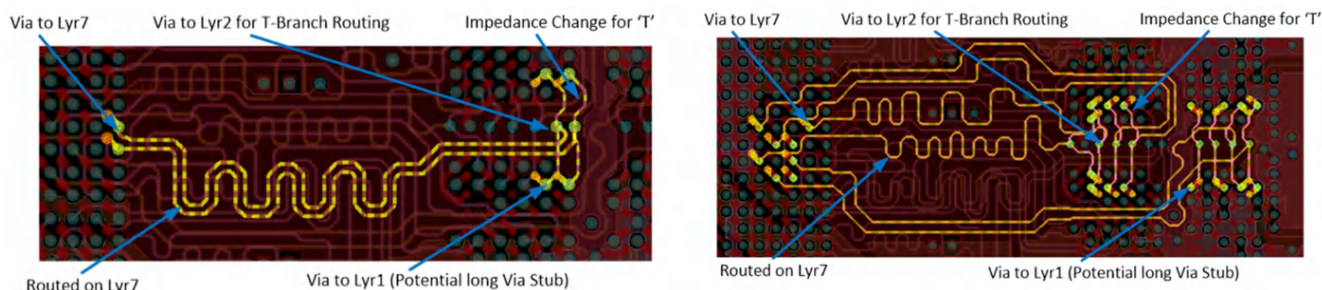


图 4-7. LPDDR4 时钟和 CA 布线示例

在同一个 10 层参考设计中，数据组在第 2 层和第 4 层上布线。由于具有最小过孔行程，使用了上部的层，从而更大程度降低了过孔电感和过孔之间的耦合。数据信号是点对点的，因此不需要 T 分支布线。

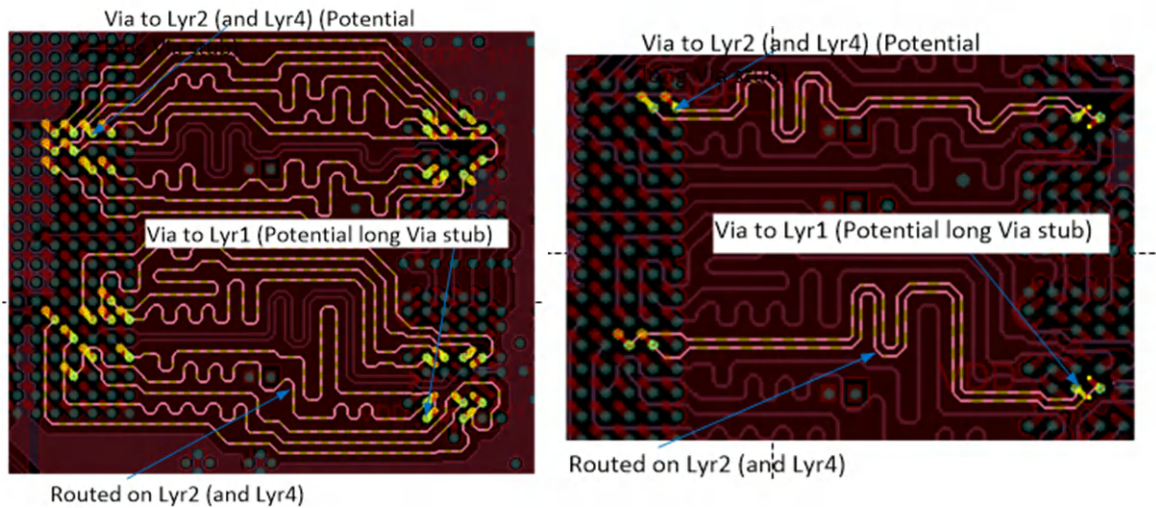


图 4-8. LPDDR4 数据字节和 DQS 布线示例

表 4-6. LPDDR4 性能对布线层的影响 (在焊盘上读取)

布线层	过孔类型	背钻	EW 裕量 (ps)	EH 裕量 (mV)
L1、L12	PTH	否	-7.10	56.72
L1、L12	PTH	是	-4.86	55.71
L1、L3	PTH	否	5.70	40.29
L1、L3	PTH	是	8.37	34.54

表 4-7. LPDDR4 性能对布线层的影响 (在焊盘上写入)

布线层	过孔类型	背钻	EW 裕量 (ps)	EH 裕量 (mV)
L1、L12	PTH	否	17.42	39.22
L1、L12	PTH	是	20.04	41.93
L1、L3	PTH	否	27.66	41.37
L1、L3	PTH	是	27.76	48.63

4.6.3 模型验证

在仿真之前，TI 建议对模型进行验证。介绍的一种验证方法是阻抗图（或阻抗扫描）。提供了 10 层设计的阻抗扫描。

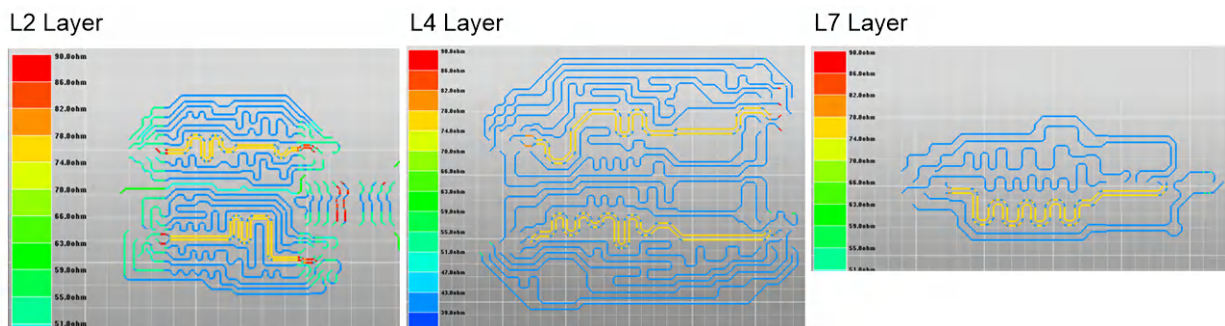


图 4-9. LPDDR4 布线阻抗扫描示例

表 4-8. LPDDR4 示例布线阻抗数据汇总

层	DDR 总线	DQ SE 阻抗 (Ω)	DQS/CLK 差分阻抗 (Ω)
L2	B1 和 B3	40.9	77.7
L2	CA	51.7	101.4
L4	B0 和 B2	41.1	77.7
L7	CA	41.1	77.7

对于 CK 和 CA 信号，目标是使分支段阻抗等于馈送布线阻抗的两倍。请注意，PCB 限制可实现的阻抗是很正常的。仿真向用户展示折衷是否可以接受。

表 4-9. LPDDR4 示例布线阻抗 CA 汇总

电路板	CA 馈送阻抗 (Ω)	CA 分支阻抗 (Ω)	CA 分支目标 (Ω)	阻抗不匹配 (Ω)
初始设计	49.1	59.6	98 (49x2)	19.3
最终设计	41.1	51.7	82 (41x2)	15.3

仿真结果显示了通过将阻抗与目标更接近地匹配而实现的改进。

表 4-10. 改进布线阻抗后的 LPDDR4 示例仿真结果

电路板	总眼图宽度裕度 (ps)	总眼图高度裕度 (ps)
初始设计	58.00	14.00
最终设计	124.68	48.08

4.6.4 仿真结果

为 LPDDR4 接口提供了 10 层设计的仿真结果。必须满足这些仿真目标，以确保设计在所需的性能水平运行。

需要在 DRAM 引脚或 BGA 验证 CA 仿真。其中包括：

- Vix_CK 比率 (JEDEC)。
- 与眼图模板相关的抖动和噪声容限 (JEDEC)。
- 峰峰值电源噪声。

At DRAM Pin:

Package	Board	Total EW Margin (ps)	Total EH Margin (mV)	Min Rback Margin H (mV)	Min Rback Margin L (mV)	Vix_CK_Ratio (%)
J7 SCK 1207	J7 370HR 10L Ref 121819 ACC, No BD, Slwave	182.04	68.50	89.43	25.50	16.81

Jitter/Noise Eye Margins

Vix_CA Ratio

Ring-back High/Low Margins

图 4-10. CA 的 LPDDR4 仿真结果

需要在 DRAM BGA 引脚和 DRAM 焊盘上验证数据写入仿真。其中包括：

- Vix_CK 比率 (JEDEC)。
- 与眼图模板相关的抖动和噪声容限 (JEDEC)。
- 峰峰值电源噪声。

At DRAM Pin:

Jitter/Noise Eye Margins

Vix_DQS Ratio

Pkg Byte	Board	Total EW Margin (ps)	Total EH Margin (mV)	Min Rback margin H (mV)	Min Rback Margin L (mV)	Vix_DQS_Ratio (%)
B0	J7 370HR 10L Ref 121819 B0, With BD	62.32	55.20	68.63	111.83	9.80
B1	J7 370HR 10L Ref 121819 B1, With BD	54.52	94.28	86.46	114.69	7.64
B2	J7 370HR 10L Ref 121819 B2, With BD	53.40	73.96	81.19	106.32	5.55
B3	J7 370HR 10L Ref 121819 B3, With BD	54.86	52.74	34.97	48.55	9.81

Ring-back High/Low Margins

图 4-11. 写入的 LPDDR4 仿真结果

需要在 SOC 上验证数据读取仿真。其中包括：

- 与眼图模板相关的抖动和噪声容限。
- 峰峰值电源噪声。

Jitter/Noise Eye Margins

Power Noise

Pkg Byte	Board	Total EW Margin (ps)	Total EH Margin (mV)	Min Rback Margin H (mV)	Min Rback Margin L (mV)	P-P VDDQ Noise (mV)
B0	J7 370HR 10L Ref 121819 B0, No BD	17.06	24.00	25.86	26.30	21.33
B1	J7 370HR 10L Ref 121819 B1, No BD	6.72	8.00	28.49	24.44	33.33
B2	J7 370HR 10L Ref 121819 B2, No BD	0.98	FAIL	19.40	17.18	28.97
B3	J7 370HR 10L Ref 121819 B3, No BD	FAIL	FAIL	11.05	20.26	15.87
B0	J7 370HR 10L Ref 121819 B0, With BD	19.02	26.00	27.84	30.10	26.12
B1	J7 370HR 10L Ref 121819 B1, With BD	6.24	8.00	30.79	27.25	39.98
B2	J7 370HR 10L Ref 121819 B2, With BD	5.24	6.00	27.95	28.83	40.24
B3	J7 370HR 10L Ref 121819 B3, With BD	4.60	6.00	35.41	34.52	25.21

Ring-back High/Low Margins

图 4-12. 读取的 LPDDR4 仿真结果

读取的仿真结果包含两组数据，即黑色数据和绿色数据。黑色数据表示设计失败，因为几个字节未能满足眼图裕量。绿色数据是同一设计的仿真结果，但对过孔残桩应用了背钻。

5 其他信息：封装延迟

本附录中提供的封装延迟是从 SOC 芯片焊盘到 SOC 封装引脚测量的。表 3-6 和表 3-7 中指定的偏差限值是从 SOC 芯片焊盘到 DRAM 封装引脚测得的（包括 SOC 封装内的这些延迟）。在检查偏差限值的合规性时，设计人员可以将这些封装延迟与每个网的 PCB 延迟相加。然后，需要模拟传播延迟以确认延迟满足要求。

处理器引脚名称	AM62x ALW 封装延迟 (ps)	AM62x AMC 封装延迟 (ps)	AM62Lx ANB 封装延迟 (ps)	网络类	说明
DDR0_A0	21.00	28.55	13.44	ADDR_CTRL	与 LPDDR4 和 DDR4 搭配使用
DDR0_A1	19.94	26.82	15.17	ADDR_CTRL	与 LPDDR4 和 DDR4 搭配使用
DDR0_A2	16.13	26.60	10.20	ADDR_CTRL	与 LPDDR4 和 DDR4 搭配使用
DDR0_A3	11.28	26.33	19.40	ADDR_CTRL	与 LPDDR4 和 DDR4 搭配使用
DDR0_A4	11.62	26.52	22.22	ADDR_CTRL	与 LPDDR4 和 DDR4 搭配使用
DDR0_A5	20.98	26.43	15.29	ADDR_CTRL	与 LPDDR4 和 DDR4 搭配使用
DDR0_A6	17.04	33.55	18.29	ADDR_CTRL	与 DDR4 搭配使用
DDR0_A7	19.08	31.69	6.79	ADDR_CTRL	与 DDR4 搭配使用
DDR0_A8	21.55	34.42	15.59	ADDR_CTRL	与 DDR4 搭配使用
DDR0_A9	13.33	34.25	19.06	ADDR_CTRL	与 DDR4 搭配使用
DDR0_A10	10.71	32.94	12.39	ADDR_CTRL	与 DDR4 搭配使用
DDR0_A11	9.00	27.28	12.31	ADDR_CTRL	与 DDR4 搭配使用
DDR0_A12	9.33	29.79	18.92	ADDR_CTRL	与 DDR4 搭配使用
DDR0_A13	23.19	31.52	20.24	ADDR_CTRL	与 DDR4 搭配使用
DDR0_ACT_n	7.98	32.68	17.13	ADDR_CTRL	与 DDR4 搭配使用
DDR0_ALERT_n	17.37	32.54	-	不适用	与 DDR4 搭配使用
DDR0_BA0	19.81	26.29	15.83	ADDR_CTRL	与 DDR4 搭配使用
DDR0_BA1	21.85	27.00	17.80	ADDR_CTRL	与 DDR4 搭配使用
DDR0_BG0	15.30	27.61	9.85	ADDR_CTRL	与 DDR4 搭配使用
DDR0_BG1	17.09	26.62	12.79	ADDR_CTRL	与 DDR4 搭配使用
DDR0_CAS_n	11.81	26.42	20.78	ADDR_CTRL	与 DDR4 搭配使用
DDR0_CK0	23.03	34.72	27.15	CK0	与 LPDDR4 和 DDR4 搭配使用
DDR0_CK0_n	21.28	33.13	20.98	CK0	与 LPDDR4 和 DDR4 搭配使用
DDR0_CKE0	20.94	29.26	20.75	ADDR_CTRL	与 LPDDR4 和 DDR4 搭配使用
DDR0_CKE1	13.68	31.10	-	ADDR_CTRL	与 LPDDR4 和 DDR4 搭配使用
DDR0_CS0_n	7.80	28.47	16.09	ADDR_CTRL	与 LPDDR4 和 DDR4 搭配使用
DDR0_CS1_n	18.29	35.18	-	ADDR_CTRL	与 LPDDR4 和 DDR4 搭配使用
DDR0_DM0	13.95	35.06	31.18	BYTE0	与 LPDDR4 和 DDR4 搭配使用
DDR0_DM1	19.07	28.18	20.84	BYTE1	与 LPDDR4 和 DDR4 搭配使用
DDR0_DQ0	16.90	37.82	16.79	BYTE0	与 LPDDR4 和 DDR4 搭配使用
DDR0_DQ1	14.21	29.20	20.41	BYTE0	与 LPDDR4 和 DDR4 搭配使用
DDR0_DQ2	20.40	31.14	28.20	BYTE0	与 LPDDR4 和 DDR4 搭配使用
DDR0_DQ3	17.67	28.54	25.53	BYTE0	与 LPDDR4 和 DDR4 搭配使用
DDR0_DQ4	23.82	38.78	18.77	BYTE0	与 LPDDR4 和 DDR4 搭配使用
DDR0_DQ5	21.95	32.97	18.96	BYTE0	与 LPDDR4 和 DDR4 搭配使用
DDR0_DQ6	24.74	35.55	23.02	BYTE0	与 LPDDR4 和 DDR4 搭配使用
DDR0_DQ7	24.31	33.64	21.21	BYTE0	与 LPDDR4 和 DDR4 搭配使用
DDR0_DQ8	23.28	34.75	17.35	BYTE1	与 LPDDR4 和 DDR4 搭配使用
DDR0_DQ9	18.16	32.35	18.46	BYTE1	与 LPDDR4 和 DDR4 搭配使用

处理器引脚名称	AM62x ALW 封装延迟 (ps)	AM62x AMC 封装延迟 (ps)	AM62Lx ANB 封装延迟 (ps)	网络类	说明
DDR0_DQ10	19.18	32.72	20.21	BYTE1	与 LPDDR4 和 DDR4 搭配使用
DDR0_DQ11	17.78	37.01	26.20	BYTE1	与 LPDDR4 和 DDR4 搭配使用
DDR0_DQ12	20.45	35.22	16.41	BYTE1	与 LPDDR4 和 DDR4 搭配使用
DDR0_DQ13	16.68	32.03	14.95	BYTE1	与 LPDDR4 和 DDR4 搭配使用
DDR0_DQ14	24.67	29.99	20.07	BYTE1	与 LPDDR4 和 DDR4 搭配使用
DDR0_DQ15	21.39	26.31	22.73	BYTE1	与 LPDDR4 和 DDR4 搭配使用
DDR0_DQS0	27.23	40.21	23.77	DQS0	与 LPDDR4 和 DDR4 搭配使用
DDR0_DQS0_n	27.39	40.92	24.48	DQS0	与 LPDDR4 和 DDR4 搭配使用
DDR0_DQS1	21.74	39.71	23.32	DQS1	与 LPDDR4 和 DDR4 搭配使用
DDR0_DQS1_n	22.68	41.12	22.39	DQS1	与 LPDDR4 和 DDR4 搭配使用
DDR0_ODT0	29.40	29.31	13.32	ADDR_CTRL	与 DDR4 搭配使用
DDR0_ODT1	18.45	30.02	-	ADDR_CTRL	与 DDR4 搭配使用
DDR0_PAR	25.10	28.63	-	ADDR_CTRL	与 DDR4 搭配使用
DDR0_RAS_n	10.64	28.63	11.54	ADDR_CTRL	与 DDR4 搭配使用
DDR0_RESET0_n	31.66	32.77	19.01	ADDR_CTRL	与 LPDDR4 和 DDR4 搭配使用
DDR0_WE_n	15.43	31.72	18.49	ADDR_CTRL	与 DDR4 搭配使用

6 总结

本应用手册说明了如何在 AM62x、AM62Lx 处理器设计上规划、布线和仿真 PCB 以实现 LPDDR4 或 DDR4 的成功运行。提供了时钟和地址或控制信号组和数据组拓扑的规格。按照这些指标进行设计有助于在第一次设计时就成功完成电路板的布局。本应用手册的 LPDDR4 仿真部分记录了在制造电路板之前确认 LPDDR4 布局是否满足稳键系统要求的过程。文中列举了电路板模型提取、驱动强度和端接优化、系统级仿真以及眼图模板最小值等主题，并列举了实际电路板设计的示例。

7 参考资料

- 德州仪器 (TI), [AM62x 入门套件用户指南](#)
- 德州仪器 (TI), [AM62x 低功耗 SK EVM 用户指南](#)
- 德州仪器 (TI), [AM62L EVM 用户指南](#)

8 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (November 2024) to Revision C (March 2025)	Page
• 针对 AM62Lx 的附加信息.....	1
• 添加了指定的最小处理器 HS 旁路电容器数量和电容.....	6
• 添加了注释，指出 AM62Lx 不支持双列.....	8
• 为使用 x16 SDRAM 的 16 位单列 DDR4 实现方案图添加了注释.....	9
• 为使用 x8 SDRAM 的 16 位双列 DDR4 实现方案图添加了注释.....	11
• 添加了示例来阐明“位交换”.....	21
• 为 16 位单列单通道 LPDDR4 实现方案图添加了注释.....	22
• 添加了有关 PCB 需要对延迟不匹配进行偏移调整的说明和示例.....	35
• 使用 AM62 和 AM62L EVM 堆叠信息更改了 Jacinto、AM62Ax 和 AM62Px 堆叠信息.....	37
• 添加了 AM62Lx ANB 封装延迟。.....	42

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司