

UCC278X4-Q1 高速汽车级 230V 半桥驱动器，具备 3.5A 或 4A 驱动强度，以及最高 100V/ns 的防噪性能

1 特性

- 符合面向汽车应用的 AEC-Q100 标准
 - 器件温度 1 级
- 适用于具有互锁 (UCC27834-Q1) 或无互锁 (UCC27884-Q1) 的高侧和低侧驱动器的双路独立输入
- 最大自举电压: +230V (HB 引脚)
- VDD 偏置电压建议范围: 8.5V 至 20V
- 峰值输出电流: 3.5A 拉电流、4A 灌电流
- 快速传播延迟: 29ns (典型值)
- HO/LO 之间具有严格的传播延迟匹配: < 5ns (最大值)
- dV/dt 抗扰度: 100V/ns
- 低静态电源电流消耗
 - VDD 上为 150 μ A (典型值)
 - HB 上为 90 μ A (典型值)
- 高侧和低侧通道内置 UVLO 保护: 8V
- 用于自举运行的悬空通道
- 采用标准 SOIC-8 封装
- 所有参数均为全温度范围内的额定值: -40°C 至 +150°C

2 应用

- 电机驱动器（步进电机、风扇、电动工具、机器人、无人机和伺服系统）
- 电动自行车和电动踏板车
- 太阳能升压和降压-升压 **MPPT**
- 微型逆变器

3 说明

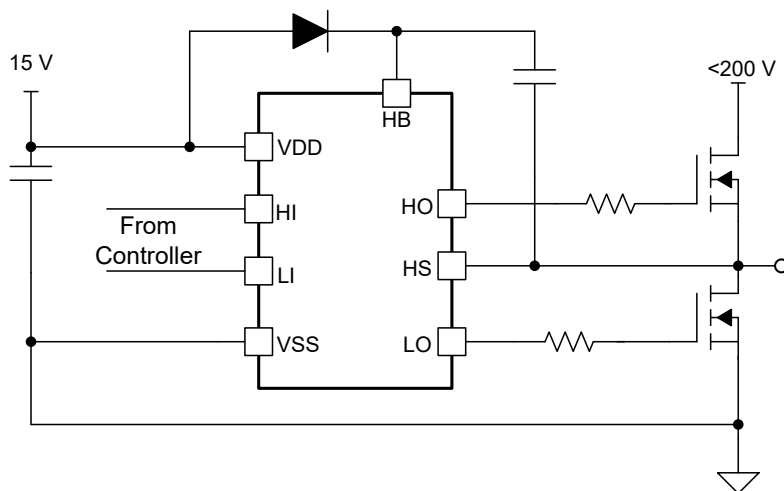
UCC278X4-Q1 是一款 230V 半桥栅极驱动器，具有 3.5A 拉电流和 4A 灌电流，专用于驱动功率 MOSFET。该器件包含一个接地基准通道 (LO) 和一个悬空通道 (HO)，专用于驱动采用自举电源供电和半桥配置的 MOSFET。该器件在两个通道间具有快速的传播延迟和出色的延迟匹配。**UCC278X4-Q1** 支持 8.5V 至 20V 的宽 VDD 工作电压范围，可驱动更广泛的栅极电压，并为低侧 (VDD) 和高侧 (HB) 偏置电源提供 UVLO 保护。**UCC27834-Q1** 提供了互锁功能选项，可防止两个输出同时打开

该器件具有稳健的驱动性能及出色的噪声和瞬态抗扰度，具有高 dV/dt 耐受能力 (100V/ns)，而且开关节点 (HS) 具备宽负向瞬态安全工作区 (NTSOA)。UCC278X4-Q1 采用 SOIC-8 引脚封装，额定工作温度范围为 -40°C 至 150°C。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
UCC27834D-Q1	D (SOIC , 8)	4.90mm × 6.00mm
UCC27884D-Q1	D (SOIC , 8)	4.90mm × 6.00mm

- (1) 如需了解所有可用封装, 请参阅数据表末尾的可订购产品附录。
- (2) 封装尺寸(长×宽)为标称值, 并包括引脚(如适用)。



简化版原理图

内容

1 特性	1	6.4 器件功能模式	16
2 应用	1	7 应用和实施	17
3 说明	1	7.1 应用信息.....	17
4 引脚配置和功能	3	7.2 典型应用.....	17
5 规格	4	7.3 电源相关建议.....	21
5.1 绝对最大额定值.....	4	7.4 布局.....	21
5.2 ESD 等级.....	4	8 器件和文档支持	23
5.3 建议运行条件.....	4	8.1 器件支持.....	23
5.4 热性能信息.....	5	8.2 文档支持.....	23
5.5 电气特性.....	5	8.3 接收文档更新通知.....	23
5.6 动态电气特性.....	6	8.4 支持资源.....	23
5.7 时序图.....	6	8.5 商标.....	23
5.8 典型特性.....	7	8.6 静电放电警告.....	23
6 详细说明	10	8.7 术语表.....	23
6.1 概述.....	10	9 修订历史记录	23
6.2 功能方框图.....	10	10 机械、封装和可订购信息	24
6.3 特性说明.....	11		

4 引脚配置和功能

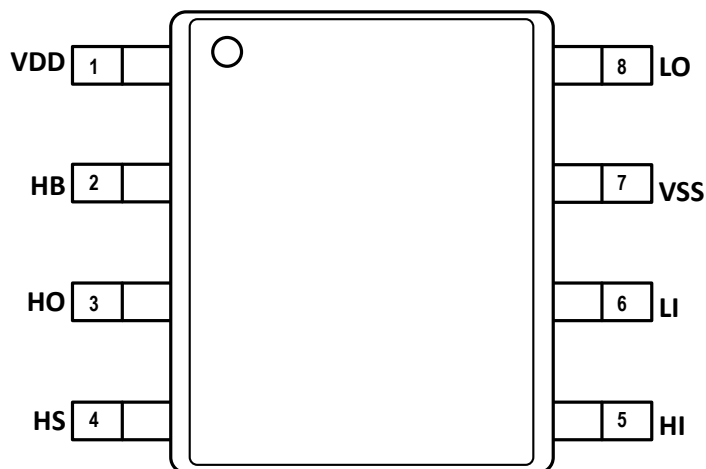


图 4-1. D 封装 8 引脚 SOIC 顶视图

表 4-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
HB	2	I	高侧悬空电源。在该引脚与 HS 之间连接一个旁路电容器以维持自举电路运行，其容值通常为 MOSFET 有效栅极电容的 10 倍。
HI	5	I	高侧驱动器的逻辑输入。如果 HI 未偏置或悬空，HO 将保持低电平
HO	3	O	高侧驱动器输出。
HS	4	-	高侧悬空电源的回路。
LI	6	I	低侧驱动器的逻辑输入。如果 LI 未偏置或悬空，LO 将保持低电平。
LO	8	O	低侧驱动器输出。
VDD	1	P	偏置电源输入。器件的输入逻辑侧以及低侧驱动器输出的电源。在该引脚与 VSS 之间连接一个 1μF SMD 旁路电容器 (通常 C_{VDD} 需为 $10 \times C_{BOOT}$) 。
VSS	7	-	输入、VDD 和 LO 驱动器回路的接地基准

(1) I = 输入 ; O = 输出 ; P = 电源

5 规格

5.1 绝对最大额定值

在自然通风工作温度范围内（除非另有说明），所有电压均以 VSS 为基准（除非另有说明），进入指定端子的电流为正电流，从指定端子流出的电流为负电流。⁽¹⁾

参数			最小值	最大值	单位
V_{HI} 、 V_{LI}	HI 和 LI ⁽²⁾ 上的输入电压		-0.3	23	V
V_{DD}	VDD 电源电压		-0.3	23	
V_{HB}	HB 电压		-0.3	230	
$V_{HB} - V_{HS}$	自举电源电压		-0.3	23	
V_{HO}	HO 上的输出电压	DC	HS - 0.3	HB+0.3	V
		瞬态，小于 100ns ⁽³⁾	HS - 2	HB+0.3	
V_{LO}	LO 上的输出电压	DC	-0.3	VDD+0.3	V
		瞬态，小于 100ns ⁽³⁾	-2	VDD+0.3	
V_{HS}	HS 电压	DC	-18 ⁽⁴⁾	230	V
		瞬态，小于 100ns ⁽³⁾	-23 ⁽⁴⁾	230	V
dV_{HS}/dt	允许的偏移电源电压瞬态		-100	100	V/ns
T_J	结温		-40	150	°C
T_{stg}	贮存温度		-65	150	

- (1) 超出绝对最大额定值范围运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议的工作条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 输入引脚上的最大电压不受 VDD 引脚电压的限制。
- (3) 通过在工作台上进行表征来验证这些值。
- (4) 在 $HB - HS = 15V$ 的条件下。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚 ⁽¹⁾	±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚 ⁽²⁾	±500	

- (1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

所有电压均以 VSS 为基准， $-40^{\circ}\text{C} < T_J < 150^{\circ}\text{C}$ ，进入指定端子的电流为正电流，从指定端子流出的电流为负电流

			最小值	标称值	最大值	单位
V_{DD}	VDD 电源电压		8.5		20	V
$V_{HB} - V_{HS}$	自举电源电压		7.8		20	V
V_{HI} 、 V_{LI}	HI 和 LI 上的输入电压		0		20	V
V_{HB}	HB 电压		3		HS + 20	V
V_{HS}	HS 电压	DC	$3 - (V_{HB} - V_{HS})$		200	V
V_{HS}		瞬态，小于 100ns	$-(V_{HB} - V_{HS})$		200	V
dV_{HS}/dt	允许的偏移电源电压瞬态		-100		100	V/ns
T_A	环境温度		-40		125	°C
T_J	结温		-40		150	°C

5.4 热性能信息

热指标 ⁽¹⁾		UCC278X4-Q1	单位
		(SOIC)	
		8 引脚	
$R_{\theta JA}$	结至环境热阻	114.0	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	54.0	°C/W
$R_{\theta JB}$	结至电路板热阻	62.8	°C/W
ψ_{JT}	结至顶部特征参数	8.5	°C/W
ψ_{JB}	结至电路板特征参数	61.9	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	不适用	°C/W

(1) 有关新旧热指标的更多信息, 请参阅 [半导体和 IC 封装热指标应用手册](#)。

5.5 电气特性

在 $V_{DD} = V_{HB} = 15V$ 、 $V_{SS} = V_{HS} = 0$ 、所有电压均以 V_{SS} 为基准、LO 和 HO 空载、 $-40^{\circ}C < T_J < +150^{\circ}C$ 的条件下测得 (除非另有说明)。电流是指定端子的正输入、负输出。

参数		测试条件	最小值	典型值	最大值	单位
电源块						
$V_{VDD\ ON}$	VDD 的导通阈值电压		6.9	7.5	8.1	V
$V_{VDD\ OFF}$	VDD 的关断阈值电压		6.4	7.0	7.6	
$V_{VDD\ HYS}$	VDD 的磁滞			0.5		
$V_{VHB\ ON}$	VHB-VHS 的导通阈值电压		6.2	6.8	7.4	
$V_{VHB\ OFF}$	VHB-VHS 的关断阈值电压		5.7	6.3	6.9	
$V_{VHB\ HYS}$	VHB-VHS 的磁滞			0.5		
I_{VDDO}	VDD 工作电流	HI = LI = 0 至 5V、f = 500kHz、 $C_{LOAD} = 0$		1100	2000	μA
I_{QVSS}	静态 VDD-VSS 电源电流	HI = LI = 0V 或 5V、直流开/关状态		150	300	μA
I_{QBSO}	HB-HS 工作电源电流	HI = LI = 0 至 5V、f = 500kHz、 $C_{LOAD} = 0$		1000	1300	μA
I_{QBS}	静态 HB-HS 电源电流	HI = 0V 或 5V、HO 处于直流开/关状态		90	180	μA
I_{BL}	自举电源泄漏电流 (HB 至 VSS)	HB = HS = 230V、VDD = VSS = 0V		0.1	20	μA
输入和使能块						
V_{INH}	输入引脚 (HI、LI) 上限阈值		1.7	2.1	2.5	V
V_{INL}	输入引脚 (HI、LI) 下限阈值		0.7	1.0	1.3	V
V_{INHYS}	输入引脚 (HI、LI) 阈值磁滞			1.1		V
I_{INL}	HI、LI 输入低偏置电流	HI、LI = 0V	-5		5	μA
I_{INH}	HI、LI 输入高偏置电流	HI、LI = 5V	20		55	μA
R_{HI}	HI 输入引脚上的下拉电阻器	HI、LI = 5V	100		200	KΩ
R_{LI}	LI 输入引脚上的下拉电阻器	HI、LI = 5V	100		200	KΩ
输出块						
$V_{DD}-V_{LOH}$	LO 输出高电压	LI = 5V、 $I_{LO} = -20mA$		250	500	mV
$V_{HB}-V_{HOH}$	HO 输出高电压	HI = 5V、 $I_{HO} = -20mA$		250	500	mV
V_{LOL}	LO 输出低电压	LI = 0V、 $I_{LO} = 20mA$		20	40	mV
V_{HOL}	HO 输出低电压	HI = 0V、 $I_{HO} = 20mA$		20	40	mV
R_{LOL} 、 R_{HOL}	LO、HO 输出下拉电阻	$I_{LO} = I_{HO} = 20mA$		1	2	Ω
R_{LOH} 、 R_{HOH}	LO、HO 输出上拉电阻	$I_{LO} = I_{HO} = -20mA$		12.6	25	
$I_{GPK}^{(1)}$	HO、LO 输出灌电流	HI = LI = 0V、HO = LO = 15V、PW < 10us		4		A
$I_{GPK+}^{(1)}$	HO、LO 输出拉电流	HI = LI = 5V、HO = LO = 0V、PW < 10us		3.5		

(1) 通过设计保障；未经生产测试

5.6 动态电气特性

在 $V_{DD} = V_{HB} = 15V$, $V_{SS} = V_{HS} = 0$, 所有电压均以 V_{SS} 为基准, LO 和 HO 上无负载, $-40^{\circ}C < T_J < +150^{\circ}C$ 的条件下测得 (除非另有说明)。电流是指定端子的正输入、负输出。

参数	测试条件	最小值	标称值	最大值	单位
传播延迟					
t_{DLFF}	VLI 下降至 VLO 下降	$C_{LOAD} = 0pF$, 从 LI 的 V_{INL} 到 LO 下降至 90%	29	45	ns
t_{DHFF}	VHI 下降至 VHO 下降	$C_{LOAD} = 0pF$, 从 HI 的 V_{INL} 到 HO 下降至 90%	29	45	ns
t_{DLRR}	VLI 上升至 VLO 上升	$C_{LOAD} = 0pF$, 从 LI 的 V_{INH} 到 LO 上升至 10%	29	45	ns
t_{DHRR}	VHI 上升至 VHO 上升	$C_{LOAD} = 0pF$, 从 HI 的 V_{INH} 到 HO 上升至 10%	29	45	ns
延迟匹配					
t_{MON}	HI 关闭, LI 打开	$T_J = 25^{\circ}C$, $ t_{DHFF} - t_{DLRR} $		5	ns
t_{MON}	HI 关闭, LI 打开	$T_J = -40^{\circ}C$ 至 $150^{\circ}C$, $ t_{DHFF} - t_{DLRR} $		5	ns
t_{MOFF}	LI 关闭, HI 打开	$T_J = 25^{\circ}C$, $ t_{DLFF} - t_{DHRR} $		5	ns
t_{MOFF}	LI 关闭, HI 打开	$T_J = -40^{\circ}C$ 至 $150^{\circ}C$, $ t_{DLFF} - t_{DHRR} $		5	ns
输出上升和下降时间					
t_{R_LO}	LO 上升时间	$C_{LOAD} = 1000pF$, 从 10% 到 90%	7.5		ns
t_{R_HO}	HO 上升时间	$C_{LOAD} = 1000pF$, 从 10% 到 90%	7.5		ns
t_{F_LO}	LO 下降时间	$C_{LOAD} = 1000pF$, 从 90% 到 10%	6.5		ns
t_{F_HO}	HO 下降时间	$C_{LOAD} = 1000pF$, 从 90% 到 10%	6.5		ns
其他					
t_{ON}	可改变输出状态的最小 HI/LI 导通脉冲	HI 和 LI 引脚上的 0V 至 5V 输入信号, $C_{LOAD} = 1nF$	11	20	ns
t_{OFF}	可改变输出状态的最小 HI/LI 关断脉冲	HI 和 LI 引脚上的 5V 至 0V 输入信号, $C_{LOAD} = 1nF$	11	20	ns

5.7 时序图

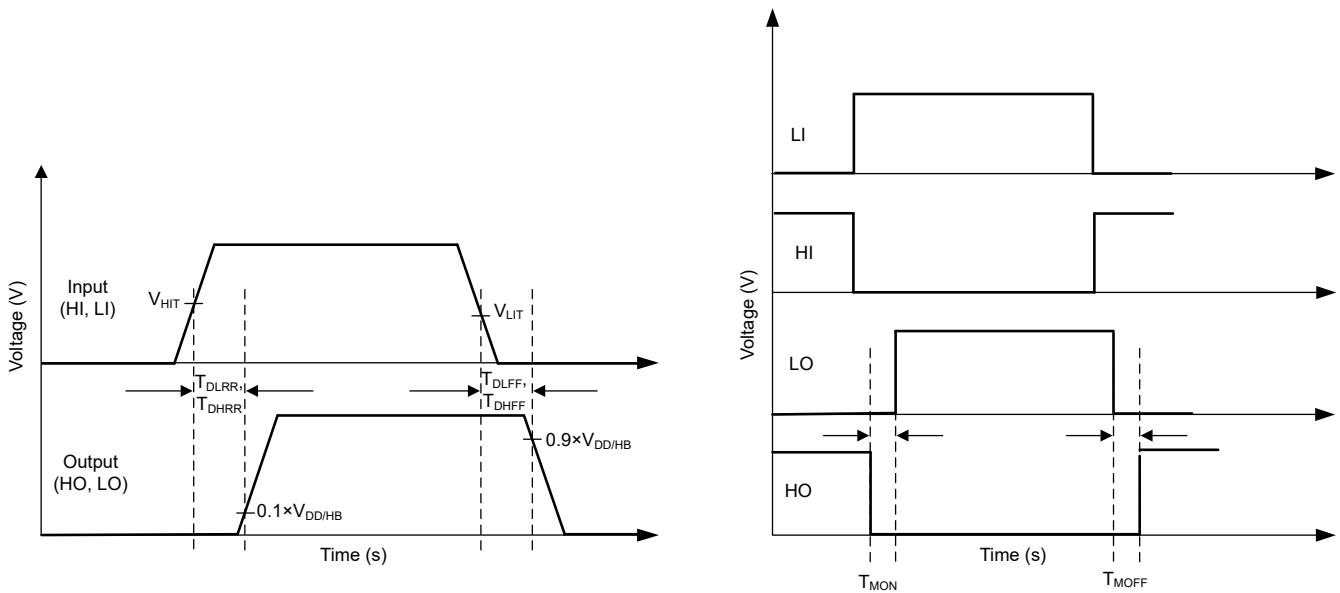


图 5-1. 时序图

5.8 典型特性

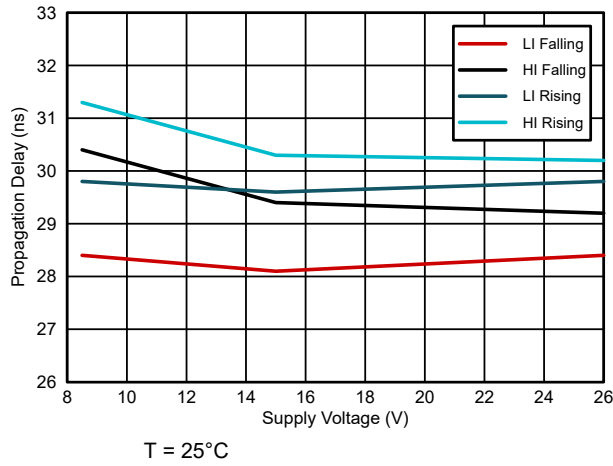


图 5-2. 传播延迟与电源电压间的关系

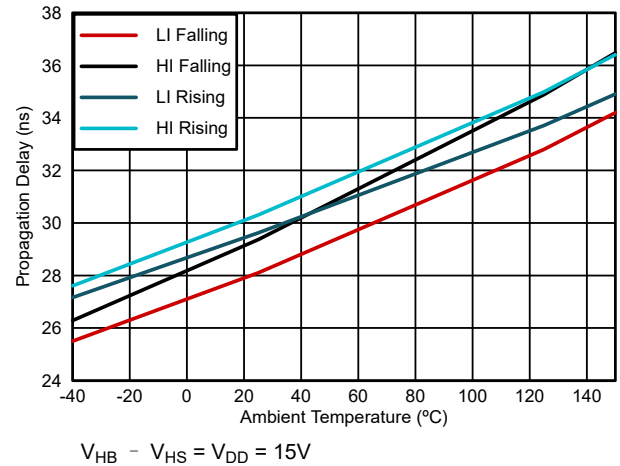


图 5-3. 传播延迟与温度间的关系

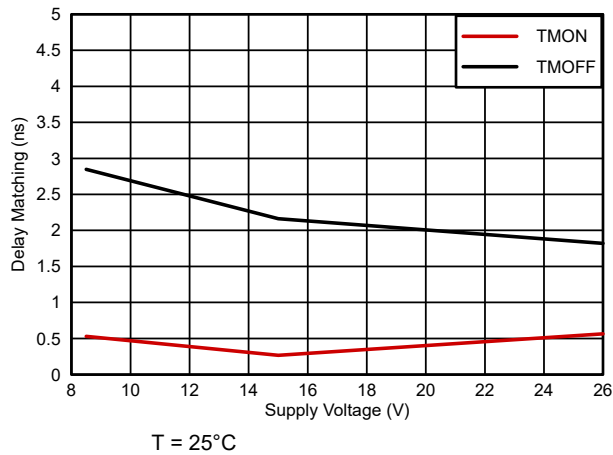


图 5-4. 延迟匹配与电源电压间的关系

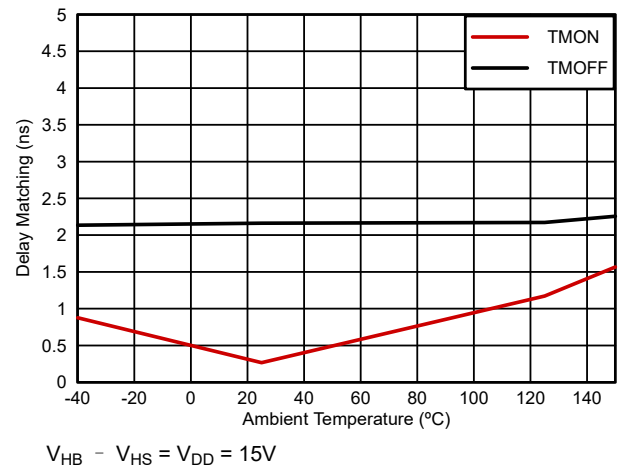


图 5-5. 延迟匹配与温度间的关系

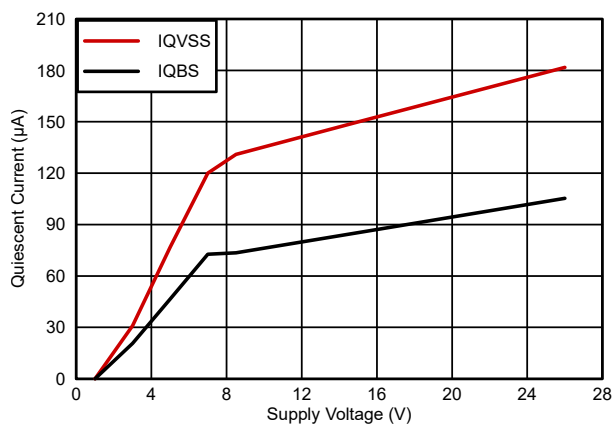


图 5-6. 静态电源电流与电源电压间的关系

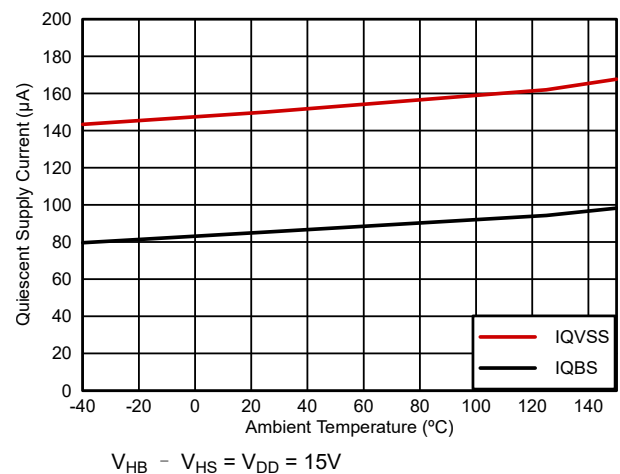
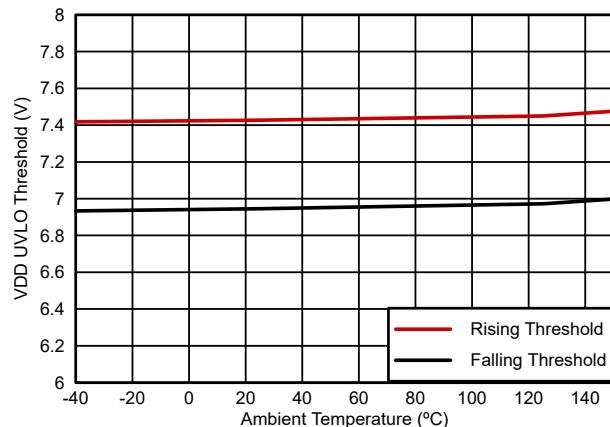


图 5-7. 静态电源电流与温度间的关系

5.8 典型特性 (续)



$$V_{HB} - V_{HS} = V_{DD} = 15V$$

图 5-8. VDD UVLO 阈值与温度间的关系

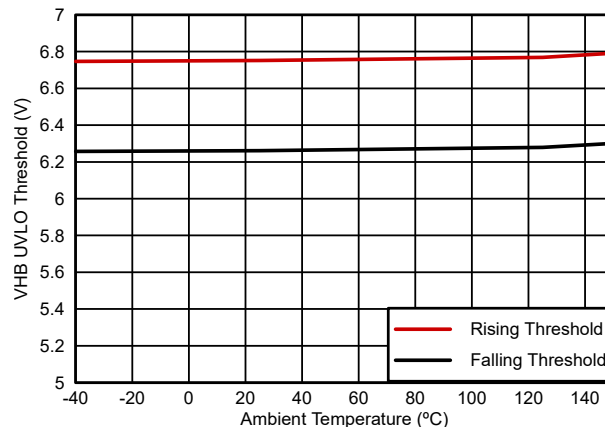


图 5-9. VHB UVLO 阈值与温度间的关系

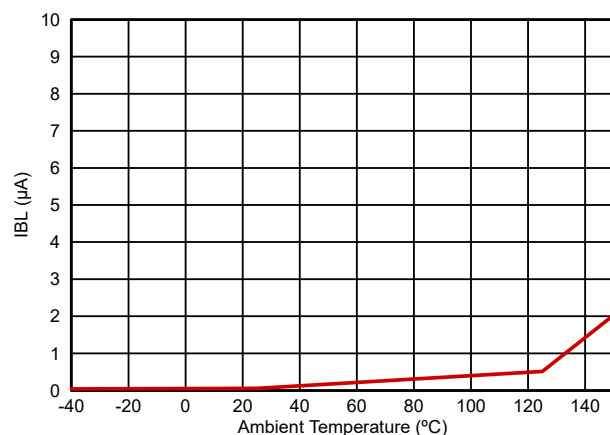
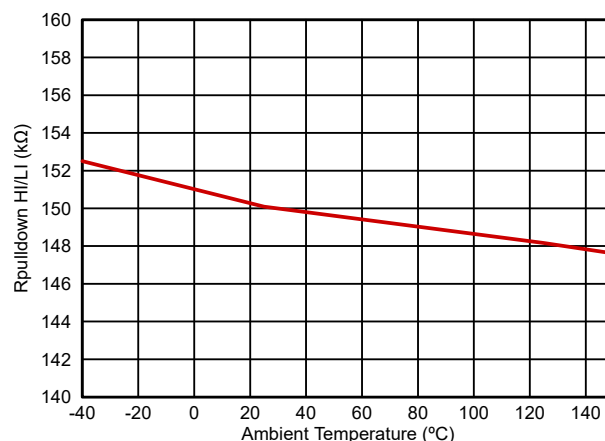
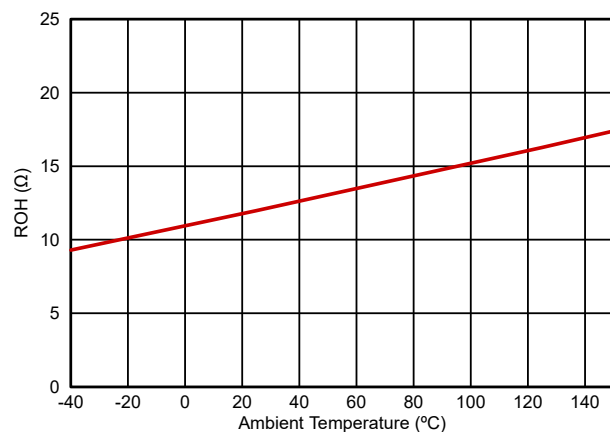


图 5-10. HB 至 VSS 泄漏电流与温度间的关系



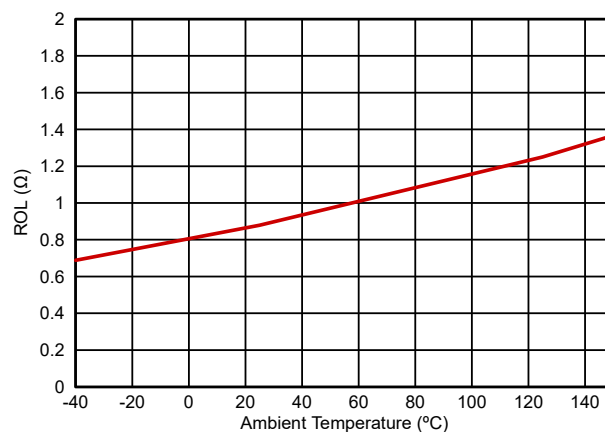
$$V_{HB} - V_{HS} = V_{DD} = 15V$$

图 5-11. HI 和 LI 输入下拉电阻与温度间的关系



$$V_{HB} - V_{HS} = V_{DD} = 15V$$

图 5-12. LO 和 HO 上拉电阻与温度间的关系



$$V_{HB} - V_{HS} = V_{DD} = 15V$$

图 5-13. LO 和 HO 下拉电阻与温度间的关系

5.8 典型特性 (续)

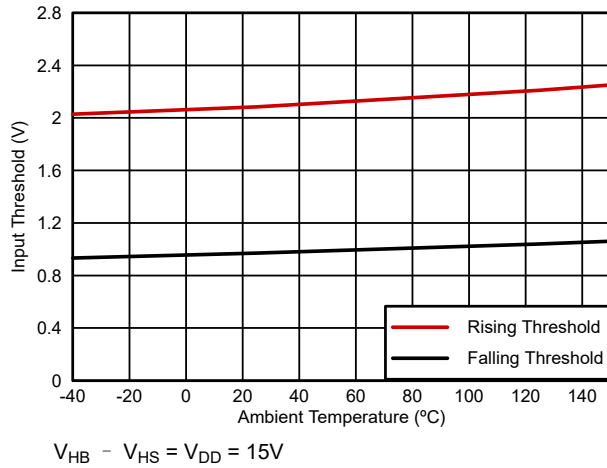


图 5-14. HI 和 LI 输入电压阈值与温度间的关系

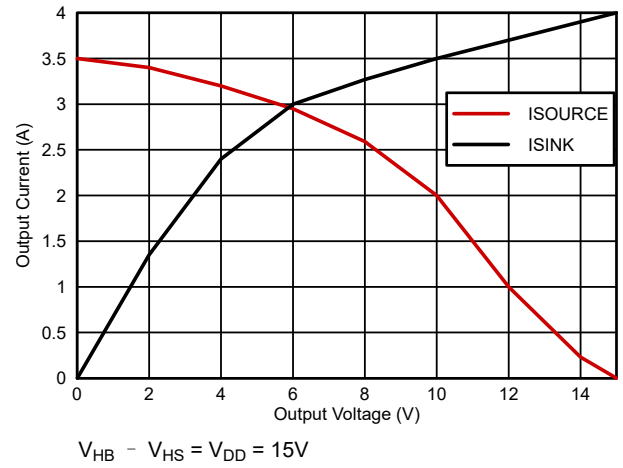


图 5-15. LO 和 HO 输出电流与输出电压间的关系

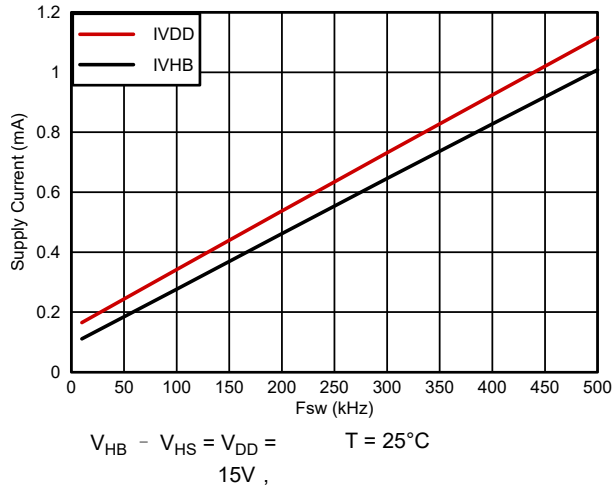


图 5-16. 空载电源电流与开关频率间的关系

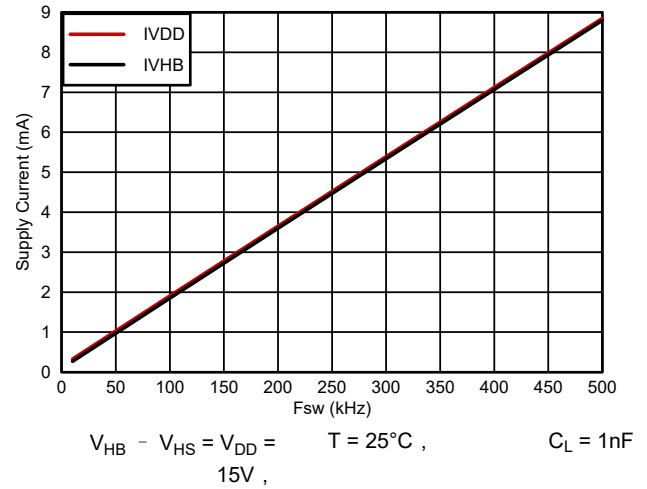


图 5-17. 电源电流与开关频率间的关系

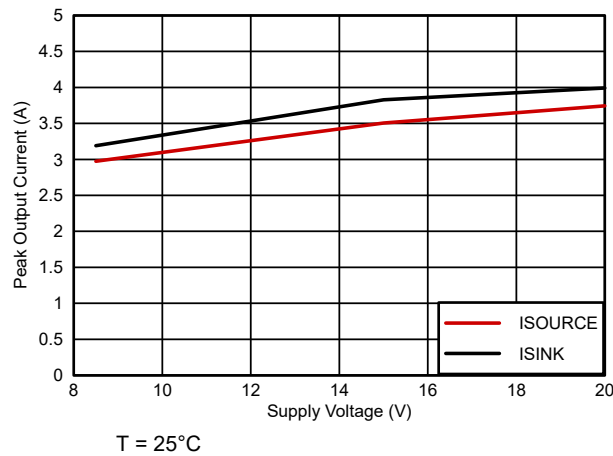


图 5-18. LO 和 HO 峰值输出电流与电源电压间的关系

6 详细说明

6.1 概述

出于各种原因，开关电源应用中需要使用高电流栅极驱动器器件。为了使功率器件实现快速开关并降低相关开关功率损耗，在控制器件的 PWM 输出和功率半导体器件的栅极之间采用了一款强大的栅极驱动器器件。此外，当使用 PWM 控制器件直接驱动开关器件的栅极不可行时，必须使用栅极驱动器器件。使用数字电源控制器时，经常会遇到该情况，因为来自数字控制器的 PWM 信号通常是 3.3V 逻辑信号，该信号无法有效打开电源开关。

在桥式拓扑结构（如硬开关半桥、硬开关全桥、半桥和全桥 LLC、相移全桥及双晶体管正激电路）中，顶部功率 MOSFET/IGBT 开关的源极和发射极引脚连接至一个电压动态变化的节点（即该节点电压并非以固定电位为基准），因此这类拓扑必须采用悬空驱动器器件。

UCC278X4-Q1 是一款专用于直流/直流电源、逆变器和其他半桥拓扑的半桥驱动器。高侧是一个悬空驱动器，可使用自举电路有效偏置，并且最高可耐受 230V 的电压。只要 HB-HS 保持在高侧 UVLO 以上，该驱动器就能够以 100% 占空比运行。

该器件在两个通道间具有出色的传播延迟和延迟匹配，旨在最大限度地减少高频开关应用中的脉冲失真。每个通道均由自己的输入引脚（HI 和 LI）控制，从而能够完全独立且灵活地控制输出的导通与关断状态。UCC278X4-Q1 包含保护功能，在此情况下，当输入悬空时，或当未满足最低输入脉宽规格时，输出保持低电平。驱动器输入端与 CMOS 和 TTL 兼容，可轻松连接数字电源控制器和模拟控制器等。

6.2 功能方框图

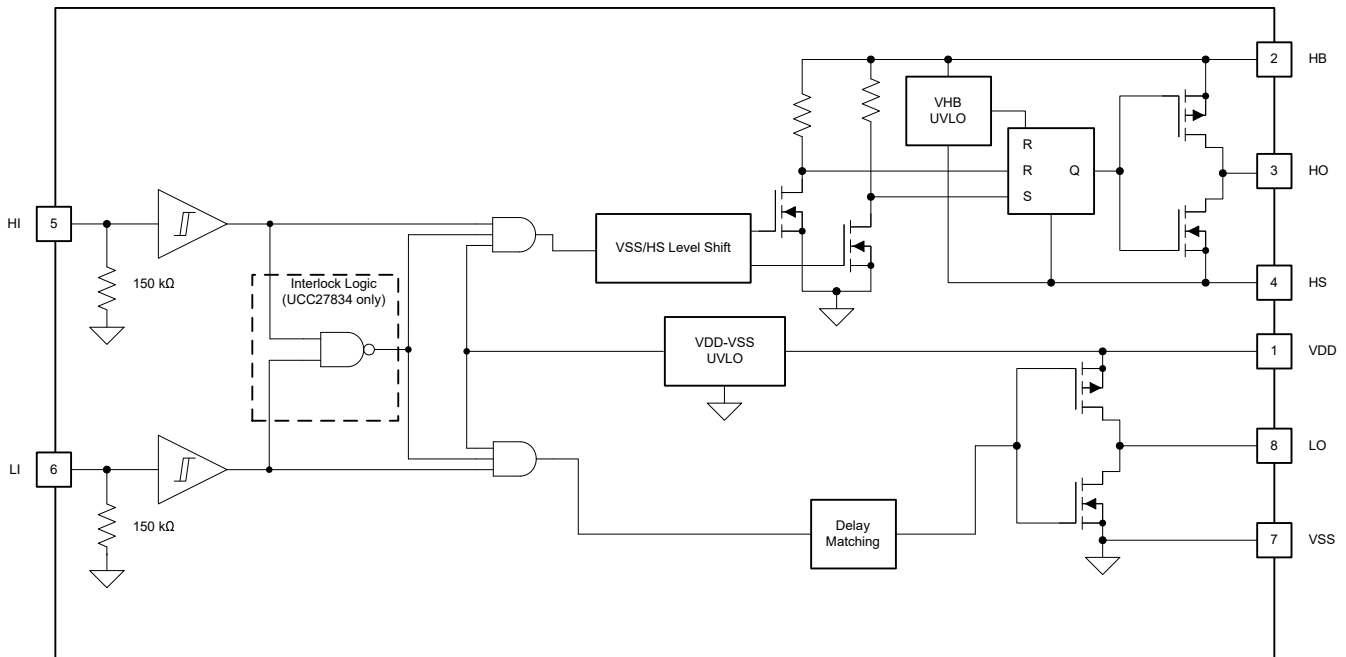


图 6-1. UCC278X4-Q1 方框图

6.3 特性说明

6.3.1 输入级和互锁

两个输入 (HI 和 LI) 独立工作。与具有单输入的栅极驱动器相比，该器件的独立性允许完全控制两个输出。UCC27834-Q1 器件具有输入互锁或跨导保护功能。只要两个输入都为高电平，内部逻辑就会关闭两个输出 (HO 和 LO)。一旦器件处于该模式，当其中一个输入变为低电平时，输出将遵循输入逻辑。器件中未实现其他固定时间去尖峰脉冲滤波器，因此不会牺牲传播延迟和延迟匹配。换句话说，由于互锁功能，没有内置死区时间。

输入与 TTL 逻辑兼容。只要信号符合该器件的导通和关断阈值规格，该器件还可在其输入端使用 CMOS 型控制信号。由于输入与电源电压无关，因此输入可连接到数字控制器或模拟控制器的输出。输入可以接受宽转换率信号并且可以承受宽输入电压范围，从而提高稳健性和灵活性。驱动器输入端的小型 RC 滤波器进一步提高了易受噪声干扰应用中的系统稳健性。输入具有典型值为 150k Ω 的内部下拉电阻。因此，当输入悬空时，输出保持低电平。

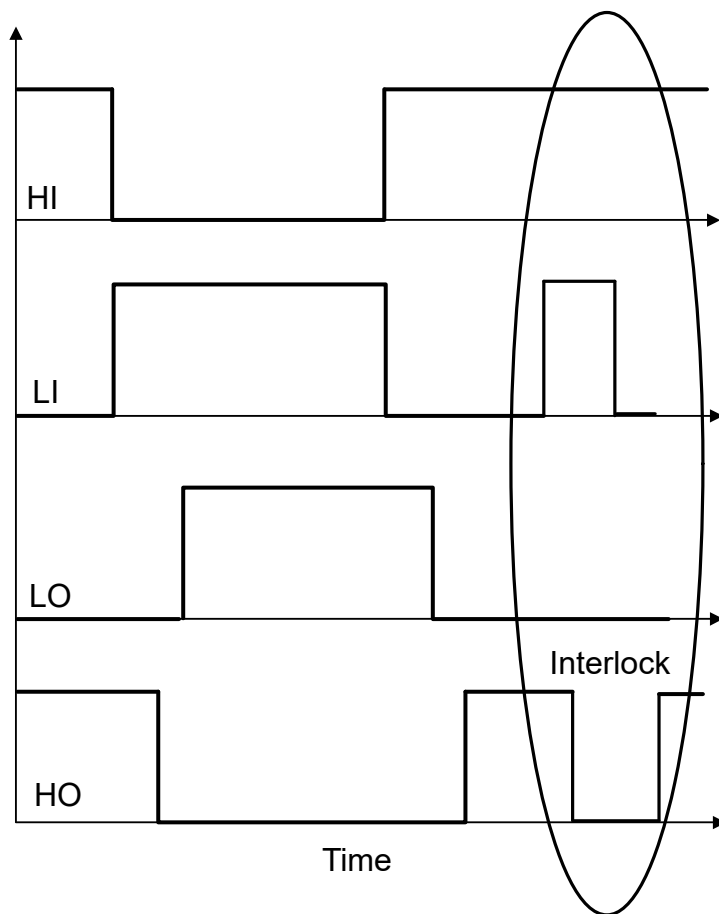


图 6-2. 互锁或输入击穿保护 (UCC27834-Q1)

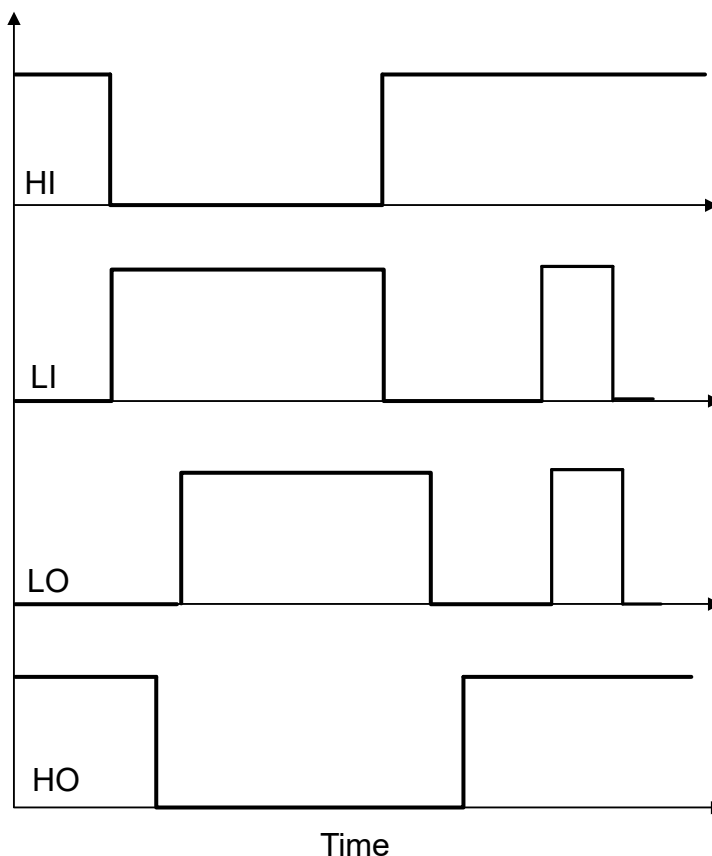


图 6-3. 无互锁或输入击穿保护 (UCC27884-Q1)

6.3.2 欠压锁定 (UVLO)

高侧和低侧驱动器级均包含 UVLO 保护电路，该电路可监测电源电压 ($V_{VDD} - V_{SS}$) 和自举电容器电压 ($V_{HB} - V_{HS}$)。VDD UVLO 电路会同时抑制 LO 和 HO，而 HB UVLO 电路仅抑制 HO。在电源电压足以导通外部 MOSFET 或 IGBT 之前，UVLO 电路会确保所有输出保持低电平。在电源电压变化期间，内置 UVLO 迟滞可防止发生抖动。

6.3.3 电平转换器

电平移位电路（参阅图 6-1 中的功能方框图）是从低电压输入级到高侧驱动器级的接口，以开关节点 (HS) 为基准。电平转换允许控制 HO 输出，以 HS 引脚为基准，并提供与低侧驱动器的出色延迟匹配。图 5-5 和图 5-4 总结了 UCC278X4-Q1 的延迟匹配。

6.3.4 输出级

UCC278X4-Q1 器件输出级的上拉电阻采用独特的架构，在电源开关导通时，能够在电源开关导通切换的米勒平台区域特别需要时（电源开关漏极或集电极电压经历 dV/dt 时）提供最高的峰值拉电流。在输出级上拉结构中，一个 P 沟道 MOSFET 与一个额外的 N 沟道 MOSFET 并联。N 沟道 MOSFET 的功能是短暂增加峰值拉电流，从而实现快速导通。这是通过在输出状态从低电平变为高电平时短暂导通 N 沟道 MOSFET 来实现的。

R_{OH} 参数（请参阅图 5-12）是直流测量值，仅代表 P 沟道器件的导通电阻。这是因为 N 沟道器件在直流条件下保持在关断状态，并且仅在输出状态从低电平变为高电平时短暂导通。

备注

在该短暂导通期间，UCC278X4-Q1 上拉级的有效电阻远低于 R_{OH} 参数所表示的有效电阻。

UCC278X4-Q1 中的下拉结构仅包含一个 N 沟道 MOSFET。R_{OL} 参数 (请参阅图 5-13) 也是一个直流测量值, 表示器件下拉级的阻抗。

UCC278X4-Q1 的每个输出级都能提供 3.5A 峰值拉电流和 4A 峰值灌电流脉冲。在轨至轨运行期间, 输出电压在 (VDD 和 VSS) 与 (HB 和 HS) 之间摆动。

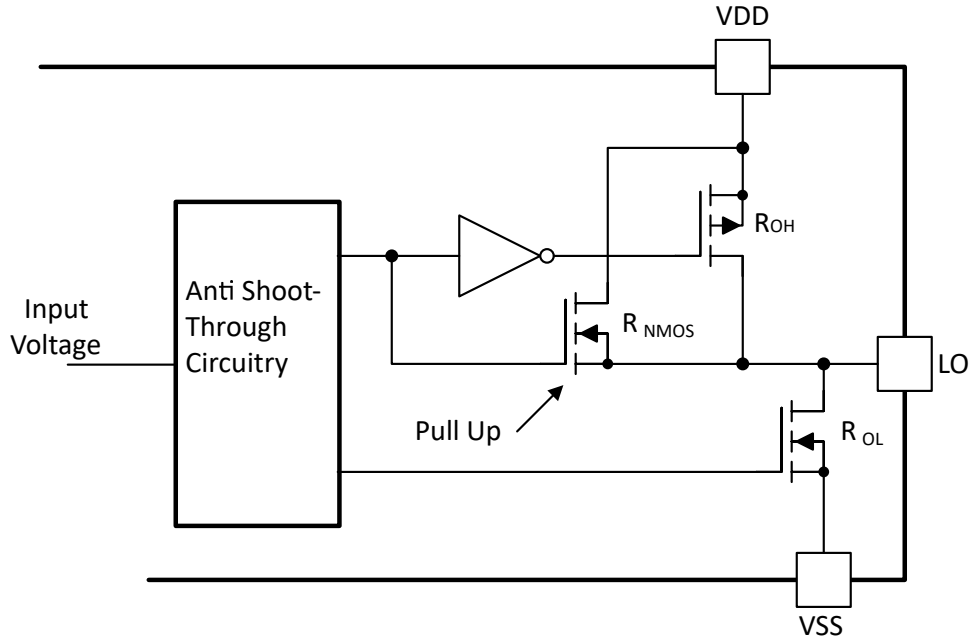


图 6-4. 输出级结构

6.3.5 低传播延迟和紧密匹配的输出

UCC278X4-Q1 在输入和输出之间具有 29ns (典型值) 的快速传播延迟 (请参阅图 5-3 和图 5-2)。UCC278X4-Q1 还在 HO 和 LO 通道之间具有匹配良好的延迟 (最大 5ns)，从而能够在各种工作条件下更精确地控制死区时间 (请参阅图 5-4 和图 5-5)。

6.3.6 HS 节点 dV/dt

在半桥驱动器的典型开关运行期间, HS (也称为开关节点) 电压在接地和总线电压之间摆动。UCC278X4-Q1 额定可承受高达 100V/ns 的 HS 切换速率, 而不会出现信号失真、逻辑错误或损坏。这种级别的 dV/dt 抗扰度使 UCC278X4-Q1 能够在采用宽带隙功率器件 (如 GaN FET) 的更快速开关应用和系统中运行。

6.3.7 在负 HS 电压条件下运行

图 6-5 显示了 UCC278X4-Q1 的典型半桥配置。电源电路中存在由 QT/QB 中的裸片键合和引脚连接以及 PCB 布线产生的寄生电感, 这些寄生电感标记为 L_{K1,2,3,4}。

对 HS 进行开关期间, 电源电路的电流路径从电流路径 1 切换为电流路径 2。这一过程称为电流换向。L_{K3}、L_{K4} 和 QB 体二极管两端的电流将 HS 拉低至 VSS, 如图 6-5 中的波形所示。但是, UCC278X4-Q1 能在 HS 上出现负电压的条件下可靠地运行。

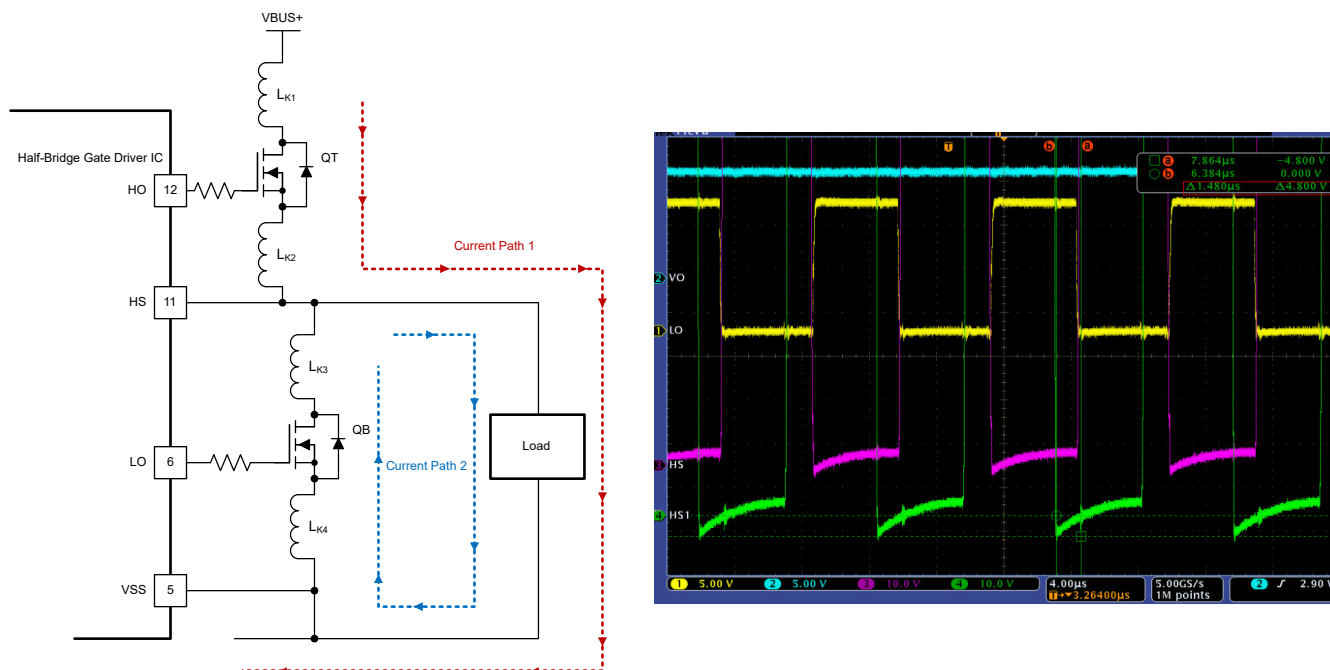


图 6-5. 半桥配置中的 HS 负电压

电平移位器电路以 VSS 为基准（请参阅图 6-1），HB 至 VSS 的电压是电平移位器的电源电压。当 HS 相对于 VSS 为负电压时，HB-VSS 的电压会降低，如图 6-6 所示。电平移位器具有最低工作电压，若其电源电压过低，将无法把 HI 信号传递至 HO。UCC278X4-Q1 的电平移位器的最小电源电压为 3V，因此建议的 HS 规格取决于 HB-HS。当 HB - HS = 12V 时，建议的最小 HS 规格为 -9V。

通常，当 HB - HS = 12V 时，HS 可以在低至 -9V 的电压下工作。如果 HB - HS 电压不同，最小 HS 电压也会相应地变化。

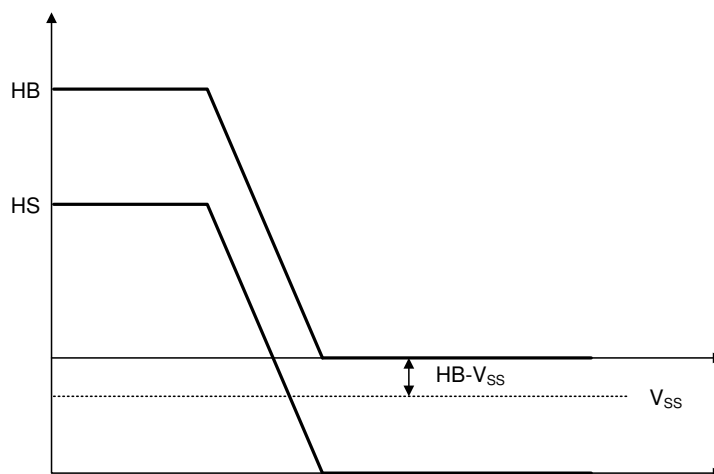


图 6-6. 具有负 HS 的电平移位器电源电压

备注

当 HB - HS = 12V 时，HO 逻辑电路可在 HS 处于 -9V 至 200V 电压范围内时正常工作

典型 UCC278X4-Q1 器件在 HS 引脚负电压条件下的工作能力如图 6-8 所示。测试方法如图 6-7 所示。

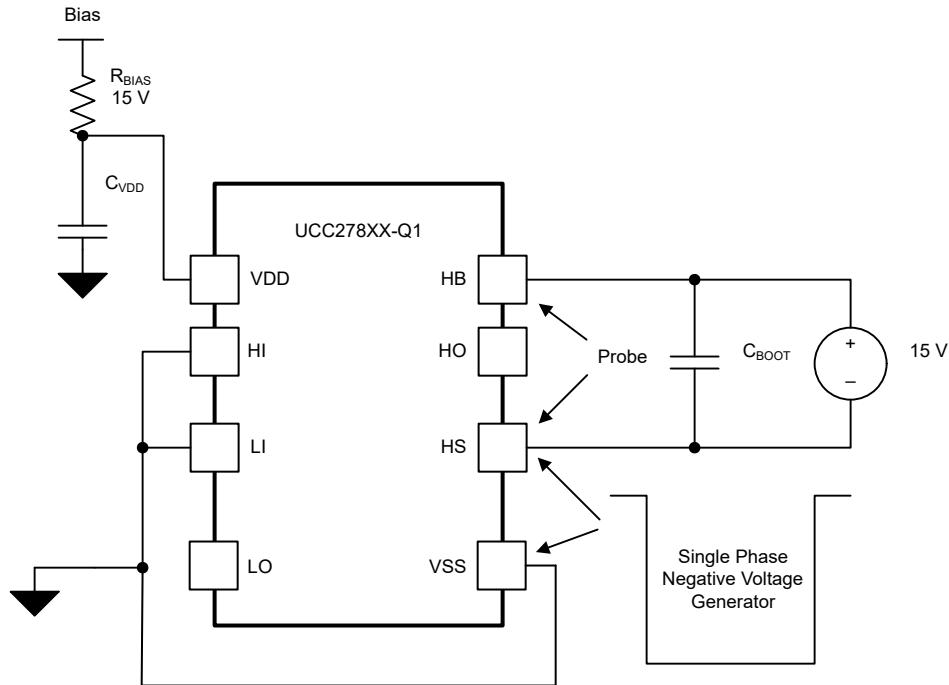


图 6-7. 负电压测试方法

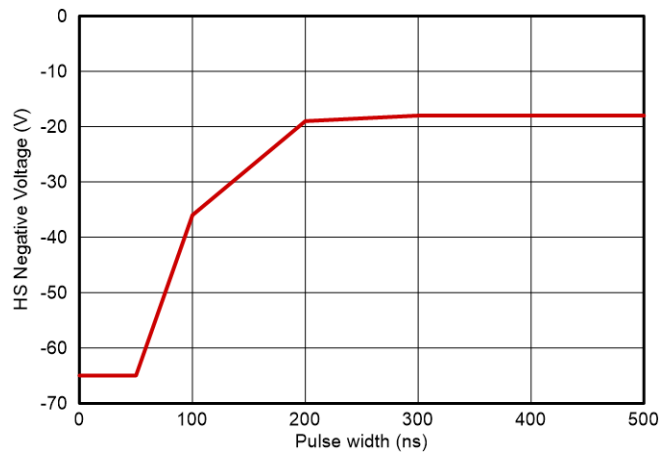


图 6-8. NTSOA (负瞬态安全工作区) 最大负 HS 电压与脉冲宽度间的关系

上述曲线是基于在 25°C 和 $V_{HB} - V_{HS} = 15\text{V}$ 条件下对有限的器件测试得出的典型曲线。该曲线提供了器件可以承受的负瞬态的通用指南，但仍建议通过布局和设计将负瞬态限制在器件的建议规格范围内。

6.4 器件功能模式

6.4.1 输入和输出逻辑表

UCC278X4-Q1 具有独立输入 HI 和 LI，分别用于控制输出 HO 和 LO 的状态。该器件的某些版本上还具有互锁功能。

[输入/输出逻辑表](#) 假定 VDD 和 VHB 不存在 UVLO 故障条件。

表 6-1. 输入/输出逻辑表

输入		UCC27834-Q1		UCC27884-Q1	
HI	LI	HO	LO	HO	LO
L	L	L	L	L	L
L	H	L	H	L	H
H	L	H	L	H	L
H	H	L	L	H	H

6.4.2 在 100% 占空比条件下运行

只要 VDD 和 VHB 偏置电源保持在 UVLO 阈值以上，UCC278X4-Q1 就支持恒定导通或恒定关断运行（0% 和/或 100% 占空比）。将自举电源用于 VHB 时，这是一个挑战。可以使用隔离式电源或电荷泵等悬空偏置电源来实现 100% 占空比运行。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

为了使功率器件能够快速开关并降低相关开关功率损耗，在控制器的 PWM 输出和功率半导体器件的栅极之间采用了一款栅极驱动器。此外，当 PWM 控制器无法直接驱动开关器件的栅极时，必须使用栅极驱动器。数字电源出现之后，经常会遇到这种情况，因为数字控制器发出的 PWM 信号通常是 3.3V 逻辑信号，无法有效导通电源开关。需要使用电平转换电路将 3.3V 信号提高至栅极驱动电压（例如 12V），从而完全开启功率器件并尽可能减小导通损耗。基于采用图腾柱排列的 NPN/PNP 双极晶体管（作为发射极跟随器配置）的传统缓冲器驱动电路经证明不适用于数字电源，因为这些电路不具备电平转换功能。

栅极驱动器能够有效结合电平转换和缓冲器驱动功能。栅极驱动器还可以满足其他需求，如尽可能减小高频开关噪声的影响（通过将高电流驱动器靠近电源开关放置），通过将栅极电荷功率损耗从控制器移至驱动器来降低控制器中的功率耗散和热应力。

7.2 典型应用

图 7-1 中的电路展示了采用 UCC278X4-Q1 驱动典型半桥配置的参考设计示例，该参考设计可以用在多种常见的电源转换器拓扑中，例如同步降压、同步升压、半桥/全桥隔离式拓扑，以及电机驱动应用。

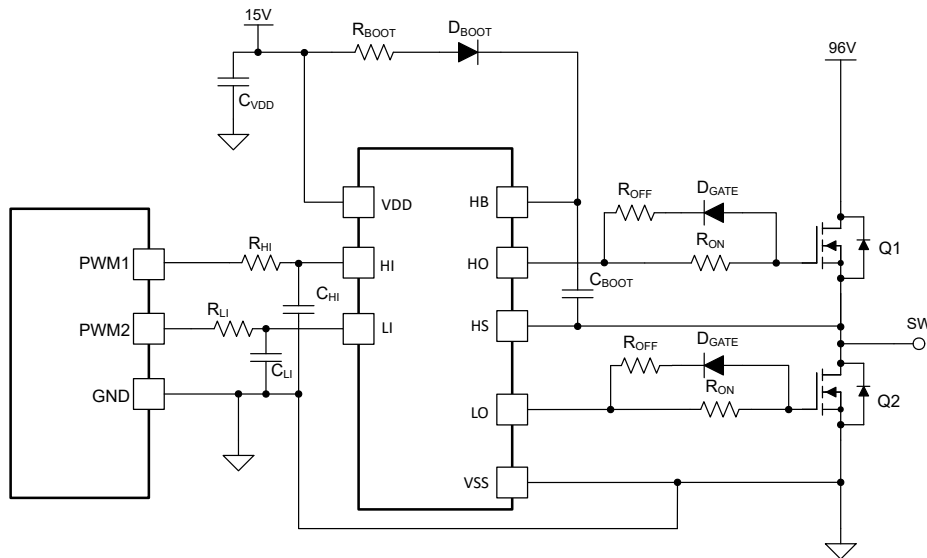


图 7-1. 典型应用原理图

7.2.1 设计要求

表 7-1 展示了示例应用的参考设计参数：UCC278X4-Q1 采用高侧-低侧配置驱动 200V MOSFET。

表 7-1. UCC278X4-Q1 设计要求

参数	值	单位
功率晶体管	BSC13DN30NSFD	-
VDD	15	V
输入信号振幅	3.3	V
开关频率 (f_{sw})	100	kHz
直流链路电压 (V_{HV})	96	V

7.2.2 详细设计过程

此过程概述了使用 UCC278X4-Q1 设计一款 200V 半桥栅极驱动器的步骤，该驱动器具有 3.5A 拉电流和 4.0A 灌电流，专用于驱动功率 MOSFET 或 IGBT。有关元件名称和网络位置，请参阅图 7-1。

7.2.2.1 选择 HI 和 LI 低通滤波器元件 (R_{HI} 、 R_{LI} 、 C_{HI} 、 C_{LI})

最好在 PWM 控制器和 UCC278X4-Q1 的输入引脚之间添加一个小型 RC 滤波器来滤除高频噪声，例如 R_{HI}/C_{HI} 和 R_{LI}/C_{LI} ，如图 7-1 所示。

此类滤波器的 R_{HI}/R_{LI} 取值范围应为 $10\ \Omega$ 至 $100\ \Omega$ ， C_{HI}/C_{LI} 取值范围应为 10pF 和 330pF。在示例中，选择了 $R_{HI}/R_{LI} = 49.9\ \Omega$ 和 $C_{HI}/C_{LI} = 33\text{pF}$ 。

7.2.2.2 选择自举电容器 (C_{BOOT})

自举电容器的容值应充足，确保在驱动 FET Q1 栅极至高电平时，其电压下降不超过 10%。一般规则是 C_{BOOT} 的容值至少为等效 FET 栅极电容 (C_{gs}) 的 10 倍。

C_g 根据高侧 FET 栅极的驱动电压 (V_{Q1g}) 和 FET 栅极电荷 (Q_g) 计算得出。 V_{Q1g} 约等于提供给 VDD 的偏置电压减去自举二极管的正向压降 (V_{BOOT})。在本设计示例中， V_{Q1g} 估值约为 14.4V

$$V_{Q1g} \cong V_{DD} - V_{BOOT} = 14.4\text{ V} \quad (1)$$

本示例中使用的 FET 的 Q_g 额定值为 33nC。根据 Q_g 和 V_{Q1g} ，计算得出 C_g 为 2.3nF。

$$C_g = \frac{Q_g}{V_{Q1g}} = \frac{33\text{ nC}}{14.4\text{ V}} \cong 2.3\text{ nF} \quad (2)$$

估算出 C_g 后， C_{BOOT} 的大小应至少为 C_g 的 10 倍。

$$C_{BOOT} \geq 10 \times C_g \geq 23\text{ nF} \quad (3)$$

本设计示例选择了 100nF 电容器作为自举电容器。

$$C_{BOOT} = 100\text{ nF} \quad (4)$$

7.2.2.3 选择 VDD 旁路电容器 (C_{VDD})

选择的 VDD 电容器 (C_{VDD}) 应至少是 C_{BOOT} 的 10 倍, 以便在为自举电容器充电时 VDD 电容器上的压降最小。本设计示例选择了 1μF 电容器。

$$C_{VDD} \geq 10 \times C_{BOOT} = 1 \mu F \quad (5)$$

7.2.2.4 选择自举电阻器 (R_{BOOT})

选择电阻器 R_{BOOT} 来限制 D_{BOOT} 中的电流, 并限制 V_{HB}-H_S 电压的斜升转换率。在本设计中, 我们选择了一个 2.2 Ω 限流电阻器。自举二极管电流 (I_{BOOT(pk)}) 限制在大约 6.5A。

$$R_{BOOT} = 2.2 \Omega \quad (6)$$

$$I_{BOOT(pk)} = \frac{V_{DD} - V_{BOOT}}{R_{BOOT}} = \frac{15 V - 0.6 V}{2.2 \Omega} \cong 6.5 A \quad (7)$$

自举电阻器的功率耗散能力很重要。自举电阻器必须能够承受自举电容器的初始充电过程中短暂出现的高功耗。此能量相当于 $\frac{1}{2} \times C_{BOOT} \times V^2$ 。此能量会在自举电容器的充电期间耗散 (约为 $3 \times R_{BOOT} \times C_{BOOT}$)。当选择了较大的 C_{BOOT} 值时, 必须特别注意使用较大阻值的 R_{BOOT}。

7.2.2.5 选择栅极电阻器 R_{ON}/R_{OFF}

栅极电阻器 R_{ON} 和 R_{OFF} 的阻值应能减少由寄生电感和电容引起的振铃, 还能限制栅极驱动器输出的电流。本设计选择了 3 Ω R_{ON} 和 1 Ω R_{OFF} 电阻器。

- R_{ON}/R_{OFF}: 外部栅极电阻器
- V_{BOOT}: 外部自举二极管的正向压降
- V_{GDF}: 外部反并联二极管的正向压降
- R_{OL}/R_{OH}: 数据表中的栅极驱动器下拉/上拉电阻
- R_{NMOS}: 混合结构中上拉 NMOS 的有效电阻
- R_{G_int}: 功率晶体管内部栅极电阻 (参见功率晶体管数据表)

最大 HO 驱动电流 (I_{HO(src)}):

$$I_{HO(src)} = \min\left(3.5A, \frac{V_{DD} - V_{BOOT}}{(R_{NMOS} \parallel R_{OH}) + R_{ON} + R_{G_int}}\right) = \frac{15 V - 0.6 V}{(3.1 \Omega \parallel 12.6 \Omega) + 3 \Omega + 3.3 \Omega} \cong 1.6 A \quad (8)$$

最大 HO 灌电流 (I_{HO(sk)}):

$$I_{HO(sk)} = \min\left(4A, \frac{V_{DD} - V_{BOOT} - V_{GDF}}{R_{OL} + (R_{ON} \parallel R_{OFF}) + R_{G_int}}\right) = \frac{15 V - 0.6 V - 0.6 V}{1 \Omega + (3 \Omega \parallel 1 \Omega) + 3.3 \Omega} \cong 2.7 A \quad (9)$$

最大 LO 驱动电流 (I_{LO(src)}):

$$I_{LO(src)} = \min\left(3.5A, \frac{V_{DD}}{(R_{NMOS} \parallel R_{OH}) + R_{ON} + R_{G_int}}\right) = \frac{15 V}{(3.1 \Omega \parallel 12.6 \Omega) + 3 \Omega + 3.3 \Omega} \cong 1.7 A \quad (10)$$

最大 LO 灌电流 (I_{LO(sk)}):

$$I_{LO(sk)} = \min\left(4A, \frac{V_{DD} - V_{GDF}}{R_{OL} + (R_{ON} \parallel R_{OFF}) + R_{G_int}}\right) = \frac{15 V - 0.6 V}{1 \Omega + (3 \Omega \parallel 1 \Omega) + 3.3 \Omega} \cong 2.9 A \quad (11)$$

外部栅极驱动器电阻器 R_{ON} 和 R_{OFF} 用于:

1. 限制栅极驱动环路中由寄生电感/电容引起的振铃。
2. 限制高电压/电流开关 dV/dt、dI/dt 和体二极管反向恢复引起的振铃。

3. 微调栅极驱动强度，例如峰值灌电流和拉电流，以优化开关损耗。
4. 降低与开关相关的电磁干扰 (EMI)。

7.2.2.6 选择自举二极管

应选择快速恢复二极管，以避免自举电容器放电产生反向恢复损耗。因此，建议采用快速的反向恢复时间 t_{RR} 、低正向电压 V_F 和低结电容。

7.2.2.7 估算 UCC278X4-Q1 功率损耗

UCC278X4-Q1 的功率损耗 ($P_{UCC278X4-Q1}$) 通过计算几个元件产生的损耗来估算。由静态电流 (I_{QDD} 、 I_{QBS}) 和空载开关引起的合并功率损耗计算如下：

$$P_{QC} = V_{DD} \times (I_{VDD}(100 \text{ kHz}) + I_{VHB}(100 \text{ kHz})) = 15 \text{ V} \times (330 \mu\text{A} + 275 \mu\text{A}) \cong 9 \text{ mW} \quad (12)$$

可参阅图 5-16 查找 I_{VDD} 和 I_{VHB} 。

在驱动 FET Q1 和 Q2 时，由栅极电荷产生的动态损耗计算如下。请注意，该元件产生的损耗通常超过与 UCC278X4-Q1 中的内部 VDD 和 VHB 开关逻辑电路相关的动态损耗。

$$P_{QG1, QG2} = 2 \times V_{DD} \times Q_G \times f_{SW} = 2 \times 15 \text{ V} \times 33 \text{ nC} \times 100 \text{ kHz} \cong 99 \text{ mW} \quad (13)$$

动态损耗由栅极驱动 IC 的内部上拉和下拉电阻、外部栅极电阻以及开关器件的内部栅极电阻共同分担。上拉电阻在开关期间会动态变化，因此采用 R_{OH} 会高估栅极驱动器的功率耗散，但这能为设计提供裕量。

$$P_{GD} = \frac{P_{QG1, QG2}}{2} \times \left(\frac{R_{OH}}{R_{OH} + R_{ON} + R_{G_int}} + \frac{R_{OL}}{R_{OL} + (R_{ON} \parallel R_{OFF}) + R_{G_int}} \right) \quad (14)$$

$$P_{GD} = \frac{99 \text{ mW}}{2} \times \left(\frac{12.6 \Omega}{12.6 \Omega + 3 \Omega + 3.3 \Omega} + \frac{1 \Omega}{1 \Omega + (3 \Omega \parallel 1 \Omega) + 3.3 \Omega} \right) \cong 43 \text{ mW} \quad (15)$$

本例的栅极驱动器 IC 中的总功率损耗计算如下：

$$P_{Total_GD} \cong P_{QC} + P_{GD} = 9 \text{ mW} + 43 \text{ mW} \cong 0.052 \text{ W} \quad (16)$$

7.2.3 应用曲线

图 7-2 和图 7-3 显示了单个 UCC278X4-Q1 器件所测得的 LI 至 LO 导通与关断延迟。通道 3 描绘了 LI，通道 2 描绘了 LO。

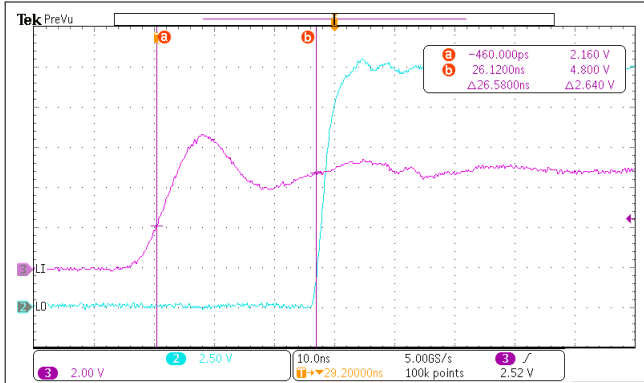


图 7-2. LI 至 LO 导通传播延迟

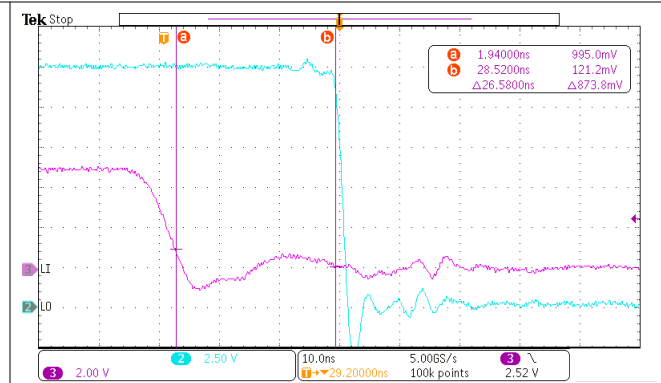


图 7-3. LI 至 LO 关断传播延迟

图 7-4 和图 7-5 显示了单个 UCC278X4-Q1 器件所测得的 HI 至 HO 导通与关断延迟。通道 3 描绘了 HI，通道 2 描绘了 HO。

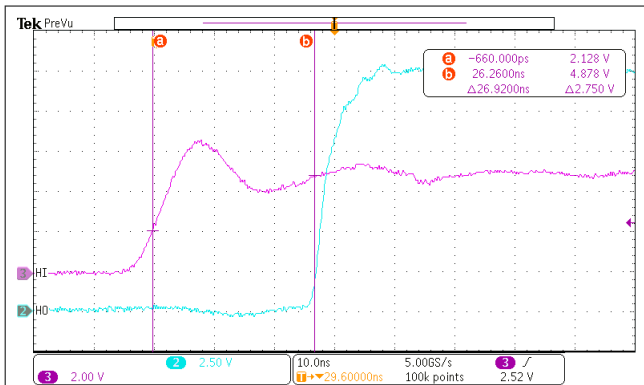


图 7-4. HI 至 HO 导通传播延迟

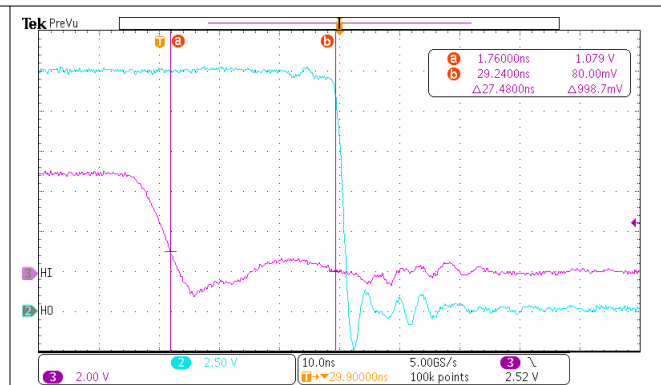


图 7-5. HI 至 HO 关断传播延迟

7.3 电源相关建议

由于 UCC278X4-Q1 是 3.5A 峰值电流驱动器，因此需要将低 ESR 抗噪去耦电容，尽可能靠近 VDD 端子与 VSS 端子放置，以确保开关过程中供电稳定。推荐使用在整个温度范围内具有稳定电介质特性的陶瓷电容器，例如 X7R 或性能更佳电容器。此外，还可以并联一个更大的电解电容器作为储能电容器，尤其是在栅极电荷较大的系统中。

推荐使用 22μF、50V 电容器作为电解电容器。推荐的去耦电容器为 1μF 0805 尺寸的 50V X7R 电容器，并最好（但并非必要）另外使用一个较小的并联 100nF 0603 尺寸的 50V X7R 电容器。

同样，建议为 HB-HS 电源端子使用低 ESR X7R 电容，并且必须尽可能靠近器件引脚放置。

7.4 布局

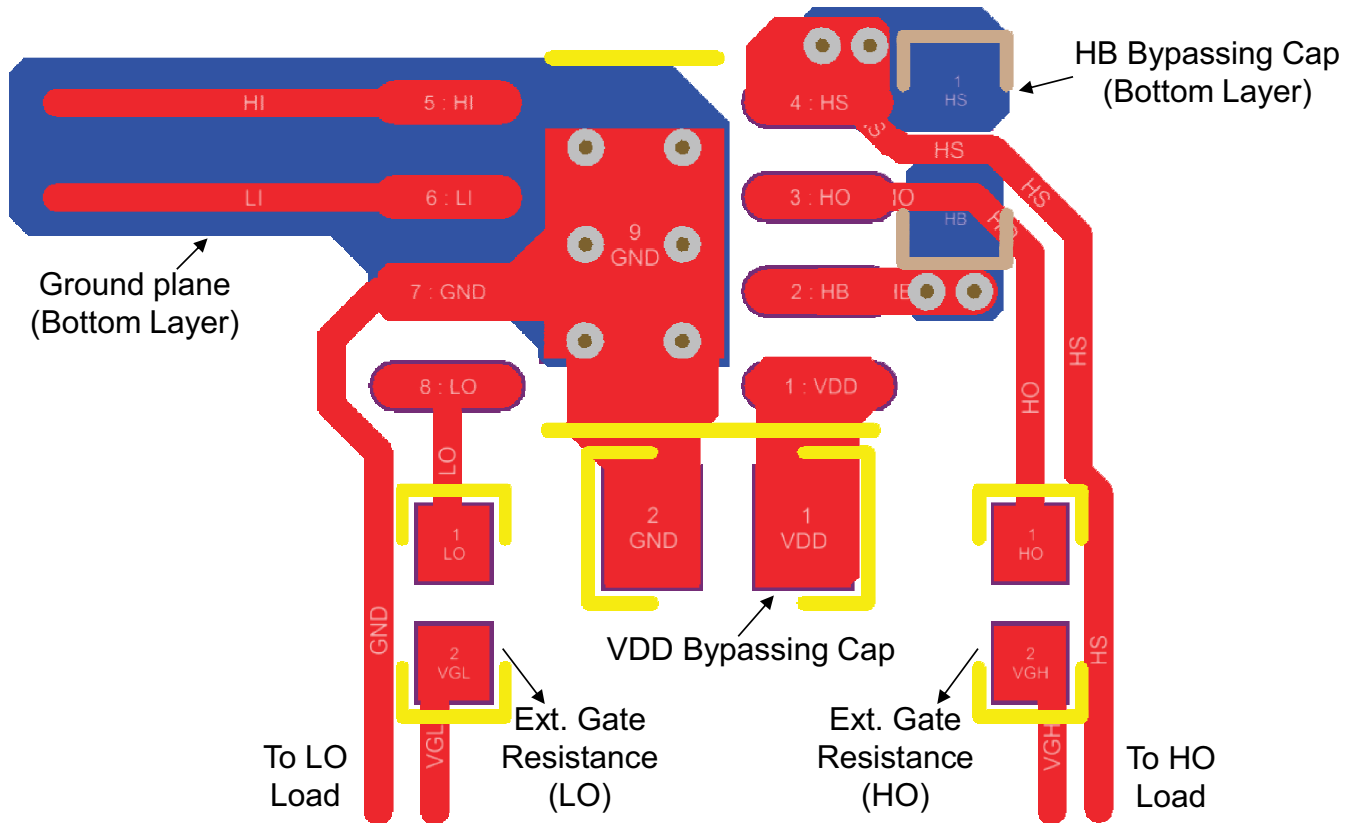
7.4.1 布局指南

- UCC278X4-Q1 应尽可能靠近 MOSFET 放置，从而更大幅度地缩短 HO/LO 和 MOSFET 栅极之间的高电流布线，以及从 MOSFET 源极/发射极到驱动器 HS 和 VSS 的返回电流路径。
- 将 VDD 电容器 (C_{VDD}) 和 VHB 电容器 (C_{BOOT}) 尽可能靠近 UCC278X4-Q1 的引脚放置。
- 建议将 2Ω 至 5Ω 电阻器与自举二极管串联以限制自举电流。
- 建议为 HI/LI 使用具有 1Ω 至 51Ω 电阻和 10pF 至 390pF 电容的 RC 滤波器。

- 避免 LI 和 HI (驱动器输入) 靠近 HS 节点或任何其他高 dV/dt 布线, 因为这些布线会在阻抗相对较高的引线中引入大量噪声。
- 将电源布线与信号布线 (如输出和输入信号) 分开。
- 确保没有高开关电流从动力总成接地流入控制接地 (输入信号基准)。

7.4.2 布局示例

图 7-6. UCC278X4-Q1 布局示例



8 器件和文档支持

8.1 器件支持

8.1.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

8.2 文档支持

8.2.1 相关文档

德州仪器 (TI)，[使用 UCC27288EVM](#)，[EVM 用户指南](#)

8.3 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

8.5 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (September 2025) to Revision A (November 2025)	Page
• 将文档状态从“混合量产”更新为“量产数据”	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
UCC27834QDRQ1	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	U7834Q
UCC27884QDRQ1	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	U7884Q

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

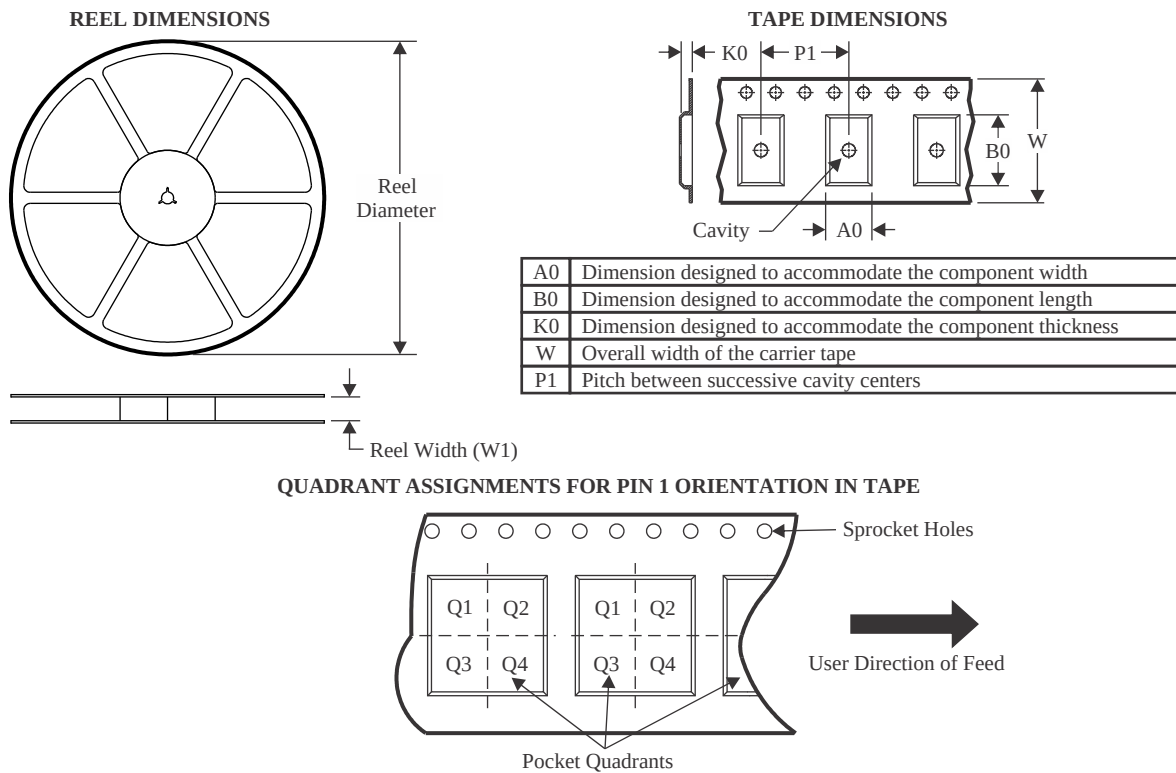
OTHER QUALIFIED VERSIONS OF UCC27834-Q1, UCC27884-Q1 :

- Catalog : [UCC27834](#), [UCC27884](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
UCC27834QDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
UCC27884QDRQ1	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

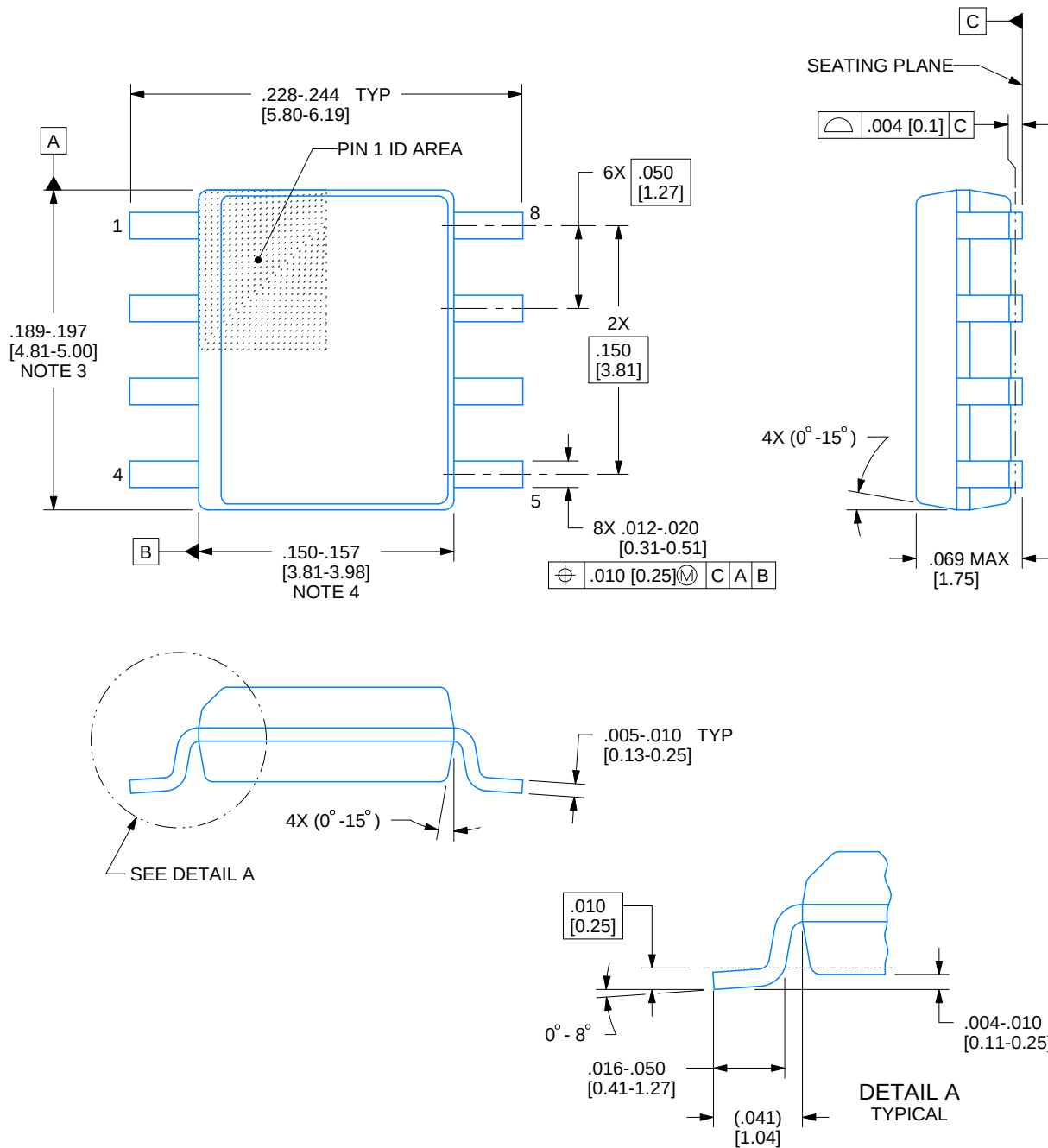
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
UCC27834QDRQ1	SOIC	D	8	3000	353.0	353.0	32.0
UCC27884QDRQ1	SOIC	D	8	3000	353.0	353.0	32.0

D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

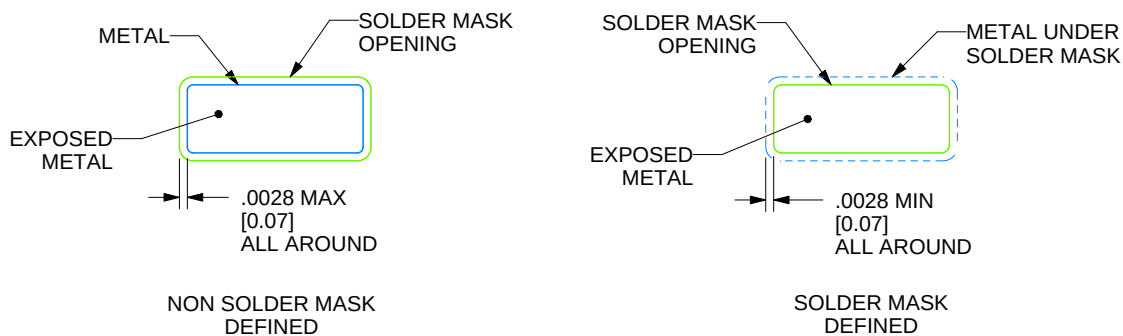
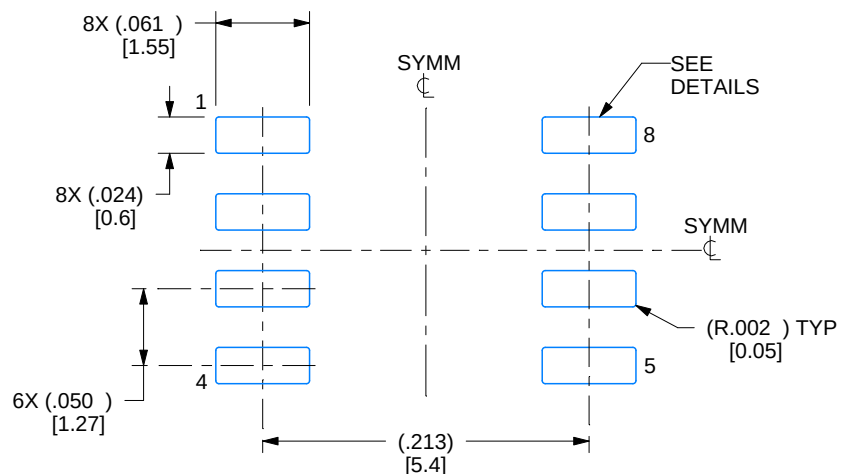
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

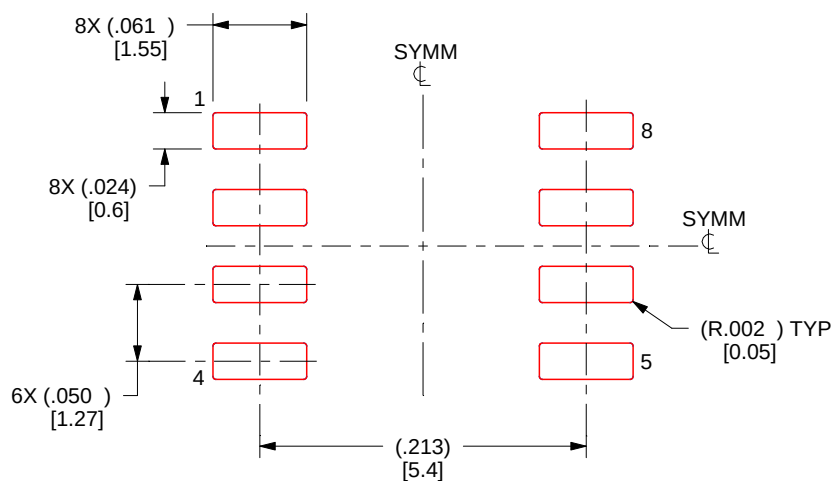
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月