UCC14341-Q1 汽车类 1.5W、15V V_{IN}、25V V_{OUT}、高密度、> 5kV_{RMS}、隔离式直流/直流模块

1 特性

- 采用集成式变压器的高密度隔离式直流/直流模块
- 隔离式直流/直流模块，用于驱动：IGBT、SiC FET
- 输入电压范围：13.5V 至 16.5V，绝对最大值为 32V
- 在 T_A ≤ 105°C 且 13.5V < V_{VIN} < 16.5V 时的输出功率为 1.5W
- 可调单路或双路输出电压（使用电阻器），在整个工作范围内的调节精度为 <±1.3%
- 通过展频调制和集成变压器降低电磁发射
- 使能、电源正常、UVLO、OVLO、软启动、短路、功率限制、欠压、过压和过热保护
- CMTI > 150kV/μs
- 符合面向汽车应用的 AEC-Q100 标准
  - 温度等级 1：–40°C ≤ T_J ≤ 150°C
  - 温度等级 1：–40°C ≤ T_A ≤ 125°C
- 功能安全型
  - 可提供用于功能安全系统设计的文档
- 计划的安全相关认证：
  - 符合 DIN EN IEC 60747-17 (VDE 0884-17) 标准的 7071VPK 增强型隔离
  - 符合 UL 1577 标准且长达 1 分钟的 5000VRMS 隔离
  - 符合 CQC GB4943.1 标准的增强型绝缘
- 36 引脚宽体 SSOP 封装

2 应用

- 混合动力、电动和动力总成系统 (EV/HEV)
  - 逆变器和电机控制
  - 车载充电器 (OBC) 和无线充电器
  - 直流/直流转换器
- 电网基础设施
  - 电动汽车充电站电源模块
  - 直流充电（桩）站
  - 串式逆变器
- 电机驱动器
  - 交流逆变器和变频驱动器、机器人伺服驱动器
- 工业运输
  - 非公路用车电力驱动器

3 说明

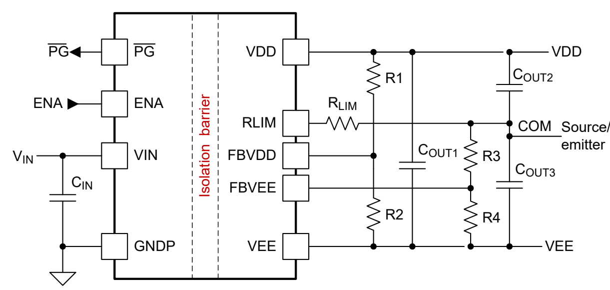
UCC14341-Q1 是一款高隔离电压直流/直流模块，旨在为 IGBT 或 SiC 栅极驱动器供电。该模块集成了一个变压器和具有专有架构的直流/直流控制器，可实现高效率和非常低的电磁发射。高精度输出电压可提供更高的系统效率，不会对功率器件栅极造成过应力。

这款完全集成的模块具有片上器件保护功能，需要非常少的外部元件，可提供额外的特性，例如输入欠压锁定、过压锁定、输出电压电源正常比较器、过热关断、软启动时序、可调隔离式正负输出电压、使能引脚和开漏输出电源正常引脚。

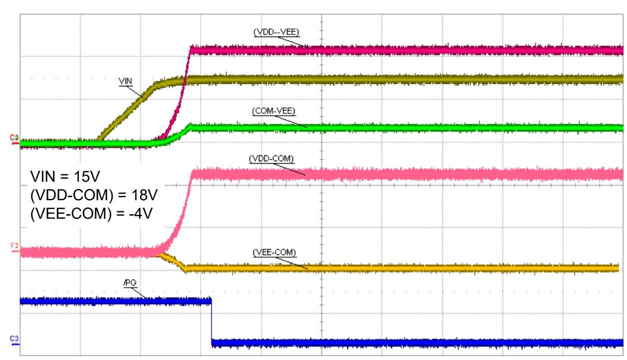
器件信息

可订购器件型号[(1)]	封装	封装尺寸（标称值）
UCC14341QDWNRQ1	SSOP	12.83mm × 7.50mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



简化版应用



典型上电序列

内容

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (February 2023) to Revision B (March 2023)	Page
• UCC14341-Q1 初始发行版	1

5 器件比较

表 5-1. 器件比较表

器件名称	V_{VIN} 范围	输出 (VDD-VEE) 可调范围	典型电源	隔离等级
UCC14240-Q1	21V 至 27V	15V 至 25V	2W	基础型
UCC14241-Q1	21V 至 27V	15V 至 25V	2W	增强型
UCC14140-Q1	8V 至 18V	15V 至 25V	1W	基础型
	10.8V 至 13.2V	15V 至 25V	1.5W	
UCC14141-Q1	8V 至 18V	15V 至 25V	1W	增强型
	10.8V 至 13.2V	15V 至 25V	1.5W	
UCC14340-Q1	13.5V 至 16.5V	15V 至 25V	1.5W	基础型
UCC14341-Q1	13.5V 至 16.5V	15V 至 25V	1.5W	增强型
UCC14130-Q1	12V 至 15V	12V 至 15V	1.5W	基础型
	15V 至 18V	15V 至 18V	1.5W	
	10V 至 18V	10V 至 12V	1W	
	14V 至 18V	10V 至 18V	1W	
UCC14131-Q1	12V 至 15V	12V 至 15V	1.5W	增强型
	15V 至 18V	15V 至 18V	1.5W	
	10V 至 18V	10V 至 12V	1W	
	14V 至 18V	10V 至 18V	1W	
UCC15240-Q1	21V 至 27V	15V 至 25V	2.5W	基础型
UCC15241-Q1	21V 至 27V	15V 至 25V	2.5W	增强型

6 引脚配置和功能

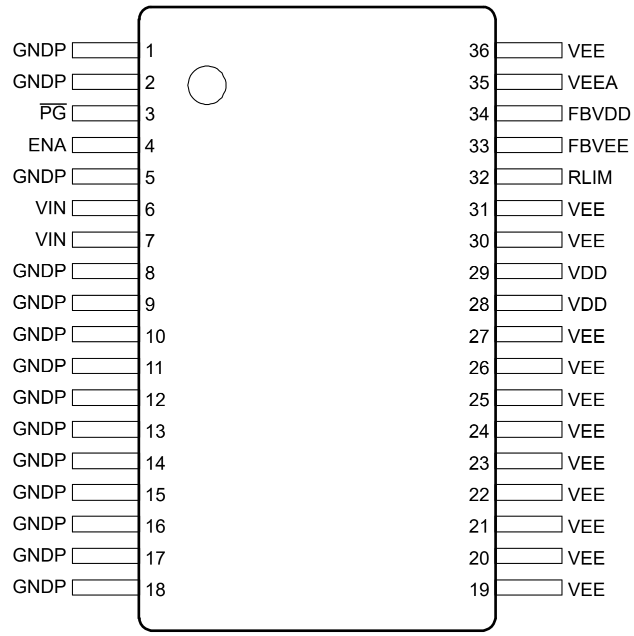


图 6-1. DWN 封装，36 引脚 SSOP（顶视图）

表 6-1. 引脚功能

引脚		类型[(1)]	说明
名称	编号		
GNDP	1、2、5、8、9、10、11、12、13、14、15、16、17、18	G	VIN 的初级侧接地连接。引脚 1、2 和 5 是模拟地。引脚 8、9、10、11、12、13、14、15、16、17 和 18 是电源地。在覆铜上放置几个过孔以进行散热。请参阅*布局指南*
$\overline{\text{PG}}$	3	O	低电平有效电源正常开漏输出引脚。当 ($V_{VIN\_UVLOP} \leqslant V_{VIN} \leqslant V_{VIN\_OVLOP}$)、($V_{VDD\_UVP} \leqslant V_{FBVDD} \leqslant V_{VDD\_OVP}$)、($V_{VEE\_UVP} \leqslant V_{FBVEE} \leqslant V_{VEE\_OVP}$)、$T_{J\_Primary} \leqslant TSHUTP_{PRIMARY\_RISE}$ 和 $T_{J\_secondary} \leqslant TSHUTS_{SECONDARY\_RISE}$ 时，$\overline{\text{PG}}$ 保持低电平
ENA	4	I	启用引脚。强制 ENA 为低电平会禁用器件。上拉至高电平以启用正常的器件功能。建议最大值为 5.5V。
VIN	6、7	P	初级输入电压。引脚 6 用于模拟输入，引脚 7 用于电源输入。对于引脚 7，将两个 10μF 陶瓷电容器从电源 VIN 引脚 7 连接到电源 GNDP 引脚 8。在引脚 7 和引脚 8 附近连接一个 0.1μF 高频旁路陶瓷电容器。
VEE	19、20、21、22、23、24、25、26、27、30、31、36	G	用于 VDD 和 COM 的次级侧参考连接。VEE 引脚用于高电流返回路径。

表 6-1. 引脚功能 (continued)

引脚		类型(1)	说明
名称	编号		
VDD	28、29	P	来自变压器的次级侧隔离式输出电压。在 VDD 和 VEE 之间连接一个 10μF 和一个并联的 0.1μF 陶瓷电容。0.1μF 陶瓷电容是高频旁路，必须靠近 IC 引脚。
RLIM	32	P	第二个次级侧隔离式输出电压电阻，用于限制从 VDD 到 COM 节点的拉电流和从 COM 到 VEE 的灌电流。在 RLIM 和 COM 之间连接一个电阻以调节 (COM – VEE) 电压。有关更多详情，请参阅 *R_{LIM} 电阻器选型*。
FBVEE	33	I	反馈 (COM – VEE) 输出电压检测引脚用于调整输出 (COM – VEE) 电压。在 COM 和 VEE 之间连接一个电阻分压器，使中点连接到 FBVEE，调节时的等效 FBVEE 电压为 2.5V。在低侧反馈电阻并联一个 330pF 陶瓷电容，用于高频去耦。用于高频旁路的 330pF 陶瓷电容器必须紧挨着顶层或底层（两层通过过孔连接）的 FBVEE 和 VEEA IC 引脚。
FBVDD	34	I	反馈 (VDD – VEE) 输出电压检测引脚用于调整输出 (VDD – VEE) 电压。在 VDD 和 VEE 之间连接一个电阻分压器，使中点连接到 FBVDD，调节时的等效 FBVDD 电压为 2.5V。在低侧反馈电阻并联一个 330pF 陶瓷电容，用于高频去耦。用于高频旁路的 330pF 陶瓷电容器必须紧挨着顶层或底层（两层通过过孔连接）的 FBVDD 和 VEEA IC 引脚。
VEEA	35	G	用于噪声敏感模拟反馈输入、FBVDD 和 FBVEE 的次级侧模拟检测参考连接。将低侧反馈电阻和高频去耦滤波电容连接到靠近 VEEA 引脚和各自的反馈引脚 FBVDD 或 FBVEE。连接到次级侧栅极驱动最低电压基准 VEE。使用单点连接并将高频去耦陶瓷电容器靠近 VEEA 引脚放置。请参阅 *布局指南*

(1) P = 电源，G = 地，I = 输入，O = 输出

7 规格

7.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

参数	引脚	最小值	典型值	最大值	单位
	VIN 至 GNDP	-0.3		32	V
	ENA、$\overline{PG}$ 至 GNDP	–0.3		7	V
	VDD、VEE、RLIM、FBVDD、FBVEE 至 VEE	-0.3		32	V
$P_{OUT\_VDD\_MAX}$	总 (VDD-VEE) 输出功率 (T_A = 25°C)			2.5	W
$I_{RLIM\_MAX\_RMS\_SOURCE}$	从 VDD 至 RLIM 的 RLIM 引脚最大均方根拉电流。（在 24,500 小时的使用寿命内平均运行时间为 16%）			0.125	A)
$I_{RLIM\_MAX\_RMS\_SINK}$	从 RLIM 至 VEE 的 RLIM 引脚最大均方根灌电流。（在 24,500 小时的使用寿命内平均运行时间为 16%）			0.125	A
T_J	工作结温范围	-40		150	°C
T_{stg}	贮存温度	–65		150	°C

(1) 应力超出*绝对最大额定值* 下所列的值可能会对器件造成永久损坏。这些列出的值仅仅是应力等级，这并不表示器件在这些条件下以及在*建议的工作条件* 以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

7.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002(1) 标准	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011 标准第 7.2 节规定	±500	V

(1) AEC Q100-002 指示 HBM 应力测试应符合 ANSI/ESDA/JEDEC JS-001 规范。

7.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

引脚		最小值	典型值	最大值	单位
V_{VIN}	初级侧输入电压至 GNDP	13.5	15	16.5	V
V_{ENA}	使能至 GNDP	0		5.5	V
$V_{\overline{PG}}$	电源正常至 GNDP	0		5.5	V
V_{VDD}	VDD 至 VEE	15		25	V
V_{VEE}	COM 至 VEE	2.5		VDD-VEE	V
V_{FBVDD}、V_{FBVEE}	FBVDD、FBVEE 至 VEE	0	2.5	5.5	V
T_A	环境温度	-40		125	°C
T_J (1)	结温	-40		150	°C

(1) 请参阅“(VDD-VEE) 和 (COM-VEE) 负载推荐工作区”部分，了解不同 (VDD-VEE) 和 (COM-VEE) 输出电压设置在各种温度和 V_{VIN} 条件下的最大额定值。

7.4 热性能信息

热指标(1)		DWN (SOIC)	单位
		36 引脚	
$R_{\theta JA}$	结至环境热阻	52.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	28.5	°C/W

热指标(1)		DWN (SOIC) 36 引脚	单位
$R_{\theta JB}$	结至电路板热阻	25.9	°C/W
Ψ_{JA}	结至环境特征参数	29.5	°C/W
Ψ_{JT}	结至顶部特征参数	16.6	°C/W
Ψ_{JB}	结至电路板特征参数	25.6	°C/W

(1) 热阻 (R) 基于 JEDEC 板，特征参数 (ψ) 基于"布局"部分中所述的 EVM。有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

7.5 绝缘规格

参数		测试条件	值	单位
通用				
CLR	外部间隙(1)	端子间的最短空间距离	> 8	mm
CPG	外部爬电距离(1)	端子间的最短封装表面距离	> 8	mm
DTI	绝缘穿透距离	最小内部间隙（内部间隙 – 变压器电源隔离）	> 120	µm
		最小内部间隙（内部间隙 – 电容式信号隔离）	> 15.4	µm
CTI	相对漏电起痕指数	DIN EN 60112 (VDE 0303-11)；IEC 60112	> 600	V
	材料组别	符合 IEC 60664-1	I	
	过压类别	额定市电电压 ≤ $300V_{RMS}$	I-IV	
		额定市电电压 ≤ $600V_{RMS}$	I-IV	
		额定市电电压 ≤ $1000V_{RMS}$	I-III	
DIN EN IEC 60747-17 (VDE 0884-17)（计划认证目标）(2)				
V_{IORM}	最大重复峰值隔离电压	交流电压（双极）	1414	V_{PK}
V_{IOWM}	最大工作隔离电压	交流电压（正弦波），时间依赖型电介质击穿 (TDDB) 测试	1000	V_{RMS}
		直流电压	1414	V_{DC}
V_{IOTM}	最大瞬态隔离电压	$V_{TEST} = V_{IOTM}$，t = 60s（鉴定测试）；V_{TEST} = 1.2 × V_{IOTM}，t = 1s（100% 生产测试）	7071	V_{PK}
V_{IMP}	最大脉冲电压 (3)	在空气中进行测试，符合 IEC 62368-1 标准的 1.2/50µs 波形	7692	V_{PK}
V_{IOSM}	最大浪涌隔离电压(3)	在油中进行测试（鉴定测试），符合 IEC 62368-1 的 1.2/50µs 波形	10000	V_{PK}
qpd	视在电荷(4)	方法 a：I/O 安全测试子组 2/3 后，$V_{ini} = V_{IOTM}$，t_{ini} = 60s；$V_{pd(m)}$ = 1.2 × V_{IORM} = $1696V_{PK}$，t_m = 10s	≤ 5	pC
		方法 a：环境测试子组 1 后，$V_{ini} = V_{IOTM}$，t_{ini} = 60s；$V_{pd(m)}$ = 1.6 × V_{IORM} = $2262V_{PK}$，t_m = 10s	≤ 5	pC
		方法 b1：常规测试（100% 生产测试）和预调节（类型测试），V_{ini} = 1.2 × V_{IOTM}，t_{ini} = 1s；$V_{pd(m)}$ = 1.875 × V_{IORM} = $2651V_{PK}$，t_m = 1s	≤ 5	pC
C_{IO}	势垒电容，输入至输出(5)	V_{IO} = 0.4 sin (2πft)，f = 1MHz	< 3.5	pF
R_{IO}	隔离电阻，输入至输出(5)	V_{IO} = 500V，T_A = 25°C	> 10^{12}	Ω
		V_{IO} = 500V，100°C ≤ T_A ≤ 125°C	> 10^{11}	Ω
		V_{IO} = 500V，T_S = 150°C	> 10^{9}	Ω
	污染等级		2	
	气候类别		40/125/21	
UL 1577（计划认证目标）				

参数		测试条件	值	单位
V_{ISO}	可承受的隔离电压	V_{TEST} = V_{ISO} = 5000V_{RMS}，t = 60s（鉴定测试）；V_{TEST} = 1.2 × V_{ISO} = 6000V_{RMS}，t = 1s（100% 生产测试）	5000	V_{RMS}

(1) 爬电距离和间隙应满足应用的特定设备隔离标准中的要求。请注意保持电路板设计的爬电距离和间隙，从而确保印刷电路板上隔离器的安装焊盘不会导致此距离缩短。在特定的情况下，印刷电路板上的爬电距离和间隙变得相等。在印刷电路板上采用插入坡口和/或肋材等技术有助于提高这些规格。
(2) 此耦合器仅适用于最大工作额定值范围内的*安全电气绝缘*。应借助合适的保护电路来确保符合安全额定值。
(3) 在空气中进行测试，以确定封装的固有浪涌抗扰度。在油中进行测试，以确定隔离栅的固有浪涌抗扰度。
(4) 视在电荷是局部放电 (pd) 引起的电气放电。
(5) 将隔离栅每一侧的所有引脚都连在一起，构成了一个双端子器件。

7.6 安全相关认证

VDE	UL	CQC
计划根据 DIN EN IEC 60747-17 (VDE 0884-17) 进行认证	计划根据 UL 1577 组件认证计划进行认证	计划根据 GB4943.1 进行认证
增强型绝缘最大瞬态隔离电压 $7071V_{PK}$；最大重复峰值隔离电压 $1414V_{PK}$；最大浪涌隔离电压 $10000V_{PK}$	单一保护，$5000V_{RMS}$	增强型绝缘，海拔 ≤ 5000m，热带气候，$700V_{RMS}$ 最大工作电压
证书编号：（计划）	文件编号：（计划）	证书编号：（计划）

7.7 电气特性

在工作温度范围（T_J = –40°C 至 150°C）内，V_{VIN} = 13.5V 至 16.5V，C_{IN} = 20µF，C_{OUT} = 10µF，R_{LIM} = 1kΩ，V_{ENA} = 5V，除非另有说明。T_A = 25°C 且 V_{VIN} = 15V 时的所有典型值。

参数		测试条件	最小值	典型值	最大值	单位
输入电源（初级侧，所有电压均以 GNDP 为基准）						
V_{VIN}	输入电压范围	初级侧输入电压至 GNDP	13.5	15	16.5	V
I_{VINQ_OFF}	VIN 静态电流，已禁用	V_{ENA} = 0V；V_{VIN} = 13.5V 至 16.5V			600	µA
$I_{VIN\_ON\_NO\_LOAD}$	VIN 工作电流，已启用，空载	V_{ENA} = 5V；V_{VIN} = 13.5V 至 16.5V；(VDD-VEE) = 25V 调节；$I_{VDD-VEE}$ = 0mA。单路输出。			35	mA
$I_{VIN\_ON\_FULL\_LOAD}$	VIN 工作电流，已启用，满载	V_{ENA} = 5V；V_{VIN} = 13.5V 至 16.5V；(VDD-VEE) = 25V 调节；$I_{VDD-VEE}$ = 60mA。单路输出。		190		mA
UVLOP 比较器（初级侧，所有电压均以 GNDP 为基准）						
$V_{VIN\_UVLOP\_RISING}$	VIN 欠压锁定上升阈值		11.4	12	12.6	V
$V_{VIN\_UVLOP\_FALLING}$	VIN 欠压锁定下降阈值		9.975	10.5	11	V
OVLO 比较器（初级侧，所有电压均以 GNDP 为基准）						
$V_{VIN\_OVLO\_RISING}$	VIN 过压锁定上升阈值		20.9	22	23.1	V
$V_{VIN\_OVLO\_FALLING}$	VIN 过压锁定下降阈值		19	20	21	V
TSHUTP 热关断比较器（初级侧，所有电压均以 GNDP 为基准）						
$TSHUTP_{PRIMARY\_RISING}$	初级侧过热关断上升阈值	首次上电时，T_J 需要低于 140°C 才能启用	150	160	170	°C
$TSHUTP_{PRIMARY\_HYST}$	初级侧过热关断迟滞		15	20	25	°C
ENA 输入引脚（初级侧，所有电压均以 GNDP 为基准）						
V_{EN_IR}	输入电压上升阈值，逻辑高电平	上升沿	1.25		1.95	V
V_{EN_IF}	输入电压下降阈值，逻辑低电平	下降沿	0.84		1.56	V
I_{EN}	使能引脚输入电流	V_{ENA} = 5.0V		5	10	µA
$\overline{PG}$ 开漏输出引脚（初级侧，所有电压均以 GNDP 为基准）						
$V_{\overline{PG}\_OUT\_LO}$	$\overline{PG}$ 输出低饱和电压	灌电流 = 5mA，电源正常			0.5	V
$I_{\overline{PG}\_OUT\_HI}$	$\overline{PG}$ 漏电流	$V_{\overline{PG}}$ = 5.5V，电源不正常			5	µA
初级侧控制（所有电压均以 GNDP 为基准）						
F_{SW}	开关频率	V_{VIN} = 15V；V_{ENA} = 5V；(VDD-VEE) = 25V		15		MHz
F_{SSM}	展频调制 (SSM) 三角波形的频率	仅在初级侧启动期间，在 V_{IN} 高于 UVLOP 且 ENA 为高电平之后启动；$F_{SS\_BURST\_P}$ = 125kHz		90		kHz
$F_{CARRIER}$ 的 SSM 百分比变化	三角波形展频调制 (SSM) 期间载波频率的 SSM 百分比变化	仅在初级侧启动期间，在 V_{IN} 高于 UVLOP 且 ENA 为高电平之后启动；$F_{SS\_BURST\_P}$ = 125kHz		5		%

在工作温度范围（T_J = –40°C 至 150°C）内，V_{VIN} = 13.5V 至 16.5V，C_{IN} = 20µF，C_{OUT} = 10µF，R_{LIM} = 1kΩ，V_{ENA} = 5V，除非另有说明。T_A = 25°C 且 V_{VIN} = 15V 时的所有典型值。

参数		测试条件	最小值	典型值	最大值	单位
$t_{SOFT\_START\_TIME\_OUT}$	初级侧软启动超时	当 VIN 高于 UVLOP 且 ENA 为高电平时计时器开始工作，当电源正常引脚指示正常时复位		28.4		ms
(VDD-VEE) 输出电压（次级侧，所有电压均以 VEE 为基准）						
V_{VDD_RANGE}	(VDD-VEE) 输出电压范围		15		25	V
$V_{VDD\_DC\_ACCURACY}$	(VDD-VEE) 输出电压直流调节精度	次级侧 (VDD-VEE) 输出电压，在负载、线性变化和温度范围内，通过外部电阻分压器进行外部调节	-1.3		1.3	%
(VDD-VEE) 调节迟滞比较器（次级侧，所有电压均以 VEE 为基准）						
V_{FBVDD_REF}	(VDD-VEE) 的反馈调节基准电压	(VDD-VEE) 稳压输出	2.4675	2.5	2.5325	V
$V_{FBVDD\_HYSTCMP\_HYST}$	VISO1 迟滞比较器迟滞设置。VFB 引脚迟滞。[例如：如果外部电阻分压器增益为 1/10V/V，VISO1 将是 10 倍；当 VFB = 2.5V 时，VISO1 = 25V]；请参阅“说明”	迟滞设置 1	9	10	12.3	mV
(COM-VEE) 输出电压（次级侧，所有电压均以 VEE 为基准）						
V_{VEE_RANGE}	(COM-VEE) 输出电压范围	次级侧 (COM-VEE)，通过外部电阻分压器进行调节	2.5		(VDD-VEE)	V
$V_{VEE\_DC\_ACURACY}$	(COM-VEE) 输出电压直流调节精度	次级侧 (COM-VEE) 输出电压，在负载、线性变化和温度范围内，通过外部电阻分压器进行外部调节	–1.3		1.3	%
(COM-VEE) 调节迟滞比较器（次级侧，所有电压均以 VEE 为基准）						
V_{FBVEE_REF}	(COM-VEE) 的反馈调节基准电压	(COM-VEE) 稳压输出	2.4675	2.5	2.5325	V
$V_{RLIM\_SHORT\_CHRG\_CMP\_RISE}$	用于退出 PWM 的 Rlim 短路充电比较器上升阈值	上升阈值		0.73		V
$t_{RLIM\_SHORT\_CHRG\_ON\_TIME}$	RLIM 引脚短路充电 PWM 模式期间的导通时间	RLIM 引脚 < 0.645V，而 FBVEE 引脚 < 2.48V		1.2		us
$t_{RLIM\_SHORT\_CHRG\_OFF\_TIME}$	RLIM 引脚短路充电 PWM 模式期间的关断时间	RLIM 引脚 < 0.645V，而 FBVEE 引脚 < 2.48V		5		us
(VDD-VEE) UVLO 比较器（次级侧，所有电压均以 VEE 为基准）						
$V_{VDD\_UVLOS\_RISING}$	(VDD-VEE) 欠压锁定上升阈值	FBVDD 处的电压		0.9		V
$V_{VDD\_UVLOS\_HYST}$	(VDD-VEE) 欠压锁定迟滞	FBVDD 处的电压		0.2		V
(VDD-VEE) OVLO 比较器（次级侧，所有电压均以 VEE 为基准）						
$V_{VDD\_OVLOS\_RISING}$	(VDD-VEE) 过压锁定上升阈值	电压范围为 VDD 至 VEE，上升	29.45	31	32.55	V
$V_{VDD\_OVLOS\_FALLING}$	(VDD-VEE) 过压锁定下降阈值	电压范围为 VDD 至 VEE，下降	27.55	29	30.45	V
软启动（次级侧，所有电压均以 VEE 为基准）						
$t_{deglitch}$	软启动后、$\overline{PG}$ 之前，(VDD-VEE) UVP 和 (COM-VEE) UVP 及 OVP 的消隐时间			3		ms
(VDD-VEE) UVP，欠压保护比较器（次级侧，所有电压均以 VEE 为基准）						
$V_{VDD\_UVP\_RISING}$	(VDD-VEE) 欠压保护上升阈值，V_{UVP} = V_{REF} × 90%		2.175	2.25	2.35	V
$V_{VDD\_UVP\_HYST}$	(VDD-VEE) 欠压保护迟滞			20		mV
(VDD-VEE) OVP，过压保护比较器（次级侧，所有电压均以 VEE 为基准）						
$V_{VDD\_OVP\_RISING}$	(VDD-VEE) 过压锁定上升阈值，V_{OVP} = V_{REF} × 110%		2.7	2.75	2.825	V

在工作温度范围（T_J = –40°C 至 150°C）内，V_{VIN} = 13.5V 至 16.5V，C_{IN} = 20μF，C_{OUT} = 10μF，R_{LIM} = 1kΩ，V_{ENA} = 5V，除非另有说明。T_A = 25°C 且 V_{VIN} = 15V 时的所有典型值。

参数		测试条件	最小值	典型值	最大值	单位
$V_{VDD\_OVP\_HYST}$	(VDD-VEE) 过压保护迟滞			20		mV
(COM-VEE) UVP，欠压保护比较器（次级侧，所有电压均以 VEE 为基准）						
$V_{VEE\_UVP\_RISING}$	(COM-VEE) 欠压保护上升阈值，V_{UVP} = V_{REF} × 90%		2.1	2.25	2.4	V
$V_{VEE\_UVP\_HYST}$	(COM-VEE) 欠压保护迟滞			20		mV
(COM-VEE) OVP，过压保护比较器（次级侧，所有电压均以 VEE 为基准）						
$V_{VEE\_OVP\_RISING}$	(COM-VEE) 过压保护上升阈值，V_{OVP} = V_{REF} × 110%		2.7	2.75	2.825	V
$V_{VEE\_OVP\_HYST}$	(COM-VEE) 过压保护迟滞			20		mV
TSHUTS 热关断比较器（次级侧，所有电压均以 VEE 为基准）						
$TSHUTS_{SECONDARY\_RISE}$	次级侧过热关断上升阈值	首次上电时，Tj 需要低于 140ºC 才能启用。	150	160	170	°C
$TSHUTS_{SECONDARY\_HYST}$	次级侧过热关断迟滞		15	20	25	°C
CMTI（共模瞬态抗扰度）						
CMTI	共模瞬态抗扰度	以 GNDP 为基准的正 VEE	150			V/ns
		以 GNDP 为基准的负 VEE	-150			V/ns
集成式 MAGLAM 变压器（初级侧至次级侧。注意：这些值对于每个 XFMR 版本都是唯一的）						
N	变压器有效匝数比	次级侧至初级侧		2.02		-

7.8 安全限值

参数		测试条件	最大值	单位
I_S	安全输入均方根电流	$R_{\theta JA}$ = 52.3°C/W，V_{VIN} = 16.5V，T_J = 150°C，T_A = 25°C，P_{OUT} = 2W (1) (2)	220	mA
		$R_{\theta JA}$ = 52.3°C/W，V_{VIN} = 13.5V，T_J = 150°C，T_A = 25°C，P_{OUT} = 1.3W (1) (2)	450	mA
P_S	安全功率耗散（输入功率 - 输出功率）	$R_{\theta JA}$ = 52.3°C/W，V_{VIN} = 15V，T_J = 150°C，T_A = 25°C，P_{OUT} = 2.3W (1) (2)	2.39	W
T_S	安全温度	(1) (2)	150	°C

(1) 最高安全温度 T_S 与器件指定的最大结温 T_J 的值相同。I_S 和 P_S 参数分别表示安全电流和安全功率耗散。请勿超出 I_S 和 P_S 的最大限值。这些限值随环境温度 T_A 的变化而变化。

(2) 在“热性能信息”表中，结至空气热阻 $R_{\theta JA}$ 是安装在引线式表面贴装封装、高 K JEDEC 测试板上的器件的热阻。可以使用这些公式计算每个参数的值：$T_J = T_A + R_{\theta JA} \times P$，其中 P 为器件中耗散的功率。$T_{J(max)} = T_S = T_A + R_{\theta JA} \times P_S$，其中 $T_{J(max)}$ 为最大允许结温。

7.9 典型特性

每个 Vin 下的最大建议平均功率安全工作区面积 (SOA) 由 1.5W 限制（虚线）的较低值和该输入电压下的相应热降额曲线（实线）决定。不建议在高于 125ºC 的环境温度下运行。热降额功率通过评估板获得，该评估板与布局示例部分中所示的 EVM 类似。T_{shut} 表示初级侧过热关断上升阈值。如“电气特性”表中所示，典型 T_{shut} 值为 160ºC，最小 T_{shut} 值为 150ºC。下面提供了 T_{shut} = 160ºC 和 150ºC 时的 SOA 降额曲线。对四种常见 VDD-VEE 设置（15V、18V、22V 和 25V）下的 SOA 曲线进行了表征。在每个 SOA 曲线中，输入电压范围为 9V 至 18V。为了表示 T_{shut} = 150ºC 时的最坏情况，测试在一个屏蔽盒中进行，以阻断热处理室中的循环空气。

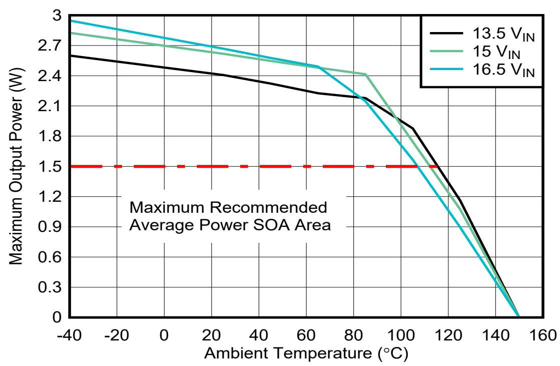


图 7-1. SOA 降额曲线：$V_{VDD-VEE}$ = 15V，$V_{COM-VEE}$ = 5V，T_{shut}=160ºC，$V_{COM-VEE}$ 无负载

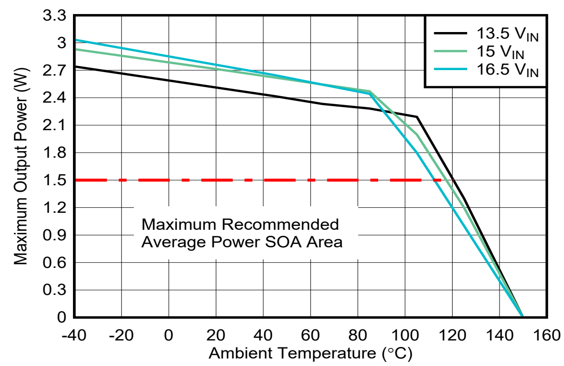


图 7-2. SOA 降额曲线：$V_{VDD-VEE}$ = 18V，$V_{COM-VEE}$ = 3V，T_{shut}=160ºC，$V_{COM-VEE}$ 无负载

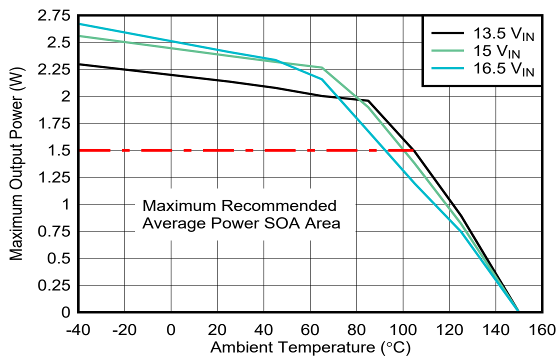


图 7-3. SOA 降额曲线：$V_{VDD-VEE}$ = 22V，$V_{COM-VEE}$ = 4V，T_{shut}=160ºC，$V_{COM-VEE}$ 无负载

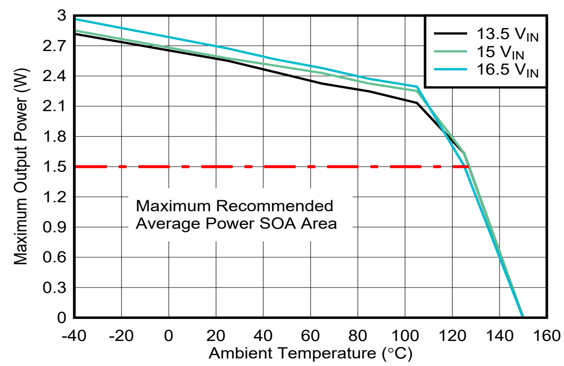


图 7-4. SOA 降额曲线：$V_{VDD-VEE}$ = 25V，$V_{COM-VEE}$ = 5V，T_{shut}=160ºC，$V_{COM-VEE}$ 无负载

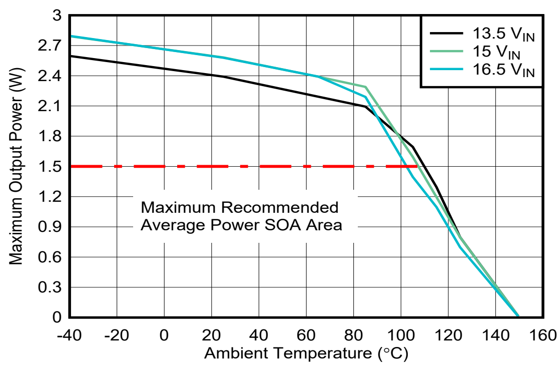


图 7-5. SOA 降额曲线：$V_{VDD-VEE}$ = 22V，$V_{COM-VEE}$ = 4V，T_{shut}=150ºC，$V_{COM-VEE}$ 无负载，在屏蔽盒中测试。

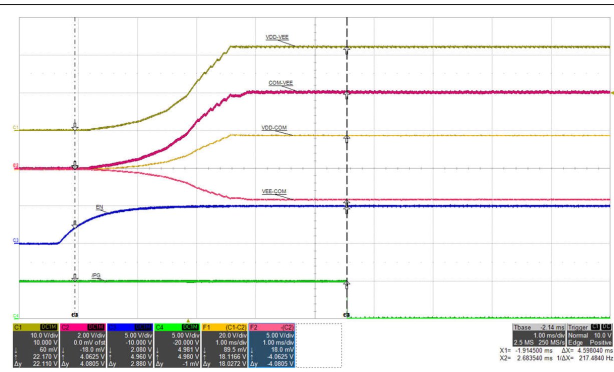


图 7-6. 启动：V_{IN} = 15V，$V_{VDD-VEE}$ = 22V，$V_{COM-VEE}$ = 4V，$I_{VDD-VEE}$ = 68mA，$V_{COM-VEE}$ 无负载。时间标度：1ms/div。

7.9 典型特性 (continued)

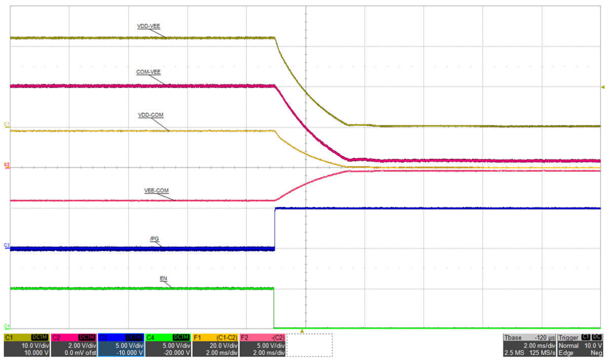


图 7-7. 关断：V_{IN} = 15V，$V_{VDD\text{-}VEE}$ = 22V，$V_{COM\text{-}VEE}$ = 4V，$I_{VDD\text{-}VEE}$ = 68mA，$V_{COM\text{-}VEE}$ 无负载。时间标度：2ms/div。

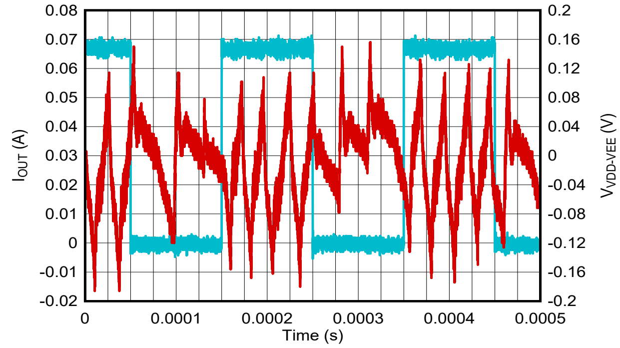


图 7-8. 负载瞬态响应：在空载和 1.5W 之间，V_{IN} = 15V，$V_{VDD\text{-}VEE}$ = 22V，$V_{COM\text{-}VEE}$ = 4V

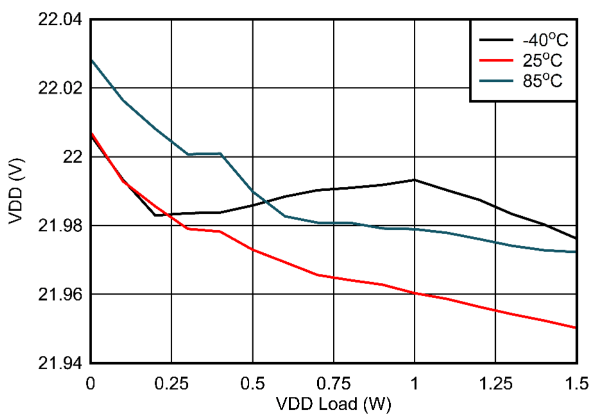


图 7-9. $V_{VDD\text{-}VEE}$ 负载调节：V_{IN} = 13.5V，$V_{VDD\text{-}VEE}$ = 22V，$V_{COM\text{-}VEE}$ = 4V

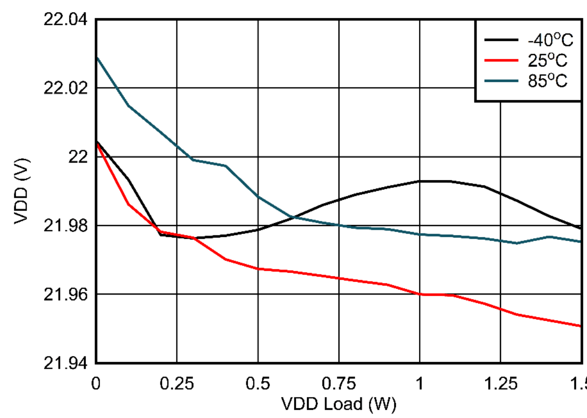


图 7-10. $V_{VDD\text{-}VEE}$ 负载调节：V_{IN} = 15V，$V_{VDD\text{-}VEE}$ = 22V，$V_{COM\text{-}VEE}$ = 4V

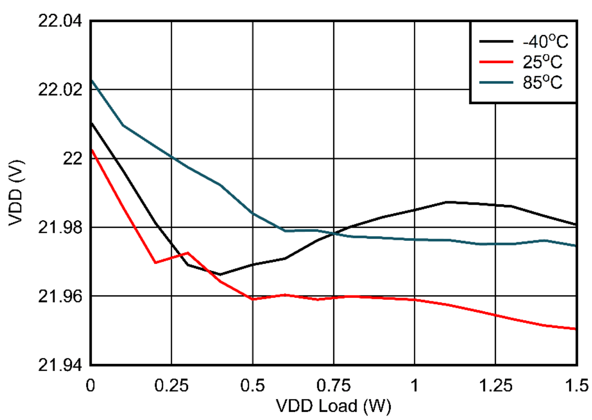


图 7-11. $V_{VDD\text{-}VEE}$ 负载调节：V_{IN} = 16.5V，$V_{VDD\text{-}VEE}$ = 22V，$V_{COM\text{-}VEE}$ = 4V

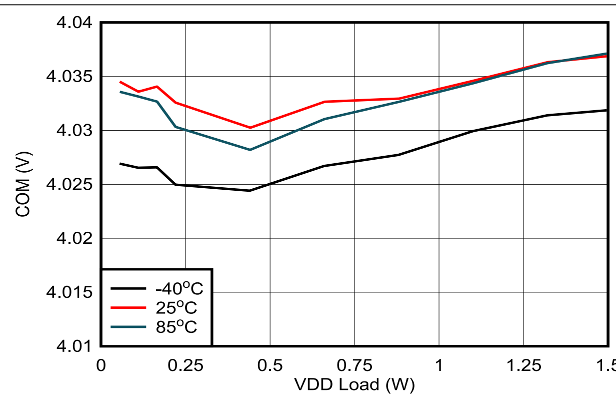


图 7-12. $V_{COM\text{-}VEE}$ 负载调节：V_{IN} = 13.5V，$V_{VDD\text{-}VEE}$ = 22V，$V_{COM\text{-}VEE}$ = 4V

7.9 典型特性 (continued)

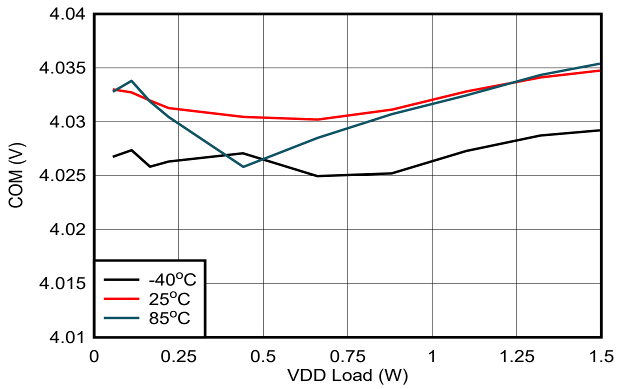


图 7-13. $V_{COM-VEE}$ 负载调节：V_{IN} = 15V，$V_{VDD-VEE}$ = 22V，$V_{COM-VEE}$ = 4V

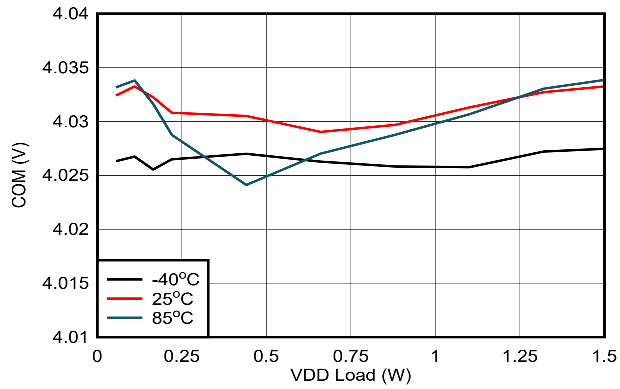


图 7-14. $V_{COM-VEE}$ 负载调节：V_{IN} = 16.5V，$V_{VDD-VEE}$ = 22V，$V_{COM-VEE}$ = 4V

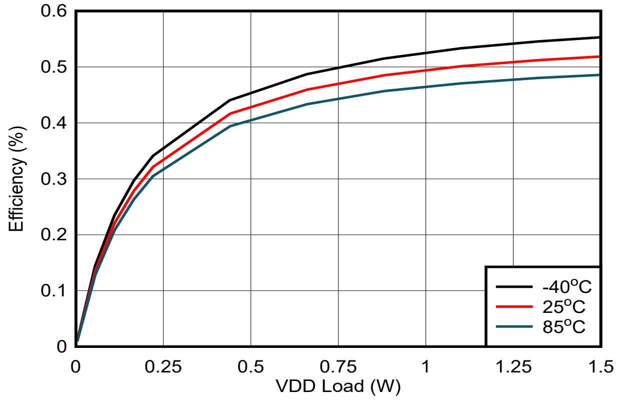


图 7-15. $V_{VDD-VEE}$ 上效率与负载间的关系：V_{IN} = 13.5V，$V_{VDD-VEE}$ = 22V，$V_{COM-VEE}$ = 4V，$V_{COM-VEE}$ 无负载

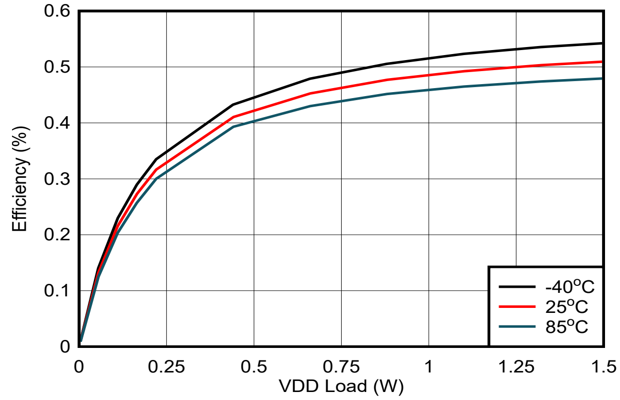


图 7-16. $V_{VDD-VEE}$ 上效率与负载间的关系：V_{IN} = 15V，$V_{VDD-VEE}$ = 22V，$V_{COM-VEE}$ = 4V，$V_{COM-VEE}$ 无负载

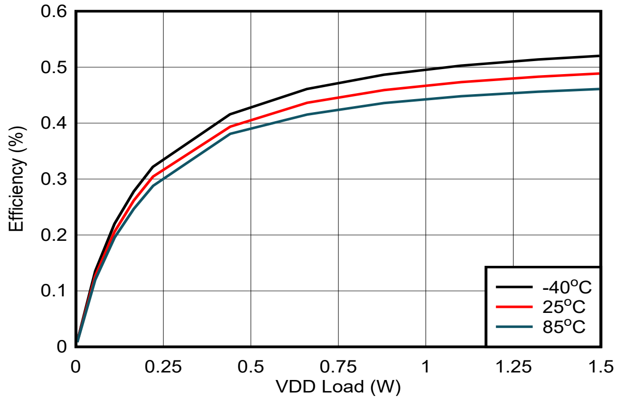


图 7-17. $V_{VDD-VEE}$ 上效率与负载间的关系：V_{IN} = 16.5V，$V_{VDD-VEE}$ = 22V，$V_{COM-VEE}$ = 4V，$V_{COM-VEE}$ 无负载

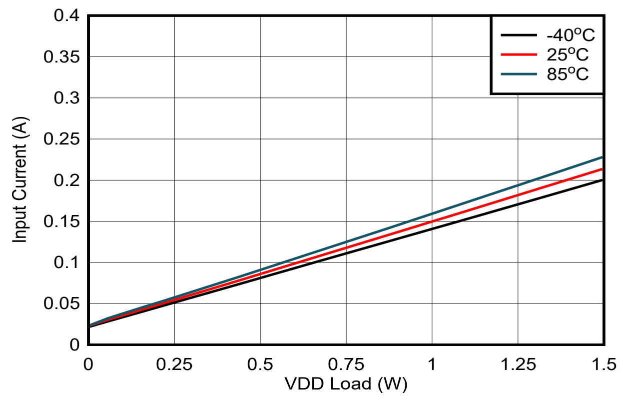


图 7-18. $V_{VDD-VEE}$ 上输入电流与负载间的关系：V_{IN} = 13.5V，$V_{VDD-VEE}$ = 22V，$V_{COM-VEE}$ = 4V，$V_{COM-VEE}$ 无负载

7.9 典型特性 (continued)

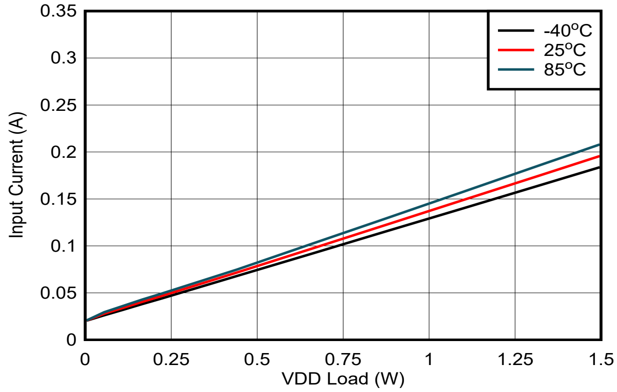


图 7-19. $V_{VDD-VEE}$ 上输入电流与负载间的关系：V_{IN} = 15V，$V_{VDD-VEE}$ = 22V，$V_{COM-VEE}$ = 4V，$V_{COM-VEE}$ 无负载

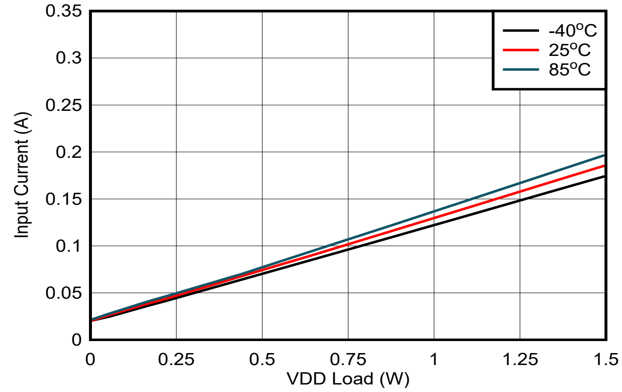


图 7-20. $V_{VDD-VEE}$ 上输入电流与负载间的关系：V_{IN} = 16.5V，$V_{VDD-VEE}$ = 22V，$V_{COM-VEE}$ = 4V，$V_{COM-VEE}$ 无负载

8 详细说明

8.1 概述

UCC14341-Q1 器件适用于布板空间有限且需要更多集成的应用，还适用于为满足所需隔离规范而采用体积庞大且价格昂贵的电源变压器的超高电压应用。器件具有低厚度、低重心和轻重量特性，与使用大型大体积变压器的系统相比，可提供更高的振动耐受度。该器件易于使用，可在优化栅极电压来实现最高效率时根据需要灵活调整正负输出电压，同时以其严格的电压调节精度保护栅极氧化物免受过应力影响。

这款器件集成了一个高效、低辐射隔离式直流/直流转换器，可为牵引逆变器电机驱动器、工业电机驱动器或其他高压直流/直流转换器中的 SiC 或 IGBT 功率器件的栅极驱动器供电。对于稳压电源轨的 13.5V < V_{VIN} < 16.5V，该直流/直流转换器提供大于 1.5W 的功率。

集成式直流/直流转换器采用开关模式操作和专有的电路技术来降低功率损耗并提高效率。专用控制机制、时钟方案和片上变压器带来了高效率和低辐射。

集成变压器可在宽温度范围内提供电力输送，同时保持 5000V_{RMS} 隔离和 1000V_{RMS} 连续工作电压。变压器的低隔离电容可提供高 CMTI，从而实现快速 dv/dt 开关和更高的开关频率，同时降低噪声。

V_{VIN} 电源为初级侧电源控制器供电，该控制器负责开关连接到集成式变压器的输入级。电源传输到次级侧输出级，并调节到 (VDD – VEE) 引脚和 FBVDD 引脚之间连接的电阻分压器（相对于 VEE 引脚）设置的电平。输出电压通过外部电阻分压器进行调节，从而实现宽 (VDD – VEE) 范围。

为了获得理想性能，请确保 V_{VIN} 输入电压保持在建议的工作电压范围内。请勿超过绝对最大额定电压，避免输入引脚承受过大的应力。

快速滞环反馈突发控制环路监控 (VDD – VEE)，并确保输出电压保持在迟滞范围内，同时在负载和线路瞬态期间具有低过冲和下冲。突发控制环路可在满载条件下实现高效运行，并可在整个 V_{VIN} 范围内实现宽 VOUT 调节能力。欠压锁定 (UVLO) 保护功能可监控输入电压引脚 VIN，并具有迟滞和输入滤波器，确保在嘈杂条件下实现稳健的系统性能。过压锁定 (OVLO) 保护可监控输入电压引脚 VIN，通过禁用开关并降低内部峰值电压来防止过压应力。在整个上电时间内提供受控软启动时序，可在为输出电容器和负载充电的同时限制峰值输入浪涌电流。

UCC14341-Q1 还提供了第二个输出轨 (COM – VEE)，用作栅极驱动器的负偏置，可实现更快的 IGBT 关断开关，还可在 SiC 器件快速开关期间防止不必要的导通。(COM – VEE) 具有一个简单、快速且高效的偏置控制器，可确保在 PWM 开关期间调节正负电源轨。COM 引脚可连接 SiC 器件的源极或 IGBT 器件的发射极。借助外部限流电阻器，设计人员可以根据栅极驱动系统的需求对灌电流和拉电流峰值进行编程。

故障保护和电源正常状态引脚为主机控制器提供了一种机制，用于监控直流/直流转换器的状态，并为栅极驱动器提供正确的电源和 PWM 控制信号时序控制。故障保护包括欠压、过压、过热关断和隔离通道通信接口看门狗计时器。

典型的软启动斜升时间大约为 3ms，但会根据输入电压、输出电压、输出电容和负载而变化。如果任一输出短路或过载，器件将无法在 $t_{SOFT_START_TIME_OUT}$ms 软启动看门狗计时器保护时间内上电，因此器件会锁存以提供保护。可通过切换 ENA 引脚或为 VIN 下电上电来复位锁存器。

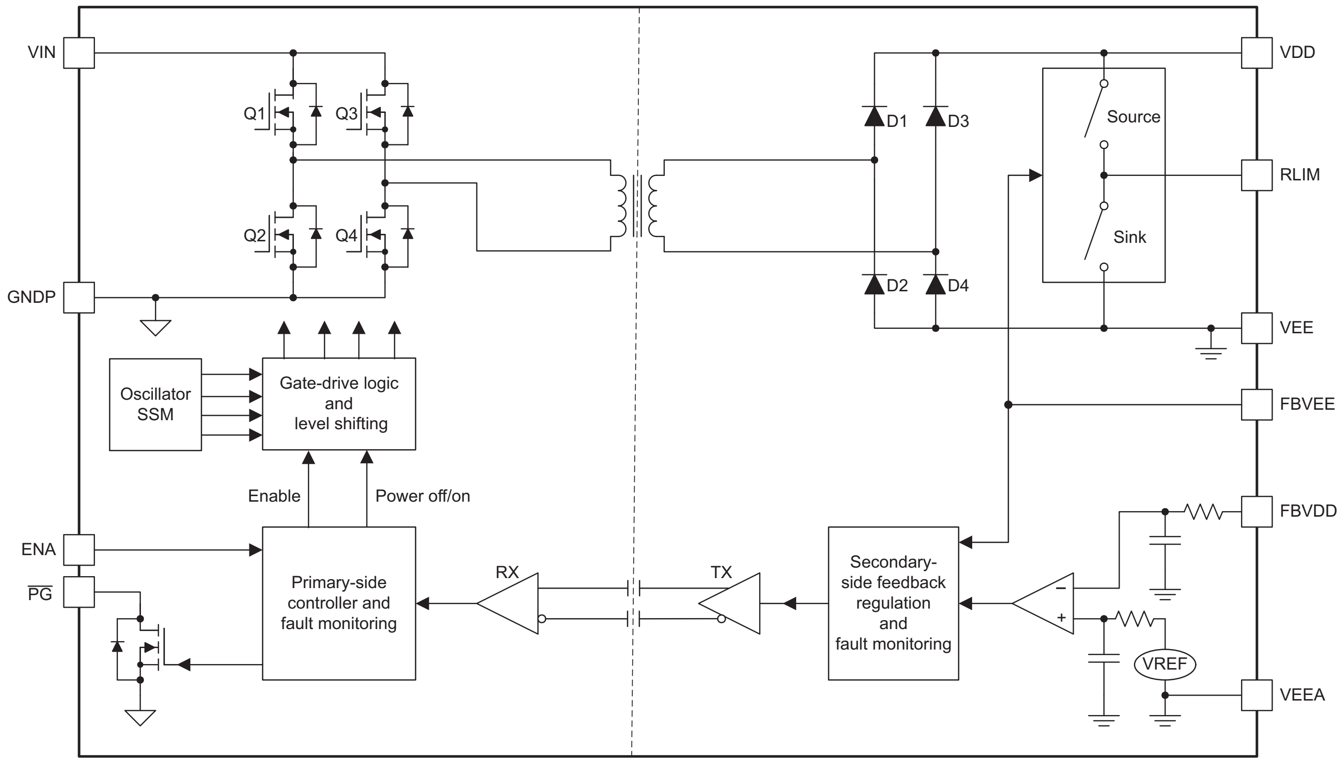
输出负载必须保持低电平，直到启动完成且 $\overline{PG}$ 引脚为低电平。上电时，在 $\overline{PG}$ 引脚指示电源正常（拉低逻辑电平）之前，请勿对 (VDD – VEE) 或 (COM – VEE) 输出施加重负载，避免通过提供电源来斜升电压的问题。

TI 建议使用 $\overline{PG}$ 状态指示器作为开始将 PWM 信号传输至栅极驱动器的触发点。$\overline{PG}$ 输出通过提供有关 (VDD – VEE) 和 (COM – VEE) 输出何时都达到其调节阈值 ±10% 范围内的可靠闭环指示，消除了输出何时就绪的任何歧义。

在 $\overline{PG}$ 变为低电平之前，请勿让主机开始将 PWM 传输到栅极驱动器。此操作通常在 V_{VIN} > V_{VIN_UVLOP} 且 ENA 变为高电平后不到 $t_{SOFT_START_TIME_OUT}$ms 时发生。$\overline{PG}$ 状态输出指示电源在 (VDD – VEE) 和 (COM – VEE) 软启动后正常，并且处于 ±10% 的调节范围内。

如果主机不监测 $\overline{PG}$，请确保主机在 V_{VIN} > V_{VIN_UVLOP} 且 ENA 变为高电平 35ms 之前，不会开始将 PWM 传输到栅极驱动器，以便在 VDD 和 VEE 软启动后有足够的时间使电源正常。

8.2 功能方框图


VIN
GNDP
ENA
PG
Q1
Q3
Q2
Q4
Oscillator
SSM
Gate-drive logic
and
level shifting
Enable
Power off/on
Primary-side
controller and
fault monitoring
RX
TX
Secondary-
side feedback
regulation
and
fault monitoring
D1
D3
D2
D4
Source
Sink
VREF
VDD
RLIM
VEE
FBVEE
FBVDD
VEEA

8.3 特性说明

8.3.1 功率级运行

UCC14341-Q1 模块在初级侧使用有源全桥逆变器，在次级侧使用无源全桥整流器。小型集成变压器具有相对较高的载波频率，可减小尺寸以集成到 36 引脚 SSOP 封装中。功率级载波频率在 11MHz 至 18MHz 范围内运行。功率级载波频率由具有前馈控制的输入电压决定：当 V_{VIN} 为 12V 时，频率为 18MHz；当 V_{VIN} 为 18V 时，频率为 11MHz；当 V_{VIN} 介于 12V 和 18V 之间时，随着 V_{VIN} 电压上升，频率会从 18MHz 逐渐降低到 11MHz。扩频调制 (SSM) 用于减少辐射。器件会维持 ZVS 运行以降低开关功率损耗。

UCC14341-Q1 模块可生成两个稳压输出。它可以配置为单输出转换器（仅 VDD 至 VEE）或双输出转换器（VDD 至 VEE 和 COM 至 VEE）。即使模块使用 VEE 作为参考点来生成两个正输出电压，输出也可以使用 COM 作为参考点并成为正输出和负输出。

这两个输出通过迟滞控制进行独立控制。此外，VDD-VEE 是主输出，而 COM 到 VEE 使用主输出作为其输入，可产生第二个稳压输出电压。

8.3.1.1 VDD-VEE 电压调节

VDD-VEE 输出是模块的主输出。功率级操作由 FBVDD 引脚上检测到的 VDD-VEE 电压决定。如图 8-1 所示，VDD-VEE 电压通过分压器 R_{FBVDD_TOP} 和 R_{FBVDD_BOT} 检测。当 FBVDD 电压低于关断阈值(大约比 V_{FBVDD_REF} 高 10mV 时)，功率级将运行，向次级侧供电，并使 VDD-VEE 输出电压上升。输出达到关断阈值后，功率级将关闭。输出电压会因负载电流而下降。当输出电压降至导通阈值（大约比 V_{FBVDD_REF} 小 10mV）以下后，功率级将再次开启。借助精确的电压基准和迟滞控制，可以高精度调节 VDD-VEE 输出电压。为了提高抗噪性能，应在 FBVDD 和 VEE 引脚之间添加一个 330pF 的小型电容器。过大的电容器会减慢迟滞环路，并可能导致输出电压纹波过大，甚至造成稳定性问题。

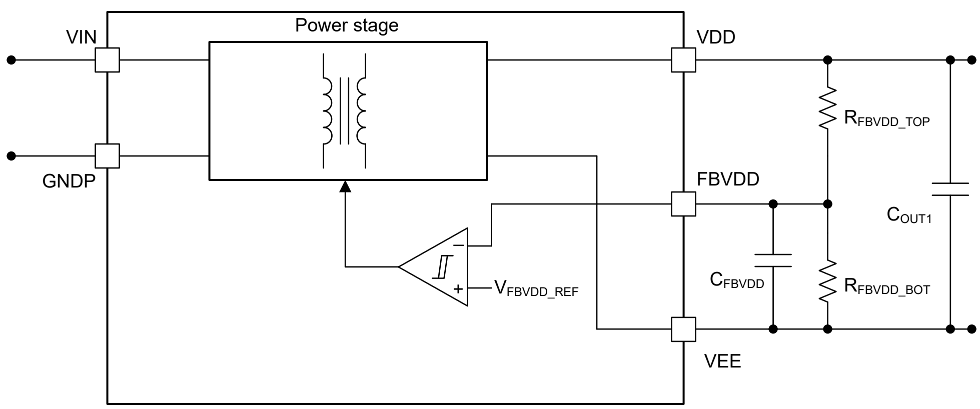


图 8-1. VDD-VEE 电压调节

8.3.1.2 COM-VEE 电压调节

COM-VEE 输出将 VDD-VEE 输出作为其输入，并产生稳定的输出电压。尽管工作原理并不完全相同，但它可被视为 VDD-VEE 的 LDO 输出。由于其输入电压为 VDD-VEE，来自 COM-VEE 的最大输出电压是 VDD 和 VEE 之间的电压。

COM-VEE 输出稳压器级使用与外部限流电阻器 (R_{LIM}) 串联的内部高侧或低侧 FET 对 COM-VEE 输出电压进行充电或放电。迟滞控制用于控制两个 FET 的开关实例，可实现精确调节的 COM-VEE 电压。如图 8-2 所示，COM-VEE 输出电压通过 FBVEE 引脚上的分压器 R_{FBVEE_TOP} 和 R_{FBVEE_BOT} 进行检测。TI 建议在 FBVEE 引脚上使用一个 330pF 电容器来滤除开关频率噪声。当 FBVEE 上的电压低于充电阈值（比 V_{FBVEE_REF} 低 20mV）时，充电电阻器保持导通状态，放电电阻器保持关断状态。COM-VEE 输出电压会上升。当 FBVEE 电压达到停止充电阈值（比 V_{FBVEE_REF} 高 20mV）后，充电电阻器将关断。输出电压会停止上升。当充电电阻器关断时，放电电阻器由另一个迟滞控制器根据 FBVEE 引脚电压、基准电压 V_{FBVEE_REF} 和 20mV 的迟滞进行控制。

COM-VEE 输出稳压器级将防止在 COM-VEE 短路期间使高侧 FET 长时间保持导通。该保护功能通过监控 RLIM 引脚电压和控制高侧 FET 占空比来实现。当 COM 引脚电压低于 0.645V，而 FBVEE 电压低于 2.48V 时，高侧 FET 约 20% 的占空比控制会覆盖 COM-VEE 稳压器的迟滞控制，每个占空比中的典型导通时间和关断时间分别为 $t_{RLIM\_SHORT\_CHRG\_ON\_TIME}$ 和 $t_{RLIM\_SHORT\_CHRG\_OFF\_TIME}$。当 COM 引脚电压高于 $V_{RLIM\_SHORT\_CHRG\_CMP\_RISE}$ 时，占空比控制将被禁用，迟滞控制将恢复正常运行。

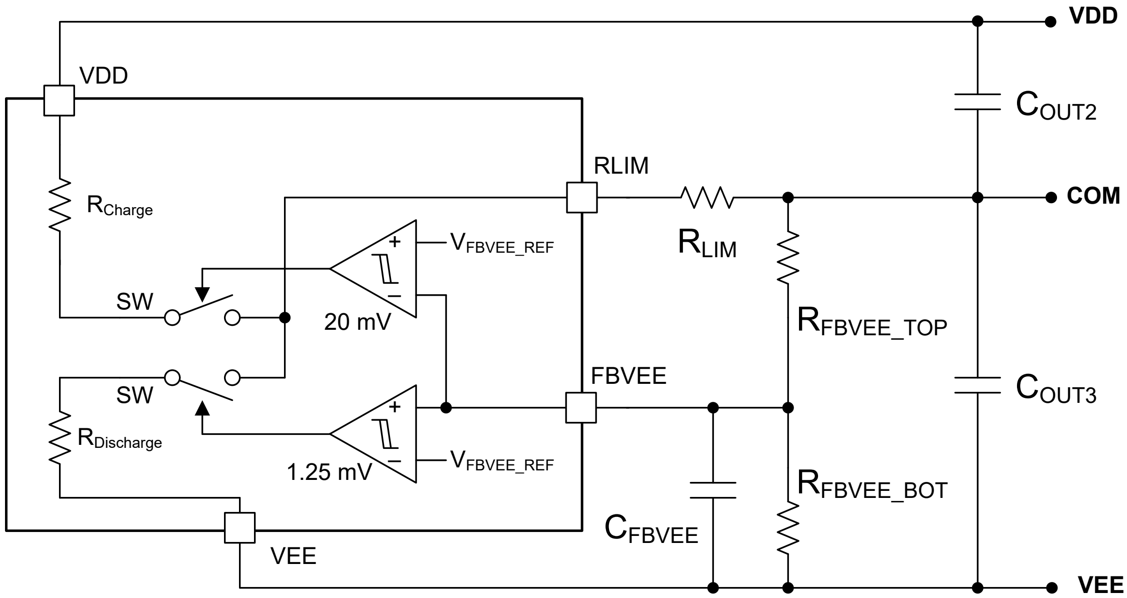


图 8-2. COM-VEE 电压调节

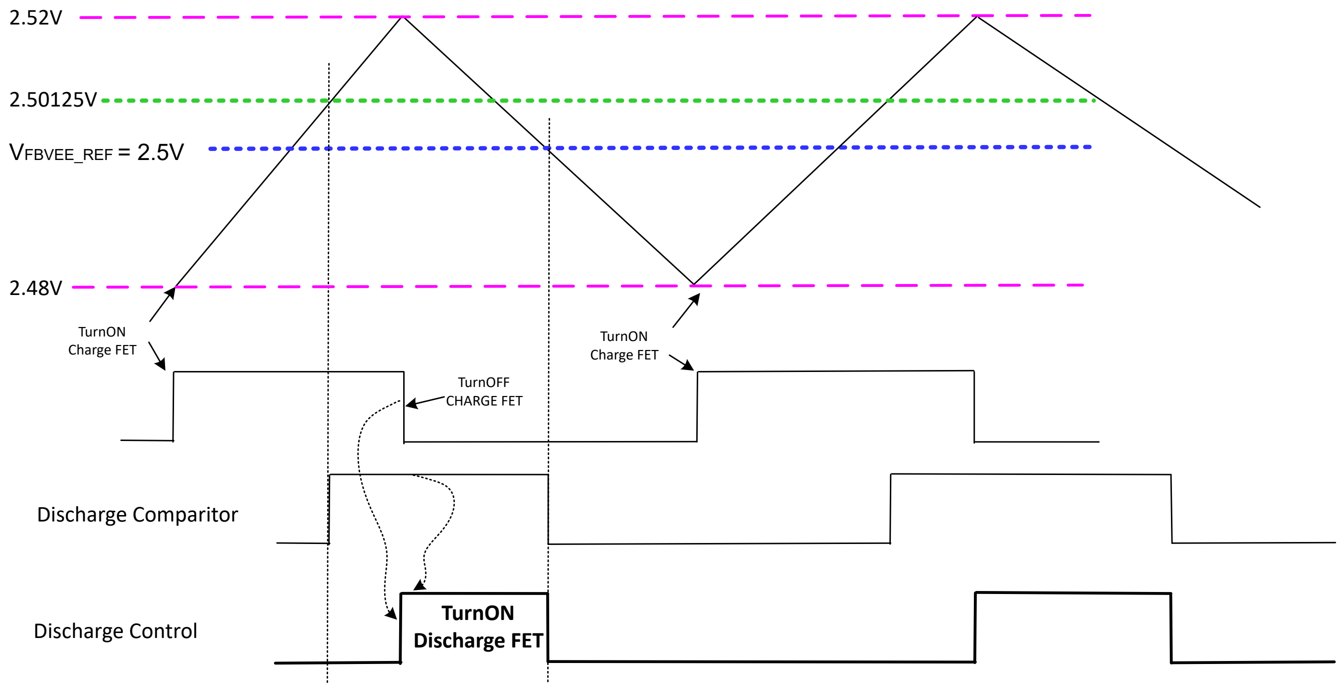


图 8-3. COM-VEE 电压调节图

8.3.1.3 功率处理能力

最大功率处理能力由电路运行和热条件决定。对于给定的输出电压，在触发热保护之前，最大功率会随输入电压的增加而增加。该器件实施了过功率保护 (OPP)，可限制最大输出功率并降低高输入电压下的功率级 RMS 电流。OPP 由从输入电压到 OPP 突发占空比 (D_{OPP}) 的前馈控制来实现。D_{OPP} 在 (VDD-VEE) 调节的主反馈环路的“大型”突发导通时间内添加“小型”突发。当输入电压增加时，D_{OPP} 会自动降低以限制平均输出功率。

在高环境温度下，热性能决定了最大功率和安全工作区 (SOA)。检测到过热后会触发保护性热关断。变压器和器件具有高效和优化的热设计并采用小型封装，可在高环境温度下提供高功率处理能力。

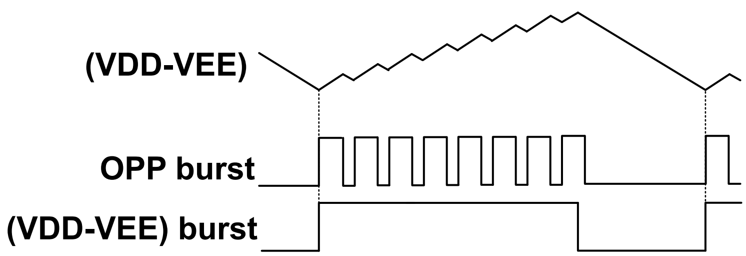


图 8-4. 带小型突发的过功率保护示意图

8.3.2 输出电压软启动

图 8-5 展示了 UCC14341-Q1 软启动时两个输出轨的上电图。在 V_{VIN} > V_{VIN_UVLOP} 并且 ENA 被拉高后，软启动序列开始并以软占空比增量进行突发占空比控制。随着时间的推移，突发占空比由初级侧控制信号 (D_{SS_PRI}) 逐渐从 12.5% 增加到 50%，因此 $V_{VDD-VEE}$ 和 $V_{COM-VEE}$ 都以受控的浅上升斜率按比例增加。当 $V_{VDD-VEE}$ 增加到高于 V_{VDD_UVLOS} 时，反馈环路通信通道有足够的偏置电压，因此次级侧的突发反馈控制将接管。因此，D_{SS_PRI} 会被拉高，不再影响突发占空比。突发占空比通过比较 V_{FBVDD} 和 V_{REF} 来确定。V_{REF} 以七个增量步长从 0.9V 增加到 2.5V，其中第一个 0.4V 阶跃将 V_{REF} 从 0.9V 升压到 1.3，然后接下来的六个 0.2 阶跃将 V_{REF} 从 1.3 升压到 2.5V。每个阶跃持续 128μs。在 $V_{VDD-VEE}$ > V_{VDD_UVP} 后，$V_{COM-VEE}$ 的 RLIM 拉电流/灌电流稳压器将被启用。RLIM 引脚的拉电流或灌电流极性通过比较 V_{FBVEE} 和 V_{REF} 来确定，从而使 $V_{COM-VEE}$ 保持在严格的稳压范围内。在 $V_{VDD-VEE}$ 或 $V_{COM-VEE}$ 上升至其 UVP 阈值以上后，$V_{VDD-VEE}$ UVP 和 $V_{COM-VEE}$ UVP 及 OVP 的抗尖峰脉冲时间为 3ms（典型值），然后通过拉低 $\overline{PG}$ 电压来发出电源正常信号。仅在启动期间发出电源正常信号之前应用 3ms（典型值）的抗尖峰脉冲时间。它为 $V_{VDD-VEE}$ 和 $V_{COM-VEE}$ 提供了足够的时间，使其能够在启动后稳定在其调节滞环内，从而使转换器不会在启动期间因过冲或下冲而关断。

软启动功能大大降低了上电期间的输入浪涌电流。此外，如果 $V_{VDD-VEE}$ 无法在 $t_{SOFT_START_TIME_OUT}$ms 内达到 V_{VDD_UVLOS}，则器件会在安全状态下关断。软启动超时功能可在上电期间输出短路或过载情况下保护模块。

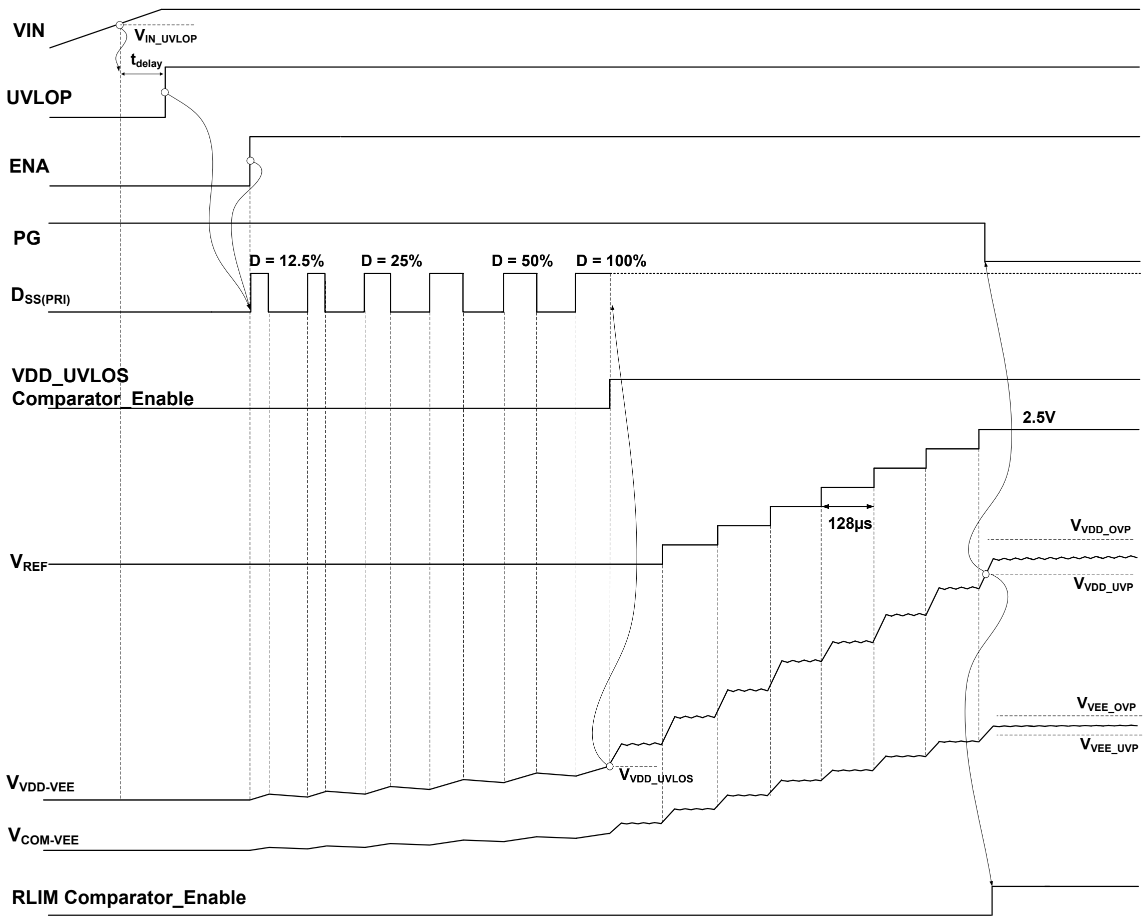


图 8-5. 输出电压软启动图

8.3.3 ENA 和 $\overline{\text{PG}}$

初级侧上的 ENA 输入引脚和 $\overline{\text{PG}}$ 输出引脚使用 5V TTL 和 3.3V LVTTL 电平逻辑阈值。

高电平有效使能输入 (ENA) 引脚用于打开模块的隔离式直流/直流转换器。可以使用 3.3V 或 5V 逻辑轨。将 ENA 引脚电压保持在 5.5V 以下。ENA 引脚电压高于使能阈值 V_{EN_IR} 后，UCC14341-Q1 使能并开始开关，然后经过软启动过程并向次级侧供电。当 ENA 引脚电压降至禁用阈值 V_{EN_IF} 以下后，UCC14341-Q1 将禁用并停止开关。

ENA 引脚还可用于在 UCC14341-Q1 器件进入保护安全状态模式后对其进行复位。检测到故障后，保护逻辑将锁存并将器件置于安全状态。当所有故障都清除时，可以使用 ENA 引脚来清除 UCC14341-Q1 锁存，方法是将 ENA 引脚电压降至 V_{EN_IF} 以下并保持超过 150μs，然后切换回 3.3V 或 5V。器件随后将退出闭锁模式，并启动软启动。图 8-6 展示了闭锁复位时序。

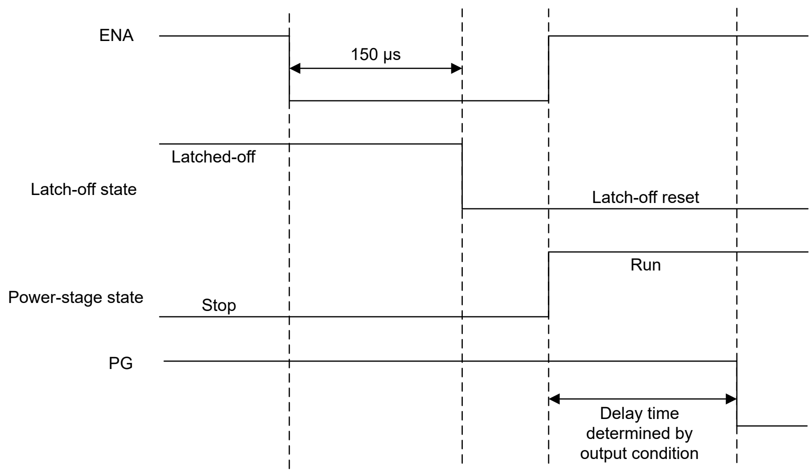


图 8-6. 使用 ENA 引脚的闭锁复位

低电平有效电源正常 ($\overline{\text{PG}}$) 引脚为开漏输出，用于指示模块何时不存在故障（短路）且输出电压在其调节设定点的 ±10% 范围内。将 $\overline{\text{PG}}$ 引脚上的上拉电阻 (> 1kΩ) 连接到 5V 或 3.3V 逻辑轨。将 $\overline{\text{PG}}$ 引脚电压保持在 5.5V 以下，同时不超过其建议的工作电压。$\overline{\text{PG}}$ 引脚的逻辑可通过图 8-7 来说明。

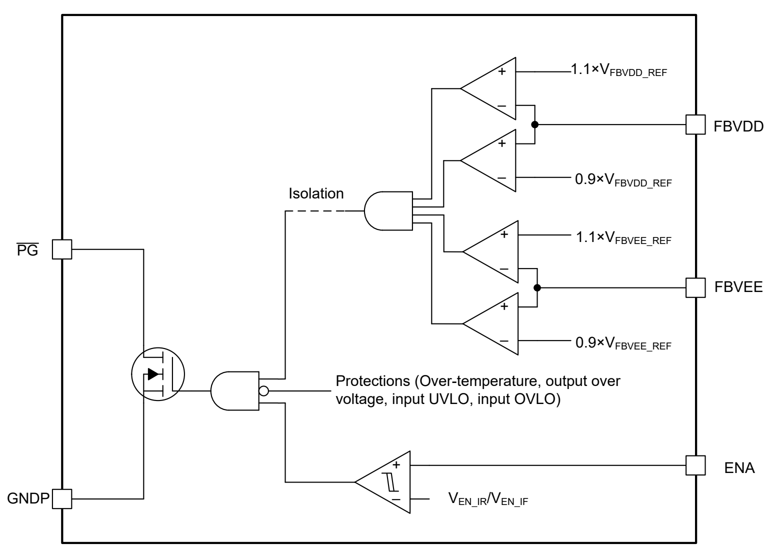


图 8-7. $\overline{\text{PG}}$ 引脚逻辑

8.3.4 保护功能

UCC14341-Q1 具有完整的保护功能，包括输入欠压锁定、过压锁定保护、输出欠压保护、过压保护、过功率保护和过热保护。输入欠压和过压锁定保护功能具有自动恢复响应。所有其他保护功能都具有闭锁响应。触发闭锁响应保护后，转换器会进入闭锁状态并永久停止开关。通过将 V_{VIN} 电压降至锁存复位下降阈值 $V_{VIN\_RESET\_FALLING}$ 以下，可以恢复闭锁状态。也可以通过将 ENA 引脚电压降至使能阈值 V_{EN_IF} 以下来复位闭锁状态。

8.3.4.1 输入欠压锁定

UCC14341-Q1 可接受 13.5V 至 16.5V 的宽输入电压范围。当输入电压变得过低时，要么因为变压器匝数比限制而无法调节输出，要么转换器的电流应力会过大。无论哪种方式，转换器都必须关闭以保护系统。

当 V_{VIN} 电压低于 UVLO 阈值 $V_{VIN\_UVLOP\_FALLING}$ 时，UCC14341-Q1 会进入输入欠压锁定。在 UVLO 模式下，转换器会停止开关。VIN 引脚电压低于 RESET 下降阈值 $V_{VIN\_RESET\_FALLING}$，UCC14341-Q1 会复位所有保护。之后，在 V_{VIN} 电压高于 UVLO 阈值 $V_{VIN\_UVLOP\_RISING}$ 后，转换器会被启用。根据 ENA 引脚电压，转换器可以开始开关，完成软启动过程或在禁用模式下，等待 ENA 引脚电压变为高电平。

8.3.4.2 输入过压锁定

输入过压锁定保护用于保护 UCC14341-Q1 器件免受过压损坏。它具有自动恢复响应。当 V_{VIN} 引脚电压高于输入过压锁定阈值 $V_{VIN\_OVLO\_RISE}$ 时，开关将停止，转换器会停止向次级侧发送能量。在输入过压锁定保护之后，在 V_{VIN} 引脚电压降至恢复阈值 $V_{VIN\_OVLO\_FALLING}$ 以下后，根据 ENA 引脚电压状态，转换器可以恢复运行，完成整个软启动过程，或者在禁用模式下，等待 ENA 引脚变为高电平。输入过压锁定不会复位其他闭锁保护。

8.3.4.3 输出欠压保护

输出电压欠压保护基于 FBVDD 和 FBVEE 引脚电压。当 FBVDD 引脚电压低于其 UVP 阈值 $V_{VDD\_UVP\_FALL}$，或 FBVEE 引脚电压低于其 UVP 阈值 $V_{VEE\_UVP\_FALL}$ 时，便会激活欠压保护。UCC14341-Q1 会停止开关，并且 PG 引脚会变为开路。

在软启动期间，输出电压从零开始上升。FBVDD 和 FBVEE 引脚电压低于 UVP 阈值。软启动期间会禁用 UVP。如果软启动完成后引脚电压无法达到 UVP 恢复阈值（$V_{VDD\_UVP\_RISE}$、$V_{VEE\_UVP\_RISE}$），则会激活欠压保护。UCC14341-Q1 会停止开关，并且 PG 引脚会变为开路。

欠压保护具有闭锁响应。激活后，可以通过将 V_{VIN} 下电上电来清来除闭锁状态。切换 ENA 引脚也可以复位闭锁状态。有关详细信息，请参阅 ENA 和 PG 部分。

8.3.4.4 输出过压保护

UCC14341-Q1 器件通过 FBVDD 和 FBVEE 引脚检测输出电压，以便控制输出电压。为了防止输出电压过高而损坏负载或 UCC14341-Q1 器件本身，UCC14341-Q1 器件配备了输出过压保护功能。根据反馈引脚电压和输出电压，有两个过压保护级别。

在正常工作期间，由于负载瞬态或两个输出之间的负载不平衡，输出电压可能会超过其调节电平。根据 FBVDD 和 FBVEE 上的引脚电压，在电压超过阈值 $V_{VDD\_OVP\_RISE}$ 或 $V_{VEE\_OVP\_RISE}$（比目标调节电压高 10%）后，转换器会立即停止开关。

在极少数情况下，分压器会发生故障并提供错误的输出电压信息。继而，控制环路可能将输出电压调节到错误的电压电平。UCC14341-Q1 器件还配备了失效防护过压保护功能。当 VDD-VEE 电压高于过压保护阈值 $V_{VDD\_OVLOS\_RISE}$ 后，转换器会立即关闭。该失效防护保护电平设置为 31V。它旨在保护 UCC14341-Q1 器件，而不是负载。此设计必须确保电压反馈分压器在所有条件下都能正常运行。

输出过压保护具有闭锁响应。

8.3.4.5 过功率保护

过功率保护 (OPP) 限制了最大平均输出功率。当输出过载时，务必要关断模块，防止其进一步损坏或将故障传播到整个系统的其他部分。由于开关频率极高，实施传统的逐周期电流限制是不切实际的。UCC14341-Q1 器件依赖于过功率保护 (OPP) 与输出欠压保护协同工作。

如功率处理能力所述，通过输入电压前馈和“小幅”突发占空比调整，UCC14341-Q1 的最大电力输送能力得到了良好控制。图 8-8 展示了 OPP 对 Vin 和最大输出功率之间关系的影响。

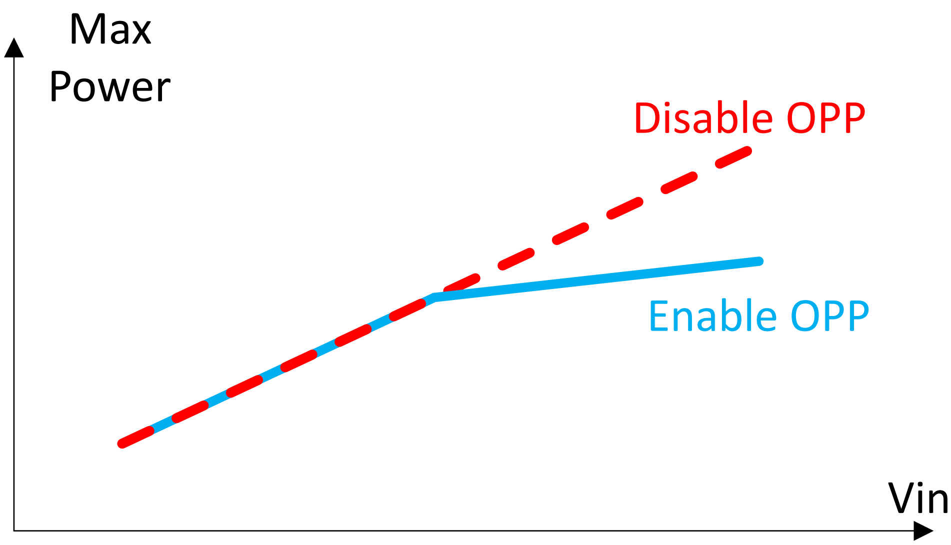


图 8-8. 不同输入电压条件下的最大输出功率

当负载超过最大电力输送能力时，输出电压开始下降。当输出电压降至欠压保护阈值以下时，会触发输出欠压保护，并且器件会锁存至安全状态。

8.3.4.6 过热保护

UCC14341-Q1 集成了初级侧功率级、次级侧功率级以及隔离变压器。功率转换导致的功率损耗会导致模块温度高于环境温度。为了确保电源模块的安全运行，UCC14341-Q1 器件配备了过热保护功能。器件会检测初级侧功率级和次级侧功率级的温度并与过热保护阈值进行比较。如果初级侧功率级温度高于 $TSHUTP_{PRIMARY\_RISE}$，或者次级侧功率级温度高于 $TSHUTS_{SECONDARY\_RISE}$，模块将进入过热保护模式。模块将停止开关；$\overline{PG}$ 引脚会变为开路。保护后，模块将进入闭锁模式。当功率级温度降至过热恢复阈值以下时，V_{VIN} 下电上电或切换 ENA 引脚电压会使模块退出闭锁模式。根据 ENA 引脚电压，模块要么开始开关，向次级侧供电，要么在待机模式下等待 ENA 引脚电压变为高电平。

8.4 器件功能模式

根据输入和输出条件、ENA 引脚电压以及器件温度，UCC14341-Q1 会采用以下其中一种工作模式。

1. 禁用模式。在此模式下，模块处于关闭状态，但会等待 ENA 引脚变为高电平以开始工作。
2. 软启动模式。在此模式下，模块开始向次级侧供电。初级侧运行占空比和次级侧基准逐渐升高，来减少对模块的应力。
3. 正常运行模式。在此模式下，模块正常运行，向次级侧供电。
4. 保护模式、自动恢复。在此模式下，由于输入 UVLO 或 OVLO 保护，模块处于关闭状态。在输入电压故障清除后，根据 ENA 引脚电压条件，如果 ENA 引脚电压为低电平，它将变为禁用模式，或者它将通过软启动模式进入正常运行模式。
5. 保护模式、闭锁。在此模式下，由于其他保护措施，模块处于关闭状态。即使导致保护的故障被清除，模块仍会保持关闭状态。V_{VIN} 上电下电操作必须先确保输入电压低于模拟 UVLO 下降阈值 ($V_{VIN\_ANALOG\_UVLOP\_FALLING}$) 以复位闭锁状态，否则 ENA 引脚会先切换至低电平 (OFF)，然后切换至高电平 (ON)。

表 8-1 列出了此器件的电源功能模式。ENA 引脚有一个内部弱接地下拉电阻，但是 TI 不建议将此引脚保持开路。

表 8-1. 器件功能模式

输入			输出			工作模式
V_{VIN}	ENA	故障	$V_{(VDD – VEE)}$ 隔离式输出 1	$V_{(COM – VEE)}$ 隔离式输出 2	PG 开漏	
$V_{VIN} < V_{VIN\_UVLOP\_RISING}$	X	X	OFF	关闭	高	保护模式、自动恢复
$V_{VIN\_UVLOP\_RISING} < V_{VIN} < V_{VIN\_OVLO\_RISING}$	低电平	X	OFF	关闭	高	禁用模式
$V_{VIN\_UVLOP\_RISING} < V_{VIN} < V_{VIN\_OVLO\_RISING}$	高电平	无故障	在设定点调节	在设定点调节	低	正常运行
$V_{VIN\_UVLOP\_RISING} < V_{VIN} < V_{VIN\_OVLO\_RISING}$	高电平	有故障	关闭	关闭	高	保护模式、闭锁
$V_{VIN} > V_{VIN\_OVLO\_RISING}$	X	X	OFF	关闭	高	保护模式、自动恢复

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

9.1 应用信息

UCC14341-Q1 器件适用于布板空间有限且需要更多集成的应用。该器件还适用于为满足所需隔离规范而采用体积庞大且价格昂贵的电源变压器的超高电压应用。

9.2 典型应用

下图展示了为隔离负载供电的 UCC14341-Q1 器件配置的典型应用原理图。

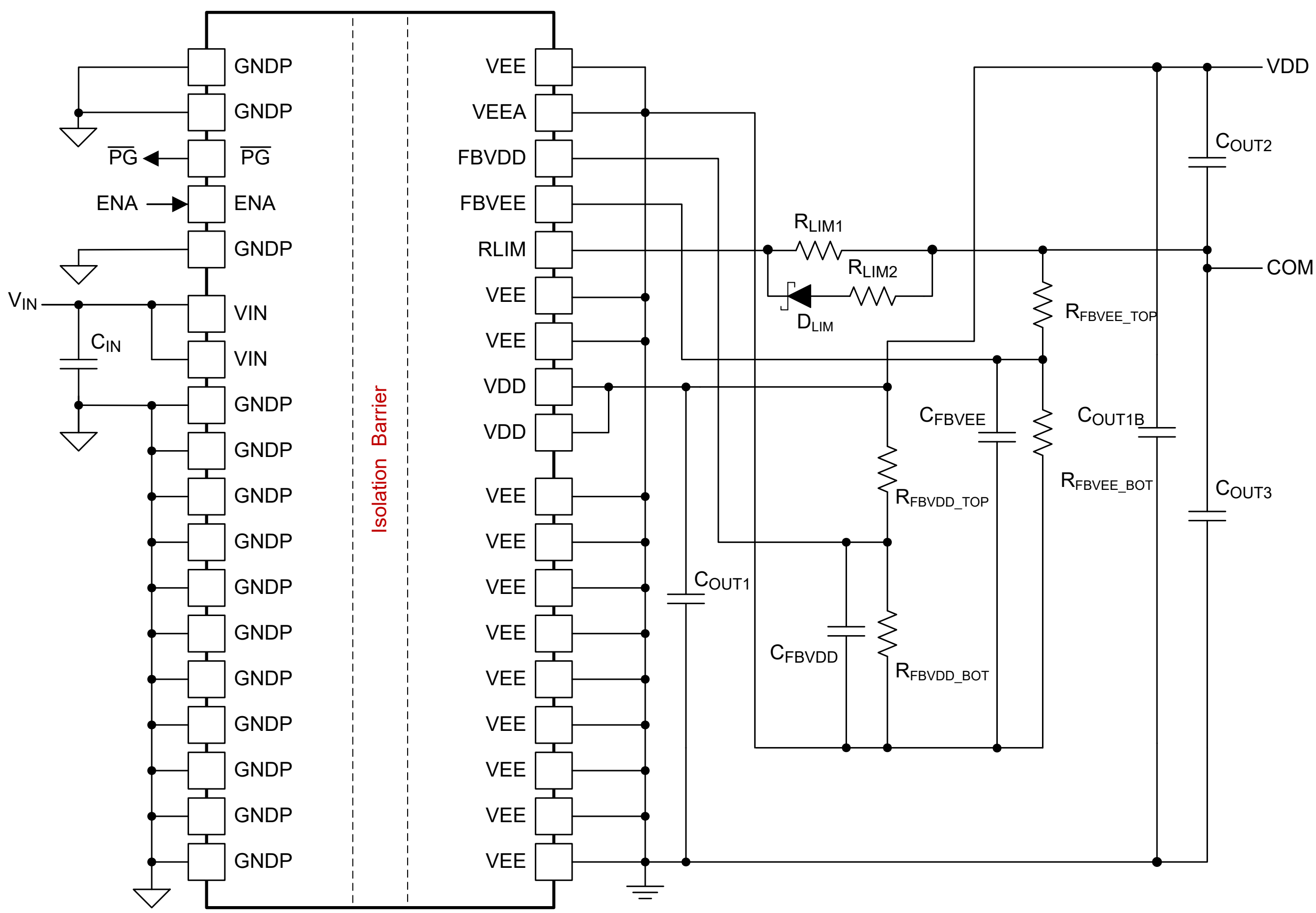


图 9-1. 双路可调输出配置

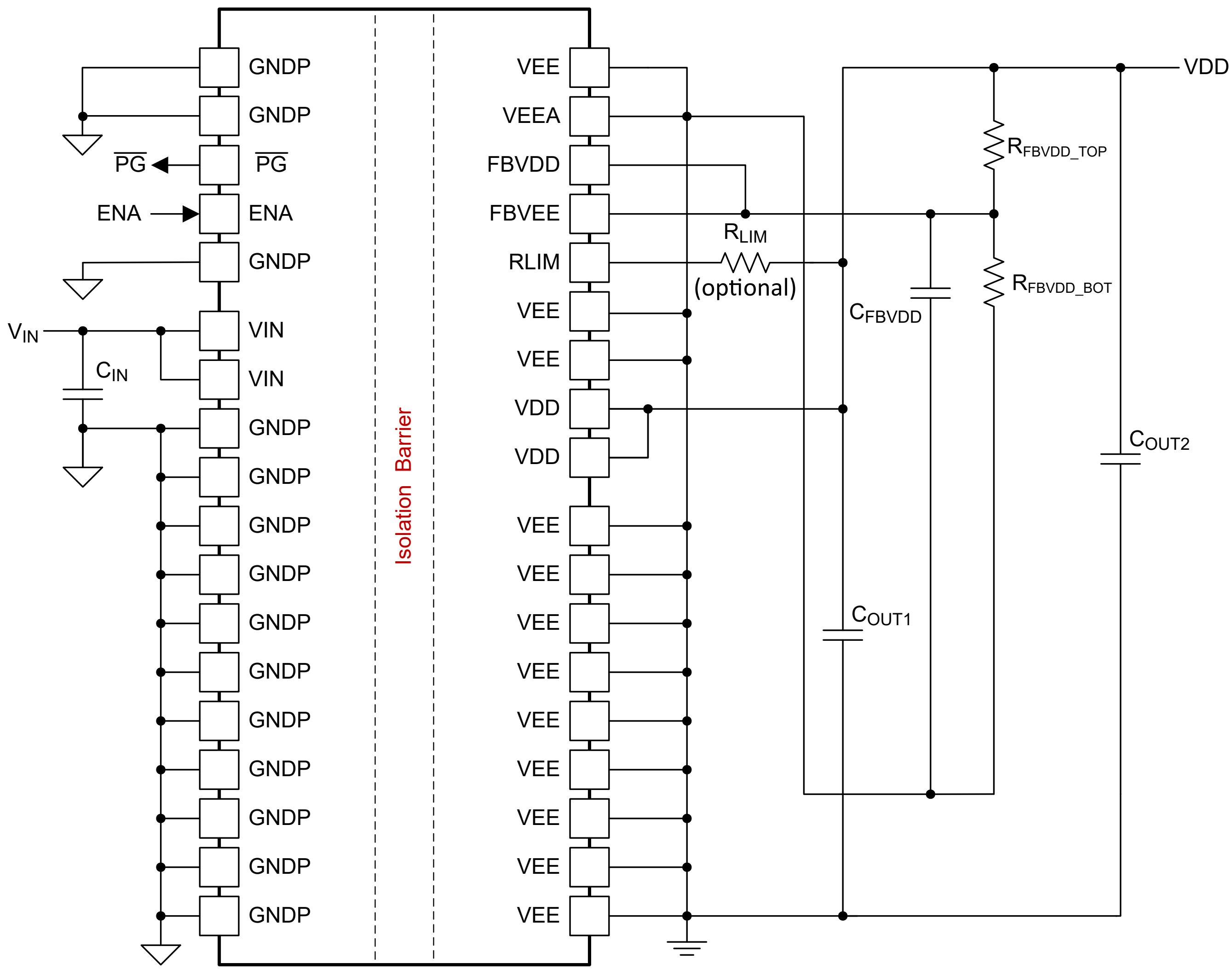


图 9-2. 单路可调输出配置

9.2.1 设计要求

使用 UCC14341-Q1 模块进行设计很简单。首先，选择单路输出还是双路输出。确定每个输出的电压，然后通过电阻分压器设置调节。其次，根据“电容器选型”部分中的步骤选择建议的输入和输出电容器。功率器件的栅极电荷决定了栅极驱动器输入端所需的输出去耦电容大小。再次，根据“单个 R_{LIM} 电阻器选型”或“RDR 电路元件选型”部分中的步骤，计算双路输出用于调节 (COM – VEE) 电压轨的 R_{LIM} 电阻值。

对于双路输出配置，VDD 至 VEE 输出电容器的放置和 RLIM 至 COM 电阻会对电源模块的性能和系统 BOM 成本产生很大影响。表 9-1 比较了两种不同 VDD 至 VEE 输出去耦电容器放置方式和两种 R_{LIM} 限流网络的四种组合。数字 1 表示最佳，数字 4 表示最差。表中显示方案 B 提供最佳性能，而方案 A 提供最低的 BOM 成本。如图 9-1 所示，C_{OUT1} 是最靠近 VDD 和 VEE 引脚的去耦电容器，而 C_{OUT1B} 是最靠近输出负载的去耦电容器。此外，RLIM 引脚和 COM 端子之间的限流电阻器网络称为 RDR 电路，可独立对 R_{LIM} 稳压器的充电和放电电流进行编程。

例如，对于具有高 di/dt 电流变化的栅极驱动器应用，电源模块的输出端子和输出负载的输入偏置端子之间的有限阻抗会极大地影响负载点的瞬态响应，因此，局部去耦电容 C_{OUT1B} 可在驱动器开关条件下为 $V_{VDD\text{-}to\text{-}COM}$ 和 $V_{COM\text{-}to\text{-}VEE}$ 提供非常有效的低阻抗去耦。从原理图方面看，增加 C_{OUT1B} 似乎意味着再增加一个电容器，但实际情况是，它有助于避免 C_{OUT2} 和 C_{OUT3} 过大。使用 C_{OUT1B} 时，C_{OUT2} 和 C_{OUT3} 的电容和电容器封装尺寸减小，最终降低了输出电容器组的总 BOM 成本。后面的节 9.2.2.1 将详细介绍 C_{OUT1B} 的设计过程。另一个优势是，当

C_{OUT2} 和 C_{OUT3} 的电容减小时，可以使用更高的 R_{LIM} 电阻进行 COM 至 VEE 调节，因此降低了 RLIM 稳压器的功率损耗，从而提高了电源模块效率。

表 9-1. 四种设计方案及其系统级影响的比较

	C_{OUT1B}	RDR	输出纹波	效率	外部 BOM 数量/成本
方案 A	是	否	3	3	1（最低）
方案 B	是	是	1（最低）	1（最高）	2
方案 C	否	否	4	4	3
方案 D	否	是	2	2	4

如图 9-1 所示，RDR 电路是 RLIM 引脚的限流电阻器网络，允许 R_{LIM} 稳压器独立优化充电和放电电流能力，以便通过减少 R_{LIM} 稳压器的功率损耗来进一步提高电源模块效率。电路由三个元件组成，一个高阻值电阻 R_{LIM1} 与另一个电阻-二极管分支并联，一个小阻值电阻 R_{LIM2} 与小信号二极管 D_{LIM} 串联。R_{LIM1} 电阻远高于 R_{LIM2} 电阻。由于 $V_{VDD\text{-}to\text{-}VEE}$ 通常比 $V_{COM\text{-}to\text{-}VEE}$ 高得多（尤其是在栅极驱动应用中），R_{LIM1} 为内部充电开关提供了一条高电阻路径来大幅降低开关电流，从而降低内部充电开关的开关损耗和传导损耗以及 R_{LIM1} 的功率损耗，可实现更高的效率。此外，由于充电电流更小，在充电开关导通时对减少 $V_{VDD\text{-}to\text{-}VEE}$ 纹波的干扰将降至最低，因此总峰峰值纹波将减小。

当放电开关打开时，D_{LIM} 提供了一条单向路径，可将大部分 RLIM 引脚电流转回 R_{LIM2}。借助这种方法，配备足够强灌电流能力的 RLIM 稳压器可以避免 COM 引脚端子上的不平衡电流在稳压范围之外为 $V_{COM\text{-}to\text{-}VEE}$ 充电。由于 $V_{COM\text{-}to\text{-}VEE}$ 低于 $V_{VDD\text{-}to\text{-}VEE}$，例如 -5V 相对于 25V，因此内部放电开关和具有更大开关电流的 R_{LIM2} 的功率损耗问题就不那么重要了。相反，如果 RLIM 引脚仅使用一个电阻器，则电阻器需要设计为在最坏情况下具有最低电阻，以确保 $V_{COM\text{-}to\text{-}VEE}$ 调节，因此效率会受到影响。例如，与仅使用一个 51Ω 的 R_{LIM} 相比，R_{LIM1} 为 1kΩ 且 R_{LIM2} 为 51Ω 的 RDR 电路可在从 VDD 到 COM 的 10mA 负载下将转换器效率提高 7%，并将外壳温度降低 10°C。

基于上述情况，强烈建议将方案 B 作为应用的首选。若有其他注意事项需要考虑，用户仍可以使用另外三种设计方案。设计计算器提供了一个通用计算工具，可帮助用户优化每种方案。这些公式基于以下详细说明。

9.2.2 详细设计过程

将陶瓷去耦电容器放置在尽可能靠近器件引脚的位置。对于输入电源，请将电容器放在引脚 6 至 7 (VIN) 和引脚 8 至 9 (GNDP) 之间。对于隔离式输出电源 (VDD – VEE)，请将电容器放在引脚 28 至 29 (VDD) 和引脚 30 至 31 (VEE) 之间。对于隔离式输出电源 (COM – VEE)，请在 RLIM 引脚和栅极驱动器 COM 电源输入端之间放置一个 R_{LIM} 电阻器。此外，还应在栅极驱动器电源引脚（VDD 和 COM）和栅极驱动器电源引脚（COM 和 VEE）处放置去耦电容器，电容值根据以下元件计算部分来确定。这些位置对所有去耦电容特别重要，因为这些电容提供与电源驱动电路的快速开关波形相关的瞬态电流。确保电容器电介质材料与目标应用温度兼容。

9.2.2.1 电容器选型

UCC14341-Q1 器件提供隔离式输出 VDD-VEE 作为其主输出。该器件还使用 VDD-VEE 作为其电源，提供了另一个输出 COM-VEE。由于两个输出都与输入隔离，并且共用 VEE 作为公共参考点，因此 UCC14341-Q1 输出可配置为两个正输出、两个负输出或一正一负两个输出。UCC14341-Q1 输出也可用作单个正输出或单个负输出。

当模块配置为一正一负两个输出时，务必要正确选择输出电容比 C_{OUT2} 和 C_{OUT3}，来优化调节并避免导致过压或欠压故障。

表 9-2. 计算出的电容器值

电容器	值 (µF)	说明
C_{IN}	10 + 0.1	在 VIN 引脚附近并联放置一个 10µF 和一个 0.1µF 高频去耦电容器。当从电压源到 VIN 引脚的串联阻抗较大时，可以使用大于 10uF 的电容来减少电压纹波。
C_{OUT1}	2.2+ 0.1	添加一个 2.2µF 和一个 0.1µF 电容器，用于对 (VDD – VEE) 进行高频去耦。应靠近 VDD 和 VEE 引脚放置。可以使用大于 2.2uF 的电容来降低输出电压纹波。
C_{OUT1B}	请见下方	大容量去耦输出充电电容器需放置在栅极驱动器引脚旁边。C_{OUT2} 与 C_{OUT3} 的电容比对于在充电或放电开关周期内优化双路输出分压器精度非常重要；而 C_{OUT1B} 电容器用于最大程度地减小总电容，包括 C_{OUT1B}、C_{OUT2} 和 C_{OUT3} 电容值。
C_{OUT2}	请见下方	
C_{OUT3}	请见下方	

输出电容器去耦对于实现理想的栅极驱动器运行状态非常重要。通过降低充电/放电路径中的寄生阻抗，可实现良好的高频去耦效果。使用具有低 ESR 和低 ESL 的陶瓷电容器以及尽可能减小布线阻抗很重要。

如图 9-3 所述，UCC14341-Q1 的 $V_{VDD-VEE}$ 输出引脚需要一个去耦电容器 C_{OUT1}，用于高频去耦。然而，栅极驱动器引脚上需要 C_{OUT2} 和 C_{OUT3}，用于 $V_{VDD-COM}$ 和 $V_{VEE-COM}$ 去耦。C_{OUT1} 和 C_{OUT2}/C_{OUT3} 组合之间的阻抗可防止 C_{OUT1} 协助栅极驱动器的高频去耦，从而要求 C_{OUT2} 和 C_{OUT3} 接受满载。阻抗可能来自 PCB 布线、插座连接、EMI 滤波器或铁氧体磁珠等。这会导致 C_{OUT2}（尤其是 C_{OUT3}）相对较大，从而实现较小的压降。

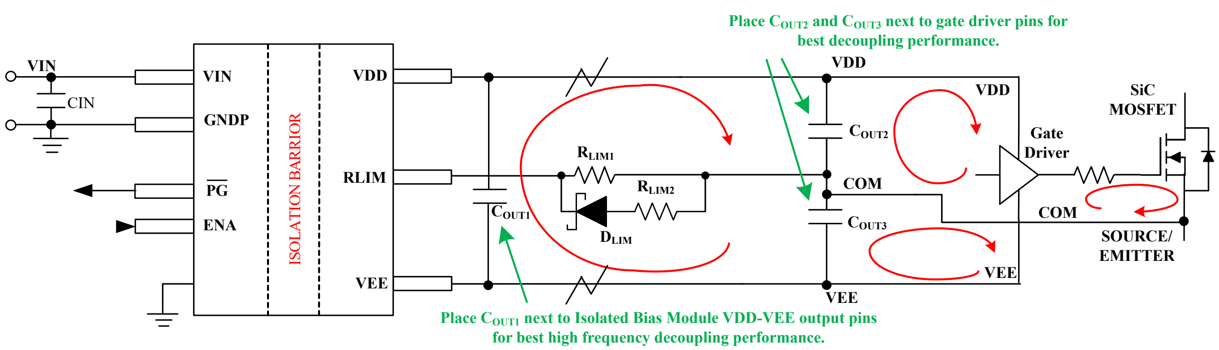


图 9-3. 具有 C_{out1}、C_{out2} 和 C_{out3} 的双路输出原理图

通过在 C_{OUT2} 和 C_{OUT3} 旁边的栅极驱动器引脚处加入一个 $V_{VDD-VEE}$ 的 C_{OUT1B} 电容器，可降低所需的 C_{OUT2} 和 C_{OUT3} 电容，如图 9-4 所示。C_{OUT1B} 可协助 C_{OUT2} 和 C_{OUT3} 的去耦总电容；从而降低实现所需压降需要的总电容 (C_{OUT1B} + C_{OUT2} +C_{OUT3})。图 9-5 显示，当 C_{OUT1B} 从“无”增加到更高的 C_{OUT1B} 值时，C_{OUT2} 和 C_{OUT3} 显著减少，总净电容减少，直至达到收益递减点（“拐点”），即任何额外的 C_{OUT1B} 都会使 C_{OUT2} 和 C_{OUT3} 降低幅度相对较小，并开始使总净电容显著增加。使用最小总净电容下的最佳 C_{OUT1B}、C_{OUT2} 和 C_{OUT3} 值，有利于减小输出电容器尺寸和降低 BOM 成本。

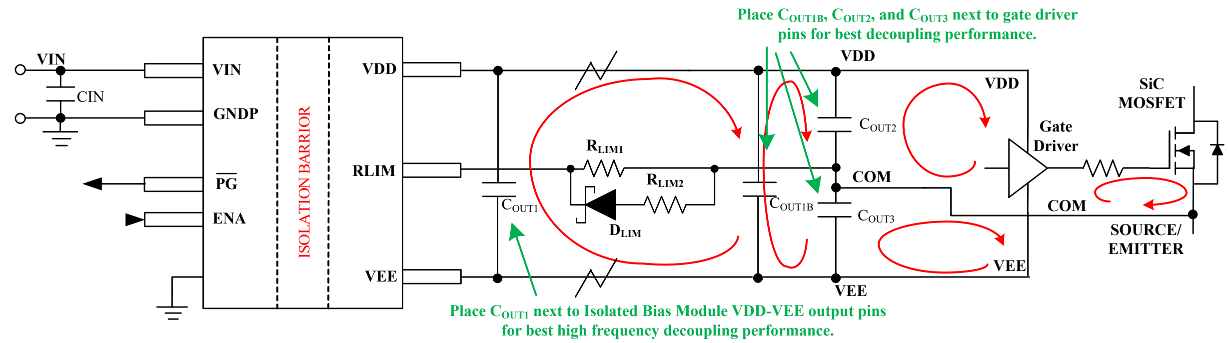


图 **9-4.** 具有 C_{out1}、C_{out1B}、C_{out2} 和 C_{out3} 的双路输出原理图

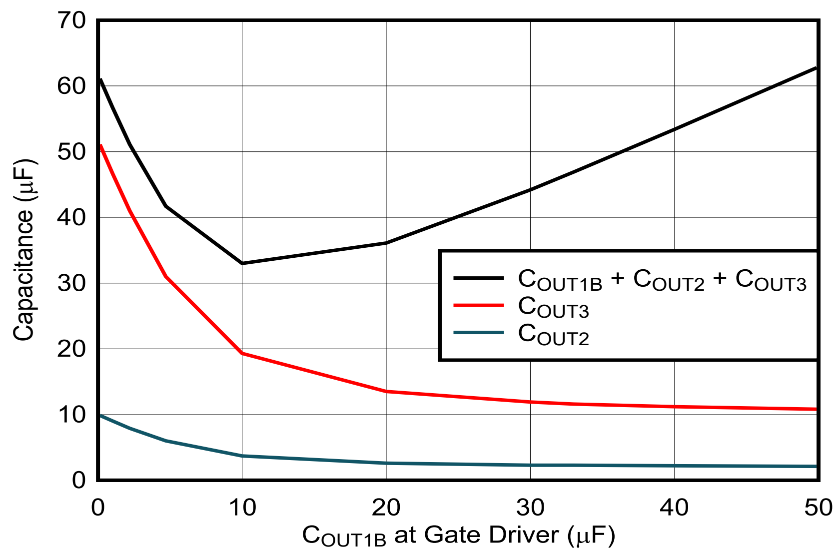


图 **9-5.** 输出电容随 C_{out1B} 选择的变化

为了计算 C_{OUT1B}、C_{OUT2} 和 C_{OUT3}，我们计算了等效 (VDD-COM) 电容，该电容等于 C_{OUT1B} 和 C_{OUT3} 与 C_{OUT2} 并联的串联电容。将调整该等效 (VDD-VEE) 电容的大小，以限制电源开关（SiC 或 IGBT）栅极电荷开启时的预定 (VDD-COM) 放电压降。

$$C_{(VDD\text{-}COM)EQ} = \frac{C_{OUT1B} \times C_{OUT3}}{C_{OUT1B} + C_{OUT3}} + C_{OUT2} \tag{1}$$

求解 $V_{VDD\text{-}COM}$ 上由负载瞬态引起的可接受压降，$\Delta V_{(VDD\text{-}COM)\_droop}$

$$C_{(VDD-COM)EQ} = \frac{Q_g}{\Delta V_{(VDD-COM)\_droop}} \tag{2}$$

C_{OUT2} 与 C_{OUT3} 之比定义为 K_{23} 的系数，它是分压器分压比与差分电流之比的乘积。分压器分压比源于两个电容器的串联配置。分流比是根据流经两个电容器的充电电流计算得出。I_{MAX_POWER} 是突发导通时间内电源模块的最大瞬时电流，可通过将 25°C T_A 下数据表 SOA 曲线上的最大功率除以 $V_{VDD\text{-}VEE}$ 来获得。$I_{VDD\text{-}COM}$ 是 VDD 和 COM 之间的总静态电流。以栅极驱动器为例，$I_{VDD\text{-}VEE}$ 是不进行开关时的电流消耗。$I_{COM\text{-}VEE}$ 是 COM 和 VEE 之间的总静态电流。基于 KCL，在突发导通时间内对 C_{OUT2} 进行充电的差分电流为 (I_{MAX_POWER} - $I_{VDD\text{-}COM}$)，而对 C_{OUT3} 进行充电的差分电流为 (I_{MAX_POWER} - $I_{COM\text{-}VEE}$)。

$$C_{OUT3} = C_{OUT2} \times K_{23} \tag{3}$$

其中

$$K_{23} = \frac{V_{(VDD-COM)} \times \left(I_{MAX\_POWER} - I_{COM-VEE}\right)}{V_{(COM-VEE)} \times \left(I_{MAX\_POWER} - I_{VDD-COM}\right)} \tag{4}$$

接下来，将上述 C_{OUT3} 表达式插入方程式 1，我们会得到

$$\frac{Q_g}{\Delta V_{(VDD-COM)\_droop}} = \frac{C_{OUT1B} \times \left(C_{OUT2} \times K_{23}\right)}{C_{OUT1B} + \left(C_{OUT2} \times K_{23}\right)} + C_{OUT2} \tag{5}$$

接近负载点的总去耦电容 (C_{OUT_Total}) 是 C_{OUT1B}、C_{OUT2} 和 C_{OUT3} 的总和。目标是找到最小的 C_{OUT1B}，以尽可能降低 C_{OUT_Total}，从而节省 BOM 成本和空间，同时保持所需的负载瞬态性能。可通过求解 C_{OUT_Total} 的偏导数（等于 0）来计算最优 C_{OUT1B}。

$$\frac{dC_{OUT\_Total}}{dC_{OUT1B}} = \frac{d}{dC_{OUT1B}}\left(C_{OUT1B} + C_{OUT2} + C_{OUT3}\right) = 0 \tag{6}$$

将上述 C_{OUT3} 和 C_{OUT2} 表达式包含在方程式 6 中，最优 C_{OUT1B} 的推导公式为

$$C_{OUT1B} = \frac{K_{23} \times Q_g \times \left({K_{23}}^3 + \sqrt{{K_{23}}^2 + K_{23} + 1} + {K_{23}}^2 \times \sqrt{{K_{23}}^2 + K_{23} + 1} - 1\right)}{\Delta V_{(VDD-COM)\_droop} \times \left(K_{23} + 1\right)^2 \times \left({K_{23}}^2 + K_{23} + 1\right)} \tag{7}$$

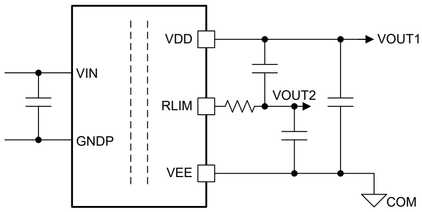
之后，求解方程式 5，包括方程式 7，C_{OUT2} 可以按下式求解

$$C_{OUT2} = \frac{K_{23} \times Q_g - \left(1 + K_{23}\right) \times C_{OUT1B} \times \Delta V_{(VDD-COM)droop}}{2 \times K_{23} \times \Delta V_{(VDD-COM)\_droop}} + \frac{\sqrt{C_{OUT1B}^2 \Delta V_{(VDD-COM)droop}^2\left({K_{23}}^2 + 2K_{23} + 1\right) + 2C_{OUT1B}K_{23}Q_g \Delta V_{(VDD-COM)droop}\left(1 - K_{23}\right) + {K_{23}}^2 Q_g^2}}{2 \times K_{23} \times \Delta V_{(VDD-COM)\_droop}} \tag{8}$$

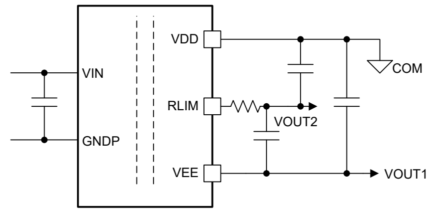
总的来说，三个去耦电容器的设计过程从 C_{OUT1B} 计算开始，而后是 C_{OUT2} 计算，最后是 C_{OUT3} 计算。最终电容值将用于计算 R_{LIM}，如下一节所述。

9.2.2.2 单个 R_{LIM} 电阻器选型

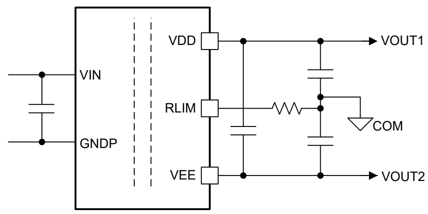
UCC14341-Q1 器件提供隔离式输出 VDD-VEE 作为其主输出。它还使用 VDD-VEE 作为其电源，提供了另一个输出 COM-VEE。由于两个输出都与输入隔离，并且共用 VEE 作为公共参考点，因此 UCC14341-Q1 输出可配置为两个正输出、两个负输出或一正一负两个输出，如图 9-6 所示。



(a) 双路输出，双正



(b) 双路输出，双负



(c) 双路输出，一正一负

图 9-6. 双路输出配置

当模块配置为双路正输出或双路负输出时，R_{LIM} 电阻器是真正的限流电阻器。使用方程式 9，将 R_{LIM} 电阻器值设置为 V_{OUT2} 需要最大负载电流时的值。I_{VOUT2_max} 是 V_{OUT2} 输出的最大负载电流。

$$R_{LIM} = \frac{V_{OUT2}}{I_{VOUT2\_max}} - \mathrm{R_{LIM\_INT}} \tag{9}$$

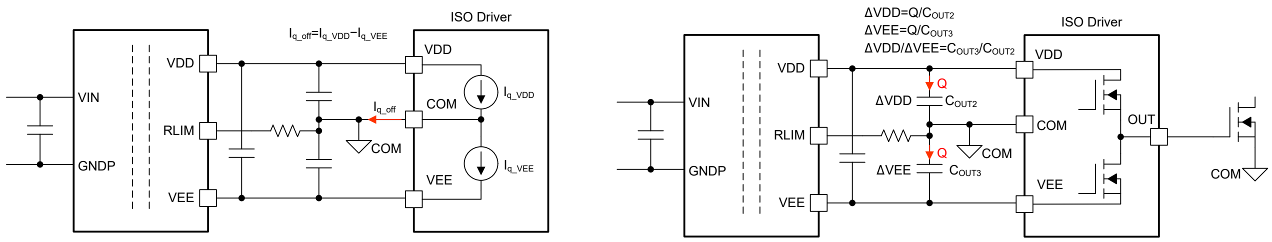
R_{LIM_INT} 是内部开关电阻值，典型值为 30 Ω。

对于隔离式栅极驱动器应用，需要一个正输出和一个负输出。在这种情况下，VDD-VEE 是总输出电压，中间点成为参考点。由于 VDD 和 VEE 之间的总电压始终通过 FBVDD 反馈进行调节，因此 RLIM 引脚只需调节中点电压，以便能够提供正确的正负电压。可以通过 FBVEE 引脚来实现 RLIM 控制，如 COM-VEE 电压调节中所述。

根据电容器选型，选择与电压比成正比的输出电容比时，电容器将形成分压器。中点电压必须自然提供正确的正负电压。同时，对于栅极驱动器电路，导通期间从正电源轨电容器拉出的栅极电荷会在关断期间反馈到负电源轨电容器，两个输出电源轨负载必须始终保持平衡。但是，由于栅极驱动器电路静态电流不平衡以及两个电源轨的电容容差，中点电压可能会随着时间的推移而发生偏移。RLIM 引脚提供相反的电流，可将中点电压保持在正确的电平。

如图 9-7 (a) 所示，在不考虑栅极电荷的情况下，栅极驱动器电路静态电流会以不同的方式加载正电源轨和负电源轨。净电流显示为中点的直流失调电流。

如图 9-7 (b) 所示，每次栅极驱动器电路打开主电源开关时，它都会将电荷从正负电源轨输出电容器中拉出。当模块功率级向次级侧供电，使这些电容器刷新时，会将相同的电荷馈入这两个电容器中。如果电容器值完全匹配，则电容中的电压上升将成比例。正负电压不会改变。但是，由于电容器容差，电容器值并不完全匹配。电压将以不同的比率上升，其中较小的电容器上升得更快。随着时间的推移，中点电压 COM 将拉至另一个值。其中一个电容器上的负载将导致电压不平衡。RLIM 功能可抵消电压不平衡并使 COM 电压恢复到稳压状态。



(a) 负载电流不平衡　　(b) 电容不平衡

图 9-7. 电压不平衡来源

由于这两个影响，R_{LIM} 必须提供足够的电流来补偿此失调电流。R_{LIM} 必须足够低以提供足够的电流，但不能太低，否则会在栅极驱动器的每个导通和关断边沿纠正中点电压，并产生过多的功率损耗。

使用以下 3 个公式选择的 R_{LIM} 电阻器可为负载提供足够的电流，其中值以这 3 个公式中的最低者为准。

$$R_{LIM\_MAX\_H} = \frac{V_{VDD-COM}}{\left[\frac{C_{OUT3}\times(1-\Delta C_{OUT3})}{C_{OUT2}\times(1-\Delta C_{OUT2})+C_{OUT3}\times(1-\Delta C_{OUT3})}-\frac{C_{OUT3}}{C_{OUT2}+C_{OUT3}}\right]\times Q_{G\_Total}\times f_{SW}+\Delta I_{COM\_SOURCE}} - R_{LIM\_INT} \tag{10}$$

其中

- Q_{G_Total} 是电源开关的总栅极电荷。
- f_{SW} 是栅极驱动器负载的开关频率。
- 当 $I_{COM-VEE}>I_{VDD-COM}$ 时，$\Delta I_{COM\_SOURCE}=I_{COM-VEE}-I_{VDD-COM}$。否则，$\Delta I_{COM\_SOURCE}=0A$。

$$R_{LIM\_MAX\_L1} = \frac{V_{COM-VEE}}{\left[\frac{C_{OUT2}\times(1-\Delta C_{OUT2})}{C_{OUT2}\times(1-\Delta C_{OUT2})+C_{OUT3}\times(1-\Delta C_{OUT3})}-\frac{C_{OUT2}}{C_{OUT2}+C_{OUT3}}\right]\times Q_{G\_Total}\times f_{SW}+\Delta I_{COM\_SINK}} - R_{LIM\_INT} \tag{11}$$

其中，当 $I_{COM-VEE}<I_{VDD-COM}$ 时，$\Delta I_{COM\_SINK}=I_{VDD-COM}-I_{COM-VEE}$。否则，$\Delta I_{COM\_SINK}=0A$。

$$R_{LIM\_MAX\_L2} = \frac{V_{COM-VEE}}{\left[(C_{OUT3}+TOLERANCE_{COUT3})\times\frac{0.10\text{ x }V_{COM-VEE}}{3\ ms}\right]+\Delta I_{COM\_SINK}} - R_{LIM\_INT} \tag{12}$$

R_{LIM} 值选择以下两者中的较小者：1) 电容器不平衡和负载所需的 R_{LIM}，由 $R_{LIM\_MAX\_H}$ 和 $R_{LIM\_MAX\_L1}$ 计算得出，或 2) 在给定负载电流的情况下，在 3ms 内响应 $V_{COM-VEE}$ 瞬态所需的 R_{LIM}，由 $R_{LIM\_MAX\_L2}$ 计算得出。

R_{LIM} 值决定 (COM – VEE) 调节的响应时间。R_{LIM} 值过低会导致振荡并可能使 (VDD – VEE) 过载。R_{LIM} 值过高可能会因响应缓慢而导致失调电压误差。如果 R_{LIM} 大于上述计算值，则没有足够的电流来为输出电容器充电，从而导致电荷不平衡，其中电压无法保持调节，并最终超过 OVP 或 UVP 故障阈值，这时器件将关断以提供保护。选择的 R_{LIM} 值应当接近三个计算结果中的最小值但比最小值小。

R_{LIM} 的功率损耗可根据下式推导出

$$P_{RLIM} = \frac{{V_{VDD-COM}}^2}{R_{LIM}}Duty_{RLIM} + \left(\left[\frac{C_{OUT2}\times(1-\Delta C_{OUT2})}{C_{OUT2}\times(1-\Delta C_{OUT2})+C_{OUT3}\times(1-\Delta C_{OUT3})}-\frac{C_{OUT2}}{C_{OUT2}+C_{OUT3}}\right]\times Q_{G\_Total}\times f_{SW}+\Delta I_{COM\_SINK}\right)^2\times R_{LIM} \tag{13}$$

其中，$Duty_{RLIM}$ 是相对于开关周期的 RLIM 引脚开关导通时间的占空比。根据经验，33% 是用于计算功率损耗的合理值。

9.2.2.3 RDR 电路元件选型

可根据以下公式选择 R_{LIM1} 值

$$R_{LIM1} = \frac{(V_{VDD-VEE} - V_{COM-VEE})}{\left(C_{OUT3} \times (1 + \Delta C_{OUT3\_POS}) \times \left(\frac{0.1 \times V_{COM-VEE}}{0.003}\right) + \Delta I_{COM\_SOURCE}\right)} - R_{LIM\_INT} \tag{14}$$

其中

当 $I_{COM-VEE}>I_{VDD-COM}$ 时，$\Delta I_{COM\_SOURCE}=I_{COM-VEE}-I_{VDD-COM}$。否则，$\Delta I_{COM\_SOURCE}$=0A。

当计算得出的 R_{LIM1} 值大于 3kΩ 时，我们建议 R_{LIM1} 使用 3kΩ 电阻器。原因是使用 >3kΩ 电阻器节省的额外功率损耗非常有限，建议使用最大 3kΩ 电阻器，以通过 R_{LIM1} 保留足够的拉电流能力来应对瞬态事件。

可根据以下公式选择 R_{LIM2} 值

$$R_{LIM2} = \frac{V_{COM-VEE} - 0.5}{V_{COM-VEE} \cdot \left(\frac{1}{R_{LIM\_MAX\_L}} - \frac{1}{R_{LIM\_MAX\_H}}\right)} \tag{15}$$

其中，$R_{LIM\_MAX\_L}$ 是“单个 R_{LIM} 电阻器选型”部分中介于 $R_{LIM\_MAX\_L1}$ 和 $R_{LIM\_MAX\_L2}$ 之间的最小值，而 0.5V 表示 D_{LIM} 的二极管正向压降。

当计算出的 R_{LIM1} 和 R_{LIM2} 值具有足够大的差异时，RDR 效率提升很显著。如果 R_{LIM1} 和 R_{LIM2} 值接近，则可以考虑使用单个 R_{LIM} 电阻器来减少外部元件。

R_{LIM1} 的功率损耗可根据下式推导出

$$P_{RLIM1} = \frac{{V_{VDD-COM}}^2}{R_{LIM1}} Duty_{RLIM} + \left(I_{SINK} \text{ x } \frac{V_{COM-VEE} \times R_{LIM2}}{V_{COM-VEE} \times R_{LIM2} + (V_{COM-VEE} - 0.5) \text{ x } R_{LIM1}}\right)^2 \times R_{LIM1} \tag{16}$$

其中

$$I_{SINK} = \left[\frac{C_{OUT2} \times (1 - \Delta C_{OUT2})}{C_{OUT2} \times (1 - \Delta C_{OUT2}) + C_{OUT3} \times (1 - \Delta C_{OUT3})} - \frac{C_{OUT2}}{C_{OUT2} + C_{OUT3}}\right] \times Q_{G_{Total}} \times f_{SW} + \Delta I_{COM_{SINK}} \tag{17}$$

R_{LIM2} 的功率损耗可根据下式近似得出

$$P_{RLIM2} = \left(I_{SINK} \times \frac{(V_{COM-VEE} - 0.5) \text{ x } R_{LIM1}}{V_{COM-VEE} \times R_{LIM2} + (V_{COM-VEE} - 0.5) \text{ x } R_{LIM1}}\right)^2 \times R_{LIM2} \tag{18}$$

二极管 D_{LIM} 的最大额定电压需要考虑最高 $V_{VDD\text{-}to\text{-}VEE}$。$D_{LIM}$ 的最大额定电流可以根据最坏情况下持续电流的降额 ($V_{COM\text{-}to\text{-}VEE}$ – V_{F_DLIM}) / R_{LIM2} 来选择，其中 V_{F_DLIM} 是 D_{LIM} 的正向电压。二极管封装尺寸是根据正向导通中的功率损耗 P_{Loss_DLIM} = V_{F_DLIM} x (($V_{COM\text{-}to\text{-}VEE}$ – V_{F_DLIM}) / R_{LIM2}) 确定的。建议使用肖特基二极管来降低功率损耗。

9.2.2.4 反馈电阻器选型

$V_{VDD\text{-}VEE}$ 调节

$V_{VDD\text{-}VEE}$ 输出电压通过使用反馈电阻分压器进行检测来调节，其中 VDD 到 VEE 之间连接了一个电阻器 (R_{FBVDD_VDD}) 且 COM 到 VEE 之间连接了一个电阻器 (R_{FBVDD_VEE})，从而使得 FBVDD = 2.5V

使用 0.1% 电阻器可以获得超高精度。外部电阻分压器将有助于消除电阻器的温度系数的影响。我们可以将电阻器 R_{FBVDD_VEE} 设置为 10kΩ，然使用以下公式计算电阻器 R_{FBVDD_VDD} 的值。

$$R_{FBVDD\_VDD} = \frac{(V_{VDD-VEE} - V_{FBVEE}) \times R_{FBVDD\_VEE}}{V_{FBVDD}} \tag{19}$$

必须在 FBVDD 到 VEE 之间连接一个 330pF 陶瓷电容 C_{FBVDD}，以滤除高频开关噪声。该电容器应与 R_{FBVDD_VEE} 电阻器并联。

$V_{VCOM\text{-}VEE}$ 调节

同样，在双路输出应用中，可以通过使用电阻分压器检测输出电压来调节 $V_{COM\text{-}VEE}$ 电压；但是，根据所需调节电压是大于 2.5V、等于 2.5V 还是小于 2.5V，有三种不同的反馈电阻器配置。在所有三种配置中，必须在 FBVEE 和 VEE 之间连接一个 330pF 陶瓷电容器来滤除高频开关噪声。

$V_{VCOM\text{-}VEE}$ > 2.5V：当 $V_{COM\text{-}VEE}$ 调节电压大于 2.5V 时，电阻器 R_{FBVEE_COM} 和 R_{FBVEE_VEE} 在 COM 和 VEE 之间按下图所示连接（配置为 V_{COM_VEE} 调节 > 2.5V 的双路输出应用原理图）。令 R_{FBVEE_COM} = 10kΩ，我们可以使用以下公式计算 R_{FBVEE_VEE}。

$$R_{FBVEE\_COM} = \frac{(V_{COM-VEE} - V_{FBVEE}) \times R_{FBVEE\_VEE}}{V_{FBVEE}} \tag{20}$$

在 FBVEE 和 VEE 之间连接一个 330pF 陶瓷电容 C_{FBVEE}，以滤除高频开关噪声。

$V_{VCOM\text{-}VEE}$ = 2.5V：当 $V_{COM\text{-}VEE}$ 调节电压等于 2.5V 时，只需在 COM 和 FBVEE 之间连接一个电阻器 R_{FBVEE_COM}，如下图所示（配置为 V_{COM_VEE} 调节 = 2.5V 时的双路输出应用原理图）。选择 R_{FBVEE_COM} = 10kΩ。这将使用 FBVEE 和 VEE 之间连接的 330pF 电容器 C_{FBVEE} 来设置高频滤波器的转角频率。

$V_{VCOM\text{-}VEE}$ < 2.5V：当 $V_{COM\text{-}VEE}$ 调节电压小于 2.5V 时，电阻器 R_{FBVEE_COM} 和 R_{FBVEE_VDD} 在 VDD 和 COM 之间按下图所示连接（配置为 V_{COM_VEE} 调节 > 2.5V 的双路输出应用原理图）。令 R_{FBVEE_COM} = 10kΩ，我们可以使用以下公式计算 R_{FBVEE_VDD}。

$$R_{FBVEE\_COM} = \frac{(V_{FBVEE} - V_{COM-VEE}) \times R_{FBVEE\_VDD}}{(V_{VDD-VEE} - V_{FBVEE})} \tag{21}$$

在 FBVEE 和 VEE 之间连接一个 330pF 陶瓷电容 C_{FBVEE}，以滤除高频开关噪声。

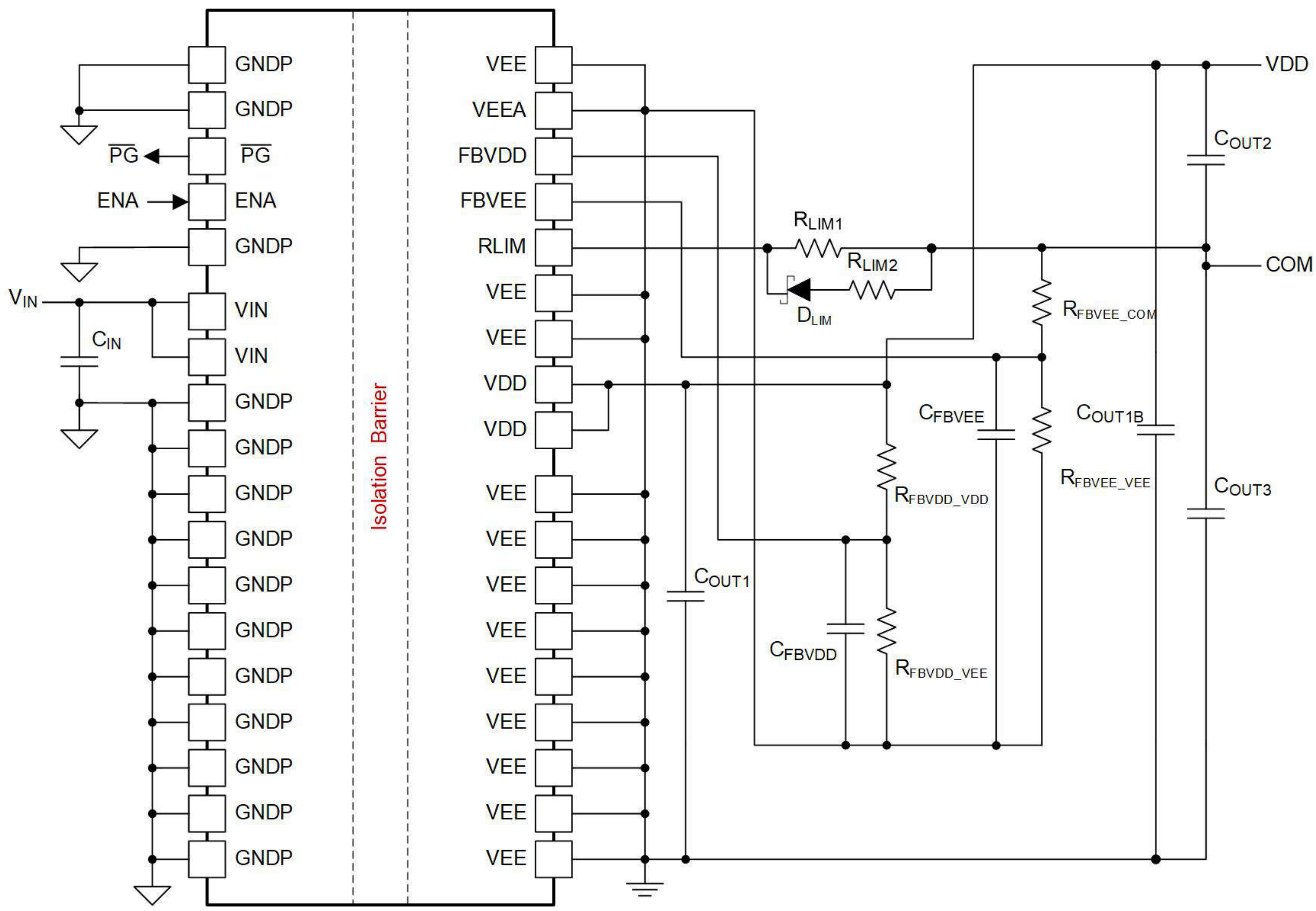


图 9-8. 配置为 V_{COM_VEE} 调节 > 2.5V 时的双路输出应用原理图

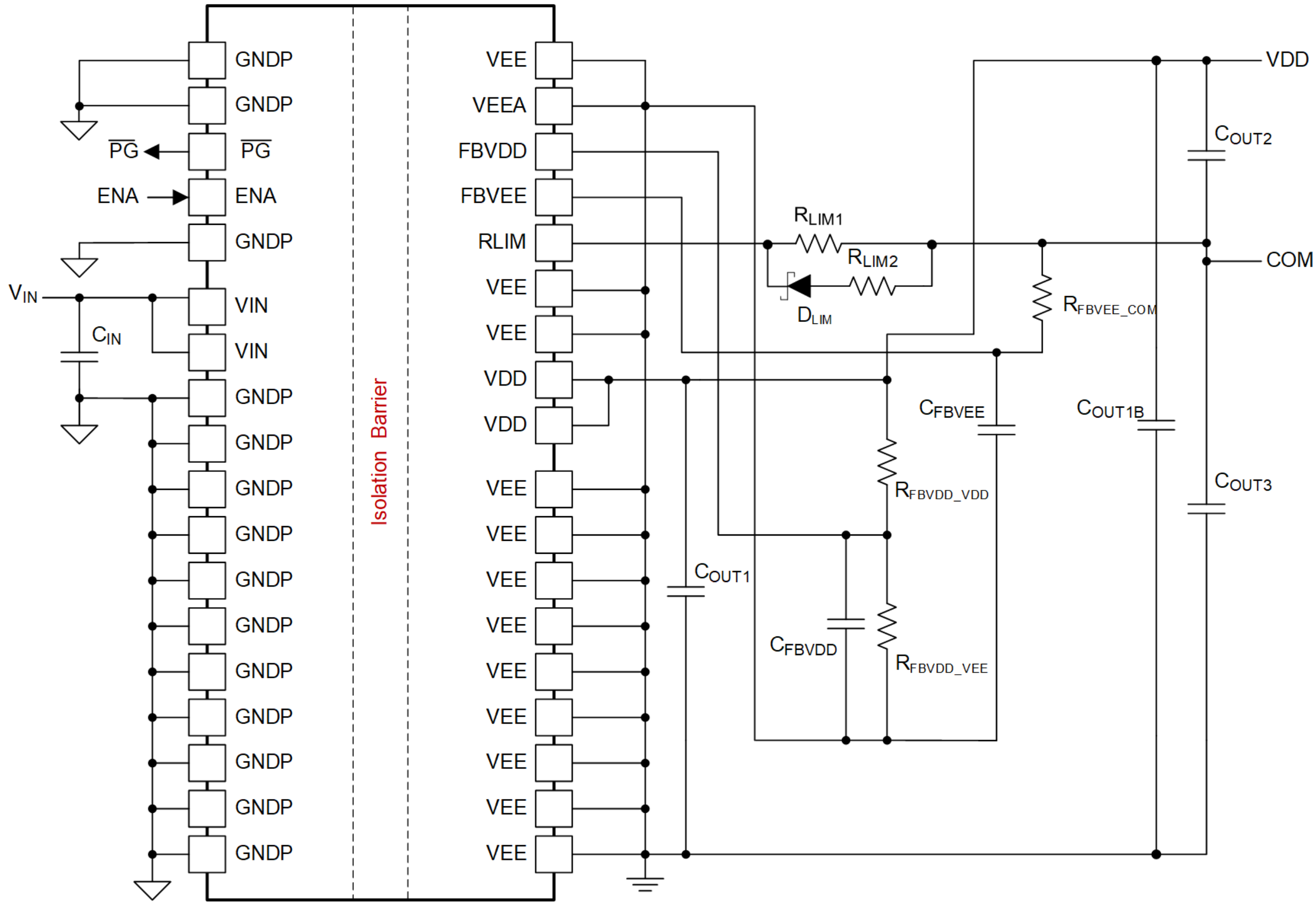


图 9-9. 配置为 V_{COM_VEE} 调节 = 2.5V 时的双路输出应用原理图

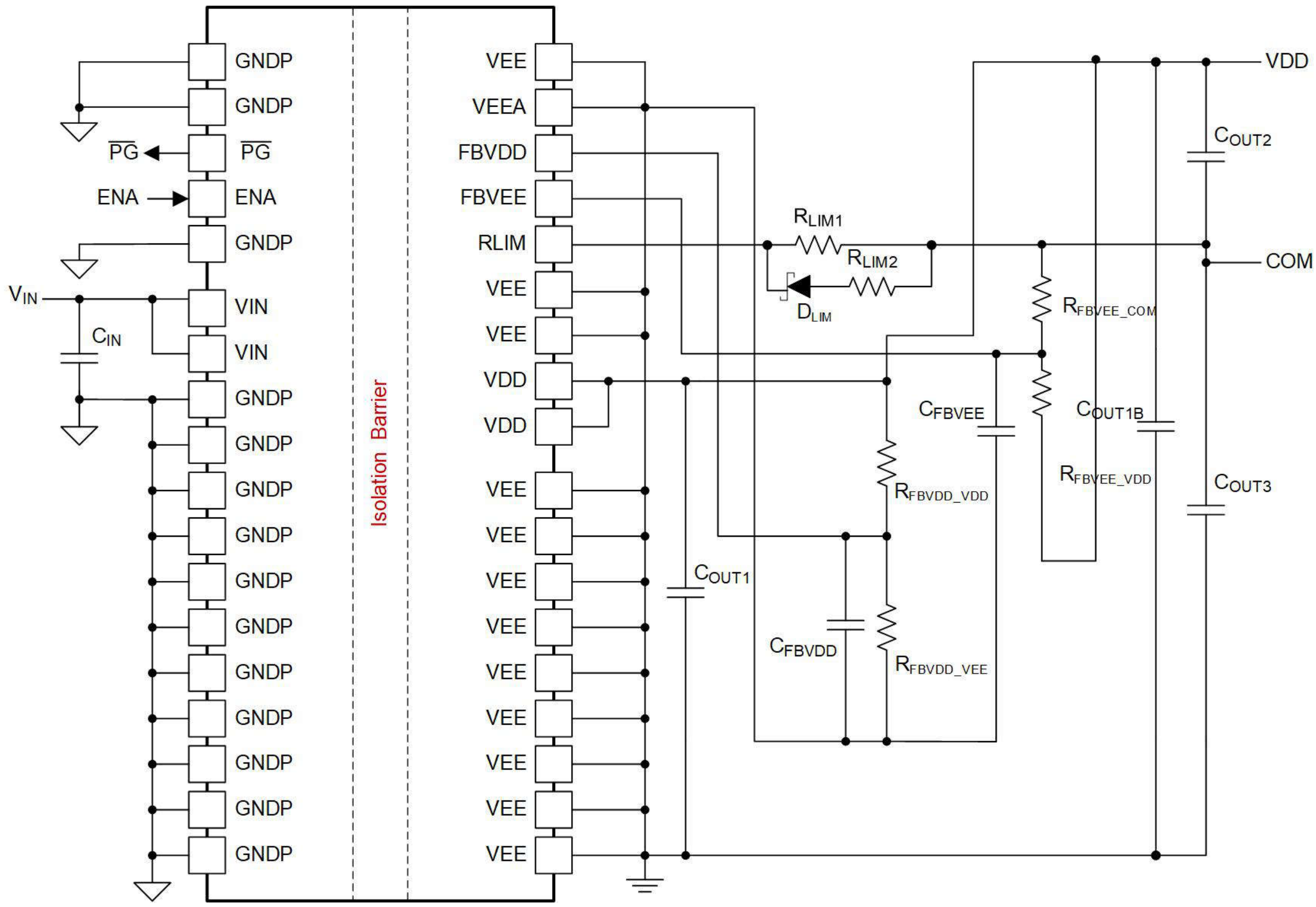


图 9-10. 配置为 V_{COM_VEE} 调节 < 2.5V 时的双路输出应用原理图

9.3 系统示例

UCC14341-Q1 模块设计为允许微控制器主机通过 ENA 引脚来启用它，可实现正确的系统时序控制。$\overline{PG}$ 输出还允许主机监控模块的状态。当没有故障且输出电压处于设定目标输出电压的 ±10% 范围内时，$\overline{PG}$ 引脚变为低电平。输出电压用于为 IGBT 或 SiC FET 功率器件的栅极驱动器供电。在 $\overline{PG}$ 引脚变为低电平后，主机可以开始向栅极驱动器发送 PWM 控制，以便确保正确进行时序控制。下图是双输出配置和单输出配置的系统图。

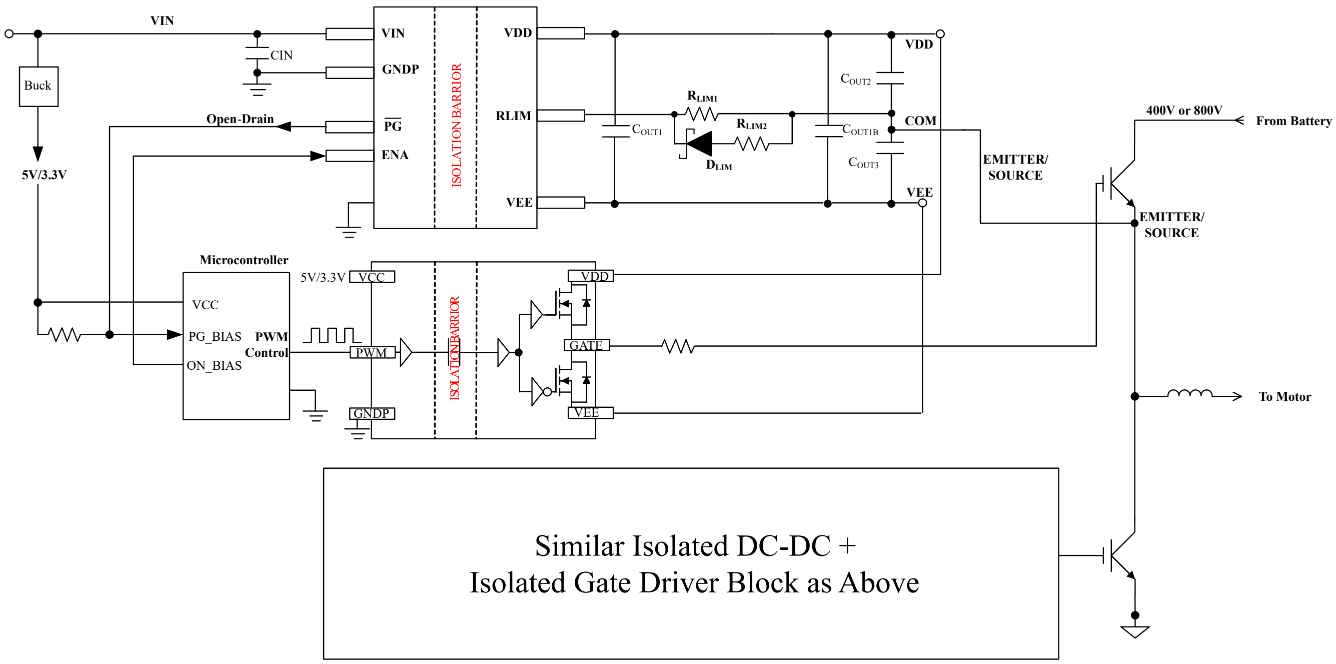


图 **9-11.** 双输出系统配置

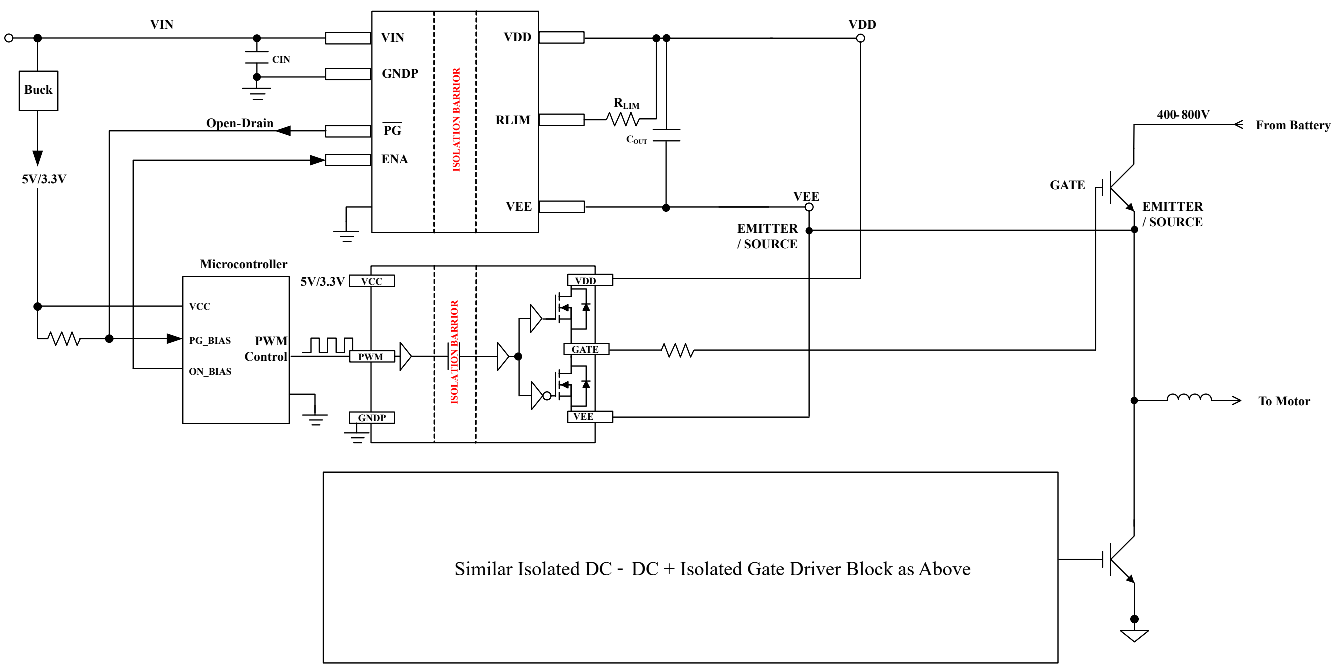


图 **9-12.** 单输出系统配置

9.4 电源相关建议

UCC14341-Q1 的建议输入电源电压 (V_{VIN}) 介于 13.5V 和 16.5V 之间。为了帮助确保可靠运行，必须在尽可能靠近电源引脚的位置放置足够的去耦电容器。本地旁路电容器必须放置在输入端的 VIN 和 GNDP 引脚之间；隔离式输出电源的 VDD 和 VEE 之间；以及低电压输出电源的 COM 和 VEE 之间。TI 建议使用低 ESR 的陶瓷表面贴装电容器。表 9-2 提供了用于高频去耦的建议电容。输入电源必须具有适当的额定电流，来支持终端应用所需的输出负载。

9.5 布局

9.5.1 布局指南

UCC14341-Q1 集成隔离式电源解决方案可简化系统设计并减少使用的电路板面积。请遵循这些指南进行正确的 PCB 布局，以便实现理想性能。为了实现热性能良好的 PCB 设计，推荐在外部层上使用 2 盎司铜的至少 4 层 PCB 层堆叠。

1. 输入电容器：
    a. 将 0.1μF 高频旁路电容器 (C14) 尽可能靠近引脚 6、7 (VIN) 和引脚 8 – 18 (GNDP) 放置，并与 IC 位于 PCB 的同一侧。0402 陶瓷 SMD 或更小尺寸是实现最佳布局所需的尺寸。请勿在旁路电容器和 IC 引脚之间放置任何过孔，以强制高频电流通过电容器。
    b. 将大容量 VIN 电容器（C12、C13）尽可能靠近 0.1μF 高频旁路电容器 (C14)、与之并联，并与 IC 位于 PCB 的同一侧。
2. 输出电容：
    a. 将 0.1μF 高频旁路电容器 (C7) 尽可能靠近引脚 28、29 (VDD) 和引脚 30、31 (VEE) 放置，并与 IC 位于 PCB 的同一侧。0402 陶瓷 SMD 或更小尺寸是实现最佳布局所需的尺寸。请勿在旁路电容器和 IC 引脚之间放置任何过孔，以强制高频电流通过电容器。
    b. 将大容量 VDD-VEE 电容器 (C8) 尽可能靠近 0.1μF 高频旁路电容器 (C7)、与之并联，并与 IC 位于 PCB 的同一侧。

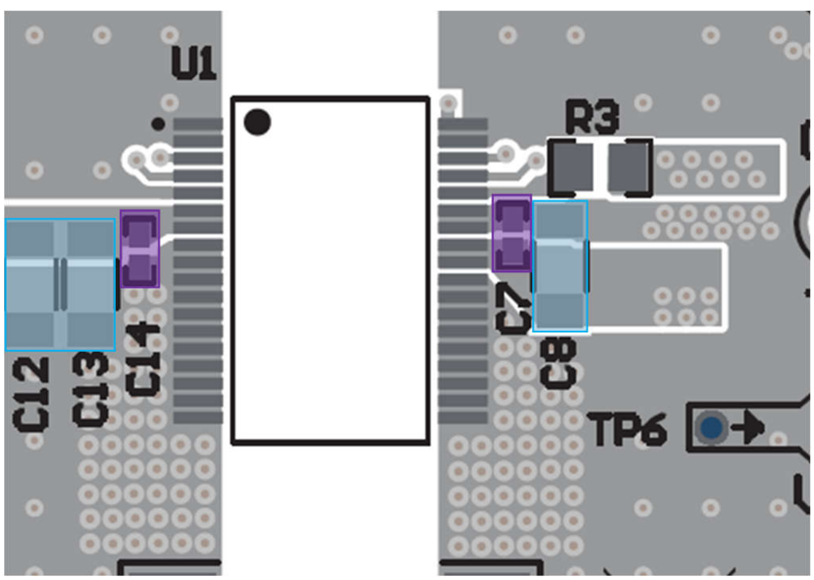


图 9-13.

3. 栅极驱动器输出电容器：C_{OUT2} 和 C_{OUT3} 是 Excel 计算器工具中引用的参考位号。C_{OUT2} 是 VDD-COM 之间的电容器，C_{OUT3} 是 COM-VEE 之间的电容器。C_{OUT2} 和 C_{OUT3} 是栅极驱动器 IC 所需的电容器。正确选择并放置 C_{OUT2} 和 C_{OUT3} 对于实现 UCC14341-Q1 和栅极驱动器 IC 的出色性能至关重要。
    a. C_{OUT2} 和 C_{OUT3} 应放置在栅极驱动器 IC 旁边，以实现出色的去耦和栅极驱动器开关性能
    b. 在 VDD-VEE 之间添加一个 C_{OUT1B}，但与 C_{OUT2} 和 C_{OUT3} 并联放置在栅极驱动器上，这将减少所需的总电容，降低对电容器变化的敏感度，并允许使用更高的 R_{LIM} 电阻值。

4. R_{LIM}：将 R_{LIM} (R3) 靠近引脚 32 放置，使其位于输出电容分压器的 COM 中点之间。R3 右侧显示的过孔布局连接到 COM。

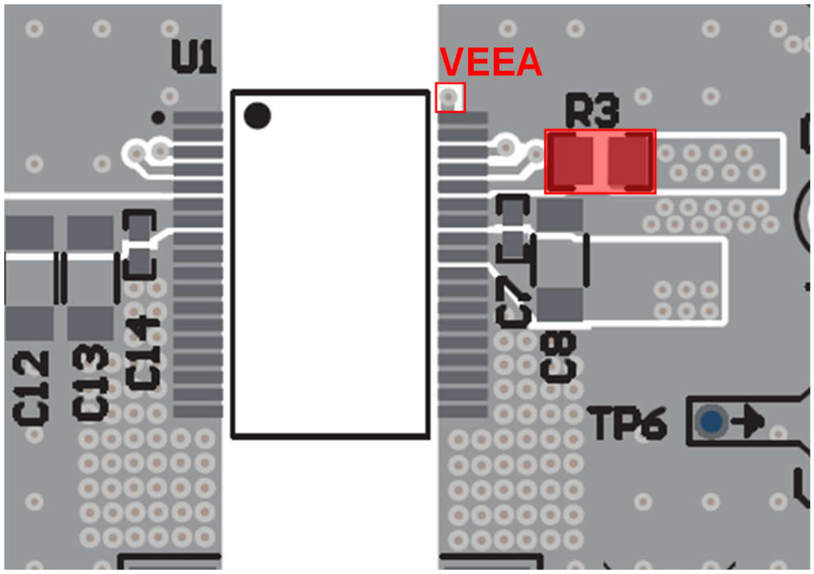


图 9-14.

5. 反馈：
   a. VEEA（引脚 35）应通过所有 PCB 层与 VEE 平面隔离，如下图红框所示。使用一个过孔直接连接到 FBVDD 和 FBVEE 低侧电阻器和电容器（C15-16、R6-7），如 PCB 底部所示。
   b. 将反馈电阻器 (R4-7) 和 330pF 陶瓷电容器与低侧电阻器 (R6-7) 并联放置在 IC 附近，最好放置在 IC 的另一侧（如 EVM 所示），或者放置在与 IC 靠近引脚 36 的同一层上。
   c. 顶层反馈电阻器应放置在低侧电阻器旁边，两个电阻器之间具有较短的直接连接，并具有与 FBVDD 的单一连接。用于检测稳压轨 (VDD-VEE) 的顶部连接应进行布线并连接到栅极驱动器引脚附近的 VDD 偏置电容器远程位置，以便获得出色的精度和瞬态响应。
   d. 顶层反馈电阻器应放置在低侧电阻器旁边，两个电阻器之间具有较短的直接连接，并具有与 FBVEE 的单一连接；而用于检测稳压轨 (COM-VEE) 的顶部连接应进行布线并连接到栅极驱动器引脚附近的 COM 偏置电容器远程位置，以便获得出色的精度和瞬态响应。

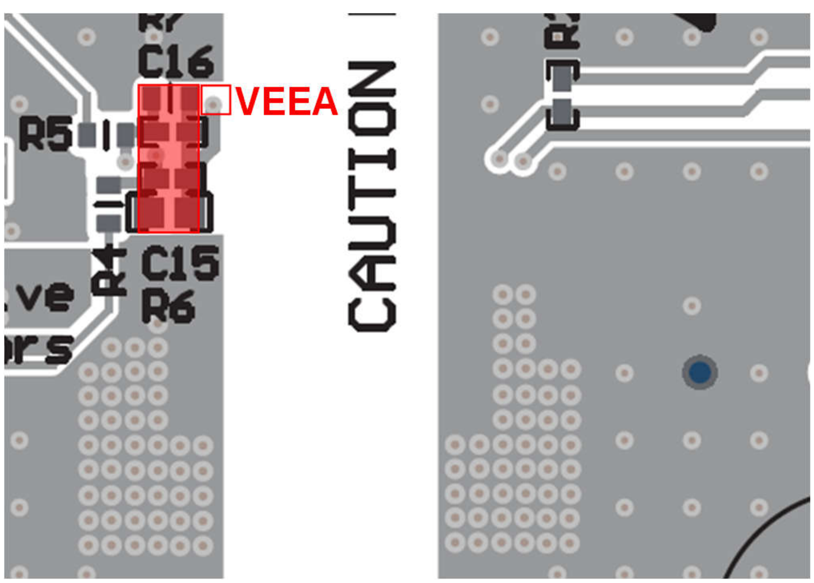


图 9-15.

6. 散热通孔：UCC14341-Q1 内部变压器直接连接到引线框。因此，如以下步骤所述，为 PCB 设计提供足够的空间和适当的散热至关重要。
    a. TI 建议通过多个通孔将 VIN、GNDP、VDD 和 VEE 引脚连接到内部接地平面或电源平面。或者，使连接到这些引脚的多边形尽可能宽。
    b. 使用多个散热过孔将 PCB 顶层 GNDP 铜连接到底部 GNDP 铜。如果可能，建议在外部顶部和底部 PCB 层上使用 2 盎司铜。
    c. 使用多个散热过孔将 PCB 顶层 VEE 铜连接到底部 VEE 铜。如果可能，建议在外部顶部和底部 PCB 层上使用 2 盎司铜。
    d. 连接顶部和底部铜的散热过孔也可以连接到内部铜层，以进一步改善散热效果。
    e. 散热过孔类似于下图所示，但应在覆铜区允许的范围内尽可能多地使用散热过孔。UCC14141EVM-068 使用大约 220mil x 350mil 的散热过孔阵列（GNDP 初级侧 48 个散热过孔，VEE 次级侧 54 个散热过孔）。散热过孔直径为 30mil，孔大小为 12mil。

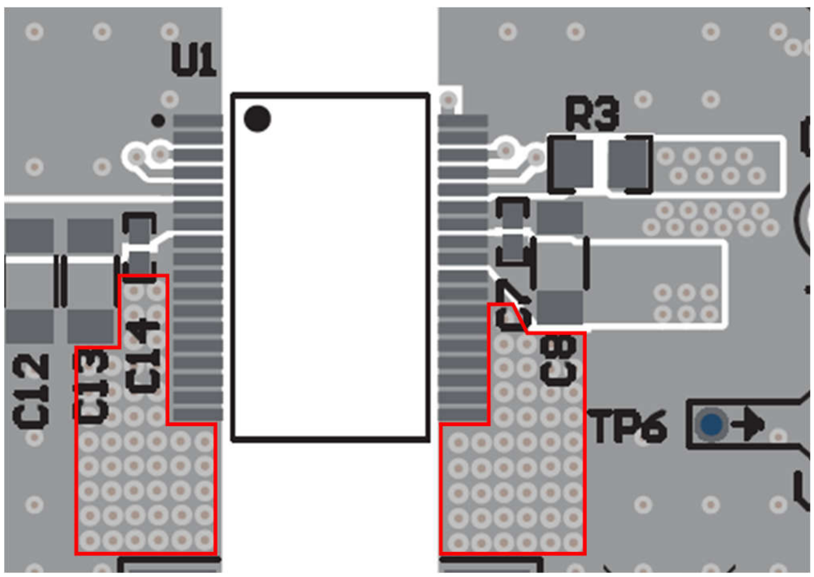


图 9-16.

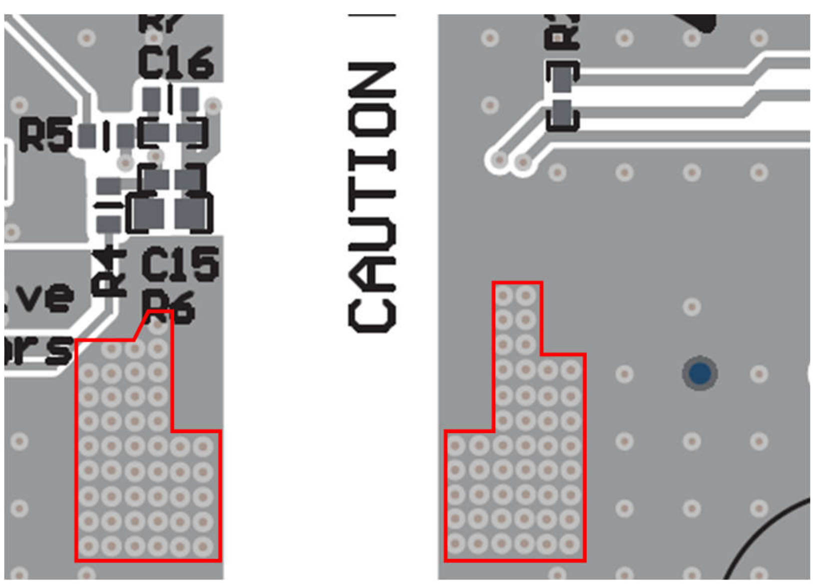


图 9-17.

f. 如热像图中所示，对于过孔数量和散热过孔阵列的尺寸，存在一个收益递减点。对于 1.5W 的输出功率，热传递在 C12 和 C8 之外迅速减弱。U1 到 C12 的内部焊盘线的距离为 320mil。

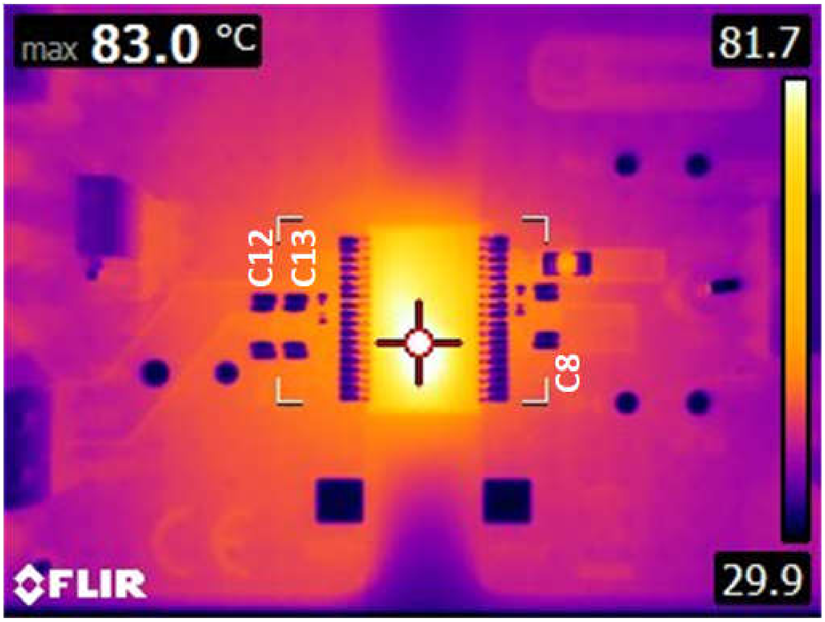


图 9-18. 热像图

7. 爬电间隙：避免在 UCC14341-Q1 下连接铜线，以保持数据表中指明的完整爬电距离、间隙和基本电压隔离额定值。在整个定义的隔离栅中，保持以红色突出显示的间隙宽度。基础型隔离的排除间隙可以比增强型隔离要求 (8mm) 小 50%。使用 8mm 可提供额外的裕度。

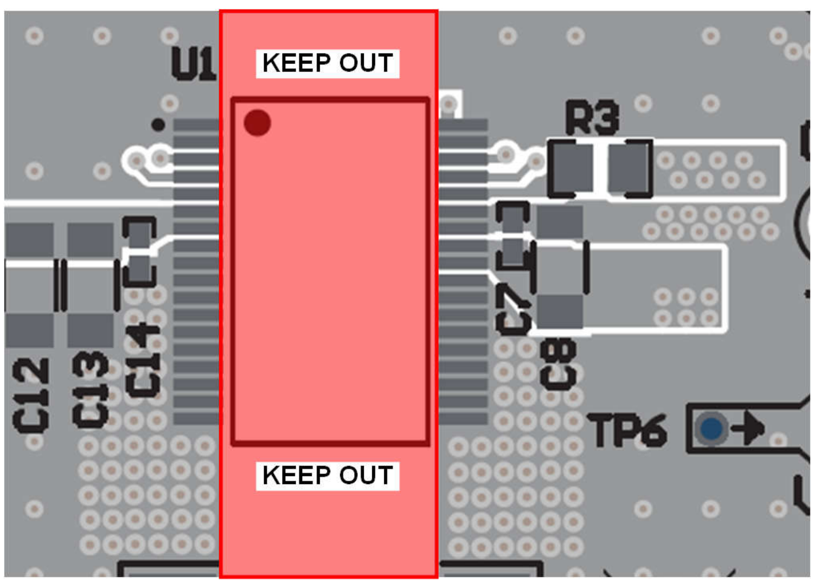


图 9-19.

8. 栅极驱动器电容器和反馈布线：

   a. UCC14141EVM-068 上安装了 VDD-COM 和 VEE-COM 电容器，但这些电容器需要尽可能靠近相关的栅极驱动器引脚放置。
   b. 为了更好地调节电压，COM (COM FB) 和 VDD (VDD FB) 的反馈布线应尽可能直接，以便直接在栅极驱动器 IC 附近的 VDD 和 COM 电容器处检测电压反馈。

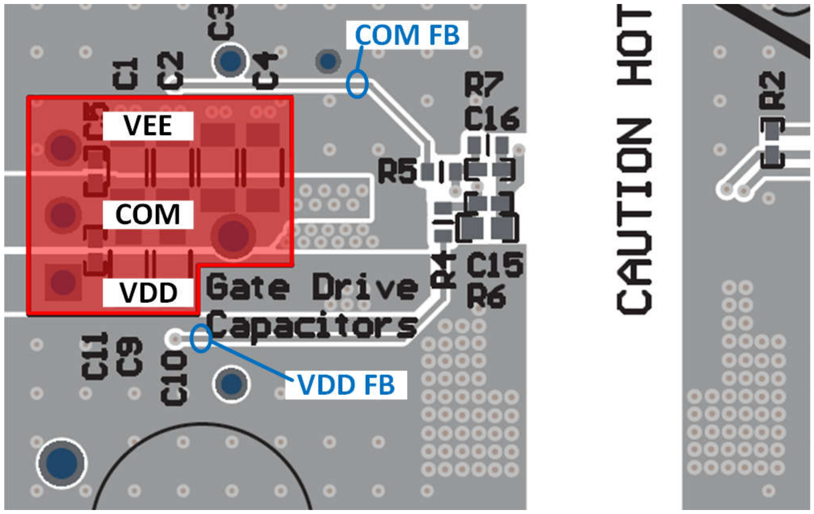

COM FB
C3
C1
C2
C4
R7
C16
VEE
R5
COM
R4
C15
R6
VDD
Gate Drive
Capacitors
C11
C9
C10
VDD FB
CAUTION HOT
R2

图 9-20.

9.5.2 布局示例

下图中所示的布局示例来自评估板 UCC14341-Q1EVM、UCC14341EVM-069 并基于 图 9-1 设计。

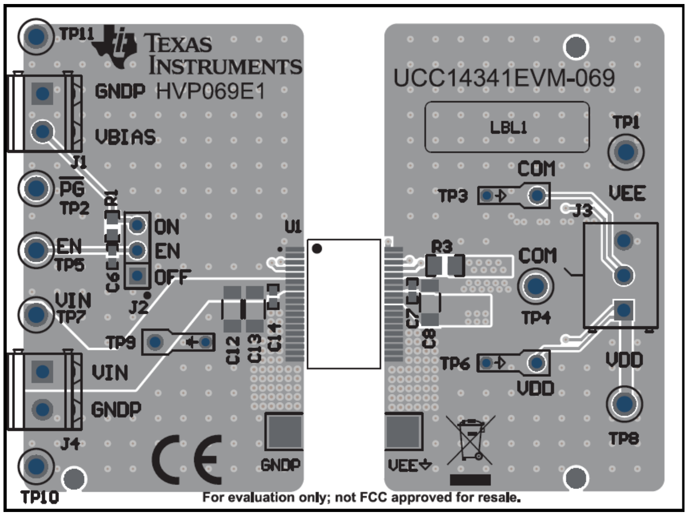


图 9-21. UCC14341-Q1EVM，PCB 顶层，组装

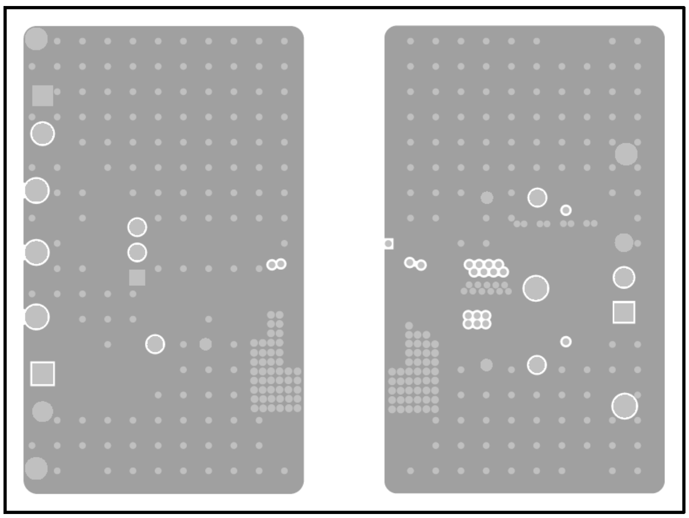


图 9-22. UCC14341-Q1EVM，信号层 2（与第 3 层相同）

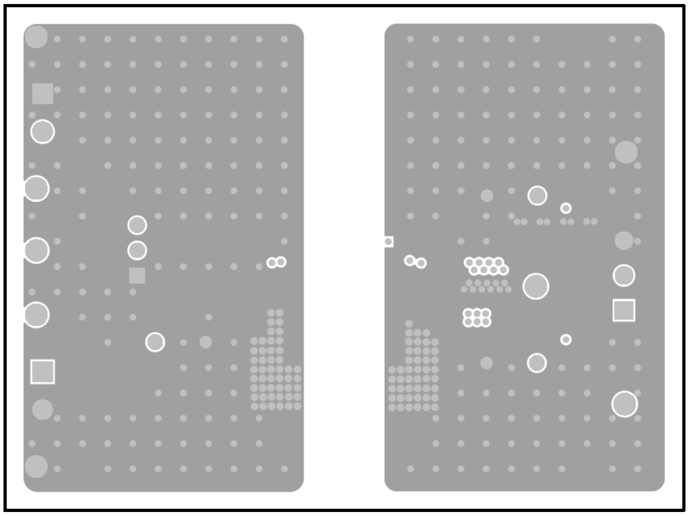


图 9-23. UCC14341-Q1EVM，信号层 3（与第 2 层相同）

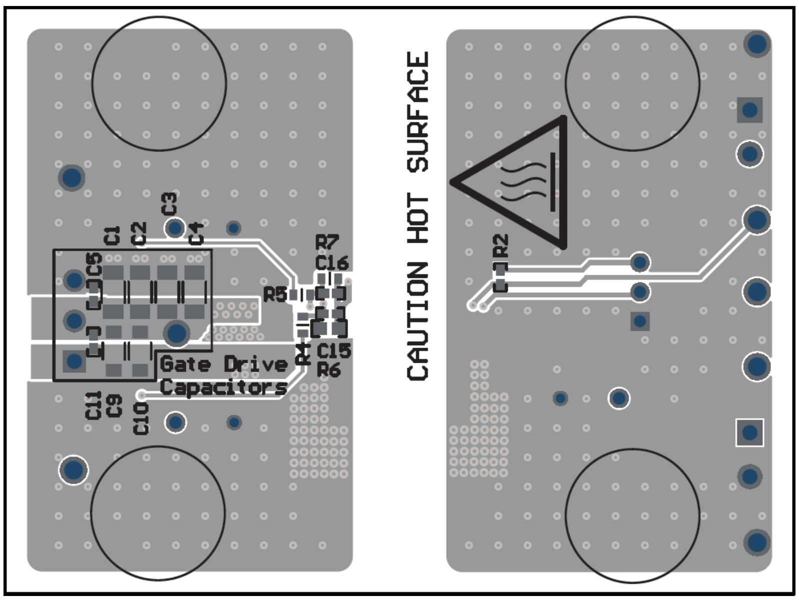


图 9-24. UCC14341-Q1EVM，PCB 底层，组装（镜像视图）

10 器件和文档支持

10.1 文档支持

10.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI)，*UCC14240EVM-052 适用于需要正偏置单电源和正/负偏置双电源的牵引逆变器栅极驱动器 IC 偏置应用* 用户指南。
- 德州仪器 (TI)，*隔离相关术语*

10.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 *订阅更新* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

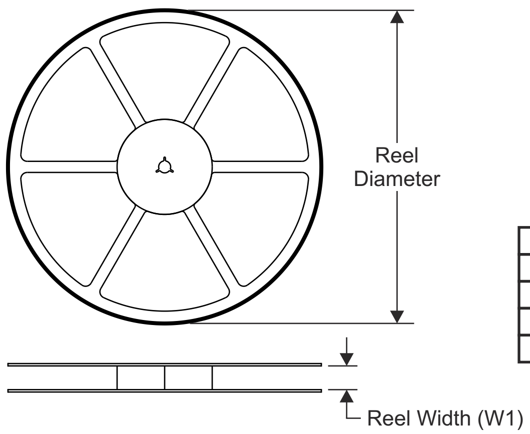
TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

11 机械、封装和可订购信息

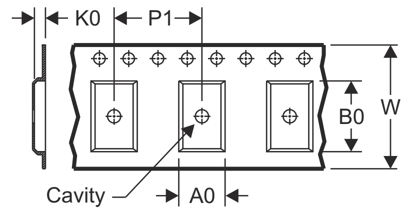
下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

12 卷带封装信息

REEL DIMENSIONS

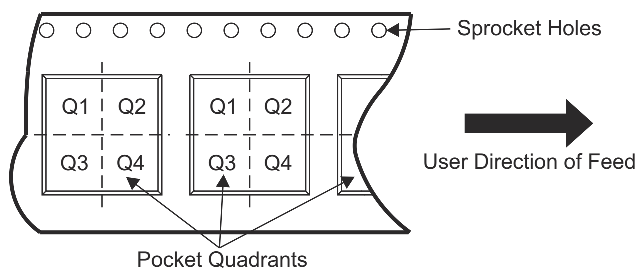


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 象限
UCC14341-Q1	SSOP	DWN	36	750	330.0	16.4	10.85	13.4	4.0	16.0	16.0	Q1

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
PUCC14341QDWNQ1	ACTIVE	SO-MOD	DWN	36	37	TBD	Call TI	Call TI	-40 to 125		Samples
UCC14341QDWNRQ1	ACTIVE	SO-MOD	DWN	36	750	RoHS (In Work) & Green (In Work)	NIPDAU	Level-3-260C-168 HR	-40 to 125	UCC14341-Q1	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

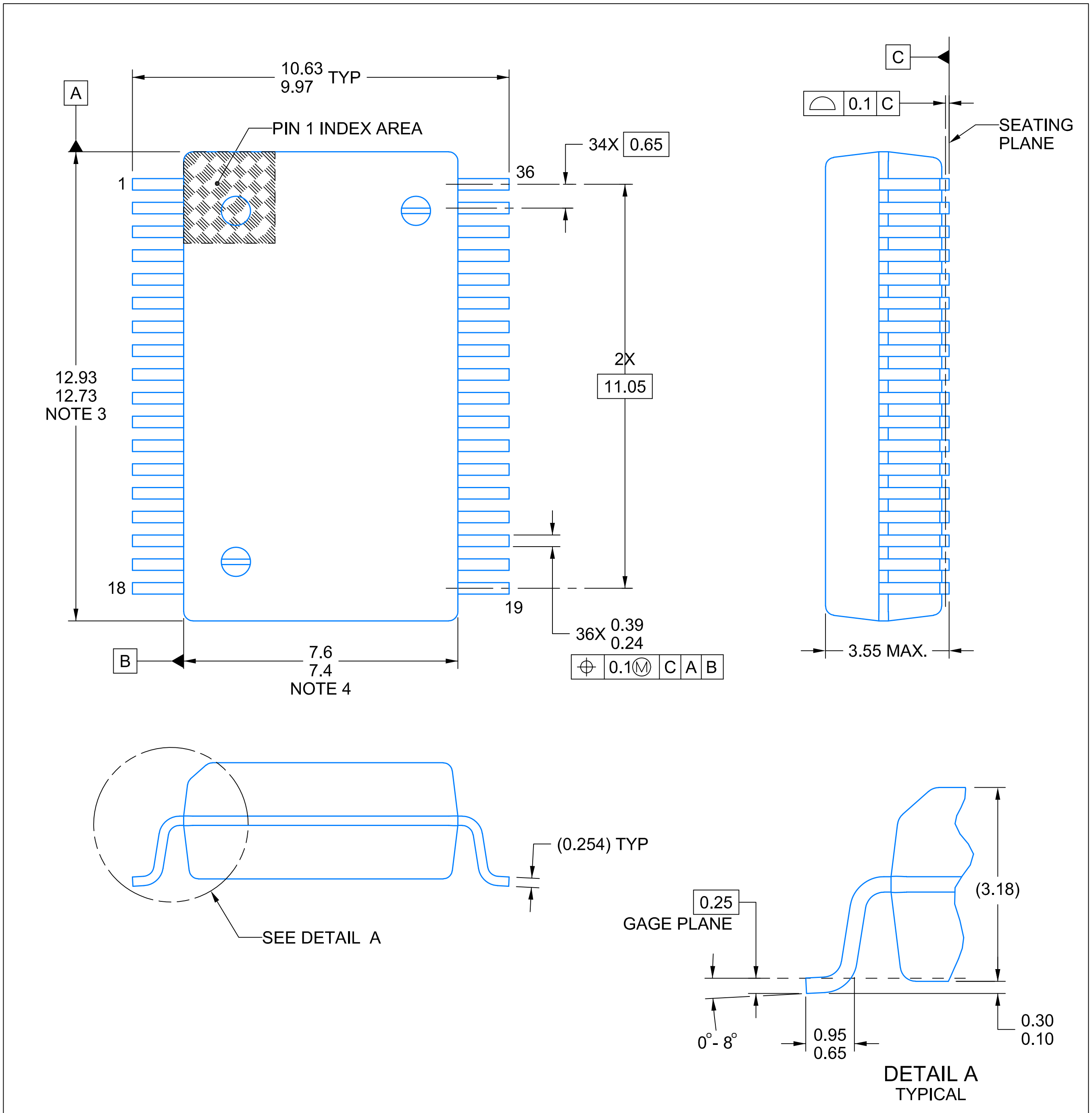
(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

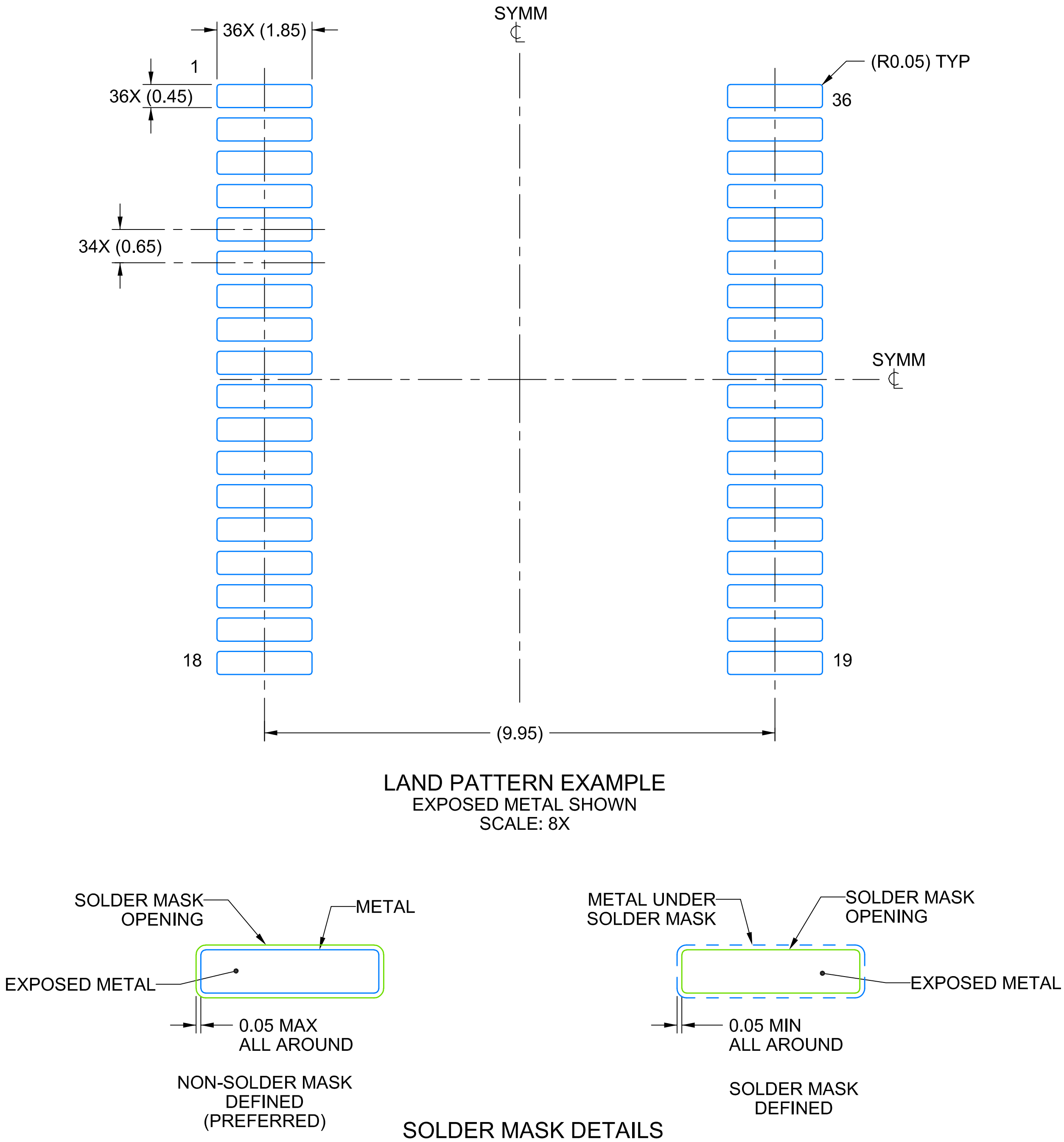
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.



4225960/A 05/2020

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.



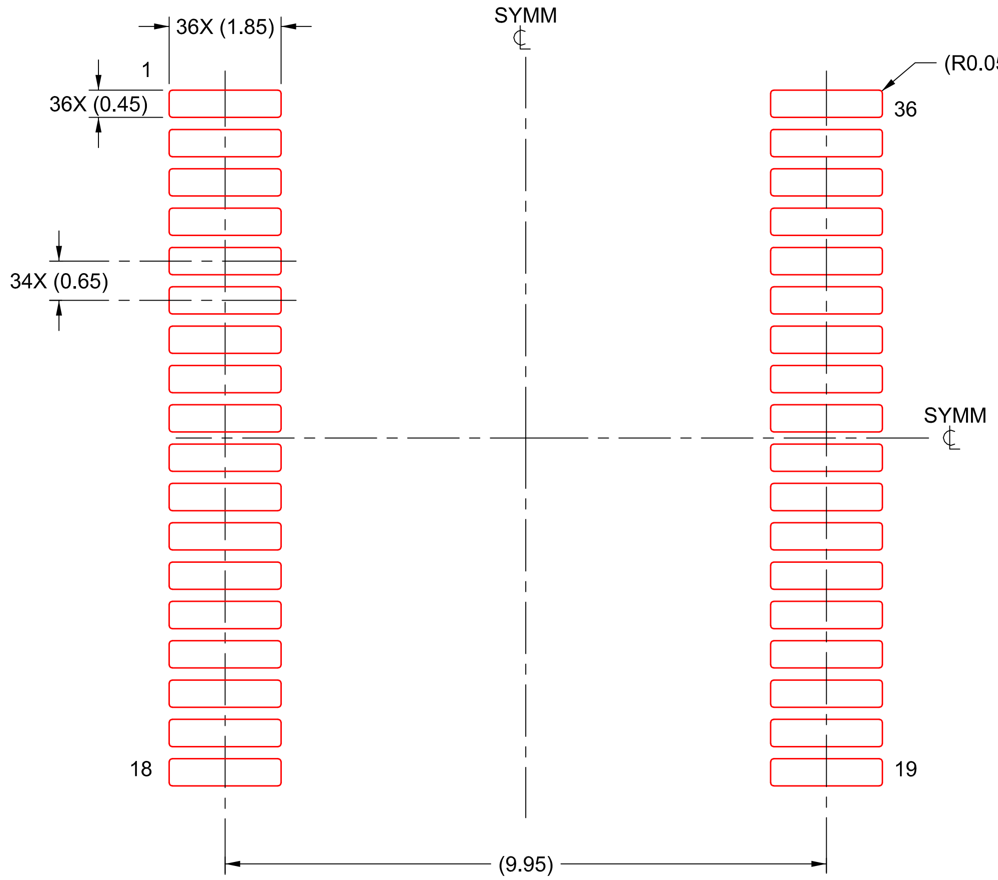
LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 8X

SOLDER MASK DETAILS

4225960/A 05/2020

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 8X

4225960/A 05/2020

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265