

适用于 I2C 的 TXG4122 $\pm 40V$ 双向接地电平转换器

1 特性

- 双向 I2C 兼容通信
- 支持标准模式、快速模式和超快速模式 I2C 操作
- 支持高达 $\pm 40V$ 的直流电压偏移
- 数据传输速率高达 1MHz
- 侧 1 电源电压范围：3V 至 5.5V
- 侧 2 电源电压范围：2.25V 至 5.5V
- 最大容性负载：
 - 80pF (侧 1) 和 550pF (侧 2)
- 具有电流吸收能力的开漏输出：
 - 16.5mA (侧 1) 和 30mA (侧 2)
- 在 400kHz 下功耗低 (典型值)：
 - $I_{CC1} = 4.2mA$ 、 $I_{CC2} = 0.9mA$
- 工作温度范围为 $-40^{\circ}C$ 至 $+125^{\circ}C$
- CMTI 为 2kV/ μs
- 闩锁性能超过 100mA，符合 JESD 78 II 类规范的要求
- ESD 保护性能超过 JESD 22 规范要求
 - 2000V 人体放电模型
 - 500V 充电器件模型
- 提供的封装选项：SOIC (8D)、WSON (8DSG)、SOT-23 (8DDF)

2 应用

- [测试和测量](#)
- [工厂自动化](#)
- [电器](#)
- [个人电子产品](#)
- [电动助力转向](#)
- [车辆控制单元](#)
- [汽车显示屏](#)
- [音响主机和数字驾驶舱](#)

3 说明

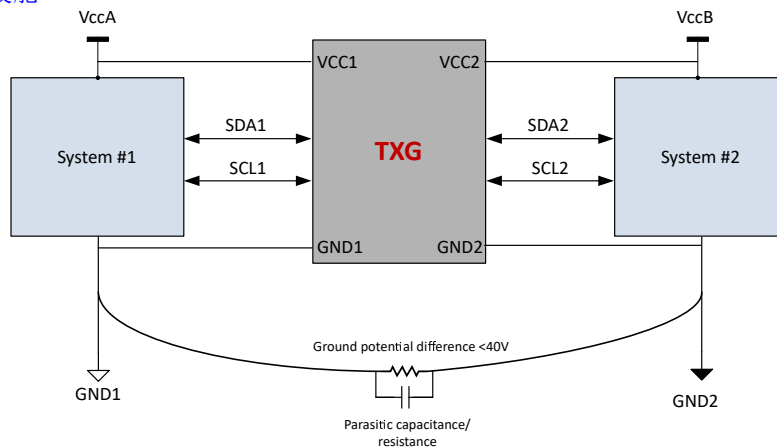
TXG4122 器件是适用于 I2C 的双路双向、基于非电流的电压和接地电平转换器。该器件支持使用两个独立的可配置电源轨：侧 1 设计为可跟踪 VCC1，该端口支持 3V 至 5.5V 的任何电源电压。侧 2 设计为可跟踪 VCC2，该端口支持 2.25V 至 5.5V 的任何电源电压。与传统的电平转换器相比，TXG4122 可以解决高达 $\pm 40V$ 的不同接地电平之间的电压转换问题。只要 GND1 和 GND2 之间的差值保持在 $-40V$ 至 $+40V$ 之间，GND1 或 GND2 都可能存在接地偏移。

[简化版方框图](#) 显示了一个常见用例，其中 GND1 与 GND2 之间存在直流漂移 (由寄生电阻或电容引起)。TXG4122 在具有不同电源电压和不同接地基准的系统之间，能够支持基于 I2C 的通信。当 VCC 至 GND 短接时，GND1 和 GND2 之间的漏电流通常为 25nA。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 (标称值)
TXG4122	DSG (WSON-8)	2.00mm $\times$ 2.00mm
	DDF (SOT-8)	2.80mm $\times$ 2.90mm
	D (SOIC-8)	4.90mm $\times$ 3.90mm

- (1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



简化版方框图



内容

1 特性	1	8.1 概述	17
2 应用	1	8.2 功能方框图	17
3 说明	1	8.3 特性说明	18
4 引脚配置和功能 — TXG4122	3	8.4 器件功能模式	18
5 规格	4	9 应用和实施	19
5.1 绝对最大额定值.....	5	9.1 应用信息.....	19
5.2 ESD 等级.....	5	9.2 典型应用.....	19
5.3 建议运行条件.....	6	9.3 电源相关建议.....	20
5.4 热性能信息.....	6	9.4 布局.....	20
5.5 电气特性.....	7	10 器件和文档支持	22
5.6 电源电流特性.....	8	10.1 文档支持.....	22
5.7 开关特性, $V_{CCA} = 3.3V \pm 0.3V$	9	10.2 接收文档更新通知.....	22
5.8 开关特性, $V_{CCA} = 5 \pm 0.5V$	11	10.3 支持资源.....	22
5.9 典型特性.....	13	10.4 商标.....	22
6 交流噪声容限	15	10.5 静电放电警告.....	22
7 参数测量信息	16	10.6 术语表.....	22
7.1 负载电路和电压波形.....	16	11 修订历史记录	22
8 详细说明	17	12 机械、封装和可订购信息	22

4 引脚配置和功能 — TXG4122

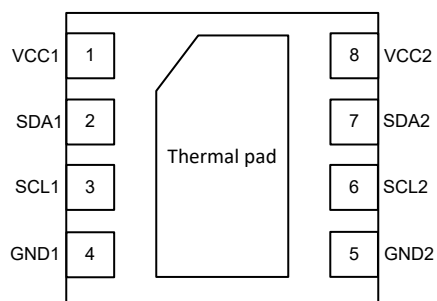


图 4-1. DSG 8 引脚 WSON 俯视图

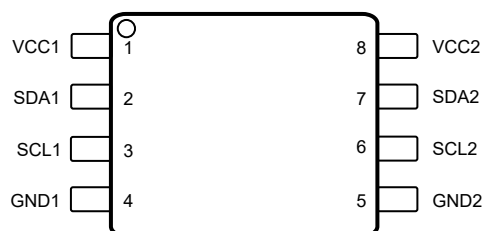


图 4-2. DDF 封装 8 引脚 SOT-23 和 D 封装 8 引脚 SOIC 俯视图

表 4-1. TXG4122 引脚功能

名称	引脚		I/O	说明
	DSG	DDF、D		
VCC1	1	1	—	侧 1 电源电压
VCC2	8	8	—	侧 2 电源电压
SDA1	2	2	I/O	串行数据输入/输出，侧 1
SCL1	3	3	I/O	串行时钟输入/输出，侧 1
SDA2	7	7	I/O	串行数据输入/输出，侧 2
SCL2	6	6	I/O	串行时钟输入/输出，侧 2
GND1	4	4	—	VCC1 的接地基准
GND2	5	5	—	VCC2 的接地基准
—	散热焊盘	—	—	保持散热焊盘悬空。

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

			最小值	最大值	单位
V_{CC1} 至 V_{GND1}	电源电压至接地电压, 侧 1		-0.5	6.5	V
V_{CC2} 至 V_{GND2}	电源电压至接地电压, 侧 2		-0.5	6.5	V
V_{GND1} 至 V_{GND2}	V_{GND1} 至 V_{GND2}		-45	45	V
V_I	SDA1、SCL1	I/O 端口 (侧 1) 至 V_{GND1}	-0.5 $V_{CC1} + 0.5$		V
	SDA2、SCL2	I/O 端口 (侧 2) 至 V_{GND2}	-0.5 $V_{CC2} + 0.5$		
V_O	SDA1、SCL1	I/O 端口 (侧 1) 至 V_{GND1}	-0.5 $V_{CC1} + 0.5$		V
	SDA2、SCL2	I/O 端口 (侧 2) 至 V_{GND2}	-0.5 $V_{CC2} + 0.5$		
I_I	SDA1、SCL1	I/O 端口 (侧 1) 至 V_{GND1}		20	mA
	SDA2、SCL2	I/O 端口 (侧 2) 至 V_{GND2}		100	mA
I_O	SDA1、SCL1	I/O 端口 (侧 1) 至 V_{GND1}		20	mA
	SDA2、SCL2	I/O 端口 (侧 2) 至 V_{GND2}		100	mA
T_J	结温			150	°C
T_{stg}	贮存温度		-65	150	°C

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用, 器件可能不会完全正常运行, 这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±2000	V
		充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 ⁽²⁾	±500	

- (1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。

- (2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	最大值	单位
V_{CC1}	电源电压 - V_{CC1} 至 GND1		3.0	5.5	V
V_{CC2}	电源电压 - V_{CC2} 至 GND2		2.25	5.5	V
V_{GND1} 至 V_{GND2}	GND1 和 GND2 之间的电压	GND1 和 GND2 之间的电压	-40	40	V
V_{SDA1} 、 V_{SCL1}	I2C 输入和输出信号电压	侧 1	0	V_{CC1}	V
V_{SDA2} 、 V_{SCL2}	I2C 输入和输出信号电压	侧 2	0	V_{CC2}	V
V_{IL1}	低电平输入电压	侧 1		622	mV
V_{IH1}	高电平输入电压	侧 1	$0.7 \times V_{CC1}$		V
V_{IL2}	低电平输入电压	侧 2		$0.35 \times V_{CC2}$	V
V_{IH2}	高电平输入电压	侧 2	$0.47 \times V_{CC2}$		V
I_{OL1}	低电平输出电流	侧 1		16.5	mA
I_{OL2}	低电平输出电流	侧 2		30	mA
C1	容性负载	侧 1		80	pF
C2	容性负载	侧 2		550	pF
f_{MAX}	I2C 工作频率 (1)			1	MHz
T_A	自然通风条件下的工作温度		-40	125	°C

(1) 最大频率是总线上 RC 时间常数的函数。如果系统的总线电容更小，则可以实现更高的频率。

5.4 热性能信息

热指标 ⁽¹⁾		TXGx122	单位
		D (SOIC)	
		8 引脚	
$R_{\theta JA}$	结至环境热阻	118.40	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	54.00	°C/W
$R_{\theta JB}$	结至电路板热阻	62.48	°C/W
Y_{JT}	结至顶部特征参数	13.00	°C/W
Y_{JB}	结至电路板特征参数	61.72	°C/W
$R_{\theta JC(bottom)}$	结至外壳（底部）热阻	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用手册。

5.5 电气特性

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数		测试条件	自然通风工作温度范围 (T _A)			单位
			-40°C 至 125°C			
			最小值	典型值	最大值	
V _{ILT1}	电压输入阈值低 (SDA1 和 SCL1)		463		622	mV
V _{IHT1}	电压输入阈值高 (SDA1 和 SCL1)		505		678	mV
V _{HYST1}	电压输入迟滞	V _{IHT1} - V _{ILT1}	42			mV
V _{OL1}	低电平输出电压 (SDA1 和 SCL1)	0.5mA ≤ (I _{SDA1} 和 I _{SCL1}) ≤ 16.5mA			787	mV
Δ V _{OIT1}	低电平输出电压至高电平 输入电压阈值差异 (SDA1 和 SCL1)	0.5mA ≤ (I _{SDA1} 和 I _{SCL1}) ≤ 16.5mA	57			mV
V _{ILT2}	电压输入阈值低 (SDA2 和 SCL2)		0.34 × V _{CC2}		0.36 × V _{CC2}	V
V _{IHT2}	电压输入阈值高 (SDA2 和 SCL2)		0.47 × V _{CC2}		0.49 × V _{CC2}	V
V _{HYST2}	电压输入迟滞	V _{IHT2} - V _{ILT2}	0.12 × V _{CC2}			V
V _{OL2}	低电平输出电压	0.5mA ≤ (I _{SDA1} 和 I _{SCL1}) ≤ 30mA			452	mV
I _I (侧 1)	输入漏电流 (SDA1、SCL1)	V _{SDA1} 、V _{SCL1} = V _{CC1} = 5.5V			0.71	μA
I _I (侧 2)	输入漏电流 (SDA2、SCL2)	V _{SDA2} 、V _{SCL2} = V _{CC2} = 5.5V			0.15	μA
C _i	本地接地输入电容	V _I = 0.4 × sin (2E6* π t) + V _{DDX} / 2 V _O = V _{CC}			20	pF
C _{GND}	接地间的电容	所有通道组合在一起 (V _{CC} 两侧都加电)			49	pF
		所有通道组合在一起 (V _{CC} 至 GND 短接)			58	pF
漏电流	GND1 和 GND2 之间的漏 电流	所有通道组合在一起 (V _{CC} 至 GND 短接)		25	52	nA
		所有通道组合在一起 (V _{CC} 两侧都加电，输 入全部为高电平)		17	52	nA
		所有通道组合在一起 (V _{CC} 两侧都加电，输 入全部为低电平)		23	42	μA
CMTI	共模瞬态抗扰度	输入以 1Mbps 切换 接地漂移最高 40V			2	kV/μs
V _{UVLO+}	正向欠压锁定电压	侧 1			2.9	V
		侧 2			2.3	V
V _{UVLO-}	负向欠压锁定电压	侧 1	2.2			V
		侧 2	1.6			V
V _{UVLO_Hys}	欠压锁定迟滞	侧 1	43.9			mV
		侧 2	94.3			mV

5.6 电源电流特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	V _{CC1}	V _{CC2}	自然通风工作温度范围 (T _A)			单位
					-40°C 至 125°C			
					最小值	典型值	最大值	
I _{CC1}	电源电流，侧 1	SDA1/SCL1 = V _{CC1}	3V 至 5.5V	2.25V 至 5.5V	2.2	3.1	mA	
		SDA1/SCL1 = GND1			2.8	4.3	mA	
		SDA1/SCL1 = 400kHz 方波 R1 = 300 Ω，C1 = 80pF			2.7	4.2	mA	
I _{CC2}	电源电流，侧 2	SDA2/SCL2 = V _{CC2}	3V 至 5.5V	2.25V 至 5.5V	0.44	0.8	mA	
		SDA2/SCL2 = GND2			0.6	1.1	mA	
		SDA2/SCL2 = 400kHz 方波 R2 = 220 Ω，C2 = 550pF			0.53	0.9	mA	
I _{CC1}	电源电流，侧 1	VSDA1、VSCL1 = GND1、 VSDA2、VSCL2 = GND2、R1 和 R2 = 开路、C1 和 C2 = 开 路	3.3V	3.3V	2.8	3.7	mA	
		VSDA1、VSCL1 = VCC1、 VSDA2、VSCL2 = VCC2、 R1 和 R2 = 开路、C1 和 C2 = 开路			2.2	2.9	mA	
I _{CC2}	电源电流，侧 2	VSDA1、VSCL1 = GND1、 VSDA2、VSCL2 = GND2、R1 和 R2 = 开路、C1 和 C2 = 开 路			0.62	0.9	mA	
		VSDA1、VSCL1 = VCC1、 VSDA2、VSCL2 = VCC2、R1 和 R2 = 开路、C1 和 C2 = 开 路			0.5	0.7	mA	
I _{CC1}	电源电流，侧 1	VSDA1、VSCL1 = GND1、 VSDA2、VSCL2 = GND2、R1 和 R2 = 开路、C1 和 C2 = 开 路	5V	5V	3.1	4.1	mA	
	电源电流，侧 1	VSDA1、VSCL1 = VCC1、 VSDA2、VSCL2 = VCC2、 R1 和 R2 = 开路、C1 和 C2 = 开路			2.3	3	mA	
I _{CC2}	电源电流，侧 2	VSDA1、VSCL1 = GND1、 VSDA2、VSCL2 = GND2、R1 和 R2 = 开路、C1 和 C2 = 开 路			0.7	1	mA	
	电源电流，侧 2	VSDA1、VSCL1 = VCC1、 VSDA2、VSCL2 = VCC2、R1 和 R2 = 开路、C1 和 C2 = 开 路			0.5	0.8	mA	

5.7 开关特性, $V_{CCA} = 3.3V \pm 0.3V$

在建议运行条件下测得 (除非另有说明)

参数		测试条件	电源电压，侧 2 (V _{CC2})									单位
			2.5 ± 0.25V			3.3 ± 0.3V			5.0 ± 0.5V			
			最小 值	典型 值	最大值	最小 值	典型 值	最大值	最小 值	典型 值	最大值	
t _{r1}	输出信号下降时间 (SDA1、SCL1)	0.7 × V _{CC1} ≥ V _O ≥ 0.3 × V _{CC1} 、 R1 = 300 Ω、C1 = 80pF	42			42			42			ns
		0.9 × V _{CC1} ≥ V _O ≥ 900mV、 R1 = 300 Ω、C1 = 80pF	69			69			69			ns
t _{r2}	输出信号下降时间 (SDA2、SCL2)	0.7 × V _{CC2} ≥ V _O ≥ 0.3 × V _{CC2} 、 R2 = 220 Ω、C2 = 550pF	64			26			36			ns
		0.9 × V _{CC2} ≥ V _O ≥ 400mV、 R2 = 220 Ω、C2 = 550pF	51			76			156			ns
t _{r1}	输出信号上升时间 (SDA1、SCL1)	0.7 × V _{CC1} ≥ V _O ≥ 0.3 × V _{CC1} 、 R1 = 300 Ω、C1 = 80pF	23			23			23			ns
t _{r2}	输出信号上升时间 (SDA2、SCL2)	0.7 × V _{CC2} ≥ V _O ≥ 0.3 × V _{CC2} ， R2 =220 Ω，C2 = 550pF	109			109			109			ns
t _{pLH1-2}	从低电平到高电平传播延迟，侧 1 到侧 2	V _I = 535mV、V _O = 0.7 × V _{CC2} 、 R1 = 300 Ω、R2 = 220 Ω、 C1 = 80pF、C2 = 550pF	272			272			271			ns
t _{pHL1-2}	从高电平到低电平传播延迟，侧 1 到侧 2	V _I = 550mV，V _O = 0.3× V _{CC2} ， R1 = 300 Ω，R2 = 220 Ω， C1 = 80pF，C2 = 550pF	139			178			124			ns
t _{pLH2-1}	从低电平到高电平传播延迟，侧 2 到侧 1	V _I = 0.4 × V _{CC2} ，V _O = 0.7 × V _{CC1} ， R1 = 300 Ω，R2 = 220 Ω， C1 = 80pF，C2 = 550pF	143			153			138			ns
t _{pHL2-1}	从高电平到低电平传播延迟，侧 2 到侧 1	V _I = 0.4 × V _{CC2} ，V _O = 0.3 × V _{CC1} ， R1 = 300 Ω，R2 = 220 Ω， C1 = 80pF，C2 = 550pF	236			208			188			ns
PWD ₁₋₂	脉宽失真 t _{pHL1-2} - t _{pLH1-2}	R1 = 300 Ω、R2 = 220 Ω、 C1 = 80pF、C2 = 550pF	187			177			193			ns
PWD ₂₋₁	脉宽失真 t _{pHL2-1} - t _{pLH2-1}	R1 = 300 Ω、R2 = 220 Ω、 C1 = 80pF、C2 = 550pF	52			85			73			ns

在建议运行条件下测得 (除非另有说明)

参数		测试条件	电源电压，侧 2 (V _{CC2})									单位
			2.5 ± 0.25V			3.3 ± 0.3V			5.0 ± 0.5V			
			最小 值	典型 值	最大值	最小 值	典型 值	最大值	最小 值	典型 值	最大值	
t _{LOOP1}	侧 1 往返传播延迟	0.4V ≤ V _I ≤ 0.3 × V _{CC1} 、 R1 = 300 Ω、C1 = 80pF、 R2 = 220 Ω、C2 = 550pF	314			300			303			ns

5.8 开关特性, $V_{CCA} = 5 \pm 0.5V$

在建议运行条件下测得 (除非另有说明)

参数		测试条件	电源电压，侧 2 (V _{CC2})									单位
			2.5 ± 0.25V			3.3 ± 0.3V			5.0 ± 0.5V			
			最小 值	典型 值	最大值	最小 值	典型 值	最大值	最小 值	典型 值	最大值	
t _{r1}	输出信号下降时间 (SDA1、SCL1)	0.7 × V _{CC1} ≥ V _O ≥ 0.3 × V _{CC1} 、 R1 = 300 Ω、C1 = 80pF	67			67			67			ns
		0.9 × V _{CC1} ≥ V _O ≥ 900mV、 R1 = 300 Ω、C1 = 80pF	122			122			123			ns
t _{r2}	输出信号下降时间 (SDA2、SCL2)	0.7 × V _{CC2} ≥ V _O ≥ 0.3 × V _{CC2} 、 R2 = 220 Ω、C2 = 550pF	64			26			36			ns
		0.9 × V _{CC2} ≥ V _O ≥ 400mV、 R2 = 220 Ω、C2 = 550pF	52			76			156			ns
t _{r 1}	输出信号上升时间 (SDA1、SCL1)	0.7 × V _{CC1} ≥ V _O ≥ 0.3 × V _{CC1} 、 R1 = 300 Ω、C1 = 80pF	23			23			23			ns
t _{r2}	输出信号上升时间 (SDA2、SCL2)	0.7 × V _{CC2} ≥ V _O ≥ 0.3 × V _{CC2} 、 R2 = 220 Ω、C2 = 550pF	109			109			109			ns
t _{pLH1-2}	从低电平到高电平传播延迟，侧 1 到侧 2	V _I = 535mV、V _O = 0.7 × V _{CC2} 、 R1 = 300 Ω、R2 = 220 Ω、 C1 = 80pF、C2 = 550pF	284			283			283			ns
t _{pHL1-2}	从高电平到低电平传播延迟，侧 1 到侧 2	V _I = 550mV、V _O = 0.3 × V _{CC2} 、 R1 = 300 Ω、R2 = 220 Ω、 C1 = 80pF、C2 = 550pF	125			164			110			ns
t _{pLH2-1}	从低电平到高电平传播延迟，侧 2 到侧 1	V _I = 0.4 × V _{CC2} ，V _O = 0.7 × V _{CC1} ， R1 = 300 Ω，R2 = 220 Ω， C1 = 80pF，C2 = 550pF	148			157			143			ns
t _{pHL2-1}	从高电平到低电平传播延迟，侧 2 到侧 1	V _I = 0.4 × V _{CC2} ，V _O = 0.3 × V _{CC1} ， R1 = 300 Ω，R2 = 220 Ω， C1= 80pF，C2 = 550pF	249			222			202			ns
PWD ₁₋₂	脉宽失真 t _{pHL1-2} - t _{pLH1-2}	R1 = 300 Ω，R2 = 220 Ω， C1= 80pF，C2= 550pF	205			194			210			ns
PWD ₂₋₁	脉宽失真 t _{pHL2-1} - t _{pLH2-1}	R1 = 300 Ω，R2= 220 Ω， C1= 80pF，C2= 550pF	59			92			80			ns

在建议运行条件下测得 (除非另有说明)

参数		测试条件	电源电压，侧 2 (V _{CC2})									单位
			2.5 ± 0.25V			3.3 ± 0.3V			5.0 ± 0.5V			
			最小 值	典型 值	最大 值	最小 值	典型 值	最大 值	最小 值	典型 值	最大 值	
t _{LOOP1}	侧 1 往返传播延迟	0.4V ≤ V _I ≤ 0.3 × V _{CC1} 、 R1 = 300 Ω、C1 = 80pF、 R2 = 220 Ω、C2 = 550pF	330			315			319			ns

5.9 典型特性

$T_A = 25^\circ\text{C}$ (除非另有说明)

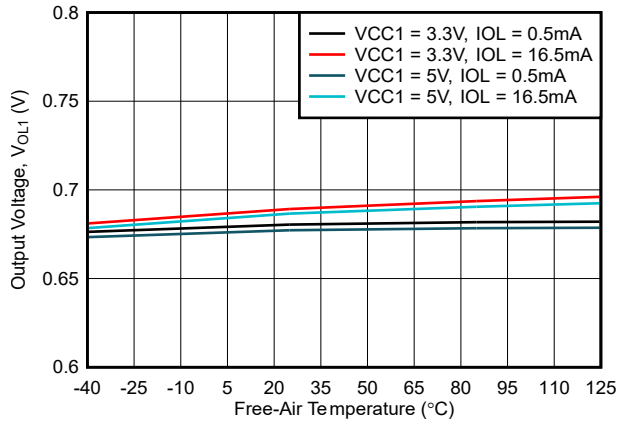


图 5-1. 侧 1：输出低电压与自然通风温度间的关系

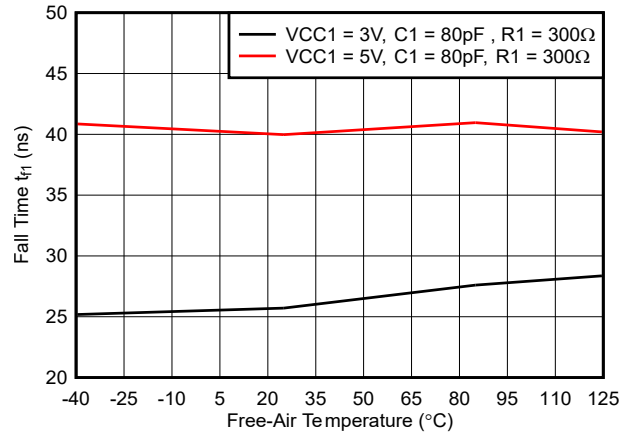


图 5-2. 侧 1：输出下降时间与自然通风条件下的温度间的关系

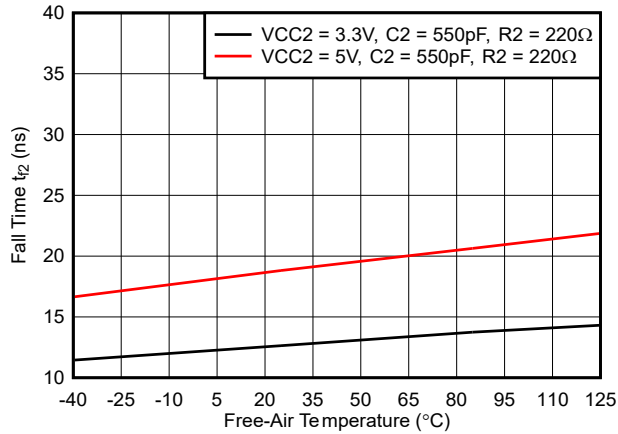


图 5-3. 侧 2：输出下降时间与自然通风条件下的温度间的关系

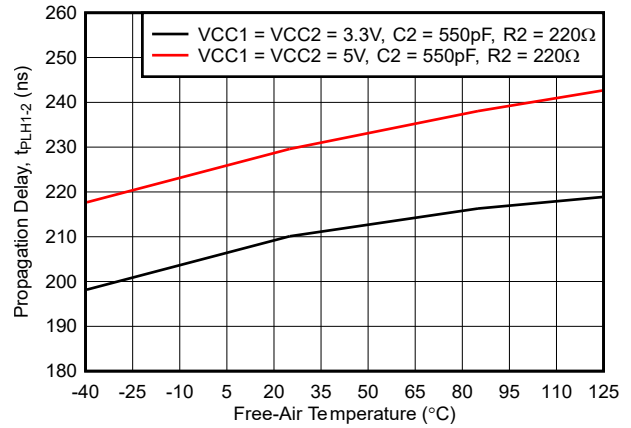


图 5-4. 传播延迟时间 (T_{PLH1-2}) 与温度间的关系

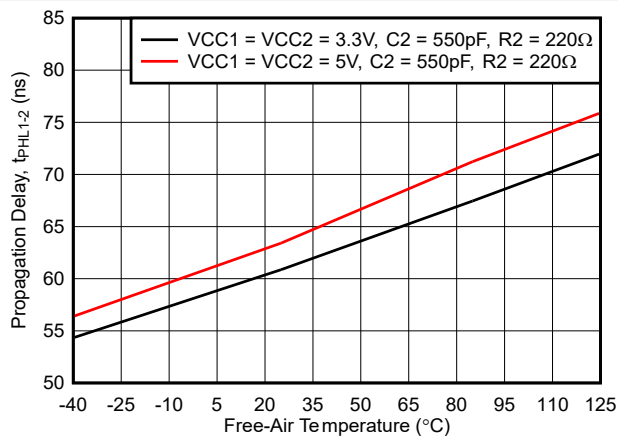


图 5-5. 传播延迟时间 (T_{PHL1-2}) 与温度间的关系

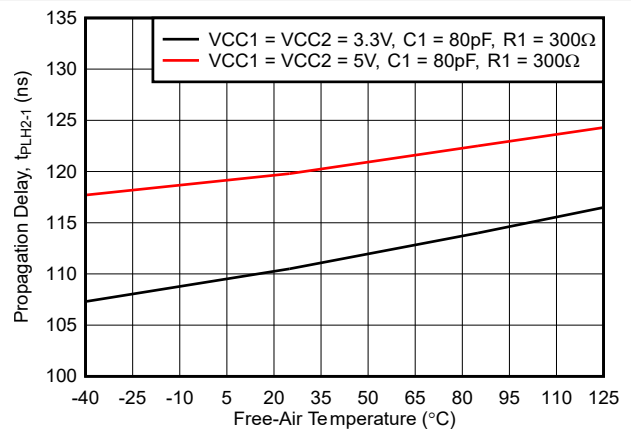
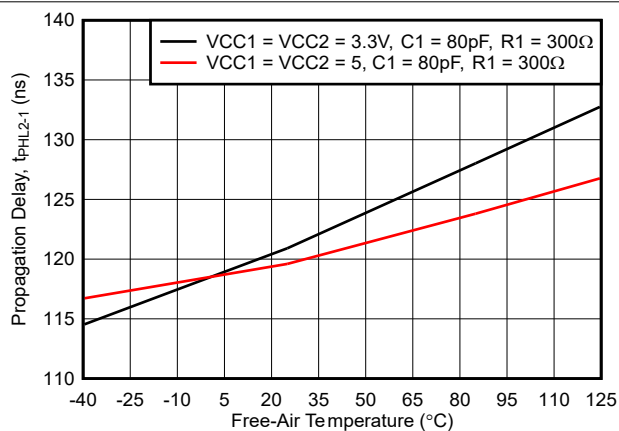


图 5-6. 传播延迟时间 (T_{PLH2-1}) 与温度间的关系

5.9 典型特性 (续)

图 5-7. 传播延迟时间 ($T_{PHL2,1}$) 与温度间的关系

6 交流噪声容限

TXGx122 支持在具有高噪声接地的环境中进行 I/O 电压转换。下图说明了 GND1 和 GND2 在不同频率下峰间电压方面可以抑制的噪声量 (在不中断两个系统之间的通信的情况下)。

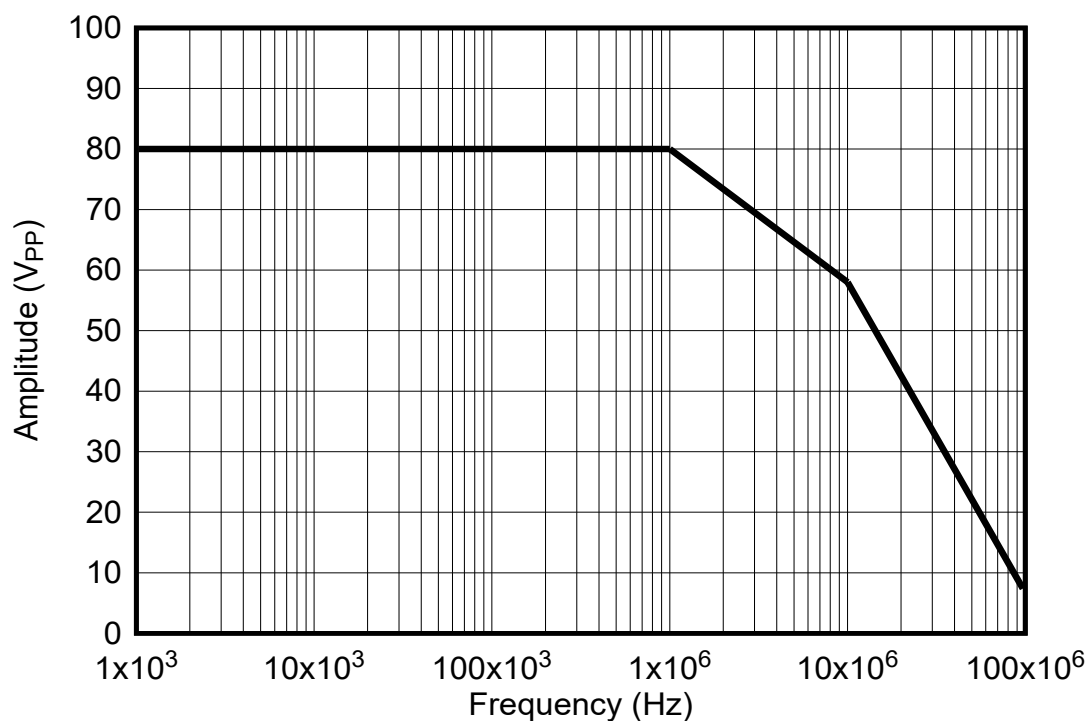


图 6-1. 噪声抗扰度

7 参数测量信息

7.1 负载电路和电压波形

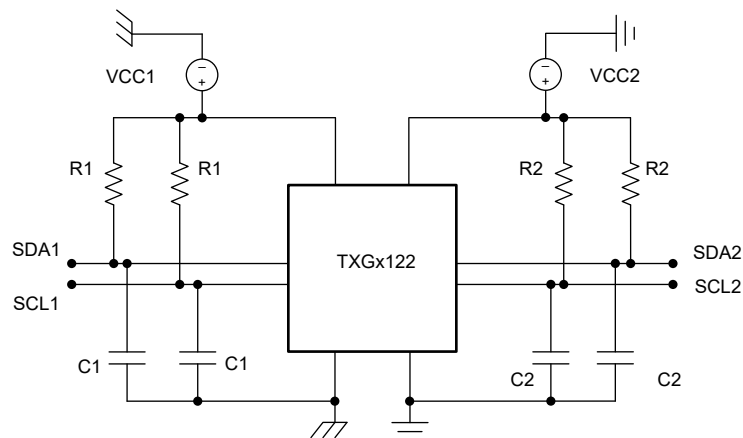


图 7-1. 测试电路

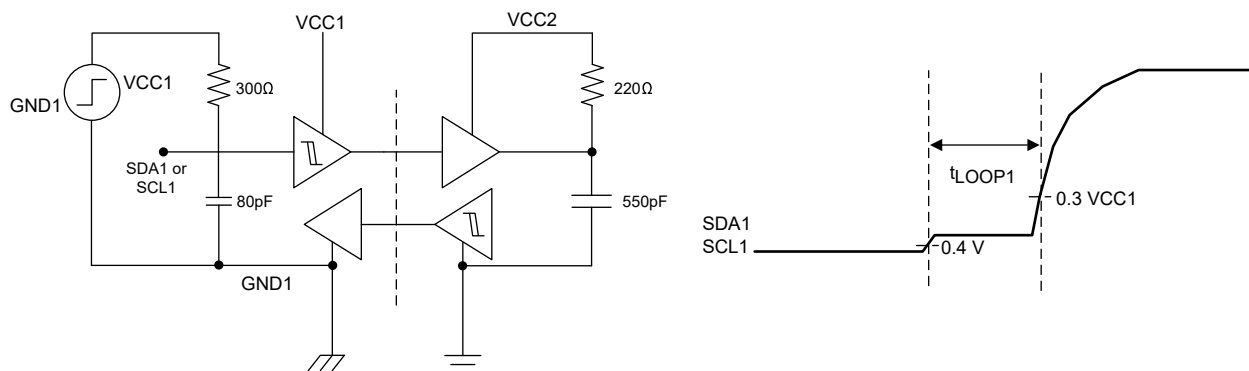


图 7-2. t_{LOOP1} 设置和时序图

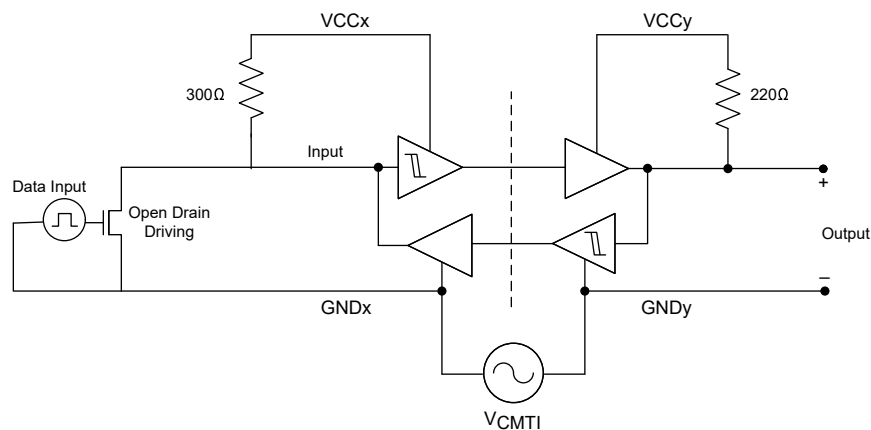


图 7-3. 共模瞬态抗扰度测试电路

8 详细说明

8.1 概述

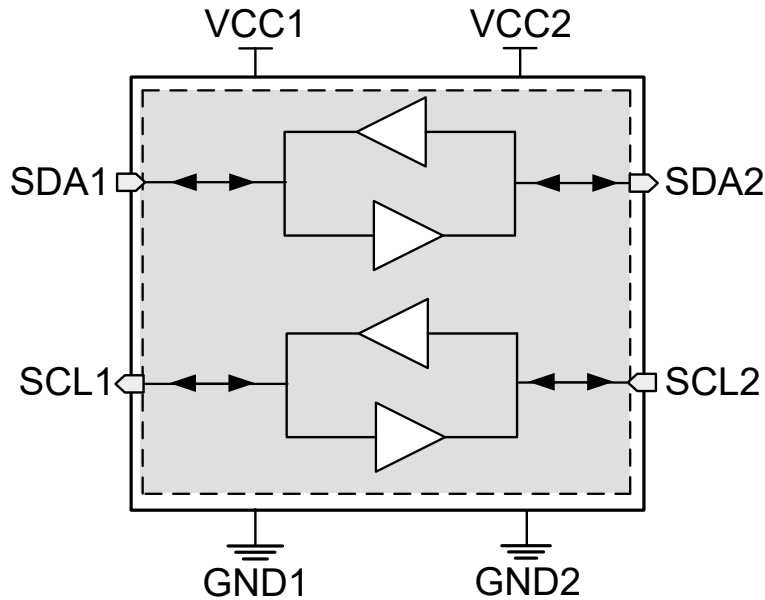
TXG4122 是一款用于 I2C 或 SMBus 系统的双路双向转换器。这款转换器能够支持高达 $\pm 40V$ 的逻辑电平移位和接地电平移位。与标准 I2C 系统一样，SDA 和 SCL I/O 线路为开漏，需要将外部上拉电阻器连接到系统的电源轨。

- Idle 状态：当没有器件驱动总线时，上拉电阻强制 SDA 和 SCL 处于高电平，表示逻辑"1"
- 低电平有效：任何器件都可以通过将相应的线路拉至接地来将逻辑"0"置为有效。

选择上拉电阻值，使测得的总线电容和电源电压符合 I2C 上升时间规格。有关更多信息，请参阅 [I2C 总线上拉电阻计算](#)。TXG4122 支持标准模式 ($\leq 100kHz$)、快速模式 ($\leq 400kHz$) 和超快速模式 ($\leq 1MHz$)。

此器件的侧 1 的工作电压范围为 3V 至 5.5V，侧 2 的工作电压范围为 2.25V 至 5.5V。为了获得出色的信号完整性，请将侧 1 (SDA1、SCL1) 连接到主机控制器 - MCU、SoC 或任何单个主节点。将侧 (SDA2、SCL2) 连接到链接多个外设的共享 I2C 总线。侧 1 的最大负载为 $\leq 80pF$ ，侧 2 的最大负载为 $\leq 550pF$ 。

8.2 功能方框图



8.3 特性说明

8.3.1 双向电平转换器

TXG4122 可以在混合模式应用中提供双向电压电平转换（升压转换和降压转换）。在侧 1，它在 3V 至 5.5V 电压范围内运行，在侧 2，它在 2.25V 至 5.5V 电压范围内运行。

8.4 器件功能模式

表 8-1. 功能表

VCC1 ⁽¹⁾	VCC2	SDA1/SCL1	SDA2/SCL2
> UVLO	> UVLO	H 或开路	H 或开路
		L	L
< UVLO	> UVLO	高阻态	H 或开路
> UVLO	< UVLO	H 或开路	高阻态
< UVLO	< UVLO	高阻态	高阻态

(1) > UVLO = VCC 高于 UVLO 阈值；< UVLO = VCC 低于 UVLO 阈值；L = 低电平；H 或开路 = 高电平或已释放；高阻态 = 高阻抗

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

9.1 应用信息

TXG4122 用于电平转换，从而使得能够在不同接口和接地电压下运行的器件或系统之间进行通信。TXG4122 器件非常适合用于开漏驱动器连接至数据 I/O 的应用。图 9-1 是一个双系统示例，能够通过 I2C 接口从 3.3V 转换为 5.5V，并且当 GND1 保持在 0V 时，GND2 上的接地漂移为 -1V。

9.2 典型应用

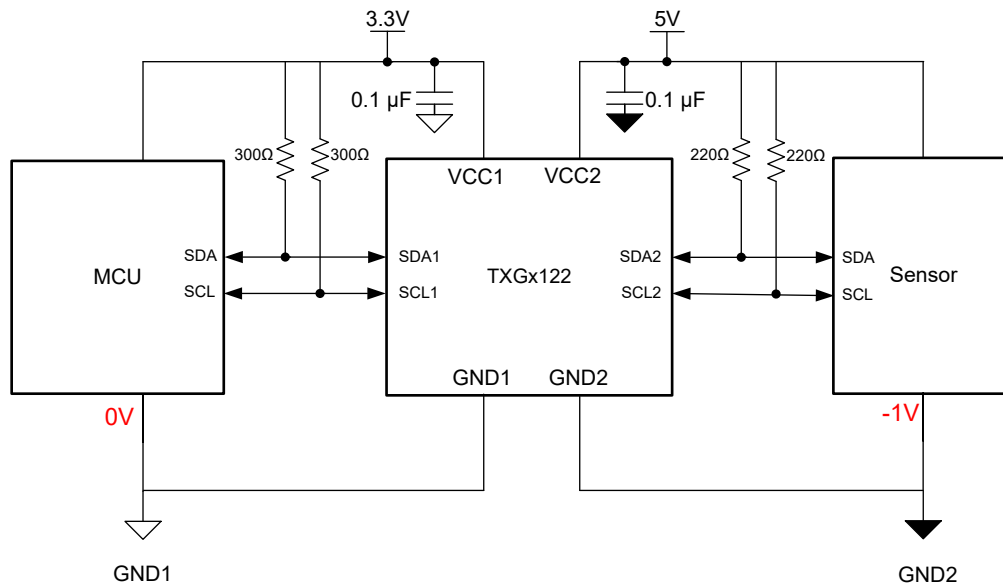


图 9-1. 工业应用中的 TXG4122

9.2.1 设计要求

此设计示例使用表 9-1 中列出的参数。

表 9-1. 设计参数

设计参数	示例值
SDA1/SCL1	3V 至 5.5V
SDA2/SCL2	2.25V 至 5.5V

9.2.2 详细设计过程

要开始设计过程，请确定以下内容：

- 电源电压选择
 - 将 VCC1 设置为 1 侧域的电源 (3.0 至 5.5V)，将 VCC2 设置为 2 侧域的电源 (2.25V 至 5.5V)。这些范围是不对称的。
 - 每侧的上拉电阻器必须连接到该侧的 VCC，使逻辑高电平与本地域电压相匹配。
- 上拉电阻器选择 (RP)
 - 1 侧和 2 侧具有不同的灌电流限制 (IOL1 = 16.5mA、IOL2 = 30mA) 和不同的最大容性负载 (C1 = 80pF、C2 = 550pF)，因此必须为每侧独立选择上拉电阻器。
 - 对于每一侧，请确认 VCC / RP 不超过额定 IOL，并且上升时间符合目标总线速度的 I2C 规格。
- 接地失调电压
 - GND1 和 GND2 之间的直流失调电压不得超过 $\pm 40V$ 。对于动态接地漂移，请确保 dv/dt 保持在 CMTI 额定值 (2kV/ μs) 以下。
 - 确保每一侧的电源电压不超过其本地接地基准 5.5V (VCC1 至 GND1 $\leq 5.5V$ 且 VCC2 至 GND2 $\leq 5.5V$ — 根据建议运行条件)。此约束与 GND1 和 GND2 之间的接地偏移无关。

9.2.3 应用曲线

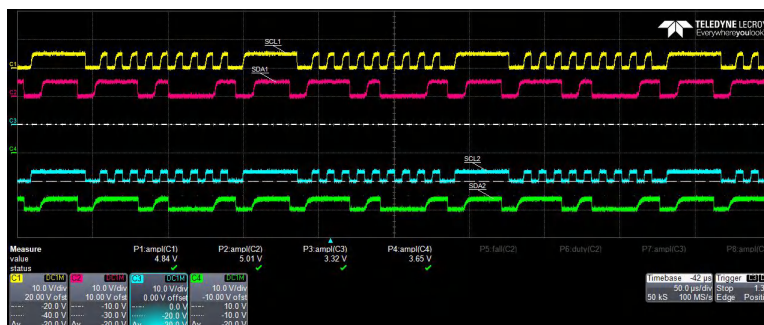


图 9-2. 1MHz (5V 至 3.3V) 时的下行转换，接地漂移为 -20V

9.3 电源相关建议

始终首先对 GND 引脚应用接地基准。该器件专为无干扰电源时序而设计，没有任何电源时序要求，例如斜坡阶数或斜坡速率。请确保电源电压 VCC 与接地端 GND 之间的压差始终保持在 5.5V (依据推荐工作条件)。

9.4 布局

9.4.1 布局指南

为确保器件的可靠性，建议按照以下常见印刷电路板布局布线指南进行操作：

- 在电源引脚上使用旁路电容器，并将其放置在尽可能靠近器件的位置。建议使用 0.1 μF 电容器，但可以将 1 μF 和 0.1 μF 电容器作为旁路电容器并联起来，从而提高瞬态性能。
- 可以在 GND1 和 GND2 之间添加一个 0.1 μF 的电容器来改善 CMTI 的性能。

9.4.2 布局示例

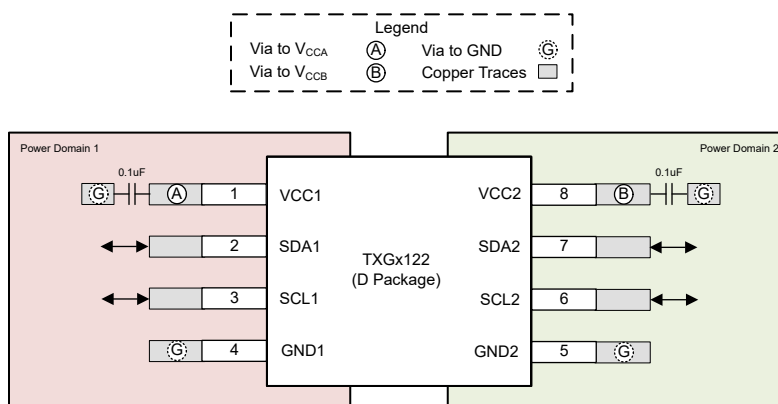


图 9-3. 布局示例 - TXG4122

10 器件和文档支持

10.1 文档支持

10.1.1 相关文档

如要查看相关文件，请参阅以下内容：

- 德州仪器 (TI)，[了解施密特触发应用报告](#)
- 德州仪器 (TI)，[CMOS 功耗与 \$C_{pd}\$ 计算应用报告](#)

10.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

10.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
June 2026	*	初始发行版

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TXG4122DR	Active	Production	SOIC (D) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TG4122

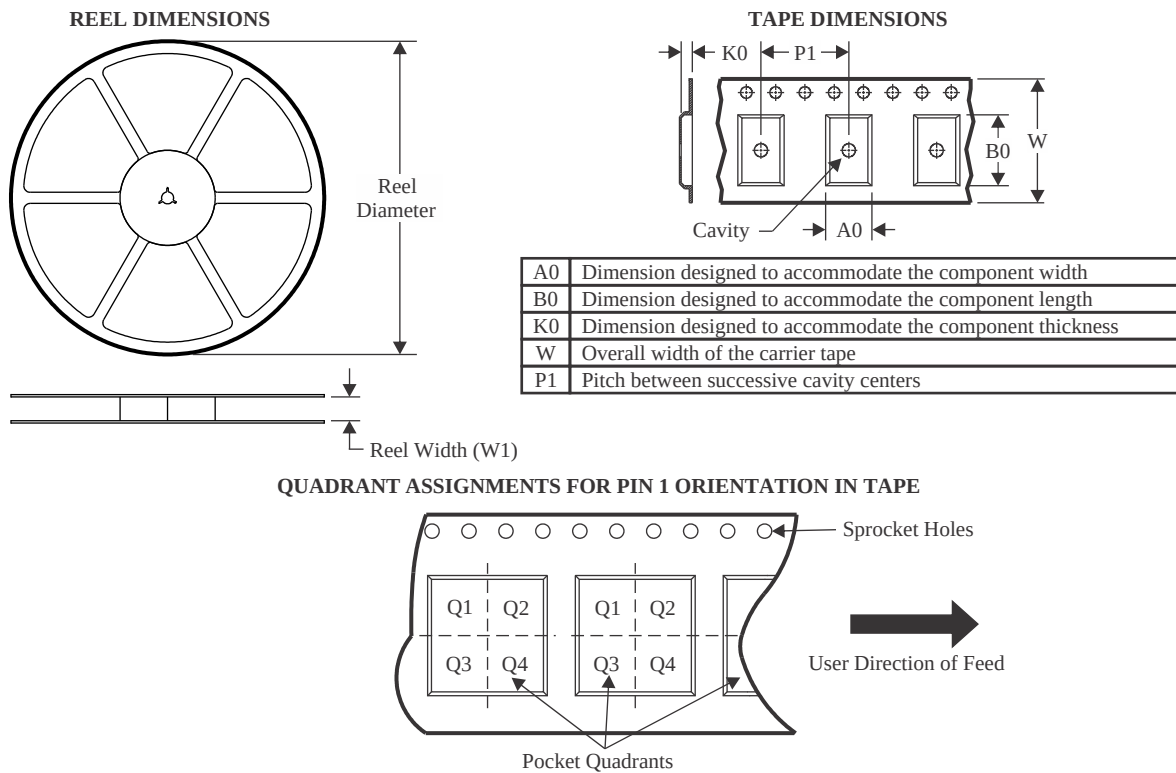
- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

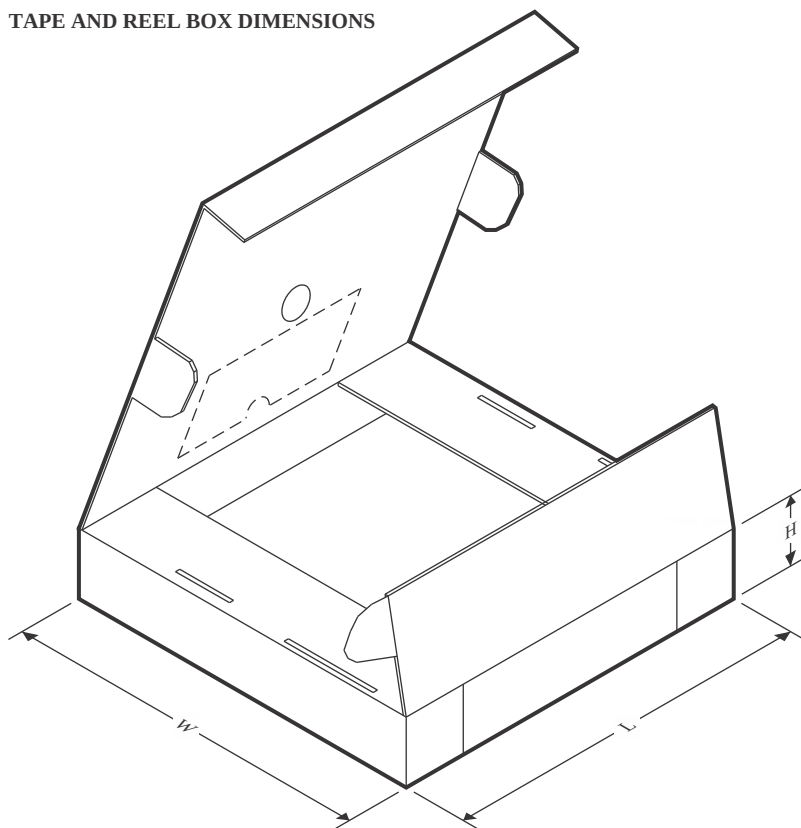
TAPE AND REEL INFORMATION



*All dimensions are nominal

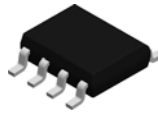
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TXG4122DR	SOIC	D	8	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TXG4122DR	SOIC	D	8	3000	340.5	336.1	32.0

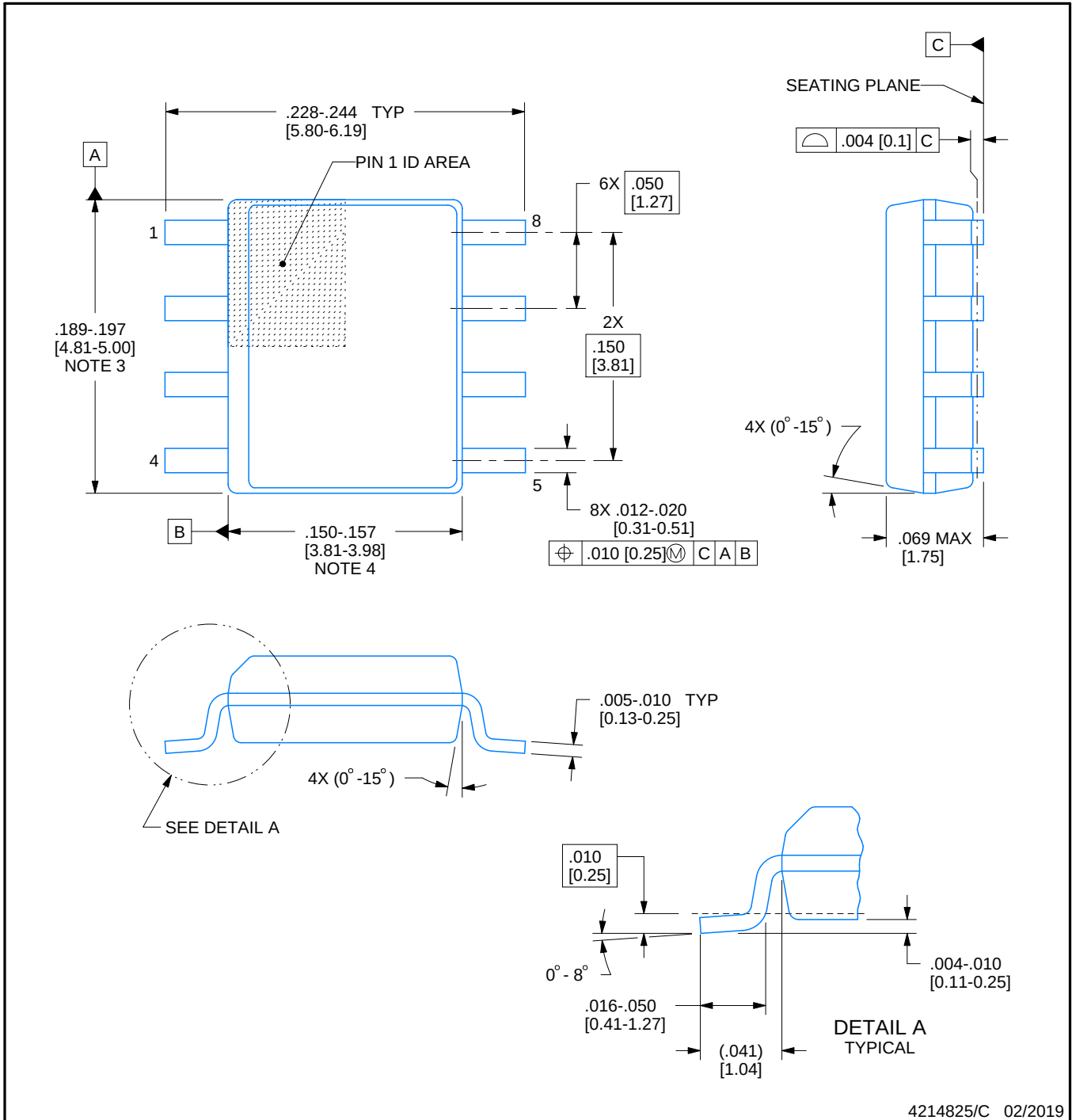


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

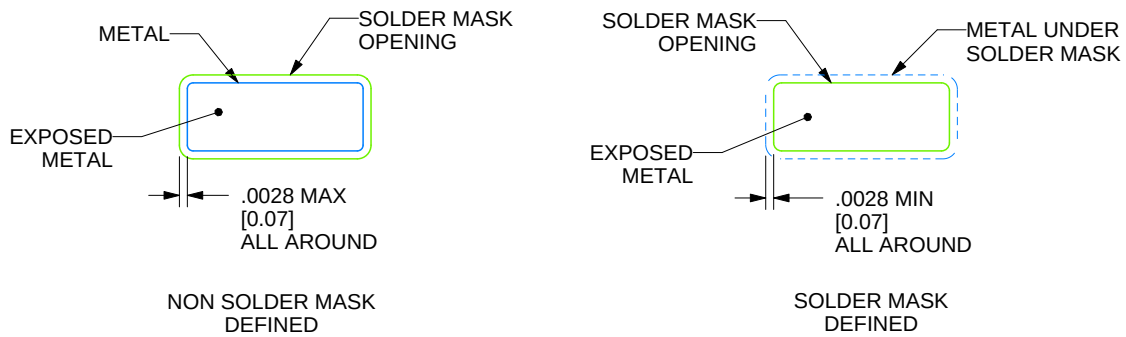
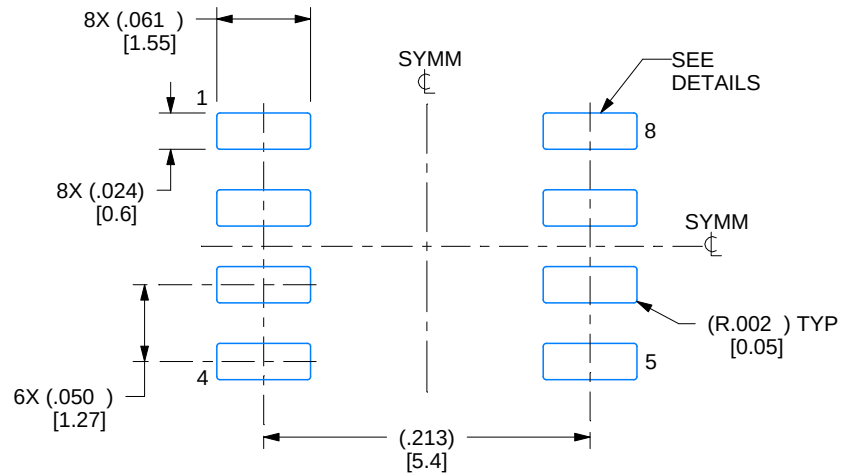
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

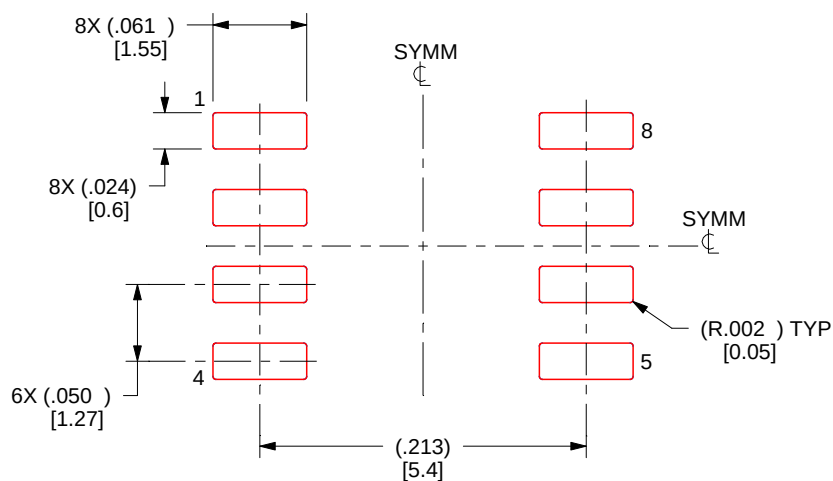
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月