

TPSI2240-Q1 具有雪崩保护功能的 1200V、50mA 汽车类增强型固态继电器

1 特性

- 符合汽车应用要求
 - AEC-Q100 等级 1：-40°C 至 125°C， T_A
- 低 EMI：
 - 符合 CISPR25 5 类性能要求，无需额外组件
- 集成雪崩额定 MOSFET
 - 针对电介质耐压测试 (Hi-Pot) 可靠性进行设计和认证
 - TPSI2240-Q1 $I_{AVA} = 1\text{mA}$ (60s 脉冲)
 - TPSI2240C-Q1 $I_{AVA} = 0.6\text{mA}$ (60s 脉冲)
 - TPSI2240T-Q1 $I_{AVA} = 3\text{mA}$ (60s 脉冲)
 - 1200V 关断电压
 - $R_{ON} = 130\ \Omega$ ($T_J = 25^\circ\text{C}$)
 - $T_{ON}, T_{OFF} < 700\ \mu\text{s}$
 - 1000V 时的 $I_{OFF} = 1.22\ \mu\text{A}$ ($T_J = 105^\circ\text{C}$)
- 低初级侧电源电流
 - 3.5 μA 关断状态电流 ($T_J = 25^\circ\text{C}$)
- 功能安全型
 - 可帮助进行 ISO 26262 和 IEC 61508 辅助设计的文档
- 稳健可靠的隔离栅：
 - 在 1500V_{RMS} / 2120V_{DC} 工作电压下预计寿命超过 30 年
 - 增强隔离额定值 V_{ISO} 高达 4750V_{RMS}
- SOIC 11 引脚 (DWQ) 封装，具有宽引脚，可提高热性能
 - 爬电距离和间隙 $\geq 8\text{mm}$ (初级-次级)
 - 爬电距离和间隙 $\geq 6\text{mm}$ (开关端子之间)
- 安全相关认证
 - (计划) DIN EN IEC 60747-17 (VDE 0884-17)
 - (计划) UL 1577 组件认证计划

2 应用

- 固态继电器
- 混合动力、电动和动力传动系统

- 电池管理系统 (BMS)
- 能量存储系统 (ESS)
- 太阳能
- 车载充电器
- 电动汽车充电基础设施
- 另请参阅与这些应用相关的 TI 参考设计。

3 说明

TPSI2240-Q1 是一款隔离式固态继电器，专为高电压汽车和工业应用而设计。TPSI2240-Q1 与 TI 具有高可靠性的电容隔离技术和内部背对背 MOSFET 整合在一起，形成了一款完全集成式解决方案，无需次级侧电源。

该器件的初级侧仅由 5mA 的输入电流供电，并集成了一个失效防护 EN 引脚，可防止对 VDD 电源反向供电的任何可能性。在大多数应用中，器件的 VDD 引脚应连接到 4.5V 至 20V 的系统电源，并且器件的 EN 引脚应由逻辑高电平介于 2.1V 至 20V 之间的 GPIO 输出驱动。在其他应用中，VDD 和 EN 引脚可以直接全由系统电源或 GPIO 输出驱动。TPSI2240-Q1 的所有控制配置都不需要光继电器解决方案通常所需的其他外部元件，例如电阻器和/或低侧开关。

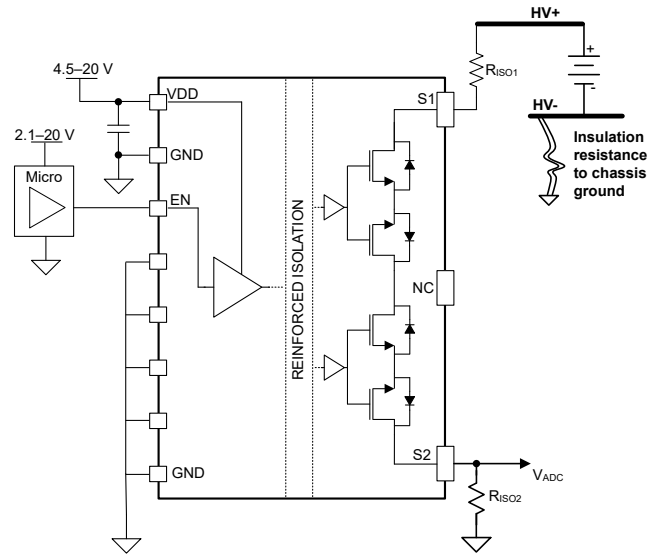
次级侧包含背对背 MOSFET，从 S1 至 S2 的关断电压为 $\pm 1.2\text{kV}$ 。TPSI2240-Q1 MOSFET 的雪崩稳健性和热敏感封装设计使其能够可靠地支持系统级电介质耐压测试 (HiPot)，并且无需任何外部元件即可承受高达 1mA (TPSI2240C-Q1 为 0.6mA，TPSI2240T-Q1 为 3mA) 的直流快速充电器浪涌电流。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 (标称值)
TPSI2240-Q1	DWQ (SOIC、11 引脚)	10.3mm × 7.5mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。





TPSI2240-Q1 简化版应用原理图

内容

1 特性	1	8.1 概述	16
2 应用	1	8.2 功能方框图	16
3 说明	1	8.3 特性说明	17
4 器件比较	4	8.4 器件功能模式	18
5 引脚配置和功能	5	9 应用和实施	19
6 规格	6	9.1 应用信息	19
6.1 绝对最大额定值.....	6	9.2 典型应用	19
6.2 ESD 等级.....	6	9.3 电源相关建议	26
6.3 建议运行条件.....	7	9.4 布局	26
6.4 热性能信息.....	7	10 器件和文档支持	28
6.5 功率等级.....	7	10.1 第三方产品免责声明	28
6.6 绝缘规格.....	8	10.2 接收文档更新通知	28
6.7 安全相关认证.....	9	10.3 支持资源	28
6.8 安全限值.....	9	10.4 商标	28
6.9 电气特性.....	10	10.5 静电放电警告	28
6.10 开关特性.....	12	10.6 术语表	28
6.11 典型特性.....	13	11 修订历史记录	28
7 参数测量信息	15	12 机械、封装和可订购信息	29
8 详细说明	16		

4 器件比较

表 4-1. 器件比较

器件名称	雪崩保护模式	最大雪崩电流 (60s)
TPSI2240-Q1	标准雪崩保护	1.0mA
TPSI2240C-Q1	标准雪崩保护	0.6mA
TPSI2240T-Q1	热雪崩保护	3.0mA

5 引脚配置和功能

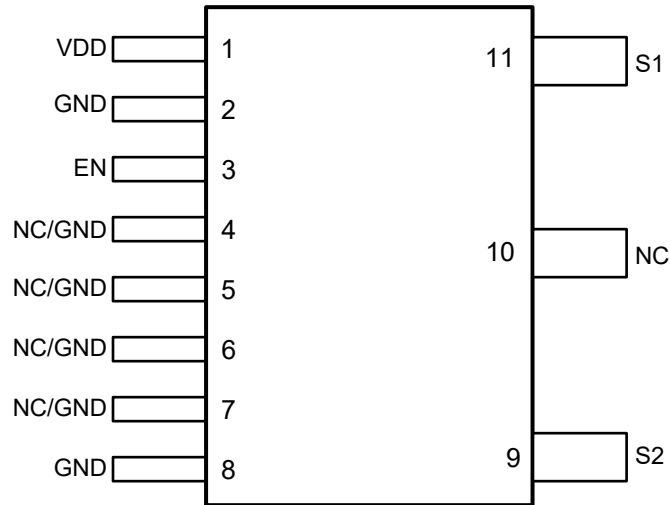


图 5-1. TPSI2240-Q1 DWQ 封装，11 引脚 SOIC (顶视图)

表 5-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
编号	名称		
1	VDD	P	初级侧的电源
2	GND	GND	初级侧的接地电源
3	EN	I	高电平有效开关使能信号
4	NC/GND	NC/GND	内部连接、外部接地或保持悬空
5	NC/GND	NC/GND	内部连接、外部接地或保持悬空
6	NC/GND	NC/GND	内部连接、外部接地或保持悬空
7	NC/GND	NC/GND	内部连接、外部接地或保持悬空
8	GND	GND	在内部连接到 GND，在外部接地或保持悬空
9	S2	I/O	开关输入
10	NC	NC	无连接
11	S1	I/O	开关输入

(1) P = 电源、I = 输入、O = 输出、GND = 接地、NC = 无连接

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

参数		最小值	最大值	单位
V _{VDD}	初级侧电源电压 ⁽²⁾	-0.3	20.7	V
V _{EN}	使能电压 ⁽²⁾	-0.3	20.7	V
I _{S1,S2}	开关电流 S1/S2	-55	55	mA
I _{AVA,S1,S2}	重复雪崩额定值, 60s 脉冲, TPSI2240C, S1/S2 ⁽³⁾	-0.6	0.6	mA
I _{AVA,S1,S2}	重复雪崩额定值, 60s 脉冲, TPSI2240, S1/S2 ⁽³⁾	-1	1	mA
I _{AVA,S1,S2}	重复雪崩额定值, 60s 脉冲, TPSI2240T, TAP, S1/S2 ⁽³⁾	-3	3	mA
T _J	结温	-40	150	°C
T _{stg}	贮存温度	-65	150	°C

- 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- 电压值均以 GND 为基准。
- 在使用寿命内以不超过 60 秒的增量累积至 5 分钟，占空比 < 10%，TAP 模式

6.2 ESD 等级

			值	单位	
HBM _{Prim}	静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 ⁽¹⁾ HBM ESD 分类等级 2	初级侧引脚 1-8	±2000	V
HBM _{Sec}		人体放电模型 (HBM), 符合 AEC Q100-002 ⁽¹⁾ HBM ESD 分类等级 2	次级侧引脚 9-11	±2000	V
CDM	静电放电	充电器件模型 (CDM), 符合 AEC Q100-011 CDM ESD 分类等级 C4	所有引脚	±750	V

- AEC Q100-002 指示必须按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		最小值	标称值	最大值	单位
V _{VDD}	初级侧电源电压 ⁽¹⁾	4.5		20	V
V _{EN}	使能电压 ⁽¹⁾	0		20	V
V _{S2-S1}	开关输入电压	-1200		1200	V
I _{S1,S2}	开关电流	-50		50	mA
T _A	环境工作温度	-40		125	°C
T _J	工作结温	-40		150	°C

(1) 电压值均以 GND 为基准。

6.4 热性能信息

热指标 ⁽¹⁾		器件		单位
		DWQ (SOIC)		
		11 引脚		
R _{θJA}	结至环境热阻	85.7		°C/W
R _{θJC(top)}	结至外壳（顶部）热阻	32.8		°C/W
R _{θJB}	结至电路板热阻	41.3		°C/W
Ψ _{JB}	结至电路板特征参数	40.4		°C/W
Ψ _{JT}	结至顶部特征参数	18.3		°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标应用报告](#)。

6.5 功率等级

参数		测试条件	最小值	典型值	最大值	单位
P _D	最大功率耗散，总	V _{VDD} = 5V , V _{EN} = 5V 峰峰值 , V _{S1-S2} = 1200V , R _{S1} = 500kΩ f _{EN} = 1Hz 方波			31	mW
P _{D_P}	最大功率耗散（初级侧）				30	mW
P _{D_S}	最大功率耗散（次级侧）				1	mW

6.6 绝缘规格

参数		测试条件	值	单位
IEC 60664-1				
CLR	外部间隙 ⁽¹⁾	端子间的最短空间距离	>8	mm
CPG	外部爬电距离 ⁽¹⁾	端子间的最短封装表面距离	>8	mm
DTI	绝缘穿透距离	最小内部间隙	>15.4	μm
CTI	相对漏电起痕指数	DIN EN 60112 (VDE 0303-11) ; IEC 60112	>600	V
	材料组	符合 IEC 60664-1	I	
	过压类别 (符合 IEC 60664-1)	额定市电电压 ≤ 300V _{RMS}	I-IV	
		额定市电电压 ≤ 600V _{RMS}	I-III	
		额定市电电压 ≤ 1000V _{RMS}	I-II	
DIN V VDE 0884-11:2017-01⁽²⁾, IEC 60747-17:2020				
V _{IORM}	最大重复峰值隔离电压	交流电压 (双极)	2120	V _{PK}
V _{IOWM}	最大隔离工作电压	交流电压 (正弦波)	1000	V _{RMS}
		直流电压	2120	V _{DC}
V _{IOTM}	最大瞬态隔离电压	V _{TEST} = V _{IOTM} , t = 60s (鉴定测试)	6715	V _{PK}
		V _{TEST} = 1.2 × V _{IOTM} , t = 1s (100% 生产测试)	8059	V _{PK}
V _{IMP}	最大脉冲电压 ⁽⁶⁾	在空气中测试, 符合 IEC 62638-1, 1.2/50μs 波形,	7690	V _{PK}
V _{IOSM}	最大浪涌隔离电压 ⁽³⁾	在油中测试, 符合 IEC 62638-1, 1.2/50μs 波形, V _{TEST} = 1.3 × V _{IOSM} (鉴定测试)	10000	V _{PK}
q _{pd}	视在电荷 ⁽⁴⁾	方法 a: I/O 安全测试子组 2/3 后, V _{ini} = V _{IOTM} , t _{ini} = 60s; V _{pd(m)} = 1.2 × V _{IORM} , t _m = 10s	≤5	pC
		方法 a: 环境测试子组 1 后, V _{ini} = V _{IOTM} , t _{ini} = 60s; V _{pd(m)} = 1.6 × V _{IORM} , t _m = 10s	≤5	
		方法 b1: 常规测试 (100% 生产测试) 和预处理 (类型测试), V _{ini} = V _{IOTM} , t _{ini} = 1s; V _{pd(m)} = 1.875 × V _{IORM} , t _m = 1s	≤5	
C _{IO}	势垒电容, 输入至输出 ⁽⁵⁾	V _{IO} = 0.4 × sin(2πft), f = 1MHz	1.6	pF
R _{IO}	隔离电阻, 输入至输出 ⁽⁵⁾	V _{IO} = 500V, T _A = 25°C	>10 ¹²	Ω
		V _{IO} = 500V, 100°C ≤ T _A ≤ 125°C	>10 ¹¹	
		V _{IO} = 500V, T _S = 150°C	>10 ⁹	
	污染等级		2	
	气候类别		40/150/21	
UL 1577				
V _{ISO}	可承受的隔离电压	V _{TEST} = V _{ISO} , t = 60s (鉴定测试); V _{TEST} = 1.2 × V _{ISO} , t = 1s (100% 生产测试)	4750	V _{RMS}
其他				
V _{ISO}	可承受的隔离电压		6715	V _{DC}

- 爬电距离和间隙应满足应用的特定设备隔离标准中的要求。请注意保持电路板设计的爬电距离和间隙, 从而确保印刷电路板上隔离器的安装焊盘不会导致此距离缩短。在特定的情况下, 印刷电路板上的爬电距离和间隙变得相等。在印刷电路板上插入坡口或肋或同时应用这两项技术可帮助提高这些规格。
- 此耦合器仅适用于安全额定值范围内的安全电气绝缘。应借助合适的保护电路来确保符合安全等级。
- 在空气或油中执行测试, 以确定隔离栅的固有浪涌抗扰度。
- 视在电荷是局部放电 (pd) 引起的电气放电。
- 将隔离层每一侧的所有引脚都连在一起, 构成一个双引脚器件。
- 在空气中进行测试, 以确定封装的固有浪涌抗扰度。

6.7 安全相关认证

VDE	CSA	UL	CQC	TUV
计划根据 DIN EN IEC 60747-17 (VDE 0884-17) 进行认证	如果未计划, 请联系德州仪器 (TI) 申请。	计划根据 UL 1577 组件认证计划进行认证	如果未计划, 请联系德州仪器 (TI) 申请。	如果未计划, 请联系德州仪器 (TI) 申请。
增强型绝缘; 最大瞬态隔离电压 6715 V _{PK} ; 最大重复峰值隔离电压 2120V _{PK} ; 最大浪涌隔离电压 10000V _{PK}		单一保护, 4750V _{RMS}		
已计划获得证书		已计划获得证书		

6.8 安全限值

参数 ^{(1) (2)}		测试条件	最小值	典型值	最大值	单位
I _S	安全 VDD 电流	R _{θJA} = 85.7°C/W, V _{VDD} = 20 V, T _J = 150°C, T _A = 25°C			72	mA
	安全开关电流 (导通状态)	R _{θJA} = 85.7°C/W, V _{VDD} = 20 V, T _J = 150°C, T _A = 25°C			69	
	安全开关电流 (关断状态, 60 秒)	R _{θJA} , EVM, 60s ⁽³⁾ = 72.0°C/W, V _{VDD} = 0V, T _J = 150°C, T _A = 25°C			1.12	
P _S	安全输入、输出或总功率	R _{θJA} = 85.7°C/W, T _J = 150°C, T _A = 25°C。			1.46	W
T _S	最高安全温度				150	°C

- (1) 安全限制旨在最大限度地减小在发生输入或输出电路故障时对隔离栅的潜在损害。I/O 发生故障时会导致低电阻接地或连接到电源, 如果没有限流电路, 则会因为功耗过大而导致芯片过热并损坏隔离栅, 甚至可能导致辅助系统出现故障。
- (2) 安全限值约束是数据表中指定的最高结温。结温取决于应用硬件中所安装器件的功耗和结至空气热阻。假设热性能信息表中的结至空气热阻所属器件安装在含引线的表面贴装封装对应的高 K 测试板上。功耗为建议的最大输入电压与电流之积。因此, 结温是环境温度加上功耗与结至空气热阻之积。
- (3) 假设 PCB 布局与“布局指南”部分中的 EVM 类似

6.9 电气特性

除非另有说明，否则所有最小/最大规格都在建议运行条件下测得。所有典型值都在 $T_J = 25^\circ\text{C}$ 、 $V_{\text{VDD}} = 5\text{V}$ 、 $V_{\text{EN}} = 5\text{V}$ 的条件下测得。

参数	测试条件	最小值	典型值	最大值	单位	
初级侧电源电压 (VDD)						
$V_{\text{UVLO_R}}$	VDD 欠压阈值上升	VDD 上升	4.1	4.3	4.5	V
$V_{\text{UVLO_F}}$	VDD 欠压阈值下降	VDD 下降	4.0	4.2	4.45	V
$V_{\text{UVLO_HYS}}$	VDD 欠压阈值迟滞		25	75		mV
$I_{\text{VDD_ON}}$	VDD 电流, 器件上电	$T_J = 25^\circ\text{C}$		8.5	11	mA
		$-40^\circ\text{C} \leq T_J \leq 150^\circ\text{C}$		8.5	12	mA
$I_{\text{VDD_OFF}}$	VDD 电流, 5V, 器件断电	$V_{\text{VDD}} = 5\text{V}$, $V_{\text{EN}} = 0\text{V}$, $T_J = 25^\circ\text{C}$		3.5	8	μA
		$V_{\text{VDD}} = 5\text{V}$, $V_{\text{EN}} = 0\text{V}$, $T_J = 105^\circ\text{C}$		6.3	11	μA
		$V_{\text{VDD}} = 5\text{V}$, $V_{\text{EN}} = 0\text{V}$, $T_J = 125^\circ\text{C}$		7.6	16	μA
		$V_{\text{VDD}} = 5\text{V}$, $V_{\text{EN}} = 0\text{V}$, $-40^\circ\text{C} \leq T_J \leq 150^\circ\text{C}$				30
	VDD 电流, 20V, 器件断电	$V_{\text{VDD}} = 20\text{V}$, $V_{\text{EN}} = 0\text{V}$, $T_J = 25^\circ\text{C}$		8	10.5	μA
		$V_{\text{VDD}} = 20\text{V}$, $V_{\text{EN}} = 0\text{V}$, $T_J = 105^\circ\text{C}$		13	17	
		$V_{\text{VDD}} = 20\text{V}$, $V_{\text{EN}} = 0\text{V}$, $T_J = 125^\circ\text{C}$		15	25	
		$V_{\text{VDD}} = 20\text{V}$, $V_{\text{EN}} = 0\text{V}$, $-40^\circ\text{C} \leq T_J \leq 150^\circ\text{C}$				
FET 特性 (S1、S2)						
R_{DSON}	导通电阻	$I_O = 2\text{mA}$, $T_J = 25^\circ\text{C}$		130	175	Ω
		$I_O = 2\text{mA}$, $T_J = 85^\circ\text{C}$		176	235	
		$I_O = 2\text{mA}$, $T_J = 105^\circ\text{C}$		192	250	
		$I_O = 2\text{mA}$, $T_J = 125^\circ\text{C}$		210	275	
		$I_O = 2\text{mA}$, $-40^\circ\text{C} \leq T_J \leq 150^\circ\text{C}$				
I_{OFF}	关断泄漏, 1200V	$V = \pm 1200\text{V}$, $T_J = 25^\circ\text{C}$		0.058	0.25	μA
		$V = \pm 1200\text{V}$, $T_J = 85^\circ\text{C}$			0.5	
		$V = \pm 1200\text{V}$, $T_J = 105^\circ\text{C}$			1.5	
		$V = \pm 1200\text{V}$, $T_J = 125^\circ\text{C}$			7	
		$V = \pm 1200\text{V}$, $-40^\circ\text{C} \leq T_J \leq 150^\circ\text{C}$			50	
	关断泄漏, 1000V	$V = \pm 1000\text{V}$, $T_J = 25^\circ\text{C}$		0.055	0.25	μA
		$V = \pm 1000\text{V}$, $T_J = 85^\circ\text{C}$			0.43	
		$V = \pm 1000\text{V}$, $T_J = 105^\circ\text{C}$			1.22	
		$V = \pm 1000\text{V}$, $T_J = 125^\circ\text{C}$			5.75	
		$V = \pm 1000\text{V}$, $-40^\circ\text{C} \leq T_J \leq 150^\circ\text{C}$			44	
V_{AVA}	雪崩电压	$I_O = 10\mu\text{A}$, $T_J = 25^\circ\text{C}$		1300	1550	V
		$I_O = 100\mu\text{A}$, $T_J = 150^\circ\text{C}$		1300	1550	
C_{OSS}	S1、S2 电容	$V_{\text{S1,S2}} = 0\text{V}$, SM 悬空, $F = 1\text{MHz}$		71		pF
T_{TAP1}	热雪崩保护阈值 (仅限 TPSI2240T-Q1)	置为有效		160		C
$T_{\text{TAP_END}}$	热雪崩保护阈值 (仅限 TPSI2240T-Q1)	置为无效		85	125	C

6.9 电气特性 (续)

除非另有说明，否则所有最小/最大规格都在建议运行条件下测得。所有典型值都在 $T_J = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{V}$ 、 $V_{EN} = 5\text{V}$ 的条件下测得。

参数		测试条件	最小值	典型值	最大值	单位
逻辑电平输入 (EN)						
V_{IL}	输入逻辑低电平电压		0.0		0.8	V
V_{IH}	输入逻辑高电平电压		2.1		20.0	V
V_{HYS}	输入逻辑迟滞		100	250	300	mV
I_{IL}	输入逻辑低电平电流	$V_{EN} = 0\text{V}$	-0.1		0.1	μA
		$V_{EN} = 0.8\text{V}$	0.1	0.68	6.5	μA
I_{IH}	输入逻辑高电流	$V_{EN} = 5\text{V}$	1.5	4.4	15	μA
		$V_{EN} = 10\text{V}$	2	13	30	μA
		$V_{EN} = 20\text{V}$	10	32	65	μA
I_{VDD_FS}	VDD 失效防护电流	$V_{EN} = 20\text{V}$, $V_{VDD} = 0\text{V}$	-0.1	0	0.1	μA
R_{PD}	下拉电阻	两点测量, $V_{EN} = 0.5\text{V}$ 且 $V_{EN} = 0.8\text{V}$	589	1180	2050	$\text{k}\Omega$
噪声抗扰度						
CMTI	共模瞬态抗扰度	$ V_{CM} = 1000\text{V}$	100.0			V/ns

6.10 开关特性

除非另有说明，否则所有最小/最大规格都在建议运行条件下测得。所有典型值都是在 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 5\text{ V}$ 、 $V_{EN} = 5\text{ V}$ 下测得。

模式	参数		测试条件	最小值	典型值	最大值	单位
开关特性							
EN 开关	t_{PD_ON}	输入高电平至输出电压下降传播延迟	$V_{IN} = 1000\text{V } R_L = 1\text{M}\Omega$		170	370	μs
	t_F	输出下降时间			47	100	
	t_{ON}	输入高电平至输出低电平延迟			220	440	
	t_{PD_OFF}	输入低电平至输出电压上升传播延迟			170	290	
	t_R	输出上升时间			29	70	
	t_{OFF}	输入低电平至输出高电平延迟			200	350	
EN 和 VDD 开关	t_{PD_ON}	输入高电平至输出电压下降传播延迟	$V_{IN} = 1000\text{V } R_L = 1\text{M}\Omega$		250	520	μs
	t_F	输出下降时间			50	100	
	t_{ON}	输入高电平至输出低电平延迟			310	590	
	t_{PD_OFF}	输入低电平至输出电压上升传播延迟			170	250	
	t_R	输出上升时间			30	80	
	t_{OFF}	输入低电平至输出高电平延迟			200	350	

6.11 典型特性

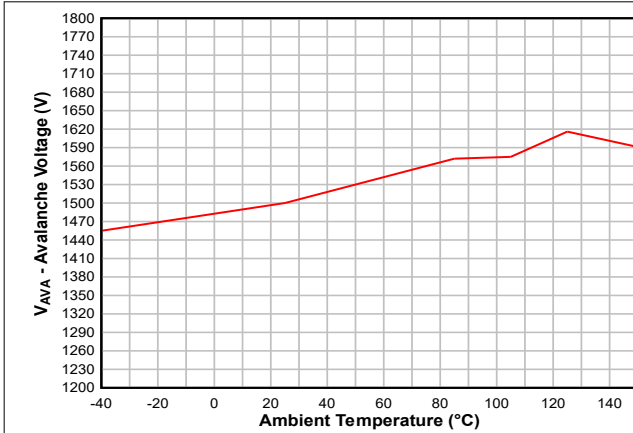


图 6-1. 雪崩电压与环境温度间的关系 ($I_O = 100 \mu A$)

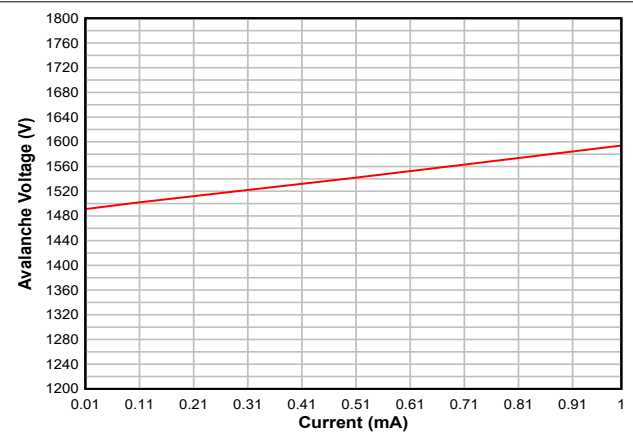


图 6-2. 雪崩电压与雪崩电流间的关系

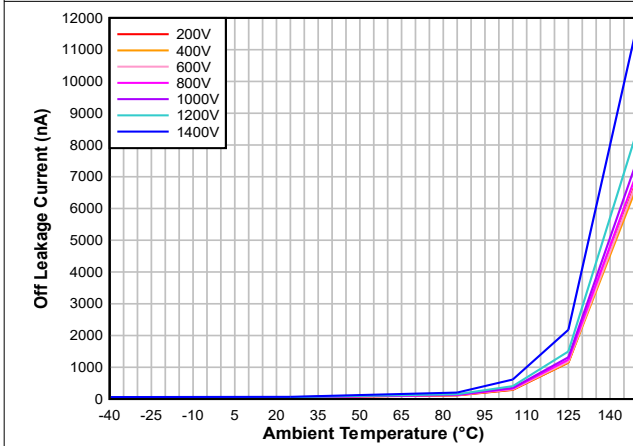


图 6-3. 关断泄漏电流与环境温度间的关系

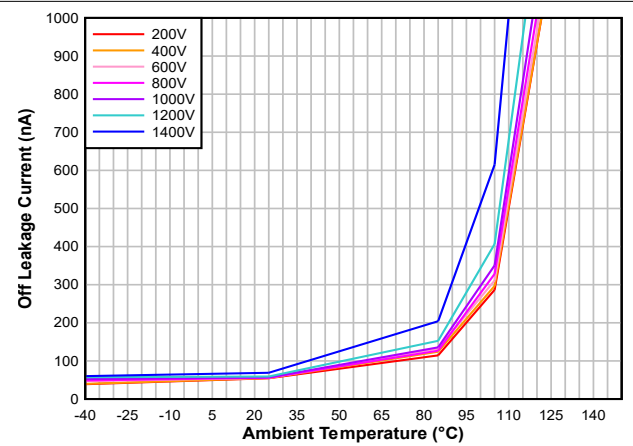


图 6-4. 关断泄漏电流与环境温度间的关系 (放大图)

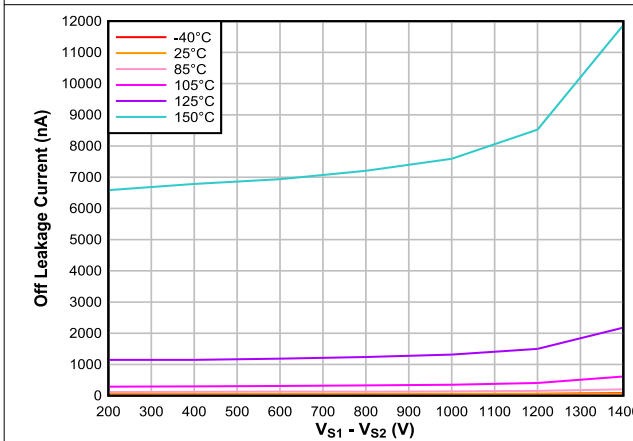


图 6-5. 关断泄漏电流与输出电压间的关系

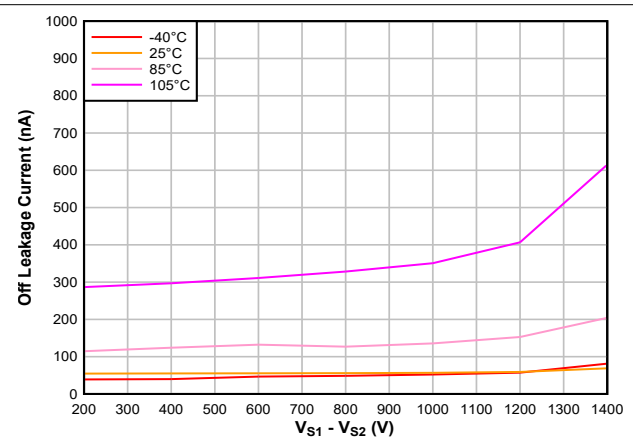


图 6-6. 关断泄漏电流与输出电压间的关系 (放大图)

6.11 典型特性 (续)

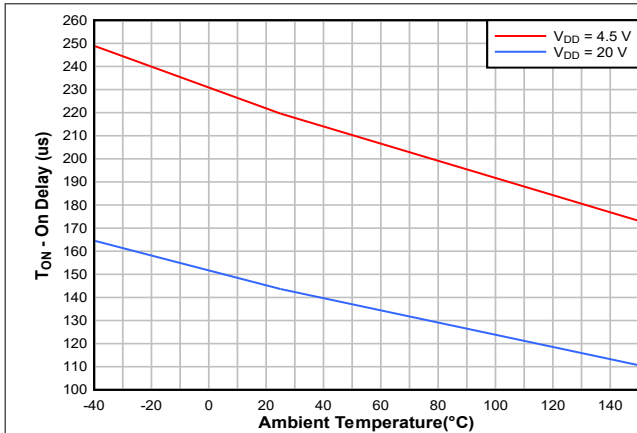


图 6-7. 输入到输出开启延迟 ($V_{IN} = 1000V$)

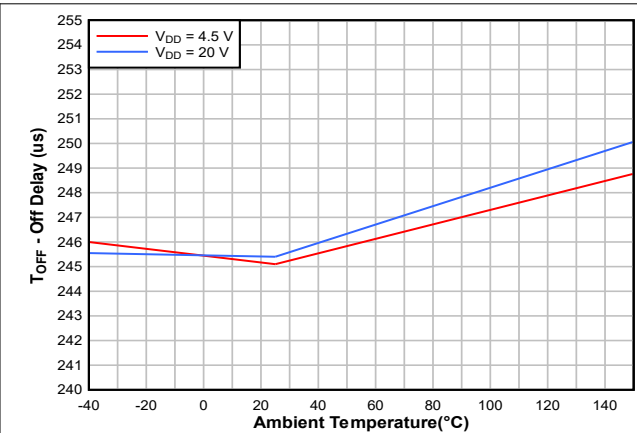


图 6-8. 输入到输出关闭延迟 ($V_{IN} = 1000V$)

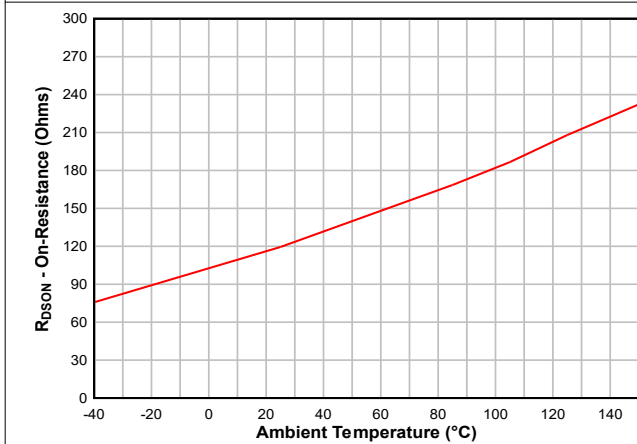


图 6-9. 典型导通电阻与环境温度间的关系

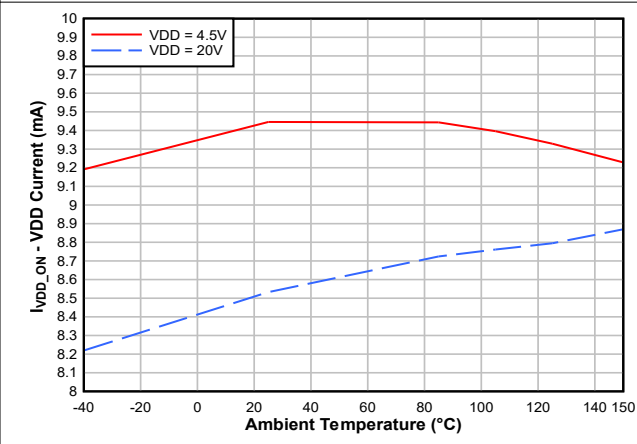


图 6-10. VDD 电流与环境温度间的关系

7 参数测量信息

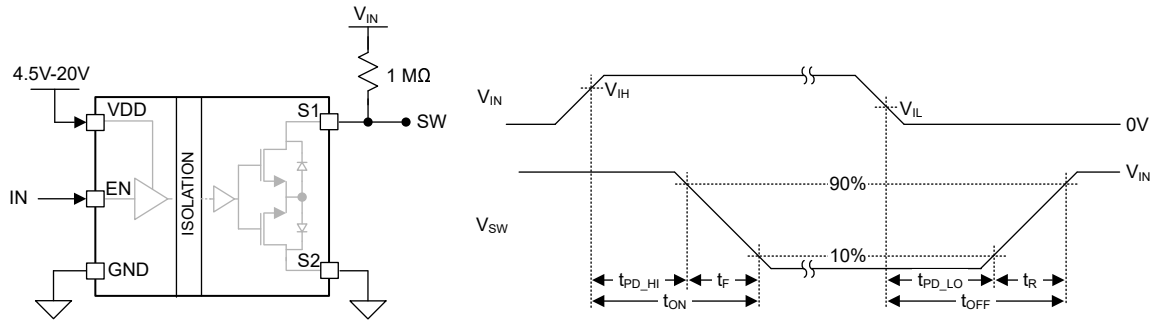


图 7-1. 时序图、EN 开关

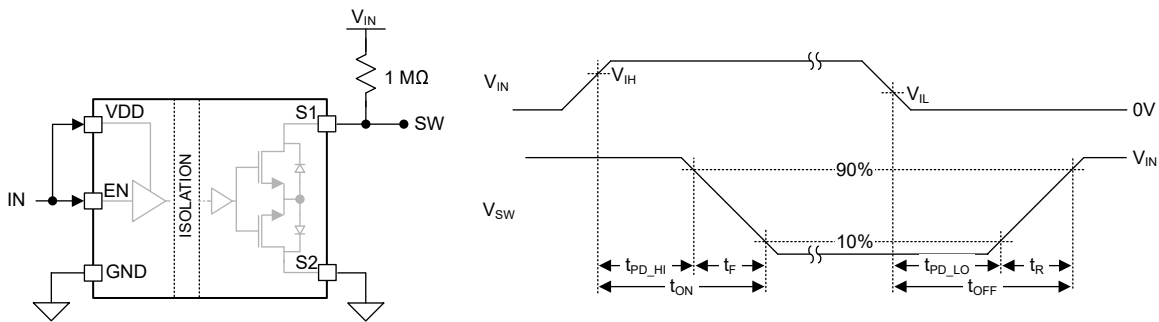


图 7-2. 时序图、EN 和 VDD 开关

8 详细说明

8.1 概述

TPSI2240-Q1 是一款隔离式固态继电器，专为高电压汽车和工业应用而设计。TI 具有高可靠性的电容隔离技术和背对背 MOSFET 整合在一起，形成了一款完全集成式解决方案，无需次级侧电源。

正如 [功能方框图](#) 所示，初级侧包含一个驱动器，为次级侧的每个内部 MOSFET 提供电力和使能逻辑信息。板载振荡器控制驱动器工作的频率，展频调制 (SSM) 控制器改变驱动器频率以提高系统 EMI 性能。当使能引脚变为高电平，并且 VDD 电压高于 UVLO 阈值时，振荡器启动并且驱动器跨隔离栅输送电力和逻辑高电平。当 VDD 电压超过 UVLO 阈值且使能引脚变为高电平时，振荡器启动并且驱动程序跨隔离栅输送电力和逻辑高电平。当使能引脚变为低电平，或者 VDD 电压降至 UVLO 阈值以下时，驱动器会被禁用。闲置时会向次级侧发送逻辑低电平，并且 MOSFET 会被禁用。

次级侧的一对 MOSFET 都有专用的全桥整流器来形成本地电源和接收器。接收器通过电容式隔离栅确定从初级侧传送的逻辑状态，并使用压摆率受控的驱动器驱动 MOSFET 的栅极。接收器对跨隔离栅接收的信号进行信号调节，以便过滤共模干扰，并确保根据初级侧驱动器和系统发送的逻辑来控制 MOSFET。

TPSI2240-Q1 不仅具有雪崩性能稳健的 MOSFET，而且其采用的 11 引脚 DWQ 封装上的加宽引脚易于散热，因此可通过电介质耐压测试 (HiPot)，并且无需任何外部保护元件即可承受高达 1mA 的直流快速高功率充电器浪涌电流。TPSI2240T-Q1 版本的器件中包含的热雪崩保护 (TAP) 特性通过监测结温并使 MOSFET 将温度保持在安全工作范围内，进一步提高了雪崩电流能力，从而支持更高的雪崩电流。

8.2 功能方框图

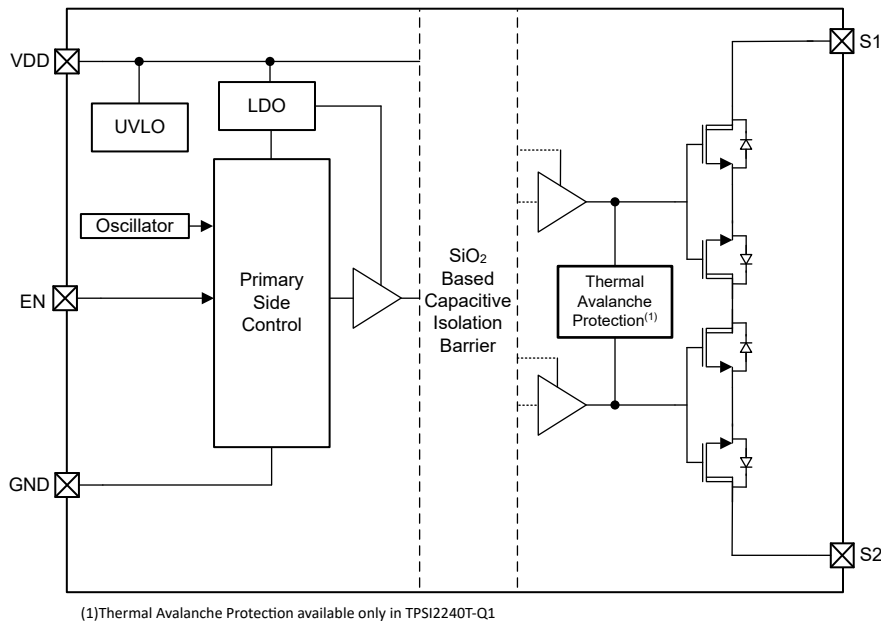


图 8-1. TPSI2240-Q1 方框图

8.3 特性说明

8.3.1 雪崩稳健性

当 S1 和 S2 引脚之间的电压超过 $\pm 1200\text{V}$ 时，次级侧 MOSFET 可进入雪崩运行模式。MOSFET 和 11 DWQ 封装经过设计和认证，在这种运行模式下具有稳健性，可支持节 9.2.1。为帮助确保系统在此工作模式下的热性能，请参阅 PCB 节 9.4.1。

8.4 器件功能模式

表 8-1. 器件功能模式

VDD	EN	S1-S2 STATE	注释
已上电 ⁽¹⁾	L	关闭	处于关断状态范围的 VDD 电流。
	H	导通	处于导通状态范围的 VDD 电流。
已断电 ⁽²⁾	L	关闭	处于关断状态范围的 VDD 电流。
	H	关闭	初级侧模拟器件通电，VDD 电流介于关断状态和导通状态范围之间。

(1) $VDD \geq VDD$ 欠压上升阈值。

(2) $VDD \leq VDD$ 欠压下降阈值。

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

9.1 应用信息

TPSI2240-Q1 是一款 1200V、50mA 汽车级隔离开关，专门针对测量应用（尤其是在隔离栅或电隔离域之间进行切换的应用）中的高压开关进行了优化。常见的终端设备包括储能系统 (ESS)、太阳能电池板阵列、EV 充电器和 EV 电池管理系统。该器件可替代机械继电器和光隔离器件，从而帮助系统设计人员降低成本并提高可靠性。

TPSI2240-Q1 的使能输入具有失效防护功能，不需要由与 VDD 引脚电源相同的域驱动。

TPSI2240-Q1 在 VDD 初级侧电源引脚上支持 4.5V 至 20V 的输入电压范围，在使能引脚上支持 2.1V 至 20V 的逻辑高电平。次级侧支持 -1200V 至 1200V 的高压开关。

TI 参考设计

下面链接的 TI 参考设计非常实用地介绍了使用 TPSI2240-Q1 的高压应用。为了更大限度地提高 TPSI2240-Q1 在电介质耐受测试 (HiPot) 中的热性能，请遵循此数据表中包含的[布局指南](#)。

- [TIDA-010232](#)：高压绝缘监测
- [TIDA-01513](#)：汽车高压和隔离泄漏测量

9.2 典型应用

绝缘电阻监控

在电动汽车系统等高压应用中，特意将高压电池包与汽车的机箱域隔离，以保护驾驶员并防止损坏电气元件。这些系统主动监控该绝缘的完整性，以确保系统在整个寿命期间的安全。这种主动监测称为绝缘电阻监测（也称为隔离检查、绝缘检查、隔离监测、绝缘监测和剩余电流监测 (RCM)），通过测量每个电池端子到机箱接地的电阻来执行，如下图所示为 R_{ISOP} 和 R_{ISON} 。

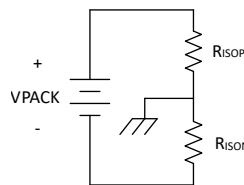


图 9-1. 绝缘电阻模型

有多种设计架构使用 TPSI2240-Q1 来测量这些绝缘电阻，即 R_{ISOP} 和 R_{ISON} 。一些架构采用微控制器从高压域执行测量，在本文档中该微控制器将称为“电池 V- 参考架构”。其他应用在低压域中使用微控制器，在本文档中将该微控制器称为“机箱接地参考架构”。两种架构之间的主要区别在于 MCU 将其用作 GND 参考的节点。[BQ79731-Q1 UIR 传感器](#)是电池 V- MCU 的一个示例。

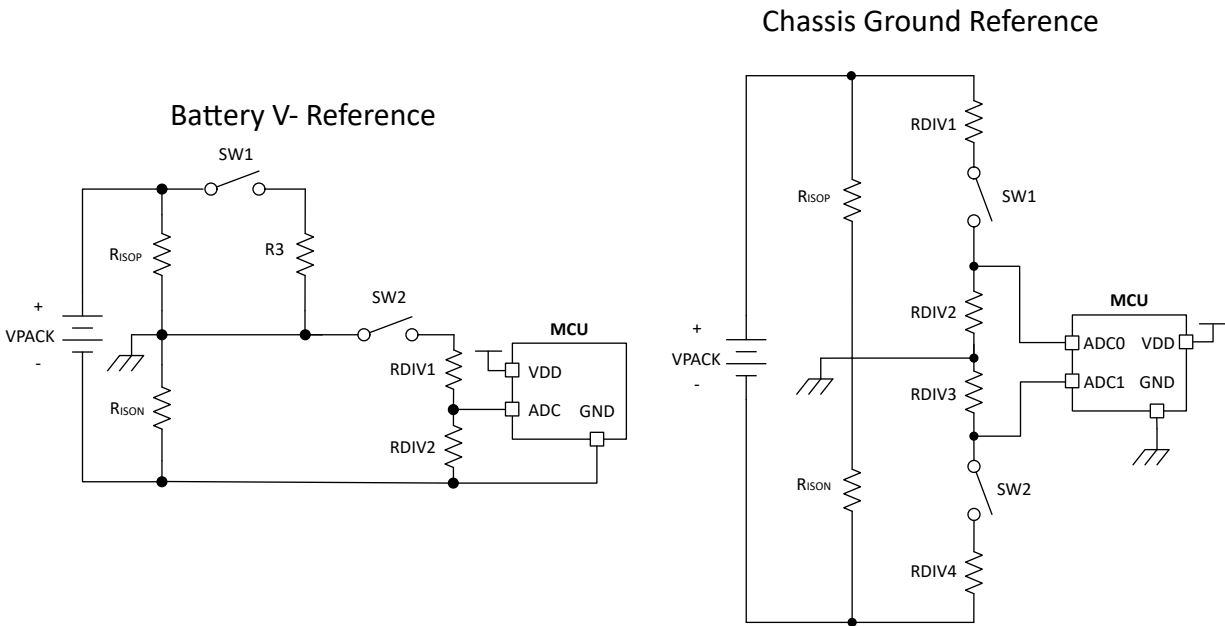


图 9-2. 不同的 MCU ADC 参考示例

以下两个部分演示了测量算法，以及用于使用每种架构计算隔离电阻的方程组。

电池 V- 参考示例

电池 V- 参考架构如下所示，TPSI2240-Q1 作为开关 (SW1 和 SW2) 进行了说明。SW2 启动机箱和 PACK- 之间的连接，并启用 ADC 的测量路径。SW1 启动机箱和 PACK+ 之间的连接。RDIV1 和 RDIV2 构成一个分压器，用于将测量的电压向下扩展到适当的 ADC 范围。

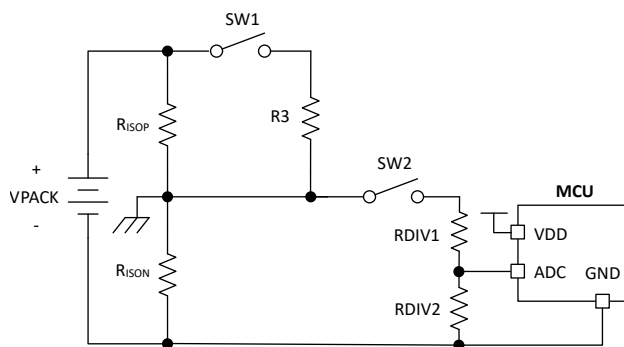


图 9-3. 电池 V- 参考架构

必须进行两次 ADC 测量，以获得足够的信息来计算两个未知隔离电阻。第一次测量是在 SW1 断开且 SW2 闭合的情况下进行。第二次测量是在 SW1 断开且 SW2 闭合的情况下进行。通过这两次测量，可以解出方程组并计算 R_{ISOP} 和 R_{ISON} 。

在以下示例中，机箱接地上的电压随意称为 V_{RISONx} 。

对于第一次 ADC 测量，SW2 闭合，如下所示，以下公式将此条件下的 ADC 电压与系统中的其他参数相关联：

- V_{ADC1} 测量 1：SW1 断开，SW2 闭合

$$V_{RISON1} = V_{PACK} \times \frac{R_{ISON} \parallel (R_{DIV1} + R_{DIV2})}{R_{ISOP} + (R_{ISON} \parallel (R_{DIV1} + R_{DIV2}))} \quad (1)$$

$$V_{ADC1} = V_{RISON1} \times \frac{R_{DIV2}}{R_{DIV1} + R_{DIV2}} \quad (2)$$

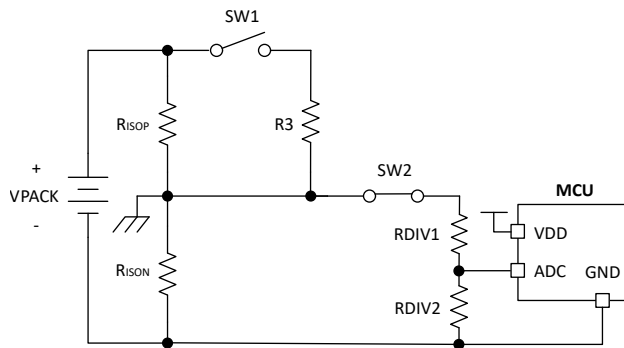


图 9-4. 用于 ADC1 测量的电池 V- 参考开关位置

对于第二次 ADC 测量，SW1 和 SW2 闭合，如下所示，以下公式将 ADC 电压在这种条件下与系统中的其他参数相关：

- V_{ADC2} 测量 2：SW1 闭合，SW2 闭合

$$V_{RISON2} = V_{PACK} \times \frac{R_{ISON} \parallel (R_{DIV1} + R_{DIV2})}{(R_{ISOP} \parallel R_3) + (R_{ISON} \parallel (R_{DIV1} + R_{DIV2}))} \quad (3)$$

$$V_{ADC2} = V_{RISON2} \times \frac{R_{DIV2}}{R_{DIV1} + R_{DIV2}} \quad (4)$$

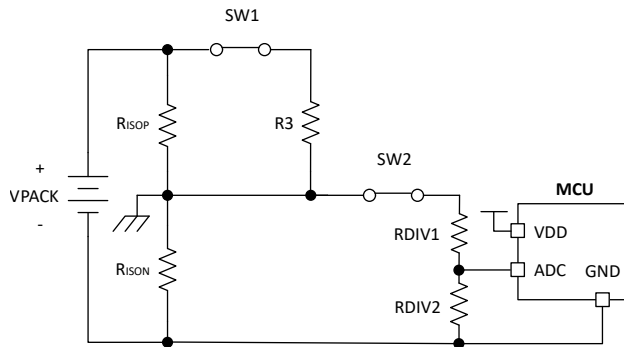


图 9-5. 用于 ADC2 测量的电池 V- 参考开关位置

机箱接地参考示例

机箱接地参考架构如下所示。SW1 和 SW2 启动到 PACK+ 和 PACK- 的连接,并通过其相应的电阻分压器启用到 ADC 的相应测量路径。RDIV1、RDIV2、RDIV3 和 RDIV4 可将测量的电压调低到适当的 ADC 范围。

第一次测量是在 SW1 闭合且 SW2 断开的情况下进行,第二次测量是在 SW1 断开且 SW2 闭合的情况下进行。

- V_{ADC1} : SW1 闭合, SW2 断开

$$V_{ADC1} = V_{RDIV2} = V_{PACK} \frac{(R_{ISOP} || (R_{DIV1} + R_{DIV2}))}{(R_{ISOP} || (R_{DIV1} + R_{DIV2}) + R_{ISON})} \times \frac{R_{DIV2}}{R_{DIV1} + R_{DIV2}} \quad (5)$$

- V_{ADC2} : SW1 断开, SW2 闭合

$$V_{ADC2} = V_{RDIV3} = -V_{PACK} \frac{(R_{ISON} || (R_{DIV3} + R_{DIV4}))}{(R_{ISON} || (R_{DIV3} + R_{DIV4}) + R_{ISOP})} \times \frac{R_{DIV3}}{R_{DIV3} + R_{DIV4}} \quad (6)$$

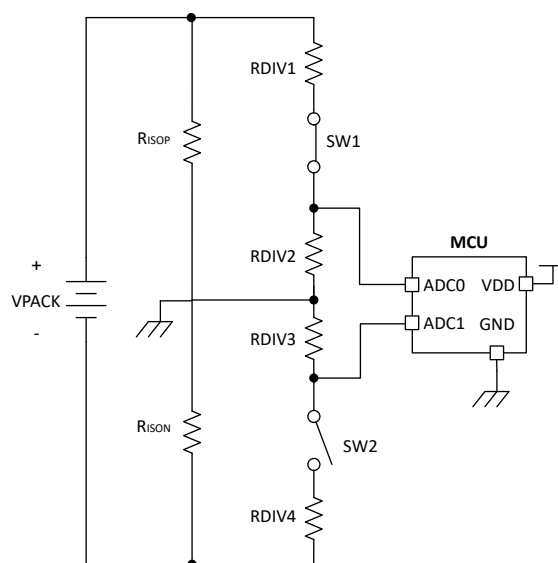


图 9-6. 用于 ADC1 测量的机箱接地参考开关位置

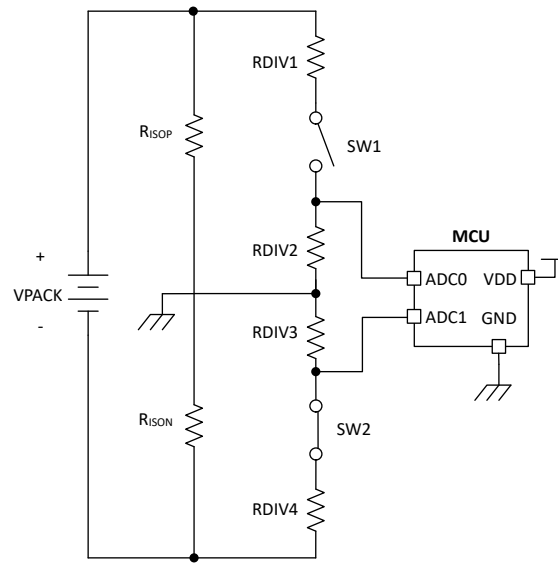


图 9-7. 用于 ADC2 测量的机箱接地参考开关位置

以 TPSI2240-Q1 为基准的电池 V 参考和机箱接地参考架构

图 9-9 和图 9-8 中的电路演示了如何在上述每个架构中将 TPSI2240-Q1 作为开关连接。

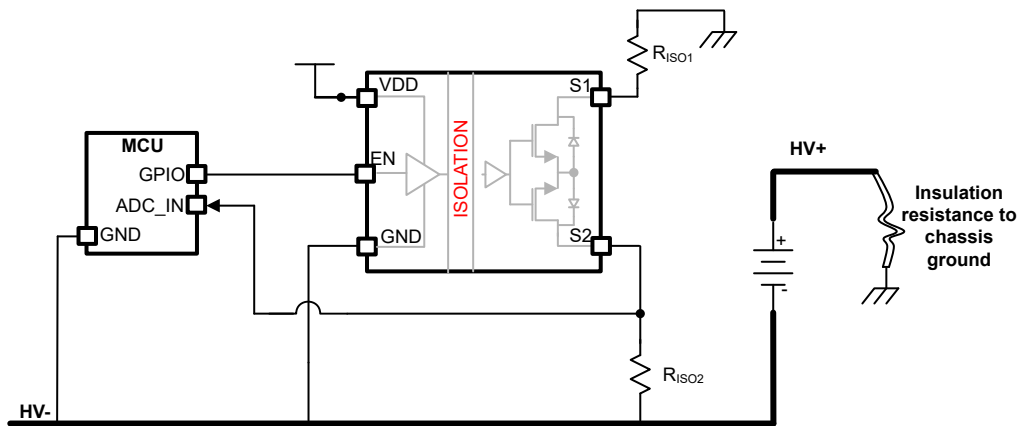


图 9-8. TPSI2240-Q1 绝缘电阻监测 - 电池 V 参考

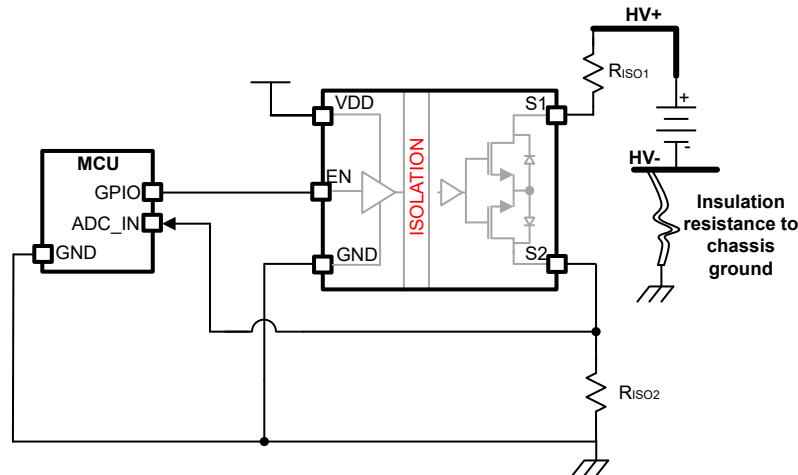


图 9-9. TPSI2240-Q1 绝缘电阻监测 - 机箱接地参考

9.2.1 电介质耐受测试 (HiPot)

TPSI2240-Q1 专为支持电介质耐受测试而设计。在高压系统中，电介质耐受测试 (HiPot) 可在系统的表征、生产或维护期间进行，以验证其包含的绝缘屏障和电隔离域的可靠性。这些耐压测试会有意地对涵盖这些域的元素施加压力，使它们处于过压状态。处于这些过压状态的 MOSFET 将进入雪崩模式，然后开始在高压下传导电流，同时消耗高功率并升温。TPSI2240T-Q1 集成了热雪崩保护 (TAP) 技术。当 IC 的内部温度上升到超过 T_{TAP} 时，此模式将启用。在此模式下，该器件将启用和禁用主功率 FET 以调节其内部温度，并能够承受更高的雪崩电流。TPSI2240T-Q1 的设计和鉴定在此状态下完成，为 60 秒时间间隔支持高达 $3\text{mA } I_{AVA}$ ，而 TPSI2240-Q1 为 60 秒时间间隔支持高达 $1\text{mA } I_{AVA}$ (TPSI2240C-Q1 为 0.6mA)。

应根据测试持续时间，选择电介质耐压测试电压 (V_{HiPot})、TPSI2240-Q1 的雪崩电压 (V_{AVA}) 和与 TPSI2240-Q1 串联的电阻 R ，将雪崩电流 (I_{AVA}) 限制在相应的电流限值。此外，PCB 设计应遵循布局指南部分中的建议，以确保足够的热性能，使结温 (T_J) 低于 TPSI2240-Q1 的绝对最大额定值。

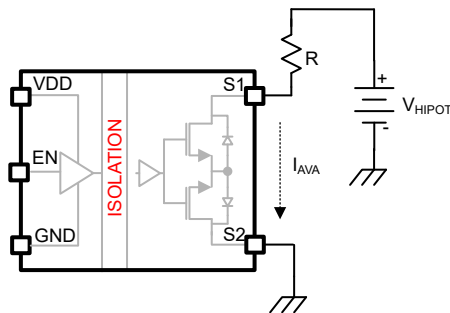


图 9-10. 电介质耐压测试 (HiPot) - 简化版原理图

9.2.2 设计要求

表 9-1 列出了使用机箱接地参考架构和 TPSI2240-Q1 进行开关的典型绝缘电阻监测应用的设计要求。

表 9-1. 使用 TPSI2240-Q1 进行绝缘电阻监测的典型设计参数 - 机箱接参考地架构

参数	值
V_{PACK} 电压 (最大值)	1000V
初级侧电源 (V_{VDD})	$5\text{V} \pm 10\%$
电介质耐受电压测试	3850V
	60s

表 9-1. 使用 TPSI2240-Q1 进行绝缘电阻监测的典型设计参数 - 机箱接参考地架构 (续)

参数	值
浪涌电压 (IEC61000-3-5)	2500V

9.2.3 详细设计过程 - 底盘接地参考

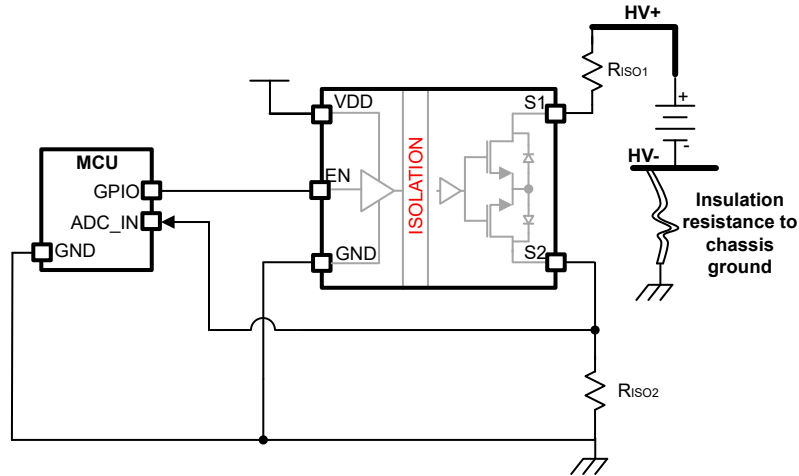


图 9-11. 机箱接地参考

R_{ISO1} 选择

为保护 TPSI2240-Q1，必须调整 R_{ISO1} 的大小以限制过压条件下的电流。保护 TPSI2240-Q1 所需的电阻大小取决于施加的过压大小。例如，在 3850V 的电介质耐压测试 (HiPot) 60 秒期间，TPSI2240-Q1 将 S1 至 S2 电压钳位到 1300V (V_{AVA} 最小值)，将电流保持在特定值以下所需的 R_{ISO1} 电阻为 2.55MΩ (1mA 以下)。

$$I_{AVA} = \frac{V_{HIPOT} - V_{AVA}}{R_{ISO1}} = \frac{3850V - 1300V}{2.55 M\Omega} = 1.0mA \quad (7)$$

直流过压	R _{ISO1} 最小值 (60 秒间隔)
2000V	700kΩ
2500V	1200kΩ
3850V	2550kΩ
4300V	3000kΩ

9.2.4 应用性能曲线图

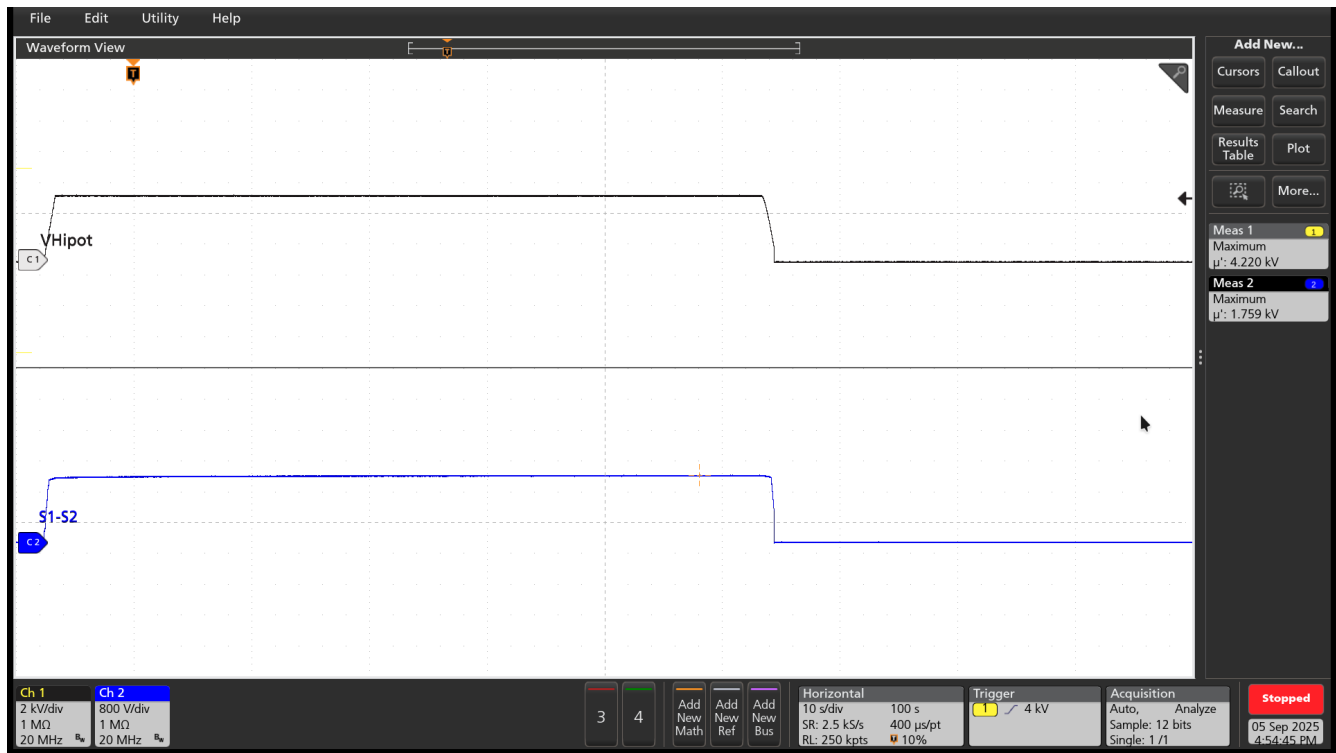


图 9-12. 在 $V_{HIPOT} = 4000V$ 且使用 $3126k\Omega$ 限流电阻器时的雪崩电压 (V_{S1-S2})

9.3 电源相关建议

为确保电源电压可靠，TI 建议在 TPSI2240-Q1 的 VDD 引脚和 GND 引脚之间放置一个 100nF 和 47nF 陶瓷电容器。该电容应尽量靠近 (< 10mm) 器件的 VDD 引脚放置。

9.4 布局

9.4.1 布局指南

组件放置：

用于初级侧 VDD 电源的去耦电容器必须尽可能靠近器件引脚放置。

EMI 注意事项：

TPSI2240-Q1 采用具有 2MHz 功率传输频率的展频调制 (SSM) 来提高其 EMI 能力。在大多数应用中，无需考虑额外的系统设计注意事项即可满足 CISPR 25 5 类标准性能要求。如果次级侧需要 CISPR25 5 类，建议使用分裂限流电阻器配置以获得最佳 EMI 性能，如 [TPSI2240-Q1 电路布局示例](#) 所示。

建议在 VDD 引脚和 GND 引脚之间使用 47nF X7R 去耦电容器，以实现最佳 EMI 性能。

ESD 注意事项：

无需其他元件即可通过 IEC 61000-4-2 标准的最高 6kV 接触测试。如果需要大于 6kV 的接触冲击，分阻配置会将 ESD 性能提高到大于 8kV 的接触。或者，可以在初级侧和次级侧之间添加 ESD 电容器，以提高非分裂电阻架构中的 ESD 性能。

高电压注意事项：

应根据系统要求，保持 TPSI2240-Q1 从初级侧到次级侧的爬电距离和从 S1 引脚到 S2 引脚的爬电距离。系统设计人员很可能会避免在封装主体下方或 S1、SM 和 S2 引脚之间进行任何顶层 PCB 布线。

9.4.2 布局示例

根据系统 EMI 要求和系统介电耐受测试 (HiPot) 参数，可以使用不同的 PCB 实现方式。以下部分详细介绍了 [TPSI2240-Q1 电路布局示例](#) 如何通过次级侧实现分阻架构来优化 EMI 和 ESD 性能。

TPSI2240-Q1 电路布局示例

下面显示了使用 TPSI2240-Q1 的双层电路布局示例。

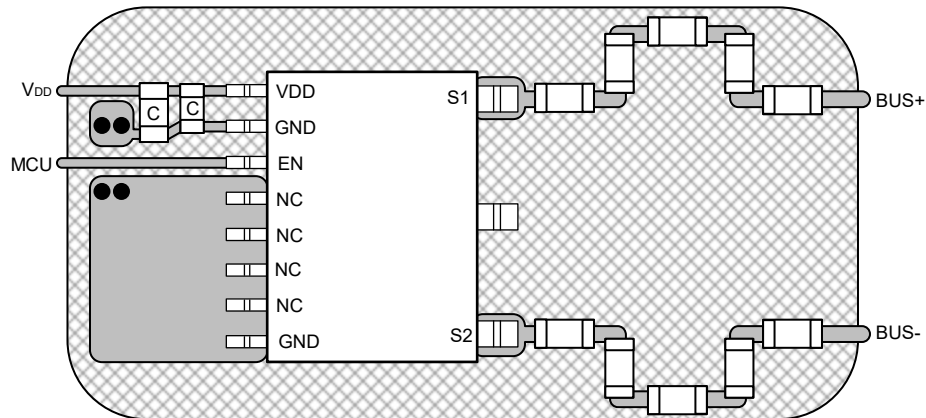


图 9-13. TPSI2240-Q1 示例布局 - 顶层

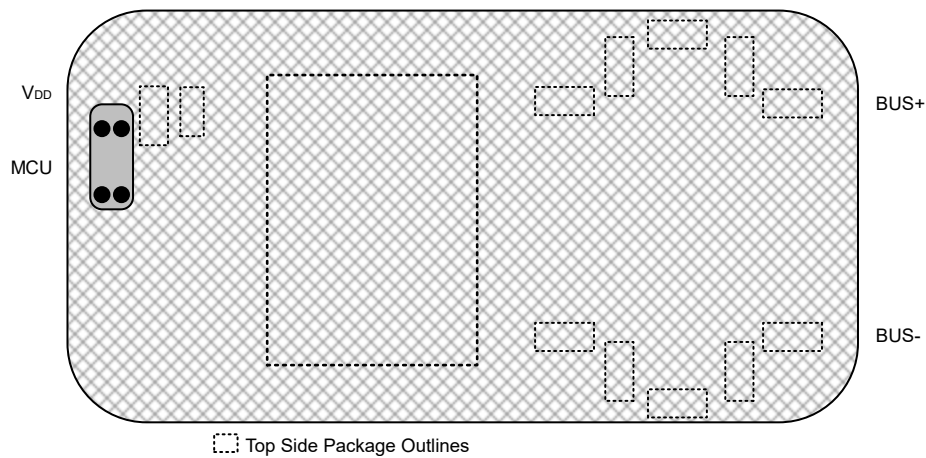


图 9-14. TPSI2240-Q1 示例布局 - 底层

10 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

10.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

10.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

10.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (September 2025) to Revision A (December 2025)

Page

• 将状态从“预告信息”更改为“量产数据”	1
-----------------------------	---

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPSI2240CQDWQRQ1	Active	Production	SOIC (DWQ) 11	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	2240CQ
TPSI2240QDWQRQ1	Active	Production	SOIC (DWQ) 11	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	2240Q
TPSI2240TQDWQRQ1	Active	Production	SOIC (DWQ) 11	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	2240TQ

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPSI2240CQDWQRQ1	SOIC	DWQ	11	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
TPSI2240QDWQRQ1	SOIC	DWQ	11	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
TPSI2240TQDWQRQ1	SOIC	DWQ	11	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

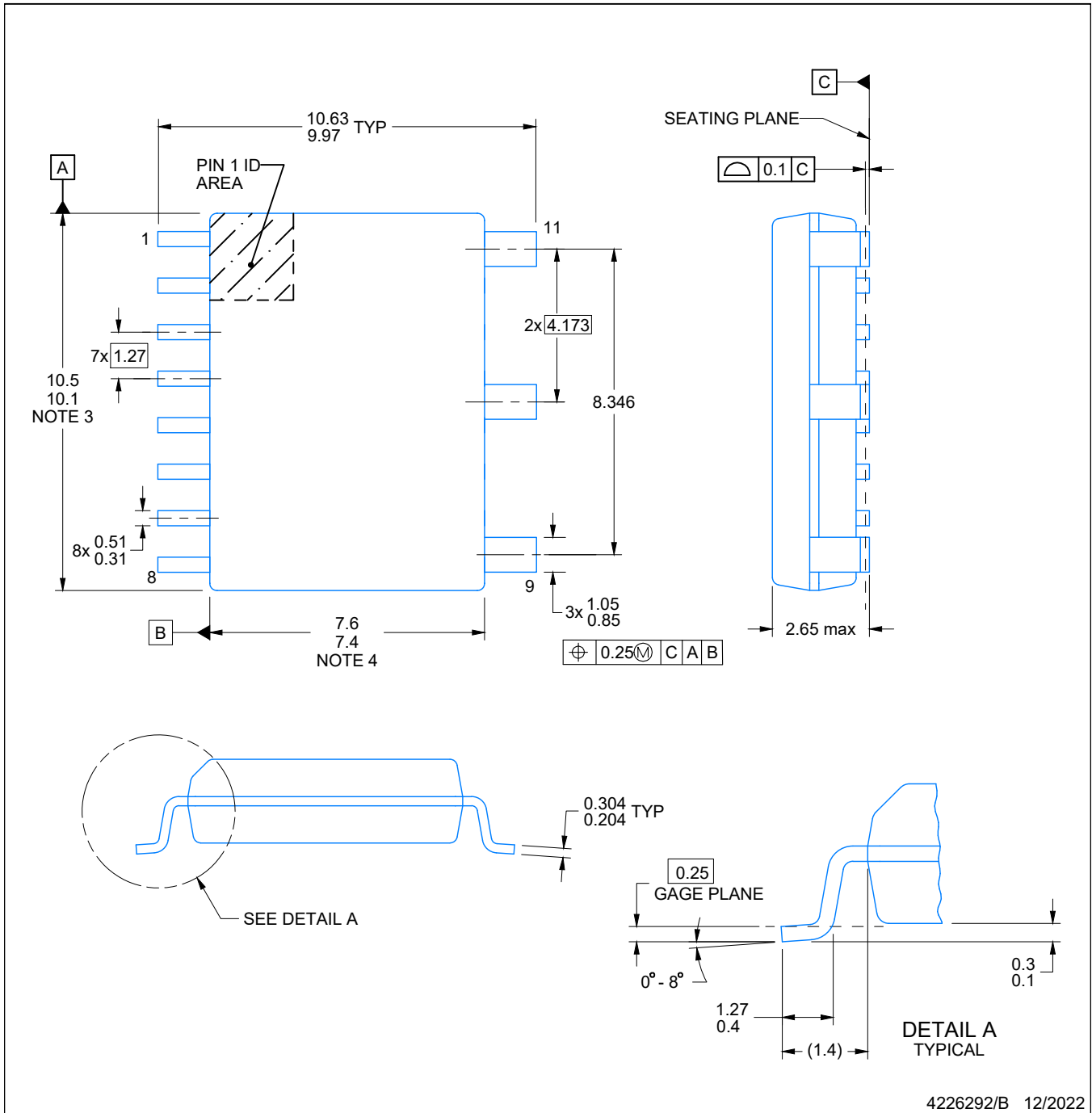
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPSI2240CQDWQRQ1	SOIC	DWQ	11	2000	350.0	350.0	43.0
TPSI2240QDWQRQ1	SOIC	DWQ	11	2000	350.0	350.0	43.0
TPSI2240TQDWQRQ1	SOIC	DWQ	11	2000	350.0	350.0	43.0

PACKAGE OUTLINE

DWQ0011A

SOIC - 2.65 mm max height

SMALL OUTLINE PACKAGE



4226292/B 12/2022

NOTES:

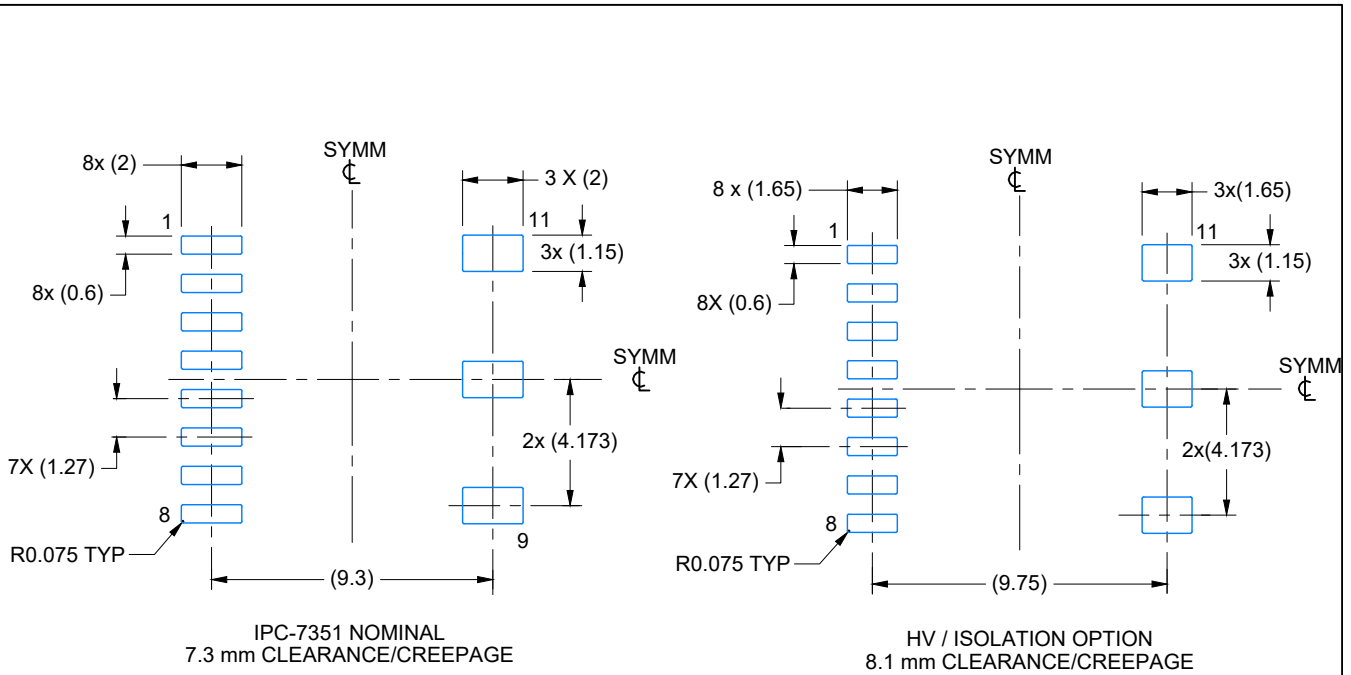
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

EXAMPLE BOARD LAYOUT

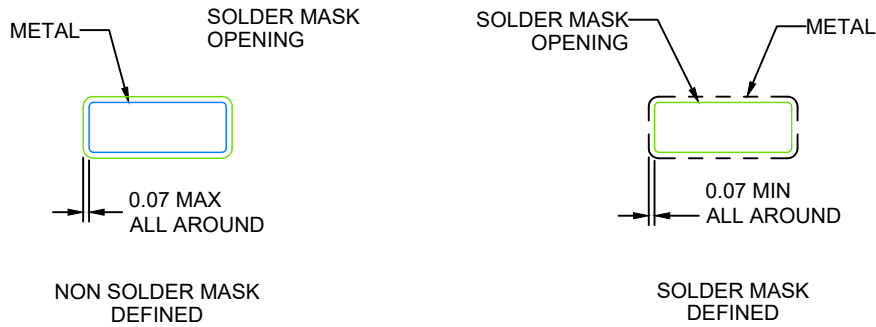
DWQ0011A

SOIC - 2.65 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE:4X



SOLDER MASK DETAILS

4226292/B 12/2022

NOTES: (continued)

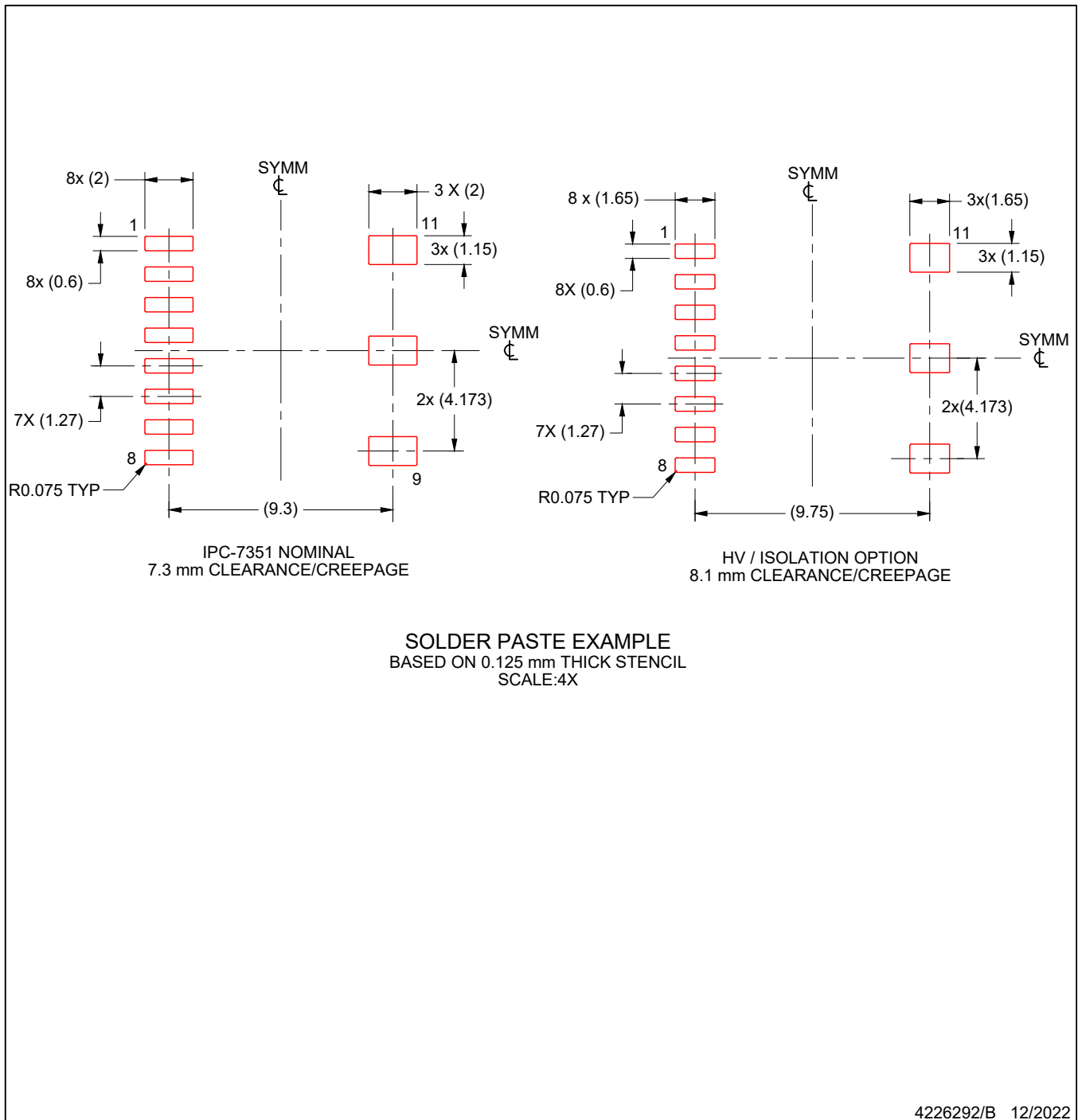
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DWQ0011A

SOIC - 2.65 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

- 8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月