

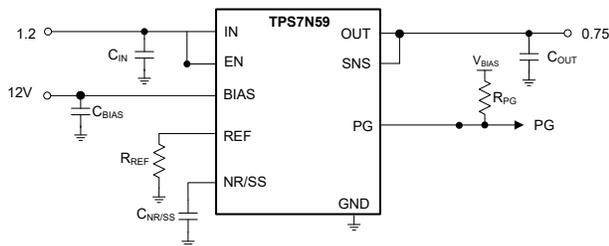
TPS7N59 10A、低 V_{IN} 、低噪声、高精度、超低压降 (LDO) 稳压器

1 特性

- 输入电压范围：0.7V 至 6.0V
- 输出电压噪声：2.5 μV_{RMS}
- 整个线路、负载和温度范围内为 1% (最高) 精度
- 低压降：10A 时为 150mV (典型值)
- 电源抑制比 (10A)：
 - 1kHz 时为 84dB
 - 10kHz 时为 64dB
 - 100kHz 时为 49dB
 - 1MHz 时为 30dB
- 出色的负载瞬态响应：
 - $\pm 20\text{mV}$ ，负载阶跃为 10mA 至 10A
- 可调输出电压范围：0.5V 至 5.2V
- 可调软启动浪涌控制
- BIAS 电源轨：3V 至 12V 外部电源轨
- 开漏电源正常状态 (PG) 输出
- 封装：4mm \times 4mm，24 引脚 WQFN
 - $\text{EVM } R_{\theta \text{JA}}$ ：14.3°C/W

2 应用

- 硬件加速器和 GPU 卡/模块
- 光纤和铜线 CPE
- 高性能计算
- 超声波扫描仪
- 实验室和现场仪表
- 传感器、成像和雷达



典型应用电路

3 说明

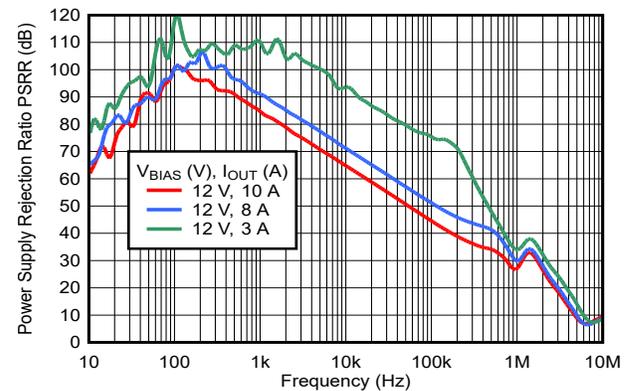
TPS7N59 是一款低噪声 (2.5 μV_{RMS})、超低压降线性稳压器 (LDO)，可提供 10A 电流，压降仅为 150mV (独立于输出电压)。该器件的输出电压可通过单个外部电阻进行调节，范围为 0.5V 至 5.2V。TPS7N59 集低噪声、高 PSRR (1MHz 时为 30dB) 和高输出电流能力等特性于一体，专为雷达电源、通信和成像应用中的噪声敏感型组件 (例如射频放大器、雷达传感器、SERDES 和模拟芯片组) 供电而设计。

需要以低输入和低输出 (LILO) 电压运行的数字负载【例如应用特定集成电路 (ASIC)、现场可编程门阵列 (FPGA) 和数字信号处理器 (DSP)】还能够从出色精度 (在负载、线路和温度范围内可达 1%)、遥感功能、出色的瞬态性能和软启动功能中受益，以提供良好的系统性能。凭借多功能性、高性能和小尺寸解决方案，该 LDO 成为模数转换器 (ADC)、数模转换器 (DAC) 和成像传感器等高电流模拟负载以及串行器/解串器 (SerDes)、FPGA 和 DSP 等数字负载的理想选择。

封装信息

器件型号 ⁽¹⁾	封装	封装尺寸
TPS7N59	RTW (WQFN, 24)	4.00mm \times 4.00mm

(1) 有关更多信息，请参阅节 10。



PSRR 与 I_{OUT} 间的关系 (1.15 V_{IN} 、0.75 V_{OUT})



内容

1 特性	1	6.4 器件功能模式.....	14
2 应用	1	7 应用和实施	17
3 说明	1	7.1 应用信息.....	17
4 引脚配置和功能	3	7.2 典型应用.....	32
5 规格	4	7.3 电源相关建议.....	33
5.1 绝对最大额定值.....	4	7.4 布局.....	33
5.2 ESD 等级.....	4	8 器件和文档支持	35
5.3 建议运行条件.....	5	8.1 接收文档更新通知.....	35
5.4 热性能信息.....	5	8.2 支持资源.....	35
5.5 电气特性.....	6	8.3 商标.....	35
5.6 典型特性.....	8	8.4 静电放电警告.....	35
6 详细说明	11	8.5 术语表.....	35
6.1 概述.....	11	9 修订历史记录	35
6.2 功能方框图.....	12	10 机械、封装和可订购信息	35
6.3 特性说明.....	13		

4 引脚配置和功能

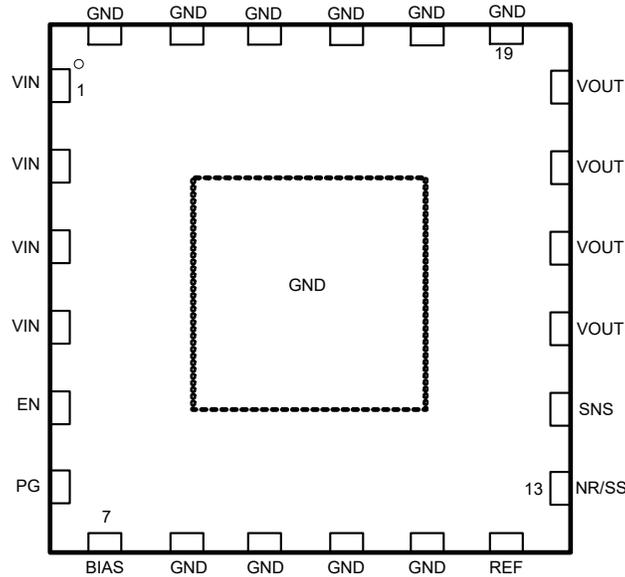


图 4-1. RTW 封装，24 引脚 WQFN（俯视图）

引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
BIAS	7	I	BIAS 电源电压引脚。
EN	5	I	使能引脚。有关更多信息，请参阅 精密使能和 UVLO 部分。
GND	8、9、10、11、19、20、21、22、23、24	GND	接地引脚。有关更多信息，请参阅 布局指南 部分。
IN	1、2、3、4	I	输入电源电压引脚。更多详细信息，请参阅 输入和输出电容器要求 (C_{IN} 和 C_{OUT}) 部分。
NR/SS	13	I/O	降噪引脚。有关更多信息，请参阅 可编程软启动 和 软启动、降噪 (NR/SS 引脚) 和电源正常状态 (PG 引脚) 部分。
OUT	15、16、17、18	O	稳压输出引脚。有关更多详细信息，请参阅 输出电压设置和调节 和 输入和输出电容器要求 (C_{IN} 和 C_{OUT}) 部分。
PG	6	O	用于低压降稳压器 (LDO) 输出电压的开漏电源正常状态指示引脚。有关更多信息，请参阅 电源正常引脚 (PG 引脚) 部分。
REF	12	I/O	基准引脚。有关更多信息，请参阅 输出电压设置和调节 部分。
SNS	14	I	输出检测引脚。有关更多信息，请参阅 输出电压设置和调节 部分。
散热焊盘	—	GND	将焊盘连接到 GND 以获得尽可能出色的热性能。更多信息请参阅 布局 部分。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地。

5 规格

5.1 绝对最大额定值

在工作结温范围内，并且所有电压都以 GND 为基准（除非另有说明）⁽¹⁾

		最小值	最大值	单位
电压	BIAS	-0.3	13.2	V
	IN、PG、EN	-0.3	6.5	
	REF、SNS	-0.3	6	
	OUT	-0.3	$V_{IN} + 0.3$ ⁽²⁾	
电流	OUT	受内部限制		A
	PG (向器件灌入电流)		5	mA
温度	工作结温, T_J	-40	150	°C
	贮存温度, T_{stg}	-55	150	

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 绝对最大额定值为 $V_{IN} + 0.3V$ 或 $6.0V$ (以较小者为准)。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±2000	V
		充电器件模型 (CDM), 符合 JEDEC 规范 JESD22C101 ⁽²⁾	±500	

- (1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在工作结温范围内测得（除非另有说明）

		最小值	典型值	最大值	单位
V_{IN}	输入电源电压范围	0.7		6	V
V_{EN}	使能电源电压范围	0		6	V
V_{REF}	基准电压范围	0.5		5.3	V
V_{OUT}	输出电压范围	0.5		5.2	V
V_{BIAS}	偏置电压范围	3		12.6	V
I_{OUT}	输出电流	0		10	A
C_{IN}	输入电容器	4.7	10	1000	μ F
C_{OUT}	输出电容器 ⁽¹⁾	22	22	3000	μ F
C_{OUT_ESL}	输出电容器 ESR	2		20	m Ω
Z_{OUT_ESL}	总阻抗 ESL	0.2		1	nH
C_{BIAS}	BIAS 引脚电容器	0	1	100	μ F
C_{REF}	基准降噪电容器	0.1	4.7	10	μ F
R_{PG}	电源正常上拉电阻	10		100	k Ω
T_J	结温	-40		125	$^{\circ}$ C

(1) 为了实现稳定性，需要最小值为 15 μ F 的有效输出电容。有效输出电容考虑了容差、温度、电压和影响该值的任何其他因素。

5.4 热性能信息

热指标 ⁽¹⁾		TPS7N59		单位
		RTW (WQFN) ⁽²⁾	RTW (WQFN) ⁽³⁾	
		24 引脚	24 引脚	
$R_{\theta JA}$	结至环境热阻	36	14.3	$^{\circ}$ C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	26.4	-	$^{\circ}$ C/W
$R_{\theta JB}$	结至电路板热阻	11.4	-	$^{\circ}$ C/W
ψ_{JT}	结至顶部特征参数	0.7	0.4	$^{\circ}$ C/W
ψ_{JB}	结至电路板特征参数	11.4	5.4	$^{\circ}$ C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	0.9	-	$^{\circ}$ C/W

(1) 有关新旧热指标的更多信息，请参阅应用说明“使用新的热指标”。

(2) 使用 JEDEC 标准 (2s2p) 进行评估。

(3) 使用 EVM 进行评估。

5.5 电气特性

在工作温度范围内 ($T_J = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$) , $V_{\text{OUT(NOM)}} = 0.5\text{V}$, $V_{\text{IN(NOM)}} = V_{\text{OUT(NOM)}} + 0.4\text{V}$, $V_{\text{BIAS}} = V_{\text{OUT(NOM)}} + 3.2\text{V}$, $I_{\text{OUT}} = 0\text{A}$, $V_{\text{EN}} = 1.8\text{V}$, $C_{\text{IN}} = 10\mu\text{F}$, $C_{\text{OUT}} = 22\mu\text{F}$, $C_{\text{BIAS}} = 0\text{nF}$, $C_{\text{NR/SS}} = 100\text{nF}$, SNS 引脚短接至 OUT 引脚 , PG 引脚通过 $100\text{k}\Omega$ 电阻上拉至 V_{IN} (除非另有说明) ; 典型值在 $T_J = 25^{\circ}\text{C}$ 条件下测得

参数		测试条件	最小值	典型值	最大值	单位
$V_{\text{UVLO(IN)}}$	输入电源 UVLO	V_{IN} 上升, $V_{\text{OUT}} + 3.2\text{V} \leq V_{\text{BIAS}} \leq 12.6\text{V}$		0.67	0.7	V
$V_{\text{HYS(UVLO_IN)}}$	输入电源 UVLO 迟滞	$V_{\text{OUT}} + 3.2\text{V} \leq V_{\text{BIAS}} \leq 12.6\text{V}$		50		mV
$V_{\text{UVLO(BIAS)}} - V_{\text{REF}}$	BIAS UVLO 与 V_{REF} 间的关系	V_{BIAS} 上升, $1.4\text{V} \leq V_{\text{REF}} \leq 5.2\text{V}$		2.1	2.95	V
$V_{\text{HYS(UVLO_BIAS - REF)}}$	BIAS UVLO 与 V_{REF} 迟滞间的关系	$1.4\text{V} \leq V_{\text{REF}} \leq 5.2\text{V}$		240		mV
$I_{\text{NR/SS}}$	NR/SS 快速启动充电电流	$V_{\text{NR/SS}} = \text{GND}$, $V_{\text{IN}} = 1.1\text{V}$		0.2		mA
V_{OUT}	输出电压精度 (1)	$0.5\text{V} \leq V_{\text{OUT(NOM)}} \leq 5.2\text{V}^{(1)(2)}$, $0.9\text{V} \leq V_{\text{IN}} \leq 6\text{V}$ $V_{\text{OUT}} + 3.2\text{V} \leq V_{\text{BIAS}} \leq 12.6\text{V}$ $0\text{A} \leq I_{\text{OUT}} \leq 10\text{A}$	-1		1	%
I_{REF}	REF 电流引脚	$0.5\text{V} \leq V_{\text{OUT(NOM)}} \leq 5.2\text{V}^{(1)(2)}$, $0.9\text{V} \leq V_{\text{IN}} \leq 6\text{V}$ $V_{\text{OUT}} + 3.2\text{V} \leq V_{\text{BIAS}} \leq 12.6\text{V}$ $0\text{A} \leq I_{\text{OUT}} \leq 10\text{A}$	49.5	50	50.5	μA
V_{OS}	输出偏移电压 ($V_{\text{NR/SS}} - V_{\text{OUT}}$)	$0.5\text{V} \leq V_{\text{OUT(NOM)}} \leq 5.2\text{V}^{(1)(2)}$, $0.9\text{V} \leq V_{\text{IN}} \leq 6\text{V}$ $V_{\text{OUT}} + 3.2\text{V} \leq V_{\text{BIAS}} \leq 12.6\text{V}$ $0\text{A} \leq I_{\text{OUT}} \leq 10\text{A}$	-3		3	mV
		$V_{\text{OUT(NOM)}} = 0.5\text{V}^{(1)(2)}$, $V_{\text{IN}} = 0.9\text{V}$ $V_{\text{OUT}} + 3.2\text{V} \leq V_{\text{BIAS}} \leq 12.6\text{V}$ $I_{\text{OUT}} = 0\text{A}$	-1		1	
$\Delta I_{\text{REF}(\Delta V_{\text{BIAS}})}$	线性调整率: ΔI_{REF}	$V_{\text{OUT}} + 3.2\text{V} \leq V_{\text{BIAS}} \leq 12.6\text{V}$, $V_{\text{IN}} = 0.7\text{V}$, $V_{\text{OUT}} = 0.5\text{V}$, $I_{\text{OUT}} = 0\text{A}$		0.15		nA/V
$\Delta V_{\text{OS}(\Delta V_{\text{BIAS}})}$	线性调整率: ΔV_{OS}	$V_{\text{OUT}} + 3.2\text{V} \leq V_{\text{BIAS}} \leq 12.6\text{V}$, $V_{\text{IN}} = 0.7\text{V}$, $V_{\text{OUT}} = 0.5\text{V}$, $I_{\text{OUT}} = 0\text{A}$		0.06		$\mu\text{V/V}$
$\Delta I_{\text{REF}(\Delta V_{\text{IN}})}$	线性调整率: ΔI_{REF}	$0.7\text{V} \leq V_{\text{IN}} \leq 6\text{V}$, $V_{\text{OUT}} = 0.5\text{V}$, $I_{\text{OUT}} = 0\text{A}$, $V_{\text{OUT}} + 3.2\text{V} \leq V_{\text{BIAS}} \leq 12.6\text{V}$		0.03		nA/V
$\Delta V_{\text{OS}(\Delta V_{\text{IN}})}$	线性调整率: ΔV_{OS}	$0.7\text{V} \leq V_{\text{IN}} \leq 6\text{V}$, $V_{\text{OUT}} = 0.5\text{V}$, $I_{\text{OUT}} = 0\text{A}$, $V_{\text{OUT}} + 3.2\text{V} \leq V_{\text{BIAS}} \leq 12.6\text{V}$		0.01		$\mu\text{V/V}$
$\Delta V_{\text{OS}(\Delta I_{\text{OUT}})}$	负载调整率: ΔV_{OS}	$V_{\text{IN}} = 0.9\text{V}$, $V_{\text{OUT}} = 0.5\text{V}$, $0\text{A} \leq I_{\text{OUT}} \leq 10\text{A}$, (2) $V_{\text{BIAS}} = V_{\text{OUT}} + 3.2\text{V}$		5		$\mu\text{V/A}$
	I_{REF} 的变化与 V_{REF} 间的关系	$0.5\text{V} \leq V_{\text{REF}} \leq 5.2\text{V}$, $V_{\text{IN}} = 6\text{V}$, $I_{\text{OUT}} = 0\text{A}$, $V_{\text{BIAS}} = V_{\text{OUT}} + 3.2\text{V}$		4.4		nA
	V_{OS} 的变化与 V_{REF} 间的关系	$0.5\text{V} \leq V_{\text{REF}} \leq 5.2\text{V}$, $V_{\text{IN}} = 6\text{V}$, $I_{\text{OUT}} = 0\text{A}$, $V_{\text{BIAS}} = V_{\text{OUT}} + 3.2\text{V}$		0.25		mV
V_{DO}	压降电压 (3)	$0.72\text{V} \leq V_{\text{IN}} \leq 5.3\text{V}$, $I_{\text{OUT}} = 10\text{A}$, $V_{\text{BIAS}} = V_{\text{OUT}} + 3.2\text{V}$, $-40^{\circ}\text{C} \leq T_J \leq +125^{\circ}\text{C}$		150	220	mV
I_{LIM}	输出电流限制	V_{OUT} 强制为 $0.9 \times V_{\text{OUT(NOM)}}$, $V_{\text{OUT(NOM)}} = 5.2\text{V}$, $V_{\text{IN}} = V_{\text{OUT(NOM)}} + 400\text{mV}$, $V_{\text{BIAS}} = V_{\text{OUT}} + 3.2\text{V}$	10.5	11.6	12.8	A
I_{SC}	短路电流限值	$R_{\text{LOAD}} = 10\text{m}\Omega$ (在折返工作条件下)		9.9		A
I_{BIAS}	BIAS 引脚电流	$V_{\text{IN}} = 6\text{V}$, $I_{\text{OUT}} = 0\text{A}$, $V_{\text{OUT}} + 3.2\text{V} \leq V_{\text{BIAS}} \leq 12.6\text{V}$ $V_{\text{OUT}} = 5.2\text{V}$	1	1.5	2	mA
I_{GND}	GND 引脚电流	$V_{\text{IN}} = 6\text{V}$, $I_{\text{OUT}} = 0\text{A}$, $V_{\text{OUT}} + 3.2\text{V} \leq V_{\text{BIAS}} \leq 12.6\text{V}$ $V_{\text{OUT}} = 5.2\text{V}$	3.5	5	6.5	mA
I_{SDN}	关断 GND 引脚电流	PG = (开路) , $V_{\text{IN}} = 6\text{V}$, $V_{\text{EN}} = 0.4\text{V}$, $V_{\text{BIAS}} = 12.6\text{V}$		150	450	μA
I_{EN}	EN 引脚电流	$V_{\text{IN}} = 6\text{V}$, $0\text{V} \leq V_{\text{EN}} \leq 6\text{V}$	-5		5	μA
$V_{\text{IH(EN)}}$	EN 跳变点上升 (导通)	$V_{\text{IN}} = 1.1\text{V}$ $V_{\text{OUT}} + 3.2\text{V} \leq V_{\text{BIAS}} \leq 12.6$	0.62	0.65	0.68	V
$V_{\text{HYS(EN)}}$	EN 跳变点迟滞	$V_{\text{IN}} = 1.1\text{V}$ $V_{\text{OUT}} + 3.2\text{V} \leq V_{\text{BIAS}} \leq 12.6$		40		mV
$V_{\text{IT(PG)}}$	PG 引脚阈值	适用于 PG 在 V_{OUT} 下降时转换为低电平的情况, $V_{\text{IN}} = 1.1\text{V}$, $V_{\text{OUT}} < V_{\text{IT(PG)}}$, $I_{\text{PG}} = -1\text{mA}$ (流入器件的电流)	87	90	93	%
$V_{\text{HYS(PG)}}$	PG 引脚滞后	$V_{\text{IN}} = 1.1\text{V}$, $V_{\text{OUT}} < V_{\text{IT(PG)}}$, $I_{\text{PG}} = -1\text{mA}$ (流入器件的电流)		2		%

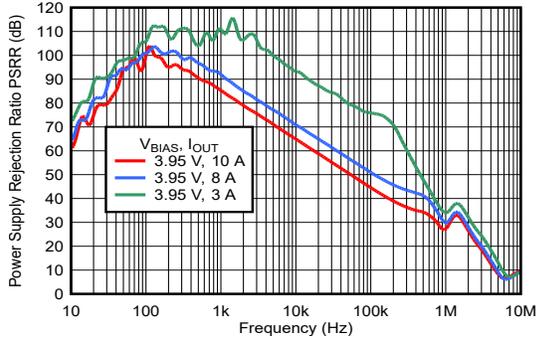
在工作温度范围内 ($T_J = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$)， $V_{\text{OUT(NOM)}} = 0.5\text{V}$ ， $V_{\text{IN(NOM)}} = V_{\text{OUT(NOM)}} + 0.4\text{V}$ ， $V_{\text{BIAS}} = V_{\text{OUT(NOM)}} + 3.2\text{V}$ ， $I_{\text{OUT}} = 0\text{A}$ ， $V_{\text{EN}} = 1.8\text{V}$ ， $C_{\text{IN}} = 10\mu\text{F}$ ， $C_{\text{OUT}} = 22\mu\text{F}$ ， $C_{\text{BIAS}} = 0\text{nF}$ ， $C_{\text{NR/SS}} = 100\text{nF}$ ，SNS 引脚短接至 OUT 引脚，PG 引脚通过 $100\text{k}\Omega$ 电阻上拉至 V_{IN} (除非另有说明)；典型值在 $T_J = 25^{\circ}\text{C}$ 条件下测得

参数		测试条件	最小值	典型值	最大值	单位
$V_{\text{OL(PG)}}$	PG 引脚低电平输出电压	$V_{\text{IN}} = 1.1\text{V}$ ， $V_{\text{OUT}} < V_{\text{IT(PG)}}$ ， $I_{\text{PG}} = -1\text{mA}$ (流入器件的电流)			0.4	V
$I_{\text{LKG(PG)}}$	PG 引脚漏电流	$V_{\text{PG}} = 6\text{V}$ ， $V_{\text{OUT}} > V_{\text{IT(PG)}}$ ， $V_{\text{IN}} = 1.1\text{V}$			1	μA
PSRR	电源纹波抑制	$f = 1\text{MHz}$ ， $V_{\text{IN}} = 1.1\text{V}$ ， $V_{\text{OUT(NOM)}} = 0.75\text{V}$ ， $V_{\text{BIAS}} = V_{\text{OUT}} + 3.2\text{V}$ ， $I_{\text{OUT}} = 10\text{A}$ ， $C_{\text{NR/SS}} = 4.7\mu\text{F}$		40		dB
V_n	输出噪声电压	$\text{BW} = 10\text{Hz}$ 至 100kHz ， $V_{\text{IN}} = 0.9\text{V}$ ， $V_{\text{OUT}} = 0.5\text{V}$ ， $I_{\text{OUT}} = 10\text{A}$ ， $C_{\text{NR/SS}} = 4.7\mu\text{F}$ ， $V_{\text{BIAS}} = V_{\text{OUT}} + 3.2\text{V}$		2.5		μV_{RMS}
	噪声频谱密度	$f = 100\text{Hz}$ ， $V_{\text{IN}} = 0.9\text{V}$ ， $V_{\text{OUT}} = 0.5\text{V}$ ， $I_{\text{OUT}} = 10\text{A}$ ， $C_{\text{NR/SS}} = 4.7\mu\text{F}$ ， $V_{\text{BIAS}} = V_{\text{OUT}} + 3.2\text{V}$		18		$\text{nV}/\sqrt{\text{Hz}}$
	噪声频谱密度	$f = 1\text{kHz}$ ， $V_{\text{IN}} = 0.9\text{V}$ ， $V_{\text{OUT}} = 0.5\text{V}$ ， $I_{\text{OUT}} = 10\text{A}$ ， $C_{\text{NR/SS}} = 4.7\mu\text{F}$ ， $V_{\text{BIAS}} = V_{\text{OUT}} + 3.2\text{V}$		7.3		$\text{nV}/\sqrt{\text{Hz}}$
	噪声频谱密度	$f = 10\text{kHz}$ ， $V_{\text{IN}} = 0.9\text{V}$ ， $V_{\text{OUT}} = 0.5\text{V}$ ， $I_{\text{OUT}} = 10\text{A}$ ， $C_{\text{NR/SS}} = 4.7\mu\text{F}$ ， $V_{\text{BIAS}} = V_{\text{OUT}} + 3.2\text{V}$		5.4		$\text{nV}/\sqrt{\text{Hz}}$
R_{DIS}	输出引脚主动放电电阻	$V_{\text{IN}} = 1.1\text{V}$ ， $V_{\text{BIAS}} = 0\text{V}$ ， $V_{\text{EN}} = 0\text{V}$		110		Ω
$R_{\text{NR/SS_DIS}}$	NR/SS 引脚主动放电电阻	$V_{\text{IN}} = 1.1\text{V}$ ， $V_{\text{BIAS}} = 0\text{V}$ ， $V_{\text{EN}} = 0\text{V}$		100		Ω
$T_{\text{SD(shutdown)}}$	热关断温度	关断，温度升高		165		$^{\circ}\text{C}$
$T_{\text{SD(reset)}}$	热关断复位温度	复位，温度降低		150		$^{\circ}\text{C}$

- 最大功耗为 4W 。
- 受脉冲最大功率耗散的限制。 $V_{\text{OUT(NOM)}} > 0.5\text{V}$ 时， $I_{\text{OUT}} = 10\text{A}$ ， $V_{\text{IN(NOM)}} = V_{\text{OUT(NOM)}} + 0.4\text{V}$
- $V_{\text{REF}} = V_{\text{IN}}$ ， $V_{\text{SNS}} = 97\% \times V_{\text{REF}}$ 。

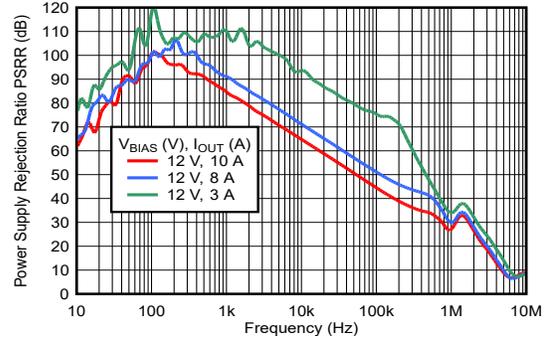
5.6 典型特性

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $C_{IN} = 10 \mu F$, $C_{OUT} = 22 \mu F$, $C_{BIAS} = 0nF$, SNS 引脚短接至 OUT 引脚, PG 引脚通过 $100k\Omega$ 电阻上拉至 V_{IN} (除非另有说明); 典型值在 $T_J = 25^\circ C$ 条件下测得



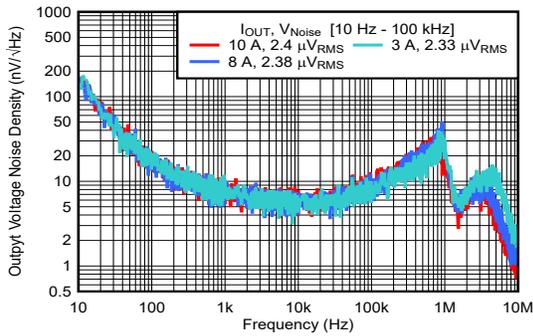
$C_{NR/SS} = 4.7 \mu F$, $C_{OUT} = 22 \mu F$, $V_{IN} = 1.15V$, $V_{OUT} = 0.75V$

图 5-1. PSRR 与频率和 I_{OUT} 间的关系



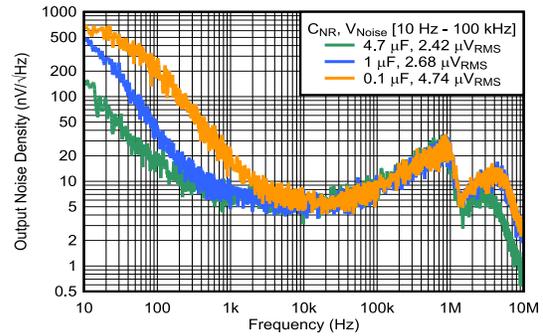
$C_{NR/SS} = 4.7 \mu F$, $C_{OUT} = 22 \mu F$, $V_{IN} = 1.15V$, $V_{OUT} = 0.75V$

图 5-2. PSRR 与频率和 I_{OUT} 间的关系



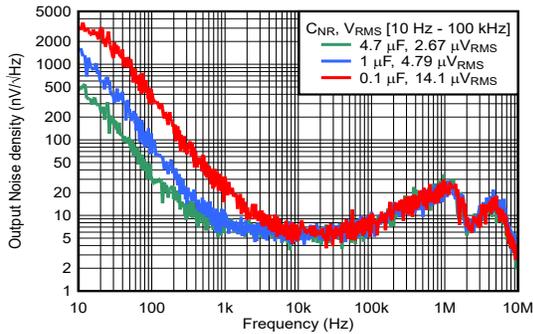
$C_{NR/SS} = 4.7 \mu F$, $C_{IN} = 10 \mu F$, $C_{OUT} = 22 \mu F$, $V_{IN} = 1.15V$, $V_{OUT} = 0.75V$

图 5-3. 输出电压噪声密度与频率和 I_{OUT} 间的关系



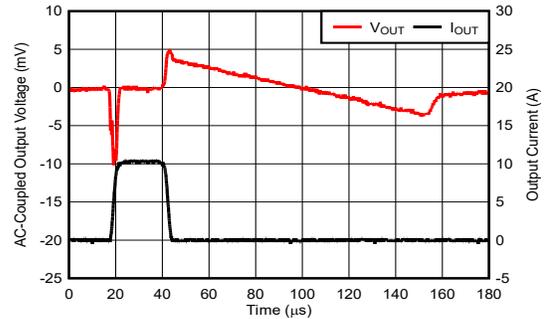
$C_{NR/SS} = 4.7 \mu F$, $C_{IN} = 10 \mu F$, $C_{OUT} = 22 \mu F$, $V_{IN} = 1.15V$, $V_{OUT} = 0.75V$, $I_{OUT} = 10A$

图 5-4. 输出电压噪声密度与频率和 $C_{NR/SS}$ 间的关系



$C_{NR/SS} = 4.7 \mu F$, $C_{IN} = 10 \mu F$, $C_{OUT} = 22 \mu F$, $V_{OUT} = 5V$, $I_{OUT} = 10A$

图 5-5. 输出电压噪声密度与频率和 $C_{NR/SS}$ 间的关系

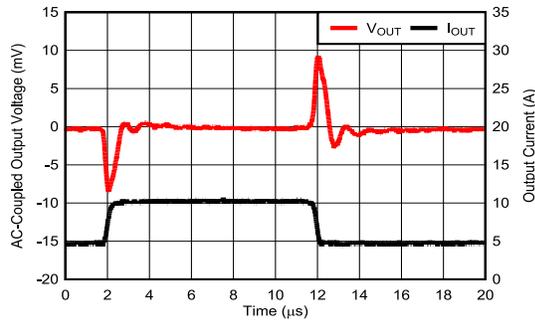


$C_{NR/SS} = 4.7 \mu F$, $C_{IN} = 10 \mu F$, $C_{OUT} = 22 \mu F$, $V_{IN} = 1.15V$, $V_{OUT} = 0.75V$, 压摆率 = $1A/\mu s$

图 5-6. $V_{OUT} = 0.75V$ 、 $I_{OUT} = 0A$ 至 $10A$ 时的负载瞬态

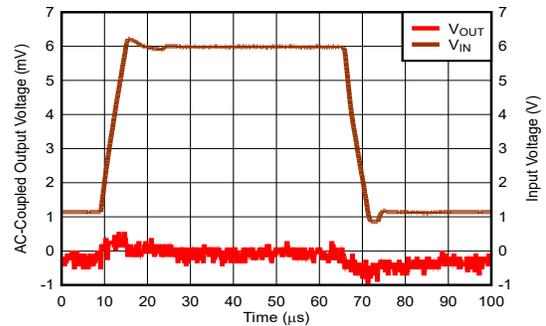
5.6 典型特性 (续)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $C_{IN} = 10\mu F$, $C_{OUT} = 22\mu F$, $C_{BIAS} = 0nF$, SNS 引脚短接至 OUT 引脚, PG 引脚通过 $100k\Omega$ 电阻上拉至 V_{IN} (除非另有说明); 典型值在 $T_J = 25^\circ C$ 条件下测得



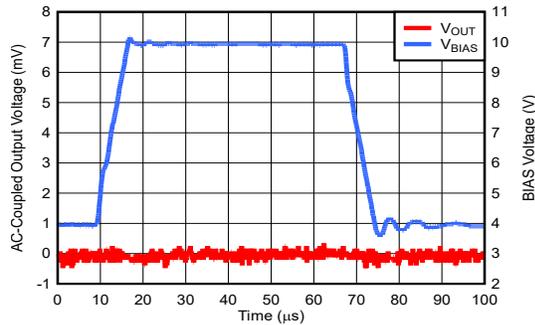
$C_{NR/SS} = 4.7\mu F$, $C_{IN} = 10\mu F$, $C_{OUT} = 22\mu F$,
 $V_{IN} = 1.15V$, $V_{OUT} = 0.75V$, 压摆率 = $5A/\mu s$

图 5-7. $V_{OUT} = 0.75V$ 、 $I_{OUT} = 5A$ 至 $10A$ 时的负载瞬态



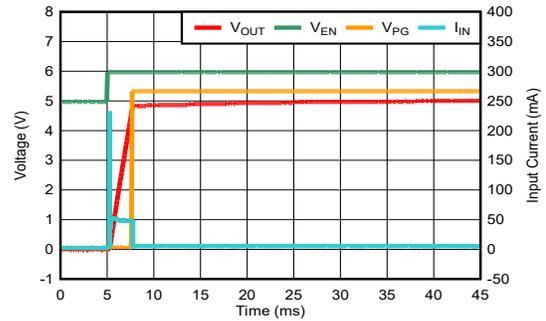
$C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$,
 $V_{IN} = 1.15V$, $V_{OUT} = 0.75V$

图 5-8. $V_{OUT} = 0.75V$ 时的线路瞬态



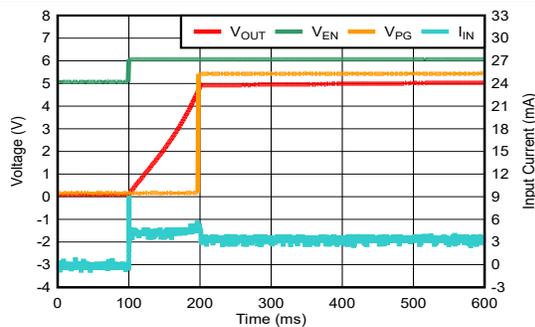
$C_{NR/SS} = 4.7\mu F$, $C_{OUT} = 22\mu F$,
 $V_{IN} = 1.15V$, $V_{OUT} = 0.75V$

图 5-9. $V_{OUT} = 0.75V$ 时的线路瞬态及 V_{BIAS}



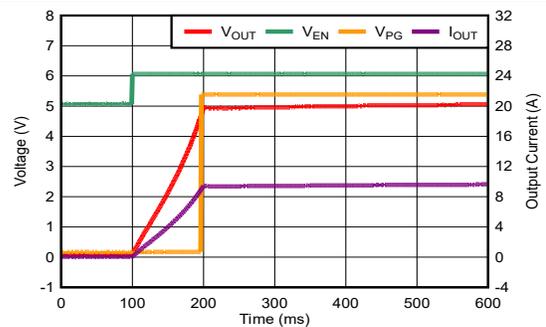
$C_{NR/SS} = 0.1\mu F$, $C_{IN} = 10\mu F$, $C_{OUT} = 22\mu F$,
 $V_{OUT} = 5V$

图 5-10. 启动期间的浪涌电流



$C_{NR/SS} = 4.7\mu F$, $C_{IN} = 10\mu F$, $C_{OUT} = 22\mu F$,
 $V_{OUT} = 5V$

图 5-11. 启动期间的浪涌电流

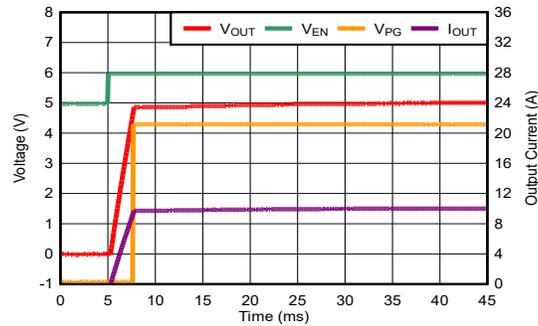


$C_{NR/SS} = 4.7\mu F$, $C_{IN} = 10\mu F$, $C_{OUT} = 22\mu F$,
 $V_{OUT} = 5V$, $I_{OUT} = 10A$

图 5-12. 启动

5.6 典型特性 (续)

$V_{IN} = V_{OUT(NOM)} + 0.4V$, $V_{EN} = 1.8V$, $C_{IN} = 10 \mu F$, $C_{OUT} = 22 \mu F$, $C_{BIAS} = 0nF$, SNS 引脚短接至 OUT 引脚, PG 引脚通过 $100k\Omega$ 电阻上拉至 V_{IN} (除非另有说明); 典型值在 $T_J = 25^\circ C$ 条件下测得



$C_{NR/SS} = 0.1 \mu F$, $C_{IN} = 10 \mu F$, $C_{OUT} = 22 \mu F$,
 $V_{OUT} = 5V$, $I_{OUT} = 10A$

图 5-13. 启动

6 详细说明

6.1 概述

TPS7N59 是一款低噪声 (在 10Hz 至 100kHz 带宽范围内为 $2.5 \mu V_{RMS}$)、高精度 (1%)、超低压降 (LDO) 线性稳压器, 具有 0.7V 至 6.0V 的输入电压范围和 0.5V 至 5.2V 的输出电压范围。此器件使用卓越电路来实现宽带宽和高环路增益, 即使运行余量非常低 [$V_{OpHr} = (V_{IN} - V_{OUT})$], 也能实现超高 PSRR。概括来说, 该器件有两个主要特性 (电流基准和单位增益 LDO 缓冲器) 和一些次要特性 (例如可调软启动浪涌控制、精密使能和 PG 引脚)。

电流基准由 REF 引脚控制。该引脚通过单个电阻器设置输出电压; 该引脚还设置启动时间并滤除由基准和外部 R_{REF} 产生的噪声

单位增益配置用于设置输出电压。低噪声不随输出电压增加, 并会提供宽带 PSRR。因此, SNS 引脚仅用于负载遥感。

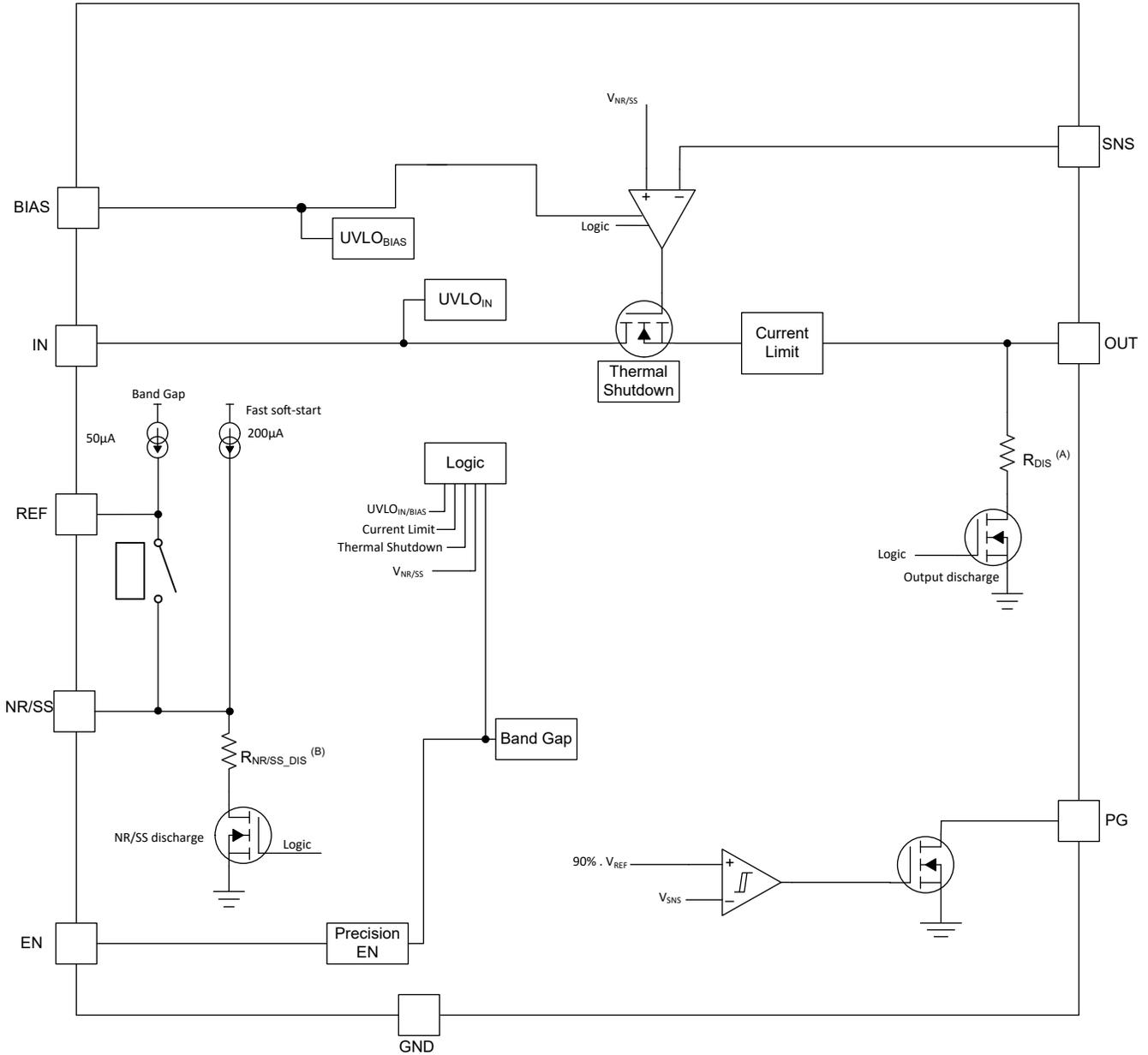
低噪声电流基准 (典型值为 $50 \mu A$) 与外部电阻器 (R_{REF}) 结合使用来设置输出电压。此过程允许将输出电压范围设置为 0.5V 至 5.2V。为了实现低噪声并允许软启动浪涌, 将外部电容器 C_{REF} (典型值为 $4.7 \mu F$) 与 R_{REF} 电阻器并联放置, 以衰减带隙噪声。 R_{REF} 电阻器可设置输出电压。该单位增益 LDO 可在宽频率范围内提供超高 PSRR, 而不会影响负载和线路瞬态。

EN 引脚可设置精密使能特性; 该引脚上的电阻分压器选择启动器件的最佳输入电压。该器件有三个独立的欠压锁定 (UVLO) 电压: IN 和 BIAS 轨的内部固定 UVLO 阈值以及使用 EN 引脚的外部可调 UVLO 阈值。

该稳压器具有电流限制和热保护功能, 工作温度范围为 $-40^{\circ}C$ 至 $+125^{\circ}C$, 并且采用 24 引脚 WQFN $4mm \times 4mm$ 高效散热封装。

6.2 功能方框图

ADVANCE INFORMATION



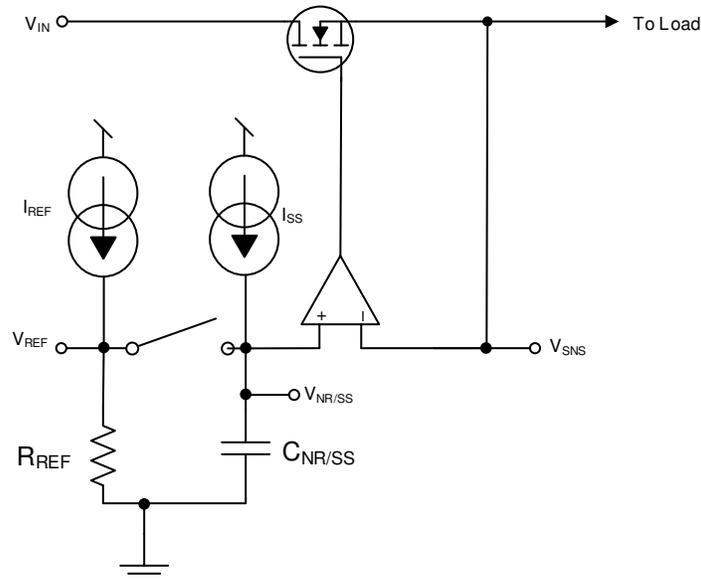
- A. 请参阅 [电气特性](#) 表中的 R_{DIS} (输出引脚主动放电电阻) 值。
- B. 请参阅 [电气特性](#) 表中的 R_{NR/SS_DIS} (NR/SS 引脚主动放电电阻) 值。

6.3 特性说明

6.3.1 输出电压设置和调节

图 6-1 显示了简化的调节电路，其中输入信号 (V_{REF}) 由内部电流源 (I_{REF}) 和外部电阻器 (R_{REF}) 产生。由于误差放大器始终采用单位增益配置，因此 LDO 输出电压由 V_{REF} 电压进行编程。 V_{REF} 基准电压由驱动 R_{REF} 电阻器的内部低噪声电流源生成，通过使用低通滤波器 ($C_{REF} \parallel R_{REF}$)，可以在误差放大器的输入端具有非常低的带宽。

单位增益配置是通过将 SNS 连接到 OUT 来实现的。为获得出色性能，应最大限度减小输出端的布线电感，并尽可能靠近输出端连接 C_{OUT} 。



$$V_{OUT} = I_{REF} \times R_{REF}$$

图 6-1. 简化的调节电路

该单位增益配置以及高精度 I_{REF} 基准电流使该器件能够实现出色的输出电压精度。低压降电压 (V_{DO}) 有助于降低散热需求并实现稳健的性能。此特性组合使得该器件成为向敏感型模拟低压 ($\leq 5.5V$) 器件供电的理想电压源。

6.3.2 低噪声、超高电源抑制比 (PSRR)

该器件架构具有高度准确的高精度、低噪声电流基准，后跟先进的互补金属氧化物半导体 (CMOS) 误差放大器 (在 $V_{OUT} \geq 0.5V$ 、 $10kHz$ 时噪声密度为 $6nV/\sqrt{Hz}$)。与上一代 LDO 不同，该器件的单位增益配置可在整个输出电压范围内提供低噪声。

6.3.3 可编程软启动

该器件有一个可编程、单调、电流受控的软启动电路，此电路使用 C_{REF} 电容器来尽可能减小启动期间流入输出电容器和负载的浪涌电流。对于某些要求输出电压至少达到设定值 90% 才能快速启动系统的应用，此电路还可以缩短启动时间。

6.3.4 精密使能和 UVLO

根据电路实现方式，最多可以激活三个独立的欠压锁定 (UVLO) 电压电路。当输入电压达到最小阈值时，输入电源 (IN 引脚) 和偏置电源 (BIAS 引脚) 上的一个内部设定 UVLO 会自动禁用 LDO。也可使用精密 EN 功能 (EN 引脚) 作为用户可编程的 UVLO。

1. 内部输入电源电压 UVLO 电路可防止稳压器在输入电压不够高时开启，有关更多详细信息，请参阅 [电气特性](#) 表。
2. 内部偏置电源电压 UVLO 电路可防止稳压器在偏置电压不够高时开启，有关更多详细信息，请参阅 [电气特性](#) 表。
3. 精密使能电路允许通过来自另一电源的电阻分压器对多个电源进行简单时序控制。该使能电路可用于设置外部 UVLO 电压，以便在此电压下使用 EN 引脚上的电阻分压器来启用器件；有关更多详细信息，请参阅 [精密使能 \(外部 UVLO\)](#) 部分。

6.3.5 电源正常引脚 (PG 引脚)

PG 引脚的输出用于指示 LDO 是否已准备好供电。该引脚是使用开漏架构实现的。在启动阶段，PG 电压阈值在快速软启动正在进行时由 REF 电压设置，而在快速软启动完成且 REF 和 NR/SS 之间的开关闭合时由 NR/SS 电压设置。

如 [功能方框图](#) 所示，PG 引脚的实现方法是将 SNS 引脚电压与内部基准电压进行比较，因此被视为一种反映输出电压状态的电压指示器。

6.3.6 有源放电

为了使内部节点快速放电，该器件集成了两个内部下拉金属氧化物半导体场效应晶体管 (MOSFET)。当器件被禁用以主动对输出电容器放电时，第一个下拉 MOSFET 将一个电阻器 (R_{DIS}) 从 OUT 连接到地。当器件被禁用并对 REF 电容器放电时，第二个下拉 MOSFET 将一个电阻器 (R_{REF_DIS}) 从 REF 连接到地。两个下拉 MOSFET 均由以下任一事件激活：

- 将 EN 引脚驱动至低于 $V_{EN(LOW)}$ 阈值
- IN 引脚电压降至欠压锁定 $V_{UVLO(IN)}$ 阈值以下
- BIAS 引脚电压降至欠压锁定 $V_{UVLO(BIAS)}$ 阈值以下

备注

低输入、低输出 (LILO) 运行 ($< 1.1V_{IN}$) 期间的 BIAS 欠压事件可能会导致 C_{REF} 放电不完全。为了正确执行系统关断过程，REF 和 OUT 引脚的时间常数都要考虑。

6.3.7 热关断保护 (T_{SD})

热关断保护电路可在导通晶体管结温 (T_J) 上升到 $T_{SD(shutdown)}$ (典型值) 时禁用 LDO。热关断迟滞可确认在温度降至 $T_{SD(reset)}$ (典型值) 时器件复位 (导通)。半导体裸片的热时间常数相当短，因此当达到热关断时，器件可以循环下电上电，直到功率耗散降低。由于器件上的 $V_{IN} - V_{OUT}$ 压降较大，或为大型输出电容器充电的浪涌电流较高，启动期间的功率耗散可能较高。在某些情况下，热关断保护功能会在启动完成之前禁用器件。为了实现可靠运行，请将结温限制在 [电气特性](#) 表中列出的最大值。在超过这个最高温度的情况下运行会导致器件超出运行规格。虽然器件的内部保护电路旨在防止热过载情况，但此电路并不用于替代适当的散热。使器件持续进入热关断状态或在超过建议的最高结温下运行会降低长期可靠性。

6.4 器件功能模式

6.4.1 正常运行

当满足下列条件时，器件的输出电压会稳定在标称值：

- 输入电压大于标称输出电压加上压降电压 ($V_{OUT(nom)} + V_{DO}$)
- 偏置电压大于标称输出电压加 3.2V ($V_{OUT(nom)} + 3.2V$)
- 输出电流小于电流限制 ($I_{OUT} < I_{LIM}$)

- 器件结温低于热关断温度 ($T_J < T_{SD(shutdown)}$)
- EN 引脚上的电压先前已超过 $V_{IH(EN)}$ 阈值电压，但尚未降至低于使能下降阈值

表 6-1 给出了不同工作模式的参数条件。有关参数值，请参阅 [电气特性](#) 表。

表 6-1. 器件功能模式比较

工作模式	参数				
	V_{IN}	V_{BIAS}	V_{EN}	I_{OUT}	T_J
正常模式	$V_{IN} \geq V_{OUT(nom)} + V_{DO}$ 和 $V_{IN} \geq V_{UVLO(IN)}$	$V_{BIAS} \geq V_{OUT} + 3.2V$	$V_{EN} \geq V_{IH(EN)}$	$I_{OUT} < I_{CL}$	关断时 $T_J < T_{SD}$
压降模式	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO}$	$V_{BIAS} < V_{OUT} + 3.2V$	$V_{EN} > V_{IH(EN)}$	$I_{OUT} < I_{CL}$	关断时 $T_J < T_{SD}$
禁用模式	$V_{IN} < V_{UVLO(IN)}$	$V_{BIAS} < V_{BIAS(UVLO)}$	$V_{EN} < V_{IL(EN)}$	-	关断时 $T_J \geq T_{SD}$

6.4.2 压降运行

如果输入电压低于标称输出电压与指定压降电压之和，但仍满足正常工作模式的所有其他条件，则器件将工作在压降模式。在此模式下，输出电压会跟踪输入电压减去 V_{DO} 。在压降运行模式下，由于导通晶体管位于欧姆或三极管区域并充当开关，因此器件的瞬态性能会显著降低。压降过程中的线路或负载瞬态可能会导致输出电压偏差较大。

备注

与具有两个电源轨 (BIAS 和 IN) 的传统 N 型场效应晶体管 (NMOS) LDO 不同，TPS7N59 无法进入 OUT 至 BIAS 压降模式。为确保正常运行，建议 V_{BIAS} 至少为 $V_{REF} + 3.2V$ ，以维持电压高于 UVLO(BIAS)。

如需更多信息，请参阅 [欠压锁定 \(UVLO\) 操作](#) 部分。

6.4.3 禁用

通过强制 EN 引脚的电压低于 $V_{IH(EN)}$ 阈值，可以关断输出 (请参阅 [电气特性](#) 表)。当禁用时，导通晶体管关闭，内部电路关断，并且当 IN 引脚电压高于或等于二极管压降电压时，NR/SS 引脚和 OUT 引脚电压均通过内部放电电路主动对地放电。

6.4.4 以电流限制模式运行

如果输出电流大于或等于最小电流限制 ($I_{LIM(Min)}$)，则器件会以电流限制模式运行。电流限制是一种折返实施方案。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

能否在应用中成功实现 LDO 取决于应用要求。本部分将讨论主要器件特性，以及如何出色地实现这些特性，从而实现可靠的设计。

7.1.1 精密使能 (外部 UVLO)

精密使能电路 (EN 引脚) 用于开启和关闭器件。该电路可用于设置外部欠压锁定 (UVLO) 电压，如图 7-1 所示，以便使用 IN (或 BIAS)、EN 和 GND 之间的电阻分压器来开启和关闭器件。

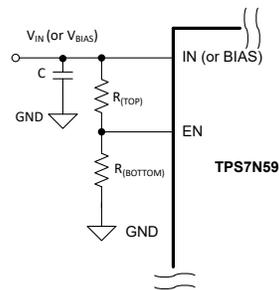


图 7-1. 使用精密 EN 作为外部 UVLO

这种外部 UVLO 设计用于防止在输入电源电压不够高时开启器件，并可将器件置于压降模式。此设计还允许通过来自另一电源的电阻分压器对多个电源进行简单时序控制。使用电阻分压器启用或禁用器件的另一个好处是 EN 引脚始终不会悬空，因为该引脚没有内部下拉电阻器。但是，为了符合该引脚的绝对最大额定值，EN 引脚和接地端之间可能需要一个齐纳二极管。

可以使用方程式 1 和方程式 2 来确定正确的电阻值。

$$V_{ON} = V_{OFF} \times [(V_{IH(EN)} + V_{HYS(EN)}) / V_{EN}] \quad (1)$$

$$R_{(TOP)} = R_{(BOTTOM)} \times (V_{OFF} / V_{IH(EN)} - 1) \quad (2)$$

其中：

- V_{OFF} 是稳压器关闭时的输入或偏置电压
- V_{ON} 是稳压器开启时的输入或偏置电压

备注

对于 EN 引脚输入电流 I_{EN} ，影响将被忽略。

7.1.2 欠压锁定 (UVLO) 操作

TPS7N59 针对输入和偏置电压采用欠压锁定 (UVLO) 电路。在所有电压均高于上升的 UVLO 电压之前，该电路会禁用输出。

7.1.2.1 IN 引脚 UVLO

IN 引脚 UVLO (UVLO(IN)) 电路可确保器件在输入电源电压达到最小工作电压范围之前保持禁用状态，并在输入电源电压下降到过低时关断。

UVLO(IN) 电路完全置为有效的最短响应时间为几微秒。在这段时间内，低于大约 0.67V 的下行线路瞬态会使输入电源 UVLO(IN) 短时间置为有效。但是，UVLO(IN) 电路没有足够的存储能量将器件内部电路完全放电，可能导致 OUT 和 NR/SS 电容器不完全放电。

备注

下行线路瞬态的影响会触发过冲预防电路，可以通过 [精密使能 \(外部 UVLO\)](#) 部分中建议的设计方案轻松进行缓解。

7.1.2.2 偏置 UVLO

BIAS 引脚 UVLO (UVLO(BIAS)) 电路可确保器件在输入电源电压达到最小工作电压范围之前保持禁用状态，并在输入电源电压下降到过低时关断。

UVLO(BIAS) 电路完全置为有效的最短响应时间为几微秒。在这段时间内，低于大约 $V_{REF} + 2.1V$ 的下行线路瞬态会使输入电源 UVLO(BIAS) 短时间置为有效。但是，UVLO(BIAS) 电路没有足够的存储能量将器件内部电路完全放电，可能导致 OUT 和 NR/SS 电容器不完全放电。

备注

下行线路瞬态的影响会触发过冲预防电路，可以通过 [精密使能 \(外部 UVLO\)](#) 部分中建议的设计方案轻松进行缓解。

7.1.2.3 典型 UVLO 运行

图 7-2 展示了 UVLO (IN 或 BIAS) 电路对各种输入电压事件的响应。该图可以分为以下几个区域：

- 区域 A：在输入达到 UVLO 上升阈值之前，器件不会启动。
- 区域 B：具有稳压输出的正常运行。
- 区域 C：高于 UVLO 下降阈值 (UVLO 上升阈值 - UVLO 迟滞) 的欠压事件。输出可能会超出稳压范围，但器件仍保持启用状态。
- 区域 D：具有稳压输出的正常运行。
- 区域 E：低于 UVLO 下降阈值的欠压事件。由于存在负载和有源放电电路，该器件在大多数情况下会被禁用，并且输出会下降。当输入电压达到 UVLO 上升阈值时，器件将重新启用，随后会正常启动。
- 区域 F：正常运行，然后输入下降至 UVLO 下降阈值。
- 区域 G：当输入电压降至 UVLO 下降阈值以下达到 0V 时，该器件被禁用。输出会因为负载和有源放电电路而下降。

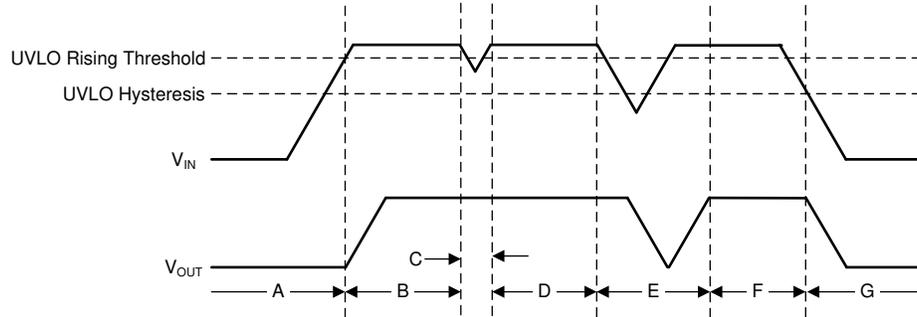


图 7-2. 典型 UVLO 运行

7.1.3 压降电压 (V_{DO})

一般而言，压降电压通常是指稳压所需的输入和输出电压之间的最小电压差 ($V_{DO} = V_{IN} - V_{OUT}$)。当在给定负载电流下 V_{IN} 降至或低于设定的 V_{DO} 时，该器件将用作电阻开关，不再调节输出电压。当器件在压降状态下运行时，输出电压会跟踪输入电压，压降电压 (V_{DO}) 与输出电流成正比，因为该器件作为电阻式开关运行。在处于或接近压降状态时运行器件会显著降低器件的瞬态性能和 PSRR。保持足够的 V_{OpHr} 可显著改善器件的瞬态性能和 PSRR。

备注

如果将最小 BIAS 轨设置为高于 REF 引脚电压 3.2V，则导通晶体管具有足够的 BIAS 至 OUT 余量，因此只需考虑 IN 至 OUT 压降条件。对于其它运行条件，请参阅 [欠压锁定 \(UVLO\) 操作](#) 部分。

7.1.4 输入和输出电容器要求 (C_{IN} 和 C_{OUT})

TPS7N59 的设计和特点是需要在输出端使用 22 μ F 及以上规格的陶瓷电容器 (实际电容为 15 μ F 及以上) 以及在输入端使用 10 μ F 及以上规格的陶瓷电容器 (实际电容为 5 μ F 及以上)。在输入端使用至少 10 μ F 的电容器是为了尽可能减小输入阻抗。为了最大限度减轻布线寄生效应，请将输入和输出电容器尽可能靠近相应的输入和输出引脚放置。如果从输入电源到 TPS7N59 的布线电感较高，则快速电流瞬态可能会导致 V_{IN} 在绝对最大额定电压以上振铃并损坏器件。为了缓解这种情况，可以添加额外的输入电容器来抑制振铃，从而将所有电压尖峰保持在器件的绝对最大额定值以下。

备注

由于带宽较宽，LDO 误差放大器的反应速度可能快于输出电容器。在这种情况下，负载行为直接出现在 LDO 电源上，可能会拖累电源。为避免此类行为，应最大限度减小输出端存在的 ESR 和 ESL；请参阅 [建议运行条件表](#)。

7.1.5 建议的电容器类型

该器件设计为在输入端、输出端和降噪引脚上使用低等效串联电阻 (ESR) 和低等效串联电感 (ESL) 陶瓷电容器实现稳定。多层陶瓷电容器已成为这些类型应用的业界标准并推荐使用，但必须结合良好的判断力使用。采用 X7R、X5R 和 COG 额定电介质材料的陶瓷电容器可在整个温度和电源电压范围内提供相对良好的电容稳定性。由于电容变化较大，因此不建议使用 Y5V 额定电容器。

无论选择哪种陶瓷电容器类型，陶瓷电容都会随工作电压和温度的变化而变化。确保陶瓷电容器降额至少 50%。此处推荐的输入和输出电容器的电容降额约为 50%，但在高 V_{IN} 和 V_{OUT} 条件下 ($V_{IN} = 5.5V$ 至 $V_{OUT} = 5.0V$) 及极端温度下，降额可能大于 50%，此情况必须纳入考量。电容器应尽可能靠近相应引脚放置，并使电容器 GND 连接尽可能靠近器件 GND 引脚，以便缩短瞬态电流的返回路径。使用较大的输入电容器或一组具有不同值的电容器，始终是抵消输入布线电感、改善瞬态响应的良好设计做法。

7.1.6 软启动、降噪 (NR/SS 引脚) 和电源正常状态 (PG 引脚)

此 NR/SS 引脚具备双重功能，即控制软启动时间和降低由内部带隙基准和外部电阻器 R_{REF} 产生的噪声。NR/SS 电容器 ($C_{NR/SS}$) 可将输出噪声降低到极低的水平，并设置输出斜坡率以限制浪涌电流。

该器件具有一个可编程、单调、电压受控的软启动电路，旨在与外部电容器 ($C_{NR/SS}$) 搭配使用。除了软启动特性外， $C_{NR/SS}$ 电容器还可降低 LDO 的输出电压噪声。软启动特性可用于消除上电初始化问题。受控的输出电压斜坡还可以降低启动期间的峰值浪涌电流，从而尽可能减少输入电源总线的启动瞬态。

为了实现单调启动，器件输出电压会跟踪 $V_{NR/SS}$ 基准电压，直到该基准达到设定值（设定的输出电压）。 $V_{NR/SS}$ 基准电压由 R_{REF} 电阻器设置，在启动期间，该器件使用快速充电电流 (I_{FAST_SS})（如图 7-3 所示）为 $C_{NR/SS}$ 电容器充电。

备注

NR/SS 和 REF 引脚上的任何泄漏都会直接影响基准电压的精度。

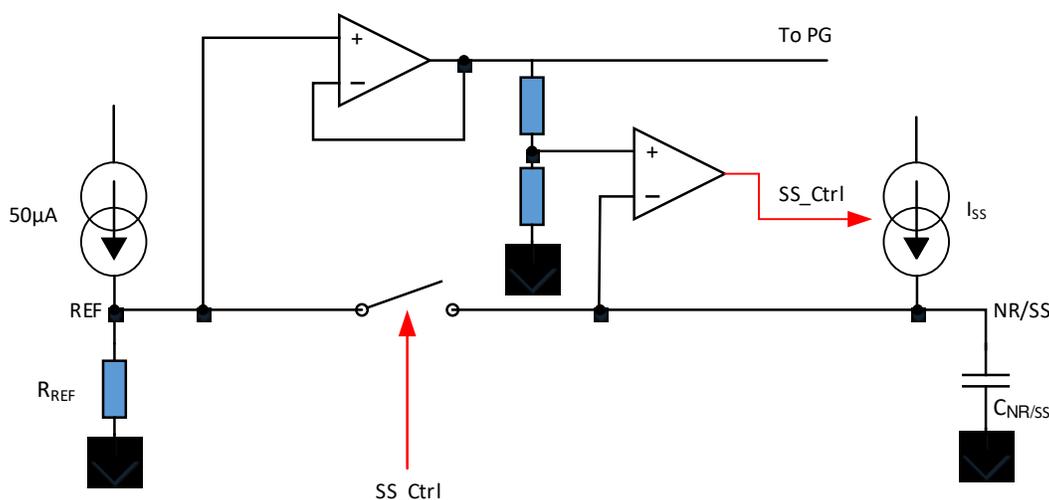


图 7-3. 简化的软启动电路

200 μ A（典型值）的 $I_{NR/SS}$ 电流可快速为 $C_{NR/SS}$ 充电，直到电压达到设定输出电压的大约 97%，然后 I_{SS} 电流关闭，REF 和 NR/SS 之间的开关闭合，仅由 I_{REF} 电流继续为 $C_{NR/SS}$ 充电，直到达到设定的输出电压值。

备注

当触发任何以 GND 为基准的 UVLO，或出现任何故障（过热、POR、 I_{REF} 不良或 OTP 错误）且 NRSS 引脚电压高于 50mV 时，NR/SS 上的放电下拉电阻器（请参阅功能方框图）会启用。

软启动斜坡时间取决于快速启动 ($I_{NR/SS}$) 充电电流、基准电流 (I_{REF})、 $C_{NR/SS}$ 电容值和目标输出电压 ($V_{OUT(target)}$)。可以使用方程式 3 计算软启动斜坡时间。

$$\text{Soft-start time } (t_{SS}) = (V_{OUT(target)} \times C_{NR/SS}) / (I_{SS}) \quad (3)$$

典型特性部分中提供了 I_{SS} 电流，值为 200 μ A（典型值）。 I_{REF} 电流值为 50 μ A（典型值）。启动时间的剩余 3% 由 $R_{REF} \times C_{NR/SS}$ 时间常数决定。图 7-4 展示了启动期间的 PG 阈值。

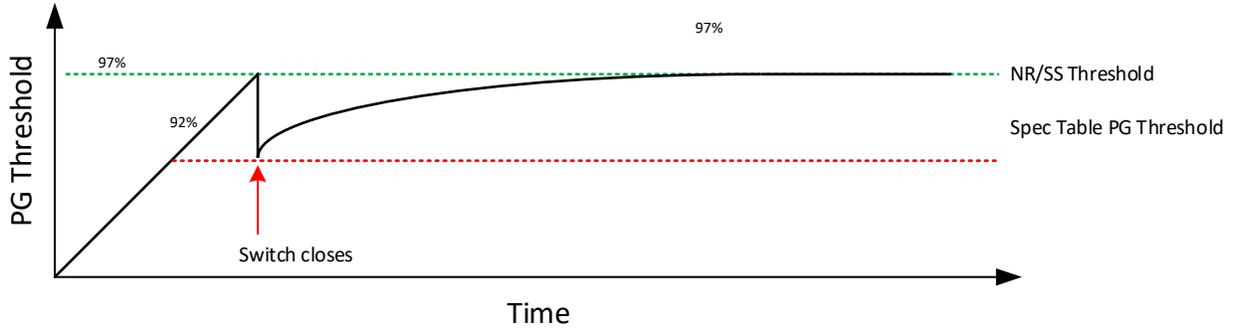


图 7-4. 启动期间的 PG 阈值

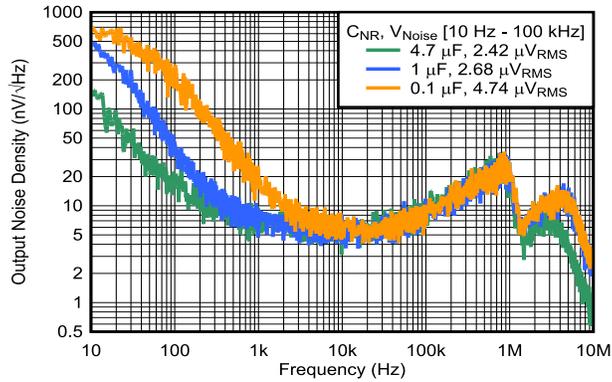
通过增大 $C_{NR/SS}$ 电容器，可以显著降低输出电压噪声。 $C_{NR/SS}$ 电容器和 R_{REF} 电阻器构成一个低通滤波器 (LPF)，用于降低 V_{REF} 电压基准的噪声，从而降低器件的本底噪声。LPF 是单极滤波器，方程式 4 可计算 LPF 截止频率。增大 $C_{NR/SS}$ 电容器可显著降低输出电压噪声，但这样做也会延长启动时间。对于低噪声应用，请使用 $4.7 \mu F$ $C_{NR/SS}$ 以实现噪声性能与启动时间的最佳平衡。

$$\text{Cutoff Frequency } (f_{\text{cutoff}}) = 1 / (2 \times \pi \times R_{\text{REF}} \times C_{\text{NR/SS}}) \quad (4)$$

备注

如果使用小 $C_{NR/SS}$ 和大 C_{OUT} ，由于 V_{OUT} 不再跟踪软启动斜坡，因此可能会在启动期间进入电流限制。

图 7-5 显示了 $C_{NR/SS}$ 电容器对 LDO 输出电压噪声的影响。



$C_{IN} = 10 \mu F$, $C_{OUT} = 22 \mu F$, $V_{IN} = 1.15V$, $V_{OUT} = 0.75V$, $I_{OUT} = 10A$,
 $V_{BIAS} = 12V$

图 7-5. 输出电压噪声密度与 $C_{NR/SS}$ 间的关系

7.1.7 优化噪声和 PSRR

噪声通常可以定义为与所需信号（例如稳压 LDO 输出）结合的不良信号，导致电源质量降低。在音频中很容易注意到噪声，如嘶嘶声或爆裂声。噪声可分为外部噪声和固有噪声两个基本类别。由外部电路或自然现象产生的噪声，例如 50Hz 至 60Hz 的电源线噪声（尖峰）以及谐波，是外部噪声的典型代表。固有噪声由器件电路内部的元件（如电阻器和晶体管）产生。对于该器件，固有噪声的两个主要来源是误差放大器和内部基准电压 (V_{REF})。有时与外部噪声同时出现的另一个术语是 PSRR，它指的是电路或器件抑制或滤除输入电源噪声的能力，以输出电压噪声纹波与输入电压噪声纹波之比来表示。

通过仔细选择以下参数来优化器件固有噪声和 PSRR：

- $C_{NR/SS}$ ，适用于低于器件带宽的低频范围
- C_{OUT} ，适用于接近或高于器件带宽的高频范围
- 运行余量 $V_{IN} - V_{OUT}$ (V_{OpHr})，主要适用于低于器件带宽的低频范围，但也适用于较高频率但影响更小

通过使用较大的 $C_{NR/SS}$ 电容器滤除从输入端耦合到器件 V_{REF} 基准的噪声，可以显著提高器件的噪声性能。这种耦合在低于器件带宽的低频范围内尤其明显。可以设计由 $C_{NR/SS}$ 和 R_{REF} 组成的低通滤波器来滤除源自输入电源的低频噪声。大型 $C_{NR/SS}$ 电容器的一个缺点是启动时间更长。该器件单位增益配置消除了其他 LDO 由于反馈网络而出现的噪声性能下降。此外，增大器件负载电流对器件噪声性能几乎没有影响。

通过使用较大的 C_{OUT} 电容器，可以在高于器件带宽的频率范围内进一步改善器件噪声。但是，较大的 C_{OUT} 会增加浪涌电流，并减慢器件的瞬态响应。

7.1.8 可调节运行

如图 7-6 所示，可以使用单个外部电阻器 (R_{REF}) 来设置器件的输出电压。

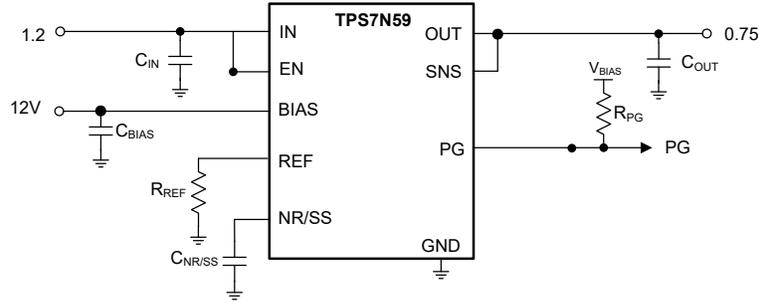


图 7-6. 典型电路

可以使用方程式 5 来计算理想输出电压所需的 R_{REF} 值。

$$V_{OUT} = I_{REF(NOM)} \times R_{REF} \quad (5)$$

表 7-1 显示了建议的 R_{REF} 电阻值，使用具有这些阻值的标准 1% 容差电阻器可以实现多个常见电源轨。

表 7-1. 建议的 R_{REF} 值

目标输出电压 (V)	R_{REF} (k Ω) ⁽¹⁾	计算出的输出电压 (V)
0.5	10.0	0.500
0.6	12.1	0.605
0.7	14.0	0.700
0.8	16.2	0.810
0.9	18.2	0.910
1.0	20.0	1.000
1.2	24.3	1.215
1.5	30.1	1.505
2.5	49.9	2.495
3.0	60.4	3.020
3.3	66.5	3.325
3.6	71.5	3.575
4.7	95.3	4.765
5.0	100.0	5.000

(1) 1% 电阻器。

7.1.9 负载瞬态响应

负载阶跃瞬态响应是 LDO 输出电压对负载电流的响应，从而维持输出电压调节。负载瞬态响应期间有两个关键的转换：从轻负载向重负载的转换以及从重负载向轻负载的转换。本节将详细分解图 7-7 所示的区域。区域 A、E 和 H 是输出电压处于稳态调节的区域。

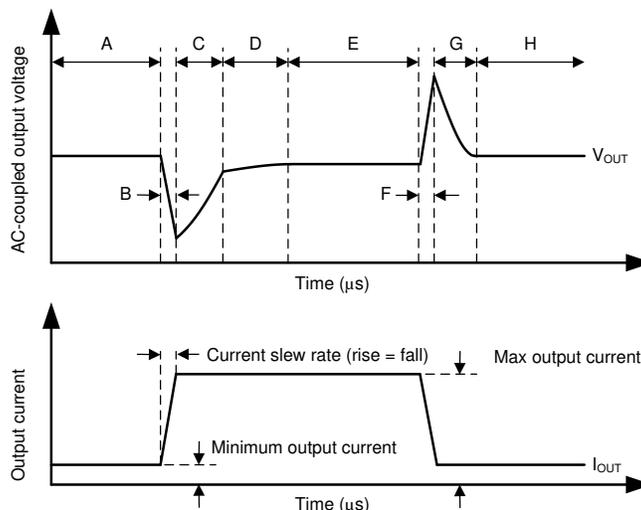


图 7-7. 负载瞬态波形

在从轻负载转换到重负载期间：

- 初始电压骤降是输出电容器电荷耗尽和输出电容器寄生阻抗所致 (区域 B)
- 从骤降中恢复是由于 LDO 增加了拉电流，并实现输出电压调节 (区域 C)

在从重负载转换到轻负载期间：

- LDO 提供大电流导致初始电压上升，并导致输出电容器电荷增加 (区域 F)
- 从上升中恢复是由于 LDO 降低了拉电流，同时负载使输出电容放电 (区域 G)

由于该器件是大电流器件，因此电流电平之间的转换会改变内部功率耗散 (区域 D)。在这些转换期间，功率耗散的变化会改变裸片温度，并导致略有不同的电压电平。这种与温度相关的输出电压电平会显示在各种负载瞬态响应中。

较大的输出电容可降低负载瞬态期间的峰值，但会减慢器件的响应速度。更大的直流负载也会降低峰值，因为转换振幅降低，并且为输出电容器提供了更高的电流放电路径。

备注

具有高带宽的 TPS7N59 的反应速度比输出电容器快。确保 LDO 输入端有足够的电容。

7.1.10 时序控制

IN、BIAS 和 EN 之间没有时序要求。

与具有内部 MUX 的器件一样，如果 BIAS 轨比 IN 轨放电速度更快，则会在关断期间触发错误的 PG。

如图 7-8 所示，当 BIAS 轨降至 $V_{UVLO(BIAS)}$ 以下时，IN 和 BIAS 之间的内部 MUX 将切换，而 LDO 完全由 IN 轨供电。

当 BIAS 轨低于 $UVLO(BIAS)$ 且 IN 轨大于 1.1V 时，LDO 可以重新启动，因为 IN 仍是运行的有效条件。

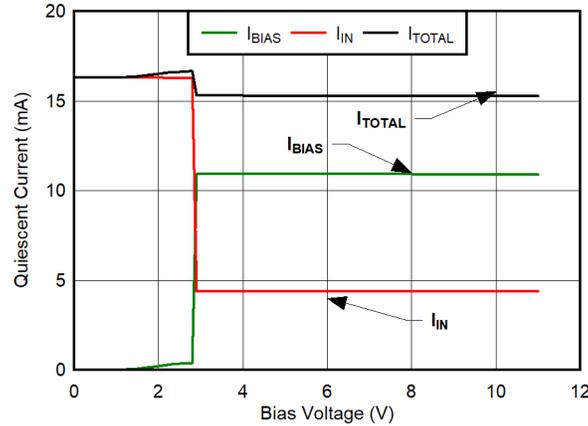


图 7-8. 总静态电流与 BIAS 间的关系

7.1.11 电源正常状态指示功能

如 [功能方框图](#) 中所述，PG 引脚是由施密特触发器驱动的开漏 MOSFET。施密特触发器将 SNS 引脚电压与等于基准电压 90% 的预选电压进行比较。

如 [建议运行条件](#) 表中所述，为获得出色性能，上拉电阻必须介于 10kΩ 和 100kΩ 之间。如不需要 PG 功能，PG 引脚既可以保持悬空状态，也可以连接到 GND。

BIAS 轨上存在两个 UVLO 电路，一个以 GND ($V_{UVLO(BIAS)}$) 为基准，另一个以 V_{REF} ($V_{UVLO(BIAS)} - V_{REF}$) 为基准。逻辑优先级会导致发生假 PG 事件。

为消除任何假 PG 事件，请考虑将 V_{BIAS} 设置为比 V_{OUT} 高 3.2V。

[表 7-2](#) 中介绍了各种 UVLO 行为。

表 7-2. UVLO 触发的 PG 事件

V_{REF}	$V_{UVLO(BIAS)} - V_{REF}$ 上升	$V_{UVLO(BIAS)} - V_{REF}$ 下降
0.5V	$2.1 + 0.5 = 2.6V$	$1.86 + 0.5 = 2.36V$
0.7V	$2.1 + 0.7 = 2.8V$	$1.86 + 0.7 = 2.56V$
1.4V	$2.1 + 1.4 = 3.5V$	$1.86 + 1.4 = 3.26V$
5.2V	$2.1 + 5.2 = 7.3V$	$1.86 + 5.2 = 7.06V$

7.1.12 电流模式裕量调节

输出电压裕量调节技术可用于评估电路对电源变化的容忍程度。在执行这项测试时，通常将电源电压调整为高于和低于标称输出电压的固定百分比。

本节讨论了如何使用 TPS7N59 实现电压裕量调节应用。此处将使用 $\pm 2.5\%$ 的裕量调节目标来演示所选的实施方案。

[图 7-9](#) 显示了带有电流 DAC 的 TPS7N59 REF 引脚的简化视图。

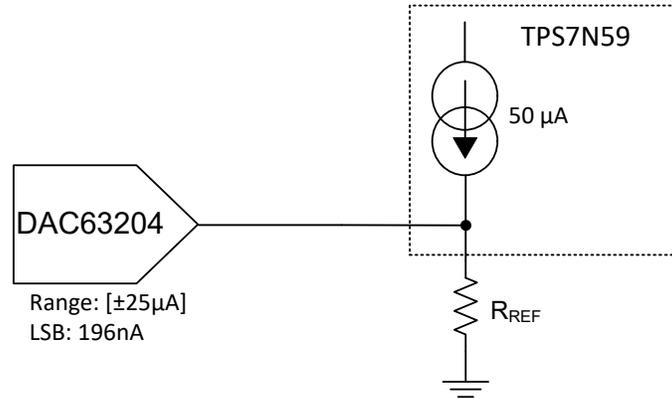


图 7-9. 简化版裕量调节原理图

表 7-3 总结了设计要求。

表 7-3. 设计要求

参数	设计值
V_{IN}	2.5V
V_{OUT}	标称电压为 1.8V，裕量调节为 $\pm 2.5\%$
$C_{NR/SS}$	4.7 μ F
R_{REF}	36k Ω
DAC I_{OUT} 范围	$\pm 25 \mu$ A

此示例在连接到 GND 的 REF 引脚上使用 36k Ω 电阻将输出电压设置为标称值 1.8V。方程式 6 可计算 R_{REF} 电阻值。

$$R_{REF} = V_{OUT} / I_{REF} \quad (6)$$

此处选择了 DAC63204，这是一款具有 I²C 的 4 通道、12 位电压和电流输出 DAC，并将其编程为了电流输出模式，其输出范围设置为 $\pm 25 \mu$ A。结合 8 位电流 DAC 分辨率，此输出范围支持大约 196nA 的最小步长（或 LSB）。在 36k Ω 电阻器中，LSB 转换为 7mV 电压分辨率，或标称 1.8V 目标电压的 0.38%。为了实现相对于标称电压的完整 $\pm 2.5\%$ 摆幅，DAC63204 必须具有 $\pm 1.25 \mu$ A 的拉电流或灌电流。

流经 R_{REF} 的电流会变为 51.25 μ A 和 48.75 μ A，并将输出电压分别调节为 1.845V 和 1.75V。

图 7-10 和图 7-11 显示了当前裕量调节结果。

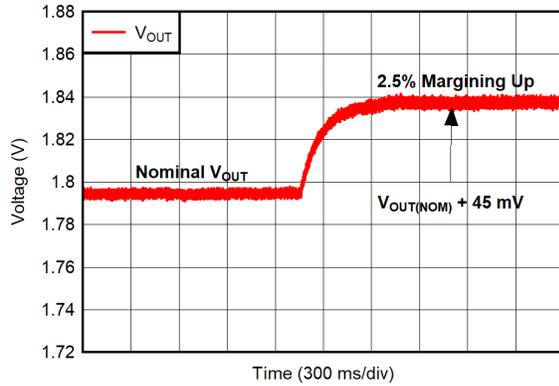


图 7-10. 向上调节裕量

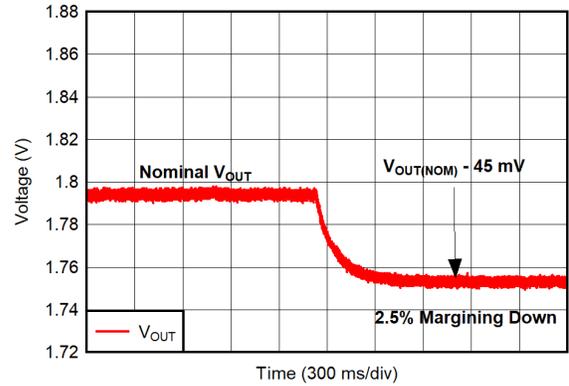


图 7-11. 向下调节裕量

当使用此 LDO 实现电压裕量调节时，响应与一个时间常数相关。此 RC 时间常数是 R_{REF} 和 $C_{NR/SS}$ 并联组合的结果，请参阅图 7-9。此 RC 影响如图 7-10 和图 7-11 所示。

方程式 7 可以计算该实施方案的时间常数：

$$\tau = R_{REF} \times C_{NR/SS} \quad (7)$$

其中：

- R_{REF} 为 $36k\Omega$
- $C_{NR/SS}$ 为 $4.7\mu F$
- $\tau = 169ms$

7.1.13 电压模式裕量调节

输出电压裕量调节技术可用于评估电路对电源变化的容忍程度。在执行这项测试时，通常将电源电压调整为高于和低于标称输出电压的固定百分比。

本节讨论了如何使用 TPS7N59 实现电压模式裕量调节应用。此处将使用 $\pm 5\%$ 的裕量调节目标来演示所选的实施方案。

图 7-12 显示了带有电压 DAC 的 TPS7N59 REF 引脚的简化视图。

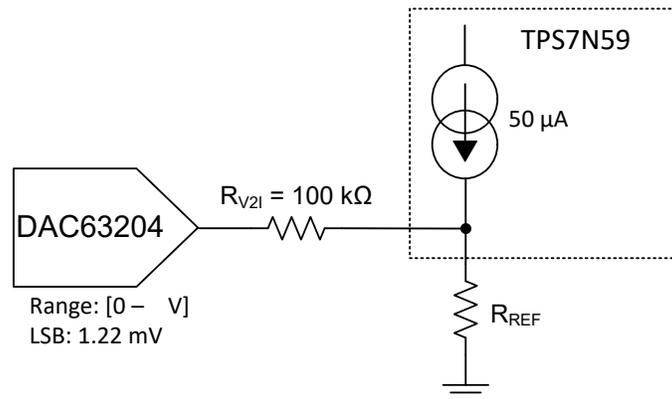


图 7-12. 电压模式裕量调节简化版原理图

表 7-3 总结了设计要求。

表 7-4. 设计要求

参数	设计值
V_{IN}	2.5V
V_{OUT}	标称电压为 1.8V，裕量调节为 $\pm 5\%$
$C_{NR/SS}$	4.7 μ F
R_{REF}	36k Ω
DAC V_{OUT} 范围	1.432V 至 2.108V

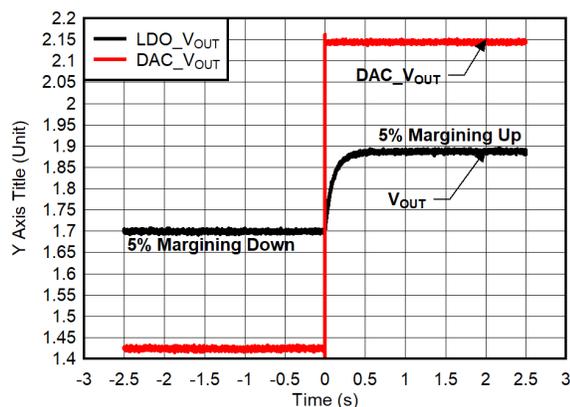
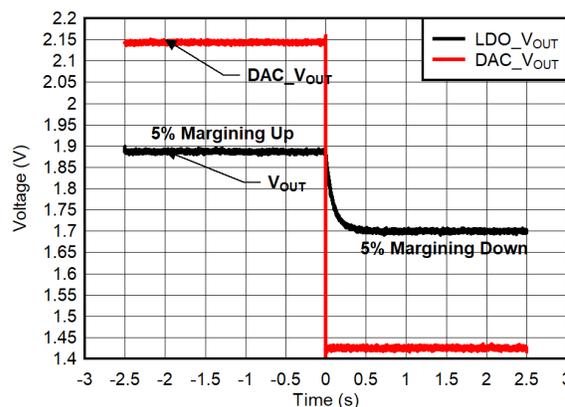
此示例在连接到 GND 的 REF 引脚上使用 36k Ω 电阻将输出电压设置为标称值 1.8V。方程式 8 用于计算 R_{REF} 电阻器的值。

$$R_{REF} = V_{OUT} / I_{REF} \quad (8)$$

此处选择了 DAC63204，这是一款具有 I²C 的 4 通道、12 位电压和电流输出 DAC，并将其编程为了电压输出模式，其输出范围设置为介于 1.432V 和 2.108V 之间。结合 12 位电压 DAC 分辨率，当考虑到电压至输入 (V_{2I}) 转换或 R_{V2I} (100k Ω) 时，此输出范围支持大约 1.22mV 或 122 μ A 的最小步长 (或 LSB)。在 36k Ω 电阻器中，此 LSB 转换为 0.44mV 电压分辨率，或大约标称 1.8V 目标电压的 0.025%。为了实现相对于标称电压的完整 $\pm 5\%$ 摆幅，DAC63204 必须具有 3.1 μ A 的拉电流或 3.7 μ A 的灌电流。

流经 R_{REF} 的电流会变为 53.1 μ A 和 46.3 μ A，从而将输出电压分别调节为 1.88V 和 1.7V。

节 7.1.13 和图 7-14 显示了电压裕量调节结果。


图 7-13. 裕量调节范围为 -5% 至 +5%

图 7-14. 裕量调节范围为 +5% 至 -5%

当使用此 LDO 实现电压裕量调节时，存在一个与响应相关的时间常数。此 RC 时间常数是 R_{REF} 和 $C_{NR/SS}$ 并联组合的结果。节 7.1.13 和图 7-14 显示了该 RC 效果。

方程式 9 可以计算该实施方案的时间常数：

$$\tau = R_{REF} \times C_{NR/SS} \quad (9)$$

其中：

- R_{REF} 为 36k Ω
- $C_{NR/SS}$ 为 4.7 μ F
- $\tau = 169$ ms

7.1.14 功率耗散 (P_D)

电路可靠性需要适当考虑器件功率耗散、印刷电路板 (PCB) 上的电路位置以及正确的热平面尺寸。稳压器周围的 PCB 区域必须尽量消除其他会导致热应力增加的发热器件。

对于一阶近似，稳压器中的功率耗散取决于输入到输出电压差和负载条件。方程式 10 可计算 P_D ：

$$P_D = (V_{OUT} - V_{IN}) \times I_{OUT} \quad (10)$$

备注

通过适当选择系统电压轨，可更大限度地降低功率耗散，从而实现更高的效率。通过适当的选择，可以获得最小的输入到输出电压差。器件的低压降有助于在宽输出电压范围内实现出色效率。

封装的主要热传导路径是通过连接到 PCB 的散热焊盘。将散热焊盘焊接到器件下方的铜焊盘区域。此焊盘区域包含一组镀通孔，可将热量传导到任何内部平面区域或底部覆铜平面。

通过器件的功率耗散决定了器件的结温 (T_J)。根据方程式 11，功率耗散和结温通常与 PCB 和器件封装组合的结至环境热阻 ($R_{\theta JA}$) 和环境空气温度 (T_A) 有关。该公式重新排列后可得到输出电流 (如方程式 12 所示)。

$$T_J = T_A + (R_{\theta JA} \times P_D) \quad (11)$$

$$I_{OUT} = (T_J - T_A) / [R_{\theta JA} \times (V_{IN} - V_{OUT})] \quad (12)$$

遗憾的是，此热阻 ($R_{\theta JA}$) 在很大程度上取决于特定 PCB 设计中内置的散热能力，因此会因铜总面积、铜重量和平面位置而异。热性能信息表中记录的 $R_{\theta JA}$ 由 JEDEC 标准 PCB 和铜扩散面积决定，仅用作封装热性能的相对测量。对于精心设计的热布局， $R_{\theta JA}$ 实际上是 RTW 封装结至外壳 (底部) 热阻 ($R_{\theta JCbot}$) 与 PCB 铜产生的热阻的总和。节 7.1.16 重点阐述了使用 TPS7N59EVM-184 的热性能。

7.1.15 估算结温

JEDEC 标准现在建议使用 psi (Ψ) 热指标来估算 LDO 在典型 PCB 板应用电路中的结温。严格来说，此类指标不是热阻参数，但提供了一种估算结温的相对实用方法。已确定这些 psi 指标与覆铜面积明显无关。关键热指标 (Ψ_{JT} 和 Ψ_{JB}) 的使用符合方程式 13 并在电气特性表中给出。

$$\begin{aligned} \Psi_{JT}: T_J &= T_T + \Psi_{JT} \times P_D \\ \Psi_{JB}: T_J &= T_B + \Psi_{JB} \times P_D \end{aligned} \quad (13)$$

其中：

- P_D 是耗散功率，如方程式 10 中所述
- T_T 器件封装顶部中间位置的温度
- T_B 是在距器件封装 1mm 且位于封装边缘中心位置测得的 PCB 表面温度

7.1.16 TPS7N58EVM-184 散热分析

TPS7N59EVM-184 用于开发 TPS7N59 热模型。RTW 封装为 4mm×4mm、24 引脚 WQFN。该 PCB 是具有 2oz 覆铜的 8 层电路板。表 7-5 中列出了 EVM 的层堆叠情况。

表 7-5. TPS7N59EVM-184 PCB 堆叠

层	名称	材料	厚度 (mil)
1	覆盖层	—	—
2	顶部焊锡层	阻焊剂	0.4
3	顶层	铜	1.38
4	电介质 1	PP-006	7.17
5	第 1 层	铜	1.38
6	电介质 2	PP-006	7.17
7	第 2 层	铜	1.38
8	电介质 3	PP-006	7.17
9	第 3 层	铜	1.38
10	电介质 4	FR-4 高 Tg	7.17
11	第 4 层	铜	1.37
12	电介质 5	PP-006	7.17
13	第 5 层	铜	1.38
14	电介质 6	PP-006	7.17
15	第 6 层	覆铜	1.38
16	电介质 7	PP-006	7.17
17	底层	覆铜	1.38
18	底部焊锡层	阻焊剂	0.4
19	底层丝印层	—	—

表 7-6 中显示了 TPS7N59EVM-184 的热结果。图 7-15 和图 7-16 展示了在 25°C 环境温度下通过导通晶体管使用 1W 功率耗散时 PCB 和器件上的热梯度。

表 7-6. TPS7N59EVM-184 热结果

DUT	$R_{\theta JA} (^{\circ}C/W)$	$\psi_{JB} (^{\circ}C/W)$	$\psi_{JT} (^{\circ}C/W)$
TPS7N59EVM-184 (仿真)	15	5.3	0.4
TPS7N59EVM-184 (实测)	14.3		

7.2 典型应用

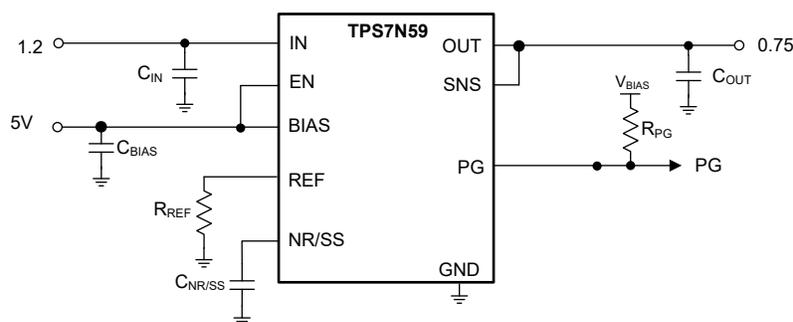


图 7-17. 典型应用原理图

7.2.1 设计要求

表 7-7 中列出了此设计示例的所需应用参数。

表 7-7. 设计参数

参数	设计要求
输入电压	1.2V, $\pm 3\%$, 由直流/直流转换器提供
偏置电压	5V 或 12V
输出电压	0.75V, $\pm 1\%$
输出电流	10A (最大值)、8A (最小值)
噪声	小于 $5 \mu V_{RMS}$
最大负载瞬态	-10mV, 100mA 至 10A
启动环境	启动时间 < 15ms

7.2.2 详细设计过程

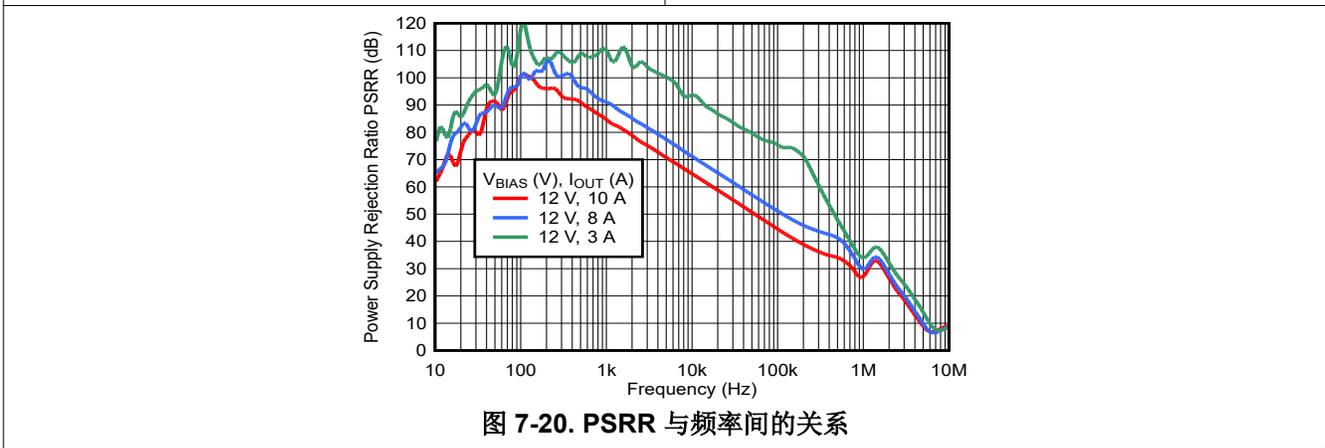
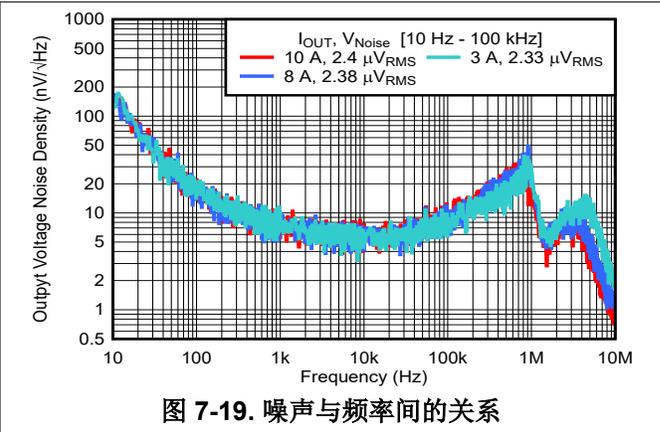
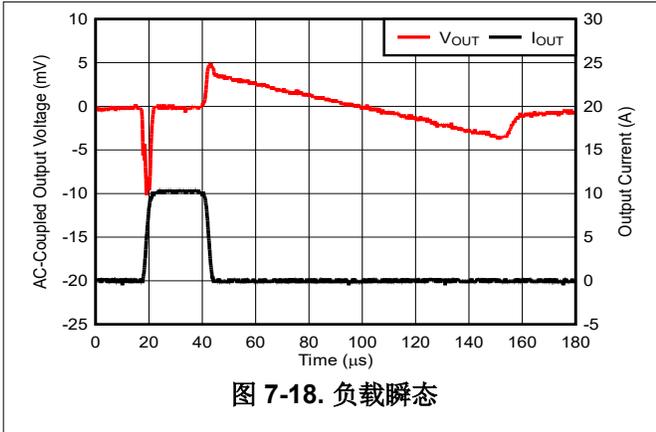
在此设计示例中，器件由直流/直流转换器供电。负载需要小于 $5 \mu V_{RMS}$ 的 0.75V 纯净电源轨。此设计使用典型的 $10 \mu F$ 和 $22 \mu F$ 输入和输出电容器，以及 $4.7 \mu F$ NR/SS 电容器，可在快速启动时间和出色噪声控制以及 PSRR 性能和负载瞬态之间实现良好平衡。

输出电压通过 $15k\Omega$ 薄膜电阻值进行设置，而该阻值则是根据 [输出电压设置和调节](#) 部分中的说明进行计算。PG 引脚未使用，因此将接地以帮助散热。使能电压由外部 I/O 提供。图 7-19 表明器件满足所有设计噪声要求。图 7-20 展示了足够的 PSRR 性能。

如图 7-18 所示，负载瞬态足以满足电源要求。

图 7-17 展示了这些元件的实施方式。

7.2.3 应用曲线



7.3 电源相关建议

该器件设计为可在 0.7V 至 6.0V 的输入电源电压和最高 12.6V 的 BIAS 轨电压范围内运行。确保输入电压范围为器件提供了足够的运行余量，以实现稳定的输出。该输入电源必须经过良好调节并具有低阻抗。如果输入电源存在噪声，请使用具有低 ESR 的额外输入电容器并增加运行余量，以实现所需的输出噪声、PSRR 和负载瞬态性能。

IN、BIAS 和 EN 之间没有时序要求。

7.4 布局

7.4.1 布局指南

为了获得理想的总体性能，请将所有电路元件放置在电路板的同一侧，并尽可能靠近各自的 LDO 引脚连接。将输入和输出电容器的接地回路连接以及 LDO 接地引脚的接地回路连接放置得尽可能彼此靠近，并通过较宽的元件侧铜表面进行连接。为避免系统性能出现负面影响，请勿对输入和输出电容器使用过孔和长布线。如图 7-21 所示的接地和布局方案可最大限度地减轻电感寄生效应，从而减少负载电流瞬变，尽可能降低噪声并提高电路稳定性。

由于宽带宽和高输出电流能力，输出端存在的电感会对负载瞬态响应产生负面影响。为了获得出色性能，应尽可能减小输出端和负载之间的布线电感。一个低 ESL 电容器与低布线电感相结合，可以限制输出端的总电感并优化高频 PSRR。

为了提高性能，请使用嵌入在 PCB 中或置于 PCB 底面与元件相对位置的接地基准平面。该参考平面用于确保输出电压的精度、屏蔽噪声，当连接到散热焊盘时，其作用类似于散热平面，可扩散（或吸收）LDO 器件的热量。在大多数应用中，此接地平面是满足散热要求的必要条件。

7.4.2 布局示例

ADVANCE INFORMATION

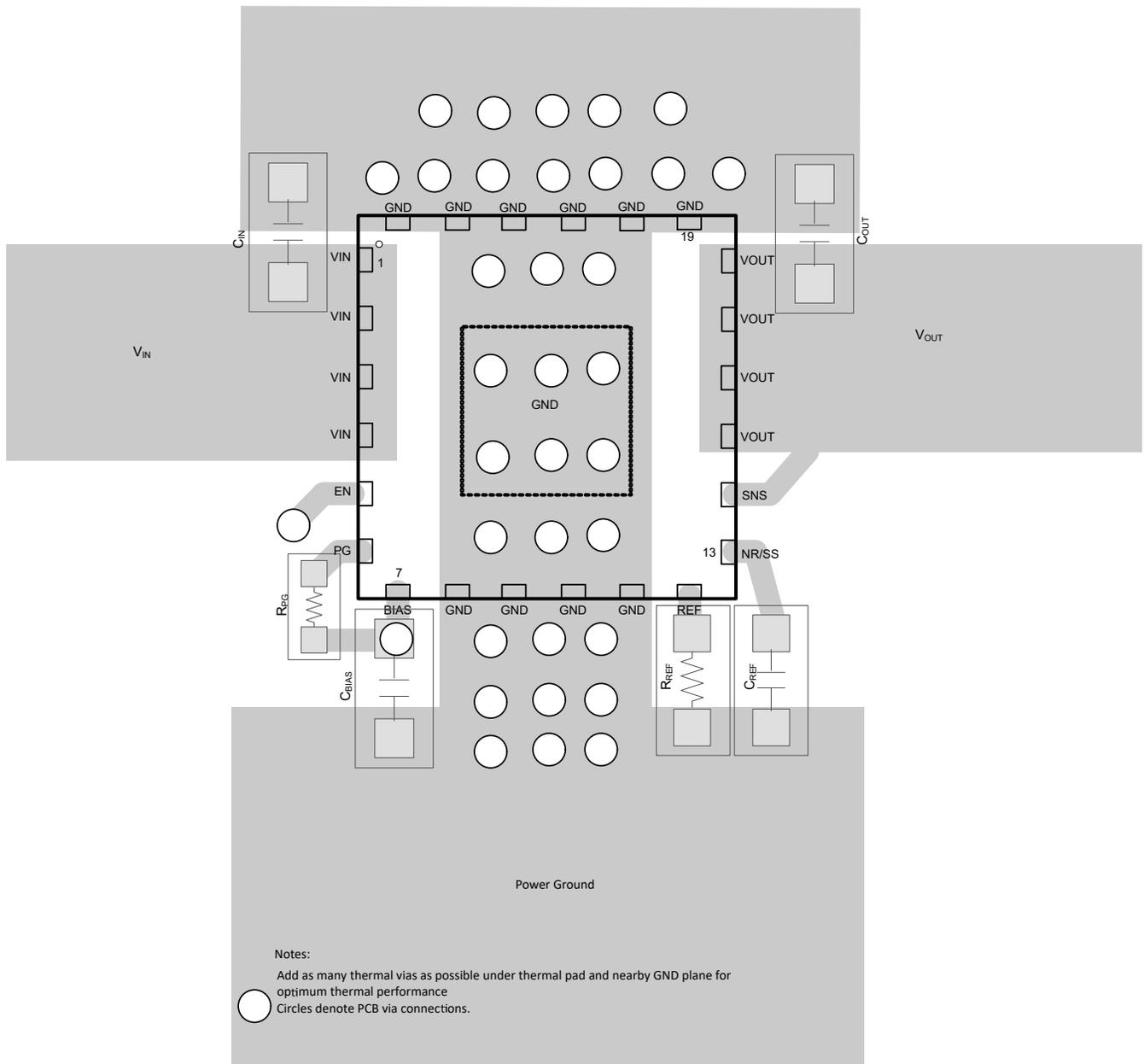


图 7-21. 建议布局

8 器件和文档支持

8.1 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.2 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.3 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.5 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

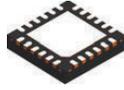
9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (February 2026) to Revision A (March 2026)	Page
• 添加了特性.....	1
• 将“待定”更新为 30dB.....	1
• 删除了 NC 引脚说明将引脚 13 从 NC 更新为 NR/SS.....	3

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。



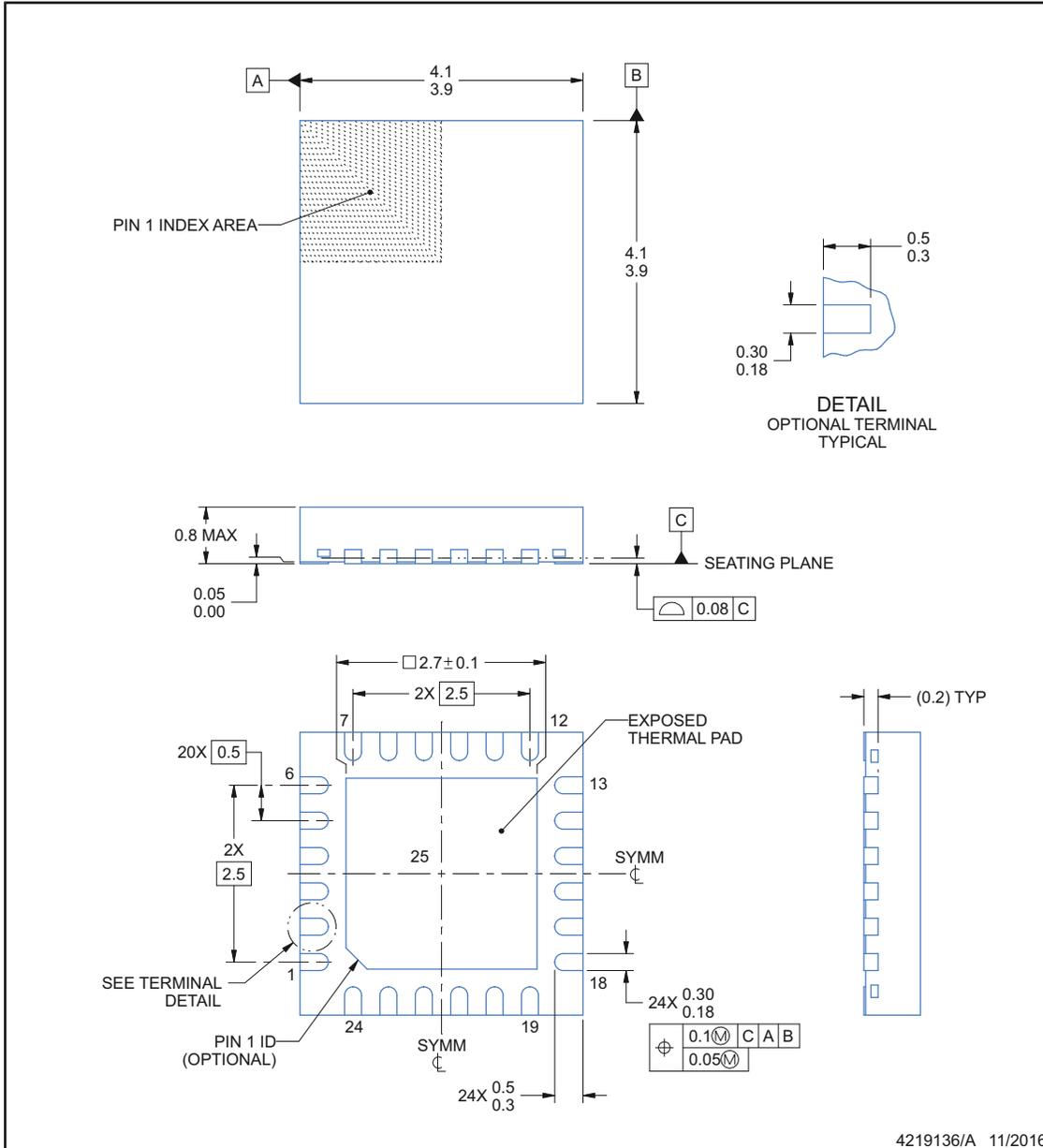
PACKAGE OUTLINE

RTW0024H

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

ADVANCE INFORMATION



4219136/A 11/2016

NOTES:

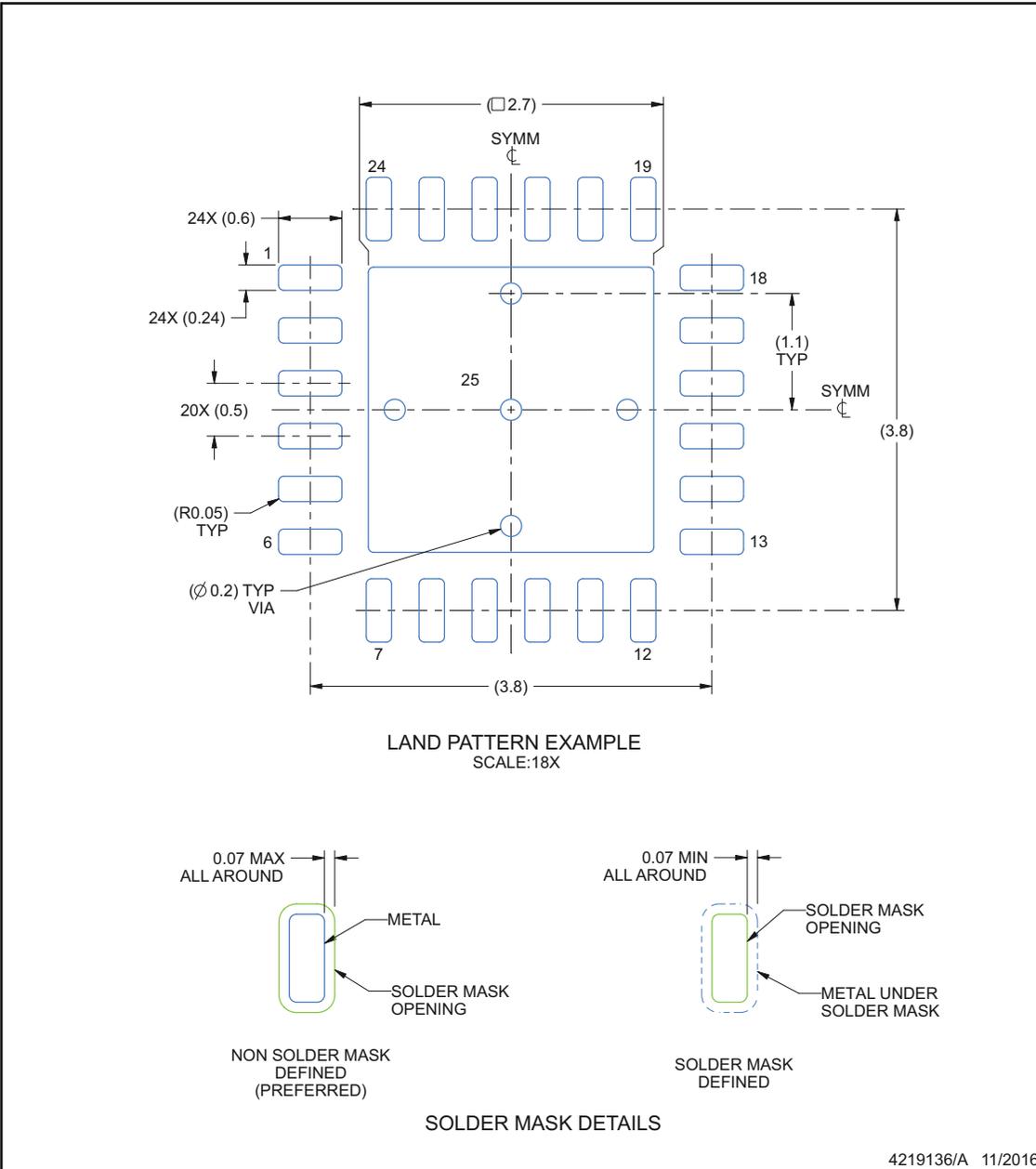
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.
4. Reference JEDEC registration MO-220.

EXAMPLE BOARD LAYOUT

RTW0024H

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

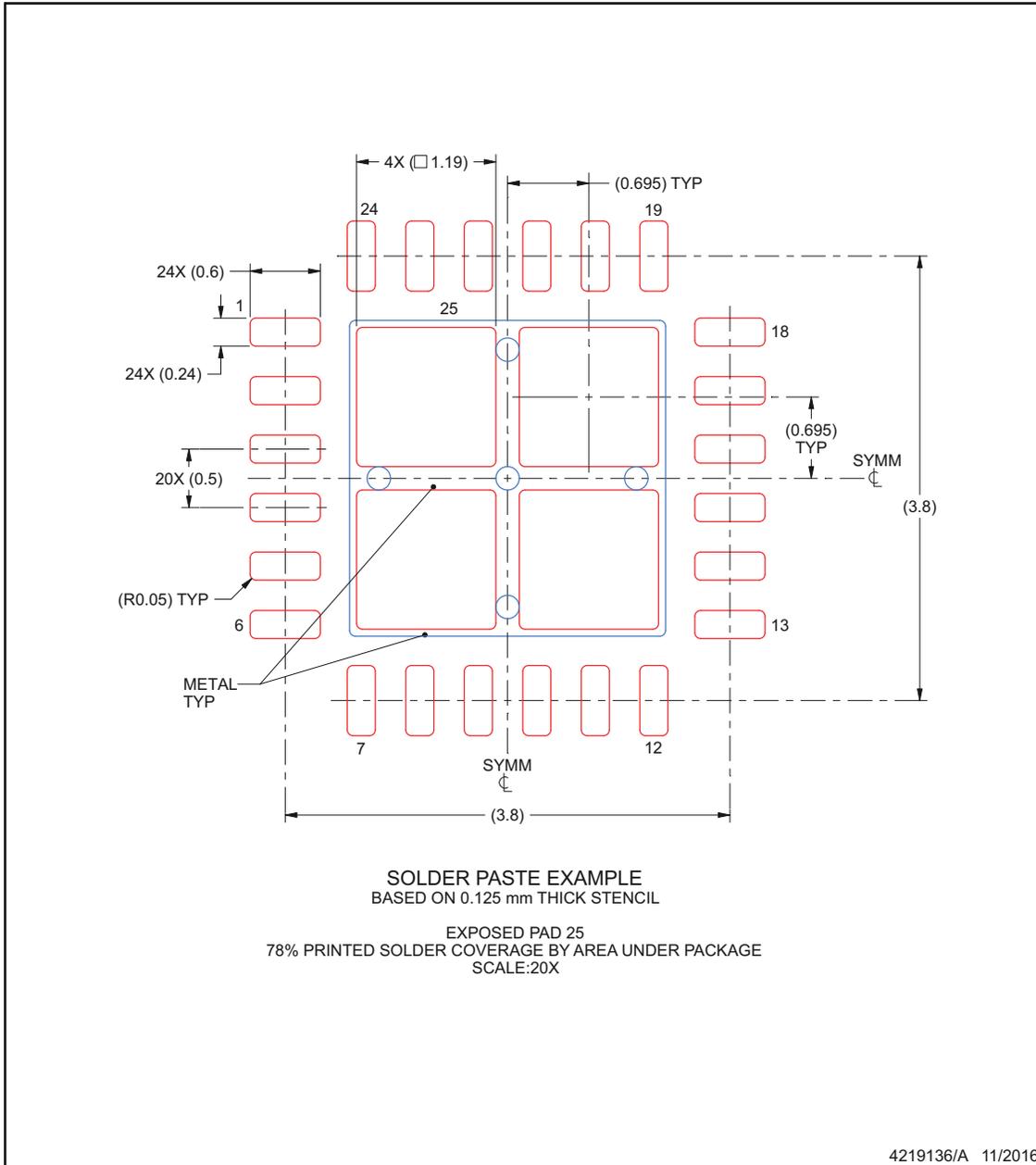
EXAMPLE STENCIL DESIGN

RTW0024H

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

ADVANCE INFORMATION



NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTPS7N5901RTWR	Active	Preproduction	WQFN (RTW) 24	1 LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月