

TPS7A14C 1A、低 V_{IN} 、低 V_{OUT} 、快速趋稳、低压降稳压器

1 特性

- 超低输入电压范围：0.7V 至 2.2V
- 高效率：
 - 1A 时的压降电压为：80mV (最大值)
- 出色的负载瞬态响应
- 在负载、线路和温度范围内的精度为：
 - +10mV (最大值) 至 -23mV (最小值)
- 高 PSRR：
 - 在 1kHz 下为 60dB ($V_{OUT} = 0.8V$, $I_{OUT} = 500mA$)
- 可提供固定输出电压：
 - 0.5V 至 2.0V (为 25mV)
- V_{BIAS} 范围：2.2V 至 5.5V
- 封装：
 - 6 引脚 WCSP：1.16mm × 0.71mm
- 有源输出放电

2 应用

- 摄像头模块
- 无线耳机和耳塞
- 智能手表和健身追踪器
- 智能手机和平板电脑
- 便携式医疗设备
- 固态硬盘 (SSD)

3 说明

TPS7A14C 是一款小型超低压差稳压器 (LDO)，具有出色的瞬态响应。该器件提供 1A 电流，并具有出色的交流性能 (负载和线路瞬态响应)。输入电压范围为 0.7V 至 2.2V，输出范围为 0.5V 至 2.0V，且在负载、线路和温度范围内具有卓越的精度。

主电源路径通过 IN 引脚，连接至电压至少高于输出电压 50mV 的电源。所有电气特性均针对输入电压 (比输出电压高 100mV) 进行规定，因此可实现高效率。该稳压器使用一个为 LDO 内部电路供电的外部较高 V_{BIAS} 电压轨，支持很低的输入电压。

TPS7A14C 配备了一个有源下拉电路，用于在输出处于禁用状态时使其快速放电，并提供已知的启动状态。

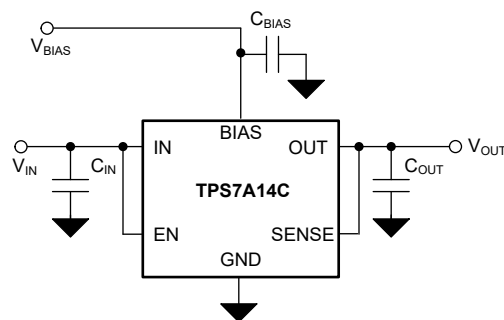
TPS7A14C 采用超小型 0.71mm × 1.16mm、6 凸点 WCSP 封装。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TPS7A14C	YBK (WCSP, 6)	1.16mm × 0.71mm

(1) 如需更多信息，请参阅 [机械、封装和可订购信息](#)。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



典型应用电路



内容

1 特性	1	7 应用和实施	16
2 应用	1	7.1 应用信息.....	16
3 说明	1	7.2 典型应用.....	19
4 引脚配置和功能	3	7.3 电源相关建议.....	20
5 规格	4	7.4 布局.....	21
5.1 绝对最大额定值.....	4	8 器件和文档支持	22
5.2 ESD 等级.....	4	8.1 器件支持.....	22
5.3 建议运行条件.....	4	8.2 文档支持.....	22
5.4 热性能信息.....	5	8.3 接收文档更新通知.....	22
5.5 电气特性.....	5	8.4 支持资源.....	22
5.6 典型特性.....	7	8.5 商标.....	22
6 详细说明	12	8.6 静电放电警告.....	22
6.1 概述.....	12	8.7 术语表.....	22
6.2 功能方框图.....	12	9 修订历史记录	23
6.3 特性说明.....	13	10 机械、封装和可订购信息	23
6.4 器件功能模式.....	14	10.1 机械数据.....	24

4 引脚配置和功能

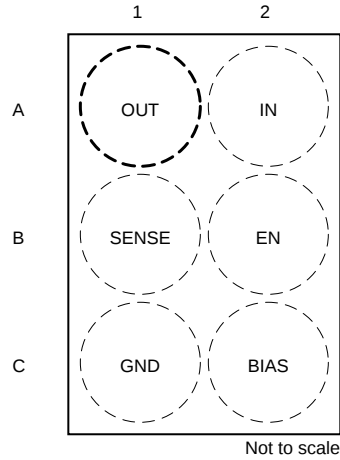


图 4-1. YBK 封装，6 引脚 WCSP (俯视图)

表 4-1. 引脚功能：YBK 封装

引脚		类型	说明
编号	名称		
A1	OUT	输出	稳压输出引脚。将输出电容器尽可能靠近 OUT 放置。
A2	IN	输入	输入引脚。将输入电容器尽可能靠近 IN 放置。
B1	SENSE	输入	SENSE 输入。该引脚是稳压器的反馈输入端，用于建立 SENSE 连接。将 SENSE 连接到负载有助于消除由 OUT 和负载之间的走线电阻导致的电压误差。
B2	EN	输入	使能引脚。将该引脚驱动为逻辑高电平会启用 LDO。将该引脚驱动为逻辑低电平会禁用 LDO。如果不需要启用功能，则将 EN 引脚连接至 IN 或 BIAS。
C1	GND	—	接地引脚。将该引脚连接到系统接地。
C2	BIAS	输入	BIAS 引脚。该引脚支持在低输入电压、低输出电压 (LILO) 条件下运行。为获得出色的性能，请在 BIAS 与接地端之间连接一个陶瓷电容器。将偏置电容器尽可能靠近 BIAS 引脚放置。

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（另有说明者除外）。⁽¹⁾

		最小值	最大值	单位
电压	输入, V_{IN}	-0.3	2.4	V
	使能, V_{EN}	-0.3	6.0	
	偏置, V_{BIAS}	-0.3	6.0	
	传感, V_{SENSE}	-0.3	$V_{IN} + 0.3$ ⁽²⁾	
	输出, V_{OUT}	-0.3	$V_{IN} + 0.3$ ⁽²⁾	
电流	最大输出	受内部限制		A
温度	工作结温, T_J	-40	150	°C
	贮存温度, T_{stg}	-65	150	°C

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果在建议运行条件之外但在绝对最大额定值范围内短暂运行，器件可能不会受到损坏，但可能无法完全正常工作。以这种方式运行器件可能会影响器件的可靠性、功能和性能，并缩短器件寿命。
- (2) 绝对最大额定值为 2.4V 或 ($V_{IN} + 0.3V$)，以较小者为准。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±3000	V
		充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	±750	

- (1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在工作结温范围内测得（另有说明者除外）。⁽¹⁾

		最小值	标称值	最大值	单位
V_{IN}	输入电压	0.7		2.2	V
V_{BIAS}	偏置电压	2.2 或 $V_{OUT(NOM)} + 1.4$ 中的较大值		5.5	V
V_{OUT}	输出电压	0.5		2.0	V
I_{OUT}	峰值输出电流	0		1	A
C_{IN}	输入电容 ⁽²⁾	1	4.7		μF
C_{BIAS}	偏置电容 ⁽³⁾	0.1	0.47		μF
C_{OUT}	输出电容 ⁽⁴⁾	4.7		10	μF
ESL	OUT 和 C_{OUT} 之间的走线电感			1.5	nH
ESR	输出电容器 ESR + 走线 ESR (新芯片)	11		50	mΩ
T_J	工作结温	-40		125	°C

- (1) 所有电压均以 GND 为基准。
- (2) 需要一个输入电容器来抵消源电阻和电感的影响，在某些情况下，这可能会导致系统级别的不稳定症状（例如响铃或振荡），尤其是在存在负载瞬态的情况下。根据源阻抗和系统要求，有时需要更大的输入电容器。
- (3) 不需要 BIAS 输入电容器即可实现 LDO 稳定性。但是，建议使用降额值至少为 0.1μF 的电容器，以保持瞬态、PSRR 和噪声性能。
- (4) 该值假设总 ESR（输出电容器 ESR 与 OUT 和输出电容器之间的走线电阻之和）等于或大于 11mΩ。更大的 ESR（不超过此表中指定的最大 ESR 值）需要的输出电容更小。为实现最佳瞬态响应与稳定性能，总 ESR（单位：mΩ）与有效输出电容（单位：μF）的乘积需至少达到 51。

5.4 热性能信息

热指标 ⁽¹⁾		TPS7A14C	
		DSBGA	
		6 引脚	
			单位
R _{θJA}	结至环境热阻	136.7	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	1.1	°C/W
R _{θJB}	结至电路板热阻	38.1	°C/W
ψ _{JT}	结至顶部特征参数	0.5	°C/W
ψ _{JB}	结至电路板特征参数	38.1	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻	不适用	°C/W

(1) 有关新旧热指标的更多信息, 请参阅 [半导体和 IC 封装热指标](#) 应用手册。

5.5 电气特性

指定条件: T_J = -40°C 至 +125°C, V_{IN} = V_{OUT(NOM)} + 0.1V, V_{BIAS} = 大于 2.2V 或 V_{OUT(NOM)} + 1.4V, I_{OUT} = 1mA, V_{EN} = 1.0V, C_{IN} = 1 μF, C_{OUT} = 4.7 μF, C_{BIAS} = 0.1 μF (另有说明者除外); 所有典型值均在 T_J = 25°C 下测得

参数		测试条件		最小值	典型值	最大值	单位
V _{OUT}	在温度范围内的精度	2.2V 或 (V _{OUT(NOM)} + 1.4V) 中的较大者 ≤ V _{BIAS} ≤ 5.5V, 1mA ≤ I _{OUT} ≤ 1A	T _J = -40°C 至 +125°C	-23		10	mV
V _{OUT}	在温度范围内的精度	2.2V 或 (V _{OUT(NOM)} + 1.4V) 中的较大者 ≤ V _{BIAS} ≤ 5.5V, 1mA ≤ I _{OUT} ≤ 1A	T _J = -40°C 至 +85°C	-19		8	mV
ΔV _{OUT} /ΔV _{IN}	V _{IN} 线路调整	V _{OUT(NOM)} + 0.1V ≤ V _{IN} ≤ 2.2V		-2.5		2.5	mV
ΔV _{OUT} /ΔV _{BIAS}	V _{BIAS} 线路调整	V _{OUT(NOM)} + 1.4V ≤ V _{BIAS} ≤ 5.5V		-2.5	±0.15	2.5	mV
ΔV _{OUT} /ΔI _{OUT}	负载调整	1mA ≤ I _{OUT} ≤ 1A			13		mV
I _{Q(BIAS)}	偏置引脚电流	I _{OUT} = 0mA				68	μA
		I _{OUT} = 0mA, T _J = -40°C 至 +85°C			40	57	
		I _{OUT} = 1A				17	mA
		I _{OUT} = 1A, T _J = -40°C 至 +85°C			10	15	
I _{Q(IN)}	输入引脚电流 ⁽¹⁾	I _{OUT} = 0mA				118	μA
		I _{OUT} = 0mA, T _J = -40°C 至 +85°C				80	
I _{GND}	接地引脚电流	I _{OUT} = 1A				800	μA
		I _{OUT} = 1A, T _J = -40°C 至 +85°C			520	750	
I _{SHDN(BIAS)}	V _{BIAS} 关断电流	V _{IN} = 2.2V, V _{BIAS} = 5.5V, V _{EN} ≤ 0.2V			0.36	9	μA
		V _{IN} = 2.2V, V _{BIAS} = 5.5V, V _{EN} ≤ 0.2V, T _J = -40°C 至 +85°C			0.36	3.8	
I _{SHDN(IN)}	V _{IN} 关断电流	V _{IN} = 1.8V, V _{BIAS} = 5.5V, V _{EN} ≤ 0.2V			0.09	32	μA
		V _{IN} = 1.8V, V _{BIAS} = 5.5V, V _{EN} ≤ 0.2V, T _J = -40°C 至 +85°C			0.09	9.2	
I _{CL}	输出电流限制	V _{OUT} = 0.95 × V _{OUT(NOM)}		1.035	1.5	2.45	A
I _{SC}	短路电流限值	V _{OUT} = 0V			490		mA
V _{DO(IN)}	V _{IN} 压降电压 ⁽²⁾	V _{IN} = 0.95 × V _{OUT(NOM)} , I _{OUT} = 1A	T _J = -40°C 至 +125°C		30	80	mV
V _{DO(BIAS)}	V _{BIAS} 压降电压 ⁽²⁾	V _{BIAS} = 2.2V 或 (V _{OUT(NOM)} + 0.6V) 中的较大者。I _{OUT} = 1A			0.76	1.1	V

5.5 电气特性 (续)

指定条件: $T_J = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$, $V_{IN} = V_{OUT(NOM)} + 0.1\text{V}$, $V_{BIAS} = \text{大于 } 2.2\text{V}$ 或 $V_{OUT(NOM)} + 1.4\text{V}$, $I_{OUT} = 1\text{mA}$, $V_{EN} = 1.0\text{V}$, $C_{IN} = 1\ \mu\text{F}$, $C_{OUT} = 4.7\ \mu\text{F}$, $C_{BIAS} = 0.1\ \mu\text{F}$ (另有说明者除外); 所有典型值均在 $T_J = 25^{\circ}\text{C}$ 下测得

参数		测试条件		最小值	典型值	最大值	单位
V_{IN} PSRR	V_{IN} 电源抑制比	$f = 100\text{Hz}$, $V_{IN} = 1.05\text{V}$, $V_{OUT} = 0.8\text{V}$, $C_{OUT} = 9\ \mu\text{F}$	$I_{OUT} = 3\text{mA}$		90		dB
			$I_{OUT} = 500\text{mA}$		68		
			$I_{OUT} = 1\text{A}$		64		
		$f = 1\text{kHz}$, $V_{IN} = 1.05\text{V}$, $V_{OUT} = 0.8\text{V}$, $C_{OUT} = 9\ \mu\text{F}$	$I_{OUT} = 3\text{mA}$		90		
			$I_{OUT} = 500\text{mA}$		60		
			$I_{OUT} = 1\text{A}$		57		
		$f = 10\text{kHz}$, $V_{IN} = 1.05\text{V}$, $V_{OUT} = 0.8\text{V}$, $C_{OUT} = 9\ \mu\text{F}$	$I_{OUT} = 3\text{mA}$		87		
			$I_{OUT} = 500\text{mA}$		60		
			$I_{OUT} = 1\text{A}$		57		
		$f = 100\text{kHz}$, $V_{IN} = 1.05\text{V}$, $V_{OUT} = 0.8\text{V}$, $C_{OUT} = 9\ \mu\text{F}$	$I_{OUT} = 3\text{mA}$		80		
			$I_{OUT} = 500\text{mA}$		62		
			$I_{OUT} = 1\text{A}$		58		
$f = 1\text{MHz}$, $V_{IN} = 1.05\text{V}$, $V_{OUT} = 0.8\text{V}$, $C_{OUT} = 9\ \mu\text{F}$	$I_{OUT} = 3\text{mA}$		75				
	$I_{OUT} = 500\text{mA}$		57				
	$I_{OUT} = 1\text{A}$		57				
V_{BIAS} PSRR	V_{BIAS} 电源抑制比	$f = 1\text{kHz}$			65		dB
		$f = 100\text{kHz}$	$I_{OUT} = 500\text{mA}$		50		
		$f = 1\text{MHz}$			25		
V_n	输出电压噪声	带宽 = 10Hz 至 100kHz, $V_{OUT} = 0.8\text{V}$, $I_{OUT} = 3\text{mA}$			6		μV_{RMS}
		带宽 = 10Hz 至 100kHz, $V_{OUT} = 0.8\text{V}$, $I_{OUT} = 500\text{mA}$			5.9		
		带宽 = 10Hz 至 100kHz, $V_{OUT} = 0.8\text{V}$, $I_{OUT} = 1\text{A}$			5.9		
$V_{UVLO(BIAS)}$	偏置电源 UVLO	V_{BIAS} 上升		1.15	1.42	1.7	V
		V_{BIAS} 下降		1.0	1.3	1.63	
$V_{UVLO_HYST(BIAS)}$	偏置电源 UVLO 迟滞	V_{BIAS} 迟滞			45		mV
$V_{UVLO(IN)}$	输入电源 UVLO	V_{IN} 上升		584	603	623	mV
		V_{IN} 下降		530	552	566	
$V_{UVLO_HYST(IN)}$	输入电源磁滞	V_{IN} 迟滞			52		mV
t_{STR}	启动时间 ⁽³⁾				260		μs
$V_{EN(HI)}$	EN 引脚逻辑高电平电压 ⁽⁴⁾			0.6		6	V
$V_{EN(LOW)}$	EN 引脚逻辑低电平电压 ⁽⁴⁾			0		0.25	V
I_{EN}	EN 引脚电流	EN = 5.5V		-25	10	25	nA
		EN = 5.5V, $T_J = -40^{\circ}\text{C}$ 至 $+85^{\circ}\text{C}$		-20	10	20	
$R_{PULLDOWN}$	下拉电阻器	$V_{IN} = 0.9\text{V}$, $V_{OUT(nom)} = 0.8\text{V}$, $V_{BIAS} = 3.3\text{V}$, $V_{EN} = 0\text{V}$, 仅限 P 版本			36		Ω
T_{SD}	热关断温度	关断, 温度上升			165		$^{\circ}\text{C}$
		复位, 温度下降			140		

- (1) 这是从 V_{IN} 流向 GND 的电流。
- (2) 未测量 $V_{OUT} < 0.6\text{V}$ 时的压降。 V_{BIAS} 压降仅适用于 V_{BIAS} 为 2.2V 或更高时。
- (3) 启动时间 = 从 EN 置为有效到 $0.95 \times V_{OUT(NOM)}$ 的时间。
- (4) 最小到最大范围内的输入电压视为正确的逻辑电平。

5.6 典型特性

条件为：工作温度 $T_J = 25^\circ\text{C}$ ， $V_{\text{OUT(NOM)}} = 0.8\text{V}$ ， $V_{\text{IN}} = V_{\text{OUT(NOM)}} + 0.1\text{V}$ ， $V_{\text{BIAS}} = V_{\text{OUT(NOM)}} + 1.4\text{V}$ ， $I_{\text{OUT}} = 1\text{mA}$ ， $V_{\text{EN}} = V_{\text{IN}}$ ， $C_{\text{IN}} = 4.7\mu\text{F}$ ， $C_{\text{OUT}} = 4.7\mu\text{F}$ 且 $C_{\text{BIAS}} = 0.47\mu\text{F}$ （另有说明者除外）

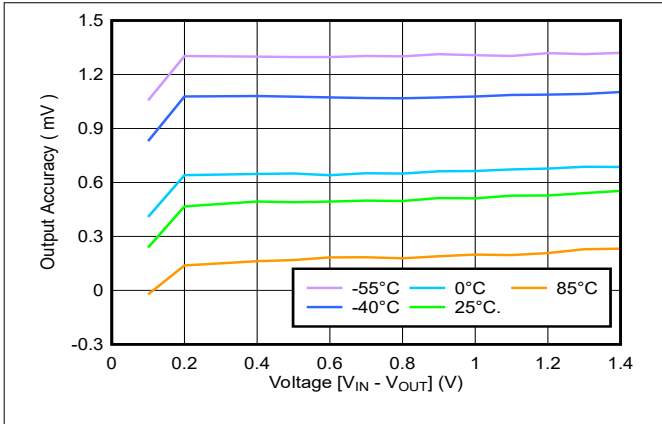


图 5-1. 输出电压精度与 V_{IN} 间的关系

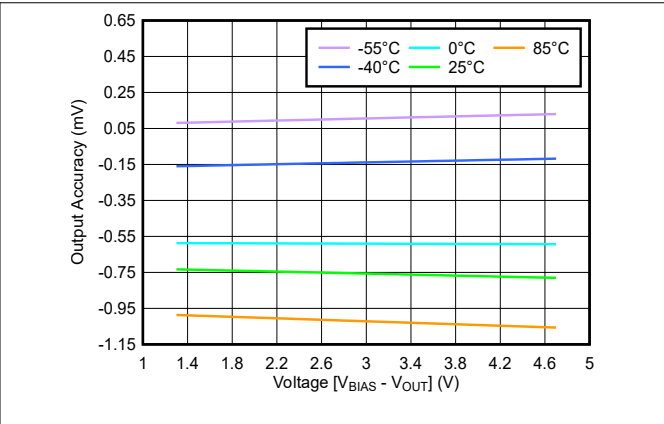


图 5-2. 输出电压精度与 V_{BIAS} 间的关系

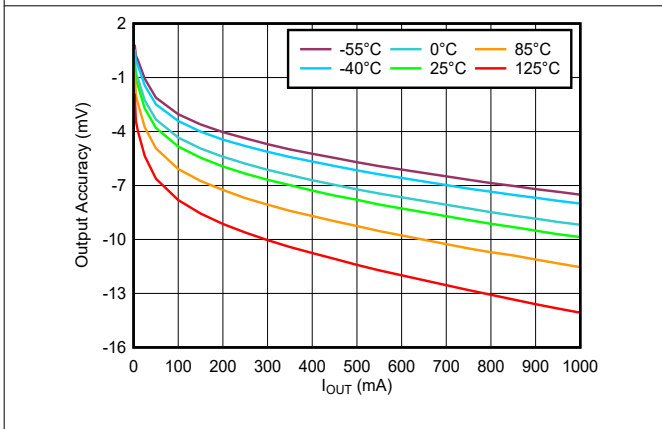


图 5-3. 输出电压精度与 I_{OUT} 间的关系

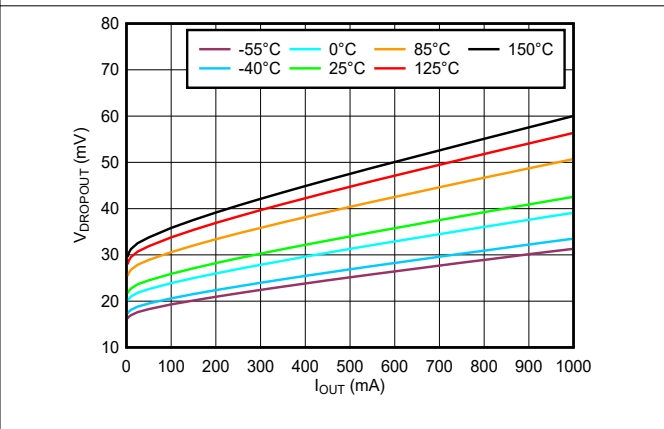


图 5-4. V_{IN} 压降电压与 I_{OUT} 间的关系

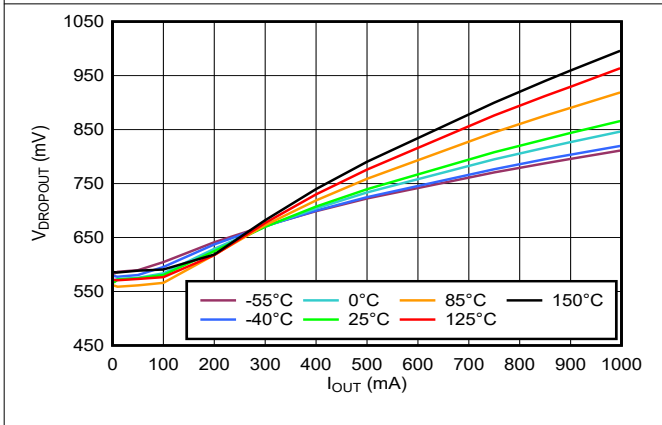


图 5-5. V_{BIAS} 压降电压与 I_{OUT} 间的关系

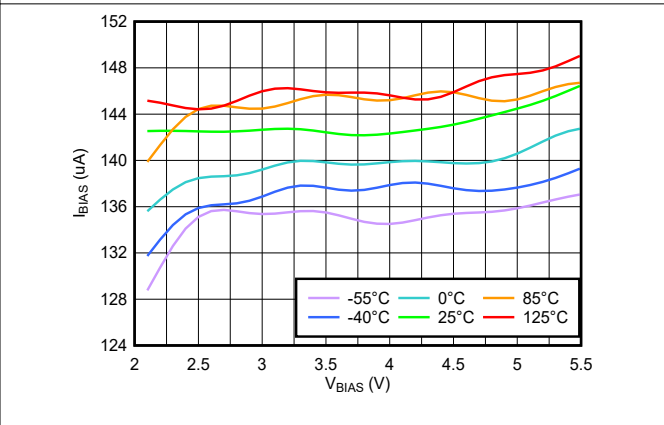


图 5-6. V_{BIAS} 输入电流与 V_{BIAS} 间的关系

5.6 典型特性 (续)

条件为：工作温度 $T_J = 25^\circ\text{C}$ ， $V_{\text{OUT(NOM)}} = 0.8\text{V}$ ， $V_{\text{IN}} = V_{\text{OUT(NOM)}} + 0.1\text{V}$ ， $V_{\text{BIAS}} = V_{\text{OUT(NOM)}} + 1.4\text{V}$ ， $I_{\text{OUT}} = 1\text{mA}$ ， $V_{\text{EN}} = V_{\text{IN}}$ ， $C_{\text{IN}} = 4.7\mu\text{F}$ ， $C_{\text{OUT}} = 4.7\mu\text{F}$ 且 $C_{\text{BIAS}} = 0.47\mu\text{F}$ (另有说明者除外)

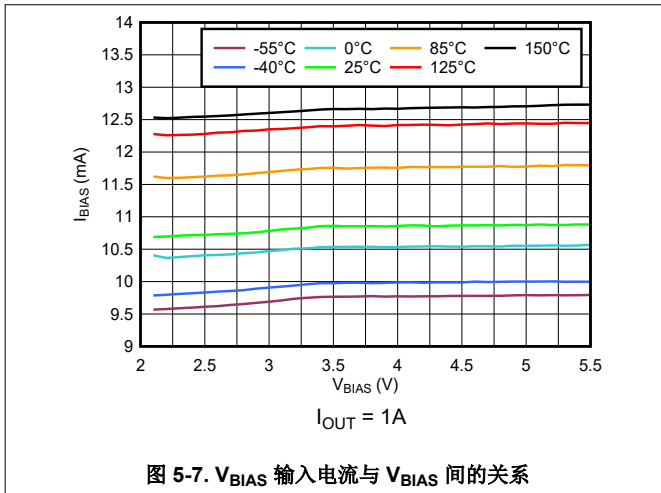


图 5-7. V_{BIAS} 输入电流与 V_{BIAS} 间的关系

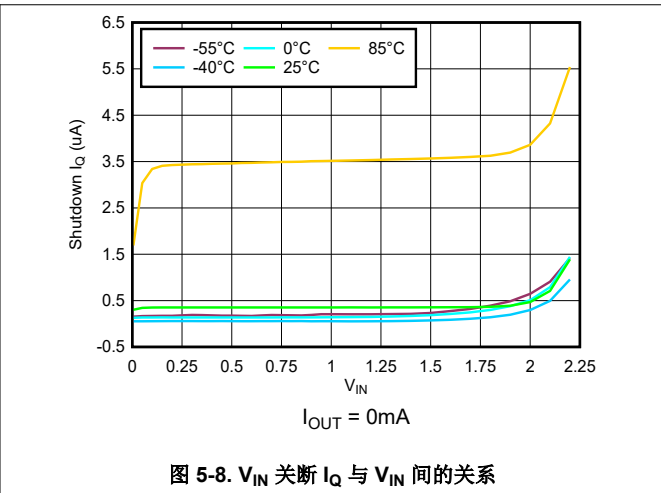


图 5-8. V_{IN} 关断 I_Q 与 V_{IN} 间的关系

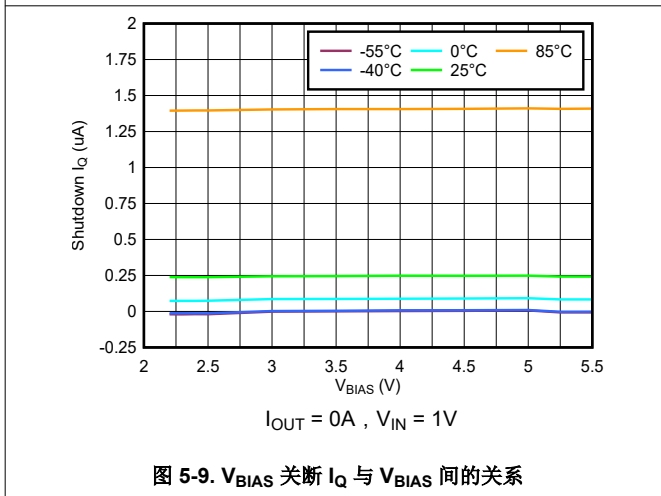


图 5-9. V_{BIAS} 关断 I_Q 与 V_{BIAS} 间的关系

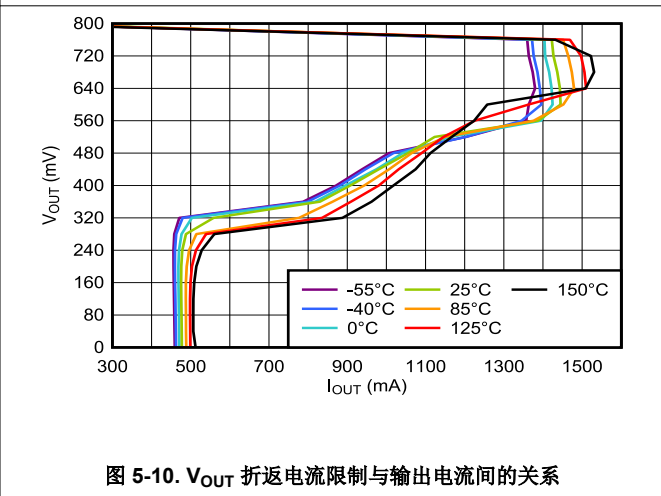


图 5-10. V_{OUT} 折返电流限制与输出电流间的关系

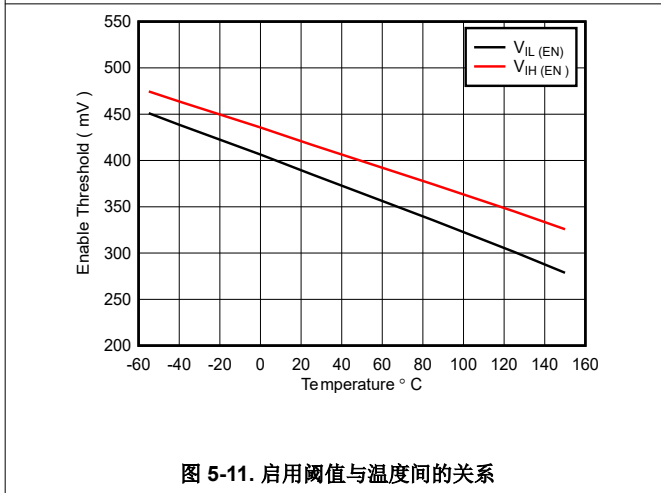


图 5-11. 启用阈值与温度间的关系

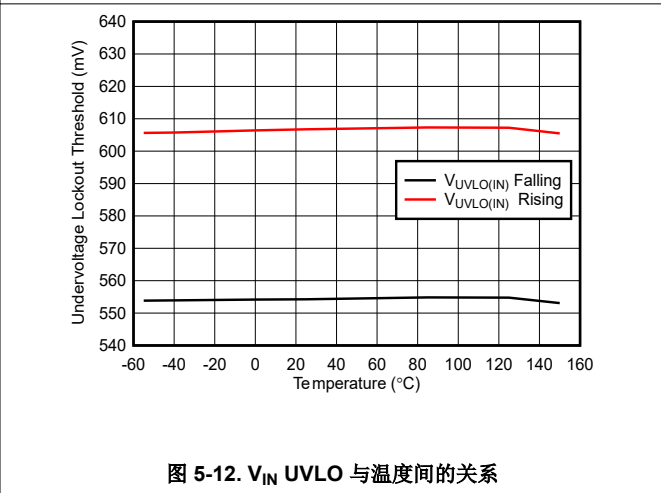


图 5-12. V_{IN} UVLO 与温度间的关系

5.6 典型特性 (续)

条件为：工作温度 $T_J = 25^\circ\text{C}$ ， $V_{\text{OUT(NOM)}} = 0.8\text{V}$ ， $V_{\text{IN}} = V_{\text{OUT(NOM)}} + 0.1\text{V}$ ， $V_{\text{BIAS}} = V_{\text{OUT(NOM)}} + 1.4\text{V}$ ， $I_{\text{OUT}} = 1\text{mA}$ ， $V_{\text{EN}} = V_{\text{IN}}$ ， $C_{\text{IN}} = 4.7\mu\text{F}$ ， $C_{\text{OUT}} = 4.7\mu\text{F}$ 且 $C_{\text{BIAS}} = 0.47\mu\text{F}$ (另有说明者除外)

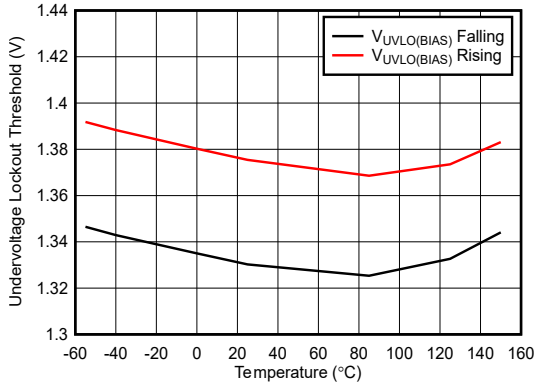


图 5-13. V_{BIAS} UVLO 与温度间的关系

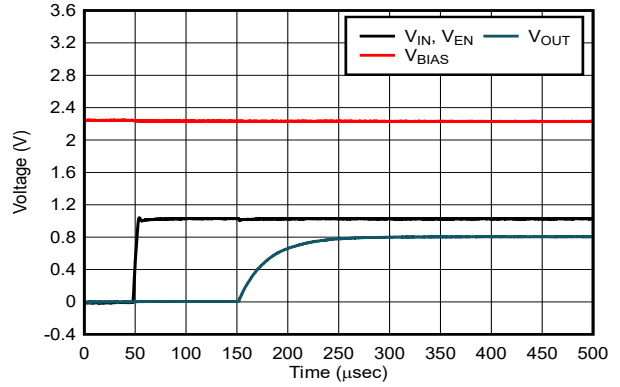


图 5-14. 在先施加 V_{BIAS} 后施加 V_{IN} 的情况下启动

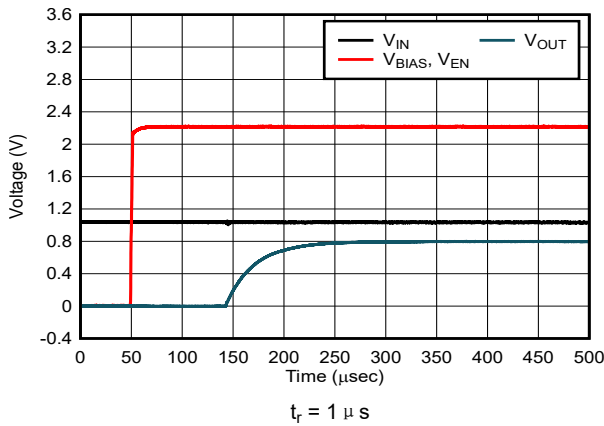


图 5-15. 在先施加 V_{IN} 后施加 V_{BIAS} 和 V_{EN} 的情况下启动

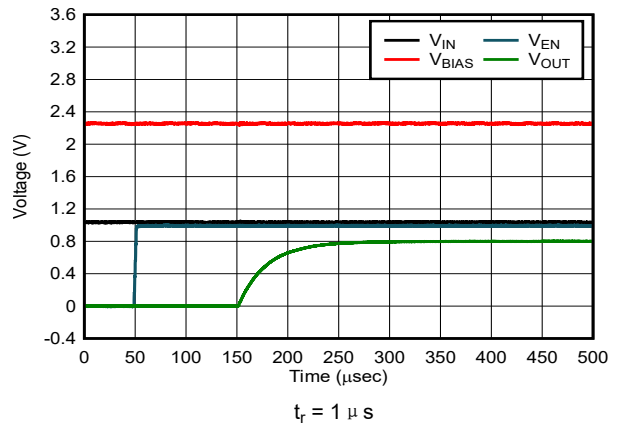


图 5-16. 在先施加 V_{IN} 和 V_{BIAS} 后施加 V_{EN} 的情况下启动

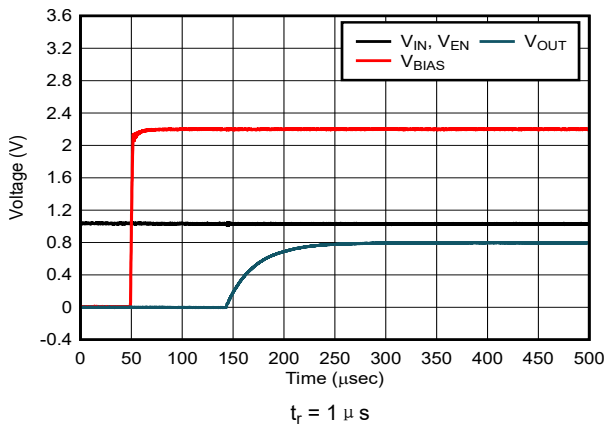


图 5-17. 在先施加 V_{IN} 后和 V_{EN} 后施加 V_{BIAS} 的情况下启动

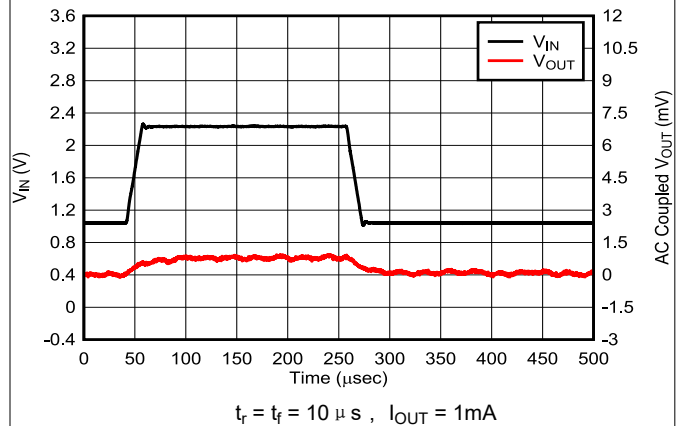


图 5-18. 从 1V 至 2.2V 的线路瞬态

5.6 典型特性 (续)

条件为：工作温度 $T_J = 25^\circ\text{C}$ ， $V_{OUT(NOM)} = 0.8\text{V}$ ， $V_{IN} = V_{OUT(NOM)} + 0.1\text{V}$ ， $V_{BIAS} = V_{OUT(NOM)} + 1.4\text{V}$ ， $I_{OUT} = 1\text{mA}$ ， $V_{EN} = V_{IN}$ ， $C_{IN} = 4.7\mu\text{F}$ ， $C_{OUT} = 4.7\mu\text{F}$ 且 $C_{BIAS} = 0.47\mu\text{F}$ (另有说明者除外)

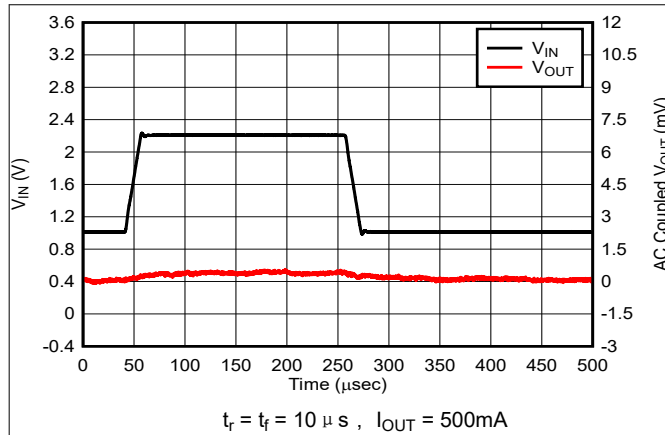


图 5-19. 从 1V 至 2.2V 的线路瞬态

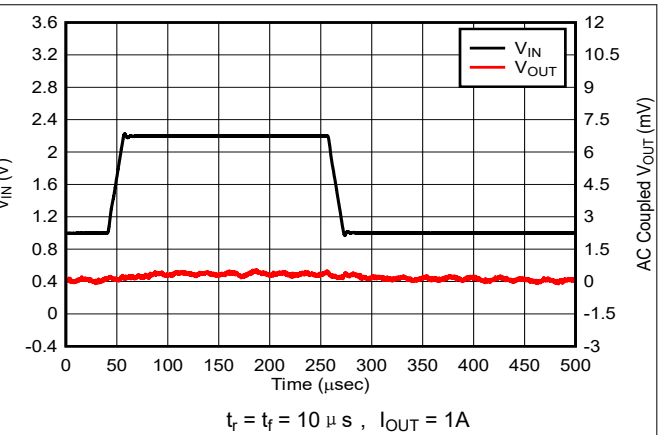


图 5-20. 从 1V 至 2.2V 的线路瞬态

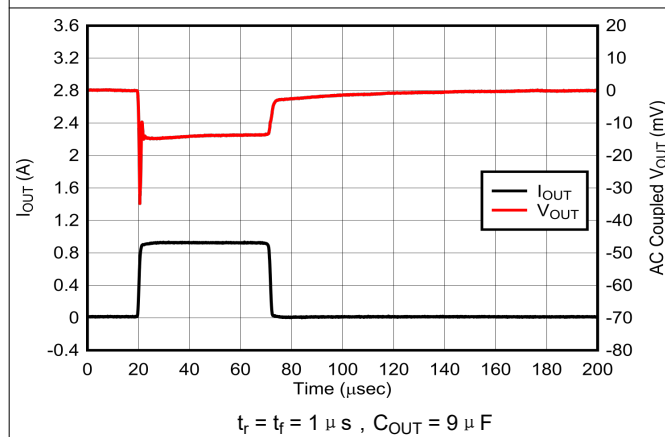


图 5-21. 从 100 μA 至 1A 的负载瞬态

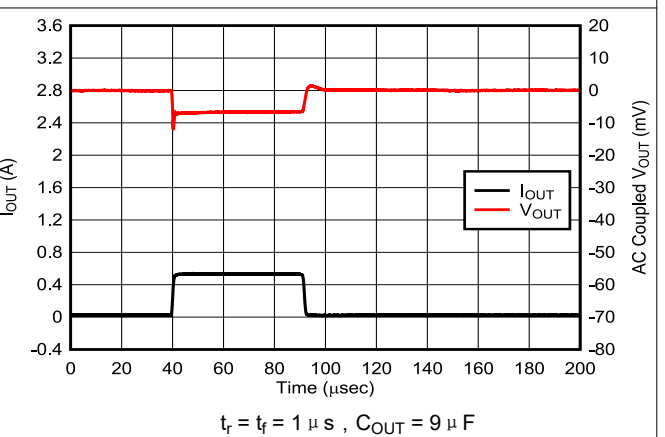


图 5-22. 从 10mA 至 500mA 的负载瞬态

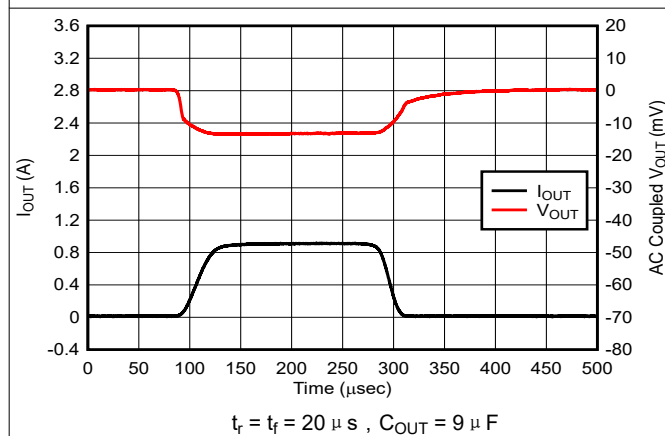


图 5-23. 从 100 μA 至 1A 的负载瞬态

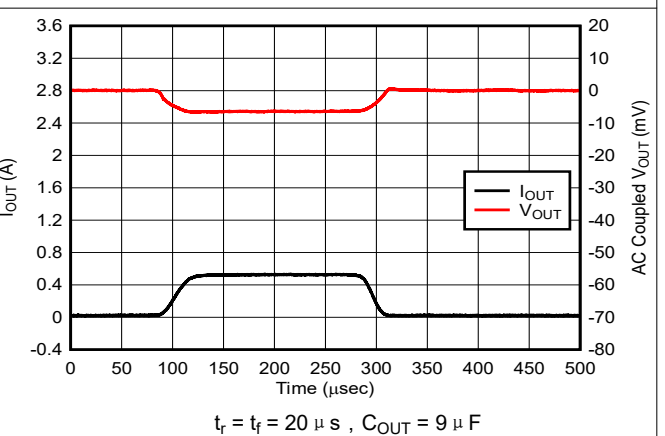


图 5-24. 从 10mA 至 500mA 的负载瞬态

5.6 典型特性 (续)

条件为：工作温度 $T_J = 25^\circ\text{C}$ ， $V_{OUT(NOM)} = 0.8\text{V}$ ， $V_{IN} = V_{OUT(NOM)} + 0.1\text{V}$ ， $V_{BIAS} = V_{OUT(NOM)} + 1.4\text{V}$ ， $I_{OUT} = 1\text{mA}$ ， $V_{EN} = V_{IN}$ ， $C_{IN} = 4.7\mu\text{F}$ ， $C_{OUT} = 4.7\mu\text{F}$ 且 $C_{BIAS} = 0.47\mu\text{F}$ (另有说明者除外)

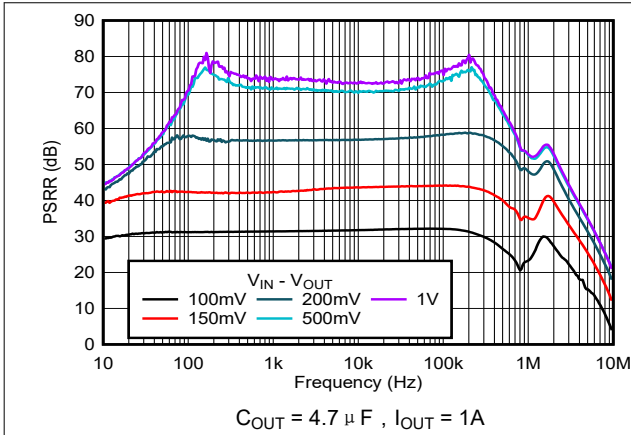


图 5-25. PSRR 与频率和 $V_{IN} - V_{OUT}$ 间的关系

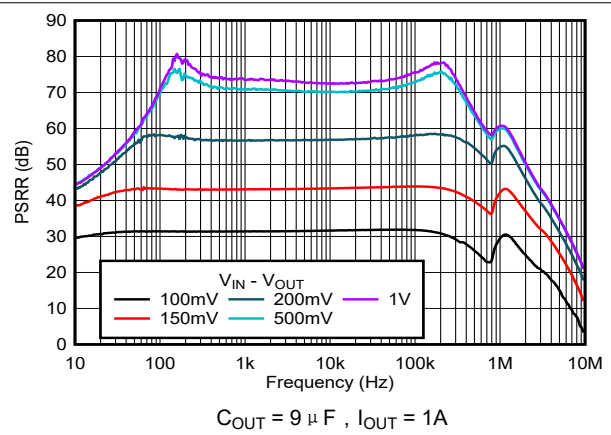


图 5-26. PSRR 与频率和 $V_{IN} - V_{OUT}$ 间的关系

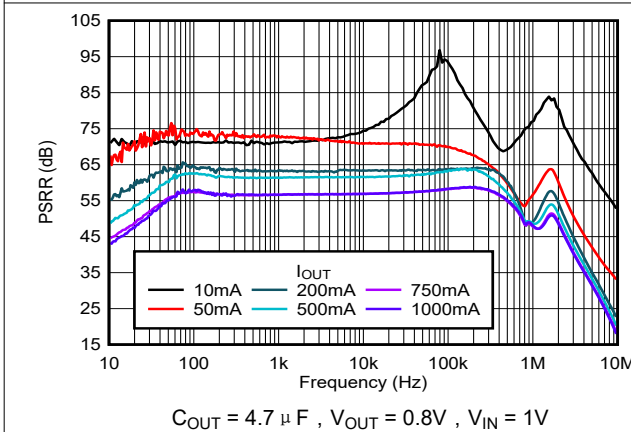


图 5-27. PSRR 与频率和 I_{OUT} 间的关系

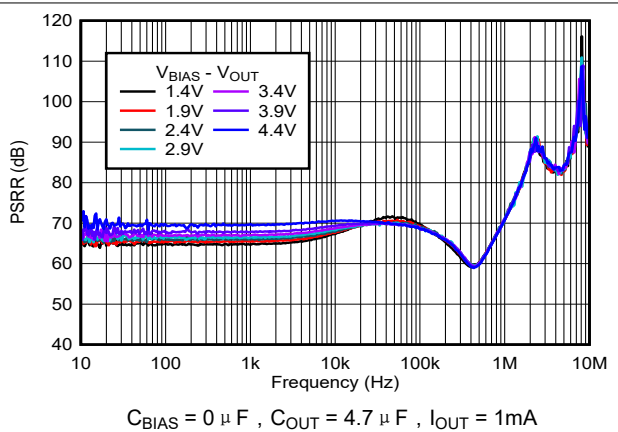


图 5-28. PSRR 与频率和 $V_{BIAS} - V_{OUT}$ 间的关系

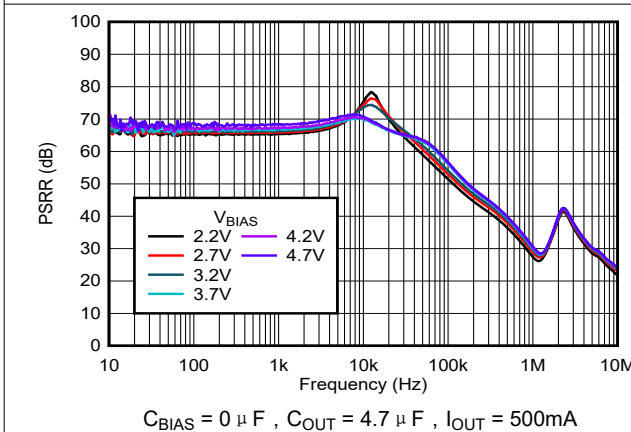


图 5-29. PSRR 与频率和 $V_{BIAS} - V_{OUT}$ 间的关系

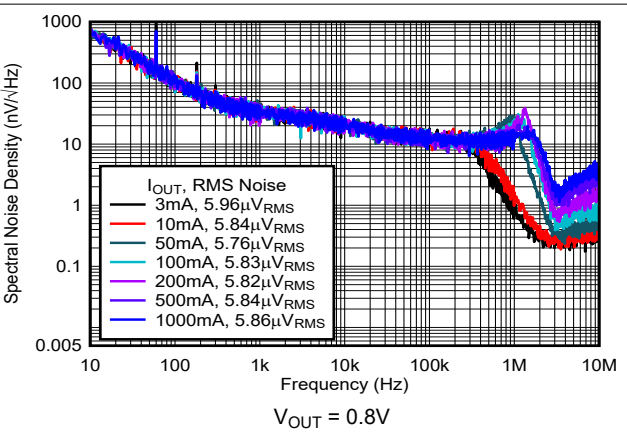


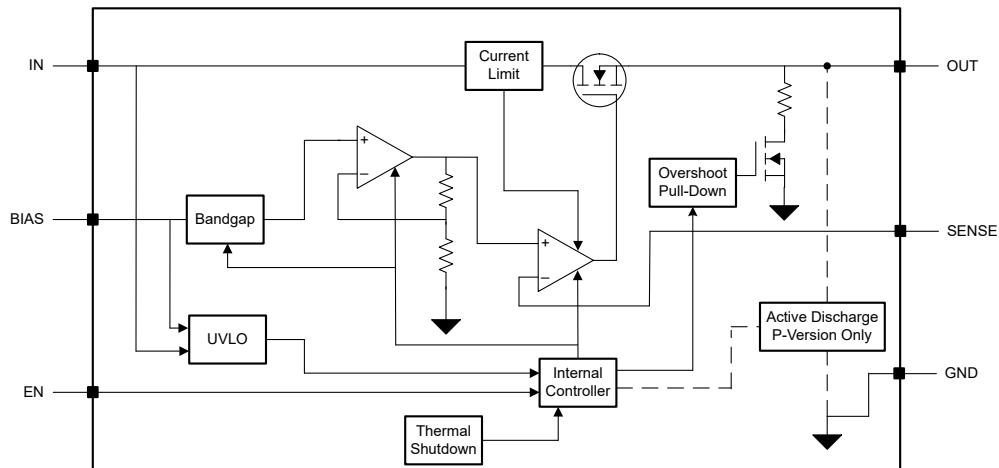
图 5-30. 输出噪声与频率和 I_{OUT} 间的关系

6 详细说明

6.1 概述

TPS7A14C 是一款低输入、超低压降、低静态电流线性稳压器，经优化，具备出色的瞬态性能。低工作 $V_{IN} - V_{OUT}$ 与 BIAS 引脚相结合，可显著提高低压输出应用的效率。该器件通过为电压基准和控制电路供电并为主电源路径使用预稳压低压输入电源 (IN) 来提高效率。该低压降稳压器 (LDO) 提供了折返电流限制、关断、热保护功能，以及可选的有源放电功能。

6.2 功能方框图



6.3 特性说明

6.3.1 出色的瞬态响应

TPS7A14C 能快速响应输入电源（线路瞬态）或输出电流（负载瞬态）上的变化。这种快速响应源于 LDO 在整个频率范围内的高输入阻抗和低输出阻抗。同样的功能也意味着此 LDO 具有较高的电源抑制比 (PSRR)。

可通过选择外部元件值来优化瞬态响应。有关正确的电容器选择，请参阅 [输入、输出和偏置电容器要求](#) 部分。

6.3.2 全局欠压锁定 (UVLO)

TPS7A14C 使用两个欠压锁定电路：一个在 BIAS 引脚上，一个在 IN 引脚上。这些电路可防止器件在 V_{BIAS} 和 V_{IN} 均上升到高于锁定电压之前导通。如图 6-1 所示，两个 UVLO 信号通过一个与门在内部连接。当任一输入端的电压低于相应的 UVLO 阈值时，该门就会关断器件。

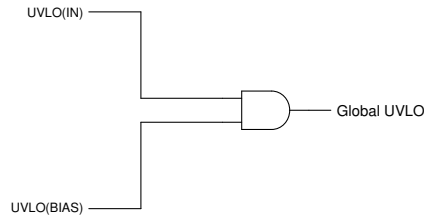


图 6-1. 全局 UVLO 电路

6.3.3 使能输入

使能输入 (EN) 为高电平有效。向 EN 施加大于 $V_{EN(HI)}$ 的电压可启用稳压器输出电压，向 EN 施加小于 $V_{EN(LOW)}$ 的电压可禁用稳压器输出。如果不需要独立控制输出电压，则将 EN 连接至 IN 或 BIAS。

6.3.4 内部折返电流限制

该器件具有内部电流限制电路，可在瞬态高负载电流故障或短路事件期间保护稳压器。电流限制是混合砖墙折返方案。电流限制在折返电压 ($V_{FOLDBACK}$) 下从砖墙式方案转换为折返方案。在输出电压高于 $V_{FOLDBACK}$ 的高负载电流故障中，砖墙式方案将输出电流限制为电流限值 (I_{CL})。当电压降至 $V_{FOLDBACK}$ 以下时，将激活折返电流限制，在输出电压接近 GND 时按比例缩小电流。当输出短路时，该器件会提供一个被称为短路电流限制 (I_{SC}) 的典型电流。[电气特性](#) 表中列出了 I_{CL} 和 I_{SC} 。

对于此器件， $V_{FOLDBACK}$ 约为 $60\% \times V_{OUT(nom)}$ 。

当器件处于限流状态时，不会调节输出电压。当发生电流限制事件时，由于功率耗散增加，器件开始发热。当器件处于砖墙式电流限制时，导通晶体管会耗散功率 $[(V_{IN} - V_{OUT}) \times I_{CL}]$ 。当器件输出短路且输出低于 $V_{FOLDBACK}$ 时，导通晶体管将耗散功率 $[(V_{IN} - V_{OUT}) \times I_{SC}]$ 。如果触发热关断，器件将关闭。器件冷却后，内部热关断电路将器件重新接通。如果输出电流故障条件持续存在，器件会在电流限制状态和热关断状态之间循环。更多有关电流限制的信息，请参阅 [了解限制应用手册](#)。

图 6-2 显示了折返电流限制图。

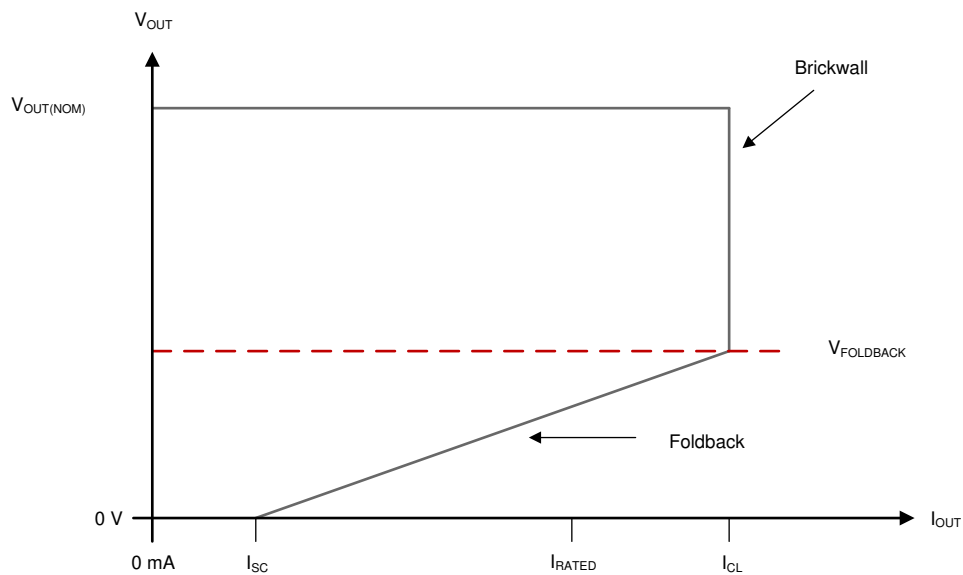


图 6-2. 折返电流限制

6.3.5 有源放电

有源放电功能使用一个内部 MOSFET 将一个电阻器 ($R_{PULLDOWN}$) 接地。当 LDO 被禁用时使用此功能，可主动对输出电压进行放电。通过将 EN 驱动至逻辑低电平来禁用器件，可以激活有源放电电路。当 IN 或 BIAS 处的电压低于 UVLO 阈值或稳压器处于热关断状态时，也会激活此电路。

禁用器件后的放电时间取决于与下拉电阻器并联的输出电容 (C_{OUT}) 和负载电阻 (R_L)。

不要依赖有源放电电路在输入电源崩溃后释放大量输出电容。可能从输出端流向输入端反向电流会损坏器件。在短时间内，应将反向电流限制为不超过额定输出电流的 5%。

6.3.6 热关断

该器件包含一个热关断保护电路，用于在导通晶体管的结温 (T_J) 上升到 $T_{SD(shutdown)}$ 时禁用器件。当温度降至 $T_{SD(reset)}$ 时，热关断电路会复位 (导通) LDO。

半导体芯片的热时间常数相当短。当达到热关断时，器件可以上电下电，直到功率耗散降低。由于器件上的 $V_{IN} - V_{OUT}$ 压降较大，或为大型输出电容器充电的浪涌电流较高，启动期间的功率耗散较高。在某些情况下，热关断保护功能会在启动完成之前禁用器件。

为了实现可靠运行，请将结温限制在 [建议运行条件](#) 表中列出的最大值。在超过这个最高温度的情况下运行会导致器件超出运行规格。虽然内部保护电路旨在防止热过载情况，但此电路并不用于替代适当的散热。使稳压器持续进入热关断状态或在超过建议的最高结温下运行会降低长期可靠性。

6.4 器件功能模式

表 6-1 给出了不同工作模式的参数条件。有关参数值，请参阅 [电气特性](#) 表格。

表 6-1. 器件功能模式比较

工作模式	参数				
	V_{IN}	V_{BIAS}	V_{EN}	I_{OUT}	T_J
正常模式	$V_{IN} \geq V_{OUT(nom)} + V_{DO}$ 和 $V_{IN} \geq V_{IN(min)}$	$V_{BIAS} \geq V_{OUT} + V_{DO(BIAS)}$	$V_{EN} \geq V_{IH(EN)}$	$I_{OUT} < I_{CL}$	关断时 $T_J < T_{SD}$
压降模式	$V_{IN(min)} < V_{IN} < V_{OUT(nom)} + V_{DO(IN)}$	$V_{BIAS} < V_{OUT} + V_{DO(BIAS)}$	$V_{EN} > V_{IH(EN)}$	$I_{OUT} < I_{CL}$	关断时 $T_J < T_{SD}$
禁用模式 (任何真条件都会禁用该器件)	$V_{IN} < V_{UVLO(IN)}$	$V_{BIAS} < V_{BIAS(UVLO)}$	$V_{EN} < V_{IL(EN)}$	—	关断时 $T_J \geq T_{SD}$

6.4.1 正常运行

当满足下列条件时，器件的输出电压会稳定在标称值：

- 输入电压大于标称输出电压加上压降电压 ($V_{OUT(nom)} + V_{DO}$)
- 偏置电压大于额定输出电压加上压降电压 ($V_{OUT(nom)} + V_{DO}$)
- 输出电流小于电流限制 ($I_{OUT} < I_{CL}$)
- 器件结温低于热关断温度 ($T_J < T_{SD(shutdown)}$)
- 使能电压先前已超过使能上升阈值电压，但尚未降至低于使能下降阈值

6.4.2 压降运行

如果输入电压低于标称输出电压与指定压降电压之和，但仍满足正常工作模式的所有其他条件，则器件将工作在压降模式。同样，如果偏置电压低于标称输出电压与指定压降电压之和，但仍满足正常工作模式的所有其他条件，器件也会进入压降模式。在此模式下，输出电压会跟踪输入电压。在此模式下，由于导通晶体管位于欧姆或三极管区域并充当开关，因此器件的瞬态性能会显著降低。压降过程中的线路或负载瞬态可能会导致输出电压偏差较大。

当器件处于稳定压降状态（是指器件紧随正常稳压状态后进入压降状态， $V_{IN} < V_{OUT} + V_{DO}$ 或 $V_{BIAS} < V_{OUT} + V_{DO}$ ，但不包括启动期间）时，导通晶体管将被驱动到欧姆区或三极管区域。当输入电压恢复到大于或等于额定输出电压加上压降电压 ($V_{OUT(NOM)} + V_{DO}$) 的值时，输出电压可能过冲很短的时间，而器件会将导通晶体管拉回到线性区域。

6.4.3 禁用模式

通过强制使能引脚的电压低于 $V_{IL(EN)}$ ，可以关断 LDO 输出（请参阅 [电气特性](#) 表）。禁用时，导通晶体管关断，内部电路关断。在此情况下，输出电压通过从输出端到接地端的内部放电电路对地主动放电。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

能否在系统中成功实现 LDO 取决于系统要求。本部分将讨论主要器件特性，以及如何出色地实现这些特性，从而实现可靠的设计。

7.1.1 建议的电容器类型

该稳压器设计为在输入、输出和偏置引脚使用低等效串联电阻 (ESR) 陶瓷电容器来实现稳定。尽管多层陶瓷电容器是与 LDO 配套使用的行业标准，但仍需合理选用。采用 X7R、X5R 和 COG 额定电介质材料的陶瓷电容器可在整个温度范围内提供相对良好的电容稳定性。但是，由于电容变化较大，因此不建议使用 Y5V 额定电容器。无论选择哪种陶瓷电容器类型，陶瓷电容都会随工作电压、交流偏置电压、温度、湿度和物理压力的变化而变化。通常假设有效电容比额定电容值降低 50% 至 75%。请根据预期的工作条件，与电容器制造商确认最坏情况下的电容。

7.1.2 输入、输出和偏置电容器要求

为确保稳定性，必须配置最小容量的输入陶瓷电容器。为确保稳定性，还需要配置最小容量的输入陶瓷电容器，请参阅 [建议运行条件](#) 表了解最小电容值。

该输入电容器可抵消电抗性输入源，并改善瞬态响应、输入纹波和 PSRR。若预期会出现较大的负载或快速上升的线路瞬变，请采用更高容值的电容器。此外，如果器件距离输入电源几英寸，请使用容值更高的电容器。通过使用大于 [建议运行条件](#) 表中指定的最小值的输出电容器，可以提升器件的动态性能。

尽管偏置电容器不是必需的，但作为良好设计实践，推荐在 BIAS 引脚与 GND 之间连接 0.1 μ F 或更大容值的陶瓷电容器。如果源阻抗不够低，该电容器会抵消电抗性偏置源。为最大限度减轻走线寄生效应，应将输入、输出及偏置电容器尽可能靠近器件放置。

确认当 LDO 负载电流接近最大值时，偏置源不易出现快速压降。例如在不到 1 μ s 时出现 2V 的压降。偏置电压的快速下降会导致输出电压短暂下降。若预计会出现此类情况，应使用足够大的偏置电容器，将电压变化速率降至 0.5V/ μ s 以下。对于较小或较慢的偏置瞬态变化，需确认输出电压下降幅度低于额定电压的 5%。

确认输出电容处于 [建议运行条件](#) 表中列出的范围内，以实现稳定运行和快速趋稳。

7.1.3 压降电压

压降电压 (V_{DO}) 定义为额定输出电流 (I_{RATED}) 下的 $V_{IN} - V_{OUT}$ 之差，此时，导通晶体管完全导通。 V_{IN} 是输入电压、 V_{OUT} 是输出电压、 I_{RATED} 是 [建议运行条件](#) 表中列出的最大 I_{OUT} 。导通晶体管处于欧姆区域或三极管区域并充当开关。压降电压间接指定了一个最小输入电压，该电压大于输出电压预计保持稳定的标称编程输出电压。如果输入电压降至低于维持输出调节所需的值，输出电压也会下降。

对于 CMOS 稳压器，压降电压由导通晶体管的漏源导通状态电阻 ($R_{DS(ON)}$) 决定。因此，如果线性稳压器的的工作电流小于额定电流，该电流的压降电压会相应地变化。以下公式用于计算器件的 $R_{DS(ON)}$ 。

$$R_{DS(ON)} = \frac{V_{DO}}{I_{RATED}} \quad (1)$$

使用偏置轨可使 TPS7A14C 在 IN 和 OUT 之间实现较低的压降电压。但是，应保持最小偏置电压高于额定编程输出电压。图 5-13 指定了维持输出调节所需的最小 V_{BIAS} 余量。

7.1.4 从压差转换为稳压期间的行为

一些应用可能存在会使该器件进入压降状态的瞬态，尤其是当该器件可以由 ESR 相对较高的电池供电时。当导通晶体管被驱动为完全导通时，负载瞬态会使误差放大器的输出级饱和，从而使导通晶体管发挥类似于 V_{IN} 到 V_{OUT} 间的电阻器的作用。误差放大器对此负载瞬态的响应时间将会延长，因为误差放大器必须首先从饱和状态恢复，然后必须将导通晶体管重新置回有源模式。在此恢复期间， V_{OUT} 将会过冲，因为导通晶体管充当从 V_{IN} 到 V_{OUT} 的电阻器。

当 V_{IN} 在启动期间缓慢斜升时，缓慢斜升电压可能将器件置于压降状态。与许多其他 LDO 一样，从此情况恢复时，输出可能会过冲。不过，使用使能信号可以轻松避免此情况。

如果在这些情况下运行，施加更高的直流负载电流或增大输出电容可以减少过冲。这些方法提供了一条吸收多余电荷的路径。

7.1.5 器件使能时序要求

IN、BIAS 和 EN 引脚电压的任何时序顺序都可接受，不会对器件造成损坏。无论 IN、BIAS 和 EN 引脚的时序顺序或斜升速率如何，启动始终具有单调性。有关 IN、BIAS 和 EN 引脚的适当电压范围，请参阅 [建议运行条件表](#)。

7.1.6 负载瞬态响应

负载阶跃瞬态响应是指在维持输出电压调节的情况下，LDO 对负载电流阶跃变化的输出电压响应。有关典型的负载瞬态响应图，请参阅图 5-21 和图 5-23。负载瞬态响应期间有两个关键的转换：从轻负载向重负载的转换以及从重负载向轻负载的转换。本节将对图 7-1 中的各个区域进行分解说明。区域 A、E 和 H 是输出电压处于稳态运行的区域。

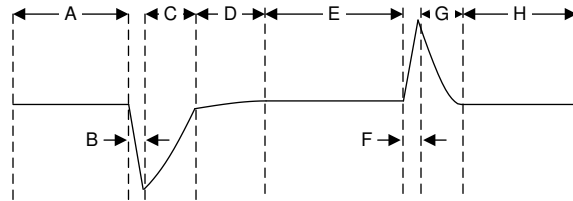


图 7-1. 负载瞬态波形

在从轻负载切换到重负载期间，可以观察到以下行为：

- 初始电压骤降是输出电容器电荷耗尽和输出电容器寄生阻抗所致（区域 B）
- 从骤降中恢复是由于 LDO 增加了拉电流，并实现输出电压调节（区域 C）

在从重负载切换到轻负载期间，可以观察到以下行为：

- LDO 提供大电流导致初始电压上升，并导致输出电容器电荷增加（区域 F）
- 从上升中恢复是由于 LDO 降低了拉电流，同时负载使输出电容放电（区域 G）

较大的输出电容可降低负载瞬态期间的峰值，但会减慢器件的响应速度。更大的直流负载也会降低峰值，因为转换振幅降低，并且为输出电容器提供了更高的电流放电路径。

7.1.7 欠压锁定电路运行

V_{IN} UVLO 电路可防止稳压器在输入电源电压升至最低工作电压之前运行。该电路还会在输入电源电压暴跌时禁用稳压器。同样， V_{BIAS} UVLO 电路可防止稳压器在偏置电源电压升至最低工作电压之前运行。该电路还会在偏置电源电压暴跌时关断稳压器。

图 7-2 展示了 UVLO 电路对各种输入或偏置电压事件的响应。该图分为以下几个部分：

- 区域 A：当输入或偏置电压低于 UVLO 上升阈值时，输出保持关断状态。
- 区域 B：正常运行，调节器件。

- 区域 C：高于 UVLO 下降阈值 (UVLO 上升阈值 - UVLO 迟滞) 的欠压事件。输出可能会超出稳压范围，但器件保持启用状态。
- 区域 D：正常运行，调节器件。
- 区域 E：低于 UVLO 下降阈值的欠压事件。由于存在负载和有源放电电路，该器件在大多数情况下会被禁用，并且输出会下降。当达到 UVLO 上升阈值时，器件将重新启用，随后会正常启动。
- 区域 F：正常运行，然后输入或偏置下降至 UVLO 下降阈值。
- 区域 G：当输入或偏置电压降至 UVLO 下降阈值以下直至 0V 时，该器件会被禁用。输出会因为负载和有源放电电路而下降。

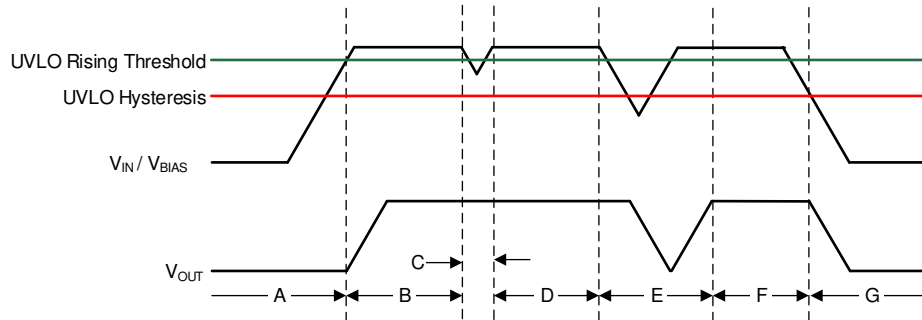


图 7-2. 典型 V_{IN} 或 V_{BIAS} UVLO 电路运行情况

7.1.8 功率耗散 (P_D)

实现电路可靠性需要适当考虑器件功耗、印刷电路板上的器件位置以及正确的热平面尺寸。确认稳压器周围的 PCB 区域尽量消除了其他会导致热应力增加的发热器件。

可使用下方公式计算器件在给定封装中允许的最大功率耗散：

$$P_{D-MAX} = [(T_J - T_A) / R_{\theta JA}] \quad (2)$$

下方公式表示器件中耗散的实际功率：

$$P_D = ((I_{GND(IN)} + I_{IN}) \times V_{IN} + I_{GND(BIAS)} \times V_{BIAS}) - (I_{OUT} \times V_{OUT}) \quad (3)$$

如果负载电流远大于 $I_{GND(IN)}$ 和 $I_{GND(BIAS)}$ ，[方程式 3](#) 可简化为：

$$P_D = (V_{IN} - V_{OUT}) \times I_{OUT} \quad (4)$$

通过正确选择系统电压轨，可更大幅度地降低功率耗散，从而实现更高的效率。通过适当的选择，可以获得最小的输入到输出电压差。TPS7A14C 的低压降可在宽输出电压范围内实现出色效率。

主要的热传导路径取决于环境温度以及芯片结与环境空气之间各种接口上的热阻。

允许的最高结温 (T_J) 决定了器件的最大功率耗散。根据[方程式 5](#)，最大功率耗散和 T_J 通常与 PCB 和器件封装组合的 $R_{\theta JA}$ 以及与 T_A 有关。 $R_{\theta JA}$ 是结至环境热阻， T_A 是环境空气温度。[方程式 6](#) 是针对输出电流对该公式的重新排列。

$$T_J = T_A + (R_{\theta JA} \times P_D) \quad (5)$$

$$I_{OUT} = (T_J - T_A) / [R_{\theta JA} \times (V_{IN} - V_{OUT})] \quad (6)$$

遗憾的是，该热阻 ($R_{\theta JA}$) 在很大程度上取决于特定 PCB 设计中内置的散热能力。因此， $R_{\theta JA}$ 会根据总铜面积、铜重量和平面位置而变化。[电气特性](#) 表中记录的 $R_{\theta JA}$ 由 JEDEC 标准、PCB 和铜扩散面积决定。 $R_{\theta JA}$ 仅用作封装热性能的相对测量值。对于精心设计的热布局， $R_{\theta JA}$ 是 YBK 封装 $R_{\theta JC(bot)}$ 热阻与 PCB 铜产生的热阻的总和。 $R_{\theta JC(bot)}$ 是结至外壳 (底部) 的热参数。

7.1.9 估算结温

JEDEC 现在建议使用 ψ (Psi) 热指标。这些热指标估算了在典型 PCB 电路板应用的电路中的 LDO 结温。严格来说，此类指标不是热阻参数，但提供了一种估算结温的相对实用方法。已确定这些 ψ 指标与覆铜面积明显无关。关键热指标 (ψ_{JT} 和 ψ_{JB}) 的使用符合 [方程式 7](#) 并在 [电气特性](#) 表中给出。

$$\psi_{JT} : T_J = T_T + \psi_{JT} \times P_D \text{ and } \psi_{JB} : T_J = T_B + \psi_{JB} \times P_D \quad (7)$$

其中：

- P_D 是耗散功率，如 [方程式 3](#) 和 [功率耗散 \(\$P_D\$ \)](#) 部分中所述
- T_T 器件封装顶部中间位置的温度
- T_B 是在距器件封装 1mm 且位于封装边缘中心位置测得的 PCB 表面温度

7.1.10 建议的连续运行区域

LDO 的工作区域受压降电压、输出电流、结温和输入电压的限制。线性稳压器连续运行的建议区域如 [图 7-3](#) 所示，可分为以下几个分区：

- 压降电压会限制给定输出电流电平下输入和输出之间的最小差分电压 ($V_{IN} - V_{OUT}$)；请参阅 [压降运行](#) 部分了解更多详情。
- 额定输出电流会限制最大建议输出电流电平。超过此额定值会导致器件超出规格。
- 额定结温会限制器件的最高结温。超过此额定值会导致器件超出规格并降低长期可靠性。
 - [方程式 6](#) 提供了斜率的形状。斜率是非线性的，因为 LDO 的最大额定结温由 LDO 两端的功率耗散控制；因此，当 $V_{IN} - V_{OUT}$ 增加时，输出电流必然降低。
- 额定输入电压范围决定了 $V_{IN} - V_{OUT}$ 的最小值和最大值。

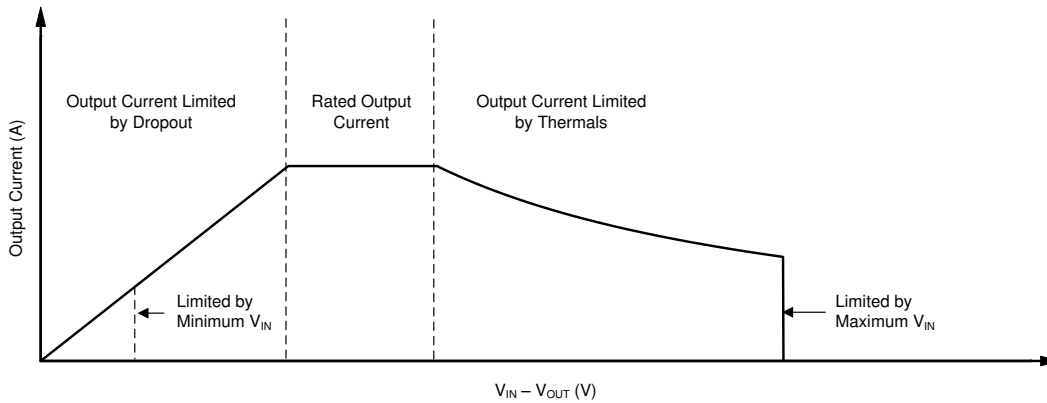


图 7-3. 连续运行图及分区说明

7.2 典型应用

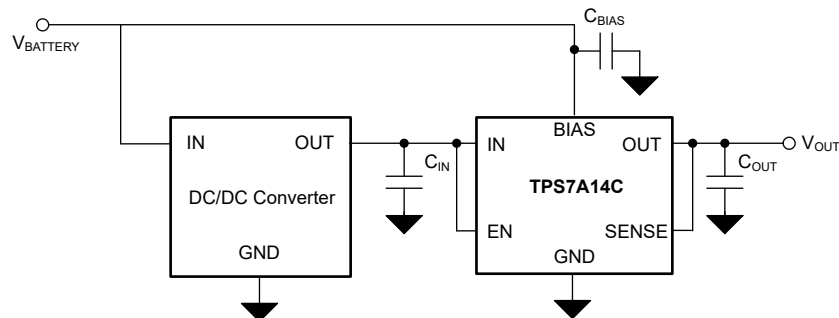


图 7-4. 可充电电池提供高效电源

7.2.1 设计要求

表 7-1 列出了此设计示例的参数。

表 7-1. 设计参数

设计参数	示例值
V_{IN}	0.95V
V_{BIAS}	2.4V 至 5.5V
V_{OUT}	0.8V
I_{OUT}	600mA (典型值)、900mA (峰值)

7.2.2 详细设计过程

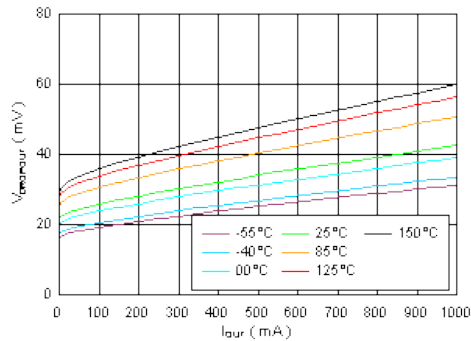
此设计示例由可充电电池供电，这种电池是众多便携式应用的基本组成部分。噪声敏感型便携式电子产品需要高效的小尺寸电源设计。在 TPS7A14C 中使用偏置轨，可以使 LDO 的主电源路径在较低的输入电压下运行。该特性可降低导通晶体管两端的压降，并更大限度地提高器件效率。由于导通晶体管两端的压降可能非常低，因此 TPS7A14C 的效率几乎可媲美 DC/DC 转换器。可使用方程式 8 计算此设计的效率。

$$\text{Efficiency} = \eta = P_{OUT} / P_{IN} \times 100\% = (V_{OUT} \times I_{OUT}) / (V_{IN} \times I_{IN} + V_{BIAS} \times I_{BIAS}) \times 100\% \quad (8)$$

方程式 8 可简化为方程式 9，因为设计示例负载电流远大于偏置导轨的静态电流。

$$\text{Efficiency} = \eta = (V_{OUT} \times I_{OUT}) / (V_{IN} \times I_{IN}) \times 100\% \quad (9)$$

7.2.3 应用曲线



$$V_{BIAS} = V_{OUT(NOM)} + 1.4V, V_{EN} = V_{IN}, C_{IN} = 4.7\mu F, C_{OUT} = 4.7\mu F, \text{ 以及 } C_{BIAS} = 0.47\mu F$$

图 7-5. V_{IN} 压降电压与 I_{OUT} 间的关系

7.3 电源相关建议

该器件设计为在 0.7V 至 2.2V 输入电源电压范围和 2.2V 至 5.5V 偏置电源电压范围内运行。请验证输入和偏置电源是否经过良好调节且没有寄生噪声。为了确认输出电压经过良好调节且动态性能处于最优状态，请验证输入和偏置电源是否满足以下公式：

$$V_{OUT(nom)} + V_{DO} \text{ and } V_{BIAS} = V_{OUT(nom)} + V_{DO(BIAS)} \quad (10)$$

7.4 布局

7.4.1 布局指南

要实现正确的印刷电路板 (PCB) 布局，请遵循以下准则：

- 将输入、输出和偏置电容器尽可能靠近器件放置
- 使用铜平面进行器件连接以优化热性能
- 在器件周围布置散热过孔以散发热量

7.4.2 布局示例

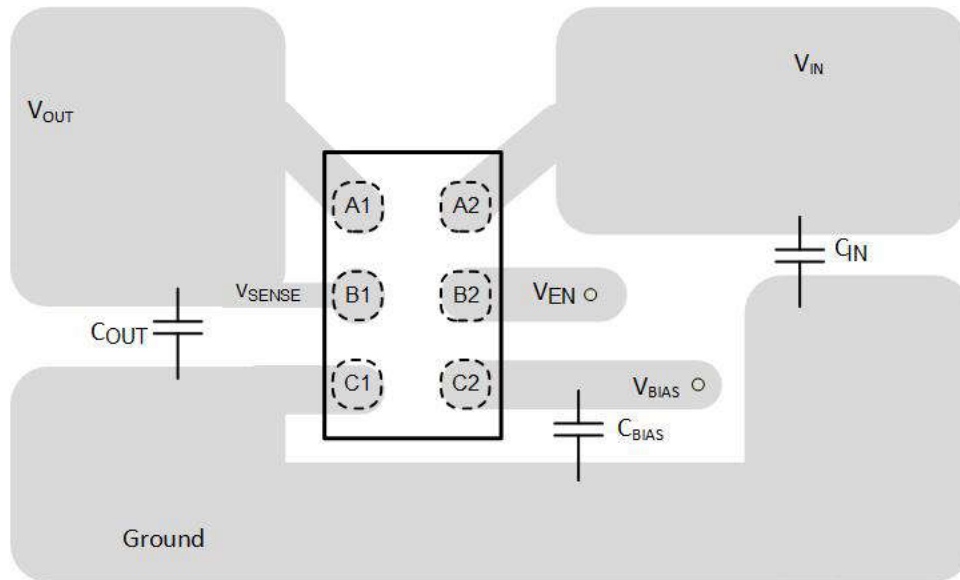


图 7-6. 建议布局 (YBK 封装)

8 器件和文档支持

8.1 器件支持

8.1.1 开发支持

8.1.2 器件命名规则

表 8-1. 提供的选项

产品 ⁽¹⁾ (2)	说明
TPS7A14Cxx(x)(P)yyyz	<p>xx(x) 为标称输出电压。订购号中使用了两位或多位数字 (例如, 09 = 0.9V、95 = 0.95V、125 = 1.25V)。</p> <p>P 表示有源下拉; 如果没有 P, 则器件不含有源下拉功能。</p> <p>yyy 为封装指示符。</p> <p>z 为封装数量。R 表示卷 (YBK 封装为 12000 个器件每卷)。</p>

(1) 如需获得最新的封装和订购信息, 请参阅本文档末尾的“封装选项附录”, 或者访问 www.ti.com 中的器件产品文件夹。

(2) 可提供 0.5V 至 2.0V 范围内的输出电压 (以 25mV 为单位增量)。有关器件的详细信息和供货情况, 请联系制造商。

8.2 文档支持

8.2.1 相关文档

请参阅以下相关文档:

- 德州仪器 (TI), [使用新的热指标应用报告](#)
- 德州仪器 (TI), [AN-1112 DSBGA 晶圆级芯片级封装应用手册](#)
- 德州仪器 (TI), [TPS7A14EVM-058 评估模块用户指南](#)

8.3 接收文档更新通知

要接收文档更新通知, 请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册, 即可每周接收产品信息更改摘要。有关更改的详细信息, 请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料, 可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题, 获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范, 并且不一定反映 TI 的观点; 请参阅 TI 的[使用条款](#)。

8.5 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序, 可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级, 大至整个器件故障。精密的集成电路可能更容易受到损坏, 这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

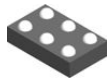
注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
September 2025	*	初始发行版

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

10.1 机械数据

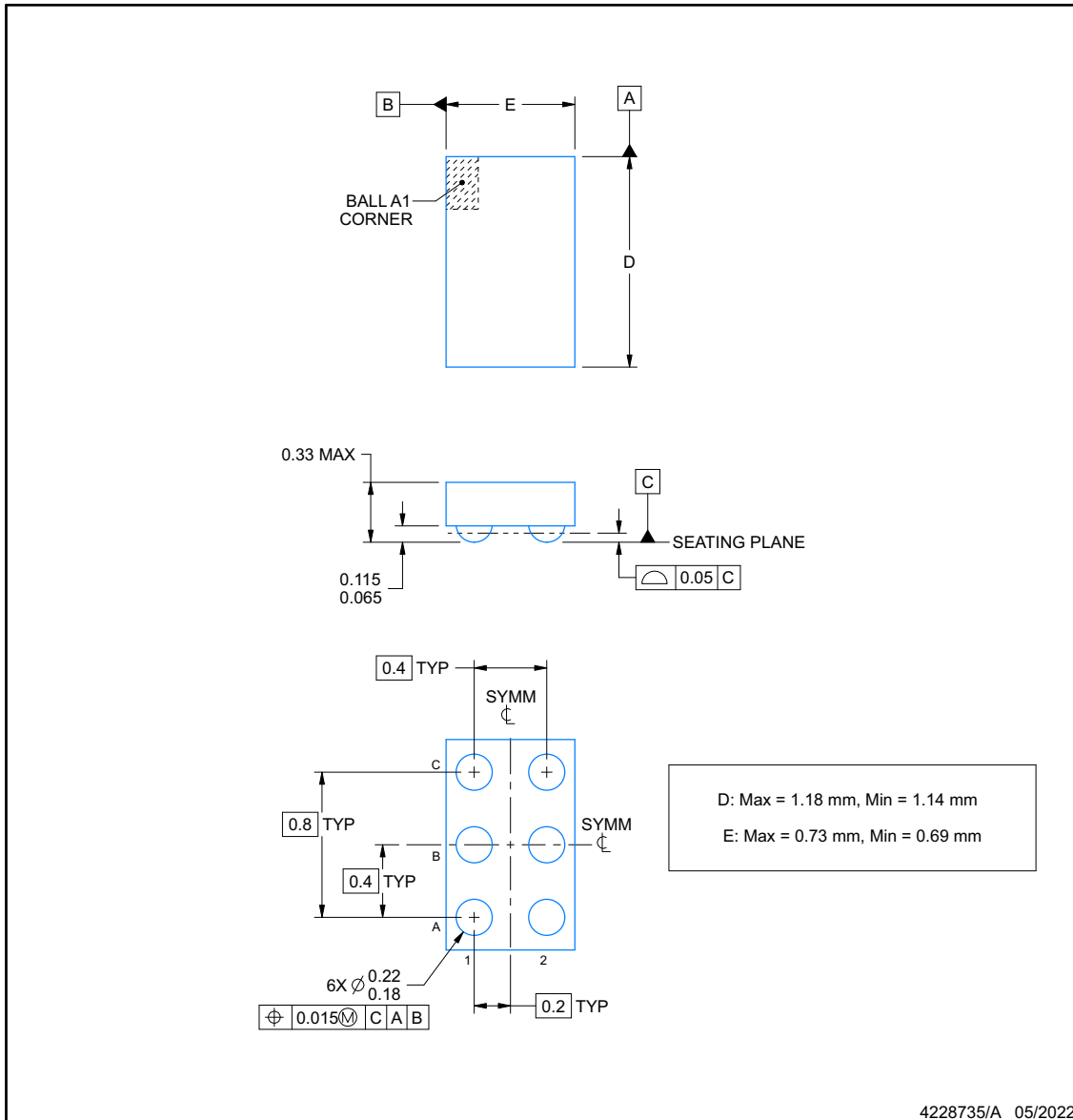


YBK0006-C02

PACKAGE OUTLINE

DSBGA - 0.33 mm max height

DIE SIZE BALL GRID ARRAY



NOTES:

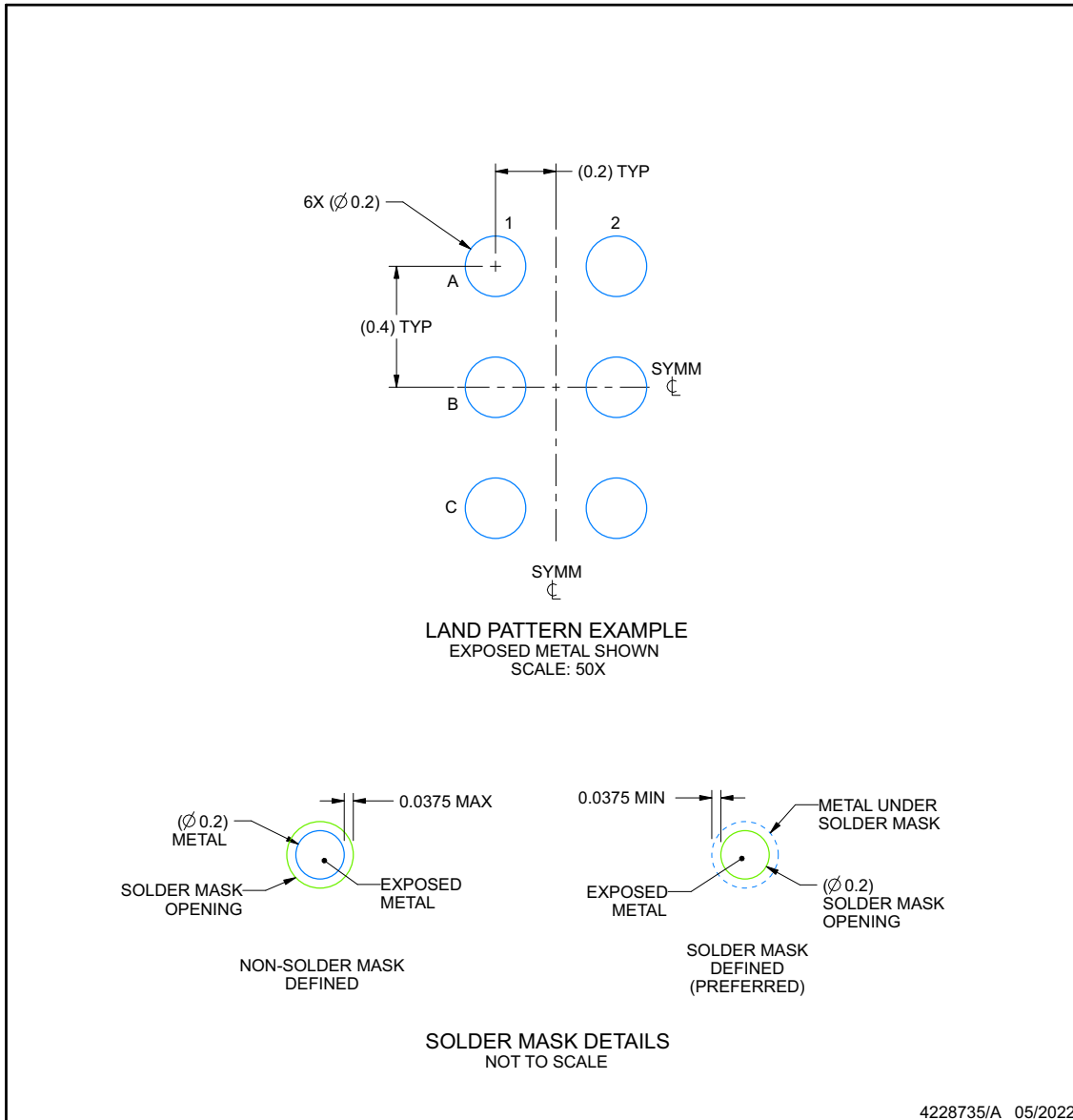
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

YBK0006-C02

DSBGA - 0.33 mm max height

DIE SIZE BALL GRID ARRAY



NOTES: (continued)

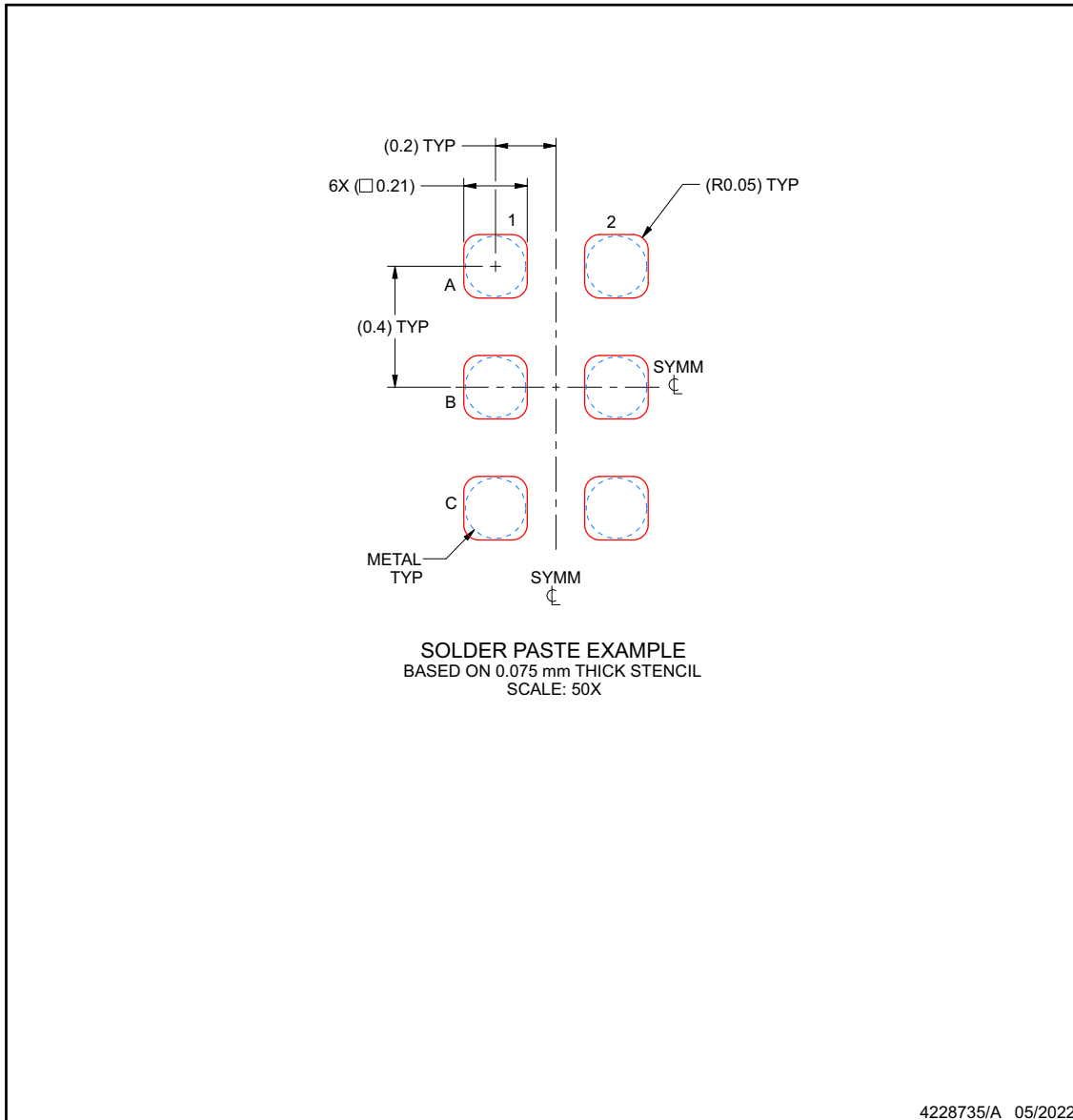
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN

YBK0006-C02

DSBGA - 0.33 mm max height

DIE SIZE BALL GRID ARRAY



NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS7A14C08PYBKR	Active	Production	DSBGA (YBK) 6	12000 LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 125	T9

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS7A14C08PYBKR	DSBGA	YBK	6	12000	180.0	8.4	0.8	1.26	0.36	2.0	8.0	Q1
TPS7A14C08PYBKR	DSBGA	YBK	6	12000	180.0	8.4	0.81	1.26	0.36	2.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS7A14C08PYBKR	DSBGA	YBK	6	12000	182.0	182.0	20.0
TPS7A14C08PYBKR	DSBGA	YBK	6	12000	182.0	182.0	20.0

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月