

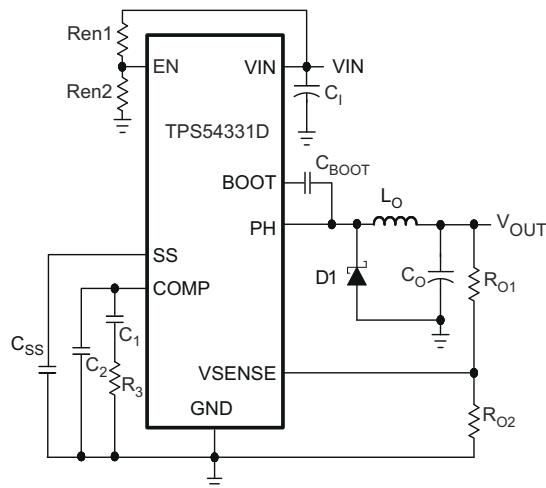
TPS54331 具有 Eco-mode 的 3A、28V 输入、直流/直流降压转换器

1 特性

- 3.5V 至 28V 输入电压范围
- 可调节输出电压低至 0.8V
- 集成式 $80\text{m}\Omega$ 高侧 MOSFET 支持高达 3A 的持续输出电流
- 使用脉冲跳跃 Eco-mode 在轻负载条件下实现高效率
- 570kHz 固定开关频率
- 1\mu A 关断静态电流 (典型值)
- 可调节慢启动限制浪涌电流
- 可编程 UVLO 阈值
- 过压瞬态保护
- 逐周期电流限制、频率折返和热关断保护
- 采用易于使用的 SOIC8 封装或热增强型 SOIC8 PowerPAD™ 集成电路封装
- 使用 TPS54331 并借助 WEBENCH® Power Designer 创建定制设计方案
- 使用 TPS62933 实现具有更高频率、更低 IQ 和改进 EMI 的 30V 输入电压转换器

2 应用

- 消费类应用，诸如机顶盒、CPE 设备、LCD 显示屏、外设和电池充电器
- 工业用和车载音频电源
- 5V、12V 和 24V 分布式电源系统



简化版原理图

3 说明

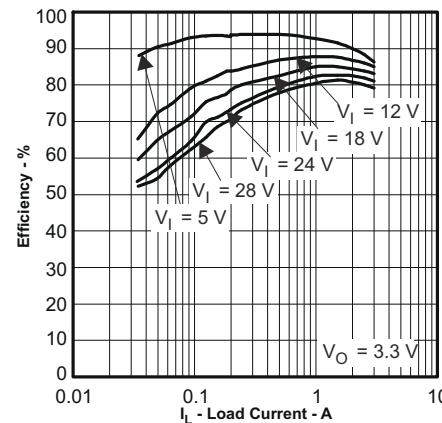
TPS54331 器件是一款 28V、3A 非同步降压转换器，集成有一个低 $R_{DS(on)}$ 的高侧 MOSFET。为了提高轻负载条件下的效率，将自动激活脉冲跳跃 Eco-mode 特性。此外， 1\mu A 的关断电源电流使得此器件可用于电池供电类应用。具有内部斜坡补偿的电流模式控制简化了外部补偿计算，并在允许使用陶瓷输出电容器的同时减少了元件数量。一个电阻分压器对输入欠压锁定的迟滞进行编程。过压瞬态保护电路可限制启动期间和瞬态条件下的电压过冲。逐周期电流限制方案、频率折返和热关断特性可在过载条件下对器件和负载施加保护。TPS54331 器件可采用 8 引脚 SOIC 封装和 8 引脚 SO PowerPAD 集成电路封装，这些封装经过内部优化可改进热性能。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TPS54331	D (SOIC , 8) DDA (SO PowerPAD , 8)	4.90mm × 6mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



TPS54331 (D 封装) 效率



本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本 (控制文档)。

内容

1 特性	1	7.3 特性说明	10
2 应用	1	7.4 器件功能模式	13
3 说明	1	8 应用和实现	14
4 修订历史记录	2	8.1 应用信息	14
5 引脚配置和功能	3	8.2 典型应用	14
6 规格	4	8.3 电源建议	24
6.1 绝对最大额定值	4	8.4 布局	24
6.2 ESD 等级	4	9 器件和文档支持	27
6.3 建议运行条件	4	9.1 器件支持	27
6.4 热性能信息	5	9.2 支持资源	27
6.5 电气特性	5	9.3 接收文档更新通知	27
6.6 开关特性	6	9.4 商标	27
6.7 典型特性	7	9.5 静电放电警告	27
7 详细说明	9	9.6 术语表	27
7.1 概述	9	10 机械、封装和可订购信息	27
7.2 功能方框图	10		

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision G (July 2022) to Revision H (September 2023) Page

• 向特性中添加了 TPS62933 信息	1
• 更新了商标信息	1
• 更改了封装信息表的列标题措辞	1
• 将贮存温度移到了绝对最大额定值表中	4
• 将表标题从处理额定值更改为 ESD 等级	4

Changes from Revision F (October 2014) to Revision G (July 2022) Page

• 更新了整个文档中的表格、图和交叉参考的编号格式。	1
• 更新了方程式 2	10

Changes from Revision E (February 2012) to Revision F (October 2014) Page

• 添加了处理额定值表、特性说明部分、器件功能模式、应用和实现部分、电源建议部分、布局部分、器件和文档支持部分以及机械、封装和订购信息部分	1
• 更新了 $I_{L(RMS)}$ 和 $I_{L(PK)}$ 的电感器电流公式	16

5 引脚配置和功能

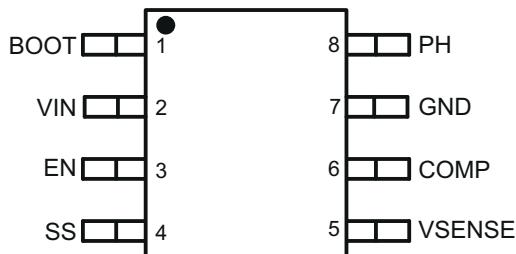


图 5-1. 8 引脚 SOIC D 封装 (俯视图)

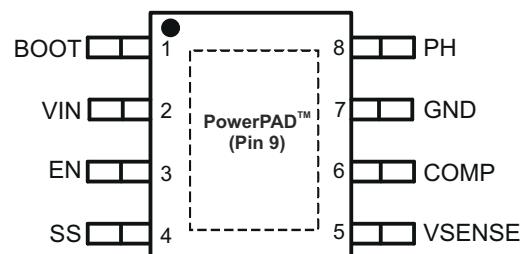


图 5-2. 8 引脚 SO PowerPAD™ 集成电路 DDA 封装
(顶视图)

表 5-1. 引脚功能

引脚		I/O	说明
编号	名称		
1	BOOT	O	在 BOOT 和 PH 引脚之间需要一个 $0.1 \mu F$ 自举电容器。如果该电容器上的电压低于最低要求，高侧 MOSFET 被强制关断，直到电容器刷新。
2	VIN	I	该引脚为 3.5V 至 28V 输入电源电压。
3	EN	I	此引脚是使能引脚。要禁用，拉至 1.25V 以下。悬空此引脚即可启用。建议使用两个电阻器对输入欠压锁定进行编程。
4	SS	I	此引脚是慢启动引脚。连接到该引脚的外部电容器设置输出上升时间。
5	VSENSE	I	该引脚是跨导 (gm) 误差放大器的反相节点。
6	COMP	O	该引脚是误差放大器输出和 PWM 比较器的输入。将频率补偿元件与该引脚相连。
7	GND	—	接地引脚
8	PH	O	PH 引脚是内部高侧功率 MOSFET 的源极。
9	PowerPAD	—	PowerPAD 仅适用于 DDA 封装。为确保正常运行，必须将 GND 引脚连接到外露焊盘。

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位	
输入电压	VIN	-0.3	30	V	
	EN	-0.3	6		
	BOOT		38		
	VSENSE	-0.3	3		
	COMP	-0.3	3		
	SS	-0.3	3		
输出电压	BOOT-PH		8	V	
	PH	-0.6	30		
	PH (从接地到负峰值的 10ns 瞬态)		-5		
拉电流	EN	100	μ A		
	BOOT	100	mA		
	VSENSE	10	μ A		
	PH	9	A		
灌电流	VIN	9	A	μ A	
	COMP	100	200		
	SS				
工作结温, T_J		-40	150	°C	
储存温度范围, T_{stg}		-65	150	°C	

(1) 超出最大绝对额定值下列出的值的应力可能会对器件造成永久损坏。这些仅为应力额定值，并不表明器件在这些额定值下或者任何其他超过建议工作条件所标明的条件下可正常工作。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

6.2 ESD 等级

		最小值	最大值	单位	
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001，所有引脚 ⁽¹⁾	-2	2	kV
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚 ⁽²⁾	-500	500	V

(1) JEDEC 文档 JEP155 指出：500V HBM 可实现在标准 ESD 控制流程下安全生产。

(2) JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	最大值	单位
(VIN 引脚) 上的工作输入电压		3.5	28	V
T_J 工作结温		-40	150	°C

6.4 热性能信息

热指标 ⁽¹⁾	D	DDA	单位
	8 引脚	8 引脚	
$R_{\theta JA}$ 结至环境热阻	116.3	48.7	$^{\circ}\text{C}/\text{W}$
$R_{\theta JC(\text{top})}$ 结至外壳 (顶部) 热阻	53.7	52.4	
$R_{\theta JB}$ 结至电路板热阻	57.1	25.5	
Ψ_{JT} 结至顶部特征参数	12.9	8.4	
Ψ_{JB} 结至电路板特征参数	56.5	25.2	
$R_{\theta JC(\text{bot})}$ 结至外壳 (底部) 热阻	—	2.3	

(1) 有关新旧热指标的更多信息, 请参阅 **IC 封装热指标应用报告 SPRA953**。

6.5 电气特性

$T_J = -40^{\circ}\text{C}$ 至 150°C , $V_{IN} = 3.5\text{V}$ 至 28V (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
电源电压 (VIN 引脚)					
内部欠压锁定阈值	上升和下降		3.5		V
关断电源电流	$EN = 0\text{V}$, $VIN = 12\text{V}$, -40°C 至 85°C	1	4		μA
工作 - 非开关电源电流	$VSENSE = 0.85\text{V}$	110	190		μA
使能和 UVLO (EN 引脚)					
使能阈值	上升和下降	1.25	1.35		V
输入电流	使能阈值 -50mV	-1			μA
输入电流	使能阈值 $+50\text{mV}$	-4			μA
电压基准					
电压基准		0.772	0.8	0.828	V
高侧 MOSFET					
导通电阻	$BOOT-PH = 3\text{V}$, $VIN = 3.5\text{V}$	115	200		$\text{m}\Omega$
	$BOOT-PH = 6\text{V}$, $VIN = 12\text{V}$	80	150		
误差放大器					
误差放大器跨导 (gm)	$-2\text{ }\mu\text{A} < I_{(\text{COMP})} < 2\text{ }\mu\text{A}$, $V_{(\text{COMP})} = 1\text{V}$	92			$\mu\text{ mhos}$
误差放大器直流增益 ⁽¹⁾	$VSENSE = 0.8\text{V}$	800			V/V
误差放大器单位增益带宽 ⁽¹⁾	从 COMP 到 GND 引脚的 5pF 电容	2.7			MHz
误差放大器拉电流和灌电流	$V_{(\text{COMP})} = 1\text{V}$, 100mV 过驱	± 7			μA
开关电流到 COMP 跨导	$VIN = 12\text{V}$	12			A/V
脉冲跳跃 ECO-MODE					
脉冲跳跃 Eco-mode 开关电流阈值		160			mA
电流限制					
电流限制阈值	$VIN = 12\text{V}$	3.5	5.8		A
热关断					
热关断		165			$^{\circ}\text{C}$
慢启动 (SS PIN)					
充电电流	$V_{(\text{SS})} = 0.4\text{V}$	2			μA
SS 至 VSENSE 匹配	$V_{(\text{SS})} = 0.4\text{V}$	10			mV

(1) 由设计指定

6.6 开关特性

$T_J = -40^\circ\text{C}$ 至 150°C , $V_{IN} = 3.5\text{V}$ 至 28V (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
开关频率					
开关频率	$V_{IN} = 12\text{V}$, 25°C	456	570	684	kHz
最短可控导通时间	$V_{IN} = 12\text{V}$, 25°C		105	130	ns
最大可控占空比 ⁽¹⁾	$BOOT-PH = 6\text{V}$	90%	93%		

6.7 典型特性

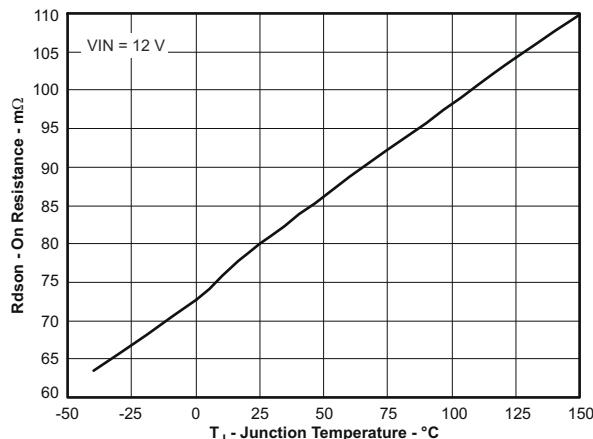


图 6-1. 导通电阻与结温的关系

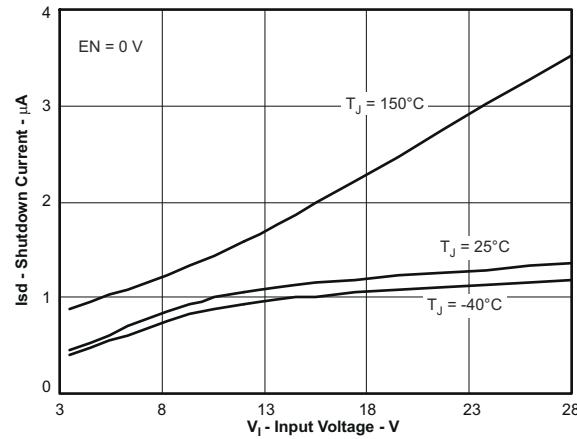


图 6-2. 关断静态电流与输入电压的关系

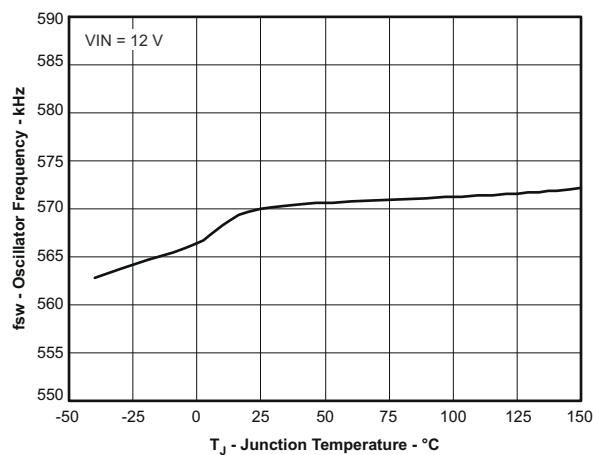


图 6-3. 开关频率与结温的关系

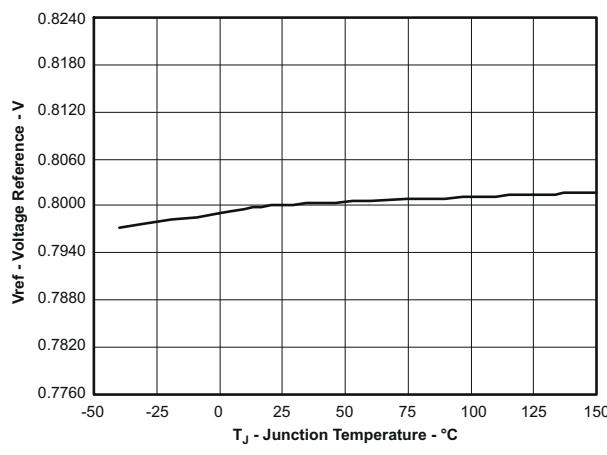


图 6-4. 电压基准与结温的关系

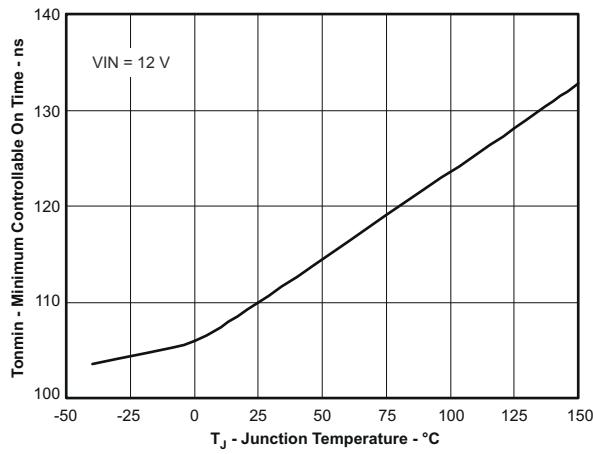


图 6-5. 最短可控导通时间与结温的关系

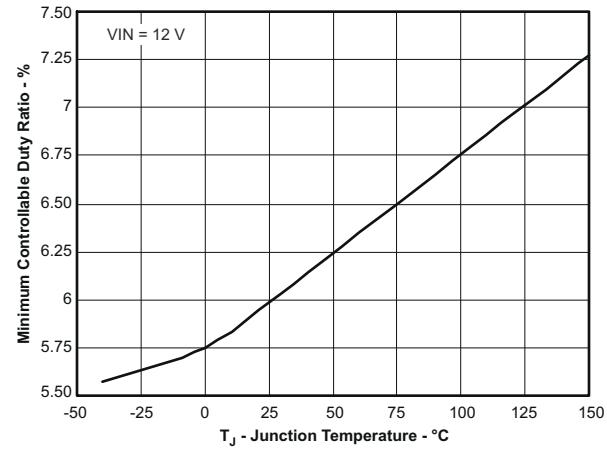


图 6-6. 最小可控占空比与结温的关系

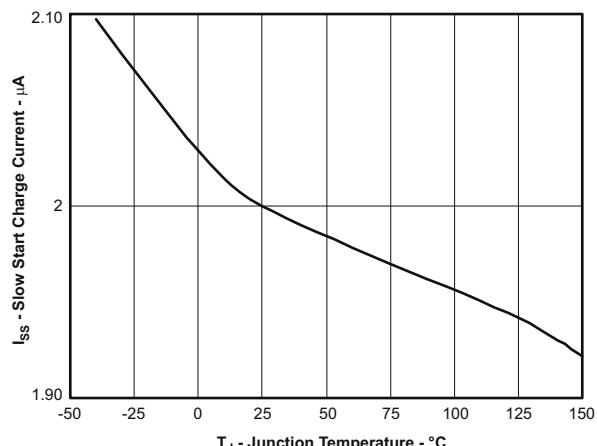


图 6-7. SS 充电电流与结温之的关系

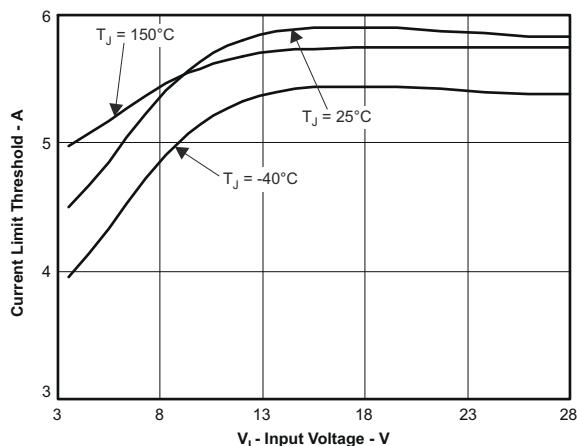


图 6-8. 电流限制阈值与输入电压的关系

7 详细说明

7.1 概述

TPS54331 器件是一款具有集成式高侧 N 沟道 MOSFET 的 28V、3A 降压转换器。为提高线路和负载瞬态的性能，该器件实现了恒定频率电流模式控制，可降低输出电容并简化外部频率补偿设计。TPS54331 器件的预设开关频率为 570kHz。

TPS54331 器件需要 3.5V 的最小输入电压才能正常工作。EN 引脚有一个内部上拉电流源，它可以使用两个外部电阻器调整输入电压欠压锁定 (UVLO)。此外，当 EN 引脚悬空以使器件运行时，上拉电流为默认值。在不进行开关且没有负载的情况下，工作电流为 110 μA (典型值)。该器件禁用后，电源电流为 1μA (典型值)。

集成式 80mΩ 高侧 MOSFET 可实现高效率电源设计，连续输出电流高达 3A。

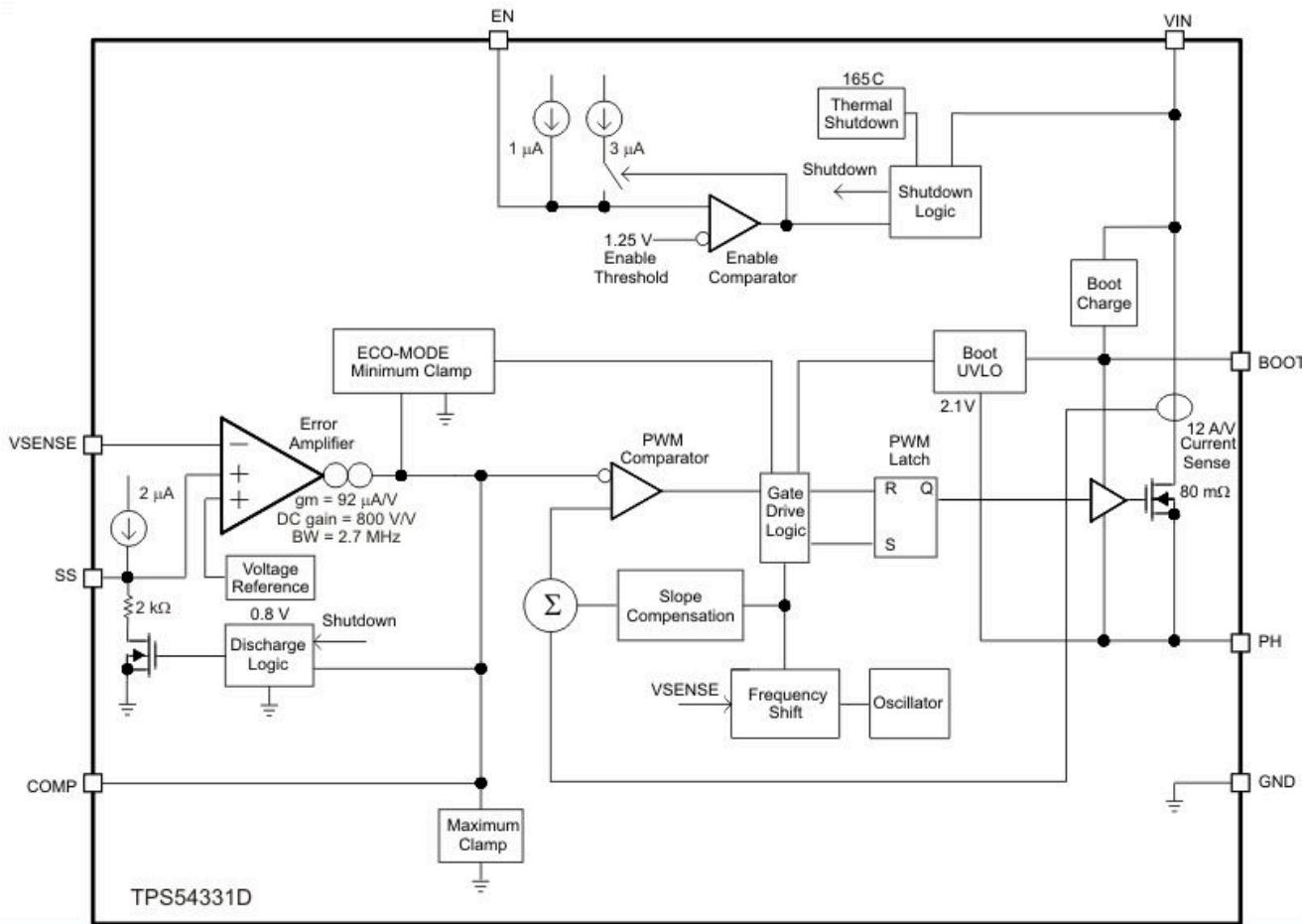
TPS54331 器件通过集成引导再充电二极管减少外部元件数量。从 BOOT 连接至 PH 引脚的外部电容器为集成式高侧 MOSFET 提供偏置电压。UVLO 电路监测引导电容器电压，当其降至预设阈值 2.1V (典型值) 以下时，高侧 MOSFET 随即关断。输出电压可降至与基准电压等同的低电平。

通过添加外部电容器，TPS54331 器件的慢启动时间可调整，从而实现灵活的输出滤波器选择。

为提高轻负载条件下的效率，TPS54331 器件在峰值电感器电流降至 160mA (典型值) 以下时进入特殊的脉冲跳跃 Eco-mode。

频率折返可降低启动过程中和过流条件下的开关频率，从而协助控制电感器电流。热关断可在故障条件下提供额外保护。

7.2 功能方框图



7.3 特性说明

7.3.1 固定频率 PWM 控制

TPS54331 器件采用固定频率峰值电流模式控制。TPS54331 器件的内部开关频率固定为 570kHz。

7.3.2 电压基准 (V_{REF})

电压基准系统通过调节具有温度稳定性的带隙电路的输出产生 $\pm 2\%$ 初始精度电压基准 ($\pm 3.5\%$ 过温)。典型电压基准设计为 0.8V。

7.3.3 自举电压 (BOOT)

TPS54331 器件具有一个集成式 BOOT 稳压器，并且需要在 BOOT 和 PH 引脚之间连接一个 0.1μF 的陶瓷电容器来为高侧 MOSFET 提供栅极驱动电压。推荐使用具有 X7R 或 X5R 等级电介质的陶瓷电容器，因为其在温度和电压范围内具有稳定的特性。为了改善压降，TPS54331 器件设计为当 BOOT 至 PH 引脚的电压大于 2.1V (典型值) 时以百分之百的占空比运行。

7.3.4 使能和可调输入欠压锁定 (VIN UVLO)

EN 引脚有一个内部上拉电流源，在 EN 引脚悬空时提供器件的默认条件。

当 VIN 引脚电压降至内部 VIN UVLO 阈值以下时，TPS54331 器件被禁用。建议使用外部 VIN UVLO 增加迟滞，除非 VIN 电压大于 ($V_{OUT} + 2V$)。要调整具有迟滞的 VIN UVLO，请使用连接到 EN 引脚的外部电路，如图 7-1

所示。当 EN 引脚电压超过 1.25V 时，会额外增加 3 μA 的迟滞。使用 [方程式 1](#) 和 [方程式 2](#) 计算所需 VIN UVLO 阈值电压需要的电阻值。V_{STOP} 阈值必须始终大于 3.5V。

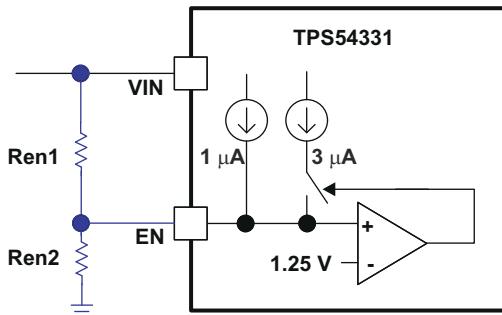


图 7-1. 可调节输入欠压锁定

$$Ren1 = \frac{V_{START} - V_{STOP}}{3\mu A} \quad (1)$$

其中

- V_{START} 为输入启动阈值电压。
- V_{STOP} 为输入停止阈值电压。

$$Ren2 = \frac{V_{EN}}{\frac{V_{STOP} - V_{EN}}{Ren1} + 4\mu A} \quad (2)$$

其中

- V_{EN} 是使能阈值电压，为 1.25V。

7.3.5 使用 SS 引脚的可编程慢启动

强烈建议从外部对慢启动时间进行编程，因为内部没有实现慢启动时间。TPS54331 器件有效地使用内部电压基准或 SS 引脚电压这两者中的较低电压作为馈入到误差放大器的电源的基准电压，并相应地调节输出。SS 引脚至接地的电容器 (C_{SS}) 实现了慢启动时间。TPS54331 器件的内部上拉电流源为 2 μA，用于为外部慢启动电容器充电。使用 [方程式 3](#) 计算慢启动时间 (10% 至 90%)。

$$T_{SS}(\text{ms}) = \frac{C_{SS}(\text{nF}) \times V_{REF}(\text{V})}{I_{SS}(\mu A)} \quad (3)$$

其中

- V_{REF} 为 0.8V。
- I_{SS} 为 2 μA。

慢启动时间必须设置在 1ms 到 10ms 之间，以确保良好的启动性能。慢启动电容器的值不得超过 27nF。

在正常运行期间，如果输入电压降至 VIN UVLO 阈值以下、EN 引脚拉至 1.25V 以下或发生热关断事件，TPS54331 器件将停止开关。

7.3.6 误差放大器

TPS54331 器件为误差放大器提供了一个跨导放大器。误差放大器将 V_{SENSE} 电压与误差放大器输入端的内部有效电压基准进行比较。在正常运行过程中，误差放大器的跨导为 92 μA/V。频率补偿元件连接在 COMP 引脚和接地之间。

7.3.7 斜率补偿

为了防止在占空比大于 50% 的情况下运行器件时出现次谐波振荡，TPS54331 器件添加了内置斜率补偿，即开关电流信号的补偿斜坡。

7.3.8 电流模式补偿设计

为使用 TPS54331 器件简化设计工作，表 7-1 中列出了常见应用的典型设计。对于使用陶瓷输出电容器的设计，建议在进行稳定性分析时适当地对陶瓷输出电容进行降额，因为当施加的电压增加时，实际陶瓷电容会从标称值大幅下降。有关详细指南，请参阅节 8.2.2 或使用 WEBENCH 软件工具 (www.ti.com/WEBENCH)。

表 7-1. 典型设计 (参考简化原理图)

V_{IN} (V)	V_{OUT} (V)	f_{SW} (kHz)	L_o (μ H)	C_o	R_{O1} (k Ω)	R_{O2} (k Ω)	C_2 (pF)	C_1 (pF)	R_3 (k Ω)
12	5	570	6.8	陶瓷 33 μ F, $\times 2$	10	1.91	39	4700	49.9
12	3.3	570	6.8	陶瓷 47 μ F, $\times 2$	10	3.24	47	1000	29.4
12	1.8	570	4.7	陶瓷 100 μ F	10	8.06	68	5600	29.4
12	0.9	570	3.3	陶瓷 100 μ F, $\times 2$	10	80.6	56	5600	29.4
12	5	570	6.8	铝 330 μ F, 160m Ω	10	1.91	68	120	29.4
12	3.3	570	6.8	铝 470 μ F, 160m Ω	10	3.24	82	220	10
12	1.8	570	4.7	SP 100 μ F, 15m Ω	10	8.06	68	5600	29.4
12	0.9	570	3.3	SP 330 μ F, 12m Ω	10	80.6	100	1200	49.9

7.3.9 过流保护和频移

TPS54331 器件实现了电流模式控制机制，此控制机制利用 COMP 引脚电压逐周期关断高侧 MOSFET。在每个周期内，比较开关电流和 COMP 引脚电压。当峰值电感器电流与 COMP 引脚电压相交时，高侧开关关断。在将输出电压拉低的过流条件下，误差放大器通过将 COMP 引脚驱动为高电平进行响应，导致开关电流增加。COMP 引脚在内部有一个最大钳位，用于限制输出电流。

TPS54331 器件在短路期间提供强大的保护。在输出端发生短路期间，输出电感器中可能出现过流失控。TPS54331 器件通过降低开关频率来增加短路情况下的关断时间，从而解决这个问题。随着 VSENSE 引脚上电压从 0V 升至 0.8V，开关频率进行 1 分频、2 分频、4 分频及 8 分频。开关频率和 VSENSE 引脚电压之间的关系如表 7-2 所示。

表 7-2. 开关频率条件

开关频率	VSENSE 引脚电压
570kHz	$VSENSE \geq 0.6V$
570kHz/2	$0.6V > VSENSE \geq 0.4V$
570kHz/4	$0.4V > VSENSE \geq 0.2V$
570kHz/8	$0.2V > VSENSE$

7.3.10 过压瞬态保护

TPS54331 器件整合了过压瞬态保护 (OVTP) 电路，当器件从输出故障状况或强空载瞬态中恢复时，可以最大限度地降低输出电压过冲。OVTP 电路包括一个过压比较器，以比较 VSENSE 引脚电压和内部阈值。当 VSENSE 引脚电压高于 $109\% \times V_{REF}$ 时，高侧 MOSFET 被强制关断。当 VSENSE 引脚电压低于 $107\% \times V_{REF}$ 时，高侧 MOSFET 重新启用。

7.3.11 热关断

该器件实现了内部热关断，以在结温超过 $165^{\circ}C$ 时保护器件。当结温超过热跳闸阈值时，热关断强制器件停止开关。当内核温度降至 $165^{\circ}C$ 以下时，器件会重新启动加电序列。

7.4 器件功能模式

7.4.1 Eco-mode

TPS54331 器件设计为在轻负载电流条件下以脉冲跳跃 Eco-mode 运行，从而提升轻负载效率。通常，当峰值电感器电流低于 160mA (典型值) 时，COMP 引脚电压降至 0.5V (典型值)，器件进入 Eco-mode。当器件处于 Eco-mode 时，COMP 引脚电压在内部钳制为 0.5V，这可防止高侧集成 MOSFET 进行开关。峰值电感器电流必须上升到 160mA 以上，COMP 引脚电压才能上升到 0.5V 以上并退出 Eco-mode。由于集成电流比较器仅捕获峰值电感器电流，所以进入 Eco-mode 的平均负载电流会随应用和外部输出滤波器的变化而变化。

7.4.2 在 $V_{IN} < 3.5V$ 的情况下运行

建议器件在超过 3.5V 的输入电压下运行。未指定典型的 V_{IN} UVLO 阈值，且该器件可在低至 UVLO 电压的输入电压下运行。当输入电压低于实际 UVLO 电压时，该器件不开关。如果 EN 引脚在外部上拉或保持悬空，则当 V_{IN} 引脚超出 UVLO 阈值时，器件将变为工作状态。启动慢启动序列时开始开关。

7.4.3 在使用 EN 控制的情况下运行

使能阈值电压为 1.25V (典型值)。当 EN 引脚保持在该电压以下时，器件处于禁用状态并禁止进行开关，即使 V_{IN} 引脚高于 UVLO 阈值时也是如此。这种状态下的 IC 静态电流有所降低。如果 EN 电压升至高于阈值，而 V_{IN} 引脚高于 UVLO 阈值，则器件变为工作状态。开关启用，且慢启动序列随之启动。

8 应用和实现

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

TPS54331 器件通常用作降压转换器，可将 3.5V 至 28V 的电压转换为较低的电压。WEBENCH 软件可用于帮助设计和分析电路。

有关其他设计需求，请参阅以下器件：

参数	TPS54231	TPS54232	TPS54233	TPS54331	TPS54332
I _O (最大值)	2A	2A	2A	3A	3.5A
输入电压范围	3.5V 至 28V	3.5V 至 28V	3.5V 至 28V	3.5V 至 28V	3.5V 至 28V
开关频率 (典型值)	570kHz	1000kHz	285kHz	570kHz	1000kHz
开关电流限制 (最小值)	2.3A	2.3A	2.3A	3.5A	4.2A
引脚和封装	8SOIC	8SOIC	8SOIC	8SOIC 8SO PowerPAD	8SO PowerPAD

8.2 典型应用

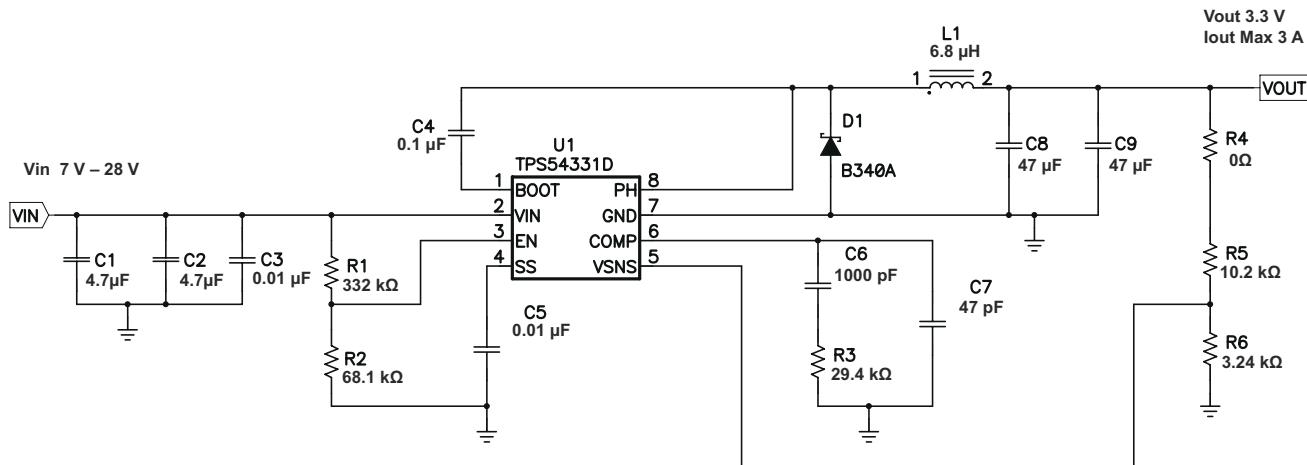


图 8-1. 典型应用原理图

8.2.1 设计要求

本设计示例使用表 8-1 中所列的值作为输入参数

表 8-1. 设计参数

设计参数	示例值
输入电压范围	7V 至 28V
输出电压	3.3V
输入纹波电压	300mV
输出纹波电压	30mV
输出电流额定值	3A
工作频率	570kHz

8.2.2 详细设计过程

以下设计过程可用于为 TPS54331 器件选择元件值。或者，可以用 WEBENCH 软件生成完整设计。WEBENCH 软件采用迭代设计过程，生成设计时可访问综合元件数据库。本部分简要讨论了设计过程。

8.2.2.1 使用 WEBENCH® 工具进行定制设计

[点击此处](#)，使用 WEBENCH Power Designer 创建定制设计方案。

- 首先，输入您的 V_{IN} 、 V_{OUT} 和 I_{out} 要求。
- 使用优化器拨盘优化效率、封装和成本等关键设计参数并将您的设计与德州仪器 (TI) 的其他可行解决方案进行比较。
- WEBENCH Power Designer 提供一份定制原理图以及罗列实时价格和元件供货情况的物料清单。
- 在大多数情况下，用户可以：
 - 运行电气仿真，观察重要波形以及电路性能；
 - 运行热性能仿真，了解电路板热性能；
 - 将定制原理图和布局方案导出至常用 CAD 格式；
 - 打印设计方案的 PDF 报告并与同事共享。

8.2.2.2 开关频率

TPS54331 器件的开关频率固定为 570kHz。

8.2.2.3 输出电压设定点

TPS54331 器件的输出电压可从外部通过电阻分压器网络进行调节。如图 8-1 中所示，此分压器网络由 R_5 和 R_6 组成。方程式 4 和方程式 5 给出了输出电压与电阻分压器之间的关系。

$$R_6 = \frac{R_5 \times V_{REF}}{V_{OUT} - V_{REF}} \quad (4)$$

$$V_{OUT} = V_{REF} \times \left(\frac{R_5}{R_6} + 1 \right) \quad (5)$$

选择 R_5 的值为大约 $10\text{k}\Omega$ 。当使用标准值电阻器时，略微增大或减小 R_5 的值会导致输出电压匹配更接近。在此设计中， $R_4 = 10.2\text{k}\Omega$ 且 $R = 3.24\text{k}\Omega$ ，得出输出电压为 3.31V 。提供的 0Ω 电阻器 R_4 用作断开控制环路以进行稳定性测试的方便位置。

8.2.2.4 输入电容器

TPS54331 器件需要一个输入去耦电容器，并且根据具体应用需要一个大容量输入电容器。去耦电容器的典型建议值为 10\mu F 。建议使用高品质的陶瓷型 X5R 或 X7R 电容器。额定电压必须大于最大输入电压。只要满足所有其他要求，就可以使用较小的值，然而， 10\mu F 值已被证明可用于各种电路。此外，可能需要某种大容量电容，尤其是当 TPS54331 电路的位置不在输入电压源的大约 2 英寸以内时。此电容器的容值并不重要，但其额定值必须能应对最大输入电压（包括纹波电压），并对输出进行滤波，以使输入纹波电压可以接受。对于此设计，两个 4.7\mu F 电容器用作输入去耦电容器。电容器是额定电压为 50V 的 X7R 电介质。等效串联电阻 (ESR) 为大约 $2\text{m}\Omega$ ，且额定电流为 3A 。此外，还包括一个 0.01\mu F 的小电容器用于高频滤波。

使用[方程式 6](#) 计算输入纹波电压。

$$\Delta V_{IN} = \frac{I_{OUT(MAX)} \times 0.25}{C_{BULK} \times F_{SW}} + (I_{OUT(MAX)} \times ESR_{MAX}) \quad (6)$$

其中

- $I_{OUT(MAX)}$ 为最大负载电流。
- F_{SW} 是开关频率。
- C_{BULK} 为大容量电容值。

- ESR_{MAX} 是大容量电容器的最大串联电阻。

此外，还必须检查最大 RMS 纹波电流。在最坏的情况下，使用 [方程式 7](#) 计算最大均方根输入纹波电流 $I_{CIN(RMS)}$ 。

$$I_{CIN(RMS)} = \frac{I_{OUT(MAX)}}{2} \quad (7)$$

在这种情况下，输入纹波电压为 143mV，均方根纹波电流为 1.5A。

备注

实际输入电压纹波在很大程度上受到与布局和电压源的输出阻抗相关的寄生效应的影响。

该电路的实际输入电压纹波在 [表 8-1](#) 中列出，并大于计算值。该测量值仍低于指定的输入限值 300mV。输入电容器的最大电压为 $V_{IN(MAX)} + \Delta V_{IN}/2$ 。所选大容量电容器和旁路电容器的额定电压都为 50V，纹波电流容量大于 3A，两者均提供了足够的裕量。在任何情况下都不得超过电压和电流的最大额定值。

8.2.2.5 输出滤波器元件

必须为输出滤波器选择两个元件 L1 和 C2。由于 TPS54331 器件是外部补偿器件，可以支持宽范围的滤波器元件类型和值。

8.2.2.5.1 电感器选择

要计算输出电感器的最小值，请使用 [方程式 8](#)。

$$L_{MIN} = \frac{V_{OUT(MAX)} \times (V_{IN(MAX)} - V_{OUT})}{V_{IN(MAX)} \times K_{IND} \times I_{OUT} \times F_{SW}} \quad (8)$$

其中

- K_{IND} 是一个系数，表示电感器纹波电流与最大输出电流之比。

一般而言，设计人员可以自行决定此值，但应遵循以下指南。对于使用低 ESR 输出电容器（例如陶瓷）的设计，可以使用和 $K_{IND} = 0.3$ 一样高的值。使用更高的 ESR 输出电容器时， $K_{IND} = 0.2$ 可获得更好的结果。

此设计示例采用 $K_{IND} = 0.3$ ，计算得出的最小电感值为 5.7μH。对于此设计，选择了一个较大的值：6.8 μH。

对于输出滤波电感器而言，请勿超出额定均方根电流和饱和电流。使用 [方程式 9](#) 计算电感器纹波电流 (I_{LPP})。

$$I_{LPP} = \frac{V_{OUT} \times (V_{IN(MAX)} - V_{OUT})}{V_{IN(MAX)} \times L_{OUT} \times F_{SW} \times 0.8} \quad (9)$$

使用 [方程式 10](#) 计算 RMS 电感器电流。

$$I_{L(RMS)} = \sqrt{I_{OUT(MAX)}^2 + \frac{1}{12} \times I_{LPP}^2} \quad (10)$$

使用 [方程式 11](#) 计算峰值电感器电流。

$$I_{L(PK)} = I_{OUT(MAX)} + \frac{I_{LPP}}{2} \quad (11)$$

对于此设计，RMS 电感器电流为 3.01A，峰值电感器电流为 3.47A。所选的电感器为 Sumida CDRH103-6R8，6.8 μH。此电感器的额定饱和电流为 3.84A，额定 RMS 电流为 3.6A，可满足这些要求。只要满足其他设计要求，就可以使用更小或更大的电感值，具体取决于设计人员想要允许的纹波电流大小。电感值越大，交流电流越低，导致输出电压纹波越小；而电感值越小，交流电流和输出电压纹波越大。通常，与 TPS54331 器件配合使用的电感值为 6.8 μH 至 47 μH。

8.2.2.6 电容器选型

输出电容器的重要设计因素是直流电压额定值、纹波电流额定值和等效串联电阻 (ESR)。不得超过直流电压和纹波电流额定值。ESR 很重要，因为它与电感器电流一起决定输出纹波电压的大小。输出电容器的实际值并不重要，但确实存在一些实际限制。应考虑此设计所需的闭环交叉频率与输出滤波器的 LC 转角频率之间的关系。通常，需要将闭环交叉频率保持在开关频率的 1/5 以下。由于开关频率较高，例如本设计的 570kHz 频率，TPS54331 器件的内部电路限制会将实际最大交叉频率限制在大约 25kHz。通常，闭环交叉频率必须高于由负载阻抗和输出电容器确定的转角频率。使用方程式 12 计算最小电容值的限制。

$$C_0(\text{MIN}) = \frac{1}{2 \times \pi \times R_0 \times F_{CO}(\text{MAX})} \quad (12)$$

其中

- R_0 是输出负载阻抗 (V_0/I_0)。
- $F_{CO}(\text{MAX})$ 是所需的交叉频率。

对于所需的 25kHz 最大交叉频率，输出电容器的最小值为大约 5.8 μF 。该值可能不满足输出纹波电压要求。输出纹波电压由两部分组成：由于输出滤波器电容的充放电而引起的电压变化和由于纹波电流乘以输出滤波器电容器的 ESR 而引起的电压变化。使用方程式 13 估计输出纹波电压。

$$V_{OPP} = I_{LPP} \times \left(\frac{(D - 0.5)}{4 \times F_{SW} \times C_0} + R_{ESR} \right) \quad (13)$$

可以根据初始设计参数中指定的允许输出纹波电压的大小来确定输出电容器的最大 ESR。由于 ESR，输出纹波电压将由电感纹波电流与输出滤波器 ESR 的乘积决定。因此，使用方程式 14 计算电容器数据表中列出的最大指定 ESR。

$$ESR_{MAX} = \frac{V_{OPP}(\text{MAX})}{I_{LPP}} - \frac{(D - 0.5)}{4 \times F_{SW} \times C_0} \quad (14)$$

其中

- $V_{OPP}(\text{MAX})$ 是所需的最大峰峰值输出纹波。

使用方程式 15 来计算最大均方根纹波电流。

$$I_{COUT(\text{RMS})} = \frac{1}{\sqrt{12}} \times \left(\frac{V_{OUT} \times (V_{IN}(\text{MAX}) - V_{OUT})}{V_{IN}(\text{MAX}) \times L_{OUT} \times F_{SW} \times N_C} \right) \quad (15)$$

其中

- N_C 为并联输出电容器数。

对于此设计示例，为 C8 和 C9 选用了两个 47 μF 陶瓷输出电容器。这些电容器为 TDK C3216X5R0J476MT，额定电压为 6.3V，最大 ESR 为 2m Ω ，且纹波电流额定值超过 3A。

计算的总均方根纹波电流为 161mA (每个 80.6mA)，所需的最大总 ESR 为 43m Ω 。这些输出电容器大幅度地超过了要求，实现了可靠、高性能的设计。

备注

当输出在 3.3V 的所需输出下工作时，电路中的实际电容可能小于目录值。

所选输出电容器的额定电压必须大于所需的输出电压加上纹波电压的一半。还必须包括任何降额量。其他电容器类型与 TPS54331 器件一起使用效果良好，具体取决于应用的需求。

8.2.2.7 补偿器件

TPS54331 器件使用的外部补偿可实现广泛的输出滤波器配置。支持大范围的电容值和电介质类型。此设计示例使用陶瓷 X5R 电介质输出电容器，但支持其他类型。

建议 TPS54331 器件采用 II 型补偿方案。选择补偿元件以设置输出滤波器元件的所需闭环交叉频率和相位裕度。II 型补偿具有以下特性：直流增益元件、低频极点和中频零点极点对。

使用[方程式 16](#) 计算直流增益。

$$G_{DC} = \frac{V_{GGM} \times V_{REF}}{V_0} \quad (16)$$

其中

- V_{GGM} 为 800。
- V_{REF} 为 0.8V。

使用[方程式 17](#) 计算低频极点。

$$F_{P0} = \frac{1}{2 \times \pi \times R_{00} \times C_Z} \quad (17)$$

使用[方程式 18](#) 计算中频零点。

$$F_{Z1} = \frac{1}{2 \times \pi \times R_Z \times C_Z} \quad (18)$$

使用[方程式 19](#) 计算中频极点。

$$F_{P1} = \frac{1}{2 \times \pi \times R_Z \times C_P} \quad (19)$$

第一步是选择闭环交叉频率。通常，闭环交叉频率必须小于最小工作频率的 1/8。然而，对于 TPS54331 器件，建议最大闭环交叉频率不超过 25kHz。第二步是计算交叉网络所需的增益和相位升压。根据定义，补偿网络的增益必须为调制器和输出滤波器增益的倒数。对于此设计示例，其中 ESR 零点远高于闭环交叉频率，调制器和输出滤波器的增益可以通过[方程式 20](#) 近似得出。

$$Gain = -20 \times \log(2 \times \pi \times R_{SENSE} \times F_{CO} \times C_0) \quad (20)$$

其中

- R_{SENSE} 为 $1\Omega/12$ 。
- F_{CO} 为闭环交叉频率。
- C_0 为输出电容。

使用[方程式 21](#) 计算缺相。

$$PL = \alpha \times \tan(2 \times \pi \times F_{CO} \times R_{ESR} \times C_0) - \alpha \times \tan(2 \times \pi \times F_{CO} \times R_0 \times C_0) \quad (21)$$

其中

- R_{ESR} 为输出电容器的等效串联电阻。
- R_0 为 V_0/I_0 。

电路的测量总回路响应在图 8-7 中给出。实际闭环交叉频率高于预期的大约 25kHz，这主要是因为输出滤波器元件的实际值变化和内部前馈增益电路的容差变化。总的来说，该设计的相位裕度大于 60 度，在线性和负载变化的所有组合中都是完全稳定的。

既然缺相是已知的，就可以确定满足相位裕度要求所需的相位升压量。使用[方程式 22](#) 计算所需的相位升压。

$$PB = (PM - 90\text{deg}) - PL \quad (22)$$

其中

- PM 为所需的相位裕度。

补偿网络的零点极点对围绕预期的闭环频率对称放置，以在交叉点提供最大相位升压。可以使用[方程式 23](#) 计算分离量。使用[方程式 24](#) 和[方程式 25](#) 计算得到的零点和极点频率。

$$k = \tan\left(\frac{PB}{2} + 45\text{deg}\right) \quad (23)$$

$$F_{Z1} = \frac{F_{CO}}{k} \quad (24)$$

$$F_{P1} = F_{CO} \times k \quad (25)$$

设置低频极点，以使交叉频率处的增益等于调制器和输出滤波器增益的倒数。由于由极点和零点关系建立的关系，使用[方程式 26](#) 计算 R_Z 的值。

$$R_Z = \frac{2 \times \pi \times F_{CO} \times V_O \times C_O \times R_{OA}}{G_{M_{COMP}} \times V_{GGM} \times V_{REF}} \quad (26)$$

其中

- V_O 为输出电压。
- C_O 为输出电容。
- F_{CO} 为所需的交叉频率。
- R_{OA} 为 $8M\Omega$ 。
- $G_{M_{COMP}}$ 为 12A/V 。
- V_{GGM} 为 800 。
- V_{REF} 为 0.8V 。

已知 R_Z 的值，使用[方程式 27](#) 和[方程式 28](#) 计算 C_Z 和 C_P 的值。

$$C_Z = \frac{1}{2 \times \pi \times F_{Z1} \times R_Z} \quad (27)$$

$$C_P = \frac{1}{2 \times \pi \times F_{P1} \times R_Z} \quad (28)$$

在此设计中，使用了两个 $47\ \mu\text{F}$ 输出电容器。对于陶瓷电容器，当对电容器施加直流偏置电压时，实际输出电容小于额定值，这发生在直流/直流转换器中。实际输出电容可低至 $54\ \mu\text{F}$ 。综合 ESR 大约为 0.001Ω 。

使用[方程式 20](#) 和[方程式 21](#)，输出级增益和缺相等效为：

- 增益 = -2.26dB
- $PL = -83.52$ 度

对于 70 度的相位裕度，[方程式 22](#) 需要 63.52 度的相位升压。

使用[方程式 23](#)、[方程式 24](#) 和[方程式 25](#) 计算以下值的零点频率和极点频率：

- $F_{Z1} = 5883\text{Hz}$
- $F_{P1} = 106200\text{Hz}$

使用[方程式 26](#)、[方程式 27](#) 和[方程式 28](#) 来计算 R_Z 、 C_Z 和 C_P 的值。

$$R_Z = \frac{2 \times \pi \times 25000 \times 3.3 \times 54 \times 10^{-6} \times 8 \times 10^6}{12 \times 800 \times 0.8} = 29.2\text{k}\Omega \quad (29)$$

$$C_Z = \frac{1}{2 \times \pi \times 6010 \times 29200} = 928\text{pF} \quad (30)$$

$$C_P = \frac{1}{2 \times \pi \times 103900 \times 29200} = 51\text{pF} \quad (31)$$

参考图 8-1 并使用 R3、C6 和 C7 的标准值，计算值如下：

- $R_3 = 29.4\text{k}\Omega$
- $C_6 = 1000\text{pF}$
- $C_7 = 47\text{pF}$

8.2.2.8 自举电容器

每个 TPS54331 设计都需要自举电容器 C4。自举电容器的值必须为 $0.1\text{ }\mu\text{F}$ 。自举电容器位于 PH 引脚和 BOOT 引脚之间。为了确保温度稳定性，自举电容器必须是具有 X7R 或 X5R 等级电介质的高品质陶瓷型电容器。

8.2.2.9 环流二极管

TPS54331 器件设计为通过 PH 和 GND 引脚之间的一个外部环流二极管来运行。所选二极管必须满足应用的绝对最大额定值。反向电压必须高于 PH 引脚处的最大电压，即 $V_{IN(MAX)} + 0.5\text{V}$ 。峰值电流必须大于 $I_{OUT(MAX)}$ 加上峰值电感器电流的一半。为获得更高的效率，正向压降必须较小。环流二极管导通时间（通常）长于高侧 FET 导通时间，因此，关注二极管参数可以显著提高整体效率。此外，检查所选器件是否能够消散功率损耗。对于此设计，选择了 Diodes, Inc. 的反向电压为 40V、正向电流为 3A 且正向压降为 0.5V 的 B340A。

8.2.2.10 输出电压限制

由于 TPS54331 器件的内部设计，任何给定的输入电压都有输出电压上限和下限。输出电压设定点的上限受 91% 的最大占空比约束，可使用方程式 32 进行计算。

$$V_{O(MAX)} = 0.91 \times ((V_{IN(MIN)} - I_{O(MAX)} \times R_{DS(ON)MAX}) + V_D) - (I_{O(MAX)} \times R_L) - V_D \quad (32)$$

其中

- $V_{IN(MIN)}$ 为最小输入电压。
- $I_{O(MAX)}$ 为最大负载电流。
- V_D 为环流二极管正向电压。
- R_L 为输出电感器串联电阻。

此公式假定内部高侧 FET 的电阻为最大值。

下限受到可高达 130ns 的最小可控导通时间的约束。使用方程式 33 计算给定输入电压和最小负载电流的近似最小输出电压。

$$V_{O(MIN)} = 0.089 \times ((V_{IN(MAX)} - I_{O(MIN)} \times R_{DS(ON)MIN}) + V_D) - (I_{O(MIN)} \times R_L) - V_D \quad (33)$$

其中

- $V_{IN(MAX)}$ 为最大输入电压。
- $I_{O(MIN)}$ 为最小负载电流。
- V_D 为环流二极管正向电压。
- R_L 为输出电感器串联电阻。

假设方程式 33 中高侧 FET 的标称导通电阻。方程式 33 说明了工作频率设定点的最坏情况变化。必须仔细检查在器件运行限制附近运行的任何设计，以确保功能正常。

8.2.2.11 功率损耗估计

以下公式显示了在连续导通模式 (CCM) 下运行时如何估算器件的功率损耗。如果器件在不连续导通模式 (DCM) 或脉冲跳跃 Eco-mode 下工作，则不得使用这些公式。

器件功率损耗包括：

1. 导通损耗：

$$P_{con} = I_{OUT}^2 \times R_{DS(on)} \times V_{OUT}/V_{IN}$$

其中

- I_{OUT} 为输出电流 (A)。
- $R_{DS(on)}$ 为高侧 MOSFET 的导通电阻 (Ω)。
- V_{OUT} 为输出电压 (V)。
- V_{IN} 为输入电压 (V)。

2. 开关损耗：

$$P_{sw} = 0.5 \times 10^{-9} \times V_{IN}^2 \times I_{OUT} \times f_{sw}$$

其中

- f_{sw} 为开关频率 (Hz)。

3. 棚极电荷损耗：

$$P_{gc} = 22.8 \times 10^{-9} \times f_{sw}$$

4. 静态电流损耗

$$P_q = 0.11 \times 10^{-3} \times V_{IN}$$

因此：

$$P_{tot} = P_{con} + P_{sw} + P_{gc} + P_q$$

其中

- P_{tot} 是器件的总功率损耗 (W)。

对于给定的 T_A ：

$$T_J = T_A + R_{th} \times P_{tot}$$

其中

- T_J 为结温 ($^{\circ}C$)。
- T_A 为环境温度 ($^{\circ}C$)。
- R_{th} 为封装的热阻 ($^{\circ}C/W$)。

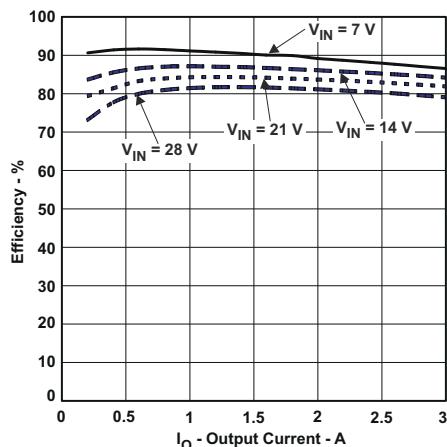
对于给定的 $T_{JMAX} = 150^{\circ}C$ ：

$$T_{AMAX} = T_{JMAX} - R_{th} \times P_{tot}$$

其中

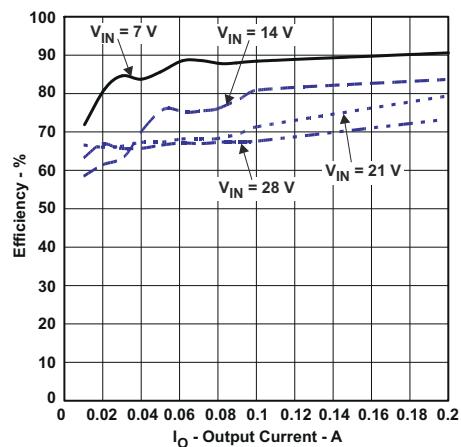
- T_{JMAX} 为最大结温 ($^{\circ}C$)。
- T_{AMAX} 为最高环境温度 ($^{\circ}C$)。

8.2.3 应用曲线



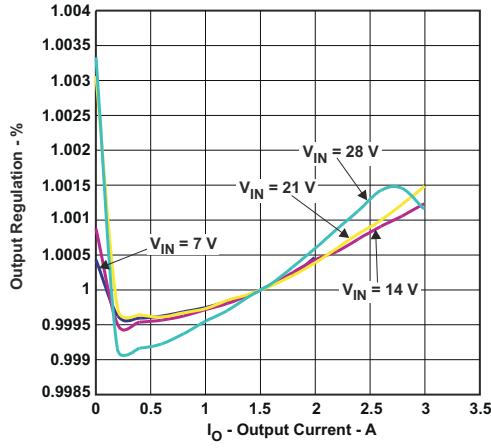
TPS54331 (D 封装)

图 8-2. 效率



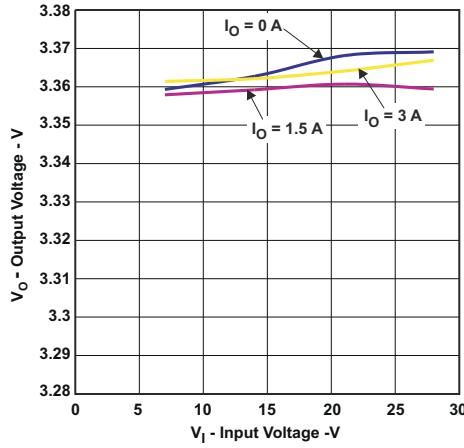
TPS54331 (D 封装)

图 8-3. 低电流效率



TPS54331 (D 封装)

图 8-4. 负载调整率



TPS54331 (D 封装)

图 8-5. 线性调整率

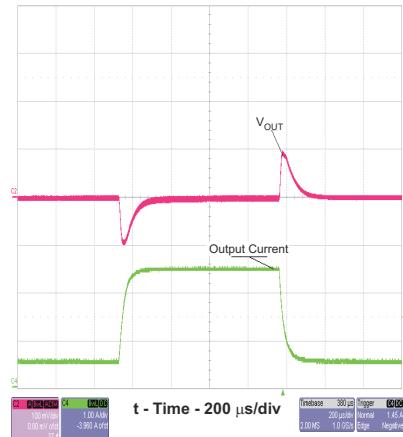


图 8-6. 瞬态响应

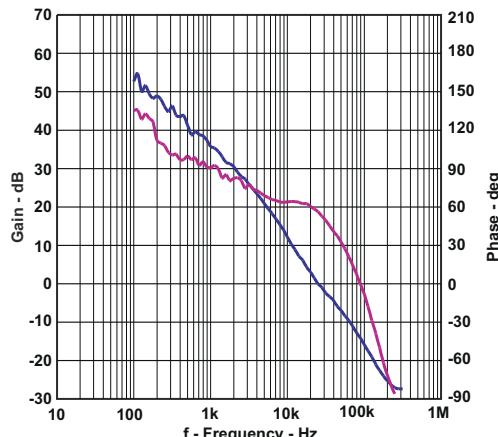


图 8-7. 环路响应

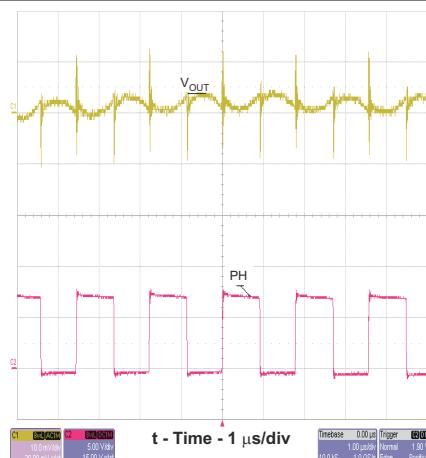


图 8-8. 输出纹波

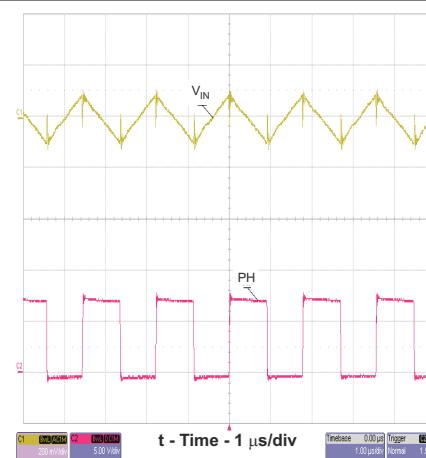


图 8-9. 输入纹波

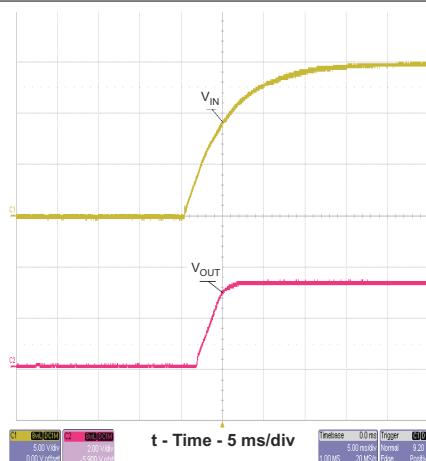


图 8-10. 启动



图 8-11. 相对于使能的启动

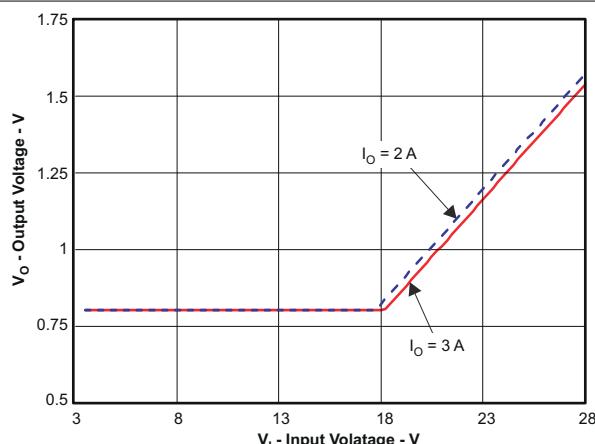


图 8-12. 典型最小输出电压与输入电压的关系

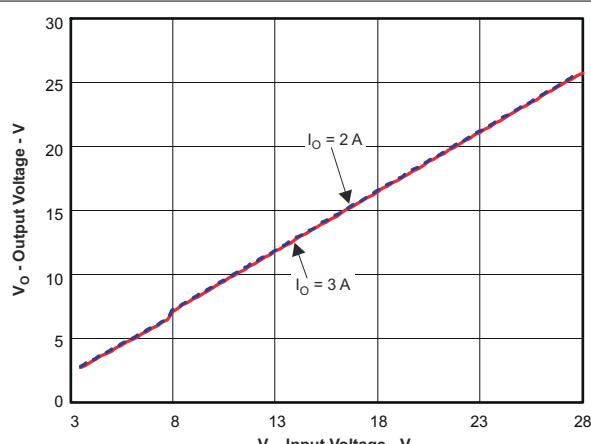
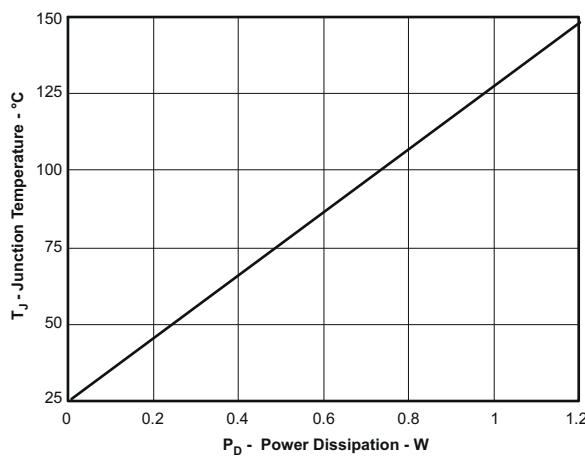
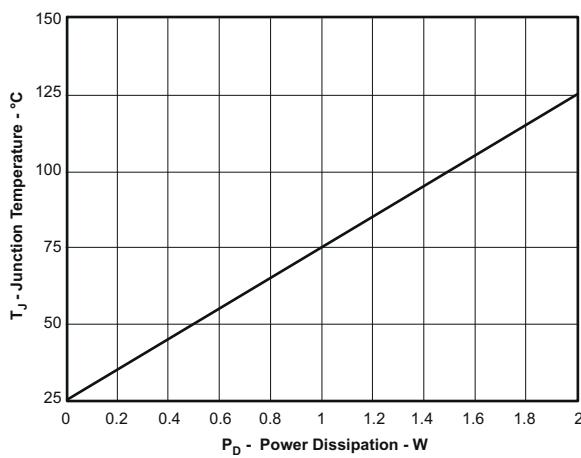


图 8-13. 典型最大输出电压与输入电压的关系



TPS54331 (D 封装)



TPS54331 (D 封装)

图 8-14. 最大功率损耗与结温的关系

图 8-15. 最大功率损耗与结温的关系

8.3 电源建议

这些器件设计为在 3.5V 至 28V 的输入电源电压范围内工作。该输入电源必须经过良好调节。如果输入电源距离转换器超过几英寸，那么除了陶瓷旁路电容器之外，还需要额外的大容量电容。通常，选择值为 100 μ F 的电解电容器。

8.4 布局

8.4.1 布局指南

必须使用低 ESR 陶瓷旁路电容器将 VIN 引脚旁路至接地。注意尽量减少由旁路电容器连接、VIN 引脚和环流二极管的阳极形成的环路区域。推荐的典型旁路电容器是采用 X5R 或 X7R 电介质的 10 μ F 陶瓷电容器，理想情况下应尽量靠近 VIN 引脚和环流二极管阳极的源极放置。图 8-16 展示了 PCB 布局示例。GND 引脚必须在器件的引脚处连接至 PCB 接地平面。低侧 MOSFET 的源极必须直接连接到顶侧 PCB 接地区域，而此接地区域用于连接输入电容器和输出电容器的接地侧以及环流二极管的阳极。PH 引脚必须连接至环流二极管的阴极以及输出电感器。由于 PH 连接是开关节点，因此环流二极管和输出电感器的放置必须非常靠近 PH 引脚，PCB 导体区域必须尽可能地减小，以防止过度电容耦合。对于满额定负载运行，顶侧接地区域必须提供足够的散热面积。TPS54331 器件使用熔合引线框架，以便 GND 引脚充当从内核散热的导热路径。许多应用具有更大的内部或背面接地平面面积，顶侧接地区域可以使用器件下方或附近的多个过孔连接到这些区域，以帮助散热。可以大致按如图所示方式放置附加外部元件。使用替代布局方案也许能够获得可接受的性能；不过，该布局经验证效果良好，可用作指南。

8.4.2 布局示例

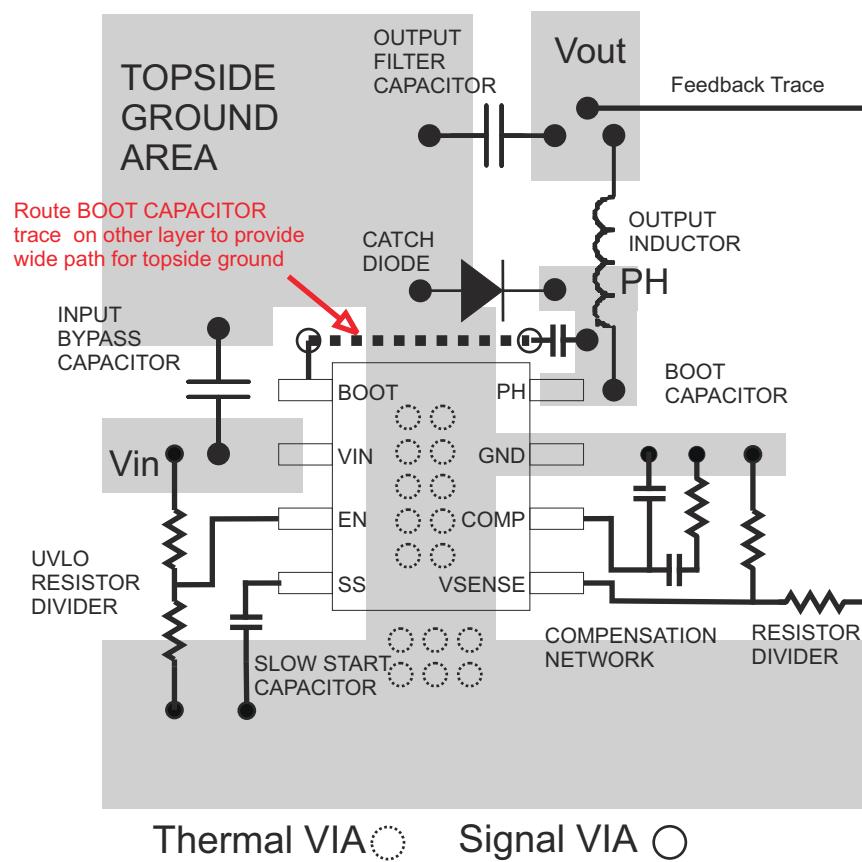


图 8-16. TPS54331 器件 D 电路板布局布线

8.4.3 电磁干扰 (EMI) 注意事项

随着 EMI 在越来越多的应用中日益受到关注，TPS54331 器件的内部设计包括用于减少 EMI 的特性。高侧 MOSFET 栅极驱动旨在减少 PH 引脚电压振铃。内部 IC 电源轨被隔离，以降低噪声灵敏度。封装键合线方案用于降低寄生效应。

为了获得最佳的 EMI 性能，外部元件选择和电路板布局布线同样重要。遵循节 8.2.2 中列出的步骤来防止潜在的 EMI 问题。

9 器件和文档支持

9.1 器件支持

9.1.1 开发支持

9.1.1.1 使用 WEBENCH® 工具进行定制设计

[点击此处](#)，使用 WEBENCH Power Designer 创建定制设计方案。

1. 首先，输入您的 V_{IN} 、 V_{OUT} 和 I_{OUT} 要求。
2. 使用优化器拨盘优化效率、封装和成本等关键设计参数并将您的设计与德州仪器 (TI) 的其他可行解决方案进行比较。
3. WEBENCH Power Designer 提供一份定制原理图以及罗列实时价格和元件供货情况的物料清单。
4. 在大多数情况下，用户可以：
 - 运行电气仿真，观察重要波形以及电路性能；
 - 运行热性能仿真，了解电路板热性能；
 - 将定制原理图和布局方案导出至常用 CAD 格式；
 - 打印设计方案的 PDF 报告并与同事共享。

9.2 支持资源

[TI E2E™ 中文支持论坛](#)是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

9.3 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击[订阅更新](#)进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.4 商标

PowerPAD™ and TI E2E™ are trademarks of Texas Instruments.

WEBENCH® is a registered trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.5 静电放电警告

 静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知和修订此文档。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS54331D	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	54331
TPS54331D.A	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	54331
TPS54331D.B	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	54331
TPS54331DDA	Active	Production	SO PowerPAD (DDA) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	54331
TPS54331DDA.A	Active	Production	SO PowerPAD (DDA) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	54331
TPS54331DDA.B	Active	Production	SO PowerPAD (DDA) 8	75 TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	54331
TPS54331DDAR	Active	Production	SO PowerPAD (DDA) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	54331
TPS54331DDAR.A	Active	Production	SO PowerPAD (DDA) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	54331
TPS54331DDAR.B	Active	Production	SO PowerPAD (DDA) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 150	54331
TPS54331DG4	Active	Production	SOIC (D) 8	75 TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	54331
TPS54331DR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	54331
TPS54331DR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	54331
TPS54331DR.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	54331
TPS54331DRG4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	54331
TPS54331GDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	54331
TPS54331GDR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	54331
TPS54331GDR.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 150	54331

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

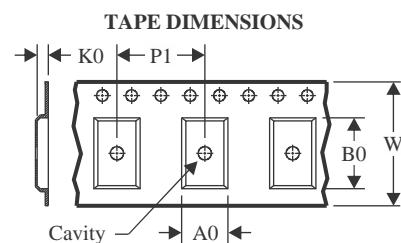
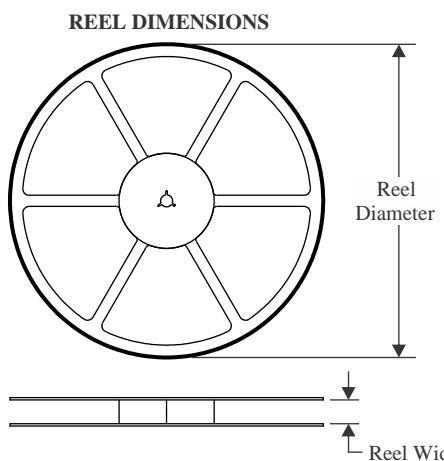
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS54331 :

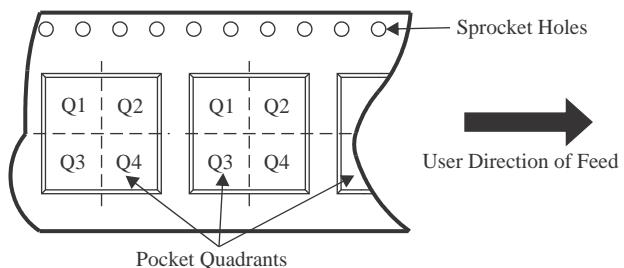
- Automotive : [TPS54331-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

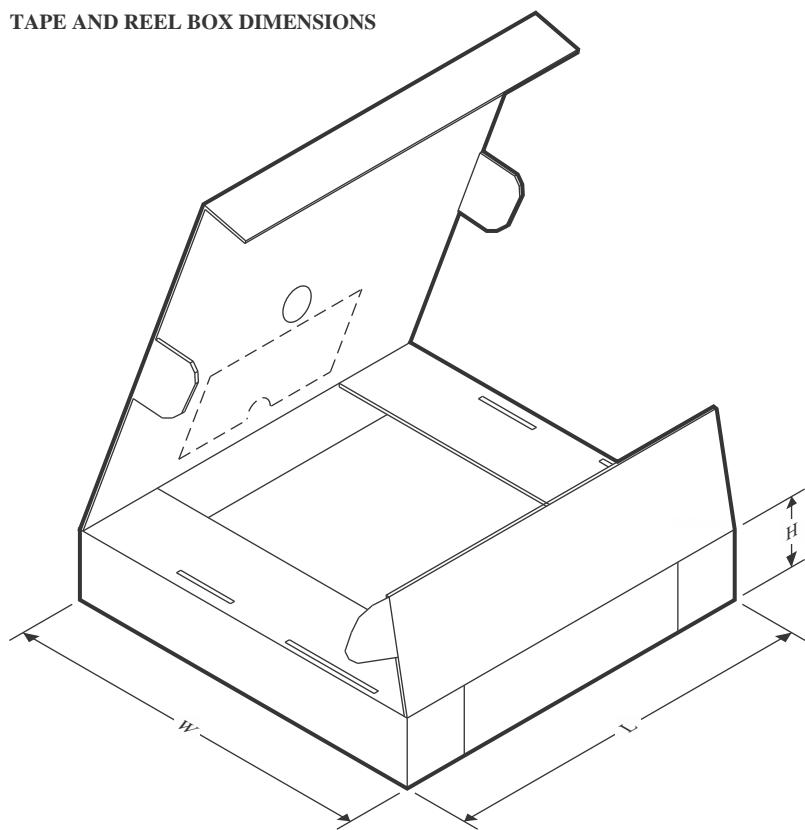
TAPE AND REEL INFORMATION


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


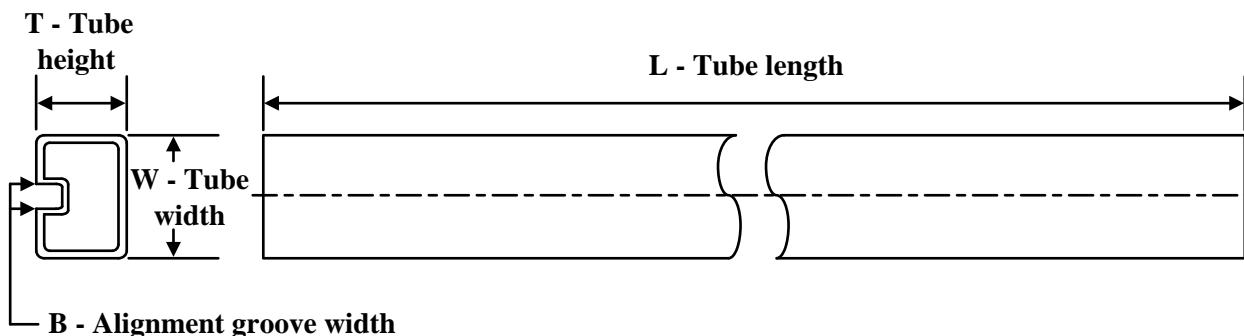
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS54331DDAR	SO PowerPAD	DDA	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TPS54331DR	SOIC	D	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1
TPS54331GDR	SOIC	D	8	2500	330.0	12.5	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS54331DDAR	SO PowerPAD	DDA	8	2500	353.0	353.0	32.0
TPS54331DR	SOIC	D	8	2500	353.0	353.0	32.0
TPS54331GDR	SOIC	D	8	2500	340.5	338.1	20.6

TUBE


*All dimensions are nominal

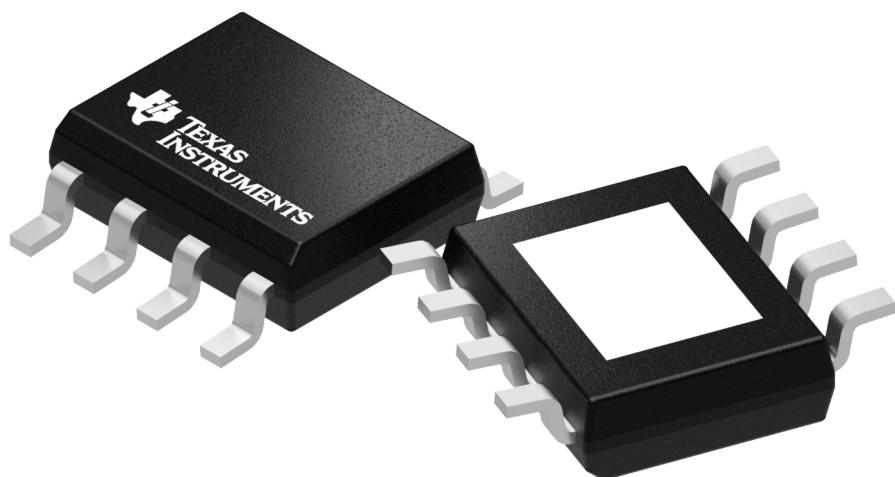
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
TPS54331D	D	SOIC	8	75	507	8	3940	4.32
TPS54331D.A	D	SOIC	8	75	507	8	3940	4.32
TPS54331D.B	D	SOIC	8	75	507	8	3940	4.32
TPS54331DDA	DDA	HSOIC	8	75	506.6	8	3940	4.32
TPS54331DDA.A	DDA	HSOIC	8	75	506.6	8	3940	4.32
TPS54331DDA.B	DDA	HSOIC	8	75	506.6	8	3940	4.32
TPS54331DG4	D	SOIC	8	75	507	8	3940	4.32

GENERIC PACKAGE VIEW

DDA 8

PowerPAD™ SOIC - 1.7 mm max height

PLASTIC SMALL OUTLINE

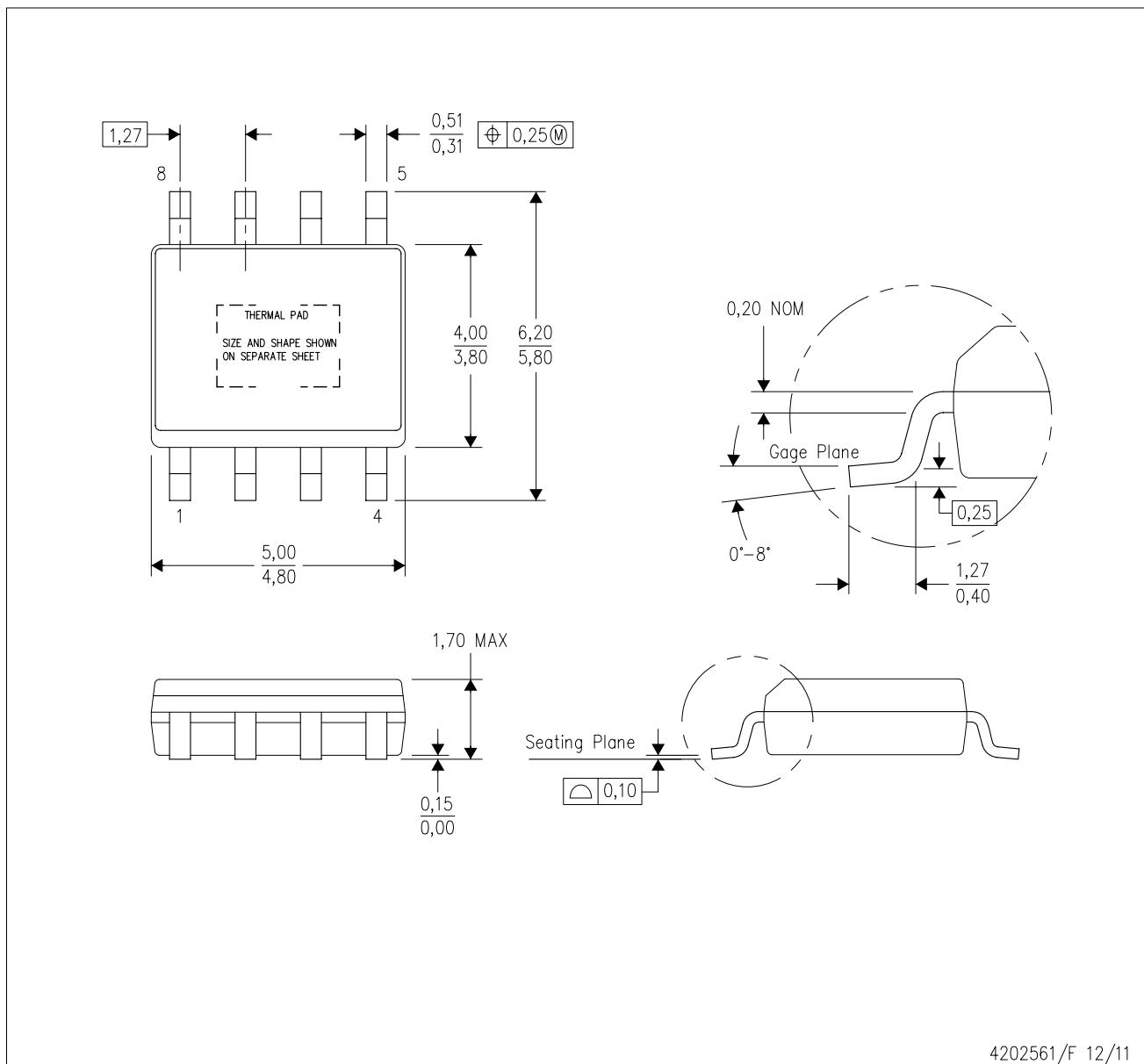


Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4202561/G

DDA (R-PDSO-G8)

PowerPAD™ PLASTIC SMALL-OUTLINE



4202561/F 12/11

- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5-1994.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion not to exceed 0,15.
 - D. This package is designed to be soldered to a thermal pad on the board. Refer to Technical Brief, PowerPad Thermally Enhanced Package, Texas Instruments Literature No. SLMA002 for information regarding recommended board layout. This document is available at www.ti.com <<http://www.ti.com>>.
 - E. See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.
 - F. This package complies to JEDEC MS-012 variation BA

PowerPAD is a trademark of Texas Instruments.

DDA (R-PDSO-G8)

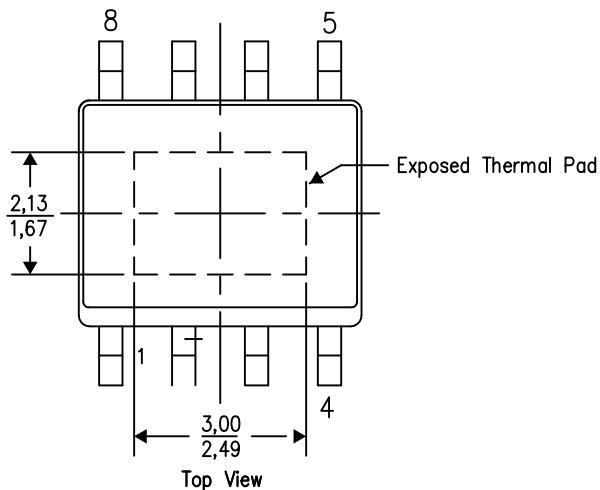
PowerPAD™ PLASTIC SMALL OUTLINE

THERMAL INFORMATION

This PowerPAD™ package incorporates an exposed thermal pad that is designed to be attached to a printed circuit board (PCB). The thermal pad must be soldered directly to the PCB. After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For additional information on the PowerPAD package and how to take advantage of its heat dissipating abilities, refer to Technical Brief, PowerPAD Thermally Enhanced Package, Texas Instruments Literature No. SLMA002 and Application Brief, PowerPAD Made Easy, Texas Instruments Literature No. SLMA004. Both documents are available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



Exposed Thermal Pad Dimensions

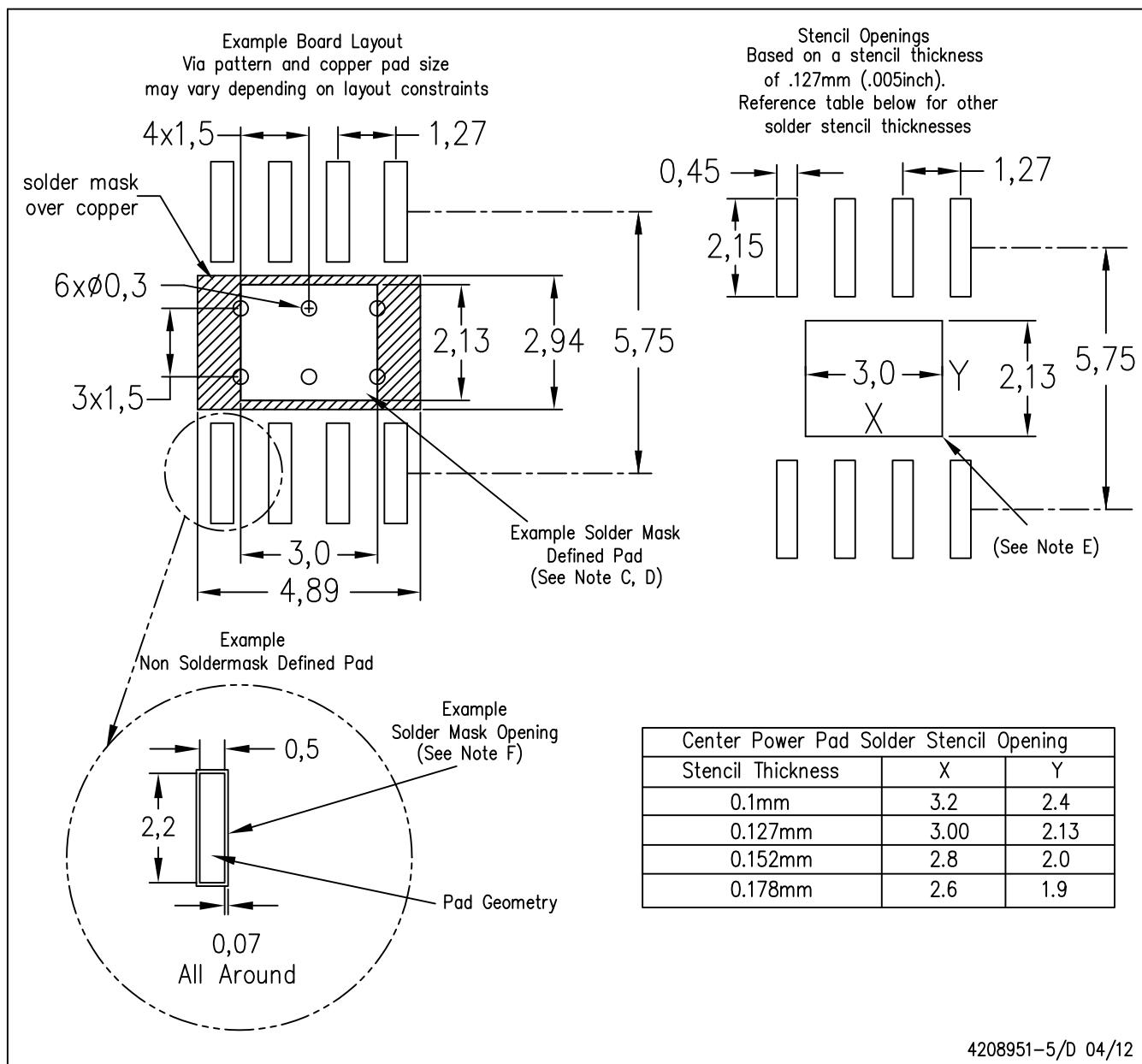
4206322-5/L 05/12

NOTE: A. All linear dimensions are in millimeters

PowerPAD is a trademark of Texas Instruments

DDA (R-PDSO-G8)

PowerPAD™ PLASTIC SMALL OUTLINE



- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Customers should place a note on the circuit board fabrication drawing not to alter the center solder mask defined pad.
 - This package is designed to be soldered to a thermal pad on the board. Refer to Technical Brief, PowerPad Thermally Enhanced Package, Texas Instruments Literature No. SLMA002, SLMA004, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <<http://www.ti.com>>. Publication IPC-7351 is recommended for alternate designs.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Example stencil design based on a 50% volumetric metal load solder paste. Refer to IPC-7525 for other stencil recommendations.
 - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

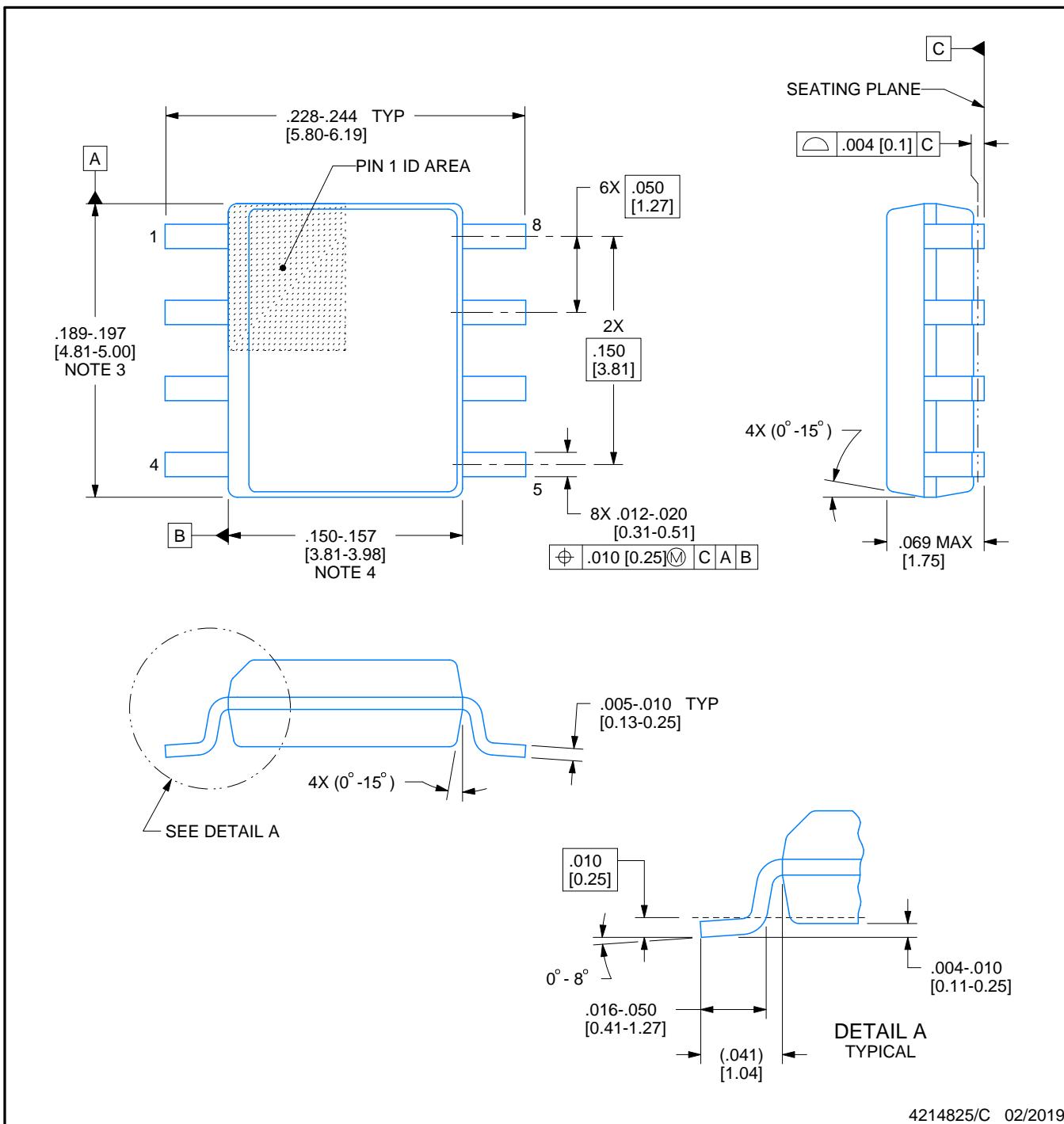
PowerPAD is a trademark of Texas Instruments.



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

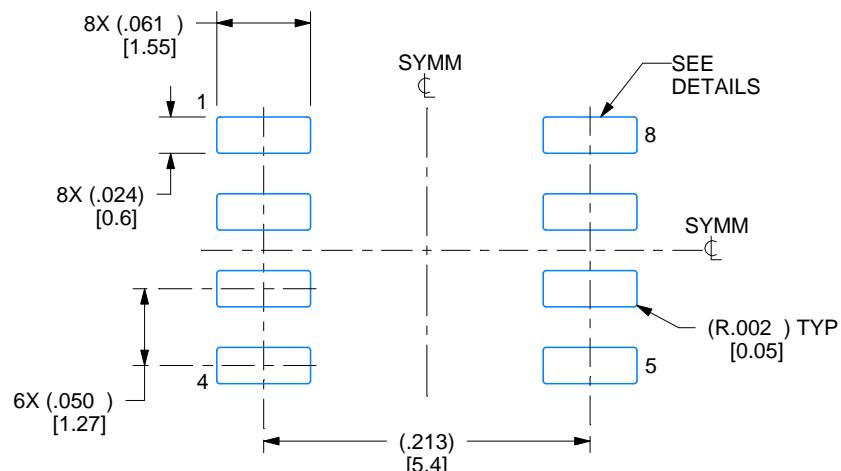
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

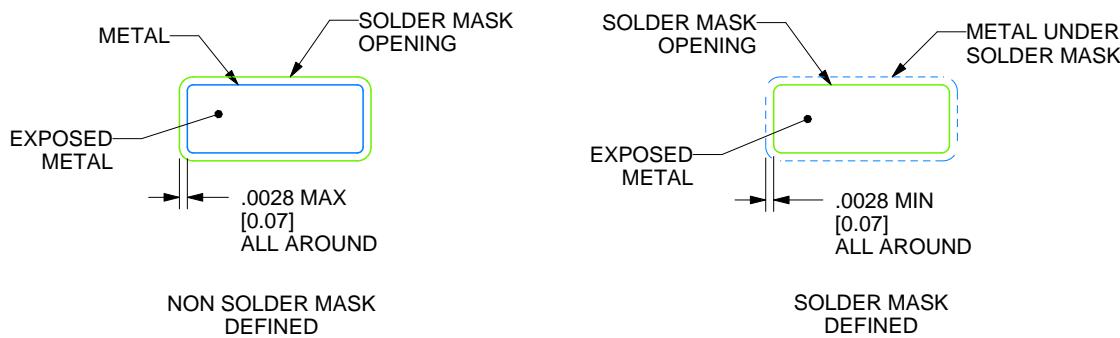
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

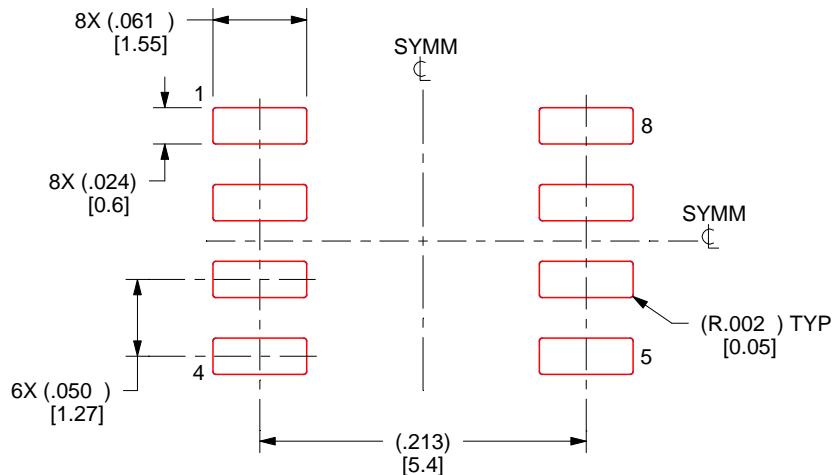
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月