TPS38700S-Q1 支持 I²C 和多达 6 个通道、6 个 GPO 和 SYNC 的电源序列发生器

1 特性

- 具有符合 AEC-Q100 标准的下列特性：
  - 器件温度等级 1：–40°C 至 +125°C
- 先进 SoC 的时序控制
  - 能够对多达 6 个电源轨进行时序控制
  - 可通过 I2C 对上电/断电时序进行编程
    - 125us 至 64ms（以 125us 为步长）
    - 500us 至 25ms（以 500us 为步长）
- 系统稳健
  - 低电平有效开漏 NIRQ 可在操作错误期间将系统锁存至安全状态
  - 与带有同步引脚的 TPS389006-Q1 等多通道监控器连接，用于全电压监控和时序控制情况
  - 电池备用功能，用于在断电事件期间报告诊断错误
  - 高温环境下的器件热关断

2 应用

- 高级驾驶辅助系统 (ADAS)
- 汽车摄像头模块
- FPGA 电源时序控制
- 微处理器和微控制器时序控制
- 多电源时序控制

3 说明

TPS38700S-Q1 器件是一款集成了窗口看门狗和可编程 I²C 的多通道电压序列发生器，采用 24 引脚 4mm x 4mm VQFN 封装。

这种多通道电压序列发生器非常适合需要精确上电和/或断电时序的系统，并且可以与多通道电压监控器连接。该器件默认采用预编程的 OTP 选项，但 I²C 可对上电和断电时序控制、看门狗设置和序列时序选项（如需要）重新编程。

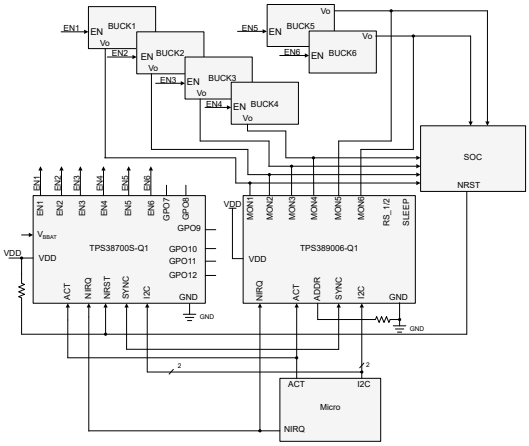
得益于灵活且可编程的电压轨时序功能、低静态电流和小尺寸等优势，该器件能够满足大多数应用要求。

TPS38700S-Q1 上的 SYNC 可让设计人员更好地控制系统加电方式。TPS38700S-Q1 通过仅在已使用 SYNC 信号将电流轨上电至可接受的电平时触发以下使能信号，来实现该功能。此外，TPS38700S-Q1 还支持使用自定义延迟选项。 TPS38700S-Q1 专为与 TPS389006-Q1 配合使用而设计。

器件信息

器件型号	封装 (1)	封装尺寸（标称值）
TPS38700S-Q1	VQFN (24)	4mm x 4mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



多通道电压序列发生器和监视器

本文档旨在为方便起见，提供有关 TI 产品中文版本的信息，以确认产品的概要。有关适用的官方英文版本的最新信息，请访问 www.ti.com，其内容始终优先。TI 不保证翻译的准确性和有效性。在实际设计之前，请务必参考最新版本的英文版本。
English Data Sheet: SNVSCG1

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 修订历史记录.....2
5 器件比较.....3
6 引脚配置和功能.....4
7 规格.....6
7.1 绝对最大额定值.....6
7.2 ESD 等级.....6
7.3 建议运行条件.....6
7.4 热性能信息.....7
7.5 电气特性.....7
7.6 时序要求.....8
7.7 典型特性.....10
8 详细说明.....11
8.1 概述.....11
8.2 功能方框图.....11
8.3 特性说明.....12
8.4 寄存器映射表.....21
9 应用和实施.....34
9.1 应用信息.....34
9.2 典型应用.....35
10 电源相关建议.....40
10.1 电源指南.....40
11 布局.....41
11.1 布局指南.....41
11.2 布局示例.....41
12 器件和文档支持.....42
12.1 器件命名规则.....42
12.2 接收文档更新通知.....42
12.3 支持资源.....42
12.4 商标.....42
12.5 静电放电警告.....42
12.6 术语表.....42

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	说明
July 2023	*	初始发行版

Copyright © 2023 Texas Instruments Incorporated

5 器件比较

图 5-1 展示了 TPS38700S-Q1 器件的器件命名规则。有关器件订购代码的更多信息，请参阅表 12-1。如需了解其他选项的详细信息和供货情况，请联系 TI 销售代表或访问 TI 的 E2E 论坛；最低订购量适用。

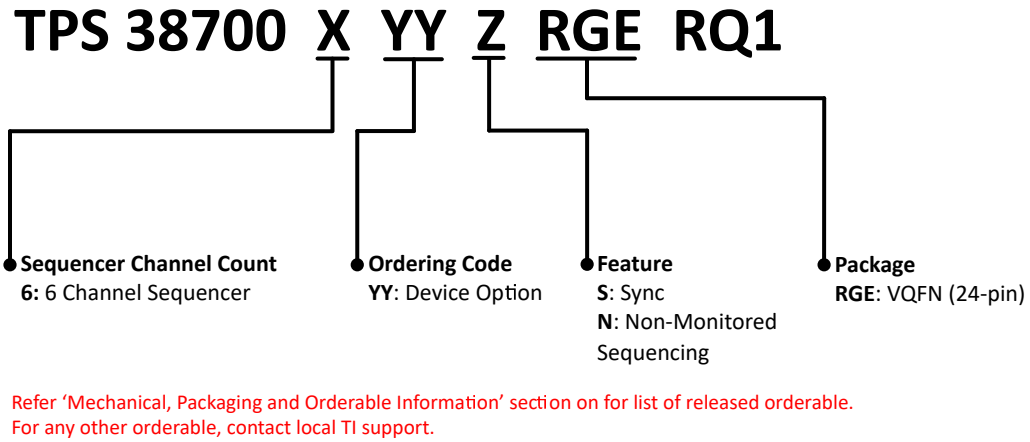


图 5-1. TPS38700S-Q1 器件命名规则

6 引脚配置和功能

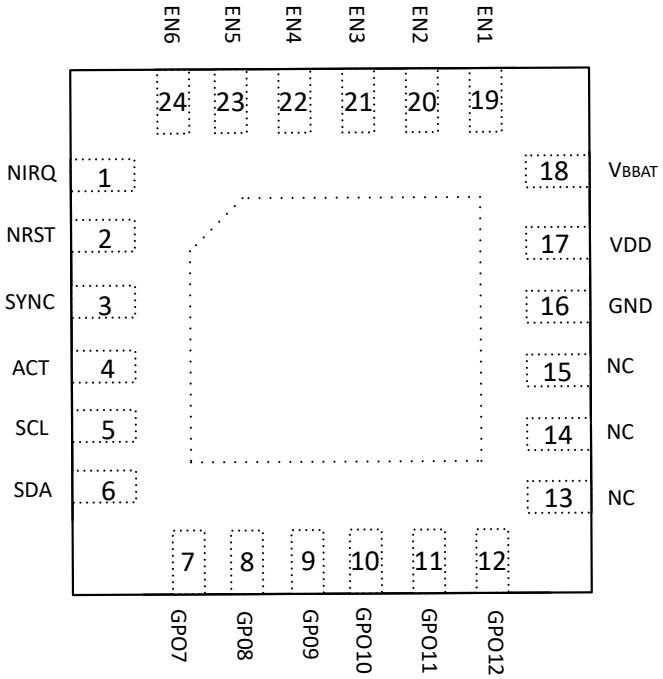


图 6-1. RGE 封装
24 引脚 VQFN
TPS38700 顶视图

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚功能

引脚		I/O	说明
编号	TPS38700S-Q1 名称		
1	NIRQ	O	中断引脚（开漏、低电平有效）
2	NRST	O	复位引脚（开漏、低电平有效）
3	SYNC	I	上电和断电序列期间启用和禁用电压轨需要低电平有效输入。有关更多信息，请查看 节 8.1 和 节 8.3.2。
4	ACT	I	ACT 引脚（逻辑高电平启动上电序列、逻辑低电平启动断电序列）
5	SCL	I	I2C 时钟引脚
6	SDA	I/O	I2C 数据引脚
7	GPO7	O	GPO7（开漏）
8	GPO8	O	GPO8（开漏）
9	GPO9	O	GPO9（开漏）
10	GPO10	O	GPO10（开漏）
11	GPO11	O	GPO11（开漏）
12	GPO12	O	GPO12（开漏）
13	NC	不适用	保持引脚开路。不要连接到任何地方。
14	NC	不适用	保持引脚开路。不要连接到任何地方。
15	NC	不适用	保持引脚开路。不要连接到任何地方。
16	GND	-	接地
17	VDD	-	电源
18	V_{BBAT}	-	备用电池电源。有关备用状态的更多信息，请查看 节 8.3.4。
19	EN1	O	使能 1（开漏）
20	EN2	O	使能 2（开漏）
21	EN3	O	使能 3（开漏）
22	EN4	O	使能 4（开漏）
23	EN5	O	使能 5（开漏）
24	EN6	O	使能 6（开漏）

7 规格

7.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]

		最小值	最大值	单位
电压	VDD、V_{BBAT}	–0.3	6	V
电压	GPOx	-0.3	6	V
电压	SCL、SDA (OTP=3.3V)	-0.3	5.5	V
温度 [(2)]	持续总功率耗散	请参阅“热性能信息”		
	运行结温，T_J	-40	150	°C
	自然通风工作温度范围，T_A	-40	125	°C
	贮存温度，T_{stg}	-65	150	°C

(1) 应力超出“绝对最大额定值”下所列的值可能会对器件造成永久损坏。这些仅仅是应力等级，并不表示器件在这些条件下以及在“建议运行条件”以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 由于该器件的耗散功率较低，因此假设 $T_J = T_A$。

7.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001[(1)]		±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011	所有引脚	±500	
			转角引脚	±750	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

7.3 建议运行条件

		最小值	标称值	最大值	单位
VDD	电源引脚电压	2.2		5.5	V
V_{BBAT}	备用电池	1.8		5.5	V
I_{NRST}、I_{NIRQ}、I_{ENx}	引脚电流	0		±1	mA
GPOx	引脚电压	0		5.5	V
SCL，SDA	引脚电压 (OTP=3.3V)	0		4	V
R_{UP}	上拉电阻（开漏配置）	10		100	kΩ
T_J	结温（自然通风温度）	-40		125	℃

Copyright © 2023 Texas Instruments Incorporated

7.4 热性能信息

热指标[1]		TPS38700x-Q1 RGE (VQFN) 引脚	单位
$R_{\theta JA}$	结至环境热阻	53.4	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	51.4	°C/W
$R_{\theta JB}$	结至电路板热阻	17.2	°C/W
Ψ_{JT}	结至顶部特征参数	0.3	°C/W
Ψ_{JB}	结至电路板特性参数	20.7	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	3.9	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

7.5 电气特性

2.2V ≤ VDD ≤ 5.5V，NRST/NIRQ = 10kΩ 至 VDD，NRST/NIRQ 负载 = 10pF，并且在自然通风条件下的工作温度范围（–40°C 至 125°C）内测得，除非另有说明。典型值为 T_A = 25°C 下的值，在典型条件 VDD = 3.3V 下。

参数		测试条件	最小值	典型值	最大值	单位
常用参数						
VDD	输入电源电压		2.2		5.5	V
V_{BBAT}	备用电池电压范围		1.85		5.5	V
UVLO_VDDR	UVLO VDD	上升阈值			2.2	V
UVLO_VDDF	UVLO VDD	下降阈值/切换到 V_{BBAT}	1.90		2	V
UVLO_V_{BBAT}	UVLO 备用电池	下降阈值			1.85	V
POR	上电复位电压，所有输出在高于该值时保证稳定	下降阈值			1.39	V
I_{DD}	流入 VDD 引脚的电源电流 ACT=高电平	VDD ≤ 5.5V，上电序列完成		45	75	μA
I_{DD}	流入 VDD 引脚的电源电流 ACT=低电平	VDD ≤ 5.5V，断电序列完成		35	60	μA
I_{BBAT}	来自 V_{BBAT} 的电源电流	V_{BBAT} ≤ 5.5V		35	60	μA
I_{LKG_NRST}	输出漏电流 (NRST)	VDD = V_{NRST} = 5.5V			300	nA
I_{LKG_NIRQ}	输出漏电流 (NIRQ)	VDD = V_{NIRQ} = 5.5V			300	nA
ACT_L	逻辑低电平输入				0.36	V
ACT_H	逻辑高电平输入		0.84		VDD - 0.2	V
SYNC_H	输入高电平	Io = 1mA	1.1			V
SYNC_L	输入低电平	Io = 1mA			0.36	V
ACT	内部下拉电阻			100		kΩ
NRST	输出低电平	开漏（10kΩ 上拉）			0.1	V
NIRQ	输出低电平	开漏（10kΩ 上拉）			0.1	V
ENx	输出低电平	开漏（10kΩ 上拉）			0.1	V
GPOx	输出低电平	开漏（10kΩ 上拉）			0.1	V
OSC	内部振荡器容限		-5		5	%
$I_{lkg(BBAT)}$	从 V_{BBAT} 获得的漏电流	V_{BBAT} > 1.85V			300	nA
TSD	热关断			165		℃
TSD 迟滞	热关断迟滞			25		℃

7.5 电气特性 (continued)

2.2V ≤ VDD ≤ 5.5V，NRST/NIRQ = 10kΩ 至 VDD，NRST/NIRQ 负载 = 10pF，并且在自然通风条件下的工作温度范围（–40°C 至 125°C）内测得，除非另有说明。典型值为 T_A = 25°C 下的值，在典型条件 VDD = 3.3V 下。

参数		测试条件	最小值	典型值	最大值	单位
I2C 电气规格						
C_B	SDA 和 SCL 的容性负载				400	pF
SDA、SCL	低电平阈值，OTP = 3.3V				0.84	V
SDA、SCL	低电平阈值，OTP = 3.3V		2.31			V
SDA	输出低电平，灌电流为 3mA				0.2	V

7.6 时序要求

2.2V ≤ VDD ≤ 5.5V，NRST/NIRQ 电压 = 10kΩ 至 VDD，NRST/NIRQ 负载 = 10pF，并且在自然通风条件下的工作温度范围（–40°C 至 125°C）内测得，除非另有说明。典型值为 T_A = 25°C 下的值，在典型条件 VDD = 3.3V 下。

			最小值	标称值	最大值	单位
常用参数						
t_{D_ENx}	从时隙开始到 ENx 切换的延迟	从时隙开始			10	μs
$t_{D_ENx,y}$	同一时隙中 2 个后续 EN 之间的延迟				1	μs
t_{NRST_EN}	紧急断电时从 NRST 到 ENx 的延迟	序列 2	200			ns
t_{D_NRST}	从 ACT 引脚的下降沿低于 VIL 或 VDD 引脚的下降沿低于 VDD_{min} 到 NRST 置为有效的延迟				25	μs
t_{D_NIRQ}	故障检测到 NIRQ 置为有效的延迟				25	μs
t_{No_BIST}	不具有 BIST 时的 POR 就绪时间	包括具有 ECC 的 OTP 负载			2.5	ms
I2C 时序特性						
f_{SCL}	串行时钟频率(1)	标准模式			100	kHz
f_{SCL}	串行时钟频率(1)	快速模式			400	kHz
f_{SCL}	串行时钟频率(1)	超快速模式			1	MHz
t_{LOW}	SCL 低电平时间(1)	标准模式	4.7			μs
t_{LOW}	SCL 低电平时间(1)	快速模式	1.3			μs
t_{LOW}	SCL 低电平时间(1)	超快速模式	0.5			μs
t_{HIGH}	SCL 高电平时间(1)	标准模式	4			μs
t_{HIGH}	SCL 高电平时间(1)	快速模式	1			μs
t_{HIGH}	SCL 高电平时间(1)	超快速模式	0.26			μs
t_{SU_DAT}	数据建立时间(1)	标准模式	250			ns
t_{SU_DAT}	数据建立时间(1)	快速模式	100			ns
t_{SU_DAT}	数据建立时间(1)	超快速模式	50			ns
t_{HD_DAT}	数据保持时间(1)	标准模式	10		3450	ns
t_{HD_DAT}	数据保持时间(1)	快速模式	10		900	ns
t_{HD_DAT}	数据保持时间(1)	超快速模式	10			ns
t_{SU_STA}	启动或重复启动条件的建立时间(1)	标准模式	4.7			μs
t_{SU_STA}	启动或重复启动条件的建立时间(1)	快速模式	0.6			μs
t_{SU_STA}	启动或重复启动条件的建立时间(1)	超快速模式	0.26			μs
t_{HD_STA}	启动或重复启动条件的保持时间(1)	标准模式	4			μs
t_{HD_STA}	启动或重复启动条件的保持时间(1)	快速模式	0.6			μs
t_{HD_STA}	启动或重复启动条件的保持时间(1)	超快速模式	0.26			μs

Copyright © 2023 Texas Instruments Incorporated

7.6 时序要求 (continued)

2.2V ≤ VDD ≤ 5.5V，NRST/NIRQ 电压 = 10kΩ 至 VDD，NRST/NIRQ 负载 = 10pF，并且在自然通风条件下的工作温度范围（–40°C 至 125°C）内测得，除非另有说明。典型值为 T_A = 25°C 下的值，在典型条件 VDD = 3.3V 下。

			最小值	标称值	最大值	单位
t_{BUF}	STOP 与 START 状态之间的总线空闲时间(1)	标准模式	4.7			μs
t_{BUF}	STOP 与 START 状态之间的总线空闲时间(1)	快速模式	1.3			μs
t_{BUF}	STOP 与 START 状态之间的总线空闲时间(1)	超快速模式	0.5			μs
t_{SU_STO}	停止条件的建立时间(1)	标准模式	4			μs
t_{SU_STO}	停止条件的建立时间(1)	快速模式	0.6			μs
t_{SU_STO}	停止条件的建立时间(1)	超快速模式	0.26			μs
t_{rDA}	SDA 信号的上升时间(1)	标准模式			1000	
t_{rDA}	SDA 信号的上升时间(1)	快速模式	20		300	ns
t_{rDA}	SDA 信号的上升时间(1)	超快速模式			120	ns
t_{fDA}	SDA 信号的下降时间(1)	标准模式			300	ns
t_{fDA}	SDA 信号的下降时间(1)	快速模式	1.4		300	ns
t_{fDA}	SDA 信号的下降时间(1)	超快速模式	6.5		120	ns
t_{rCL}	SCL 信号的上升时间(1)	标准模式			1000	ns
t_{rCL}	SCL 信号的上升时间(1)	快速模式	20		300	ns
t_{rCL}	SCL 信号的上升时间(1)	超快速模式			120	ns
t_{fCL}	SCL 信号的下降时间(1)	标准模式			300	ns
t_{fCL}	SCL 信号的下降时间(1)	快速模式	6.5		300	ns
t_{fCL}	SCL 信号的下降时间(1)	超快速模式	6.5		120	ns
t_{SP}	被抑制的 SCL 和 SDA 尖峰的脉冲宽度(1)	标准模式、快速模式和超快速模式			50	ns

(1) 受设计保证

7.7 典型特性

在 T_A = 25°C，V_{DD} = 3.3V 且 R_{PU} = 10kΩ（除非另有说明）。

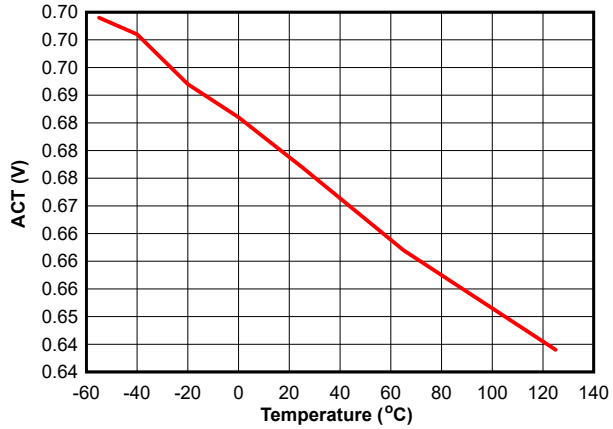


图 7-1. ACT 逻辑高阈值电压与温度间的关系

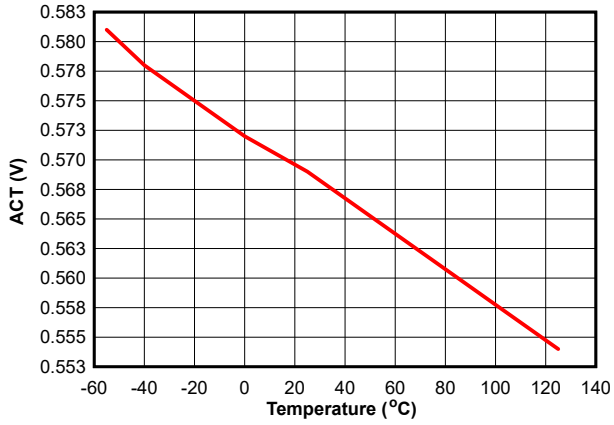


图 7-2. ACT 逻辑低阈值电压与温度间的关系

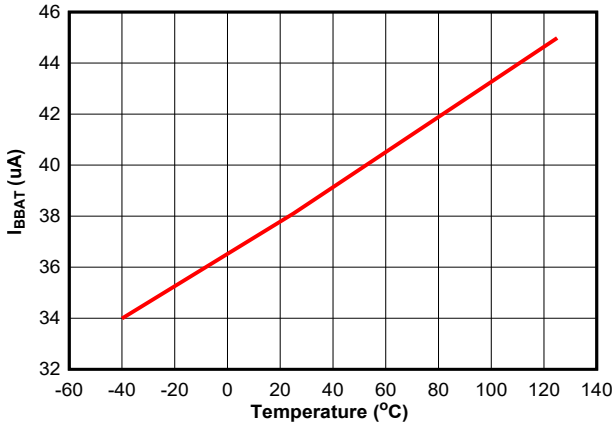


图 7-3. I_{BBAT} 与温度间的关系

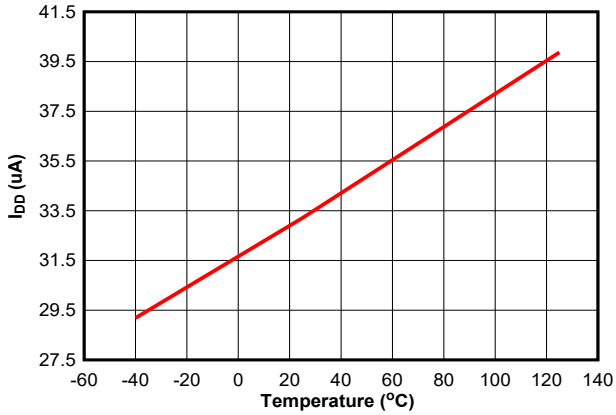


图 7-4. I_{DD} 关断电流与温度间的关系

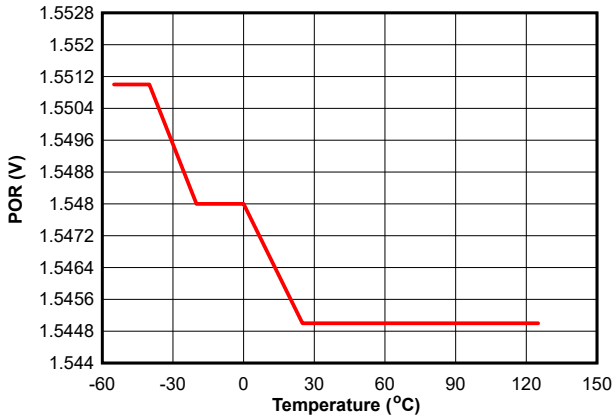


图 7-5. V_{POR} 与温度间的关系

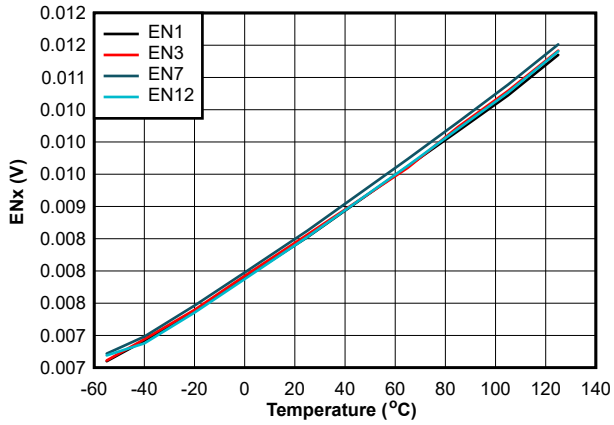


图 7-6. ENx 逻辑低电平输出电压与温度间的关系

Copyright © 2023 Texas Instruments Incorporated

8 详细说明

8.1 概述

在设计具有多个电源轨的复杂系统时，一定不能忽视电源轨开启的方式和时间。时序控制子系统可通过多种方式实现。理论上，系统可以链接来自电源 IC 的 PGOOD 信号以使能后续电源轨。不过，不建议这样做，因为一旦系统开启，就无法轻松禁用系统。

TPS38700S-Q1 工作方式与基于 PGOOD 的协议类似，但能够通过基于握手的 PGOOD 协议（带有 SYNC，用于进行上电时序控制和断电时序控制）来绕过断电困境。 TPS38700S-Q1 等待来自 TPS389006-Q1 器件的 SYNC 信号，指示电压满足 UV PGOOD 或 OFF 阈值，然后再触发下一个信号。

系统实现时序控制的另一种方法是使用盲触发法。不管电源轨是否上电，盲触发法都会在一小段时间延迟后打开后续电源轨。当系统中的电源轨没有任何关键电压依赖性，但电源轨的导通和关断顺序非常重要时，这很有用。您可以使用 TPS38700S-Q1 的 **N** OTP 型号来实施非监控时序控制方法。

TPS38700S-Q1 是一种多功能器件，可通过多种方式进行配置。该器件可以作为纯序列发生器、纯 GPO 扩展器或序列发生器和 GPO 组合进行订购。时序输出可以分配至 ACT 引脚。这些时序输出可以在出厂时配置为默认值，随后在上电时向 ACT 引脚发送高电平之前通过 I^2C 对其进行更改。

TPS38700S-Q1 支持多种 I^2C 逻辑电平。产品文件夹中提供了功能全面的图形用户界面 (GUI) 供您下载。如需了解定制配置器件的疑问，请联系德州仪器 (TI) 代表。

TPS38700S-Q1 符合面向汽车应用的 AEC-Q100 标准并可在
-40ºC 至 +125ºC 的温度范围内工作。

8.2 功能方框图

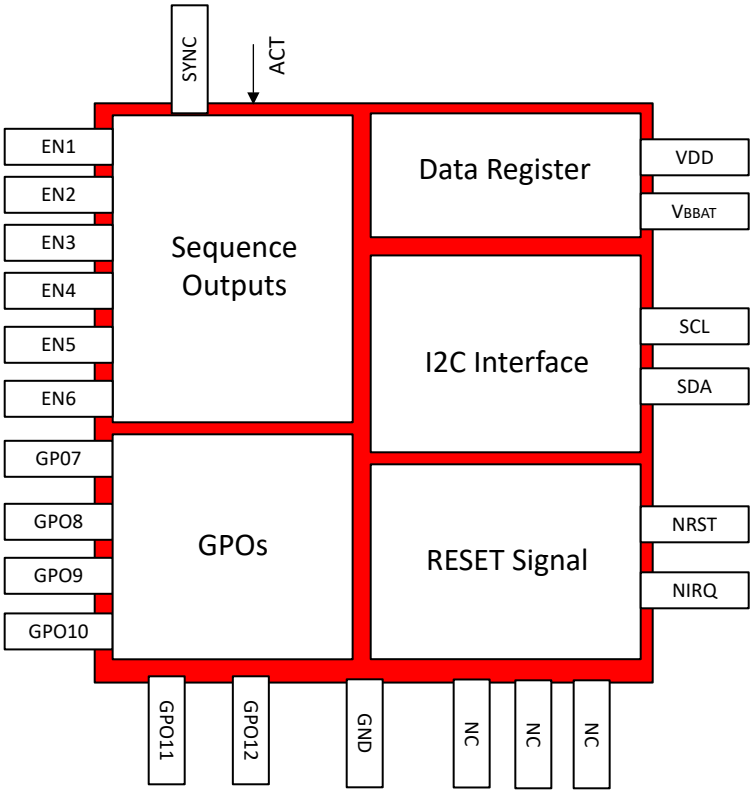


图 8-1. TPS38700S-Q1 方框图

8.3 特性说明

8.3.1 器件状态图

图 8-2 中所示的 TPS38700S-Q1 状态图显示了工作流程。

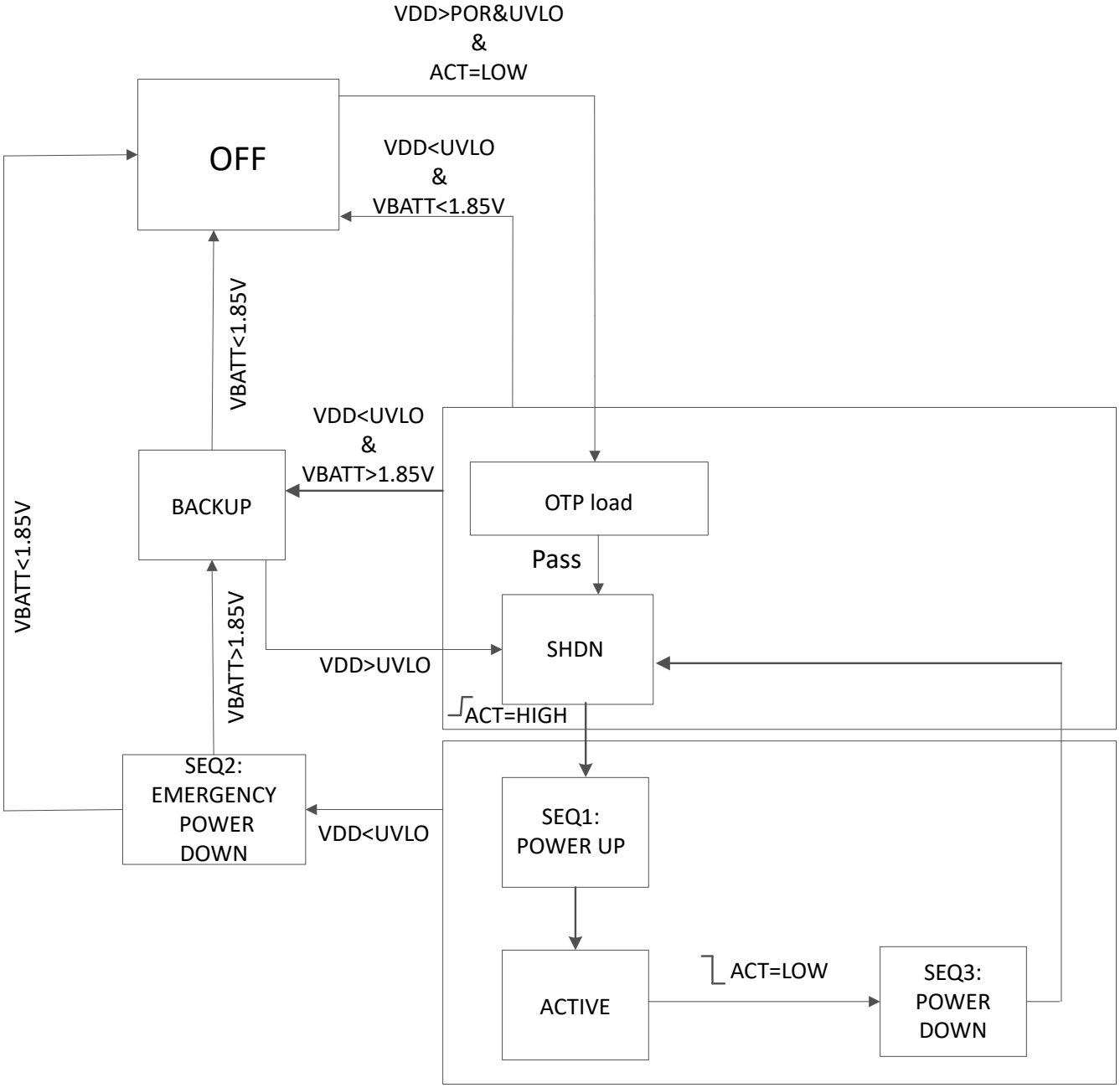


图 8-2. TPS38700S-Q1 状态图

Copyright © 2023 Texas Instruments Incorporated

8.3.2 同步功能

图 8-3 展示了 TPS38700S-Q1 同步功能的一种典型实现方案。TPS38700S-Q1 和 TPS389006-Q1 可以通过将 SYNC 引脚连接在一起来一同使用，确保顺序电压轨依赖于成功上电或断电的早期电压轨。

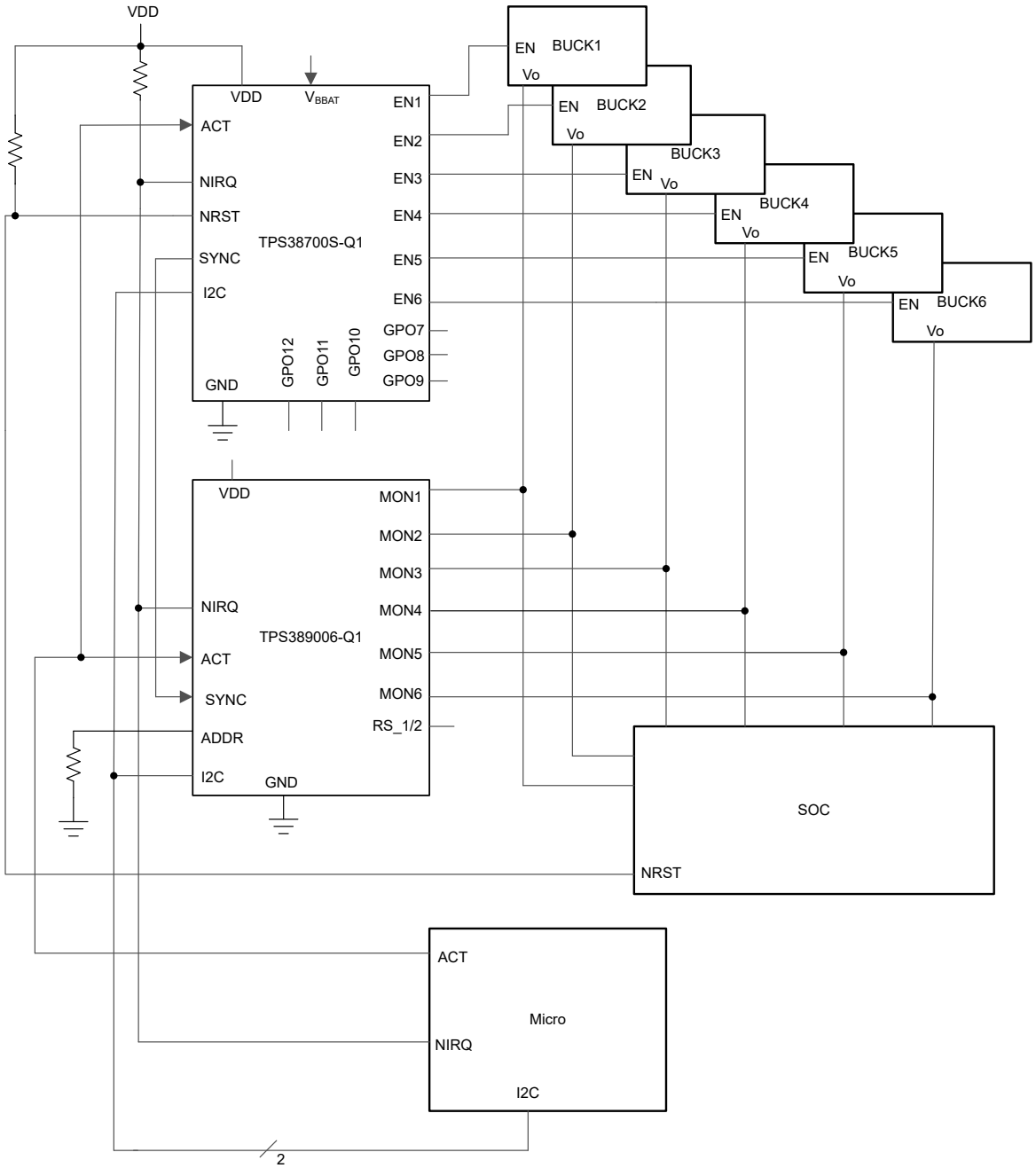


图 8-3. TPS38700S 电压序列发生器设计方框图

SYNC 是 TPS38700S-Q1 上的低电平有效输入，用于使 EN 引脚在上电时序控制过程中导通，或在断电时序控制过程中关断。TPS389006-Q1 将在监测到所需的电压阈值时发送低电平有效信号。有关序列记录如何工作以及 TPS389006-Q1 如何通过 SYNC 标记电源轨的更多信息，请查看 TPS389006-Q1 数据表。

8.3.3 转换序列

节 8.3.3.1 至 节 8.3.3.3 介绍了器件的各个序列，其中时序图显示了每个序列中涉及的主要信号。

8.3.3.1 上电

当 ACT 被驱动为高电平时，第一个 EN 信号由 TPS38700S-Q1 开启。然后，MON 电压上升并触发 TPS389006-Q1 发送第一个 SYNC 信号，从而使 TPS38700S-Q1 开启第二个 EN 电压。该过程会一直重复，直到所有使能电压均开启。最后一个 EN 信号开启后，NRST 会在 RST_DLY 时间后停用。图 8-4 展示了使用图 9-1 中所示电路的成功上电序列。请注意，TPS389006-Q1 默认为在上电时序控制时使用 UV 阈值来发送 SYNC 脉冲。

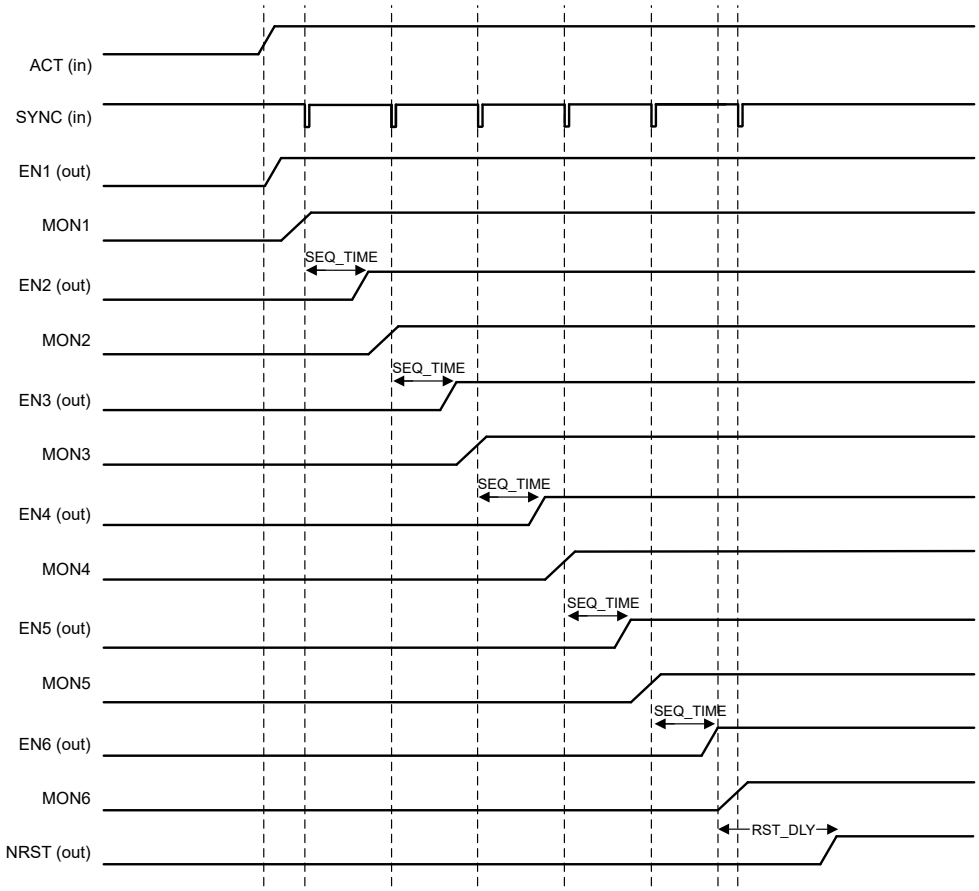


图 8-4. 具有 SYNC 的 TPS38700S 上电

8.3.3.2 断电

当 ACT 被驱动为低电平时，会发生类似的事件序列。断电序列中的第一个 EN 信号立即被驱动为低电平。这会使 MON 电压降至阈值以下并发送 SYNC 信号来触发 TPS389006-Q1。SYNC 信号会导致 TPS38700S-Q1 关断第二个 EN 信号。该过程也会一直重复，直到关断所有电压。默认情况下，TPS389006-Q1 的 SYNC 电压阈值基于关断电压。对于上电和断电时序控制，电压阈值都可以更改为 UV 电压阈值。图 8-5 展示了使用图 9-1 中所示电路的成功断电序列。请注意，TPS389006-Q1 默认使用关断电压阈值 (MONx<140mV)，在断电时序控制期间发送 SYNC 脉冲。

Copyright © 2023 Texas Instruments Incorporated

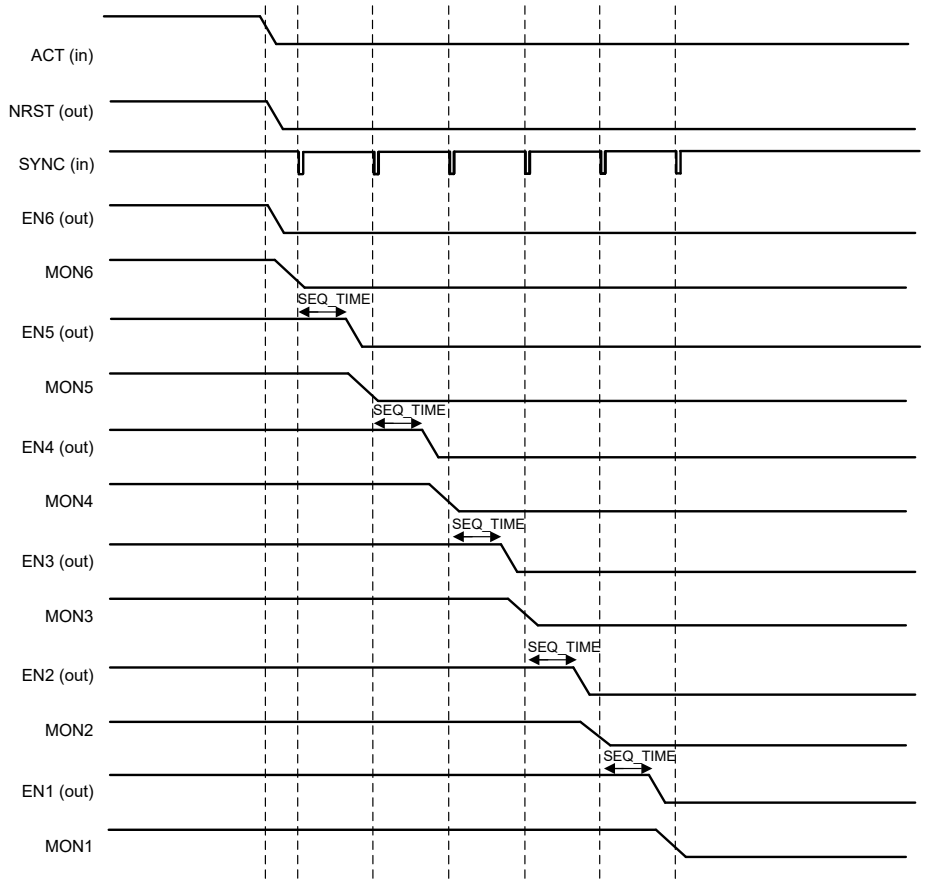


图 8-5. 具有 SYNC 的 TPS38700S 断电

请注意，TPS38700S-Q1 必须在启动新序列之前完成时序控制（上电或断电）。

8.3.3.3 紧急断电

在紧急断电（VDD 降至 UVLO 以下）的情况下，会在下拉 ENx 和 NIRQ 之前尽可能地将 NRST 置为有效。

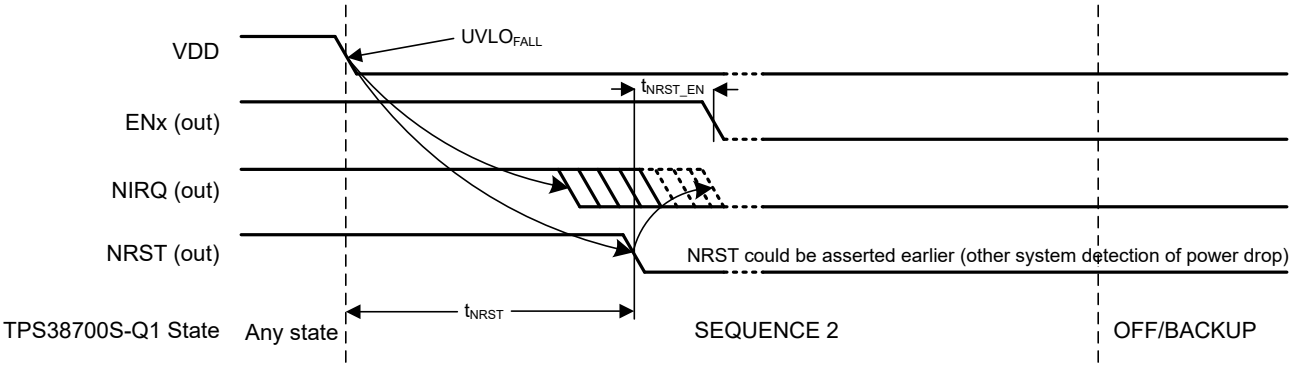


图 8-6. 紧急断电

8.3.4 备份状态

在备用状态下，只有电池为器件供电，但是器件必须已经过 VDD 供电状态（并加载配置数据）才能进入该状态。如果未发生 VDD 供电状态，TPS38700S-Q1 会保持在“关闭或电池已安装”状态，只有在使用有效的 VDD 电源时才会退出该状态。在这种状态下，可与 TPS38700S-Q1 进行 I^2C 通信。

当处于备用状态时，TPS38700S-Q1 引脚处于以下状态：

- ENx = 低电平（置为无效）
- NRST = 低电平（置为有效）
- ACT 输入被忽略。

退出备用状态后，最后一个配置处于活动状态，并且器件进入 SHDN 状态。

8.3.5 热关断 (TSD) 状态

在 TSD 状态下，TPS38700S-Q1 会将功能减少到仅支持 I²C 通信。退出 TSD 状态后，最后一个配置处于活动状态，并且器件进入 SHDN 状态。

当处于备用状态时，TPS38700S-Q1 引脚处于以下状态：

- ENx = 低电平（置为无效）
- NRST = 低电平（置为有效）
- ACT 输入被忽略。

请注意，表 8-4 中的 F_TSD 位将设置为高电平。即使 TPS38700S-Q1 退出 TSD 状态，F_TSD 位也将保持高电平，但可以手动清除。

8.3.6 I²C

TPS38700S-Q1 遵循 I²C 协议（高达 1MHz）来管理与 MCU 或片上系统 (SoC) 等主机器件的通信。I²C 是使用时钟 (SCL) 和数据 (SDA) 两个信号实现的两线通信协议。主机器件是通信的主控制器。 TPS38700S-Q1 在 I²C 协议定义的读取或写入操作期间通过数据线做出响应。SCL 和 SDA 信号均为开漏拓扑，可与其他器件一起用在线或配置中，以共享通信总线。SCL 和 SDA 引脚都需要使用外部上拉电阻上拉到电源电压（建议使用 10kΩ 电阻）。

图 8-7 展示了用以传输 1 字节数据的 SCL 和 SDA 线之间的时序关系。SCL 线路始终由主机控制。要传输 1 个字节的数据，主机需要在 SCL 上发送 9 个时钟。8 个时钟用于数据，1 个时钟用于 ACK 或 NACK。SDA 线由主机或 TPS38700S-Q1 根据读取或写入操作进行控制。图 8-8 和图 8-9 突出显示了通信协议流程以及哪个器件在实际通信期间的不同实例中控制 SDA 线。

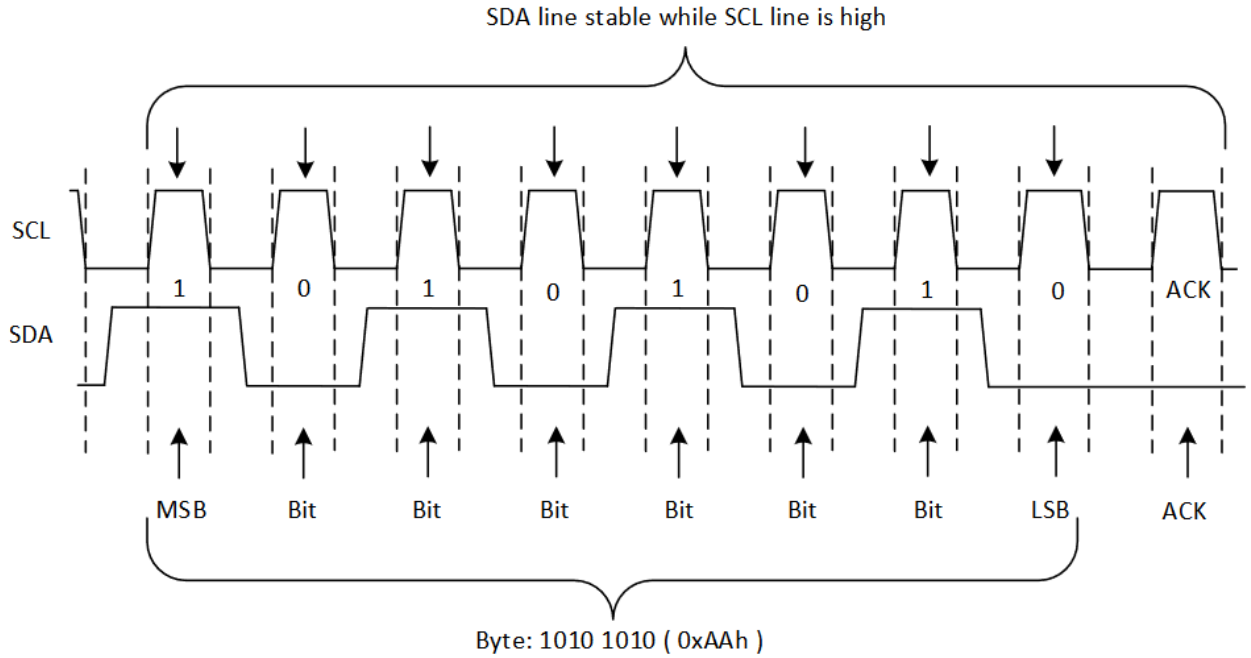


图 8-7. 1 字节数据传输的 SCL 至 SDA 时序

Copyright © 2023 Texas Instruments Incorporated

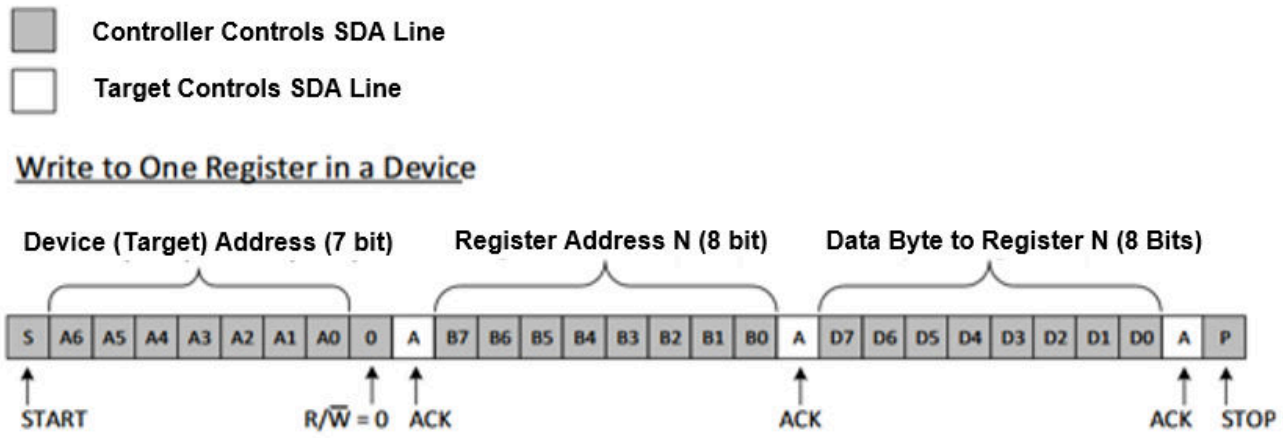


图 8-8. I²C 写入协议

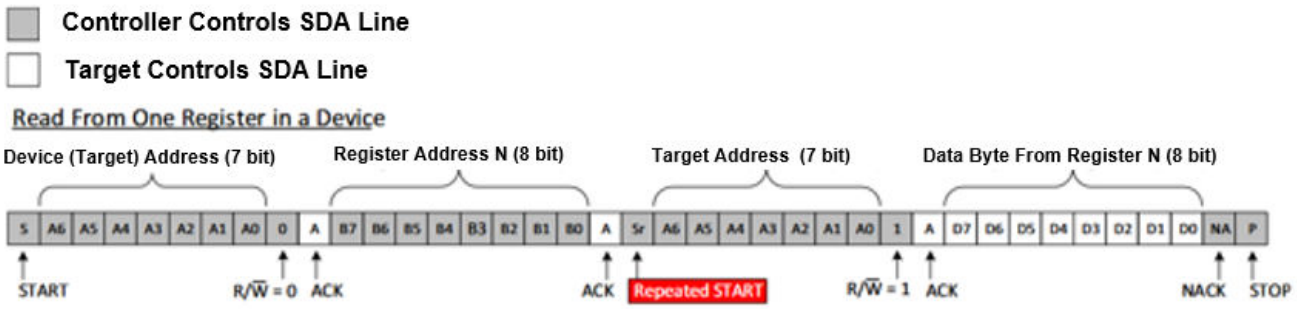


图 8-9. I²C 读取协议

在通过 I²C 协议发起通信之前，主机需要确认 I²C 总线可用于通信。监视 SCL 和 SDA 线，如果任何线路被拉至低电平，则 I²C 总线被占用。主机需要等待总线可用于通信。一旦总线可用于通信，主机即可通过发出一个 START 条件来启动读取或写入操作。I²C 通信完成后，通过发出 STOP 命令释放总线。图 8-10 展示了如何实现 START 和 STOP 条件。

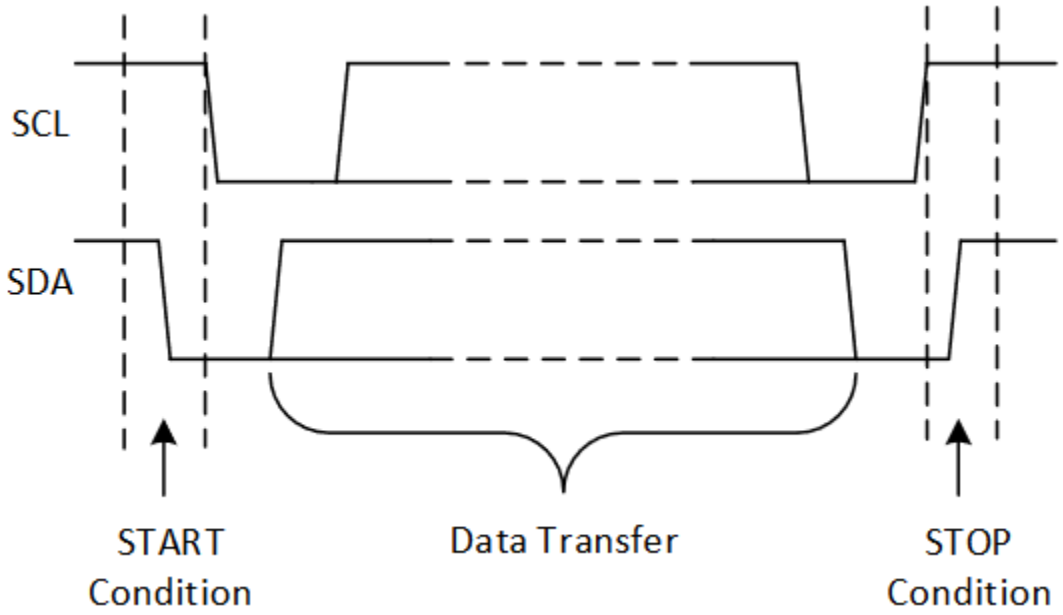


图 8-10. I²C START 和 STOP 条件

Copyright © 2023 Texas Instruments Incorporated

8.3.6.1 I²C

请参阅表 8-1，了解 I²C 寄存器映射概述。请注意，“PSEQ”是指 TPS38700S-Q1，用于增强表格的可读性。

表 8-1. I²C 寄存器类别和相关详细信息

类型	位	说明	范围/功能或状态	谁来切换它们？	还有谁可以写入它们?	该位会影响什么？
OTP 位 R	VENDORID[7:0]	TI 定义	TI 定义	OTP 选项	无	无
	MODEL_REV[7:0]	TI 定义	TI 定义	OTP 选项	无	无
	TARGET_ID[7:0]	TI 定义	TI 定义	OTP 选项	无	I²C
中断信息位 RW1C	F_INTERR	内部故障	无内部故障/未检测到内部故障	Interrupt	产生了任何中断；可以通过写入 1 来清除	NIRQ
	EM_PD (1)	紧急断电	无紧急断电/紧急断电导致关断	PSEQ	PSEQ；SOC	NRST；NIRQ
	F_EN	使能输出引脚故障	未检测到任何故障/检测到故障	EN 读回-PSEQ	PSEQ；SOC	NIRQ；NRST
	F_NRSTIRQ	复位或中断引脚故障	未检测到任何故障/检测到故障	复位回读-PSEQ	PSEQ；SOC	NIRQ
	F_LDO	LDO 故障	未检测到任何故障/检测到故障	BIST	BIST；SOC	NIRQ；NRST
	F_TSD	热关断故障	未检测到任何故障/检测到故障	TSD	TSD；SOC	NIRQ；NRST
	F_RT_CRC	运行时 CRC 寄存器故障	未检测到任何故障/检测到故障	CRC	SOC	NIRQ
状态位 R	ST_NIRQ	NIRQ 输出的当前状态	NIRQ 置为有效/未置为有效	Interrupt	无	无
	ST_NRST	NRST 输出的当前状态	NRST 置为有效/未置为有效	中断；NRST 状态改变	无	无
	ST_ACTSHDN	ACT 输入的当前状态	ACT 引脚驱动为低电平或高电平	PSEQ	无	无
	ST_PSEQ[1:0]	PSEQ 的当前状态	SHDNx、上电、断电、无效、有效	PSEQ	无	无
	STDR1	GPO12 至 GPO9 的当前驱动状态	序列发生器正在将 EN 驱动为低电平或高电平	PSEQ	无	无
	STDR2	GPO7,8 至 EN1 的当前驱动状态	序列发生器正在将 EN 驱动为低电平或高电平	PSEQ	无	无
控制 R/W	FORCE_INT	强制 NIRQ 处于低电平	NIRQ 由故障/寄存器控制	SOC	SOC	NRST
	FORCE_ACT	强制 PSEQ 进入活动状态		PSEQ	SoC 可以清除它；但不能设置它	PSEQ
	RST_DLY[3:0]	复位延迟	0.1ms 至 128ms	SOC	无	PSEQ
PSEQ	USLOT[3:0]	上电时隙	125 µs/2.5s	SOC	无	PSEQ
	DSLOT[3:0]	断电时隙	125 µs/2.5s	SOC	无	PSEQ
	SSTEP	时隙步进乘法器	250 µs/1000 µs	SOC	无	PSEQ
	PU[3:0][12:1]	上电序列	ENx 未映射/ENx 已映射	SOC	无	PSEQ
	PD[3:0][12:1]	断电序列	ENx 未映射/ENx 已映射	SOC	无	PSEQ

表 8-1. I²C 寄存器类别和相关详细信息 (continued)

类型	位	说明	范围/功能或状态	谁来切换它们？	还有谁可以写入它们?	该位会影响什么？
PROT	WRK	工作集寄存器锁	0/1	SOC 仅 1	无	将函数写入这些寄存器组
	SEQS	SEQ 设置寄存器锁	0/1	SOC 仅 1	无	将函数写入这些寄存器组
	SEQP	SEQP 设置寄存器锁	0/1	SOC 仅 1	无	将函数写入这些寄存器组
	SEQC	SEQC 设置寄存器锁	0/1	SOC 仅 1	无	将函数写入这些寄存器组
	CTL	CTL 设置寄存器锁	0/1	SOC 仅 1	无	将函数写入这些寄存器组

(1) 是否存在故障报告功能取决于器件配置。

Copyright © 2023 Texas Instruments Incorporated

8.4 寄存器映射表

表 8-2. 寄存器映射表

RSVD = 保留

ADDR	名称	R/W	MSB	6	5	4	3	2	1	LSB	默认值	GROUP
0x00 - 0x0F：供应商信息和供应商使用情况寄存器												
0x00	模型版本	R	器件模型（位 3-7）					供应商 ID（位 0-2）				
0x01	修订版本	R	器件版本		OTP_Rev							
0x02 … 0x0F	被保留		供应商定义的或其他 IC 信息									
0x10 - 0x1F：中断和状态寄存器												
0x10	INT_SRC1	RW1C	F_INTERNAL	EM_PD	RSVD	RSVD	RSVD	F_EN	被保留	F_NRSTIRQ	0x00	
0x11	INT_SRC2	RW1C	F_VENDOR	被保留	F_RT_CRC	被保留	F_LDO	F_TSD	RSVD	RSVD	0x00	
0x12	INT_VENDOR	RW1C	供应商特定的内部故障标志								0x00	
0x13	CTL_STAT	R	被保留	ST_VBBAT	ST_NIRQ	ST_NRST	被保留	ST_ACTSHDN	ST_PSEQ[1:0]		0x00	
0x14	EN_STDR1	R	被保留				STDR_GPO12	STDR_GPO11	STDR_GPO10	STDR_GPO9	0x00	
0x15	EN_STDR2	R	STDR_GPO8	STDR_GPO7	STDR_EN6	STDR_EN5	STDR_EN4	STDR_EN3	STDR_EN2	STDR_EN1	0x00	
0x16	EN_STRD1	R	被保留				STRD_GPO12	STRD_GPO11	STRD_GPO10	STRD_GPO9	0x00	
0x17	表 8-10	R	STRD_GPO8	STRD_GPO7	STRD_EN6	STRD_EN5	STRD_EN4	STRD_EN3	STRD_EN2	STRD_EN1	0x00	
0x18 … 0x19	RSVD		RSVD									
0x1A	表 8-11	R	RSVD	RSVD	RSVD	RSVD	ACTSHDN	RSVD	RSVD	RSVD	0x00	
0x1B … 0x1F	RSVD		RSVD									
0x20 - 0x2F：配置寄存器												
0x20 … 0x26	RSVD	R	被保留								NVM	
0x27	RSVD	R/W	被保留								NVM	CTL
0x28	CTL_1	R/W	被保留				FORCE_INT	FORCE_ACT	RSVD	RSVD	NVM	WRK
0x29	表 8-14	R/W	RST_DLY[3:0]				RSVD		RSVD	RSVD	NVM	CTL
0x2B	IEN_VENDOR	R/W	供应商特定的内部故障使能								NVM	CTL
0x2C … 0x2F	RSVD		RSVD									

Copyright © 2023 Texas Instruments Incorporated

表 8-2. 寄存器映射表 (continued)

RSVD = 保留

ADDR	名称	R/W	MSB	6	5	4	3	2	1	LSB	默认值	GROUP
0x30 - 0x38：时序寄存器												
0x30	SEQ_CFG	R/W	被保留							SSTEP	NVM	SEQC
0x31	SEQ_USLOT	R/W	TIME[7:0]								NVM	SEQC
0x32	SEQ_DSLOT	R/W	TIME[7:0]								NVM	SEQC
0x33	PWR_EN1	R/W	PU[3:0]				PD[3:0]				NVM	SEQP
0x34	PWR_EN2	R/W	PU[3:0]				PD[3:0]				NVM	SEQP
0x35	PWR_EN3	R/W	PU[3:0]				PD[3:0]				NVM	SEQP
0x36	PWR_EN4	R/W	PU[3:0]				PD[3:0]				NVM	SEQP
0x37	PWR_EN5	R/W	PU[3:0]				PD[3:0]				NVM	SEQP
0x38	PWR_EN6	R/W	PU[3:0]				PD[3:0]				NVM	SEQP
0xF0 - 0xFF：保护寄存器												
0xF0	PROT1	R/W	被保留	WRK	SEQS	SEQP	SEQC	WDT	被保留	CTL	0x00	
0xF1	PROT2	R/W	被保留	WRK	SEQS	SEQP	SEQC	WDT	被保留	CTL	0x00	
0xF2 … 0xF8	RSVD		RSVD									
0xF9	I2CADDR	R	被保留	ADDR_I2C_NVM[6:0]							NVM	
0xFA … 0xFF	RSVD		RSVD									

Copyright © 2023 Texas Instruments Incorporated

8.4.1 寄存器说明

表 8-3. INT_SRC1

Address：0x10

说明：中断源引寄存器。如果是 F_INTERNAL，则 INT_SRC2 寄存器会提供更多信息。

POR 值：0x00

访问：读取和写入 1 以清除。写入 0 无效；向已经为 0 的位写入 1 无效。

返回寄存器映射表。

位	名称	说明
7	F_INTERNAL	内部故障（INT_SRC2 中所有位的或运算值）：0 = 未检测到内部故障 1 = 检测到内部故障。INT_SRC2 中标记了更多详细信息。该位通过清除 INT_SRC2 中的位来清除。
6	EM_PD	紧急断电： 0 = 无紧急断电事件 1 = 紧急断电导致关断（序列 2）。 Write-1-to-clear（写入 1 以清除）将清除该位。该位将在下次紧急关断时再次设置。
3	RSVD	RSVD
2	F_EN	使能输出引脚故障： 0 = 未检测到电源短路或接地。1 = 检测到电源短路或接地。 仅当故障条件同时被清除时，Write-1-to-clear（写入 1 以清除）才会清除该位。
1	RSVD	RSVD
0	F_NRSTIRQ	复位或中断引脚故障： 0 = 在 NRST 或 NIRQ 上未检测到故障。 1 = 在 NRST 或 NIRQ 上检测到电源的低电阻路径。 仅当故障条件同时被清除时，Write-1-to-clear（写入 1 以清除）才会清除该位。

INT_SRC1 表示 NIRQ 被置为有效的原因。当主机处理器收到 NIRQ 时，处理器可以读取该寄存器来快速判断中断源。如果该寄存器清零，则 TPS38700S-Q1 未将 NIRQ 置为有效。

表 8-4. INT_SRC2

Address：0x11

说明：内部错误的中断源寄存器。

POR 值：0x00

访问：读取和写入 1 以清除。写入 0 无效；向已经为 0 的位写入 1 无效。

返回寄存器映射表。

位	名称	说明
7	F_VENDOR	供应商特定的内部故障。INT_VENDOR 中报告了详细信息。该位表示 INT_VENDOR 中所有位的或运算值。 0 = INT_VENDOR 中未报告故障 1 = INT_VENDOR 中报告故障 该位通过清除 INT_VENDOR 中的位来清除。
6	RSVD	保留

表 8-4. INT_SRC2 (continued)

Address：0x11

说明：内部错误的中断源寄存器。

POR 值：0x00

访问：读取和写入 1 以清除。写入 0 无效；向已经为 0 的位写入 1 无效。

返回寄存器映射表。

位	名称	说明
5	F_RT_CRC	运行时寄存器 CRC 故障： 0 = 未检测到故障。 1 = 检测到寄存器 CRC 故障。 Write-1-to-clear（写入 1 以清除）将清除该位。如果检测到故障，该位将在下次寄存器 CRC 检查期间再次设置。
3	F_LDO	LDO 故障： 0 = 未检测到 LDO 故障。1 = 检测到 LDO 故障。 如果使用内部 LDO，该标志用于指示故障。 如果未使用内部 LDO，这个标志必须保留。 仅当故障条件同时被清除时，Write-1-to-clear（写入 1 以清除）才会清除该位。
2	F_TSD	热关断： 0 = 未发生热关断。 1 = 自上次读取后发生了热关断。 仅当故障条件同时被清除时，Write-1-to-clear（写入 1 以清除）才会清除该位。

表 8-5. INT_VENDOR

Address：0x12

说明：供应商特定内部中断状态寄存器。

POR 值：0x00

访问：读取和写入 1 以清除。写入 0 无效；向已经为 0 的位写入 1 无效。

返回寄存器映射表。

位	名称	说明
7:0	FAULTS[7:0]	供应商特定的内部故障标志。

表 8-6. CTL_STAT

Address：0x13

说明： TPS38700S-Q1 控制引脚和内部状态的状态寄存器。

POR 值：0x00

访问：只读。

返回寄存器映射表。

位	名称	说明
7:6	被保留	保留
5	ST_NIRQ	NIRQ 输出的当前状态： 0 = NIRQ 引脚被 TPS38700S-Q1 置为低电平。 1 = NIRQ 引脚未被 TPS38700S-Q1 置为低电平。

Copyright © 2023 Texas Instruments Incorporated

表 8-6. CTL_STAT (continued)

Address：0x13

说明： TPS38700S-Q1 控制引脚和内部状态的状态寄存器。

POR 值：0x00

访问：只读。

返回寄存器映射表。

位	名称	说明
4	ST_NRST	NRST 输出的当前状态： 0 = NRST 引脚被 TPS38700S-Q1 置为低电平。 1 = NRST 引脚未被 TPS38700S-Q1 置为低电平。
3	RSVD	RSVD
2	ST_ACTSHDN	ACT 输入的当前状态： 0 = 系统将 ACT 引脚驱动为低电平（关断）。1 = 系统将 ACT 引脚驱动为高电平（有效）。
1:0	ST_PSEQ[1:0]	00b：SHDNx、上电、断电 01b：不适用 10b：无效组合 11b：ACTIVE

表 8-7. EN_STDR1

Address：0x14

说明：使能引脚的当前驱动状态。

POR 值：0x00

访问：只读。

返回寄存器映射表。

位	名称	说明
7:4	被保留	保留
3:0	STDR_GPO[12:9]	GPO[X] 的当前驱动状态： 0 = TPS38700S-Q1 正在将 GPO[X] 驱动为低电平。 1 = TPS38700S-Q1 正在将 GPO[X] 驱动为高电平或允许将其悬空为高电平。

表 8-8. EN_STDR2

Address：0x15

说明：使能引脚的当前驱动状态。

POR 值：0x00

访问：只读。

返回寄存器映射表。

位	名称	说明
7:0	STDR_EN[6:1] GPO[8:7]	GPO[X] 的当前驱动状态： 0 = TPS38700S-Q1 正在将 GPO[X] 驱动为低电平。 1 = TPS38700S-Q1 正在将 GPO[X] 驱动为高电平或允许将其悬空为高电平。

表 8-9. EN_STRD1

Address：0x16

说明：使能引脚的当前读取状态。

POR 值：0x00

访问：只读。

返回寄存器映射表。

位	名称	说明
7:4	被保留	保留
3:0	STRD_GPO[12:9]	GPO[X] 的当前读取状态： 0 = TPS38700S-Q1 正在读取 GPO[X] 低电平。 1 = TPS38700S-Q1 正在读取 GPO[X] 高电平。

Copyright © 2023 Texas Instruments Incorporated

表 8-10. EN_STRD2

Address：0x17

说明：使能引脚的当前读取状态。

POR 值：0x00

访问：只读。

返回寄存器映射表。

位	名称	说明
7:0	STRD_EN[6:1] GPO[8:7]	GPO[X] 的当前读取状态： 0 = TPS38700S-Q1 正在读取 GPO[X] 低电平。 1 = TPS38700S-Q1 正在读取 GPO[X] 高电平。

表 8-11. LAST_RST

Address：0x1A

说明：上次 NRST 置位或关断的原因。NRST 置位和关断发生在序列 2 和序列 3 中。

只要存在 VDD 和/或 VBBAT，该寄存器就会保持不变。INT_SRC1.EM_PD 寄存器位中已记录了紧急关断触发序列 2，因此不需要将其存储在此寄存器中。主机应在上电时执行的第一个操作中读取此寄存器。

在下次 NRST 置位或关断时，该寄存器会新的相关数据覆盖。

POR 值：0x00

访问：只读。

返回寄存器映射表。

位	名称	说明
7	RSVD	保留
5	RSVD	保留
3	ACTSHDN	因 ACT 置为低电平（关断）而导致的 NRST/关断。 0 = 上次 NRST/关断置位不是 ACT 低电平导致的。 1 = 上次 NRST/关断置位是 ACT 低电平导致的。
1	RSVD	保留
0	RSVD	保留

Copyright © 2023 Texas Instruments Incorporated

表 8-12. GP_OUT

Address：0x25

说明：设置时序控制引脚 EN[12:9] 的通用输出状态。GPO 通过 AF_IN_OUT 和 EN_ALT_F 寄存器启用。

POR 值：从 NVM 加载。

访问：读取/写入。如果 CTL 组受到保护，则为只读。

返回寄存器映射表。

位	名称	说明
7:4	被保留	保留
3	GPO12	GPO12 通用输出。仅在 PWR_EN12 清零时使用。 0 = GPO12 引脚被驱动为低电平。 1 = GPO12 引脚被驱动为高电平。
2	GPO11	GPO11 通用输出。仅在 PWR_EN11 清零时使用。 0 = GPO11 引脚被驱动为低电平。 1 = GPO11 引脚被驱动为高电平。
1	GPO10	EN10 通用输出。仅在 PWR_EN10 清零时使用。 0 = EN10 引脚被驱动为低电平。 1 = EN10 引脚被驱动为高电平。
0	GPO9	GPO9 通用输出。仅在 PWR_EN9 清零时使用。 0 = GPO9 引脚被驱动为低电平。 1 = GPO9 引脚被驱动为高电平。

Copyright © 2023 Texas Instruments Incorporated

表 8-13. CTL_1

Address：0x28

说明：中断和状态软件控制。

POR 值：从 NVM 加载。

访问：读取/写入。如果 CTL 组受到保护，则为只读。

返回寄存器映射表。

位	名称	说明
7:4	被保留	保留
3	FORCE_INT [(1)]	强制 NIRQ 处于低电平： 0 = NIRQ 引脚由 INT_SRCx 寄存器故障控制。 1 = NIRQ 引脚被强制为低电平。

(1) FORCE_INT 由软件用于定期检查 NIRQ 引脚上是否存在内部或外部短接至 VDD 的情况。

表 8-14. CTL_2

Address：0x29

说明：其他配置。

POR 值：从 NVM 加载。

访问：读取/写入。如果 CTL 组受到保护，则为只读。

返回寄存器映射表。

位	名称	说明	
7:4	RST_DLY[3:0]	上电序列：NRST 保持有效，直到上次 ENx 置位后的 RST_DLY[3:0]。	
		0000b = 0.1ms 0001b = 0.2ms 0010b = 0.4ms 0011b = 0.8ms 0100b = 1.6ms 0101b = 3.2ms 0110b = 6.4ms 0111b = 12.8ms	1000b = 1ms 1001b = 2ms 1010b = 4ms 1011b = 8ms 1100b = 16ms 1101b = 32ms 1110b = 64ms 1111b = 128ms
		断电序列：NRST 在 ACT 为低电平的 t_{NRST} 内有效。	
3:2	RSVD	RSVD	

表 8-15. IEN_VENDOR

Address：0x2B

说明：供应商特定内部中断使能寄存器。

POR 值：0x00 或从 NVM 加载。

访问：读取/写入。如果 CTL 组受到保护，则为只读。

返回寄存器映射表。

位	名称	说明
7:0	FAULTS[7:0]	供应商特定的内部故障使能。

Copyright © 2023 Texas Instruments Incorporated

表 8-16. SEQ_CFG

Address：0x30

说明：时序配置。

POR 值：从 NVM 加载。

访问：读取/写入。如果 SEQ 组受到保护，则为只读。

返回寄存器映射表。

位	名称	说明
7:1	RSVD	保留
0	SSTEP	SEQ_USLOT 和 SEQ_DSLOT 的时序时隙步长选择： 0 = 时隙步长 t_{SSTEP} = 250 µs 1 = 时隙步长 t_{SSTEP}= 1000 µs

表 8-17. SEQ_USLOT

Address：0x31

说明：上电时序时隙配置。

POR 值：从 NVM 加载。

访问：读取/写入。如果 SEQ 组受到保护，则为只读。

返回寄存器映射表。

位	名称	说明
7:0	TIME[7:0]	设置上电时序点之间的时隙： t_{USLOT} = SEQ_USLOT.TIME[7:0] × t_{SSTEP} + t_{SMIN} 其中，t_{SSTEP} 由 SEQ_CFG.SSTEP 设置，t_{SMIN} = t_{SSTEP}/2 对于 SEQ_CFG.SSTEP = 0 的情况，请参阅表 8-18。 对于 SEQ_CFG.SSTEP = 1 的情况，请参阅表 8-19。

表 8-18. SEQ_CFG.SSTEP = 0

参数	符号	最小值 (-6%)	典型值	最大值 (+6%)	单位
时隙步长	t_{SSTEP}	235	250	265	µs
最短时隙时间 (0x00)	t_{SMIN}	117.5	125	132.5	µs
最长时隙时间 (0xFF)	t_{SMAX}	60042.5	63875	67707.5	µs

表 8-19. SEQ_CFG.SSTEP = 1

参数	符号	最小值 (-6%)	典型值	最大值 (+6%)	单位
时隙步长	t_{SSTEP}	940	1000	1060	µs
最短时隙时间 (0x00)	t_{SMIN}	470	500	530	µs
最长时隙时间 (0xFF)	t_{SMAX}	240170	255500	270830	µs

Copyright © 2023 Texas Instruments Incorporated

表 8-20. SEQ_DSLOT

Address：0x32

说明：断电时序时隙配置。

POR 值：从 NVM 加载。

访问：读取/写入。如果 SEQ 组受到保护，则为只读。

返回寄存器映射表。

位	名称	说明
7:0	TIME[7:0]	设置断电时序点之间的时隙： t_{DSLOT} = SEQ_DSLOT.TIME[7:0] × t_{SSTEP} + t_{SMIN} 其中，t_{SSTEP} 由 SEQ_CFG.SSTEP 设置，t_{SMIN} = t_{SSTEP}/2 有关设置详细信息，请参阅表 8-17。

表 8-21. PWR_EN[12:1]

Address：PWR_EN1 (0x33) - PWR_EN12 (0x3E)（12 个 8 位寄存器）。

说明：通过将 EN[12:1] 分配到 15 个时隙中的一个来定义上电/断电序列。

Slot=1 是可以选择的最早时隙，它表示 ENx 引脚将在触发事件后的第一个 SEQ_USLOT.TIME 或 SEQ_DSLOT.TIME 内切换。

POR 值：从 NVM 加载。

访问：读取/写入。如果 SEQ 组受到保护，则为只读。

返回寄存器映射表。

位	名称	说明
7:4	PU[3:0]	上电序列： 0 = ENx 引脚未映射到序列。ENx 保持先前的状态，除非进入备用或失效防护状态（在这些状态下，ENx 会被拉低）。 1 = ENx 引脚映射到第一个时隙（第一个上电）。 15 = ENx 引脚映射到最后一个时隙（最后一个上电）。
3:0	PD[3:0]	断电序列： 0 = ENx 引脚未映射到序列。ENx 保持先前的状态，除非进入备用或失效防护状态（在这些状态下，ENx 会被拉低）。 1 = ENx 引脚映射到第一个时隙（第一个断电）。 15 = ENx 引脚映射到最后一个时隙（最后一个断电）。

Copyright © 2023 Texas Instruments Incorporated

表 8-22. PROT1、PROT2

Address：0xF0、0xF1

说明：保护选择寄存器。为了对寄存器组进行写保护，主机必须在两个寄存器中设置相关位。

POR 值：0x00

访问：读取/写入。

为了安全起见，这些寄存器需要将 POR 值设为 0x00，并且一旦设置，将变为只读状态，直到下电上电。

一旦设置为 1，主机就无法将其清零；需要下电上电 (VDD=0) 才能写入不同的寄存器配置。

返回寄存器映射表。

位	名称	说明
7	RSVD	保留
6	WRK	0 = 工作寄存器可写入。 1 = 忽略对工作寄存器的写入。
5	RSVD	RSVD
4	SEQP	0 = 电源序列寄存器可写入。 1 = 忽略对电源序列寄存器的写入。
3	SEQC	0 = 序列时隙配置寄存器可写入。 0b1 = 忽略对序列时隙配置寄存器的写入。
2	RSVD	RSVD
1	RSVD	RSVD
0	CTL	0 = 控制寄存器可写入。 1 = 忽略对控制寄存器的写入。

表 8-23. I2CADDR

Address：0xF9

说明：I^2C 地址。

POR 值：从 NVM 加载。

访问：只读。

返回寄存器映射表。

位	名称	说明
7	RSVD	保留
6:0	ADDR_NVM[6:0]	I^2C 目标器件地址。在 NVM 中设置。

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计实现，以确认系统功能。

9.1 应用信息

现代 SOC 和 FPGA 器件通常需要多个电源轨，以便为相应 SOC 或 FPGA 内的不同模块供电。准确的电压电平和时序要求很常见，必须满足这些要求才能确保此类器件正常运行。通过将 TPS38700S-Q1 与 TPS389006-Q1 等多通道电压监控器结合使用，可以满足目标 SOC 或 FPGA 器件的加电和断电时序控制要求以及内核电压要求。此设计还有助于满足 SOC 或 FPGA 的严格时序要求。

Copyright © 2023 Texas Instruments Incorporated

9.2 典型应用

9.2.1 汽车类多通道序列发生器和监视器

图 9-1 展示了 TPS38700S-Q1 的典型应用。 TPS38700S-Q1 用于通过向所示的直流/直流转换器提供使能信号来为目标 SOC 器件提供正确的电压时序控制。这些直流/直流转换器用于为 SOC 生成合适的电压轨。TPS389006-Q1 等多通道电压监控器用于在电压轨加电和断电时监控电压轨，以确保两种情况下都发生了正确的序列。一个电源轨成功上电后，需要向 TPS38700S-Q1 发送 SYNC 脉冲，才能启动后续电源轨。微控制器还用于向 TPS38700S-Q1 和多通道电压监控器提供 ACT、NIRQ 和 I^2C 命令。来自微控制器的 ACT 信号会确定 TPS38700S-Q1 何时进入 IDLE 或 SHDN 状态，而 TPS38700S-Q1 的 NIRQ 引脚充当中断引脚，该引脚在发生故障时置位。例如，如果外部器件将 NRST 引脚拉至低电平，TPS38700S-Q1 将通过 NIRQ 引脚触发中断。I^2C 用于将故障类型传达给主机微控制器。主机微控制器可以通过向受影响的寄存器写入 1 来清除故障。为简单起见，图 9-1 未展示微控制器的电源轨。

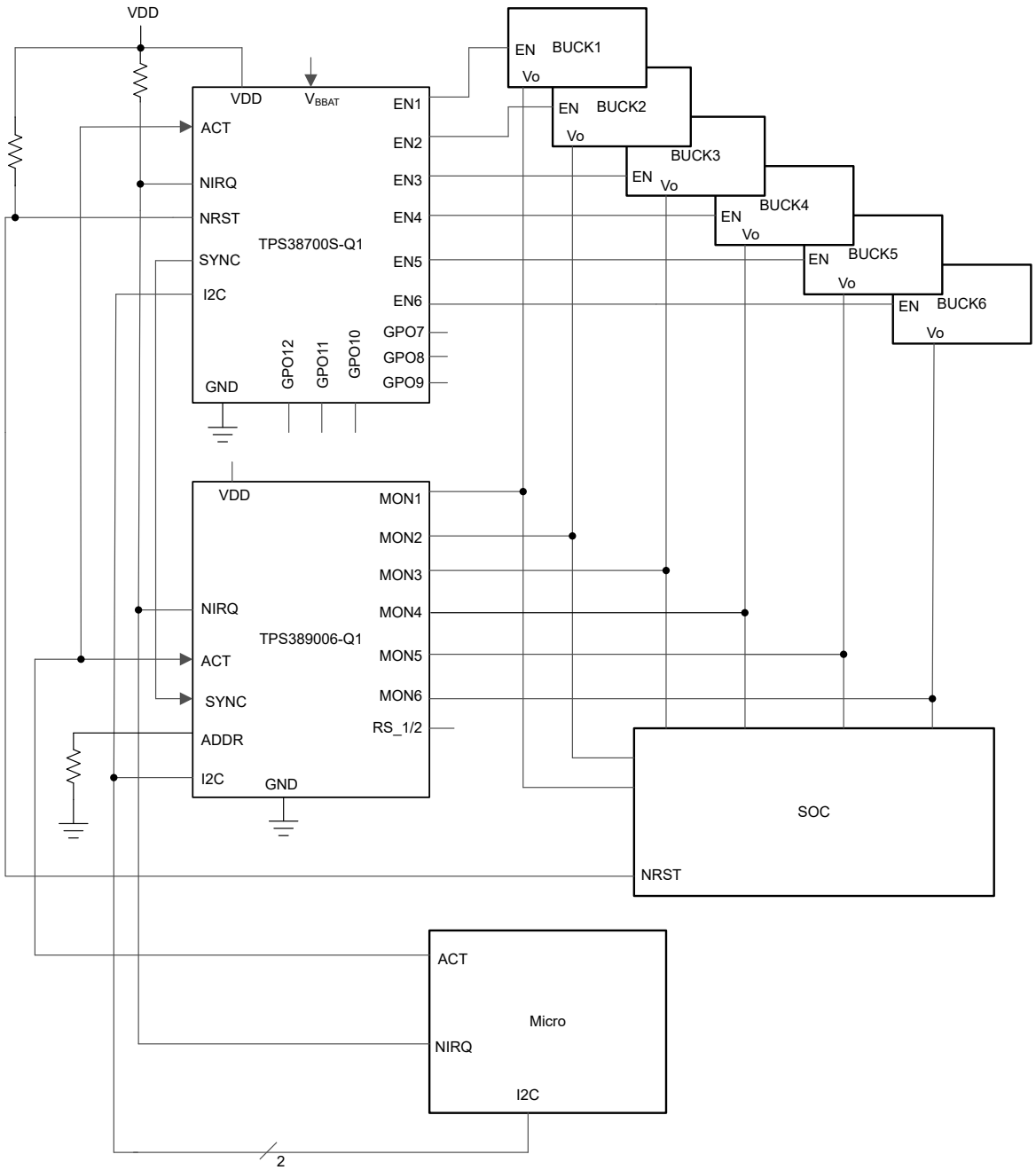


图 9-1. TPS38700S 电压序列发生器设计方框图

9.2.2 设计要求

- 在此设计中，需要正确监控由直流/直流转换器提供的八个不同电压轨。表 9-1 中概述了序列顺序和时序要求。
- 紧急断电功能是可选的。
- 需要备用电池电源。该电压必须降低至最大值 5.5V，以符合 V_{BBAT} 引脚的绝对最大额定值。
- 应通过一个外部硬件中断信号来报告时序控制中检测到的所有故障。
- 所有检测到的故障应记录在内部寄存器中，并可通过 I^2C 访问外部处理器。

表 9-1. 上电和断电序列要求

使能通道	上电序列位置	断电序列位置	上电信号之间的时间 (μs)	断电信号之间的时间 (μs)
EN1	1	4	625	625

Copyright © 2023 Texas Instruments Incorporated

表 9-1. 上电和断电序列要求 (continued)

使能通道	上电序列位置	断电序列位置	上电信号之间的时间 (μ s)	断电信号之间的时间 (μ s)
EN2	1	1	625	625
EN3	2	3	625	625
EN4	2	3	625	625
EN5	3	2	625	625
EN6	4	1	625	625

9.2.3 详细设计过程

- TPS38700S-Q1 器件经过预编程，包含表 9-1 中所示的上电和断电序列。
- NIRQ 和 NRST 引脚需要一个 10kΩ 至 100kΩ 范围内的上拉电阻。
- SDA 和 SCL 线路需要 10kΩ 范围内的上拉电阻。
- 微控制器用于清除通过 NIRQ 中断引脚以及 INT_SCR1 和 INT_SCR2 寄存器报告的故障中断。中断标志只能由主机微控制器通过 write-1-to-clear 操作清零；如果故障条件不再存在，中断标志不会自动清除。

9.2.4 测试实现

TPS38700S-Q1 SYNC 功能可以使用 TPS389006-Q1 通过一个简单的测试设置来进行演示。在此测试中，您需要 TPS38700Q1EVM-Q1 和 TPS389006Q1EVM-Q1。将 TPS38700Q1EVM 上的 U1 替换为可订购器件 TPS38700603SRGERQ1。将 TPS389006Q1EVM 上的 U1 替换为可订购器件 TPS38900603NRTERQ1。可订购器件 TPS38900603NRTERQ1 设置了初始条件，使得 TPS38700603SRGERQ1 使能电压默认满足 UV 阈值来触发 SYNC 脉冲。按图 9-2 所示连接系统。将 ACT 和 VDD 连接到两个独立的电源。根据需要通过 I2C 配置设置。但请注意，对评估模块进行下电上电会将相应条件恢复为默认设置。如果您启用 ACT 并已正确完成所有操作，那么应该没有 LED 会亮起。如果出现问题，TPS389006-Q1 上的 NIRQ 或 TPS38700S-Q1 上的 NRST 将设为低电平。

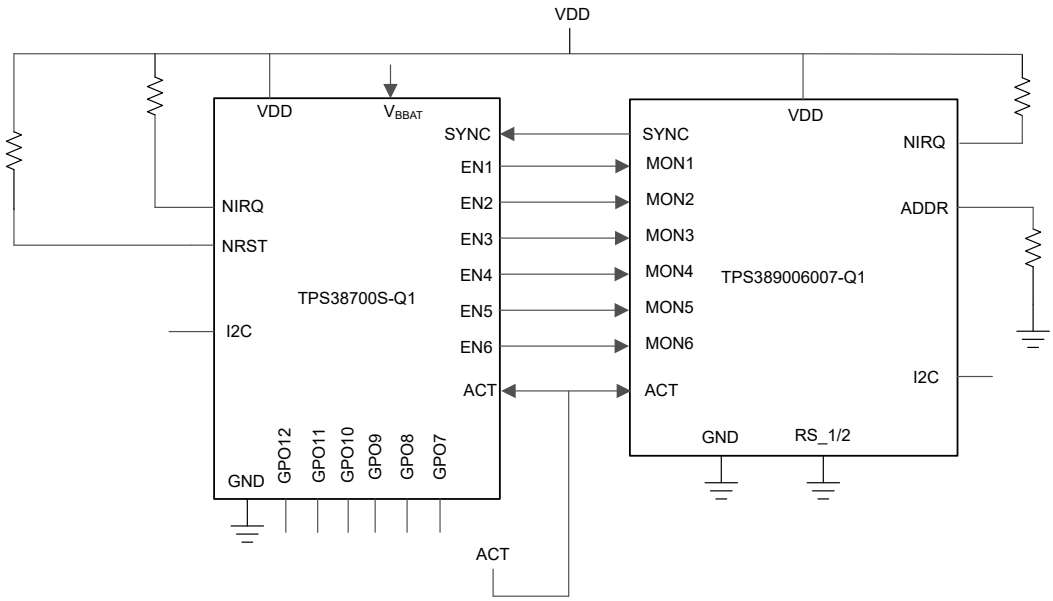


图 9-2. TPS38700S SYNC 测试实现方案

将 ACT 切换为高电平后，使能电压的波形会看起来像图 9-3。如果波形看起来不像那样，则进行调试检查，并确保一切都已正确连接。如果系统连接正确，则验证 I²C 地址值是否是预期值。例如，在 Fusion Digital Power 工具中检查 TPS389006007-Q1 中 MON1 的状态寄存器是否读取 TPS38700S-Q1 EN 电压输出。

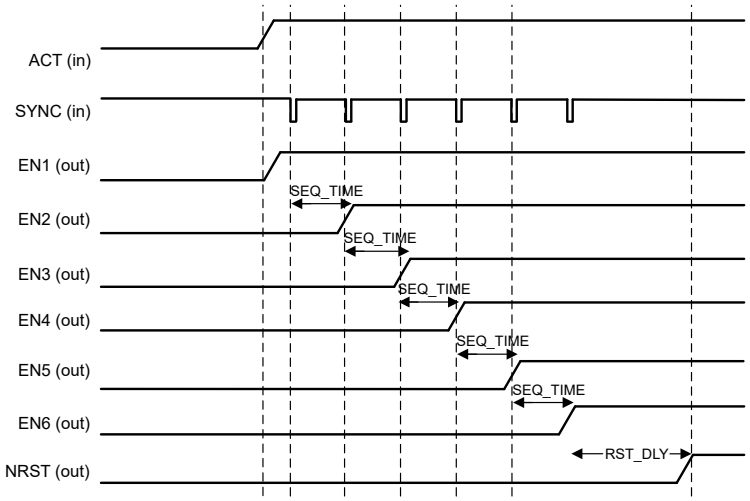


图 9-3. TPS38700S SYNC 上电序列测试实现波形

图 9-3 展示了 ACT 关闭时的器件行为。请注意，系统检测到 ACT 下降沿和 NRST 和 EN6 开始断电时序控制之间没有延迟。

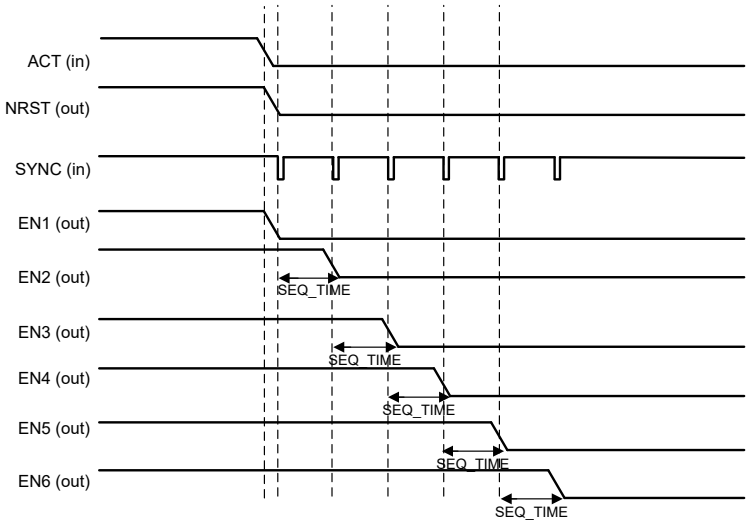


图 9-4. TPS38700S SYNC 断电序列测试实现波形

9.2.5 应用曲线

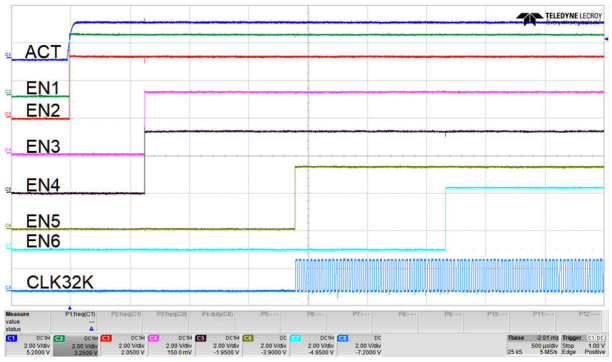


图 9-5. 上电序列

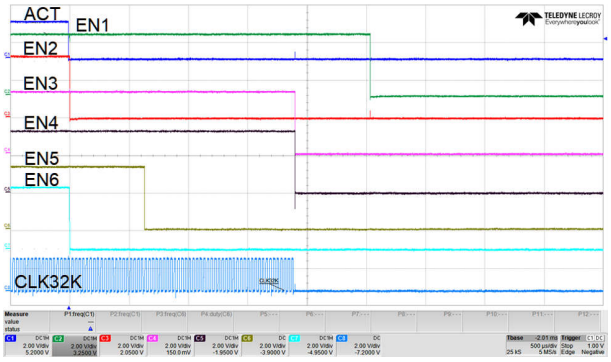


图 9-6. 断电序列

Copyright © 2023 Texas Instruments Incorporated

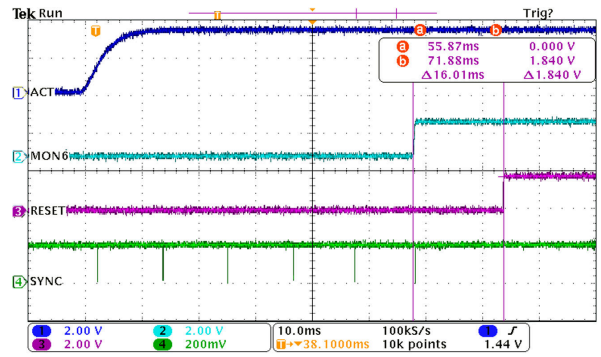


图 9-7. 具有 SYNC 的上电序列

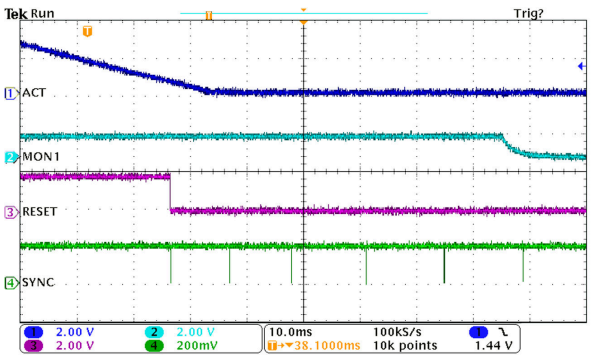


图 9-8. 具有 SYNC 的断电序列

10 电源相关建议

10.1 电源指南

该器件可由电压范围介于 2.2V 至 5.5V 之间的输入电源供电。该器件在 VDD 引脚和 V_{BBAT} 引脚上具有 6V 的绝对最大额定值。良好的模拟实践是根据输入电压电源噪声，在 VDD 引脚和 GND 引脚之间放置一个 0.1μF 至 1μF 的电容器。如果为 VDD 供电的电压电源易受任何超过最大规格的大电压瞬变的影响，则必须采取额外的预防措施。

Copyright © 2023 Texas Instruments Incorporated

11 布局

11.1 布局指南

- 外部元件应尽量靠近器件放置。该配置可防止发生寄生误差。
- 不要对 VDD 电源节点使用长布线。VDD 电容器以及从电源到电容器的寄生电感可以形成 LC 电路，并产生峰值电压高于最大 VDD 电压的振铃。
- 不要使用长布线将电压输入到检测引脚。长布线会增加寄生电感并导致监控和诊断不准确。
- 模拟布线敏感，不能与数字布线平行。尽可能避免数字布线与模拟布线交叉，仅在绝对必要时可垂直交叉布线。

11.2 布局示例

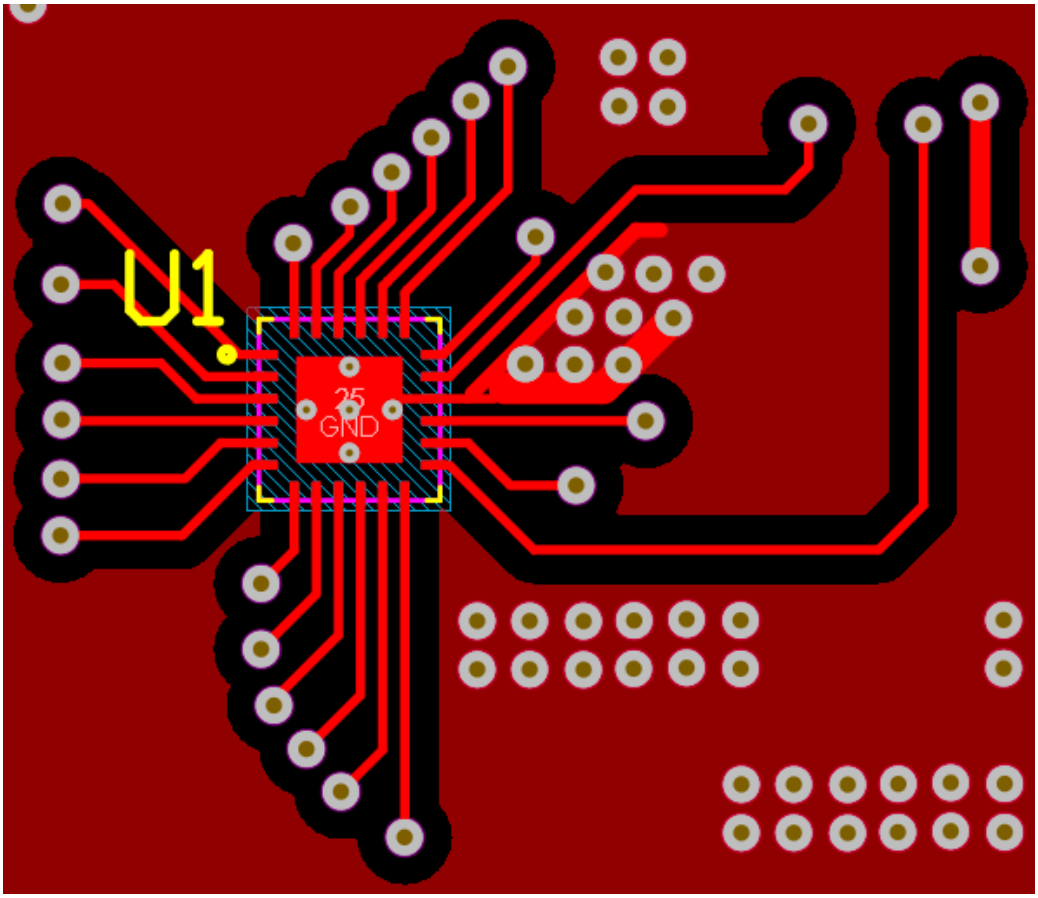


图 11-1. 建议布局

12 器件和文档支持

12.1 器件命名规则

表 12-1 展示了如何根据器件订购代码来解译器件的功能，而
图 5-1 展示了基于器件订购代码的序列配置。有关如何解译器件型号的更多信息，请参阅图 5-1。

表 12-1. 器件比较表

订购代码	功能	EN 引脚默认设置	GPO	时隙 (µs)	I²C ADDR	复位延迟 (ms)	I²C 上拉电压 (V)
TPS38700603SRGERQ1	序列发生器，GPO	漏极开路	开漏	625	3C	16	3.3

12.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*订阅更新* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

12.3 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

12.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

12.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

12.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

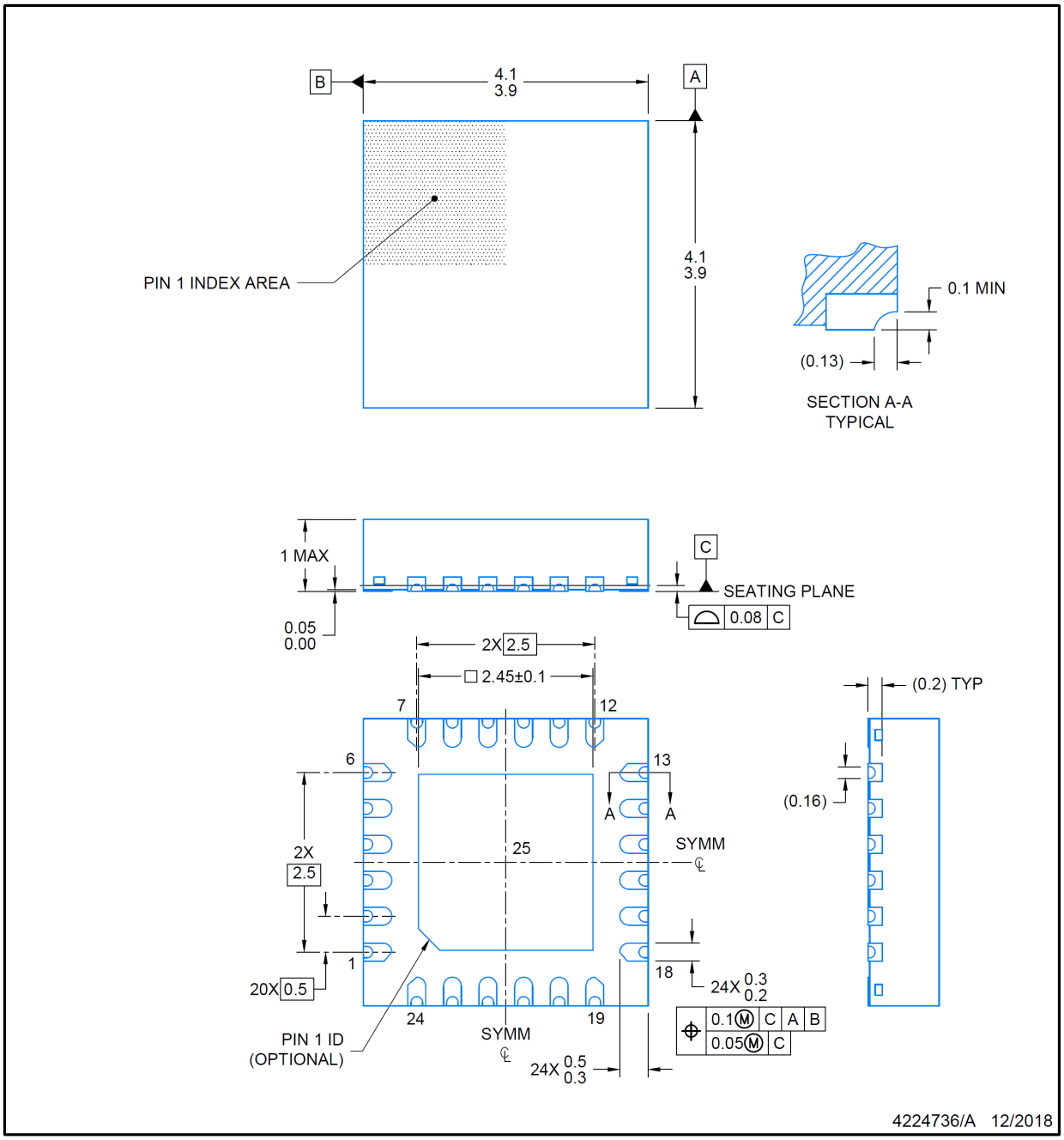
Copyright © 2023 Texas Instruments Incorporated

PACKAGE OUTLINE

RGE0024N

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD



NOTES:

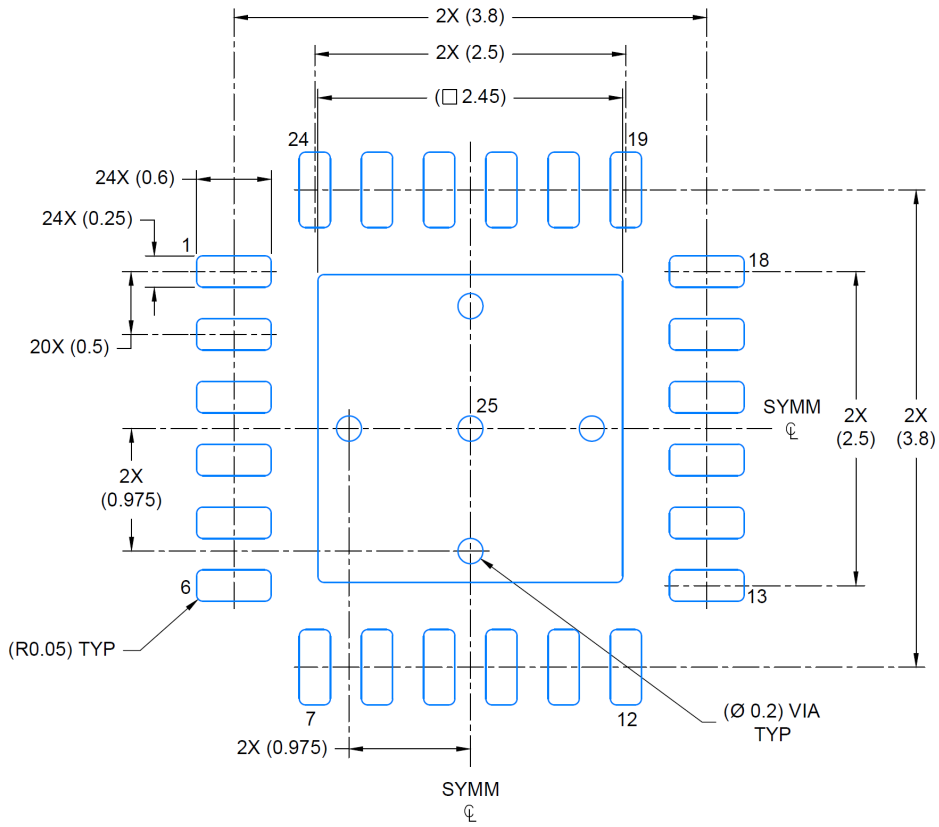
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

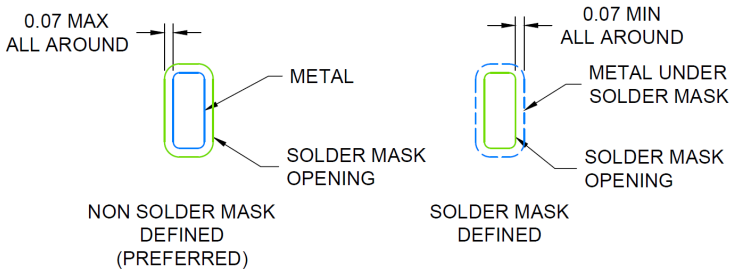
RGE0024N

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 18X



SOLDER MASK DETAILS

4224736/A 12/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

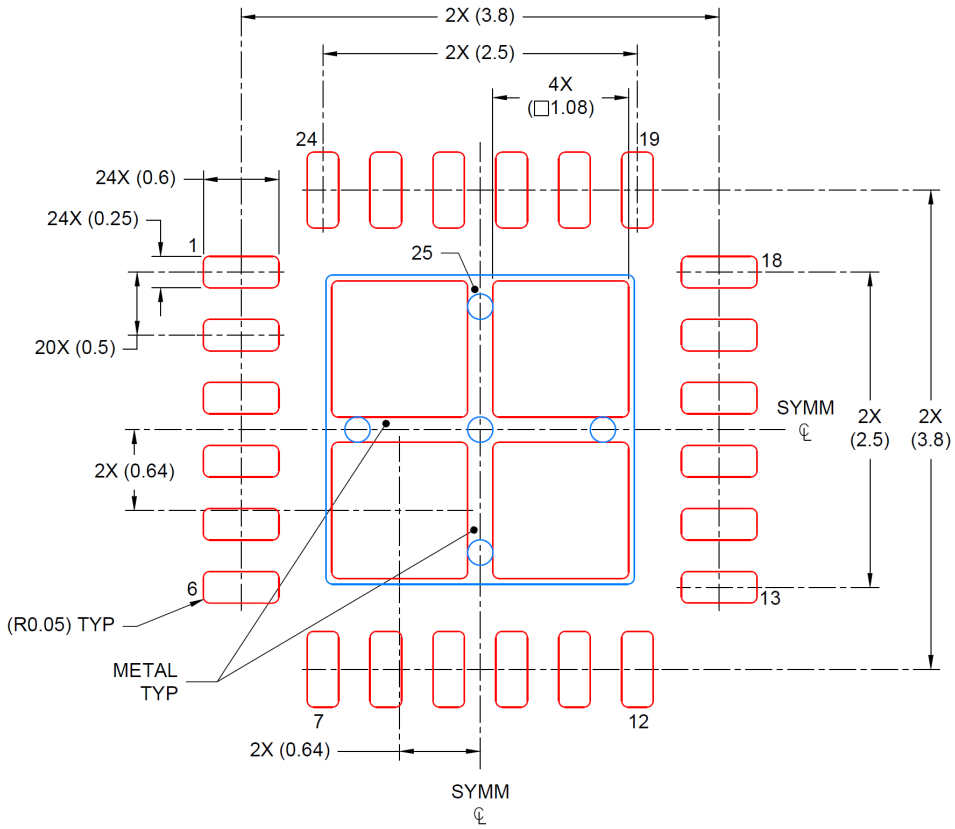
Copyright © 2023 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

RGE0024N

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK-NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
78% PRINTED COVERAGE BY AREA
SCALE: 18X

4224736/A 12/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TPS38700603SRGERQ1	ACTIVE	VQFN	RGE	24	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	T387006 03SQA1	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

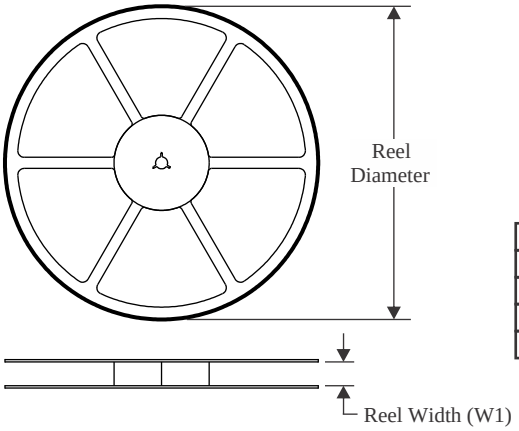
(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

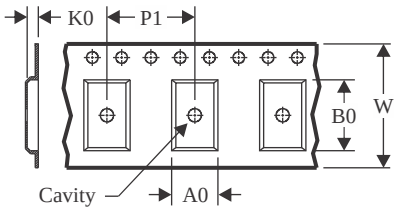
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

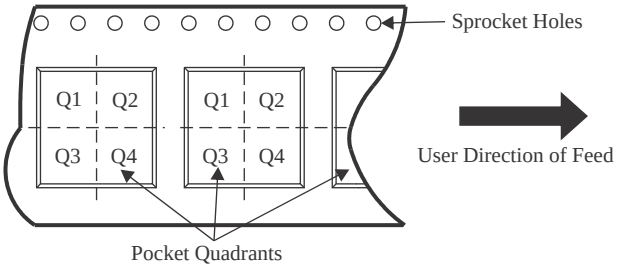


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

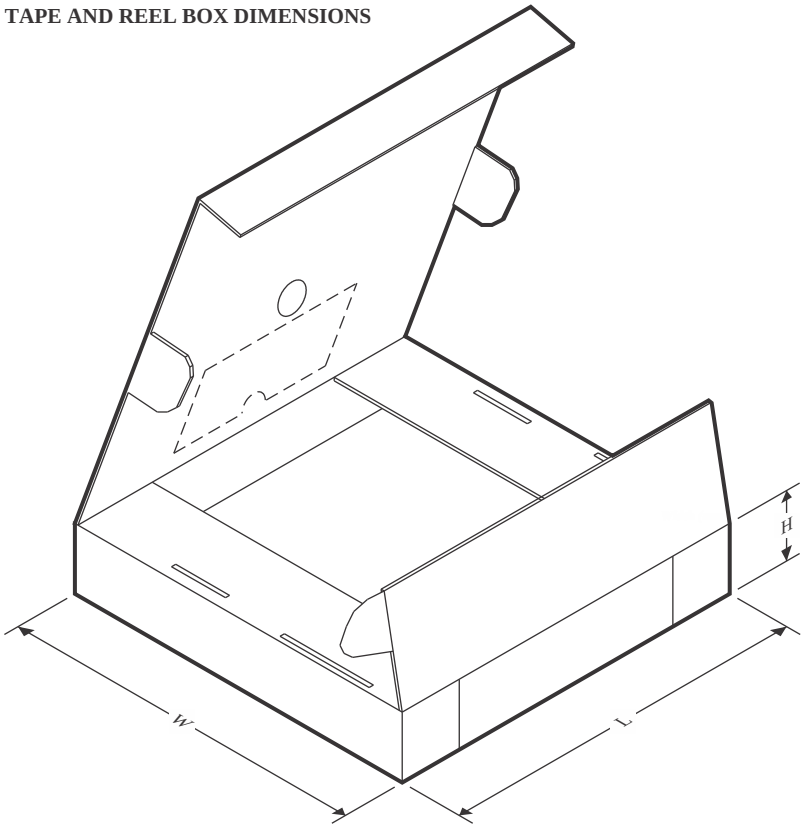
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS38700603SRGERQ1	VQFN	RGE	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS

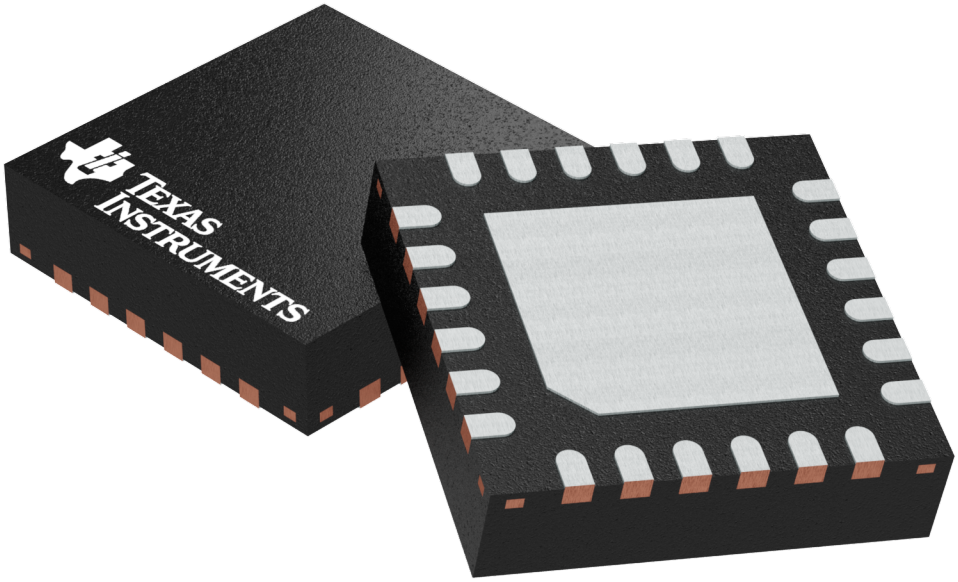


*All dimensions are nominal

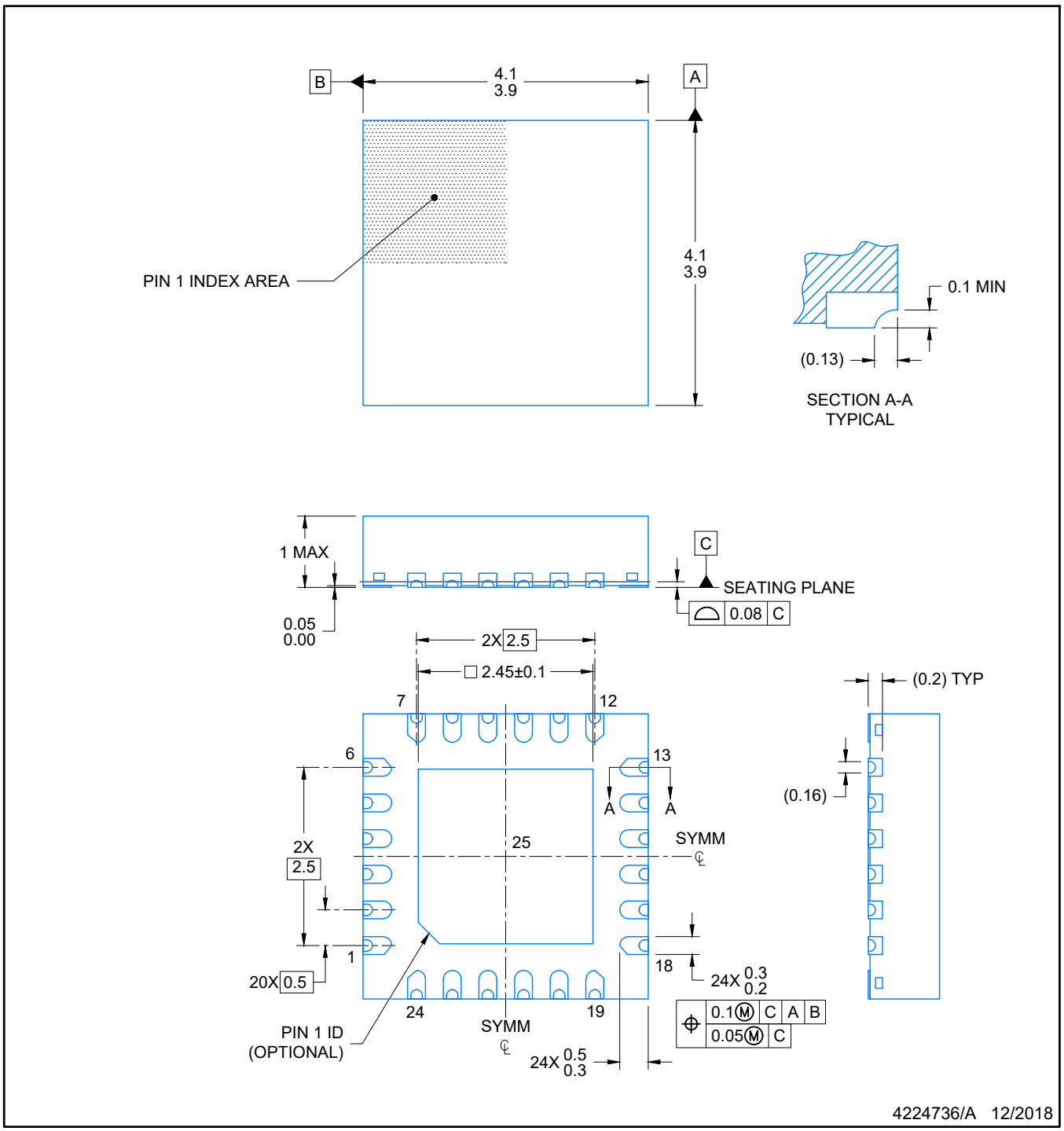
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS38700603SRGERQ1	VQFN	RGE	24	3000	367.0	367.0	35.0

RGE 24 VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

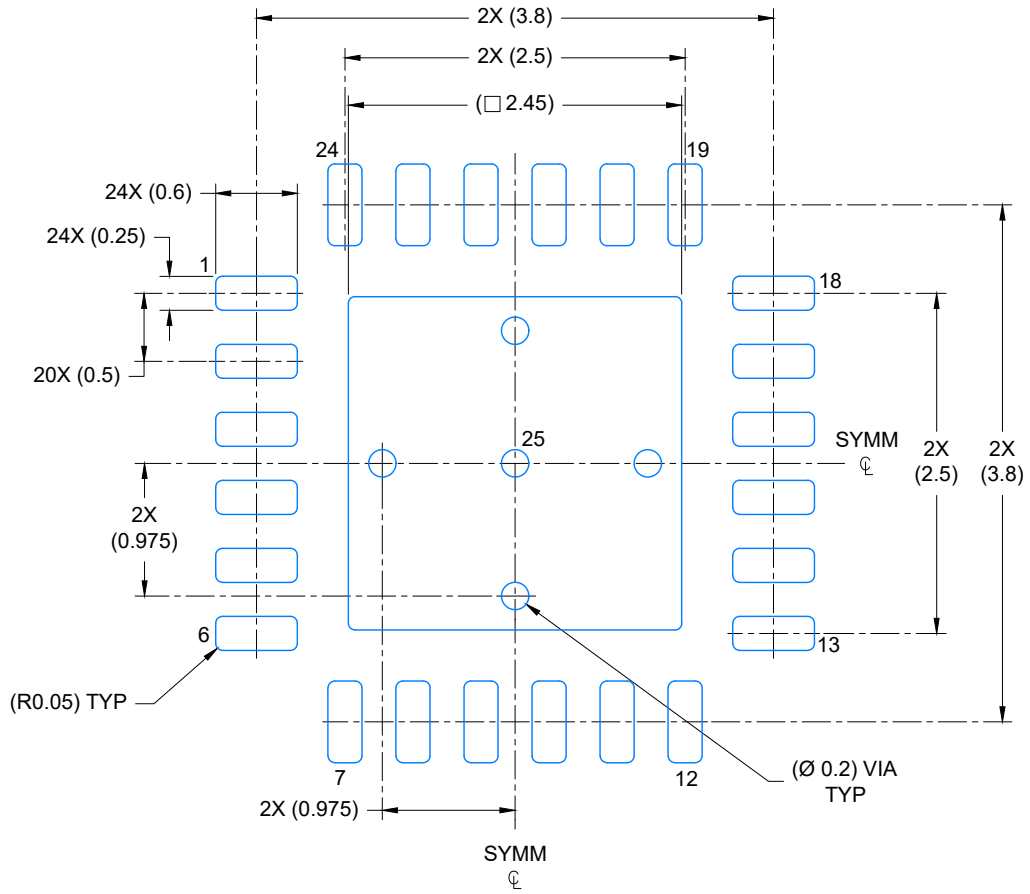


Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

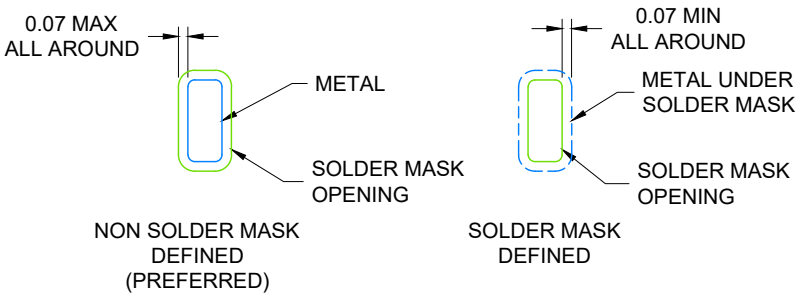


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 18X

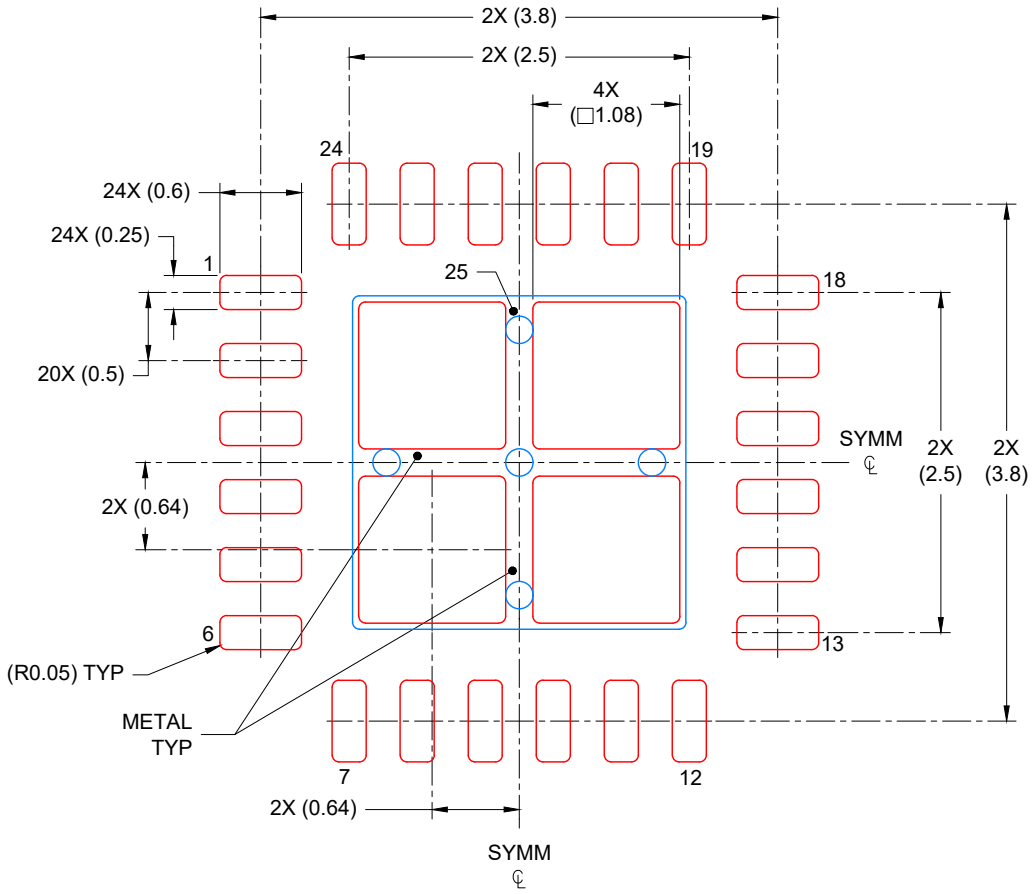


SOLDER MASK DETAILS

4224736/A 12/2018

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
78% PRINTED COVERAGE BY AREA
SCALE: 18X

4224736/A 12/2018

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2023，德州仪器 (TI) 公司