

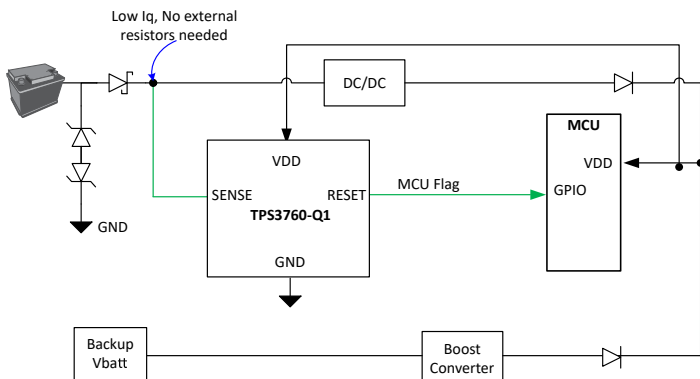
TPS3760-Q1 适用于汽车、具有可编程检测和复位延迟功能的高电压监控器

1 特性

- 具有符合 AEC-Q100 标准的下列特性：
 - 器件温度等级 1：-40°C 至 +125°C 环境温度 T_A
 - 器件 HBM ESD 分类等级 2
 - 器件 CDM ESD 分类等级 C7B
- 功能安全型
 - 可提供用于功能安全系统设计的文档
- 宽电源电压范围：2.7V 至 65V
- SENSE 和 RESET 引脚为 65V 等级
- 低静态电流：1 μ A (典型值)
- 灵活而广泛的电压阈值选项
 - 2.7V 至 36V (最高精度 1.5%)
 - 800 mV 选项 (最高精度 1%)
- 内置迟滞 (V_{HYS})
 - 百分比选项：2% 至 13% (阶跃 1%)
 - 固定选项： $V_{TH} < 8V = 0.5V、1V、1.5V、2V、2.5V$
- 可编程复位延时时间
 - 10nF = 12.8ms、10 μ F = 12.8s
- 可编程感测延时时间
 - 10nF = 1.28ms、10 μ F = 1.28s
- 手动复位 (\overline{MR}) 特性
- 输出复位锁存特性
- 输出拓扑：开漏或推挽

2 应用

- 远程信息处理控制单元
- 音频放大器
- 音响主机和组合仪表
- 车身控制模块



典型应用电路

3 说明

TPS3760-Q1 是一款 65V 输入电压检测器， I_{DD} 为 1 μ A，精度为 1%，检测时间短。该器件可直接连接到 12V/24V 汽车电池系统，用于持续监控过压 (OV) 或欠压 (UV) 条件；由于使用内部电阻分压器，其总体解决方案尺寸非常小。由于提供了广泛的迟滞电压选项，可以忽略冷启动、启停和各种汽车电池电压瞬变。SENSE 引脚上的内置迟滞特性有助于在监测电源电压轨时防止出现错误的复位信号。

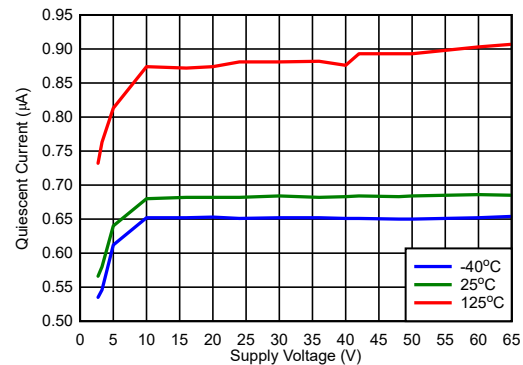
通过单独的 VDD 和 SENSE 引脚，可实现高可靠性汽车系统所需的冗余，并且 SENSE 引脚可以监控比 VDD 更高和更低的电压。SENSE 引脚的高阻抗输入支持使用可选的外部电阻器。通过 CTS 和 CTR 引脚，可以对 RESET 信号的上升沿和下降沿进行延迟调整。此外，CTS 可忽略受监控电压轨上产生的电压干扰，从而充当去抖动器；CTR 具有手动复位 (\overline{MR}) 的作用，可用于强制系统复位。

TPS3760-Q1 采用 4.1mm \times 1.9mm SOT 14 引脚封装。TPS3760-Q1 的工作温度范围为 -40°C 至 +125°C T_A 。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 (标称值)
TPS3760-Q1	SOT-23 (14) (DYY)	4.1mm \times 1.9mm
TPS3760-Q1	WSON (10) (DSK)	2.5mm \times 2.5mm

(1) 如需了解封装详细信息，请参阅数据表末尾的机械制图附录。



典型 I_{DD} 与 V_{DD}



内容

1 特性	1	7.3 特性说明.....	19
2 应用	1	7.4 器件功能模式.....	28
3 说明	1	8 应用和实施	29
4 器件比较	3	8.1 应用信息.....	29
5 引脚配置和功能	5	8.2 可调电压阈值.....	29
6 规格	7	8.3 典型应用.....	30
6.1 绝对最大额定值.....	7	8.4 电源相关建议.....	33
6.2 ESD 等级.....	7	8.5 布局.....	33
6.3 建议运行条件.....	7	9 器件和文档支持	36
6.4 热性能信息.....	7	9.1 器件命名规则.....	36
6.5 电气特性.....	8	9.2 接收文档更新通知.....	37
6.6 时序要求.....	10	9.3 支持资源.....	37
6.7 时序图.....	11	9.4 商标.....	37
6.8 典型特性.....	14	9.5 静电放电警告.....	37
7 详细说明	18	9.6 术语表.....	37
7.1 概述.....	18	10 修订历史记录	37
7.2 功能方框图.....	18	11 机械、封装和可订购信息	38

4 器件比较

下表显示已发布型号之间的差异。有关器件命名规则的更详细说明，请参阅图片，以比较不同的器件型号。如需了解详细信息和供货情况，请联系 TI 销售代表或查阅 TI 的 [E2E 论坛](#)；最低订购量可能适用。

表 4-1. TPS3760-Q1 器件比较表

可订购器件型号	通道 ⁽¹⁾	阈值	迟滞	输出 ⁽²⁾	锁存
TPS3760A012DYRQ1	UV	0.8V	2%	OD 低电平	无锁存
TPS3760AE95DYYQ1	UV	30V	5%	OD 低电平	无锁存
TPS3760BF05DYRQ1	UV	31V	5%	PP 低电平	无锁存
TPS3760E012DYRQ1	OV	0.8V	2%	OD 低电平	无锁存
TPS3760E312DYRQ1	OV	3.1V	2%	OD 低电平	无锁存
TPS3760E335DYRQ1	OV	3.3V	5%	OD 低电平	无锁存
TPS3760H279DYRQ1	OV	2.7V	9%	PP 高电平	无锁存
TPS3760A635DSKRQ1	UV	6.3V	5%	OD 低电平	无锁存

(1) 检测逻辑：OV = 过压；UV = 欠压

(2) 复位拓扑：PP = 推挽；OD = 开漏

下表重点介绍 TI 高压监控器系列之间的差异。

表 4-2. 德州仪器 (TI) 高压监控器系列比较表

通用器件型号	电压范围 (最大值)	通道数量	电压检测	输出复位锁存	支持/符合 FuSa	封装尺寸
TPS3842-Q1	42V	单通道	仅欠压	—	支持	SOT563(6)
TPS3760-Q1	65V	单通道	仅欠压或仅过压	—	支持	WSON(10) SOT23(14)
TPS3762-Q1	65V	单通道	欠压和过压	✓	符合	SOT23(8)
TPS37-Q1	65V	双通道	欠压和过压	—	支持	WSON(10) SOT23(14)
TPS38-Q1	65V	双通道	仅欠压或仅过压	—	支持	WSON(10) SOT23(14)

Voltage Threshold Hysteresis

TPS3760 X X XX X DYY R-Q1

Topology

Suffix	CH1
A	UV OD L
B	UV PP L
C	UV OD H
D	UV PP H
E	OV OD L
F	OV PP L
G	OV OD H
H	OV PP H

LATCH

Suffix	Name
L	LATCH
	NO LATCH

Threshold Voltage

100mV steps				400mV steps		500mV steps		1V steps	
Suffix	VIT	Suffix	VIT	Suffix	VIT	Suffix	VIT	Suffix	VIT
01	800mV	70	7.0V	A0	10.4V	D0	20.5V	F0	31.0V
27	2.7V	71	7.1V	A1	10.8V	D1	21.0V	F1	32.0V
28	2.8V	72	7.2V	A2	11.2V	D2	21.5V	F2	33.0V
29	2.9V	73	7.3V	A3	11.6V	D3	22.0V	F3	34.0V
30	3.0V	74	7.4V	A4	12.0V	D4	22.5V	F4	35.0V
31	3.1V	75	7.5V	A5	12.4V	D5	23.0V	F5	36.0V
32	3.2V	76	7.6V	A6	12.8V	D6	23.5V		
33	3.3V	77	7.7V	A7	13.2V	D7	24.0V		
34	3.4V	78	7.8V	A8	13.6V	D8	24.5V		
35	3.5V	79	7.9V	A9	14.0V	D9	25.0V		
36	3.6V	80	8.0V	B0	14.4V	E0	25.5V		
37	3.7V	81	8.1V	B1	14.8V	E1	26.0V		
38	3.8V	82	8.2V	B2	15.2V	E2	26.5V		
39	3.9V	83	8.3V	B3	15.6V	E3	27.0V		
40	4.0V	84	8.4V	B4	16.0V	E4	27.5V		
41	4.1V	85	8.5V	B5	16.4V	E5	28.0V		
42	4.2V	86	8.6V	B6	16.8V	E6	28.5V		
43	4.3V	87	8.7V	B7	17.2V	E7	29.0V		
44	4.4V	88	8.8V	B8	17.6V	E8	29.5V		
45	4.5V	89	8.9V	B9	18.0V	E9	30.0V		
46	4.6V	90	9.0V	C0	18.4V				
47	4.7V	91	9.1V	C1	18.8V				
48	4.8V	92	9.2V	C2	19.2V				
49	4.9V	93	9.3V	C3	19.6V				
50	5.0V	94	9.4V	C4	20.0V				
51	5.1V	95	9.5V						
52	5.2V	96	9.6V						
53	5.3V	97	9.7V						
54	5.4V	98	9.8V						
55	5.5V	99	9.9V						
56	5.6V	00	10.0V						
57	5.7V								
58	5.8V								
59	5.9V								
60	6.0V								
61	6.1V								
62	6.2V								
63	6.3V								
64	6.4V								
65	6.5V								
66	6.6V								
67	6.7V								
68	6.8V								
69	6.9V								

Hysteresis

Suffix	CH1
2	2%
3	3%
4	4%
5	5%
6	6%
7	7%
8	8%
9	9%
A	10%
B	11%
C	12%
D	13%
E	0.5V
F	1V
G	1.5V
H	2V
I	2.5V

Package

Suffix	Name
DYY	SOT-23
DSK	WSN

Reel

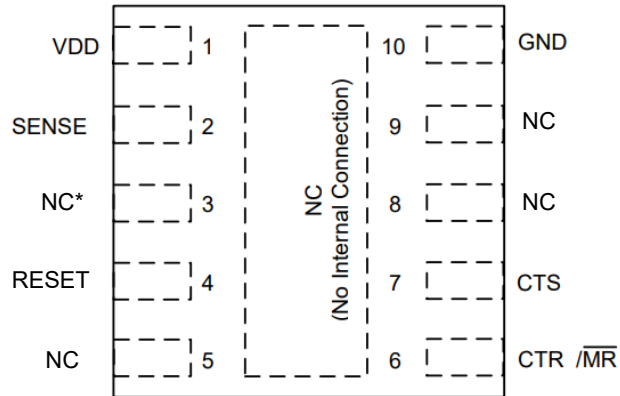
Suffix	Name
R	Large

Rating

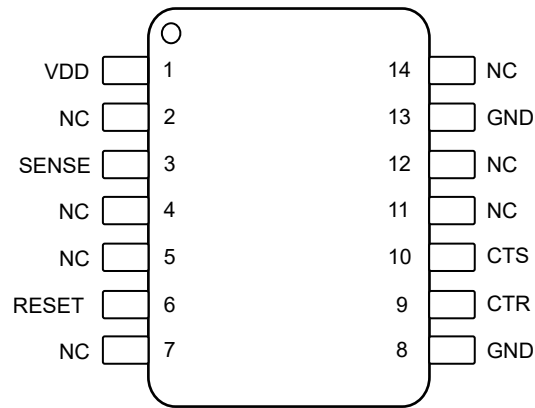
Suffix	Name
Q1	AUTO
	INDUSTRIAL

1. VIT 为 800mV 的后缀 01 与可调型号相对应，没有内部分压器
2. A 到 I 迟滞选项仅适用于 2.9V 至 8V 阈值选项

5 引脚配置和功能



**图 5-1. DSK 封装、
10 引脚 WSON、
TPS3760-Q1 (顶视图)**



**图 5-2. DYY 封装、
14 引脚 SOT-23、
TPS3760-Q1 (顶视图)**

表 5-1. 引脚功能

引脚	SOT23 (DYY)	WSON (DSK)	I/O	说明
名称	引脚编号	引脚编号		
VDD	1	1	I	输入电源电压 ：使用 0.1 μ F 电容器旁路至 GND。
SENSE	3	2	I	检测电压 ：将此引脚监控的电压与内部电压阈值 V_{th} 进行比较，后者由固定型号的内部分压器或可调型号的外部分压器确定。当 SENSE 引脚检测到故障时， $\overline{\text{RESET}}/\text{RESET}$ 将在经过 CTS 设置的检测延时时间后置为有效。当 SENSE 引脚上的电压转换回升至超过 V_{th} 和迟滞 V_{HYS} 时， $\overline{\text{RESET}}/\text{RESET}$ 将在经过 CTR 设置的复位延时时间后置为无效。对于有噪声的应用，可能需要靠近此引脚放置一个 10nF 至 100nF 陶瓷电容器，以获得出色性能。 检测拓扑 ：过压 (OV) 或欠压 (UV)
$\overline{\text{RESET}}/\text{RESET}$	6	4	O	输出复位信号 ：有关输出拓扑选项，请参阅“器件比较”。当 SENSE 在检测延时时间（由 CTS 设置）后超过电压阈值时， $\overline{\text{RESET}}/\text{RESET}$ 置为有效。当 SENSE 从故障状态转换后， $\overline{\text{RESET}}/\text{RESET}$ 在复位延时时间内保持有效。对于低电平有效开漏复位输出，需要一个外部上拉电阻器。请勿在推挽输出端放置外部上拉电阻器。 输出拓扑 ：开漏或推挽，低电平有效或高电平有效
$\overline{\text{CTS}}/\text{LATCH}$	10	7	O	SENSE 延时时间 ：电容器可编程检测延迟：CTS 引脚在将复位条件置为有效时提供用户可调节的检测延时时间。将此引脚连接到以接地为基准的电容器可将 $\overline{\text{RESET}}/\text{RESET}$ 延迟时间置为有效。 LATCH ：在支持锁存功能的器件中，CTS 功能将禁用。激活锁存模式后，即使故障已清除， $\overline{\text{RESET}}/\text{RESET}$ 也不会置为无效。要激活锁存模式，必须将 LATCH 引脚驱动至低电平，至少达到 1.4V。建议将 10k Ω 电阻下拉至接地。要停用锁存模式，必须在 SENSE 引脚未检测到故障时向 LATCH 引脚施加 2.1V 或更高的电压持续 3 μ s。 $\overline{\text{RESET}}/\text{RESET}$ 将通过延迟 t_{ctr} 在停用信号的上升沿开始置为无效。
CTR/MR	9	6	-	RESET 延时时间 ： $\overline{\text{RESET}}/\text{RESET}$ 的用户可编程复位延时时间。连接外部电容器来实现可调节的延时时间，或使引脚悬空来实现最短延时。 手动复位 ：如果此引脚驱动至低电平， $\overline{\text{RESET}}/\text{RESET}$ 输出将复位并置为有效。此引脚可以保持悬空或连接到电容器。此引脚不应驱动至高电平。
GND	8、13	10	-	接地 。所有 GND 引脚必须以电气方式连接到电路板接地。
NC	2、4、5、7、11、12、14	5、8、9	-	NC 表示“无连接”。引脚可以保持悬空。
NC*	-	3	-	不得保持悬空。必须驱动至逻辑低电平。

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
电压	VDD、V _{SENSE} 、V _{RESET} 、V _{RESET}	-0.3	70	V
电压	V _{CTS} 、V _{CTR}	-0.3	6	V
电流	I _{RESET} 、I _{RESET}		10	mA
温度 ⁽²⁾	工作结温, T _J	-40	150	°C
温度 ⁽²⁾	工作环境温度, T _A	-40	150	°C
温度 ⁽²⁾	贮存温度, T _{stg}	-65	150	°C

- (1) 应力超出“绝对最大额定值”下列出的值可能会对器件造成永久损坏。这些列出的值只是应力额定值,并不意味着器件能够在该等条件下以及在建议运行条件以外的任何其他条件下正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 由于该器件的耗散功率较低,因此假设 T_J = T_A。

6.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 ⁽¹⁾	±2000	V
		充电器件模型 (CDM), 符合 AEC Q100-011 标准	±750	

- (1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	标称值	最大值	单位
电压	V _{DD}	2.7		65	V
电压	V _{DD} (50ms 瞬态) ⁽¹⁾			70	V
电压	V _{SENSE} 、V _{RESET} 、V _{RESET}	0		65	V
电压	V _{CTS} 、V _{CTR}	0		5.5	V
电流	I _{RESET} 、I _{RESET}	0		±5	mA
T _J	结温 (自然通风温度)	-40		125	°C

- (1) 这是一种瞬态规格,在此条件下反复运行器件可能会影响器件寿命。

6.4 热性能信息

热指标 ⁽¹⁾		TPS3760-Q1		单位
		DSK	DYY	
		10-PIN	14-PIN	
R _{θJA}	结至环境热阻	87.4	131.5	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	76.3	61.1	°C/W
R _{θJB}	结至电路板热阻	54.2	56.6	°C/W
ψ _{JT}	结至顶部特征参数	4.8	3.4	°C/W
ψ _{JB}	结至电路板特征参数	54.2	56.5	°C/W
R _{θJC(bot)}	结至外壳 (底部) 热阻	34.8	不适用	°C/W

- (1) 有关新旧热指标的更多信息,请参阅[半导体](#)和[IC 封装热指标](#)应用报告。

6.5 电气特性

条件为 $V_{DD(MIN)} \leq V_{DD} \leq V_{DD(MAX)}$ 、 $CTR/\overline{MR} = CTS =$ 开路、输出复位上拉电阻器 $R_{PU} = 10k\Omega$ 、电压 $V_{PU} = 5.5V$ 且负载 $C_{LOAD} = 10pF$ 。自然通风条件下的工作温度范围 $T_A = -40^\circ C$ 至 $125^\circ C$ ，除非另有说明。典型值为 $T_A = 25^\circ C$ 、 $V_{DD} = 16V$ ，且 $V_{IT} = 6.5V$ (V_{IT} 指的是 V_{ITN} 或 V_{ITP})。

参数		测试条件	最小值	典型值	最大值	单位
VDD						
V_{DD}	电源电压		2.7		65	V
UVLO ⁽¹⁾	欠压锁定	V_{DD} 下降至 $V_{DD(MIN)}$ 以下			2.7	V
V_{POR}	上电复位电压 ⁽²⁾ RESET、低电平有效 (开漏、推挽)	$V_{OL(MAX)} = 300mV$ $I_{OUT(SINK)} = 15\mu A$			1.4	V
V_{POR}	上电复位电压 ⁽²⁾ RESET、高电平有效 (推挽)	$V_{OH(MIN)} = 0.8 \times V_{DD}$ $I_{OUT(SOURCE)} = 15\mu A$			1.4	V
I_{DD}	流入 VDD 引脚的电源电流	$V_{IT} = 800mV$ $V_{DD(MIN)} \leq V_{DD} \leq V_{DD(MAX)}$		1	2.6	μA
		$V_{IT} = 2.7V$ 至 $36V$ $V_{DD(MIN)} \leq V_{DD} \leq V_{DD(MAX)}$		1	2	μA
SENSE (输入)						
I_{SENSE}	输入电流	$V_{IT} = 800mV$			100	nA
I_{SENSE}	输入电流	$V_{IT} < 10V$			0.8	μA
I_{SENSE}	输入电流	$10V < V_{IT} < 26V$			1.2	μA
I_{SENSE}	输入电流	$V_{IT} > 26V$			2	μA
V_{ITN}	负向输入阈值 (欠压)	$V_{IT} = 2.7V$ 至 $36V$	-1.5		1.5	%
		$V_{IT} = 800mV$ ⁽³⁾	0.792	0.800	0.808	V
V_{ITP}	正向输入阈值 (过压)	$V_{IT} = 2.7V$ 至 $36V$	-1.5		1.5	%
		$V_{IT} = 800mV$ ⁽³⁾	0.792	0.800	0.808	V
V_{HYS}	迟滞精度 ⁽⁴⁾	$V_{IT} = 0.8V$ 和 $2.7V$ 至 $36V$ V_{HYS} 范围 = 2% 至 13% (阶跃 1%)	-1.5		1.5	%
		$V_{IT} = 2.7V$ 至 $8V$ $V_{HYS} = 0.5V$ 、 $1V$ 、 $1.5V$ 、 $2V$ 、 $2.5V$ $(V_{ITP} - V_{HYS}) \geq 2.4V$ ，仅 OV	-1.5		1.5	%
RESET (输出)						
$I_{lkg(OD)}$	开漏漏电流	$V_{RESET} = 5.5V$ $V_{ITN} < V_{SENSE} < V_{ITP}$			300	nA
		$V_{RESET} = 65V$ $V_{ITN} < V_{SENSE} < V_{ITP}$			300	nA
V_{OL} ⁽⁵⁾	低电平输出电压	$2.7V \leq V_{DD} \leq 65V$ $I_{RESET} = 5mA$			300	mV
V_{OH_DO}	高电平输出压降 ($V_{DD} - V_{OH} = V_{OH_DO}$) (仅推挽)	$2.7V \leq V_{DD} \leq 65V$ $I_{RESET} = 500\mu A$			100	mV
V_{OH} ⁽⁵⁾	高电平输出电压 (仅推挽)	$2.7V \leq V_{DD} \leq 65V$ $I_{RESET} = 5mA$	$0.8V_{DD}$			V

6.5 电气特性 (续)

条件为 $V_{DD(MIN)} \leq V_{DD} \leq V_{DD(MAX)}$ 、 $CTR/\overline{MR} = CTS =$ 开路、输出复位上拉电阻器 $R_{PU} = 10k\Omega$ 、电压 $V_{PU} = 5.5V$ 且负载 $C_{LOAD} = 10pF$ 。自然通风条件下的工作温度范围 $T_A = -40^\circ C$ 至 $125^\circ C$ ，除非另有说明。典型值为 $T_A = 25^\circ C$ 、 $V_{DD} = 16V$ ，且 $V_{IT} = 6.5V$ (V_{IT} 指的是 V_{ITN} 或 V_{ITP})。

参数		测试条件	最小值	典型值	最大值	单位
电容器时序 (CTS、CTR)						
R_{CTR}	内部电阻 (CTR/\overline{MR})		877	1000	1147	$k\Omega$
R_{CTS}	内部电阻 (C_{TS})		88	100	122	$k\Omega$
手动复位 (MR)						
$V_{\overline{MR_IH}}$	CTR/\overline{MR} 引脚逻辑高电平输入	$V_{DD} = 2.7V$	2200			mV
V_{MR_IH}	CTR/\overline{MR} 引脚逻辑高电平输入	$V_{DD} = 65V$	2500			mV
$V_{\overline{MR_IL}}$	CTR/\overline{MR} 引脚逻辑低电平输入	$V_{DD} = 2.7V$			1300	mV
V_{MR_IL}	CTR/\overline{MR} 引脚逻辑低电平输入	$V_{DD} = 65V$			1300	mV

- 当 V_{DD} 电压降至 $UVLO$ 以下时，输出端将复位置为有效。 V_{DD} 压摆率 $\leq 100mV/\mu s$
- V_{POR} 是受控输出状态下的最小 V_{DD} 电压。低于 $VPOR$ 时，无法确定输出。 $V_{DD} dv/dt \leq 100mV/\mu s$
- 有关可调节电压指南和电阻器选择，请参阅**应用和实施**章节中的**可调节电压阈值**
- 迟滞与 V_{ITP} 和 V_{ITN} 电压阈值相关。 V_{ITP} 具有负迟滞， V_{ITN} 具有正迟滞。
- 有关 V_{OH} 和 V_{OL} 与输出型号的关系，请参阅**时序要求表**后面的**时序图**

6.6 时序要求

条件为 $V_{DD(MIN)} \leq V_{DD} \leq V_{DD(MAX)}$ 、 $CTR/\overline{MR} = CTS = \text{开路}^{(1)}$ 、输出复位上拉电阻器 $R_{PU} = 10k\Omega$ 、电压 $V_{PU} = 5.5V$ 且 $C_{LOAD} = 10pF$ 。VDD 和 SENSE 压摆率 = $1V/\mu s$ 。自然通风条件下的工作温度范围 $T_A = -40^\circ C$ 至 $125^\circ C$ ，除非另有说明。典型值条件为 $T_A = 25^\circ C$ 、 $V_{DD} = 16V$ 且 $V_{IT} = 6.5V$ (V_{IT} 指 V_{ITN} 或 V_{ITP})。

参数	测试条件	最小值	典型值	最大值	单位
常见时序参数					
t_{CTR}	复位释放延时时间 (CTR/MR) ⁽²⁾	$V_{IT} = 2.7V$ 至 $36V$ $C_{CTR} = \text{开路}$ 相对于迟滞 20% 过驱		100	μs
		$V_{IT} = 800mV$ $C_{CTR} = \text{开路}$ 相对于迟滞 20% 过驱		40	μs
t_{CTS}	感测检测延时时间 (CTS) ⁽³⁾	$V_{IT} = 2.7V$ 至 $36V$ $C_{CTS} = \text{开路}$ V_{IT} 产生 20% 过驱	34	90	μs
		$V_{IT} = 800mV$ $C_{CTS} = \text{Open}$ V_{IT} 产生 20% 过驱		8	17
t_{SD}	启动延迟 ⁽⁴⁾	$C_{CTR/MR} = \text{开路}$		2	ms

- (1) C_{CTR} = 复位延迟通道
 C_{CTS} = 检测延迟通道
- (2) **CTR 复位检测延时时间：**
过压低电平有效输出测量范围为 $V_{ITP} - HYS$ 至 V_{OH}
欠压低电平有效输出测量范围为 $V_{ITN} + HYS$ 至 V_{OH}
过压高电平有效输出测量范围为 $V_{ITP} - HYS$ 至 V_{OL}
欠压高电平有效输出测量范围为 $V_{ITN} + HYS$ 至 V_{OL}
- (3) **CTS 感测检测延时时间：**
低电平有效输出测量范围为 V_{IT} 至 V_{OL} (或 V_{Pullup})
高电平有效输出测量范围为 V_{IT} 至 V_{OH}
 V_{IT} 指 V_{ITN} 或 V_{ITP}
- (4) 在上电序列期间，在输出基于 V_{SENSE} 处于正确状态之前，VDD 必须达到或高于 $V_{DD(MIN)}$ 并至少持续 t_{SD} 的时间。
 t_{SD} 时间包括传播延迟 ($C_{CTR} = \text{开路}$)。 C_{CTR} 中的电容器将增加 t_{SD} 的时间。

6.7 时序图

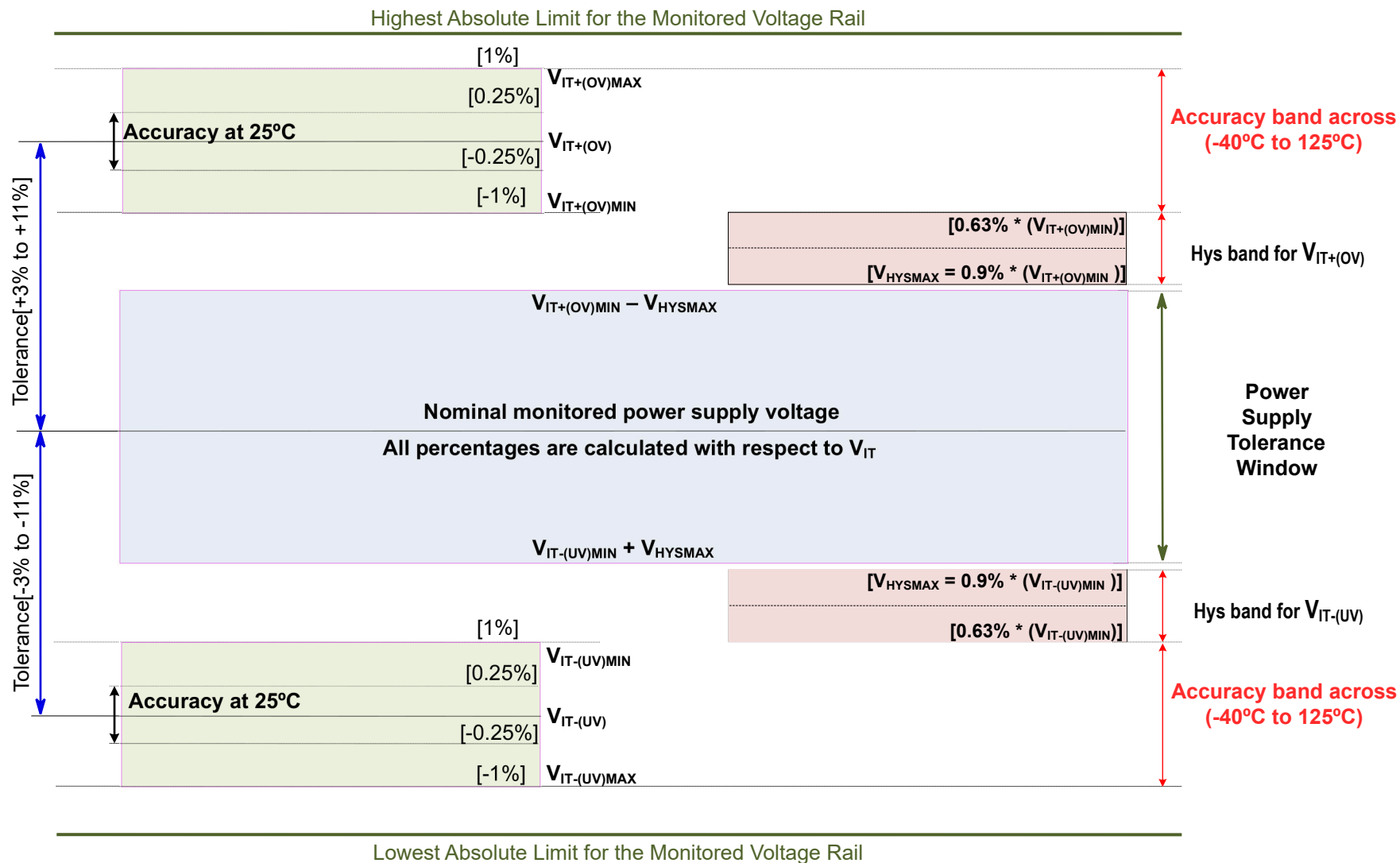
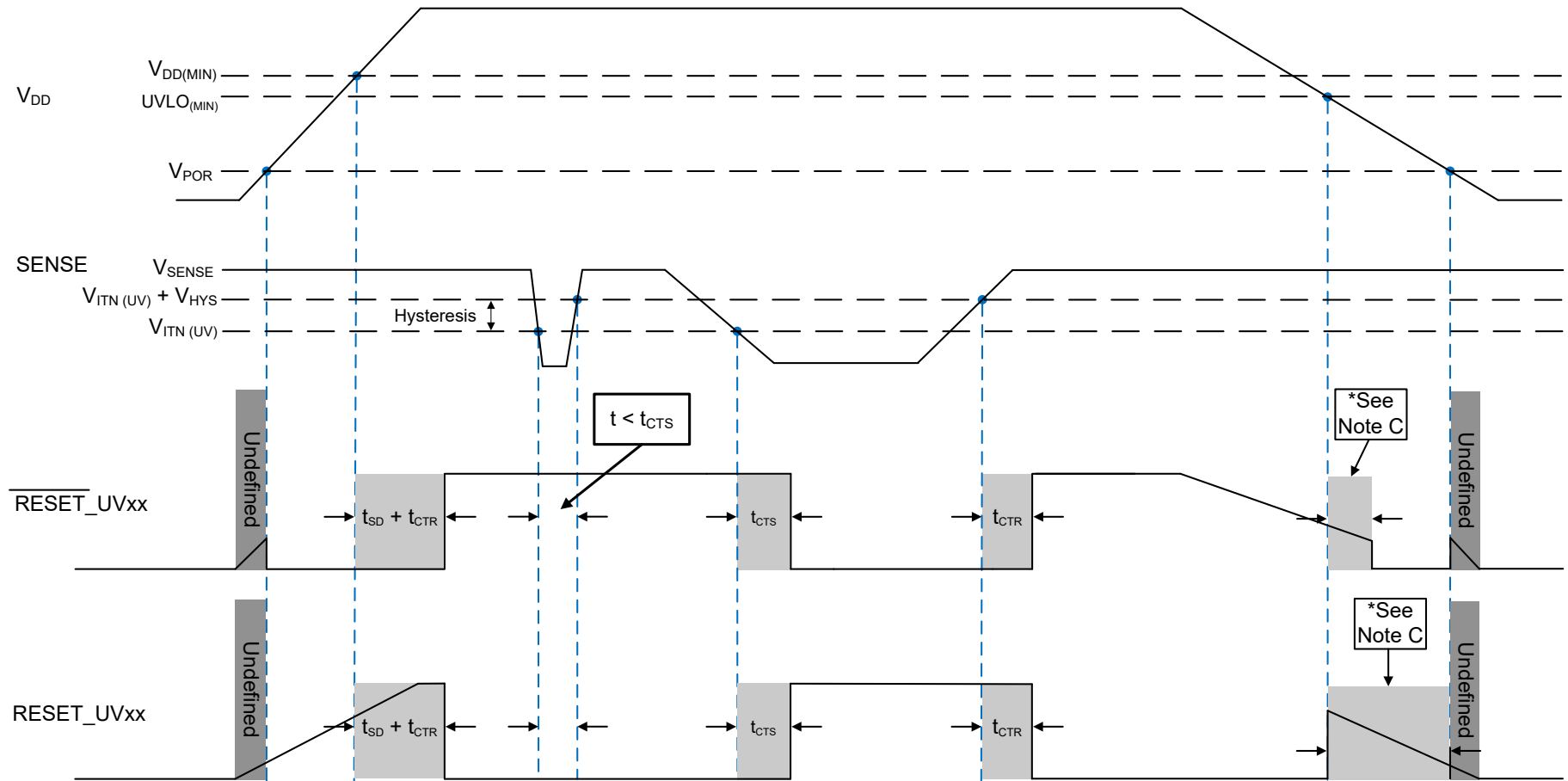
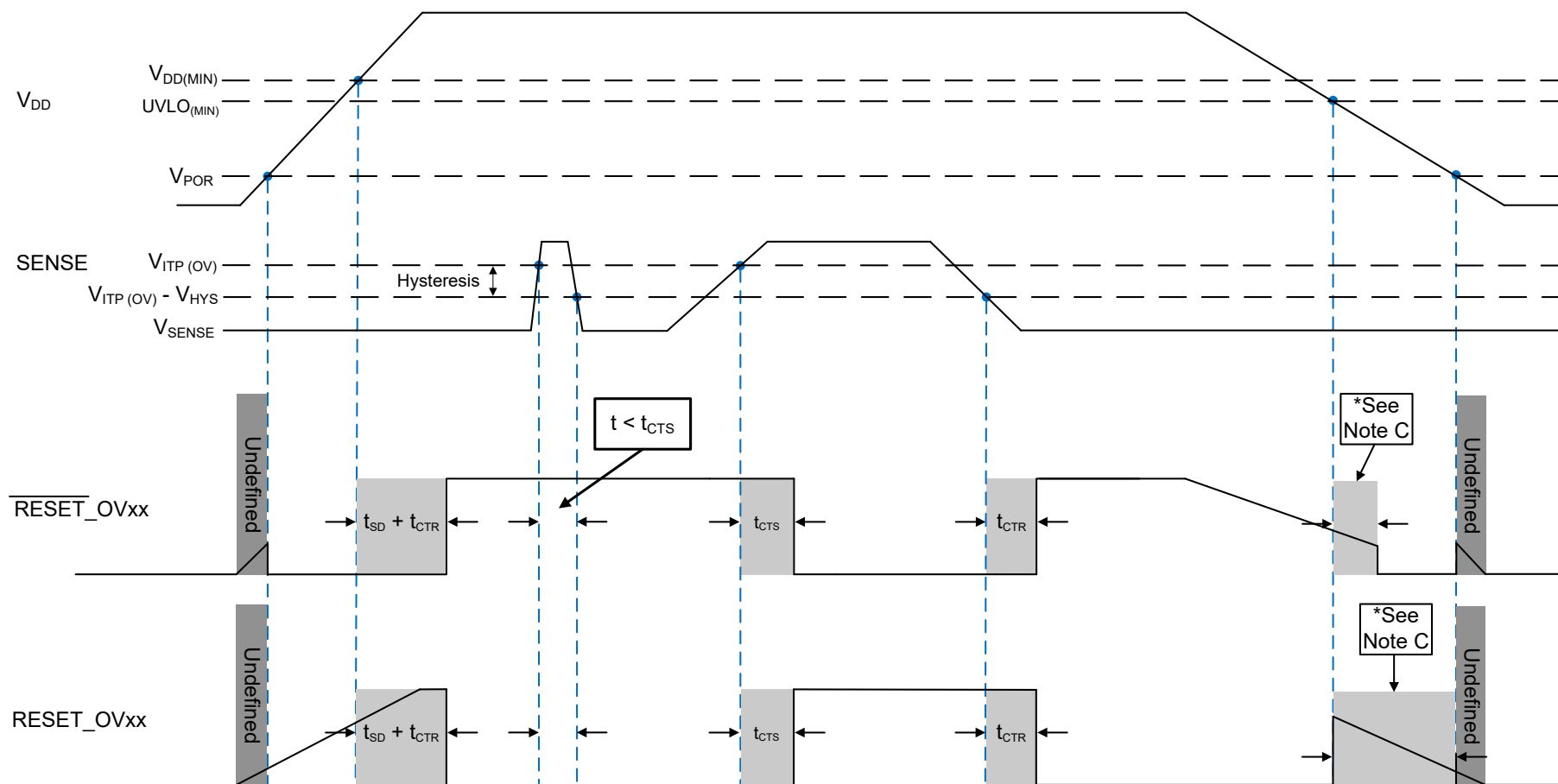


图 6-1. 电压阈值和迟滞精度



- A. 对于开漏输出选项, 时序图假设 $\overline{\text{RESET_UVOD}}/\text{RESET_UVOD}$ 引脚通过外部上拉电阻器连接到 VDD。
- B. 请注意, 图 6-2 展示了 VDD 下降压摆率较慢或 VDD 衰减时间远大于传播检测延迟 (t_{CTR}) 时间。
- C. 当 VDD 在达到延时时间 t_{CTR} 后下降到 $\text{UVLO}_{(\text{MIN})}$ 阈值以下时, $\overline{\text{RESET_UVxx}}/\text{RESET_UVxx}$ 被置为有效。

图 6-2. SENSE 欠压 (UV) 时序图



- A. 对于开漏输出选项, 时序图假设 $\overline{\text{RESET_OVxx}}$ / $\overline{\text{RESET_OVxx}}$ 引脚通过外部上拉电阻器连接到 VDD。
 B. 请注意, 图 6-3 展示了 VDD 下降压摆率较慢或 VDD 衰减时间远大于传播检测延迟 (t_{CTR}) 时间。
 C. 当 VDD 在达到延时时间 t_{CTR} 后下降到 $\text{UVLO}_{(\text{MIN})}$ 阈值以下时, $\overline{\text{RESET_OVxx}}$ / $\overline{\text{RESET_OVxx}}$ 被置为有效。

图 6-3. SENSE 过压 (OV) 时序图

6.8 典型特性

典型特性显示了 TPS3760-Q1 器件的典型性能。测试条件为 $T_A = 25^\circ\text{C}$, $R_{PU} = 100\text{k}\Omega$, $C_{Load} = 50\text{pF}$ (除非另有说明)。

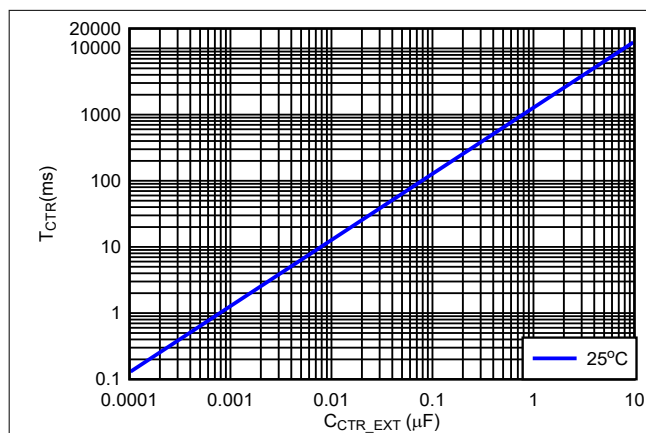


图 6-4. T_{CTR} 与 C_{CTR} 间的关系

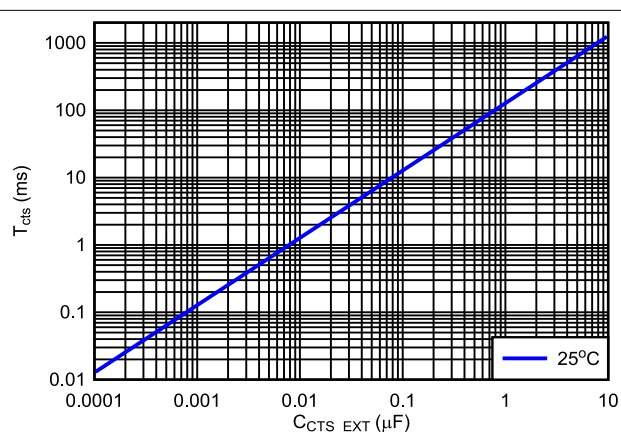
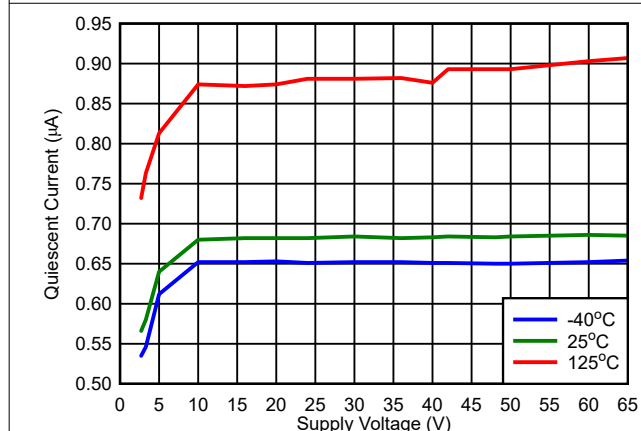
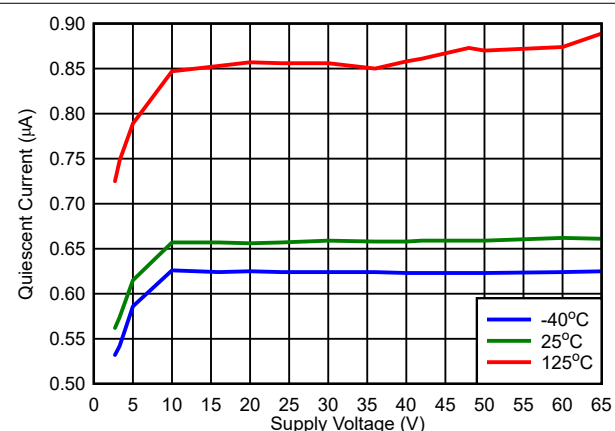


图 6-5. T_{CTS} 与 C_{CTS} 间的关系



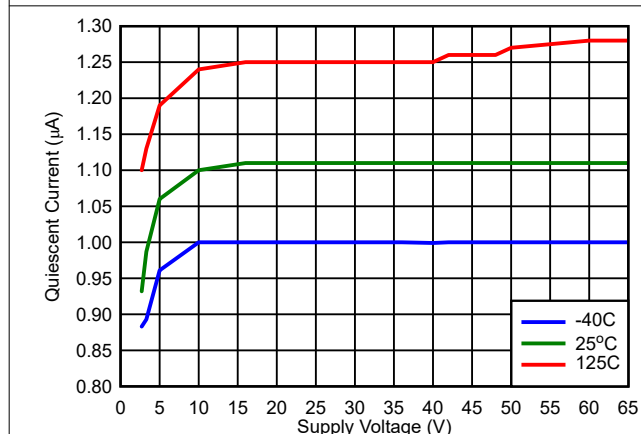
$\overline{\text{RESET}} = \text{高电平}, V_{IT} = 2.7\text{V}$

图 6-6. V_{DD} 与 I_{DD} 间的关系 ($\overline{\text{RESET}} = \text{高电平}, V_{IT} = 2.7\text{V}$)



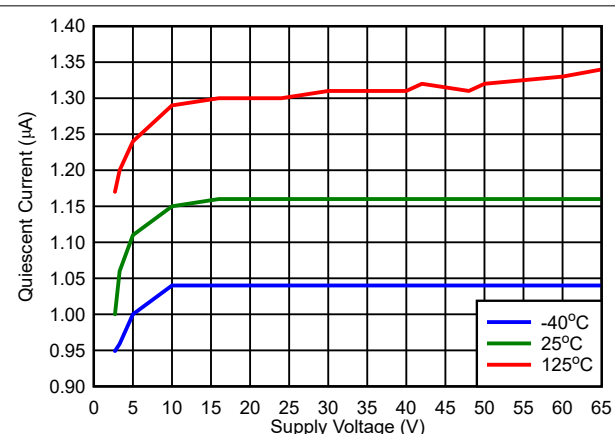
$\overline{\text{RESET}} = \text{低电平}, V_{IT} = 2.7\text{V}$

图 6-7. V_{DD} 与 I_{DD} 间的关系 ($\overline{\text{RESET}} = \text{低电平}, V_{IT} = 2.7\text{V}$)



$\overline{\text{RESET}} = \text{高电平}, V_{IT} = 0.8\text{V}$

图 6-8. V_{DD} 与 I_{DD} 间的关系 ($\overline{\text{RESET}} = \text{高电平}, V_{IT} = 0.8\text{V}$)



$\overline{\text{RESET}} = \text{低电平}, V_{IT} = 0.8\text{V}$

图 6-9. V_{DD} 与 I_{DD} 间的关系 ($\overline{\text{RESET}} = \text{低电平}, V_{IT} = 0.8\text{V}$)

6.8 典型特性 (续)

典型特性显示了 TPS3760-Q1 器件的典型性能。测试条件为 $T_A = 25^\circ\text{C}$, $R_{PU} = 100\text{k}\Omega$, $C_{Load} = 50\text{pF}$ (除非另有说明)。

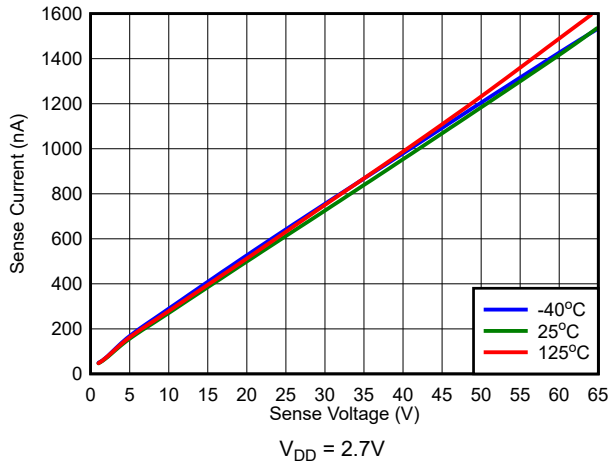


图 6-10. V_{SENSE} 与 I_{SENSE} 间的关系

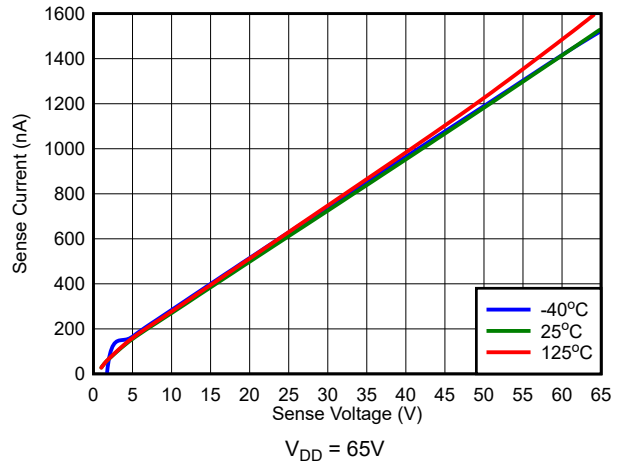


图 6-11. V_{SENSE} 与 I_{SENSE} 间的关系

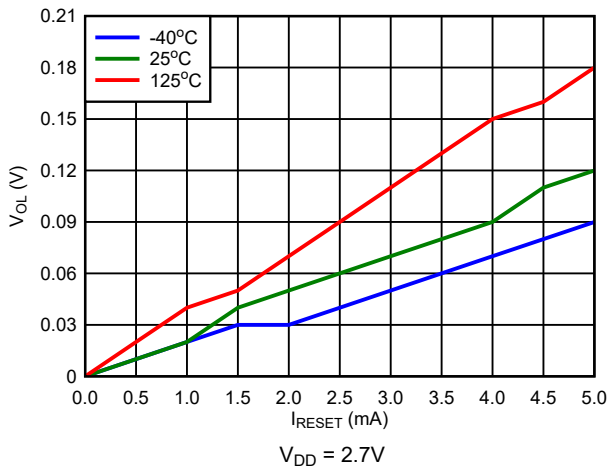


图 6-12. 开漏低电平有效 V_{OL} 与 I_{RESET} 间的关系

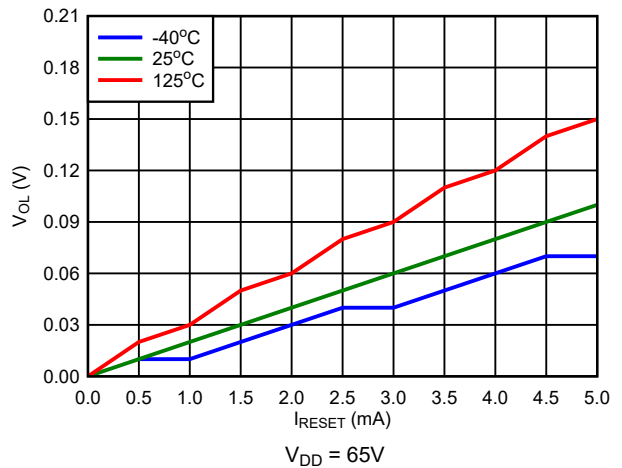


图 6-13. 开漏低电平有效 V_{OL} 与 I_{RESET} 间的关系

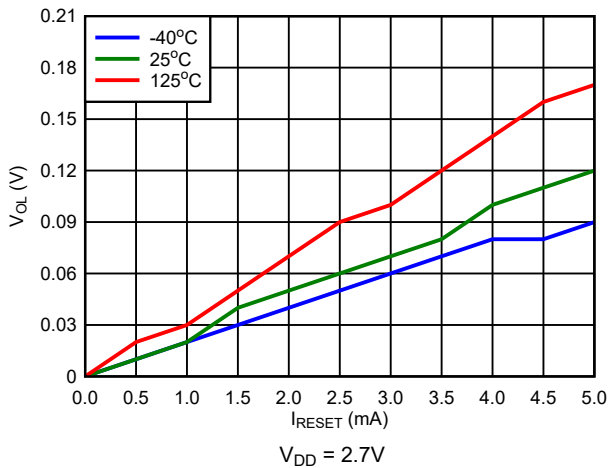


图 6-14. 开漏高电平有效 V_{OL} 与 I_{RESET} 间的关系

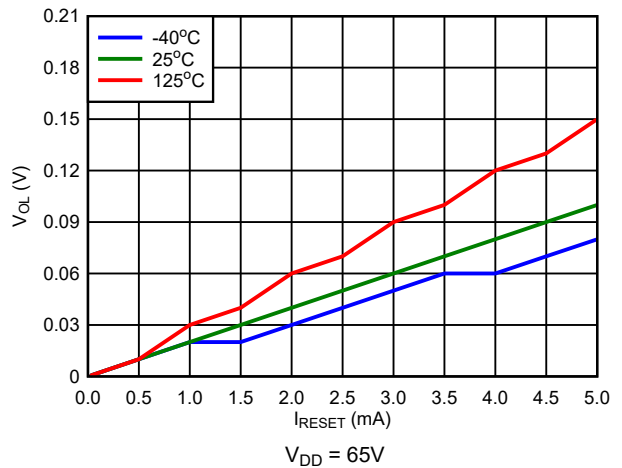


图 6-15. 开漏高电平有效 V_{OL} 与 I_{RESET} 间的关系

6.8 典型特性 (续)

典型特性显示了 TPS3760-Q1 器件的典型性能。测试条件为 $T_A = 25^\circ\text{C}$, $R_{PU} = 100\text{k}\Omega$, $C_{Load} = 50\text{pF}$ (除非另有说明)。

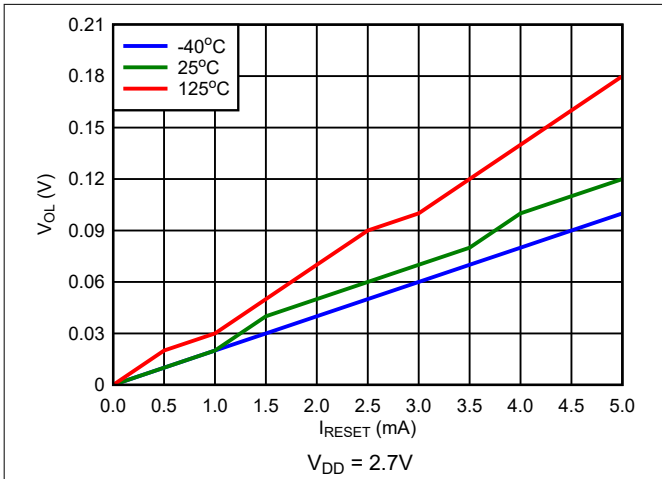


图 6-16. 推挽高电平有效 V_{OL} 与 I_{RESET} 间的关系

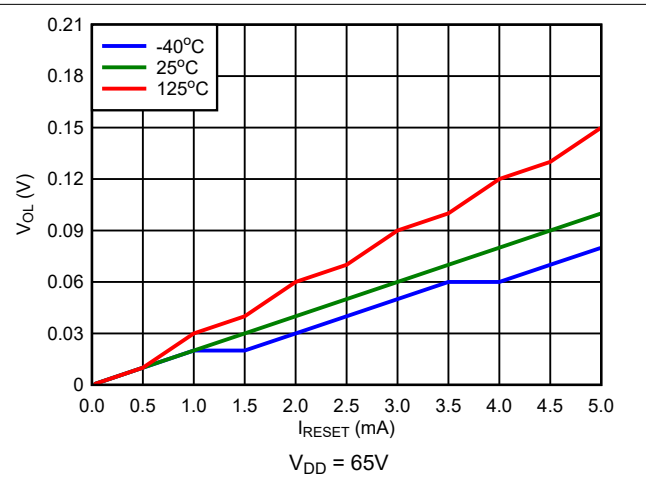


图 6-17. 推挽高电平有效 V_{OL} 与 I_{RESET} 间的关系

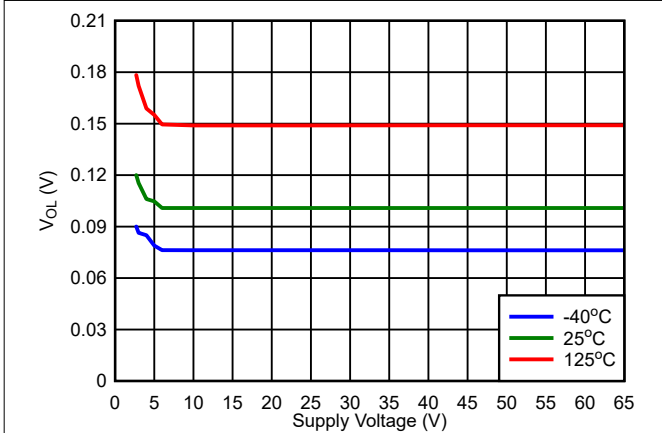


图 6-18. 开漏低电平有效 V_{OL} 与 V_{DD} 间的关系

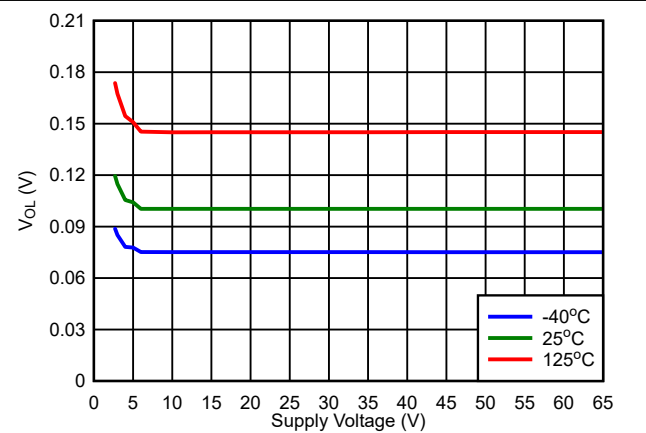


图 6-19. 开漏高电平有效 V_{OL} 与 V_{DD} 间的关系

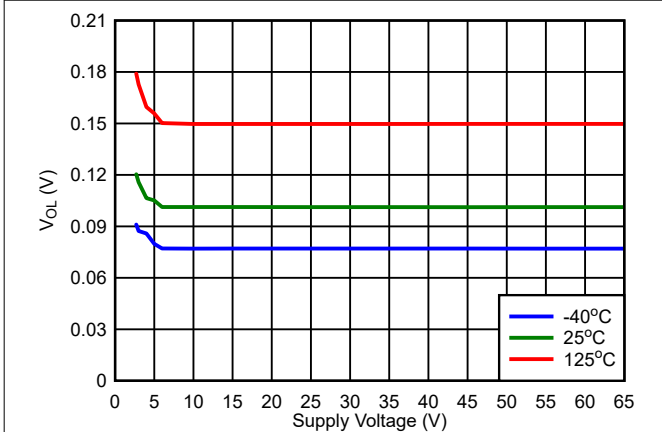


图 6-20. 推挽低电平有效 V_{OL} 与 V_{DD} 间的关系

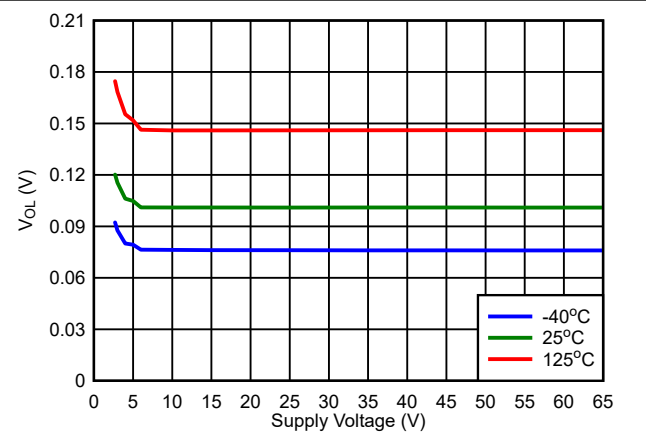
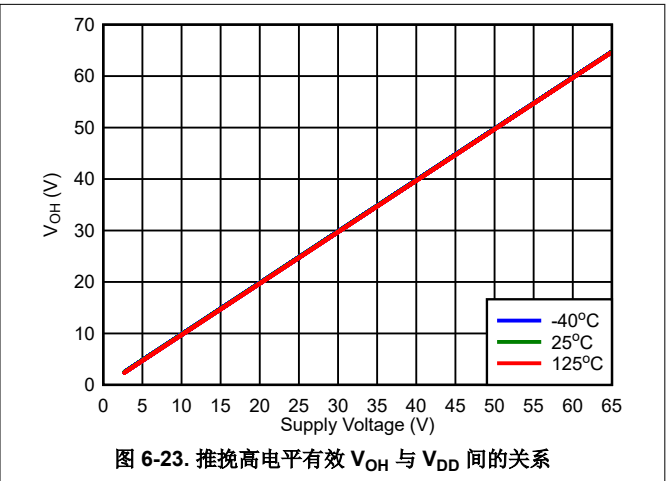
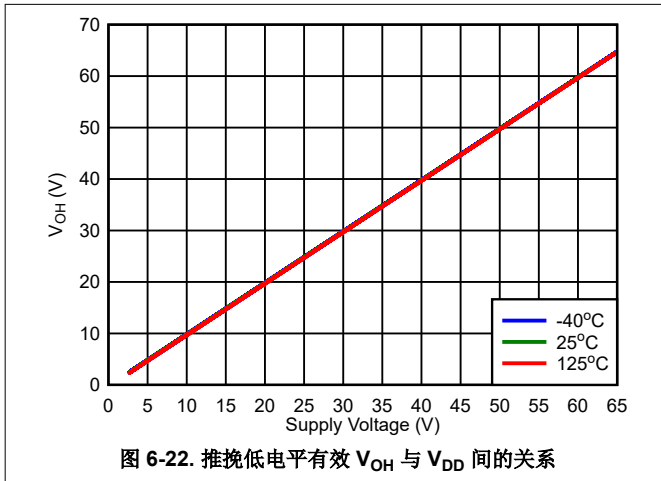


图 6-21. 推挽高电平有效 V_{OL} 与 V_{DD} 间的关系

6.8 典型特性 (续)

典型特性显示了 TPS3760-Q1 器件的典型性能。测试条件为 $T_A = 25^\circ\text{C}$, $R_{PU} = 100\text{k}\Omega$, $C_{Load} = 50\text{pF}$ (除非另有说明)。



7 详细说明

7.1 概述

TPS3760-Q1 是一系列具有固定阈值电压的高电压和低静态电流复位 IC。该器件集成了一个分压器，从而无需外部电阻器，并消除电阻分压器带来的漏电流。但是，如果应用需要，它也可以支持外部电阻器。建议对外部电阻器用例使用最低阈值 800mV (旁路内部电阻梯)，以利用更快的检测时间和更低的 I_{SENSE} 电流。

VDD、SENSE 和 RESET 引脚可支持 65V 连续运行；VDD 和 SENSE 电压电平可相互独立，这意味着 VDD 引脚可以连接 2.7V 电压，而 SENSE 引脚连接到更高的电压。请注意，TPS3760-Q1 在器件内没有钳位电路，因此必须添加外部电路或器件，以将电压限制为绝对最大值。

其他功能包括可编程检测延时时间 (CTS)、复位延时时间和手动复位 (CTR/ \overline{MR})。

7.2 功能方框图

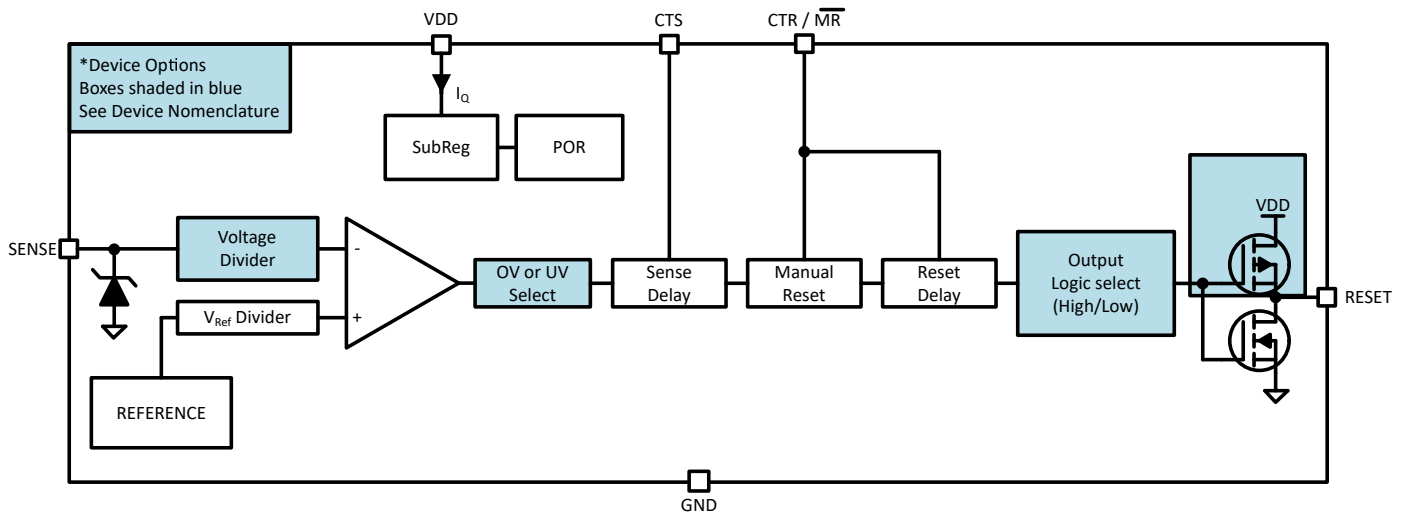


图 7-1. 功能方框图 ¹

¹ 有关拓扑和输出逻辑组合的完整列表，请参阅节 4

7.3 特性说明

7.3.1 输入电压 (VDD)

2.7V 至 65V VDD 工作电压范围。此器件不需要输入电源电容器；但是，如果输入电源存在噪声，良好的模拟做法是在 VDD 和 GND 之间放置一个 0.1μF 电容器。

为了使器件能够正常工作，VDD 需要至少在启动延时时间 (t_{SD}) 内恰好为或高于 $V_{DD(MIN)}$ 。

VDD 电压与 V_{SENSE} 和 V_{RESET} 无关，这意味着 VDD 可以高于或低于其他引脚。

7.3.1.1 欠压锁定 ($V_{POR} < V_{DD} < UVLO$)

当 VDD 上的电压低于 UVLO 电压但高于上电复位电压 (V_{POR}) 时，无论 SENSE 引脚上的电压如何，输出引脚都将处于复位状态。

7.3.1.2 上电复位 ($V_{DD} < V_{POR}$)

当 VDD 电压低于上电复位电压 (V_{POR}) 时，输出信号未定义，不能用于实现器件正常运行。

注意：图 7-2 和图 7-3 假定通过 VDD 将外部上拉电阻器连接到复位引脚。

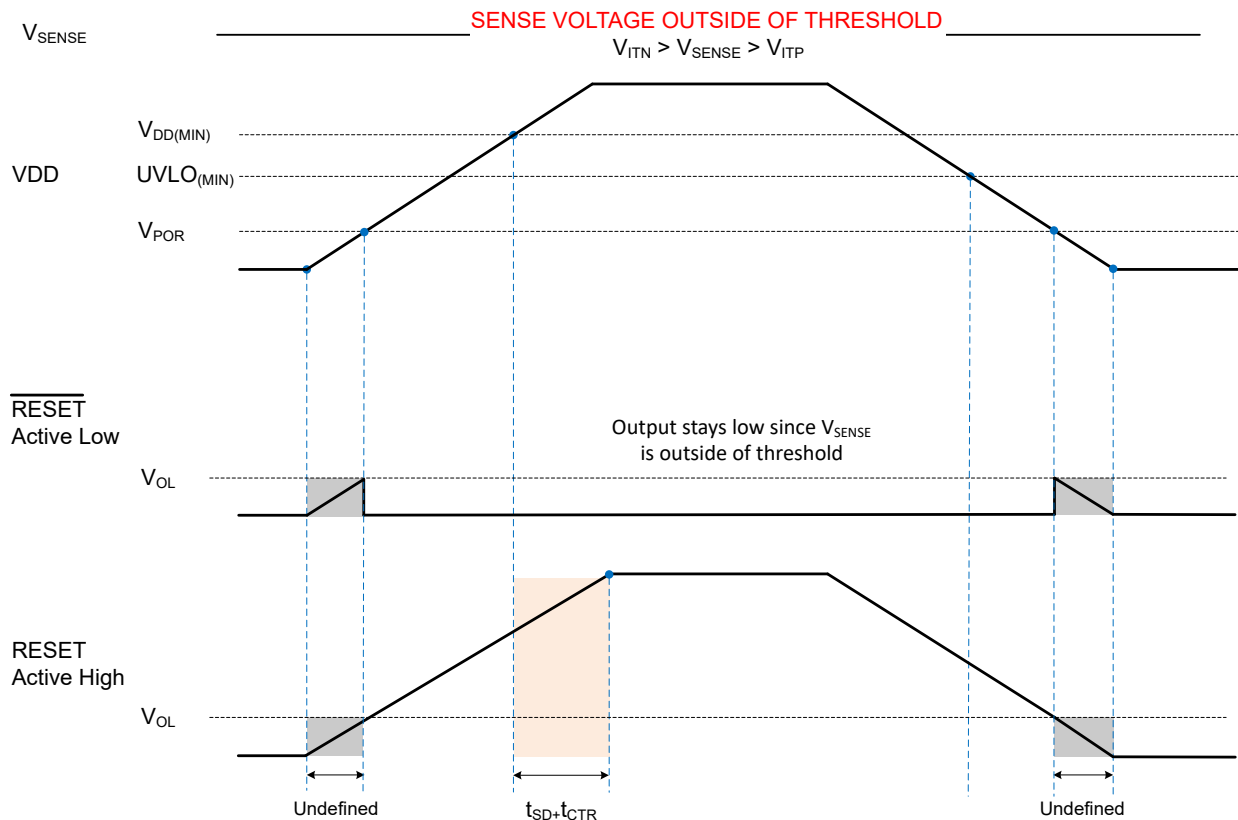


图 7-2. 下电上电 (SENSE 超出标称电压)

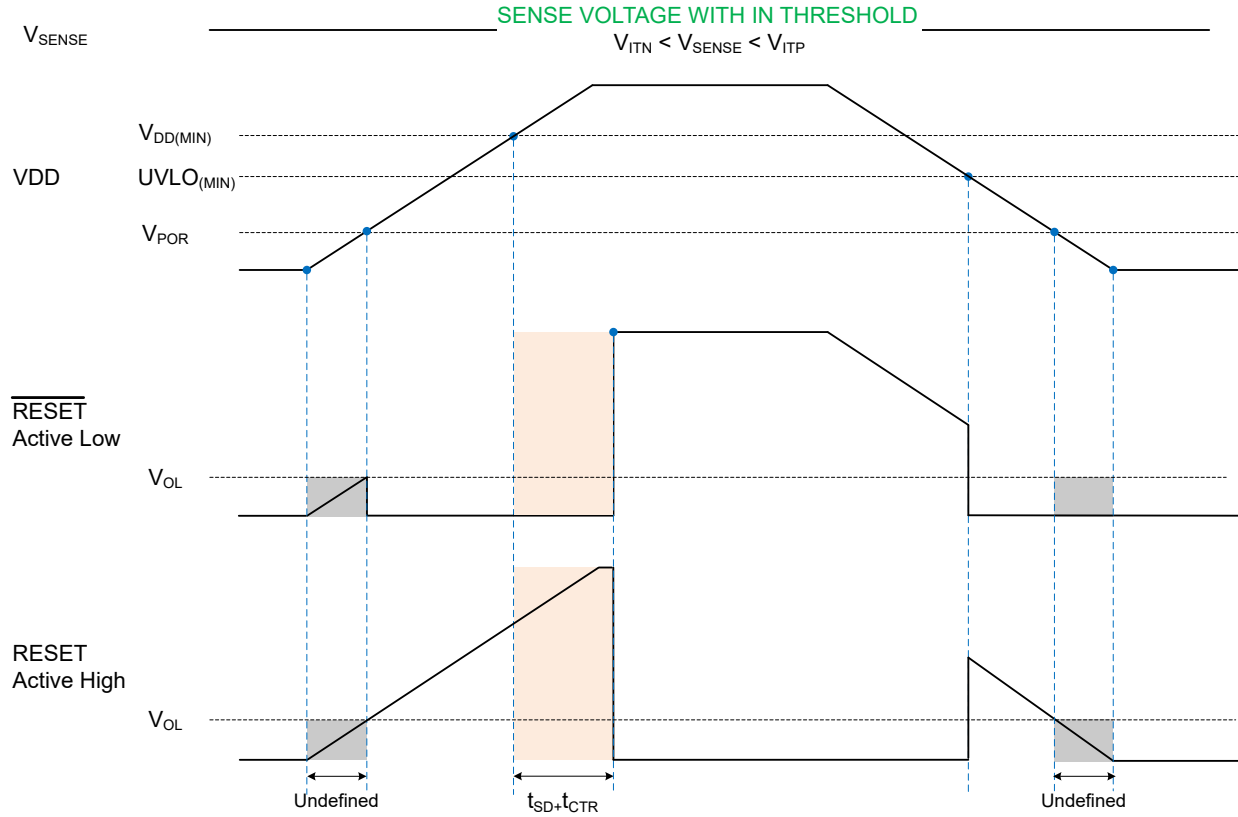


图 7-3. 下电上电 (SENSE 处于标称电压范围内)

7.3.2 SENSE

TPS3760-Q1 高电压系列集成了电压比较器、精密基准电压和微调的电阻分压器。该配置可优化器件精度，因为精度和性能规格中考虑了所有电阻器容差。器件还包含内置迟滞，可提供抗噪性并确保稳定运行。

尽管在大多数情况下不是必需的，但对于噪声应用，良好的模拟设计实践是在 SENSE 输入端放置一个 10nF 至 100nF 的旁路电容器，以降低对受监控信号上瞬态电压的敏感度。SENSE 可直接连接至 VDD 引脚。

7.3.2.1 SENSE 迟滞

内置迟滞功能可避免错误输出复位释放。迟滞与阈值电压相反；对于过压选项，迟滞从正向阈值 (V_{ITP}) 中减去；对于欠压选项，迟滞与负向阈值 (V_{ITN}) 相加。

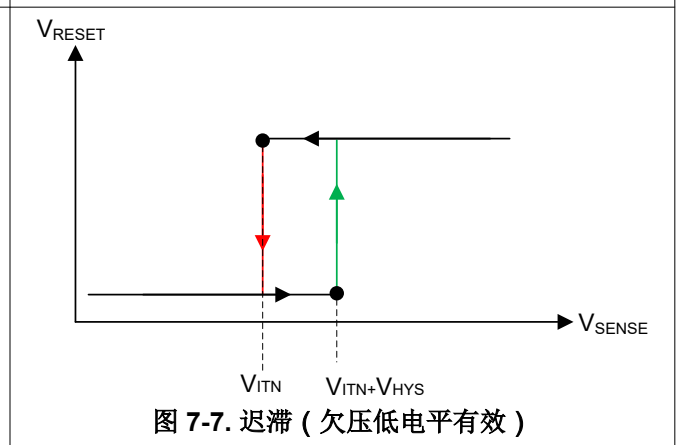
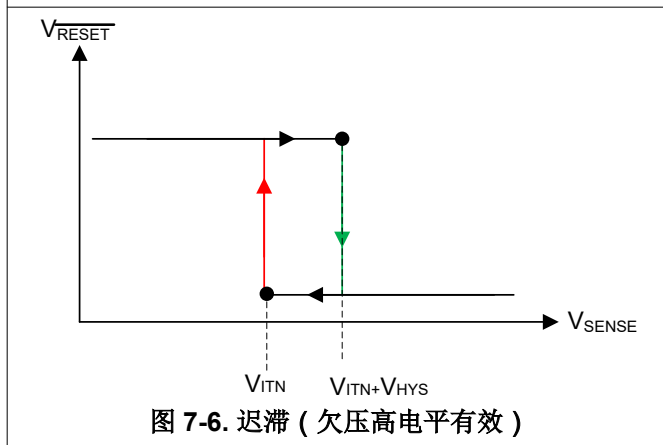
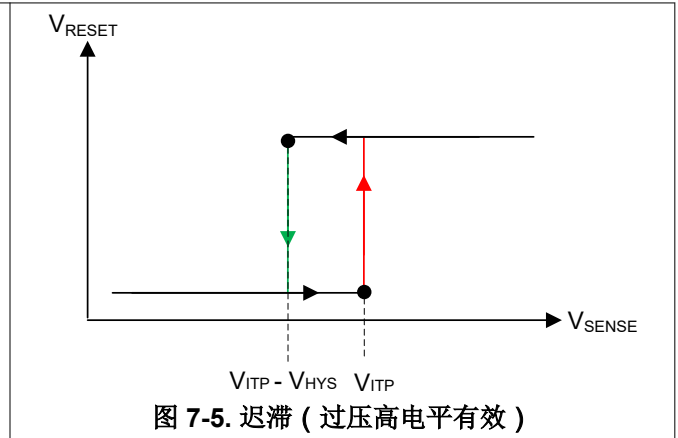
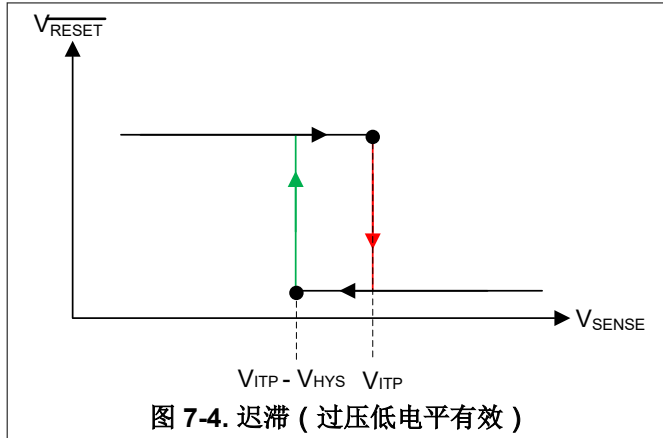


表 7-1. 常见的迟滞查询表

检测阈值	目标		器件实际迟滞选项
	拓扑	释放电压 (V)	
18.0V	过压	17.5V	-3%
18.0V	过压	16.0V	-11%
17.0V	过压	16.5V	-3%
16.0V	过压	15.0V	-6%
15.0V	过压	14.0V	-7%
6.0V	欠压	6.5V	0.5V
5.5V	欠压	6V	0.5V
8V	欠压	9V	1V
5V	欠压	7.5V	2.5V

表 7-1 显示了 TPS3760-Q1 的迟滞和电压选项示例。对于 2.7V 至 8V 范围内的阈值电压，可以选择 0.5V 至 2.5V 范围内的固定迟滞值（以 0.5V 为增量）。此外，可以选择第二个选项，其中迟滞值是阈值电压的百分比。电压迟滞的百分比范围为 2% 至 13%。

已知迟滞电压的大小，欠压 (UV) 通道的释放电压为

$(V_{ITN(UV)} + V_{HYS})$ ，而过压 (OV) 通道为 $(V_{ITP(OV)} - V_{HYS})$ 。释放电压的精度（或在电气特性中表述为迟滞精度）为 $\pm 1.5\%$ 。对表 7-1 所示内容进行扩展，下面是一些包括迟滞精度的电压迟滞示例：

欠压 (UV) 通道

$$V_{ITN} = 0.8V$$

$$\text{电压迟滞 } (V_{HYS}) = 5\% = 40mV$$

$$\text{迟滞精度} = \pm 1.5\% = 39.4mV \text{ 或 } 40.6mV$$

$$\text{释放电压} = V_{ITN} + V_{HYS} = 839.4mV \text{ 至 } 840.6mV$$

过压 (OV) 通道

$$V_{ITP} = 8V$$

$$\text{电压迟滞 } (V_{HYS}) = 2V$$

$$\text{迟滞精度} = \pm 1.5\% = 1.97V \text{ 或 } 2.03V$$

$$\text{释放电压} = V_{ITN} - V_{HYS} = 5.97V \text{ 至 } 6.03V$$

7.3.3 输出逻辑配置

TPS3760-Q1 是一款单通道器件，具有单路输入检测引脚和单路复位引脚。单通道可提供开漏和推挽输出。可用的输出逻辑配置组合如表 7-2 所示。

表 7-2. TPS3760-Q1 输出逻辑

说明	命名规则	值
GPN	TPS3760 -Q1 (+ 拓扑)	通道配置
拓扑 (仅 OV 和 UV) • UV = 欠压 • OV = 过压 • PP = 推挽 • OD = 开漏 • L = 低电平有效 • H = 高电平有效	TPS3760A-Q1	UV OD L
	TPS3760B-Q1	UV PP L
	TPS3760C-Q1	UV OD H
	TPS3760D-Q1	UV PP H
	TPS3760E-Q1	OV OD L
	TPS3760F-Q1	OV PP L
	TPS3760G-Q1	OV OD H
	TPS3760H-Q1	OV PP H

7.3.3.1 开漏

开漏输出需要一个外部上拉电阻器来将电压保持在高电平，从而达到所需的电压逻辑。将上拉电阻器连接到适当的电压轨，使输出端能够以正确的接口电压电平连接到其他器件。

要选择合适的上拉电阻器，请考虑电气特性中提供的系统 V_{OH} 和 (I_{IKG}) 电流，高电阻值具有较高压降，会影响输出电压高电平。开漏输出能够作为线与逻辑与其他开漏信号 (如另一 TPS3760-Q1 开漏输出引脚) 连接。

7.3.3.2 推挽

推挽输出不需要外部电阻器，因为在 V_{OH} 条件下，输出在内部上拉至 VDD，而在 V_{OL} 条件下，输出将连接至 GND。

7.3.3.3 高电平有效 (RESET)

RESET (高电平有效) 在引脚标签上方无横线标记。只要检测电压处于正常运行的阈值范围内且 VDD 电压高于 UVLO，RESET 就会保持低电平 (V_{OL} 置为无效)。要将复位置为有效，Sense 引脚需要满足以下条件：

- 对于欠压型号，SENSE 电压需要越过下限 (V_{ITN})。
- 对于超压型号，SENSE 电压需要越过上限 (V_{ITP})。

7.3.3.4 低电平有效 (\overline{RESET})

\overline{RESET} (低电平有效) 在引脚标签上方用一条横线表示。只要检测电压在阈值范围内正常运行且 VDD 电压高于 UVLO， \overline{RESET} 就会保持高电压 (V_{OH} 取消置位) (开漏型号 V_{OH} 根据上拉电压进行测量)。要将复位置为有效，Sense 引脚需要满足以下条件：

- 对于欠压型号，SENSE 电压需要越过下限 (V_{ITN})。
- 对于超压型号，SENSE 电压需要越过上限 (V_{ITP})。

7.3.4 用户可编程复位延时时间

TPS3760-Q1 具有可通过外部电容器调节的复位释放延时时间。

- CTR/MR 中的电容器对输出的复位延时时间进行编程。
- 此引脚上没有电容器，可实现节 6.6 中所示的最短复位延时时间。

7.3.4.1 复位延时时间配置

可以通过在 CTR 引脚和 GND 之间连接一个电容器来对延时时间 (t_{CTR}) 进行编程。

方程式 1 提供了外部电容器 C_{CTR_EXT} (typ) (单位为 μF) 与延时时间 t_{CTR} (typ) (单位为毫秒) 间的关系。

$$t_{CTR} (typ) = -\ln(0.28) \times R_{CTR} (typ) \times C_{CTR_EXT} (typ) + t_{CTR} (no\ cap) \quad (1)$$

$R_{CTR} (typ)$ = 以千欧姆 ($k\Omega$) 为单位

$C_{CTR_EXT} (typ)$ = 以微法拉 (μF) 为单位

$t_{CTR} (typ)$ = 复位延时时间 (ms)

复位延时时间根据三个变量而有所不同：外部电容器 (C_{CTR_EXT})、节 6 中提供的 CTR 引脚内部电阻 (R_{CTR}) 和一个常数。方程式 2 和方程式 3 展示了因该常数而产生的最小和最大变化值：

$$t_{CTR} (min) = -\ln(0.31) \times R_{CTR} (min) \times C_{CTR_EXT} (min) + t_{CTR} (no\ cap) (min) \quad (2)$$

$$t_{CTR} (max) = -\ln(0.25) \times R_{CTR} (max) \times C_{CTR_EXT} (max) + t_{CTR} (no\ cap) (max) \quad (3)$$

为 TPS3760-Q1 建议的最大复位延迟电容器限制为 $10\ \mu F$ ，因为这可确保在发生电压故障时，电容器有足够的时间完全放电。此外，电容值过大可能会因电容器漏电而导致充电（上升时间）非常慢，并且系统噪声会导致内部电路在阈值附近提前跳闸或延后跳闸。这会导致延时时间变化，当存在系统噪声时，延迟精度可能会更低。

当发生电压故障时，先前充电的电容器将放电，如果监控的电压在延迟电容器完全放电之前从故障状态恢复，则延迟时间将短于预期。电容器将从高于零的电压开始充电，导致延时时间短于预期。只要电容器在电压故障期间有足够的时间完全放电，就可以使用较大的延迟电容器。要确保电容器完全放电，电压故障的时间段或持续时间需要大于已编程复位延时时间的 5%。

7.3.5 用户可编程检测延迟

TPS3760-Q1 通过外部电容器实现可调节检测释放延时时间。

- CTS 中的电容器对 SENSE 上的偏移检测进行编程。
- 这些引脚上没有电容器可提供节 6.6 中指示的最快检测时间。

7.3.5.1 检测延时时间配置

可以通过在 CTS 引脚和 GND 之间连接一个电容器来对延时时间 (t_{CTS}) 进行编程。

方程式 4 提供了外部电容器 C_{CTS_EXT} (typ) (单位为 μF) 与延时时间 t_{CTS} (typ) (单位为毫秒) 间的关系。

$$t_{CTS} (typ) = -\ln(0.28) \times R_{CTS} (typ) \times C_{CTS_EXT} (typ) + t_{CTS} (no\ cap) \quad (4)$$

R_{CTS} = 以千欧姆 ($k\Omega$) 为单位

C_{CTS_EXT} = 以微法拉 (μF) 为单位

t_{CTS} = 检测延时时间 (ms)

检测延时时间根据三个变量而有所不同：外部电容器 (C_{CTS_EXT})、电气特性中提供的 CTS 引脚内部电阻 (R_{CTS}) 和一个常数。方程式 5 和方程式 6 展示了因该常数而产生的最小和最大变化值：

$$t_{CTS} (min) = -\ln(0.31) \times R_{CTS} (min) \times C_{CTS_EXT} (min) + t_{CTS} (no\ cap) (min) \quad (5)$$

$$t_{CTS} (max) = -\ln(0.25) \times R_{CTS} (max) \times C_{CTS_EXT} (max) + t_{CTS} (no\ cap) (max) \quad (6)$$

为 TPS3760-Q1 建议的最大检测延迟电容器限制为 $10\ \mu F$ ，因为这可确保在发生电压故障时，电容器有足够的时间完全放电。此外，电容值过大会导致充电（上升时间）非常慢，并且系统噪声会导致内部电路在阈值附近提前跳闸或延后跳闸。这会导致延时时间变化，当存在系统噪声时，延迟精度可能会更低。

当发生电压故障时，先前充电的电容器将放电，如果监控的电压在延迟电容器完全放电之前从故障状态恢复，则延迟时间将短于预期。电容器将从高于零的电压开始充电，导致延时时间短于预期。只要电容器在电压故障期间两次故障事件的间隔时间有足够的时间完全放电，就可以使用较大的延迟电容器。为确保电容器完全放电，故障事件之间的时间段或持续时间需要大于编程检测延时时间的 10%。

7.3.6 手动 RESET (CTR/MR) 输入

手动复位输入允许处理器或其他逻辑电路启动复位。在本节中， \overline{MR} 是 (CTR/MR) 的通用基准。 \overline{MR} 上的逻辑低电平会将复位输出端的 RESET 置为有效。 \overline{MR} 保持悬空后，如果 SENSE 引脚上的电压为标称电压，RESET 将释放复位。 \overline{MR} 不应被驱动为高电平，此引脚应保持悬空或通过电容连接到 GND，如果不使用此引脚，则可将其保持未连接状态。

如果驱动 \overline{MR} 的逻辑不能实现三态（悬空和 GND），则应使用逻辑电平 FET，如图 7-8 所示。

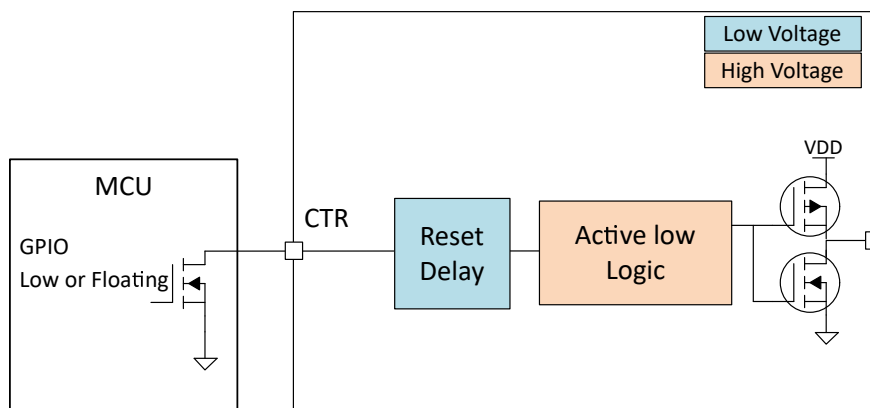


图 7-8. 手动复位实现

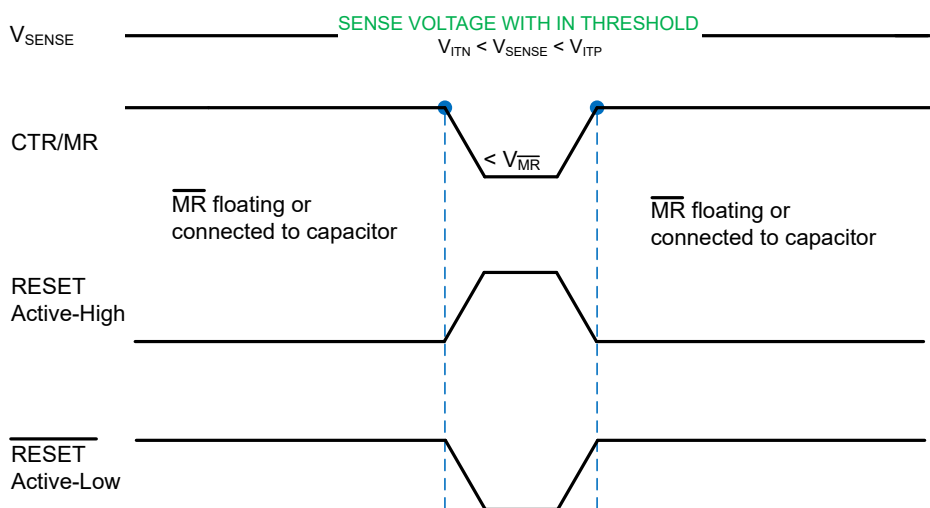


图 7-9. 手动复位时序图

表 7-3. \overline{MR} 功能表

MR	SENSE 为标称电压	RESET 状态
低	是	复位位置为有效
悬空	是	当 SENSE 电压恢复标称电压时，快速复位释放
电容器	是	可编程复位延时时间
高	是	不推荐

7.3.7 RESET 锁存模式

将 LATCH 引脚连接到公共接地时，TPS3760 在 RESET/RESET 引脚上具有输出锁存模式。建议使用 10kΩ 的下拉电阻来限制系统的电流消耗。在锁存模式下，如果 RESET/RESET 引脚为低电平或触发低电平，并且对 LATCH 引脚施加的电压低于 1.4V，则无论 VSENSE 是否在可接受的电压范围内（对于 UV，VSENSE > VITP + V_{hyst} 或对于 OV，VSENSE < VITN - V_{hyst}），RESET/RESET 引脚均保持有效。要解除锁存器件，向 LATCH 引脚施加大于 2.1V 且持续时间超过 3 μs 的电压。建议保持正确的解除锁存。RESET/RESET 引脚在 t_{ctr} 持续时间后触发高电平。TI 建议在施加解除锁存电压时使用串联电阻来限制电流。

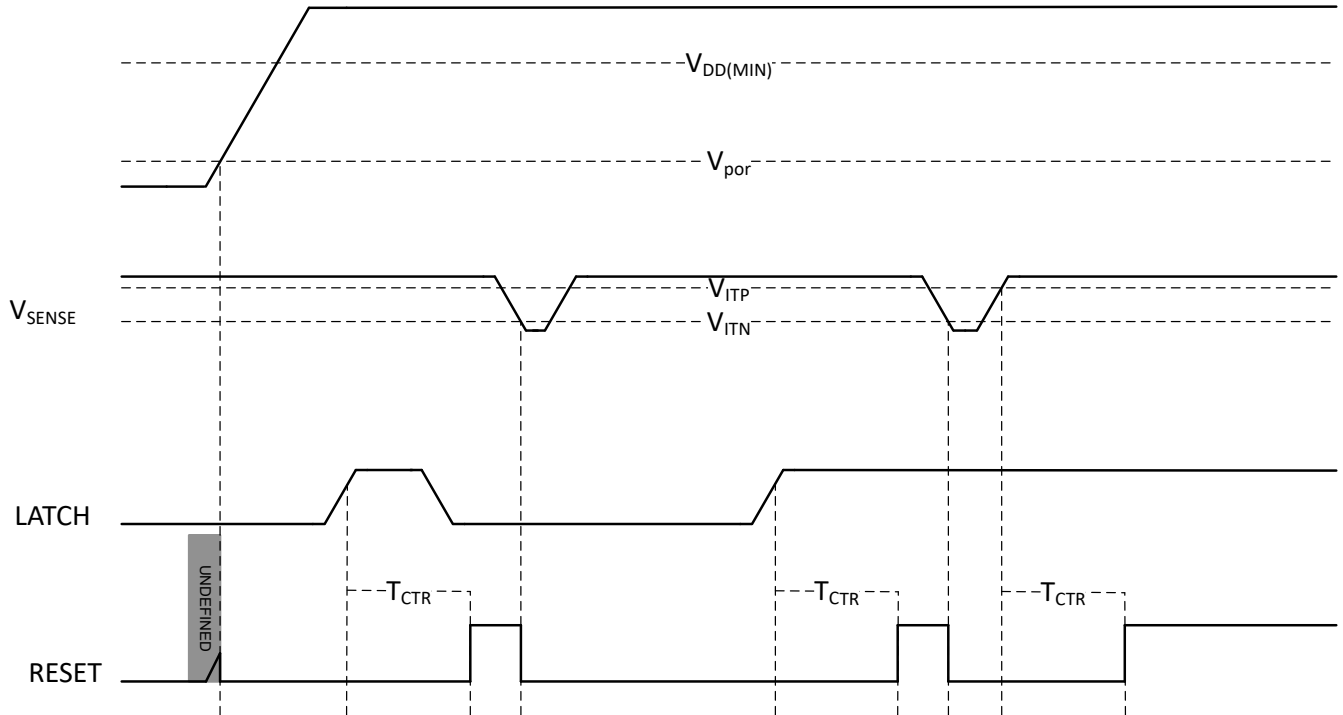


图 7-10. 锁存时序图

7.4 器件功能模式

表 7-4. 欠压检测功能模式真值表

说明	SENSE		CTR ⁽¹⁾ /MR 引脚	VDD 引脚	输出 ⁽²⁾ (复位引脚)
	先前条件	当前条件			
正常运行	$SENSE > V_{ITN(UV)}$	$SENSE > V_{ITN(UV)}$	开路或连接电容器	$V_{DD} > V_{DD(MIN)}$	高
欠压检测	$SENSE > V_{ITN(UV)}$	$SENSE < V_{ITN(UV)}$	开路或连接电容器	$V_{DD} > V_{DD(MIN)}$	低
欠压检测	$SENSE < V_{ITN(UV)}$	$SENSE > V_{ITN(UV)}$	开路或连接电容器	$V_{DD} > V_{DD(MIN)}$	低
正常运行	$SENSE < V_{ITN(UV)}$	$SENSE > V_{ITN(UV)} + HYS$	开路或连接电容器	$V_{DD} > V_{DD(MIN)}$	高
手动复位	$SENSE > V_{ITN(UV)}$	$SENSE > V_{ITN(UV)}$	低	$V_{DD} > V_{DD(MIN)}$	低
UVLO 已启用	$SENSE > V_{ITN(UV)}$	$SENSE > V_{ITN(UV)}$	开路或连接电容器	$V_{POR} < V_{DD} < V_{DD(MIN)}$	低
低于 V_{POR} , 未定义输出	$SENSE > V_{ITN(UV)}$	$SENSE > V_{ITN(UV)}$	开路或连接电容器	$V_{DD} < V_{POR}$	未定义

(1) 复位延时时间在真值表中忽略。

(2) 开漏低电平有效输出需要一个连接到上拉电压的外部上拉电阻器。

表 7-5. 过压检测功能模式真值表

说明	SENSE		CTR ⁽¹⁾ /MR 引脚	VDD 引脚	输出 ⁽²⁾ (复位引脚)
	先前条件	当前条件			
正常运行	$SENSE < V_{ITN(OV)}$	$SENSE < V_{ITN(OV)}$	开路或连接电容器	$V_{DD} > V_{DD(MIN)}$	高
过压检测	$SENSE < V_{ITN(OV)}$	$SENSE > V_{ITN(OV)}$	开路或连接电容器	$V_{DD} > V_{DD(MIN)}$	低
过压检测	$SENSE > V_{ITN(OV)}$	$SENSE < V_{ITN(OV)}$	开路或连接电容器	$V_{DD} > V_{DD(MIN)}$	低
正常运行	$SENSE > V_{ITN(OV)}$	$SENSE < V_{ITN(OV)} - HYS$	开路或连接电容器	$V_{DD} > V_{DD(MIN)}$	高
手动复位	$SENSE < V_{ITN(OV)}$	$SENSE < V_{ITN(OV)}$	低	$V_{DD} > V_{DD(MIN)}$	低
UVLO 已启用	$SENSE < V_{ITN(OV)}$	$SENSE < V_{ITN(OV)}$	开路或连接电容器	$V_{POR} < V_{DD} < UVLO$	低
低于 V_{POR} , 未定义输出	$SENSE < V_{ITN(OV)}$	$SENSE < V_{ITN(OV)}$	开路或连接电容器	$V_{DD} < V_{POR}$	未定义

(1) 复位延时时间在真值表中忽略。

(2) 开漏低电平有效输出需要一个连接到上拉电压的外部上拉电阻器。

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

以下各节详细介绍了如何正确使用该器件。该器件具有多种应用和设置，因此许多情况无法在此数据表中详细描述，并且在这些应用下将有所不同，具体取决于最终应用的要求。

8.2 可调电压阈值

方程式 7 展示了一个有关如何使用外部电阻分压器调节电压阈值的示例。可以根据所需的电压阈值和器件型号来计算电阻值。TI 建议在使用可调节电压型号时使用 0.8V 电压阈值器件。该型号会绕过内部电阻梯。

例如，考虑使用 TPS3760A012DYRQ1 型号监控 12V 电压轨 V_{MON} 的欠压 (UV)。使用方程式 7，如方程式 8 所示， R_1 是电阻分压器的顶部电阻器（位于 V_{MON} 和 V_{SENSE} 之间）， R_2 是底部电阻器（位于 V_{SENSE} 和 GND 之间）， V_{MON} 是受监控的电压轨， V_{SENSE} 是输入阈值电压。受监控的 UV 阈值表示为 V_{MON-} ，其中器件将在 $V_{SENSE} = V_{IT-(UV)}$ 时将复位信号置为有效。在本例中， $V_{MON-} = 10.8V$ ，即 12V 的 90%。使用方程式 7 并假设 $R_2 = 10k\Omega$ ，可以如方程式 8 所示计算 R_1 ，其中 I_{R1} 由方程式 9 表示：

$$V_{SENSE} = V_{MON-} \times (R_2 \div (R_1 + R_2)) \quad (7)$$

$$R_1 = (V_{MON-} - V_{SENSE}) \div I_{R1} \quad (8)$$

$$I_{R1} = I_{R2} = V_{SENSE} \div R_2 \quad (9)$$

将方程式 9 代入方程式 8 并求解方程式 7 中的 R_1 ， $R_1 = 125k\Omega$ 。TPS3760A012DYRQ1 通常用于监控 0.8V 电源轨，并具有 $\pm 2\%$ 的电压阈值迟滞。要使复位信号被置为无效， V_{MON} 需要高于 $V_{IT-} + V_{HYS}$ 。在本例中，当复位信号被置为无效时， $V_{MON} = 11.016V$ 。

在调节电压阈值时必须考虑到一些误差。除了电阻分压器的容差外，SENSE 引脚还有一个内部电阻，该电阻可能会影响电阻分压器的精度。尽管预计阻抗非常高，但仍建议用户按设计规格计算值。内部 SENSE 电阻 R_{SENSE} 可以通过将 SENSE 电压 V_{SENSE} 除以 SENSE 电流 I_{SENSE} 计算得出，如方程式 11 所示。 V_{SENSE} 可以使用方程式 7 来计算，具体取决于电阻分压器和受监控的电压。 I_{SENSE} 可以使用方程式 10 来计算。

$$I_{SENSE} = [(V_{MON} - V_{SENSE}) \div R_1] - (V_{SENSE} \div R_2) \quad (10)$$

$$R_{SENSE} = V_{SENSE} \div I_{SENSE} \quad (11)$$

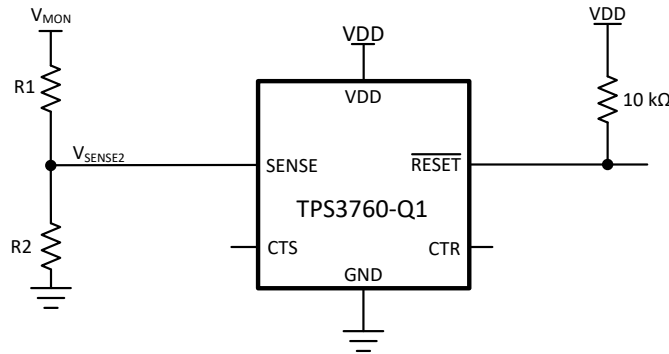


图 8-1. 可通过外部电阻分压器调节电压阈值

8.3.1.1 设计要求

此设计需要对 12V 电源电压轨进行电压监控，并且 12V 电压轨可能会升高至 42V。当电源电压降至 7.7V 以下时，会发生欠压故障。

参数	设计要求	设计结果
电源轨电压监控	监控 12V 电源是否存在欠压情况，在 7.7V 时触发欠压故障。	TPS3760-Q1 提供电压监控，最高精度为 1.5%，具有可调节/不可调节型号。
最大输入功率	在高达 42V 的电源输入下运行。	TPS3760-Q1 可支持高达 65V 的 VDD。
输出逻辑电压	开漏输出拓扑	建议使用开漏输出来提供正确的复位信号，但也可以使用推挽。
最大系统电流消耗	电源电压为 12V 典型值时最大 2 μ A	TPS3760-Q1 允许 I _Q 保持低电平，并支持高达 65V 电压。这样就不需要外部电阻分压器。
电压监控精度	最大电压监控精度为 1.5%。	TPS3760-Q1 的最大电压监控精度为 1.5%。
从故障条件恢复时的延迟	从欠压故障恢复时，RESET 延迟至少为 12.8ms。	C _{CTR} = 10nF 将设置 12.8ms 延迟

8.3.1.2 详细设计过程

此应用的主要优势是能够直接监控汽车电池上的电压，而无需在 SENSE 输入端使用电阻分压器。这可以使设计的整体 I_Q 保持在较低水平，同时仍可实现所需的电源轨监控。

通过将 SENSE 输入直接连接到 TVS 保护二极管之后的电池轨，可实现电压轨监控。此示例中使用的 TPS3760-Q1 是固定电压型号，已在内部设置 SENSE 阈值电压。需要注意的是，必须选择 TVS 保护二极管，以确保受监控电源轨上的瞬态电压不超过节 6.1 中列出的绝对最大限值。

若要使用此配置，必须根据应用选择器件的特定电压阈值型号。在此配置中，必须为 7.7V 选择“77”型号，如节 4 所示。

该器件能够在 VDD 上承受 65V 电压，这意味着受监控的电压轨可以在应用瞬变情况下上升至最高 42V，而不会像通常那样超出监控器建议的最大值。这在监控可能远高于标称电源轨电压的宽范围电压轨（如本例所示情况）时非常有用。良好的设计实践建议在 VDD 引脚上使用 0.1 μ F 电容器；如果使用带有电阻分压器的可调版本，则可能需要增加该电容。

8.3.1.3 应用曲线

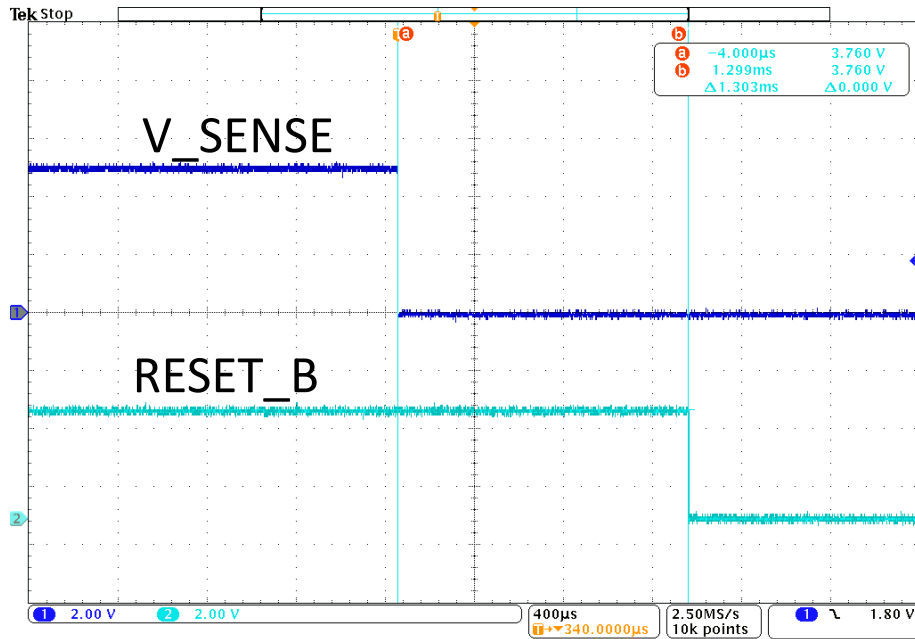


图 8-3. 欠压复位波形

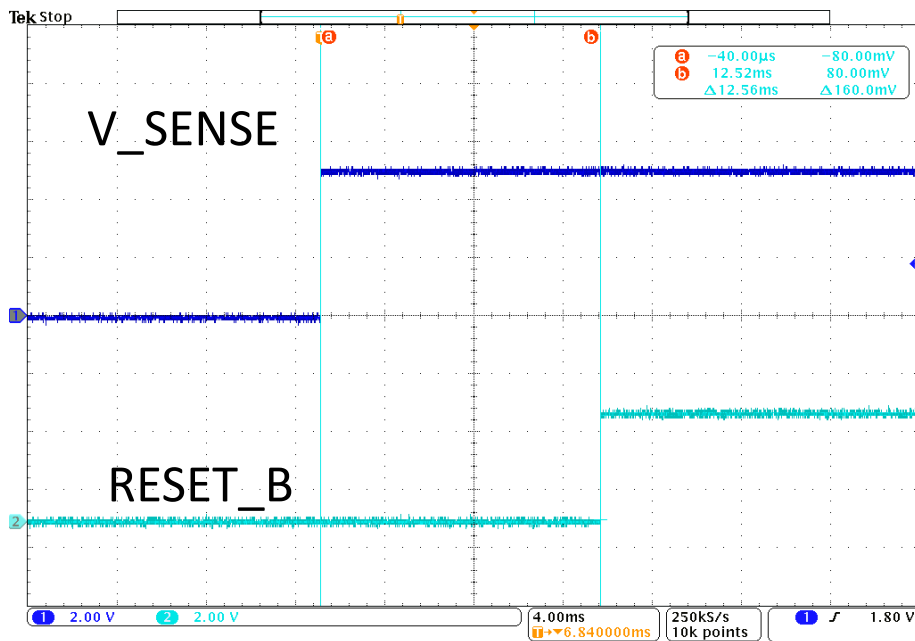


图 8-4. 欠压恢复波形

8.4 电源相关建议

这些器件设计为由电压介于 1.4V (V_{POR}) 至 65V (最大工作电压) 之间的输入电源供电。良好的模拟设计实践建议将一个最低 0.1 μ F 的陶瓷电容器尽可能靠近 VDD 引脚放置。

8.4.1 功率损耗和器件运行

任何封装的允许功率耗散可衡量器件将热量从电源 (IC 的接合点) 传递到周围环境的最终散热器的能力。因此, 功率耗散取决于环境温度以及芯片结与环境空气之间各种接口上的热阻。

给定封装内器件的最大允许持续功率耗散可使用 [方程式 12](#) 计算:

$$P_{D-MAX} = ((T_{J-MAX} - T_A) / R_{\theta JA}) \quad (12)$$

器件中耗散的实际功率可通过 [方程式 13](#) 表示:

$$P_D = V_{DD} \times I_{DD} + P_{RESET} \quad (13)$$

P_{RESET} 可通过 [方程式 14](#) 或 [方程式 15](#) 计算得出

$$P_{RESET} (PUSH/PULL) = V_{DD} - V_{RESET} \times I_{RESET} \quad (14)$$

$$P_{RESET} (OPEN-DRAIN) = V_{RESET} \times I_{RESET} \quad (15)$$

[方程式 12](#) 和 [方程式 13](#) 建立了出于散热考虑所导致的最大允许功率耗散、器件上的压降和器件的持续电流能力之间的关系。应使用这两个公式来确定器件在应用中的理想运行条件。

在功率耗散 (P_D) 较低和/或封装热阻 ($R_{\theta JA}$) 较高的应用中, 可提高最高环境温度 (T_{A-MAX})。

在功率耗散较高和/或封装热阻较差的应用中, 可能必须降低最高额定环境温度 (T_{A-MAX})。如 [方程式 16](#) 所示, T_{A-MAX} 取决于最高工作结温 ($T_{J-MAX-OP} = 125^\circ\text{C}$), 应用中器件封装允许的最大功率耗散 (P_{D-MAX}) 以及应用中器件/封装的结至环境热阻 ($R_{\theta JA}$):

$$T_{A-MAX} = (T_{J-MAX-OP} - (R_{\theta JA} \times P_{D-MAX})) \quad (16)$$

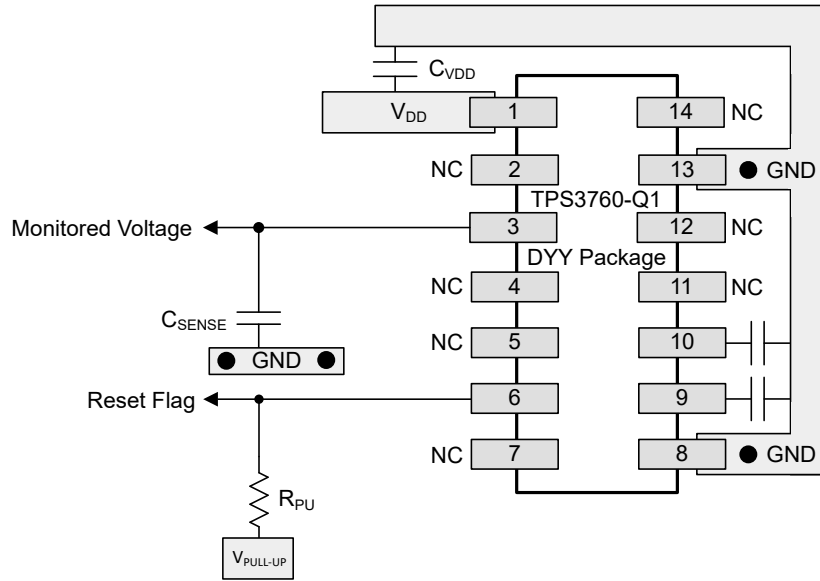
8.5 布局

8.5.1 布局指南

- 确保与 VDD 引脚的连接具有低阻抗。良好的模拟设计实践是尽可能靠近 VDD 引脚放置一个大于 0.1 μ F 的陶瓷电容器。
- 为了增强 SENSE 引脚上的抗噪性能, 在 SENSE 引脚和 GND 之间放置 10nF 至 100nF 的电容器可以降低对受监控信号上瞬态电压的灵敏度。
- 如果在 CTS 或 CTR 上使用了电容器, 请将这些元件尽可能靠近相应的引脚放置。如果电容器可调引脚保持未连接, 请确保将引脚上的寄生电容值尽量降至 5pF 以下。
- 对于开漏型号, 将 \overline{RESET} 上的上拉电阻器尽可能靠近引脚放置。
- 布置金属走线时, 应尽量将高压走线与低压走线分开。如果需要靠近高压走线和低压走线, 走线之间的间距应大于 20mil (0.5mm)。
- 高压金属焊盘或走线与低压金属焊盘或走线的距离不要超过 20mil (0.5mm)。

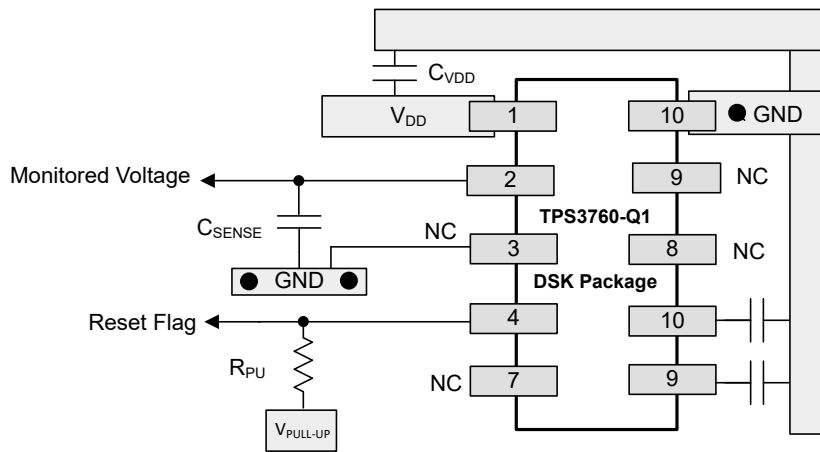
8.5.2 布局示例

[图 8-5](#) 中的布局示例显示了 TPS3760-Q1 如何在印刷电路板 (PCB) 上布置以实现用户定义的延迟。



● Vias used to connect pins for application-specific connections

图 8-5. TPS3760-Q1 DYY 封装建议布局



● Vias used to connect pins for application-specific connections

图 8-6. TPS3760-Q1 DSK 封装建议布局

8.5.3 爬电距离

根据 IEC 60664，爬电距离是两个导电器件间的最短距离，即如图 8-7 所示，高压导电器件与接地器件间的距离，其中忽略悬空导电器件并将其从总距离中减去。

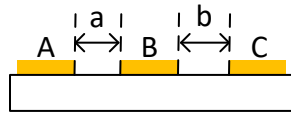


图 8-7. 爬电距离

详细信息请参阅图 8-7。

- A = 左侧引脚 (高压)
- B = 中心焊盘 (未在内部连接导电器件，可以悬空或连接到 GND)
- C = 右侧引脚 (低压)
- 爬电距离 = $a + b$

9 器件和文档支持

9.1 器件命名规则

节 4 显示了如何根据器件型号来解译器件的功能

表 9-1 显示了每通道 TPS3760-Q1 可能的电压选项。如需了解其他选项的详细信息和供货情况，请联系 TI 销售代表或访问 TI 的 E2E 论坛；最低订购量适用。

表 9-1. 电压选项

100mV STEPS				400mV STEPS		500mV STEPS		1V STEPS	
命名规则	电压选项	命名规则	电压选项	命名规则	电压选项	命名规则	电压选项	命名规则	电压选项
01	800mV (分压器旁路)	70	7.0V	A0	10.4V	D0	20.5V	F0	31.0V
27	2.7V	71	7.1V	A1	10.8V	D1	21.0V	F1	32.0V
28	2.8V	72	7.2V	A2	11.2V	D2	21.5V	F2	33.0V
29	2.9V	73	7.3V	A3	11.6V	D3	22.0V	F3	34.0V
30	3.0V	74	7.4V	A4	12.0V	D4	22.5V	F4	35.0V
31	3.1V	75	7.5V	A5	12.4V	D5	23.0V	F5	36.0V
32	3.2V	76	7.6V	A6	12.8V	D6	23.5V		
33	3.3V	77	7.7V	A7	13.2V	D7	24.0V		
34	3.4V	78	7.8V	A8	13.6V	D8	24.5V		
35	3.5V	79	7.9V	A9	14.0V	D9	25.0V		
36	3.6V	80	8.0V	B0	14.4V	E0	25.5V		
37	3.7V	81	8.1V	B1	14.8V	E1	26.0V		
38	3.8V	82	8.2V	B2	15.2V	E2	26.5V		
39	3.9V	83	8.3V	B3	15.6V	E3	27.0V		
40	4.0V	84	8.4V	B4	16.0V	E4	27.5V		
41	4.1V	85	8.5V	B5	16.4V	E5	28.0V		
42	4.2V	86	8.6V	B6	16.8V	E6	28.5V		
43	4.3V	87	8.7V	B7	17.2V	E7	29.0V		
44	4.4V	88	8.8V	B8	17.6V	E8	29.5V		
45	4.5V	89	8.9V	B9	18.0V	E9	30.0V		
46	4.6V	90	9.0V	C0	18.4V				
47	4.7V	91	9.1V	C1	18.8V				
48	4.8V	92	9.2V	C2	19.2V				
49	4.9V	93	9.3V	C3	19.6V				
50	5.0V	94	9.4V	C4	20.0V				
51	5.1V	95	9.5V						
52	5.2V	96	9.6V						
53	5.3V	97	9.7V						
54	5.4V	98	9.8V						
55	5.5V	99	9.9V						
56	5.6V	00	10.0V						
57	5.7V								
58	5.8V								
59	5.9V								
60	6.0V								
61	6.1V								

表 9-1. 电压选项 (续)

100mV STEPS				400mV STEPS		500mV STEPS		1V STEPS	
命名规则	电压选项	命名规则	电压选项	命名规则	电压选项	命名规则	电压选项	命名规则	电压选项
62	6.2V								
63	6.3V								
64	6.4V								
65	6.5V								
66	6.6V								
67	6.7V								
68	6.8V								
69	6.9V								

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (May 2023) to Revision B (March 2026)	Page
• 添加了 DSK 封装信息.....	1
• 添加了器件比较表.....	3
• 添加了高压监控器系列比较表.....	3
• 添加了 DSK 引脚排列和说明.....	5
• 添加了瞬态信息的建议运行条件.....	7
• 添加了 DSK 热性能信息.....	7
• 添加了 DSK 封装建议布局.....	33

Changes from Revision * (March 2022) to Revision A (May 2023)	Page
• 添加了锁存命名规则.....	3
• 删除了 DSK 引脚排列说明.....	5
• 添加了 CTS 和 CTR 时序图.....	14
• 添加了复位锁存模式信息.....	27

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS3760A012DYRQ1	Active	Production	SOT-23-THIN (DYY) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	A012Q
TPS3760A012DYRQ1.A	Active	Production	SOT-23-THIN (DYY) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	A012Q
TPS3760A635DSKRQ1	Active	Production	SON (DSK) 10	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	45AL
TPS3760AE95DYRQ1	Active	Production	SOT-23-THIN (DYY) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AE95Q
TPS3760AE95DYRQ1.A	Active	Production	SOT-23-THIN (DYY) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AE95Q
TPS3760BF05DYRQ1	Active	Production	SOT-23-THIN (DYY) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3760BF05Q
TPS3760E012DYRQ1	Active	Production	SOT-23-THIN (DYY) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	E012Q
TPS3760E012DYRQ1.A	Active	Production	SOT-23-THIN (DYY) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	E012Q
TPS3760E312DYRQ1	Active	Production	null (null)	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3760E312Q
TPS3760E335DYRQ1	Active	Production	SOT-23-THIN (DYY) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	E335Q
TPS3760E335DYRQ1.A	Active	Production	SOT-23-THIN (DYY) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	E335Q
TPS3760H279DYRQ1	Active	Production	SOT-23-THIN (DYY) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3760H279Q

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

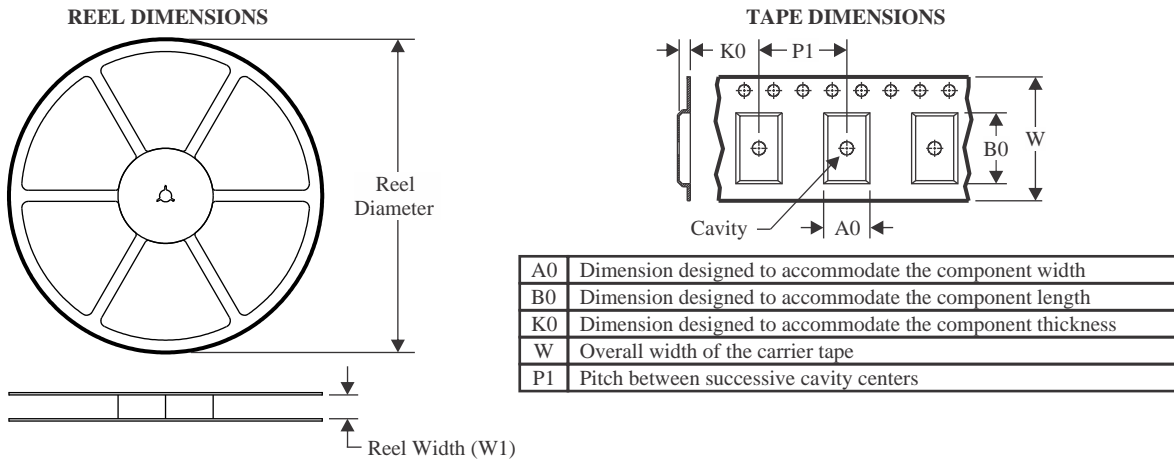
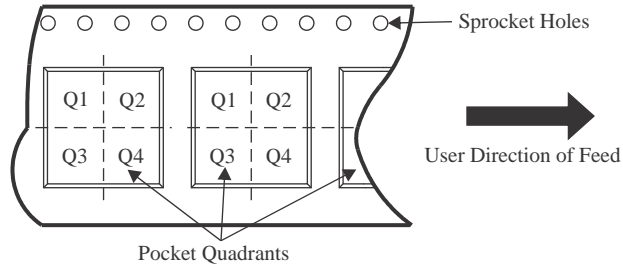
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPS3760-Q1 :

- Catalog : [TPS3760](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS3760A012DYRQ1	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
TPS3760A635DSKRQ1	SON	DSK	10	3000	180.0	8.4	2.8	2.8	1.0	4.0	8.0	Q2
TPS3760AE95DYRQ1	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
TPS3760BF05DYRQ1	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
TPS3760E012DYRQ1	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
TPS3760E335DYRQ1	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
TPS3760H279DYRQ1	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS3760A012DYRQ1	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8
TPS3760A635DSKRQ1	SON	DSK	10	3000	210.0	185.0	35.0
TPS3760AE95DYRQ1	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8
TPS3760BF05DYRQ1	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8
TPS3760E012DYRQ1	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8
TPS3760E335DYRQ1	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8
TPS3760H279DYRQ1	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8

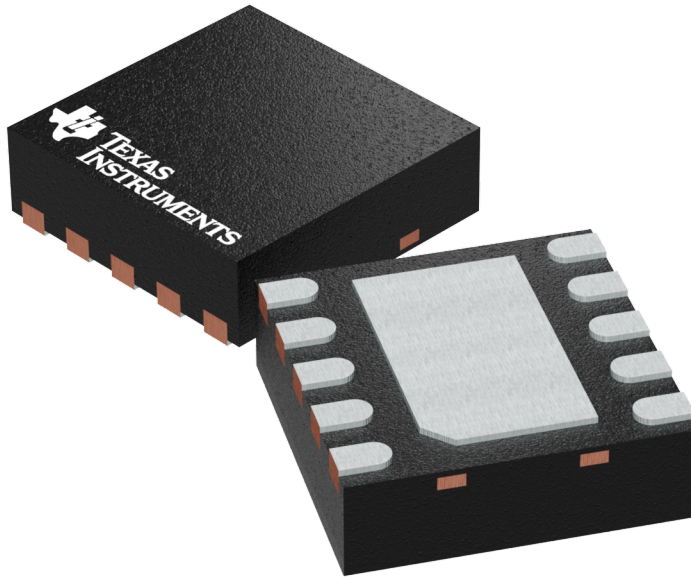
GENERIC PACKAGE VIEW

DSK 10

WSON - 0.8 mm max height

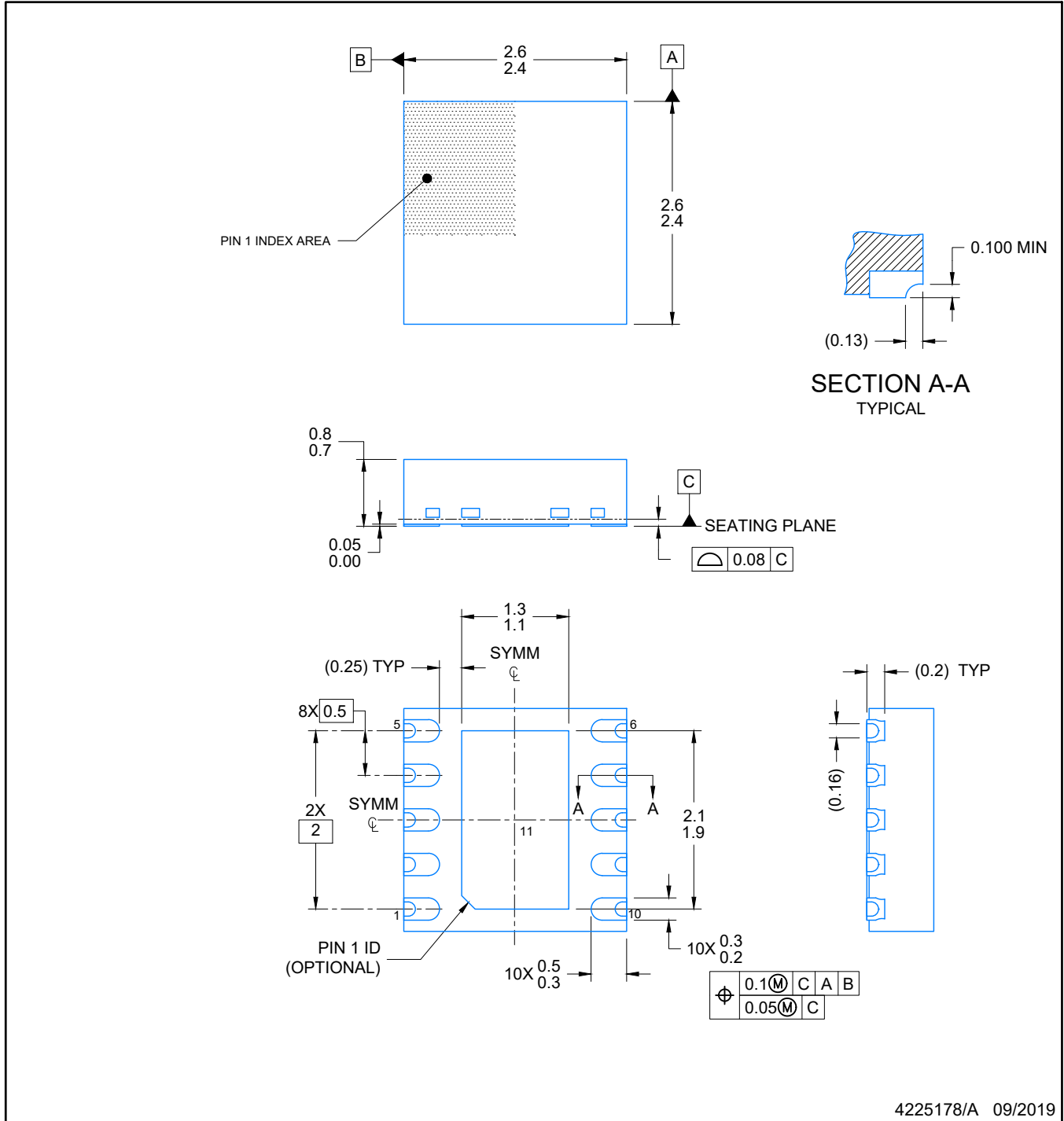
2.5 x 2.5 mm, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

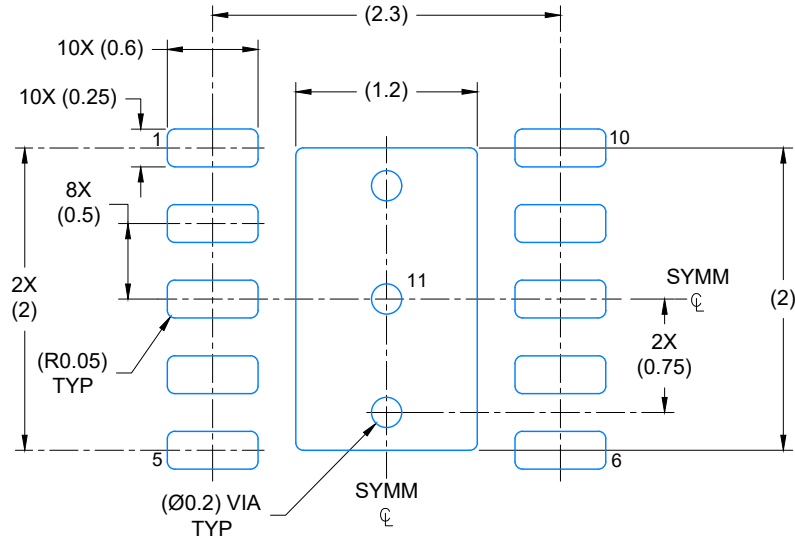
4225304/A



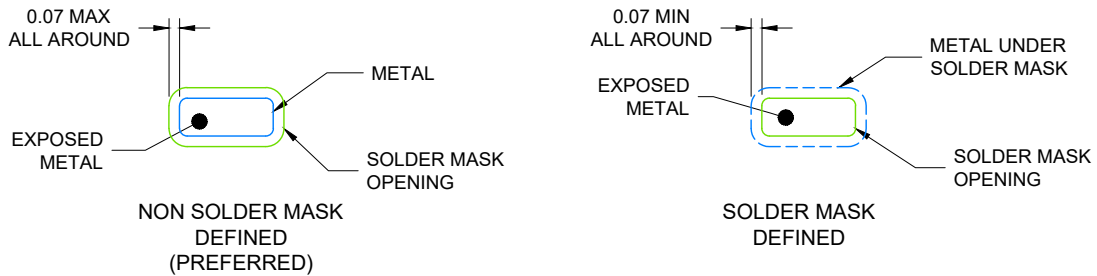
4225178/A 09/2019

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS

4225178/A 09/2019

NOTES: (continued)

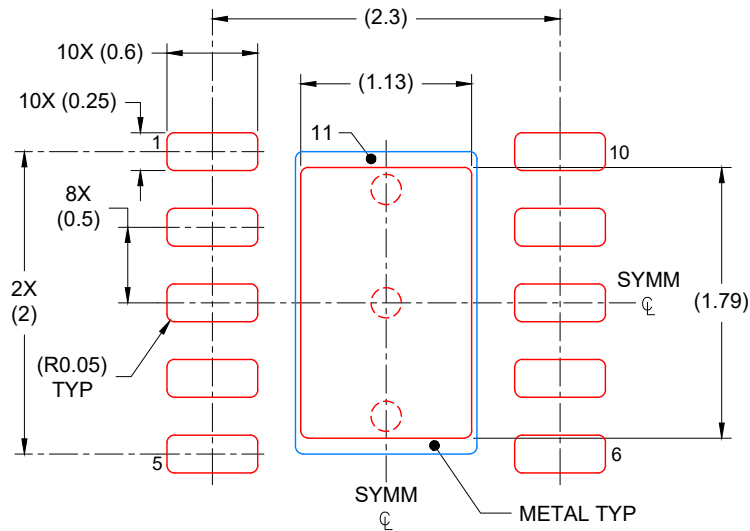
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DSK0010C

WSON - 0.8 mm max height

PLASTIC QUAD FLAT PACK- NO LEAD



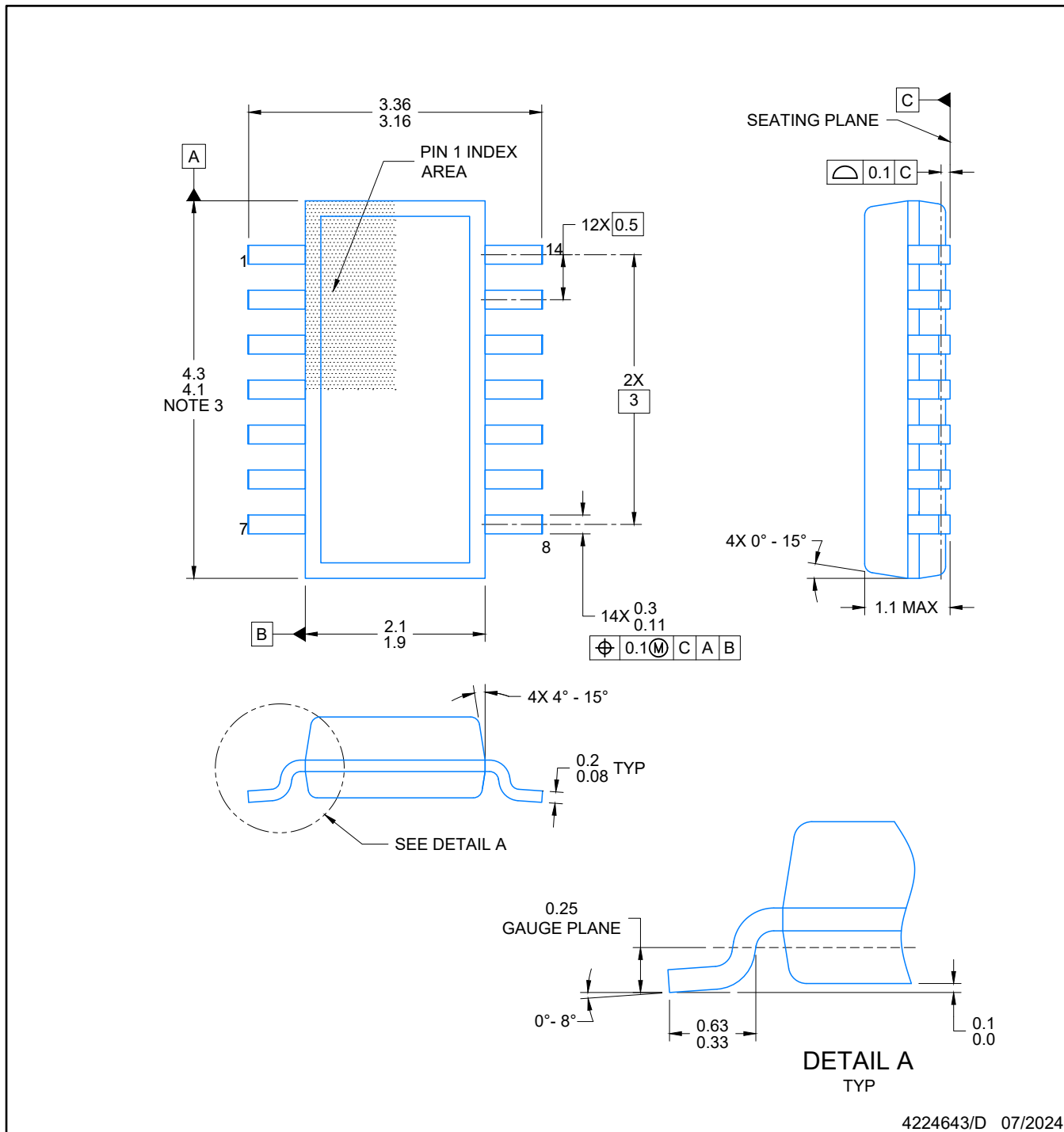
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
84% PRINTED COVERAGE BY AREA
SCALE: 20X

4225178/A 09/2019

NOTES: (continued)

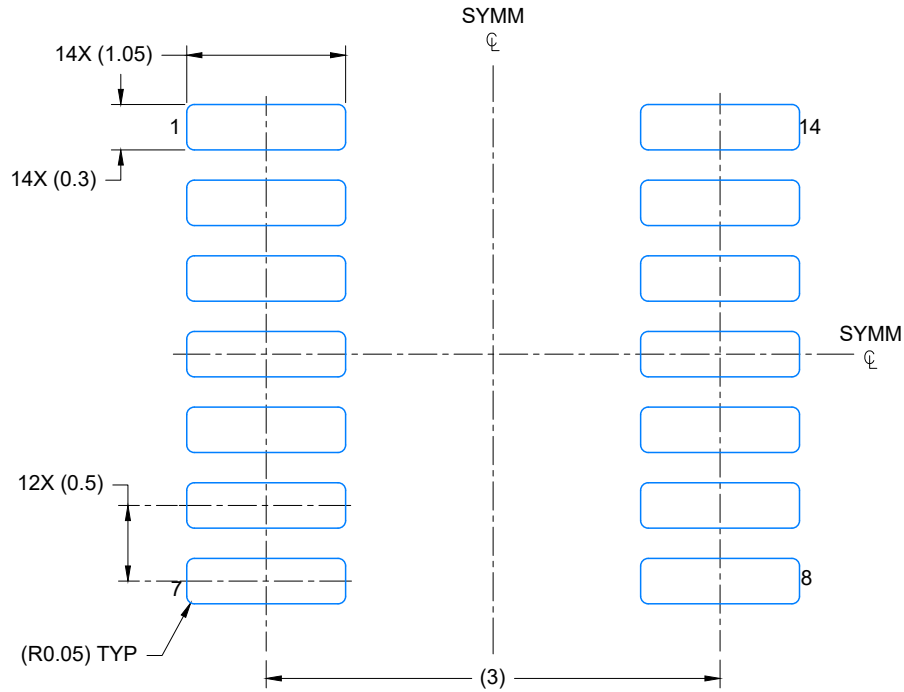
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.



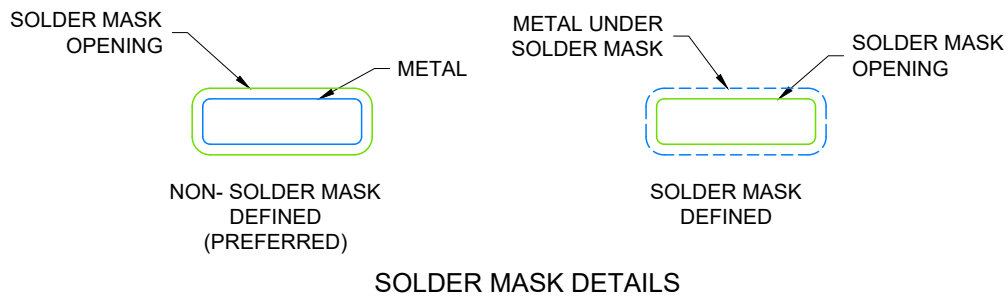
4224643/D 07/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AB



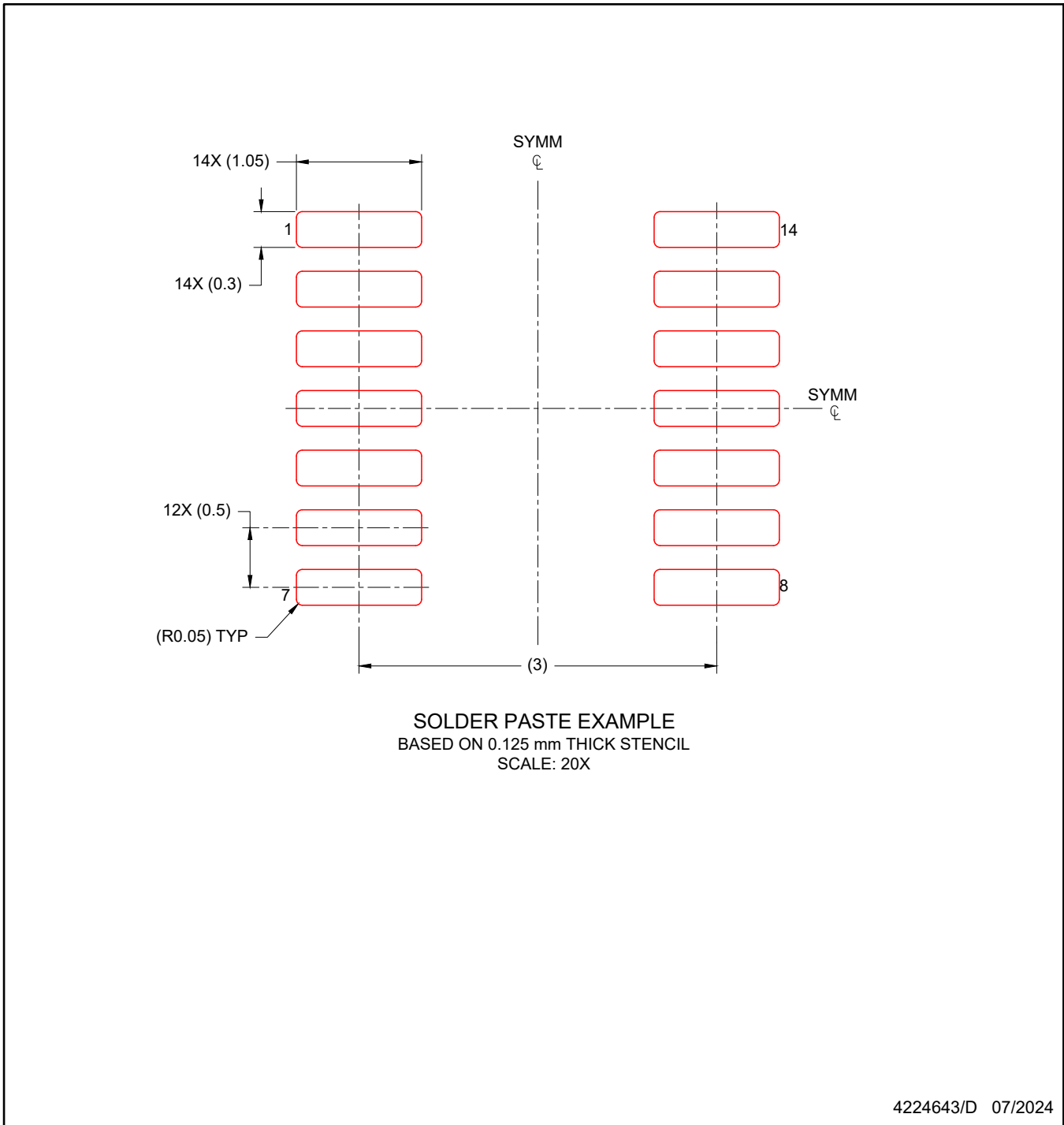
LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4224643/D 07/2024

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月