

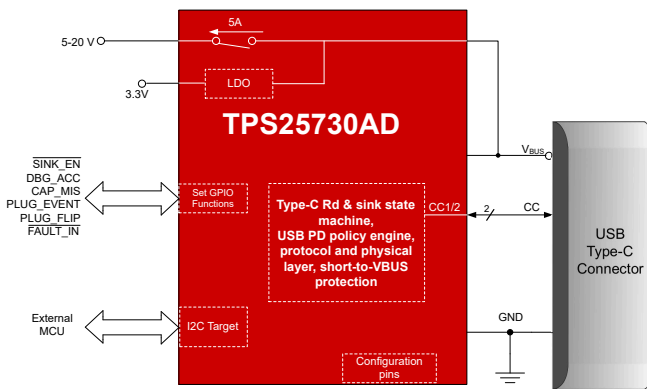
TPS25730A 针对受电端电源应用进行了优化且具有集成电源开关的 USB Type-C® 和 USB PD 控制器

1 特性

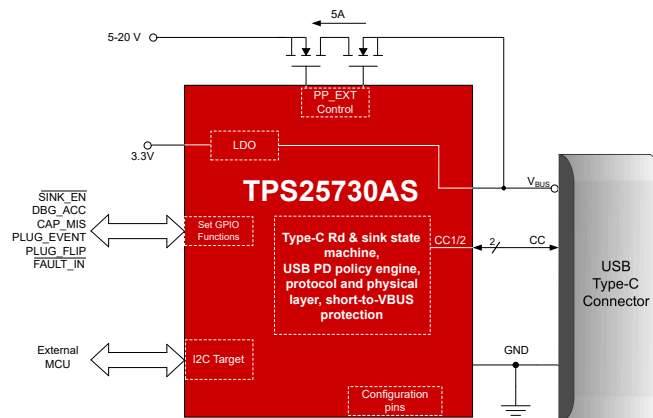
- PD3.2 兼容纯接收应用
 - PD3.2 是 USB-IF 的最新电力输送规格
 - 有关 [PD2.0](#) 与 [PD3.0](#) 的文章
- 完全可配置的单端口 PD 控制器
 - 针对纯接收 USB Type-C 和 USB PD 应用进行了优化
 - 用于 USB Type-C 的完整桶形插孔替代
 - 完全可配置，具有引脚 Strap 配置选项
 - 支持工业温度范围
- 全面托管的集成电源路径
 - 集成过压保护和反向电流保护
- USB Type-C® 电力输送 (PD) 控制器
 - 6 GPIO 设置功能
 - 线缆连接和方向检测
 - 集成式无电电池 Rd
 - 物理层和策略引擎
 - 3.3V LDO 输出，在电池电量耗尽时提供支持
 - 通过 3.3V 或 VBUS 源供电
 - 用于外部微控制器的 I2C 接入

2 应用

- 电源工具、移动电源、零售自动化和付款
- 无线扬声器、耳机
- 其他个人电子产品和工业应用



TPS25730AD 原理图



TPS25730AS 原理图

3 说明

TPS25730A 是一款高度集成的独立式 USB Type-C 和电力输送 (PD) 控制器，针对支持 USB-C PD 电源的应用进行了优化。TPS25730A 集成了全面托管的电源路径与强大的保护功能，可提供完整的 USB-C PD 应用。TPS25730A 还可通过使用内部栅极驱动器来控制外部电源路径。TPS25730A 非常适合之前由桶形插孔供电的纯接收应用。使用电阻器引脚 strap 配置，用户可使用 TPS25730A 实现功能齐全的 USB Type-C PD 端口。无需外部 EEPROM、外部微控制器或任何类型的固件开发。

TPS25730A 旨在使设置纯接收 USB Type-C 应用变得简单而可靠。用户既可使用桶形插孔端口的所有优势，同时又能利用 USB Type-C 和 USB Type-C PD 的优势。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TPS25730AD	38-WQFN (REF)	4.00mm x 6.00mm
TPS25730A S	32-VQFN (RSM)	4.00mm x 4.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



内容

1 特性	1	6.17 典型特性.....	18
2 应用	1	7 参数测量信息	19
3 说明	1	8 详细说明	20
4 器件比较表	3	8.1 概述.....	20
5 引脚配置和功能	4	8.2 功能方框图.....	21
6 规格	8	8.3 特性说明.....	23
6.1 绝对最大额定值.....	8	8.4 器件功能模式.....	37
6.2 ESD 等级.....	9	9 应用和实施	40
6.3 建议运行条件.....	9	9.1 应用信息.....	40
6.4 推荐电容.....	10	9.2 典型应用.....	40
6.5 热性能信息.....	10	9.3 电源相关建议.....	43
6.6 电源特性.....	11	9.4 布局.....	43
6.7 功耗.....	11	10 器件和文档支持	55
6.8 PPHV 电源开关特性 — TPS25730AD.....	11	10.1 器件支持.....	55
6.9 PP_EXT 特性 — TPS25730A S	12	10.2 文档支持.....	55
6.10 电源路径监控.....	14	10.3 接收文档更新通知.....	55
6.11 CC 电缆检测参数.....	14	10.4 支持资源.....	55
6.12 CC PHY 参数.....	15	10.5 商标.....	55
6.13 热关断特性.....	15	10.6 静电放电警告.....	55
6.14 ADC 特性.....	16	10.7 术语表.....	55
6.15 输入/输出 (I/O) 特性.....	16	11 修订历史记录	55
6.16 I2C 要求和特性.....	16	12 机械、封装和可订购信息	55

4 器件比较表

器件型号	集成式高电压受电端负载开关 (PPHV)	外部受电路径 (PP_EXT) 的高压栅极驱动器
TPS25730AD	是	否
TPS25730AS	否	是

5 引脚配置和功能

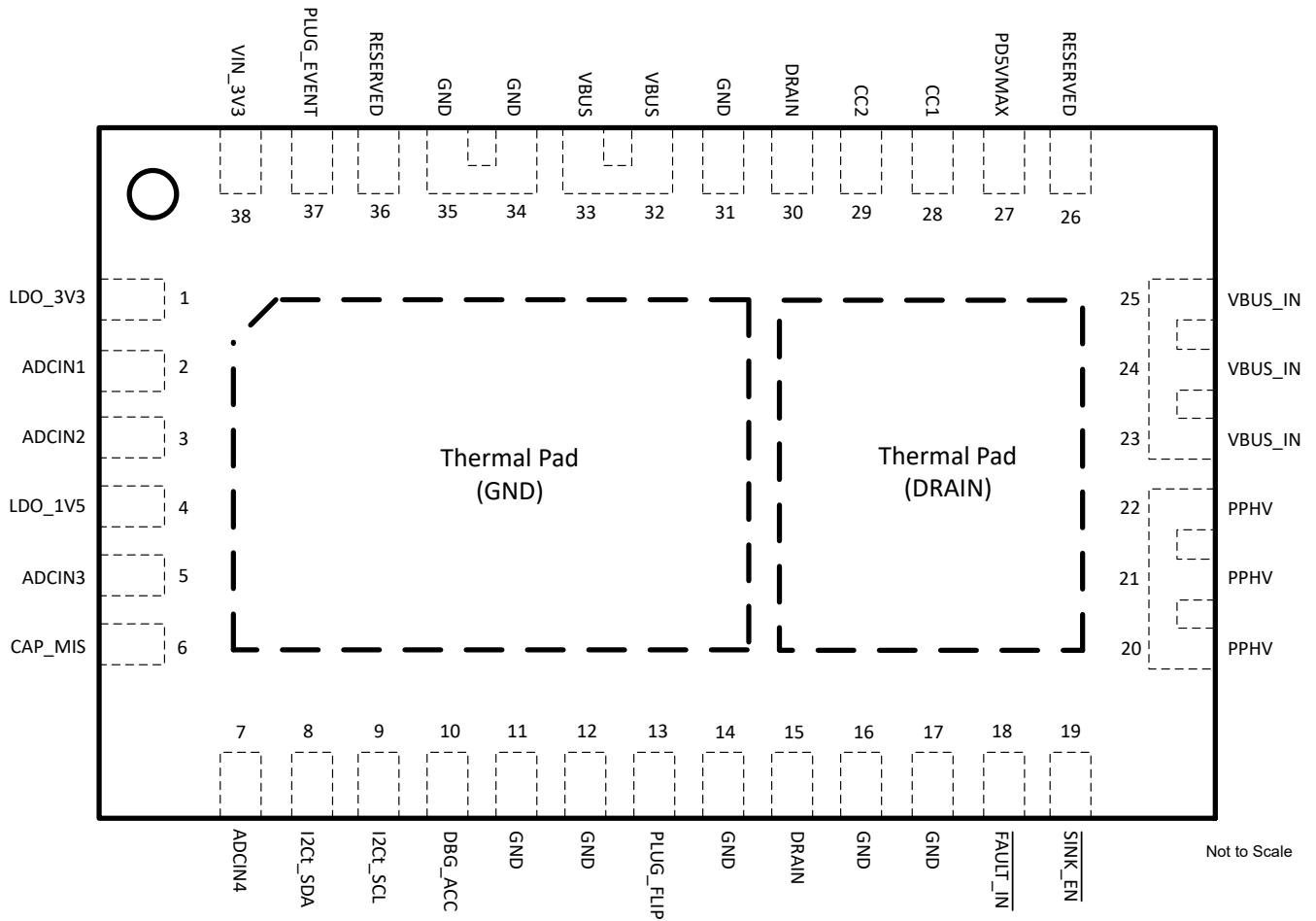


图 5-1. TPS25730AD QFN 封装，38 引脚（顶视图）

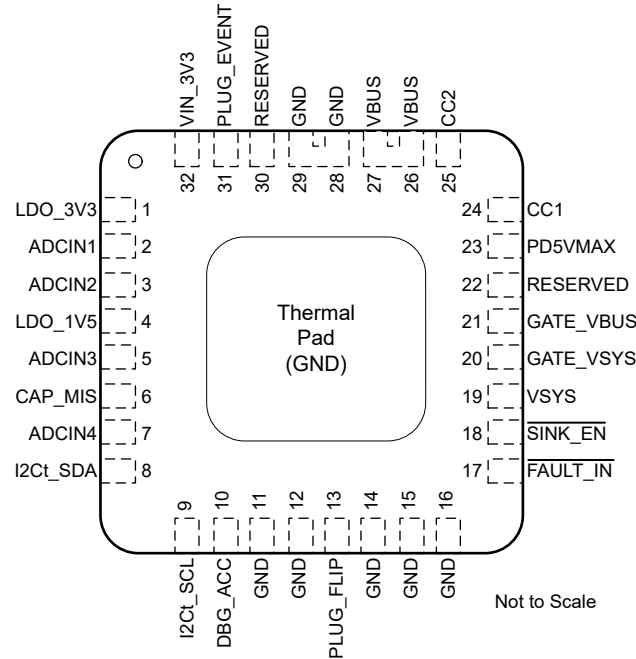


图 5-2. TPS25730AS QFN 封装，32 引脚（顶视图）

表 5-1. TPS25730AD 引脚功能

引脚		类型 ⁽¹⁾	复位	说明
名称	编号			
ADCIN1	2	I	高阻态	配置输入。将电阻分压器连接到 LDO_3V3。
ADCIN2	3	I	高阻态	配置输入。将电阻分压器连接到 LDO_3V3。
CC1	28	I/O	高阻态	USB Type-C 的 I/O。使用建议的电容器连接至 GND (CCCy) 来滤除噪声。
CC2	29	I/O	高阻态	USB Type-C 的 I/O。使用建议的电容器连接至 GND (CCCy) 来滤除噪声。
GND	11、12、14、 16、17、31、 34、35	—	—	接地。连接地平面。
ADCIN3	5	I	高阻态	配置输入。将电阻分压器连接到 LDO_3V3。
CAP_MIS	6	O	高阻态	开漏输出，能力不匹配指示器。切换输出：协商的 PD 合约中能力不匹配，无切换输出：协商的 PD 合约中没有能力不匹配。
ADCIN4	7	I	高阻态	配置输入。将电阻分压器连接到 LDO_3V3。
SINK_EN	19	O	高阻态	开漏输出，受电路启用指示器。用于控制外部负载开关。0：受电路启用，1：受电路禁用
PD5VMAX	27	I	高阻态	配置输入。接地或连接到 LDO_3V3。
RESERVED	26、36	I	高阻态	接地或连接到 LDO_3V3。
PLUG_EVENT	37	O	高阻态	开漏输出，1：连接存在，0：连接不存在
I2Ct_SCL	9	I	高阻态	I2C 目标串行时钟输入。通过一个电阻器连接到上拉电压。引脚不使用时接地。
I2Ct_SDA	8	I/O	高阻态	I2C 目标串行数据。开漏输入/输出。通过一个电阻器连接到上拉电压。引脚不使用时接地。
DBG_ACC	10	O	高阻态	开漏输出，调试附件连接的 Rp/Rp。1：调试附件存在，0：调试附件不存在
PLUG_FLIP	13	O	高阻态	开漏输出，电缆插头方向指示器。1：CC2 已连接（顶面朝下），0：CC1 已连接（顶面朝上）

表 5-1. TPS25730AD 引脚功能 (续)

引脚		类型 ⁽¹⁾	复位	说明
名称	编号			
FAULT_IN	18	I	高阻态	用于触发 Type-C 错误恢复并与端口断开连接的故障输入。1：保持连接 — 无故障。连接到来自外设 MCU 或保护器件的故障信号。使用上拉电阻器连接到 LDO3V3。
LDO_1V5	4	O	—	CORE LDO 的输出。使用电容 C _{LDO_1V5} 旁路至 GND。该引脚无法向外部电路提供电流。
LDO_3V3	1	O	—	从 VIN_3V3 或 VBUS LDO 切换的电源输出。使用电容 C _{LDO_3V3} 旁路至 GND。
DRAIN	15、30	不适用	—	连接至内部 FET 的漏极。
PPHV	20、21、22	I/O		系统中的高压受电节点。
VBUS_IN	23、24、25	I/O		5V 至 20V 输入。
VBUS	32、33	O		VBUS 输入至 LDO。使用电容 C _{VBUS} 旁路至 GND。
VIN_3V3	38	I	—	用于内核电路和 I/O 的电源。使用电容 C _{VIN_3V3} 旁路至 GND。如果器件仅由 VBUS 供电，则连接至 GND。

(1) I = 输入，O = 输出，I/O = 输入和输出，GPIO = 通用数字输入和输出

表 5-2. TPS25730A S 引脚功能

引脚		类型 ⁽¹⁾	复位	说明
名称	编号			
ADCIN1	2	I	高阻态	配置输入。将电阻分压器连接到 LDO_3V3。
ADCIN2	3	I	高阻态	配置输入。将电阻分压器连接到 LDO_3V3。
CC1	24	I/O	高阻态	USB Type-C 的 I/O。使用建议的电容器连接至 GND (CCCy) 来滤除噪声。
CC2	25	I/O	高阻态	USB Type-C 的 I/O。使用建议的电容器连接至 GND (CCCy) 来滤除噪声。
GATE_VSYS	20	O	高阻态	连接至源极接 VSYS 的 N 沟道 MOSFET
GATE_VBUS	21	O	高阻态	连接至供电端连接到 VBUS 的 N 沟道 MOSFET
GND	11、12、14、 15、16、28、 29	—	—	接地。连接地平面。
ADCIN3	5	I	高阻态	配置输入。将电阻分压器连接到 LDO_3V3。
CAP_MIS	6	O	高阻态	开漏输出，能力不匹配指示器。切换输出：协商的 PD 合约中能力不匹配，无切换输出：协商的 PD 合约中没有能力不匹配。
ADCIN4	7	I	高阻态	配置输入。将电阻分压器连接到 LDO_3V3。
SINK_EN	18	O	高阻态	开漏输出，受电路径启用指示器。用于控制外部负载开关。0：受电路径启用，1：受电路径禁用
PD5VMAX	23	I	高阻态	配置输入。接地或连接到 LDO_3V3。
RESERVED	22、30	I	高阻态	接地。
PLUG_EVENT	31	O	高阻态	开漏输出，1：连接存在，0：连接不存在
I2Ct_SCL	9	I	高阻态	I2C 目标串行时钟输入。通过一个电阻器连接到上拉电压。不使用时接地。
I2Ct_SDA	8	I/O	高阻态	I2C 目标串行数据。开漏输入/输出。通过一个电阻器连接到上拉电压。不使用时接地。
DBG_ACC	10	O	高阻态	开漏输出，调试附件连接的 Rp/Rp 或 Rd/Rd。1：调试附件存在，0：调试附件不存在
PLUG_FLIP	13	O	高阻态	开漏输出，电缆插头方向指示器。1：CC2 已连接（顶面朝下），0：CC1 已连接（顶面朝上）
FAULT_IN	17	I	高阻态	用于触发 Type-C 错误恢复并与端口断开连接的故障输入。0：断开与端口的连接，1：保持连接 — 无故障。连接到来自外设 MCU 或保护器件的故障信号。使用上拉电阻器连接到 LDO3V3。
LDO_1V5	4	O	—	CORE LDO 的输出。使用电容 C _{LDO_1V5} 旁路至 GND。该引脚无法向外部电路提供电流。
LDO_3V3	1	O	—	从 VIN_3V3 或 VBUS LDO 切换的电源输出。使用电容 C _{LDO_3V3} 旁路至 GND。
VSYS	19	I	—	系统侧高压检测节点。系统中的高压受电节点。用于为由 GATE_VSYS 控制的外部受电路径实现反向电流保护 (RCP)。
VBUS	26、27	I/O	—	5V 至 20V 输入。使用电容 C _{VBUS} 旁路至 GND。
VIN_3V3	32	I	—	用于内核电路和 I/O 的电源。使用电容 C _{VIN_3V3} 旁路至 GND。如果器件仅由 VBUS 供电，则连接至 GND。

(1) I = 输入，O = 输出，I/O = 输入和输出，GPIO = 通用数字输入和输出

6 规格

6.1 绝对最大额定值

6.1.1 TPS25730AD 和 TPS25730AS — 绝对最大额定值

在工作自由空气温度范围内（除非另有说明）¹

		最小值	最大值	单位
输入电压范围 ²	VIN_3V3	-0.3	4	V
	ADCINx	-0.3	4	V
	VBUS_IN、VBUS ⁴	-0.3	28	V
	CC1、CC2 ⁴	-0.5	26	V
	GPIOx	-0.3	6.0	V
	I2Ct_SCL、I2Ct_SDA	-0.3	4	V
输出电压范围 ²	LDO_1V5 ³	-0.3	2	V
	LDO_3V3 ³	-0.3	4	
拉电流	VBUS 受电电流		受内部限制	A
	I2Ct_SCL、I2Ct_SDA 的正灌电流		受内部限制	
	LDO_3V3、LDO_1V5 的正拉电流		受内部限制	
拉电流	GPIOx		0.005	A
T _J 工作结温		-40	175	°C
T _{STG} 贮存温度		-55	150	°C

- 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。
- 所有电压值均以网络 GND 为基准。将 GND 引脚直接连接到电路板的 GND 平面。
- 不要对这些引脚施加电压。
- 建议使用击穿电压介于建议最大值和绝对最大值之间的 TVS，例如 TVS2200。

6.1.2 TPS25730AD — 绝对最大额定值

		最小值	最大值	单位
输入电压范围 ²	PPHV	-0.3	28	V
V _{PPHV_VBUS_IN}	供电端到供电端电压		28	V
灌电流	出/入 VBUS_IN 至 PPHV 的连续电流		7	A
	出/入 VBUS_IN 至 PPHV 的脉冲电流 ⁵		10	
T _{J_PPHV} 工作结温	PP_HV 开关	-40	175	°C

- 所有电压值均以网络 GND 为基准。将 GND 引脚直接连接到电路板的 GND 平面。
- 脉冲持续时间 ≤ 100 μs，占空比 ≤ 1%。

6.1.3 TPS25730AS — 绝对最大额定值

		最小值	最大值	单位
输出电压范围 ¹	GATE_VBUS、GATE_VSYS ²	-0.3	40	V
V _{GS}	V _{GATE_VBUS} - V _{VBUS} 、V _{GATE_VSYS} - V _{VSYS}	-0.5	12	V

- 所有电压值均以网络 GND 为基准。将 GND 引脚直接连接到电路板的 GND 平面。
- 不要对这些引脚施加电压。

6.2 ESD 等级

参数		测试条件	值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/ JEDEC JS-001 标准, 所有引脚 ¹	±1000	V
		充电器件模型 (CDM), 符合 ANSI/ESDA/ JEDEC JS-002 标准, 所有引脚 ²	±500	

- (1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。
 (2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3.1 TPS25730AD — 建议运行条件

在工作自由空气温度范围内 (除非另有说明)¹

			最小值	最大值	单位
V _I	输入电压范围 ¹	VIN_3V3	3.0	3.6	V
		ADCIN1、ADCIN2、VBUS_IN、VBUS	4	22	V
		PPHV	0	22	V
V _{IO}	I/O 电压范围 ¹	I2Ct_SDA、I2Ct_SCL、ADCINx	0	3.6	V
		GPIOx	0	5.5	
		CC1、CC2	0	5.5	
I _{PP_HV}	从 VBUS_IN 到 PPHV 的电流			7	A
I _O	输出电流 (来自 LDO_3V3)	GPIOx		1	mA
I _O	输出电流 (来自 VBUS LDO)	来自 LDO_3V3 的电流之和		5	mA
T _A	环境工作温度	I _{PP_HV} ≤ 7A	-40	45	°C
		I _{PP_HV} ≤ 6A	-40	65	
T _{J_PPHV}	工作结温	PP_HV 开关	-40	150	°C
T _J	工作结温		-40	125	°C

- (1) 所有电压值均以网络 GND 为基准。所有 GND 引脚都必须直接连接到电路板的 GND 平面。

6.3.2 TPS25730A S — 建议运行条件

在工作自由空气温度范围内 (除非另有说明)¹

			最小值	最大值	单位
V _I	输入电压范围 ¹	VIN_3V3	3.0	3.6	V
		VBUS	4	22	
		VSYS	0	22	
V _{IO}	I/O 电压范围 ¹	I2Cx_SDA、I2Cx_SCL、ADCINx	0	3.6	V
		GPIOx	0	5.5	
		CC1、CC2	0	5.5	
I _O	输出电流 (来自 LDO_3V3)	GPIOx		1	mA
I _O	输出电流 (来自 VBUS LDO)	来自 LDO_3V3 和 GPIOx 的电流之和		5	mA
T _J	工作结温		-40	125	°C

- (1) 所有电压值均以网络 GND 为基准。所有 GND 引脚都必须直接连接到电路板的 GND 平面。

6.4 推荐电容

在工作自由空气温度范围内（除非另有说明）

参数 ⁽¹⁾		电压额定值	最小值	标称值	最大值	单位
C _{VIN_3V3}	VIN_3V3 上的电容	6.3V	5	10		μF
C _{LDO_3V3}	LDO_3V3 上的电容	6.3V	5	10	25	μF
C _{LDO_1V5}	LDO_1V5 上的电容	4V	4.5		12	μF
C _{VBUS}	VBUS 上的电容 ⁽³⁾	25V	1	4.7	10	μF
C _{VSYS} TPS25730A	VSYS 受电端上来自 VBUS 的电容 ⁽⁴⁾	25V		47	100	μF
C _{PPHV} TPS25730AD	PPHV 受电端上来自 VBUS 的电容 ⁽⁴⁾	25V		47	100	μF
C _{CCy}	CCy 引脚上的电容 ⁽²⁾	6.3V	200	400	480	pF

- 电容值不包括任何降额因子。例如，如果需要 5μF 并且在所需工作电压下外部电容值减少 50%，则需要的外部电容值为 10μF。
- 电容包括 Type-C 插座的所有外部电容。
- 该器件可配置为在发生某些事件时快速禁用灌电流电源路径。当使用此类配置时，建议在此范围的较高侧使用电容。
- cSnkBulkPd (100μF) 的 USB PD 规范是在签订 PD 合约后 VBUS 受电端上允许的最大大容量电容。该电容足以满足从 PD 控制器受电路径获取电力的所有电源转换器件的需求。对于需要高于 100μF 的系统，可以按照 USB3.2 规范中所述实现 VBUS 浪涌电流限制。

6.5 热性能信息

6.5.1 TPS25730AD — 热性能信息

热指标 ¹		TPS25730AD		单位
		QFN (REF)		
		38 引脚		
R _{θJA}	结至环境热阻（通过 PP_HV 受电）	57.4		°C/W
R _{θJC} (顶部)	结至外壳（顶部）热阻（通过 PP_HV 受电）	30.5		°C/W
R _{θJB}	结至电路板热阻（通过 PP_HV 受电）	21.1		°C/W
ψ _{JT}	结至顶部特征参数（通过 PP_HV 受电）	18.2		°C/W
ψ _{JB}	结至电路板特征参数（通过 PP_HV 受电）	21.1		°C/W
R _{θJC} (bot_GND)	结至电路板（底部 GND 焊盘）热阻	1.8		°C/W
R _{θJC} (bot_DRAIN)	结至电路板（底部 DRAIN 焊盘）热阻	4.6		°C/W

- 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用报告。

6.5.2 热性能信息

热指标 ⁽¹⁾		TPS25730A		单位
		QFN (RSM)		
		32 引脚		
R _{θJA}	结至环境热阻	30.5		°C/W
R _{θJC} (顶部)	结至外壳（顶部）热阻	24.5		°C/W
R _{θJC}	结至电路板（底部）热阻	2		°C/W
R _{θJB}	结至电路板热阻	9.8		°C/W
ψ _{JT}	结至顶部特征参数	0.2		°C/W
ψ _{JB}	结至电路板特征参数	9.7		°C/W

- 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用报告。

6.6 电源特性

在这些条件下运行（除非另有说明）： $3.0V \leq V_{VIN_3V3} \leq 3.6V$

参数		测试条件	最小值	典型值	最大值	单位
VIN_3V3, VBUS						
V _{VBUS_UVLO}	VBUS UVLO 阈值	上升	3.6		3.9	V
		下降	3.5		3.8	
		迟滞		0.1		
V _{VIN3V3_UVLO}	VIN_3V3 上电所需的电压	上升, V _{VBUS} = 0	2.56	2.66	2.76	V
		下降, V _{VBUS} = 0	2.44	2.54	2.64	
		迟滞		0.12		
LDO_3V3, LDO_1V5						
V _{LDO_3V3}	LDO_3V3 上的电压	V _{VIN_3V3} = 0V, 10μA ≤ I _{LOAD} ≤ 18mA, V _{VBUS} ≥ 3.9V	3.0	3.4	3.6	V
R _{LDO_3V3}	VIN_3V3 至 LDO_3V3 的 R _{dson}	I _{LDO_3V3} = 50mA			1.4	Ω
V _{LDO_1V5}	LDO_1V5 上的电压	直到最大内部负载条件	1.49	1.5	1.65	V

6.7 功耗

在这些条件下运行（除非另有说明）： $3V \leq V_{VIN_3V3} \leq 3.6V$ ，无 GPIO 负载

参数		测试条件	最小值	典型值	最大值	单位
I _{VIN_3V3,ActSnk}	流入 VIN_3V3 的电流	工作灌电流模式：22V ≥ V _{VBUS} ≥ 4V, V _{VIN_3V3} = 3.3V		3	6	mA
I _{VIN_3V3,IdISnk}	流入 VIN_3V3 的电流	空闲灌电流模式：22V ≥ V _{VBUS} ≥ 4V, V _{VIN_3V3} = 3.3V		1.0		mA
P _{MstbySnk}	现代待机灌电流模式下流入 PP5V 和 VIN_3V3 的功率	CCm 悬空, V _{CCn} = 0.4V, V _{PP5V} = 5V, V _{VIN_3V3} = 3.3V, V _{VBUS} = 5V, POWER_PATH_EN 被禁用, 并且 T _J = 25°C		4.1		mW
I _{VIN_3V3,Sleep}	流入 VIN_3V3 的电流	睡眠模式：V _{VBUS} = 0V, V _{VIN_3V3} = 3.3V		56		μA

6.8 PPHV 电源开关特性 — TPS25730AD

在这些条件下运行（除非另有说明）： $3.0V \leq V_{VIN_3V3} \leq 3.6V$

参数		测试条件	最小值	典型值	最大值	单位
R _{PPHV}	从 VBUS_IN 到 PPHV 电源开关的电阻	T _{J PPHV} = 25°C, I _{PPHV} = 6.5A		16	19	mΩ
		T _{J PPHV} = 125°C, I _{PPHV} = 6.5A		24	29	
		T _{J PPHV} = 150°C, I _{PPHV} = 6.5A		27	32	
V _{RCP}	比较器模式 RCP 阈值, V _{PPHV} - V _{VBUS}	4V ≤ V _{VBUS} ≤ 22V, V _{VIN_3V3} ≤ 3.63V	2	6	10	mV
SS	GATE_VSYS 的软启动压摆率	4V ≤ V _{VBUS} ≤ 22V, I _{LOAD} = 100mA, 500pF < C _{GATE_VSYS} < 16nF, 测量最终 V _{VSYS} 值 10% 至 90% 的斜率	2.8	3.3	3.80	V/ms
t _{PPHV_OFF}	在正常关断模式下禁用内部 PPHV 开关允许的时间	V _{VBUS} = 20V, V _{PPHV} = 20V (初始值), C _{PPHV} < 1nF, I _{PPHV} = 0.1A, V _{VBUS_IN} - V _{PPHV} > 1V 时开关关断		400	1000	μs

6.8 PPHV 电源开关特性 — TPS25730AD (续)

在这些条件下运行 (除非另有说明) : $3.0V \leq V_{VIN_3V3} \leq 3.6V$

参数		测试条件	最小值	典型值	最大值	单位
t_{PPHV_OVP}	在快速关断模式下 (超出 $V_{OVP4RCP}$) 禁用内部 PPHV 开关允许的时间, 其中包括比较器的响应时间	OVP : $V_{OVP4RCP}$ = 设置 57, $V_{VBUS} = 20V$ 初始值, 然后在 50ns 内升高到 23V, $V_{PPHV} = V_{VBUS_IN}$ (初始值), $C_{PPHV} < 1nF$, $I_{PPHV} = 0.1A$, $V_{VBUS_IN} - V_{PPHV} > 0.1V$ 时开关关断		2	4	μs
t_{PPHV_RCP}	在快速关断模式下 (超出 V_{RCP}) 禁用内部 PPHV 开关允许的时间, 其中包括比较器的响应时间	RCP : V_{RCP} = 设置 0, $V_{VBUS} = 5V$, $V_{V_{SYS}} = 5V$ 初始值, 然后在 $dV/dt = 0.1V/\mu s$ 时升高到 6V, $C_{VBUS} = 10\mu F$, 测量从 $V_{V_{SYS}} > V_{VBUS} + V_{RCP}$ 的时间到 VBUS 上峰值电压的时间		1	2	μs
t_{PPHV_FSD}	在快速关断模式下 (OVP) 禁用内部 PPHV 开关允许的时间	$V_{PPHV} = 20V$ (初始值), $V_{VBUS} = 20V$ 然后在 50ns 内升高到 23V, $\Gamma_{OVP} = 1$, $C_{PPHV} < 1nF$, $I_{PPHV} = 0.1A$, $V_{VBUS_IN} - V_{PPHV} > 0.5V$ 时开关关断		0.25	20	μs
t_{PPHV_ON}	启用内部 PPHV 开关的时间	$V_{VBUS_IN} = 5V$, $C_{PPHV} = 0$, $I_{PPHV} = 0$, 测量从寄存器写入以启用 PPHV 直到 $V_{VBUS_IN} - V_{PPHV} < 0.1V$ 的时间, 软启动设置 3	1500	1800	2100	μs

6.9 PP_EXT 特性 — TPS25730A S

在这些条件下运行 (除非另有说明) : $3V \leq V_{VIN_3V3} \leq 3.6V$

参数		测试条件	最小值	典型值	最大值	单位
I_{GATE_ON}	栅极驱动器拉电流	$0V \leq V_{GATE_V_{SYS}} - V_{V_{SYS}} \leq 6V$, $V_{V_{SYS}} \leq 22V$, $V_{VBUS} > 4V$, 测量 $I_{GATE_V_{SYS}}$	8.5		11.5	μA
		$0V \leq V_{GATE_VBUS} - V_{VBUS} \leq 6V$, $4V \leq V_{VBUS} \leq 22V$, 测量 I_{GATE_VBUS}	8.5		11.5	μA
V_{GATE_ON}	源极电压 (ON)	$0V \leq V_{V_{SYS}} \leq 22V$, $I_{GATE_V_{SYS}} < 4\mu A$, 测量 $V_{GATE_V_{SYS}} - V_{V_{SYS}}$, $V_{VBUS} > 4V$	6		12	V
		$4V \leq V_{VBUS} \leq 22V$, $I_{GATE_VBUS} < 4\mu A$, 测量 $V_{GATE_VBUS} - V_{VBUS}$	6		12	V
V_{RCP}	比较器模式 RCP 阈值 $V_{V_{SYS}} - V_{VBUS}$	$4V \leq V_{VBUS} \leq 22V$, $V_{VIN_3V3} \leq 3.63V$	2	6	10	mV
I_{GATE_OFF}	灌电流强度	正常关断 : $V_{V_{SYS}} = 5V$, $V_{GATE_V_{SYS}} = 6V$, 测量 $I_{GATE_V_{SYS}}$	13			μA
		正常关断 : $V_{VBUS} = V_{V_{SYS}} = 5V$, $V_{GATE_VBUS} = 6V$, 测量 I_{GATE_VBUS}	13			μA

6.9 PP_EXT 特性 — TPS25730A S (续)

在这些条件下运行 (除非另有说明) : $3V \leq V_{VIN_3V3} \leq 3.6V$

参数		测试条件	最小值	典型值	最大值	单位
R _{GATE_FSD}	灌电流强度	快速关断: $V_{V_{SYS}} = 5V$, $V_{GATE_V_{SYS}} = 6V$, 将 PPHV1_FAST_DISABLE 置为有效, 测量 R _{GATE_V_{SYS}}			85	Ω
		快速关断: $V_{V_{BUS}} = V_{V_{SYS}} = 5V$, $V_{GATE_V_{BUS}} = 6V$, 将 PPHV1_FAST_DISABLE 置为有效, 测量 R _{GATE_V_{BUS}}			85	Ω
R _{GATE_OFF_UVLO}	UVLO 中的受电强度 (安全)	$V_{VIN_3V3} = 0V$, $V_{V_{BUS}} = 3V$, $V_{GATE_V_{SYS}} = 0.1V$, 测量从 GATE_V _{SYS} 到 GND 的电阻			1.5	M Ω
SS	GATE_V _{SYS} 的软启动压摆率	$4V \leq V_{V_{BUS}} \leq 22V$, $I_{LOAD} = 100mA$, $500pF < C_{GATE_V_{SYS}} < 16nF$, 测量最终 V _{SYS} 值 10% 至 90% 的斜率	2.8	3.3	3.80	V/ms
t _{GATE_V_{BUS}_OFF}	在正常关断模式下通过 GATE_V _{BUS} 禁用外部 FET 允许的时间。(1)	$V_{V_{BUS}} = 20V$, 外部 FET 的 $Q_G = 40nC$ 或 $C_{GATE_V_{BUS}} < 3nF$, $V_{GATE_V_{BUS}} - V_{V_{BUS}} < 1V$ 时栅极关闭		450	4000	μs
t _{GATE_V_{BUS}_OVP}	在快速关断模式下 (超出 V _{OVP4RCP}) 通过 GATE_V _{BUS} 禁用外部 FET 允许的时间, 其中包括比较器的响应时间(1)	OVP: $V_{OVP4RCP} = \text{setting } 57$, $V_{V_{BUS}} = 20V$ 初始值, 然后在 50ns 内升高到 23V, 外部 FET 的 $Q_G = 40nC$ 或 $C_{GATE_V_{BUS}} < 3nF$, $V_{GATE_V_{BUS}} - V_{V_{BUS}} < 1V$ 时栅极关闭		3	5	μs
t _{GATE_V_{BUS}_RCP}	在快速关断模式下 (超出 V _{RCP}) 通过 GATE_V _{BUS} 禁用外部 FET 允许的时间, 其中包括比较器的响应时间(1)	RCP: $V_{RCP} = \text{设置 } 0$, $V_{V_{BUS}} = 5V$, $V_{V_{SYS}} = 5V$ 初始值, 然后在 50ns 内升高到 5.5V, 外部 FET 的 $Q_G = 40nC$ 或 $C_{GATE_V_{BUS}} < 3nF$, $V_{GATE_V_{BUS}} - V_{V_{BUS}} < 1V$ 时栅极关闭		1	2	μs
t _{GATE_V_{SYS}_OFF}	在正常关断模式下通过 GATE_V _{SYS} 禁用外部 FET 允许的时间(1)	$V_{V_{SYS}} = 20V$, 外部 FET 的 $Q_G = 40nC$ 或 $C_{GATE_V_{BUS}} < 3nF$, $V_{GATE_V_{SYS}} - V_{V_{SYS}} < 1V$ 时栅极关闭		450	4000	μs
t _{GATE_V_{SYS}_FSD}	在快速关断模式下 (OVP) 通过 GATE_V _{SYS} 禁用外部 FET 允许的时间(1)	$V_{V_{BUS}} = 20V$ 初始值, 然后在 50ns 内升高到 23V, 外部 FET 的 $Q_G = 40nC$ 或 $C_{GATE_V_{BUS}} < 3nF$, $V_{GATE_V_{SYS}} - V_{V_{SYS}} < 1V$ 时栅极关闭, $r_{OVP} = 1$		0.25	20	μs
t _{GATE_V_{BUS}_ON}	启用 GATE_V _{BUS} 所需的时间(1)	测量从 $V_{GS} = 0V$ 直到 $V_{GS} > 3V$ (其中 $V_{GS} = V_{GATE_V_{BUS}} - V_{V_{BUS}}$) 的时间		0.25	2	ms

(1) 这些值取决于外部 N 沟道 MOSFET 的特性。典型值在使用 Px_GATE_V_{SYS} 和 Px_GATE_V_{BUS} 驱动共漏极背对背配置中两个 CSD17571Q2 时测得。

6.10 电源路径监控

在这些条件下运行（除非另有说明）： $3V \leq V_{VIN_3V3} \leq 3.6V$

参数		测试条件	最小值	典型值	最大值	单位
$V_{OVP4RCP}$	RCP 可编程范围的 VBUS 过压保护	$V_{VBUS} > V_{OVP4RCP}$ 时检测到 OVP	5.0		24	V
$V_{OVP4RCPH}$	迟滞		1.75	2	2.25	%
r_{OVP}	用于 OVP4VSYs 比较器的 OVP4RCP 输入比率。 $r_{OVP} \times V_{OVP4VSYs} = V_{OVP4RCP}$			1		V/V
$V_{OVP4VSYs}$	用于 VSYs 保护的 VBUS 过压保护范围	$r_{OVP} \times V_{VBUS} > V_{OVP4RCP}$ 时检测到 OVP	5		27.5	V
$V_{OVP4VSYsH}$	迟滞	VBUS 下降， $V_{OVP4VSYs}$ 的百分比， r_{OVP}	2	2.3	2.6	%
I_{DSCH}	VBUS 放电电流	$V_{VBUS} = 22V$ ，测量 I_{VBUS}	4		15	mA

6.11 CC 电缆检测参数

在这些条件下运行（除非另有说明）： $3V \leq V_{VIN_3V3} \leq 3.6V$

参数		测试条件	最小值	典型值	最大值	单位
Type-C 接收端 (Rd 下拉电阻)						
V_{SNK1}	当 Rd 施加到 CCy 时的开路/默认检测阈值	上升	0.2		0.24	V
V_{SNK1}	当 Rd 施加到 CCy 时的开路/默认检测阈值	下降	0.16		0.20	V
	迟滞			0.04		V
V_{SNK2}	默认/1.5A 检测阈值	下降	0.62		0.68	V
V_{SNK2}	默认/1.5A 检测阈值	上升	0.63	0.66	0.69	V
	迟滞			0.01		V
V_{SNK3}	当 Rd 应用于 CCy 时检测阈值为 1.5A/3.0A	下降	1.17		1.25	V
V_{SNK3}	当 Rd 应用于 CCy 时检测阈值为 1.5A/3.0A	上升	1.22		1.3	V
	迟滞			0.05		V
R_{SNK}	Rd 下拉电阻	$0.25V \leq V_{CCy} \leq 2.1V$ ，使用 trim_cd_rd 进行修整后	4.6		5.6	k Ω
R_{VCONN_DIS}	VCONN 放电电阻	$0V \leq V_{CCy} \leq 5.5V$ ，测量 CCy 上的电阻	4.0		6.12	k Ω
V_{CLAMP}	无电电池 Rd 钳位	$V_{VIN_3V3} = 0V$ ， $64\mu A < I_{CCy} < 96\mu A$	0.25		1.32	V
		$V_{VIN_3V3} = 0V$ ， $166\mu A < I_{CCy} < 194\mu A$	0.65		1.32	
		$V_{VIN_3V3} = 0V$ ， $304\mu A < I_{CCy} < 356\mu A$	1.20		2.18	
R_{Open}	配置为开路时从 CCy 到 GND 的电阻	$V_{VBUS} = 0V$ ， $V_{VIN_3V3} = 3.3V$ ， $V_{CCy} = 5V$ ，测量 CCy 上的电阻	500			k Ω
		$V_{VBUS} = 5V$ ， $V_{VIN_3V3} = 0V$ ， $V_{CCy} = 5V$ ，测量 CCy 上的电阻	500			k Ω
公共受电端						

6.11 CC 电缆检测参数 (续)

在这些条件下运行 (除非另有说明) : $3V \leq V_{VIN_3V3} \leq 3.6V$

参数		测试条件	最小值	典型值	最大值	单位
t_{CC}	Px_CCy 上比较器的抗尖峰脉冲时间			3.2		ms

6.12 CC PHY 参数

在这些条件下运行 (除非另有说明) : 且 ($3V \leq V_{VIN_3V3} \leq 3.6V$ 或 $V_{VBUS} \geq 3.9V$)

参数		测试条件	最小值	典型值	最大值	单位
发送器						
V_{TXHI}	CCy 上的发送高电压	标准外部负载	1.05	1.125	1.2	V
V_{TXLO}	CCy 上的发送低电压	标准外部负载	-75		75	mV
Z_{DRIVER}	使用 CCy 驱动 CC 线路时的发送输出阻抗	在 750kHz 时测得	33	54	75	Ω
t_{Rise}	上升时间。CCy 上的 10% 至 90% 振幅点, 最小值是空载条件下的值。最大值由 TX 掩码进行设置	$C_{CCy} = 520pF$	300			ns
t_{Fall}	下降时间。CCy 上的 90% 至 10% 振幅点, 最小值是空载条件下的值。最大值由 TX 掩码进行设置	$C_{CCy} = 520pF$	300			ns
V_{PHY_OVP}	USB PD PHY 的 OVP 检测阈值	$0V \leq V_{VIN_3V3} \leq 3.6V$, $0V \leq V_{PP5V} \leq 5.5V$, $V_{VBUS} \geq 4V$ 。最初 $V_{CC1} \leq 5.5V$ 且 $V_{CC2} \leq 5.5V$, 然后 V_{CCx} 上升	5.5		8.5	V
接收器						
$Z_{BMC RX}$	CCy 上的接收器输入阻抗	不包括电缆检测中的上拉或下拉电阻。发送器为高阻抗	1			M Ω
C_{CC}	CCy 上的接收器电容 ¹	处于接收器模式时向 CC 引脚输入的电容			120	pF
$V_{RX_SNK_R}$	CCy 上用于接收器比较器的上升阈值	接收端模式 (上升)	499	525	551	mV
$V_{RX_SNK_F}$	CCy 上用于接收器比较器的下降阈值	接收端模式 (下降)	230	250	270	mV

(1) 仅当 CCy 引脚配置为接收 BMC 数据时, C_{CC} 才包括该引脚上的内部电容。需要使用外部电容来满足 USB-PD 规范 (cReceiver) 要求的最小电容。因此, TI 建议在外部分添加 C_{CCy} 。

6.13 热关断特性

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
T_{SD_MAIN}	关断温度阈值	温度上升	145	160	175	$^{\circ}C$
		迟滞		15		$^{\circ}C$

6.14 ADC 特性

在这些条件下运行（除非另有说明）： $3V \leq V_{VIN_3V3} \leq 3.6V$

参数		测试条件	最小值	典型值	最大值	单位
LSB	最低有效位	3.6V 最大缩放，分压比为 3		14		mV
		25.2V 最大缩放，分压比为 21		98		mV
		4.07A 最大缩放		16.5		mA
GAIN_ERR	增益误差	$0.05V \leq V_{ADCINx} \leq 3.6V$, $V_{ADCINx} \leq V_{LDO_3V3}$	-2.7		2.7	%
		$0.05V \leq V_{GPIOx} \leq 3.6V$, $V_{GPIOx} \leq V_{LDO_3V3}$				
		$2.7V \leq V_{LDO_3V3} \leq 3.6V$	-2.4	2.4		
		$0.6V \leq V_{VBUS} \leq 22V$	-2.1	2.1		
		$1A \leq I_{VBUS} \leq 3A$	-2.1	2.1		
VOS_ERR	偏移误差 ¹	$0.05V \leq V_{ADCINx} \leq 3.6V$, $V_{ADCINx} \leq V_{LDO_3V3}$	-4.1		4.1	mV
		$0.05V \leq V_{GPIOx} \leq 3.6V$, $V_{GPIOx} \leq V_{LDO_3V3}$				
		$2.7V \leq V_{LDO_3V3} \leq 3.6V$	-4.5	4.5		
		$0.6V \leq V_{VBUS} \leq 22V$	-4.1	4.1		
		$1A \leq I_{VBUS} \leq 3A$	-4.5	4.5	mA	

(1) 失调电压误差的定义在分压器之后。

6.15 输入/输出 (I/O) 特性

在这些条件下运行（除非另有说明）： $3V \leq V_{VIN_3V3} \leq 3.6V$

参数		测试条件	最小值	典型值	最大值	单位
GPIO_VIH	GPIOx 高电平输入电压	$V_{LDO_3V3} = 3.3V$	1.3			V
GPIO_VIL	GPIOx 低电平输入电压	$V_{LDO_3V3} = 3.3V$			0.54	V
GPIO_HYS	GPIOx 输入迟滞电压	$V_{LDO_3V3} = 3.3V$	0.09			V
GPIO_ILKG	GPIOx 漏电流	$V_{GPIOx} = 3.45V$	-1		1	μA
GPIO_RPU	GPIOx 内部上拉	启用上拉	50	100	150	k Ω
GPIO_RPD	GPIOx 内部下拉电阻	启用下拉	50	100	150	k Ω
GPIO_DG	GPIOx 输入抗尖峰脉冲			20	50	ns
GPIO0-9 (输出)						
GPIO_VOH	GPIOx 输出高电压	$V_{LDO_3V3} = 3.3V$, $I_{GPIOx} = -2mA$	2.9			V
GPIO_VOL	GPIOx 输出低电压	$V_{LDO_3V3} = 3.3V$, $I_{GPIOx} = 2mA$			0.4	V
ADCINx						
ADCIN_ILKG	ADCINx 漏电流	$V_{ADCINx} \leq V_{LDO_3V3}$	-1		1	μA
t _{BOOT}	从 LDO_3V3 变为高电平到读取 ADCINx 以进行配置的时间			10		ms

6.16 I2C 要求和特性

在这些条件下运行（除非另有说明）： $3V \leq V_{VIN_3V3} \leq 3.6V$

参数	测试条件	最小值	典型值	最大值	单位
I2Ct_IRQ					

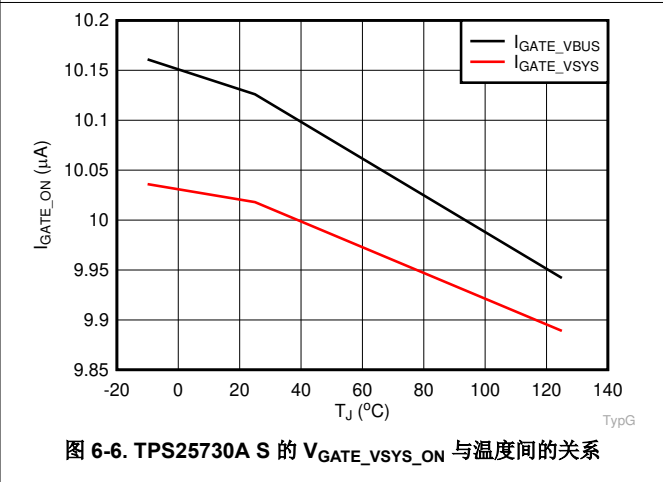
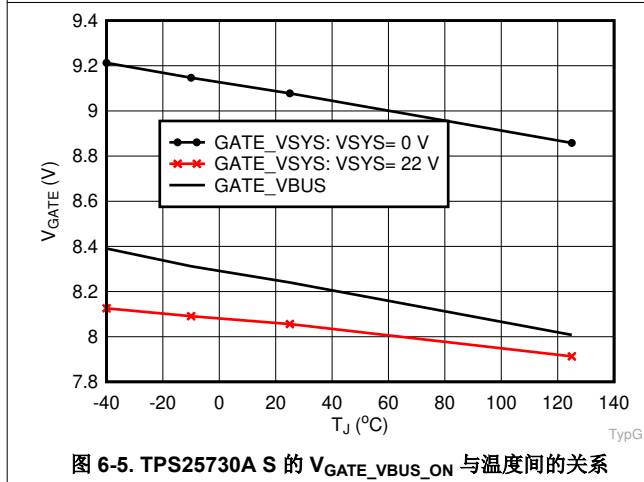
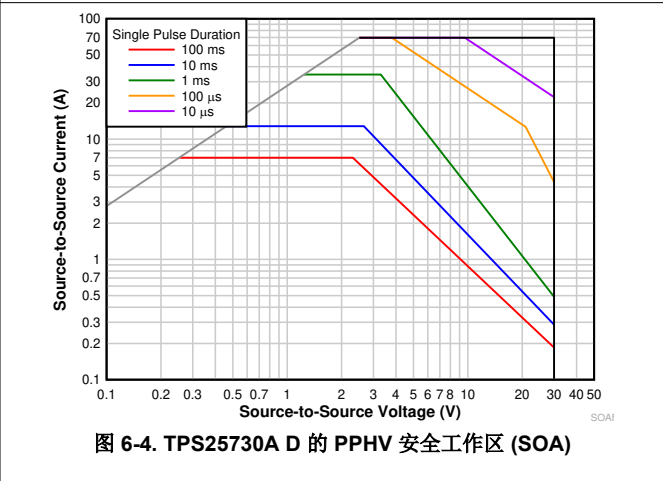
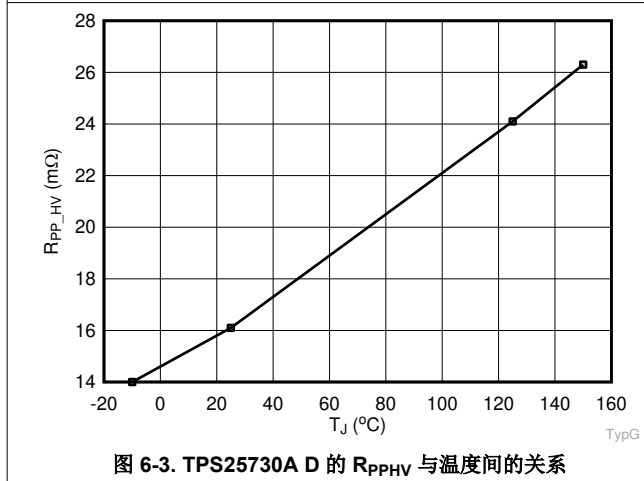
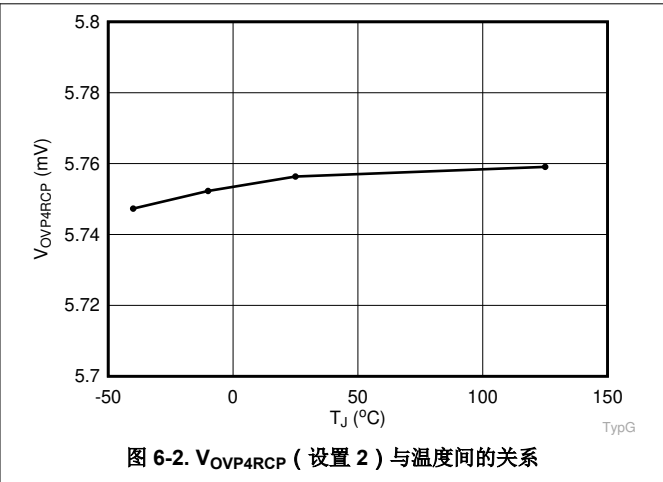
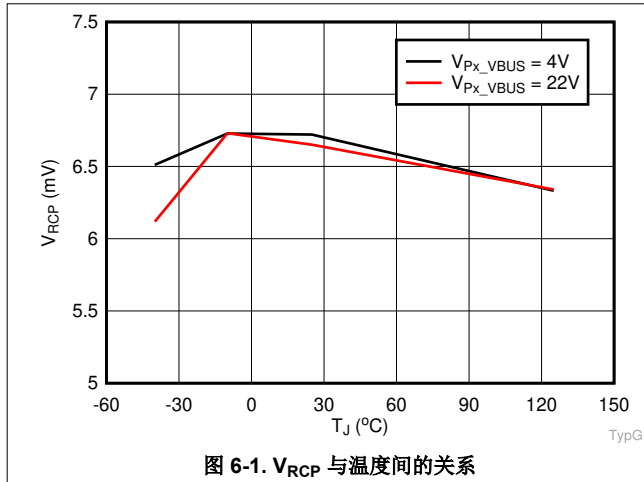
6.16 I2C 要求和特性 (续)

在这些条件下运行 (除非另有说明) : $3V \leq V_{VIN_3V3} \leq 3.6V$

参数		测试条件	最小值	典型值	最大值	单位
OD_VOL_IRQ	低电平输出电压	$I_{OL} = 2mA$			0.4	V
OD_LKG_IRQ	漏电流	输出为高阻态, $V_{I2Cx_IRQ} = 3.45V$	-1		1	μA
SDA 和 SCL 常见特性 (常见特性)						
V_{IL}	输入低电平信号	$V_{LDO_3V3} = 3.3V$			0.54	V
V_{IH}	输入高电平信号	$V_{LDO_3V3} = 3.3V$	1.3			V
V_{HYS}	输入迟滞	$V_{LDO_3V3} = 3.3V$	0.165			V
V_{OL}	输出低电压	$I_{OL} = 3mA$			0.36	V
I_{LEAK}	输入漏电流	引脚上的电压 = V_{LDO_3V3}	-3		3	μA
I_{OL}	最大输出低电平电流	$V_{OL} = 0.4V$	15			mA
I_{OL}	最大输出低电平电流	$V_{OL} = 0.6V$	20			mA
t_f	从 $0.7 \times V_{DD}$ 到 $0.3 \times V_{DD}$ 的下降时间	$V_{DD} = 1.8V, 10pF \leq C_b \leq 400pF$	12		80	ns
		$V_{DD} = 3.3V, 10pF \leq C_b \leq 400pF$	12		150	ns
t_{SP}	I ² C 脉宽被抑制				50	ns
C_1	引脚电容 (内部)				10	pF
C_b	每个总线的容性负载 (外部)				400	pF
SDA 和 SCL 标准模式特性 (目标)						
f_{SCLS}	目标的时钟频率	$V_{DD} = 1.8V$ 或 $3.3V$			100	kHz
$t_{VD;DAT}$	有效数据时间	发送数据, $V_{DD} = 1.8V$ 或 $3.3V$, SCL 低电平至 SDA 输出有效			3.45	μs
$t_{VD;ACK}$	ACK 条件的有效数据时间	发送数据, $V_{DD} = 1.8V$ 或 $3.3V$, ACK 信号从 SCL 低电平至 SDA (输出) 低电平			3.45	μs
SDA 和 SCL 快速模式特性 (目标)						
f_{SCLS}	目标的时钟频率	$V_{DD} = 1.8V$ 或 $3.3V$	100		400	kHz
$t_{VD;DAT}$	有效数据时间	发送数据, $V_{DD} = 1.8V$, SCL 低电平至 SDA 输出有效			0.9	μs
$t_{VD;ACK}$	ACK 条件的有效数据时间	发送数据, $V_{DD} = 1.8V$ 或 $3.3V$, ACK 信号从 SCL 低电平至 SDA (输出) 低电平			0.9	μs
f_{SCLS}	快速模式增强版的时钟频率 ¹	$V_{DD} = 1.8V$ 或 $3.3V$	400		800	kHz
$t_{VD;DAT}$	有效数据时间	发送数据, $V_{DD} = 1.8V$ 或 $3.3V$, SCL 低电平至 SDA 输出有效			0.55	μs
$t_{VD;ACK}$	ACK 条件的有效数据时间	发送数据, $V_{DD} = 1.8V$ 或 $3.3V$, ACK 信号从 SCL 低电平至 SDA (输出) 低电平			0.55	μs

(1) 控制器必须控制 f_{SCLS} 以确保 $t_{LOW} > t_{VD;ACK}$ 。

6.17 典型特性



7 参数测量信息

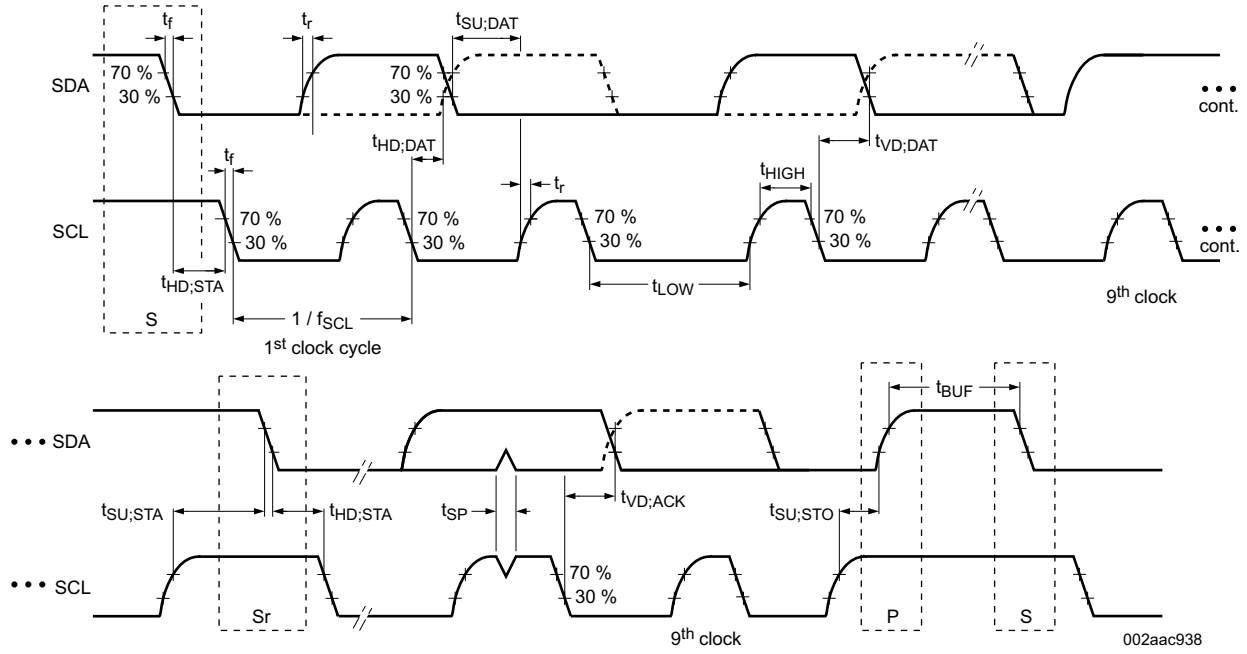


图 7-1. I²C 目标接口时序

8 详细说明

8.1 概述

TPS25730A 是一款完全集成的 USB 电力输送 (USB-USB) 管理器件, 可为 USB Type-C 和 PD 插座提供电缆插拔和方向检测。TPS25730A 与电缆另一端的其他 USB Type-C 和 PD 端口伙伴进行通信。该器件还集成了一个用于受电的大电流端口电源开关。

TPS25730A 分为几个主要部分:

- USB-PD 控制器
- 电缆插拔和方向检测电路
- 端口电源开关
- 电源管理电路
- 数字内核

USB-PD 控制器提供 USB-PD 协议的物理层 (PHY) 功能。USB-PD 数据通过 CC1 引脚或 CC2 引脚输出, 具体取决于可逆 USB Type-C 电缆的方向。如需了解 USB-PD 物理层的简要方框图、功能说明和更详细的电路, 请参阅节 8.3.1。

电缆插拔和方向检测模拟电路会自动检测 USB Type-C 电缆插头插入情况和电缆方向。如需了解电缆插拔和方向检测的简要方框图、功能说明和更详细的电路, 请参阅节 8.3.4。

如需了解端口电源开关的简要方框图、功能说明和更详细的电路, 请参阅节 8.3.3。

电源管理电路接收电源并向 TPS25730A 内部电路和 LDO_3V3 输出供电。有关更多信息, 请参阅节 8.3.2。

数字内核提供了一个引擎来接收、处理和发送所有 USB-PD 数据包, 以及负责控制所有其他 TPS25730A 功能。如需了解数字内核的简要方框图、功能说明和更详细的电路, 请参阅节 8.3.9。

TPS25730A 还集成了热关断机制, 并由集成振荡器提供的精确时钟运行。

8.2 功能方框图

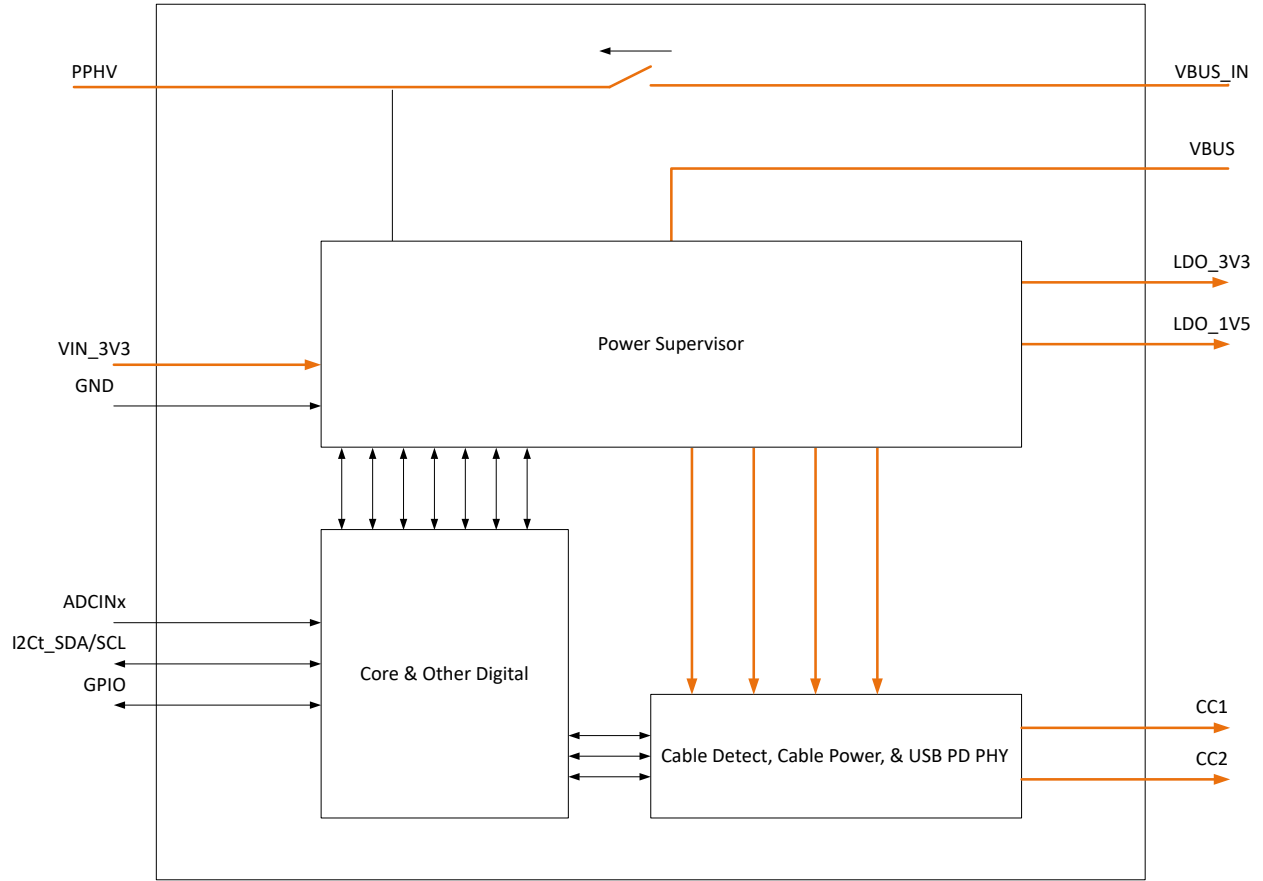


图 8-1. TPS25730AD

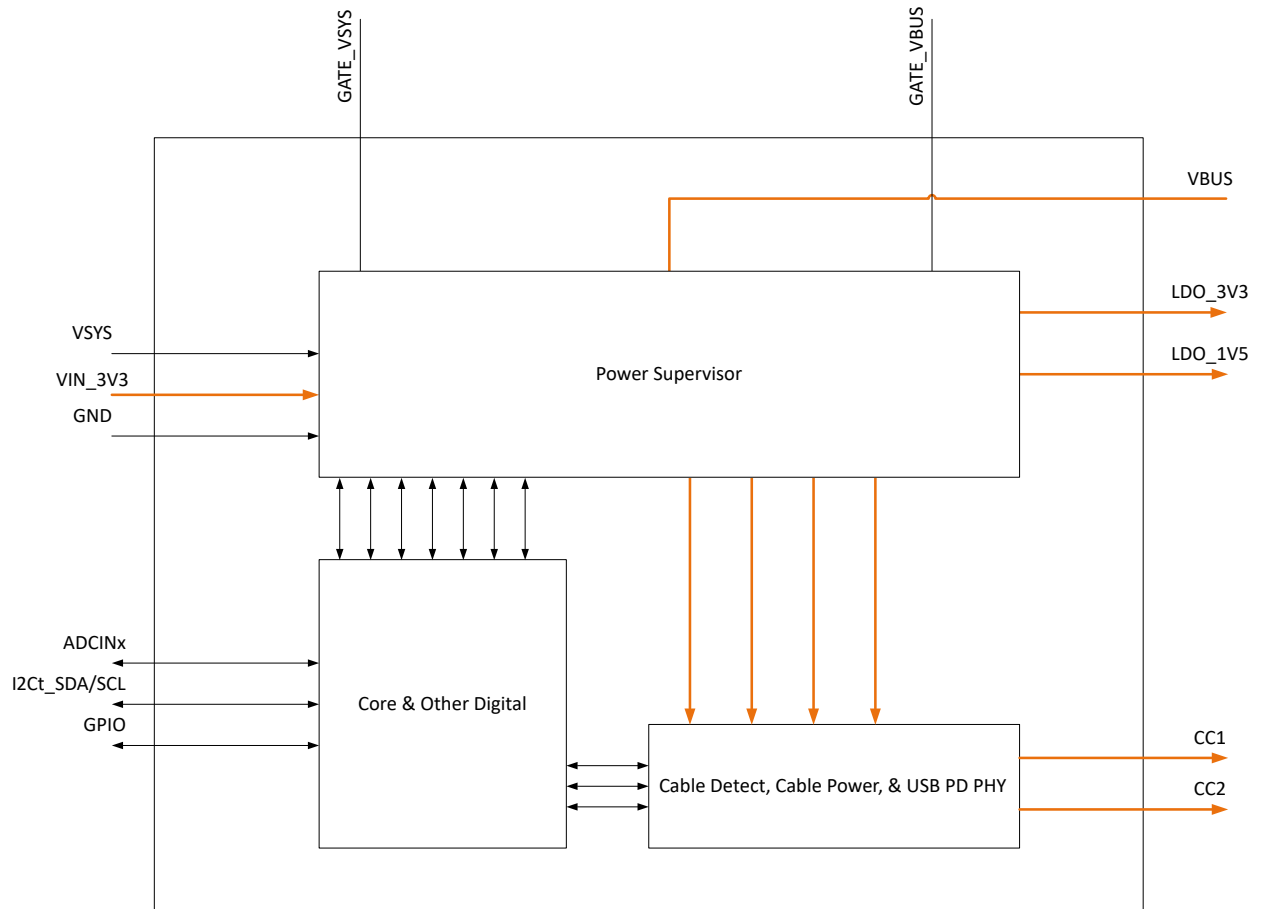


图 8-2. TPS25730AS

8.3 特性说明

8.3.1 USB-PD 物理层

图 8-3 展示了 USB PD 物理层块，周围是简化版模拟插拔和方向检测块。

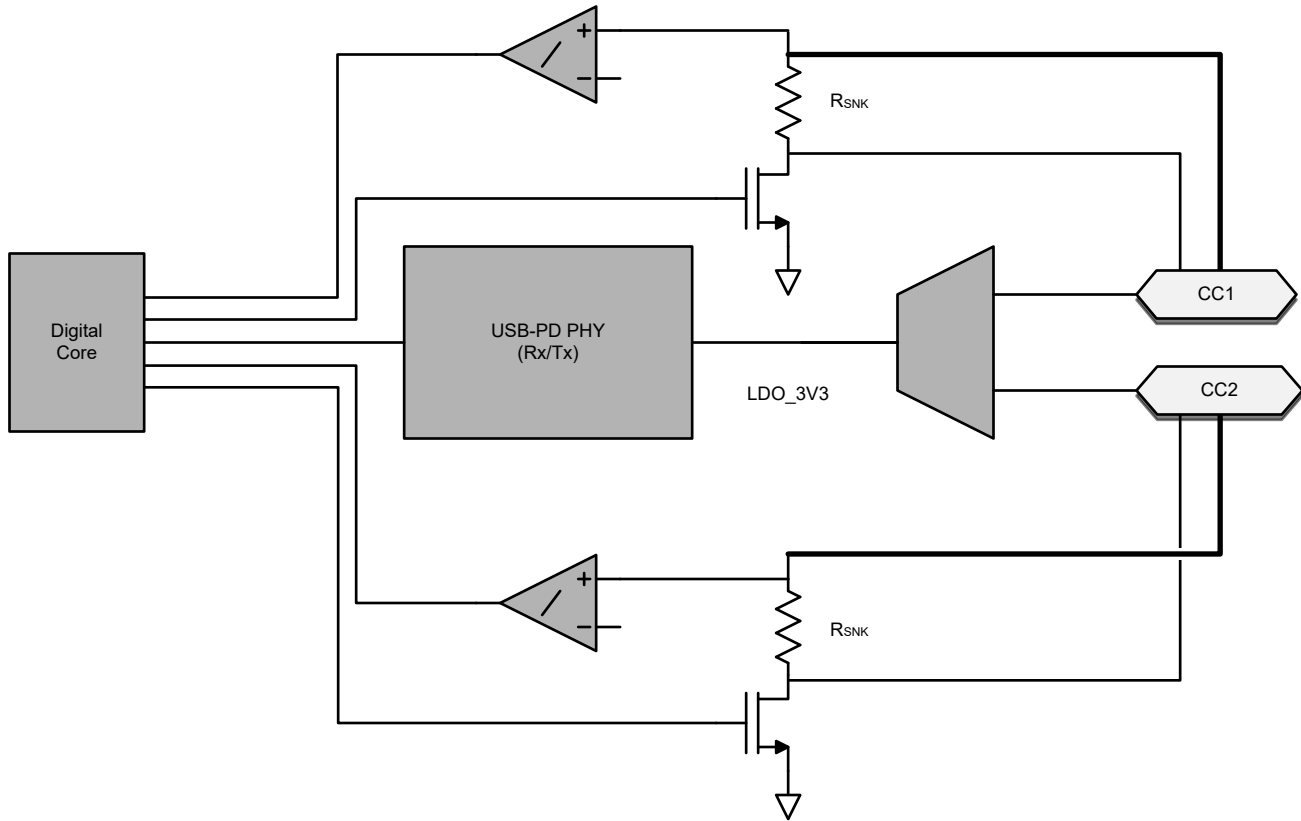


图 8-3. USB-PD 物理层和简化版插拔和方向检测电路

USB-PD 消息在 USB Type-C 系统内用 BMC 信令发送。BMC 信号将在由于 R_p (或 R_d) 电缆连接机制而发生直流偏置的同一引脚 (CC1 或 CC2) 上输出。

8.3.1.1 USB-PD 编码和信令

图 8-4 所示为基带 USB-PD 发送器的简要方框图。图 8-5 所示为基带 USB-PD 接收器的简要方框图。

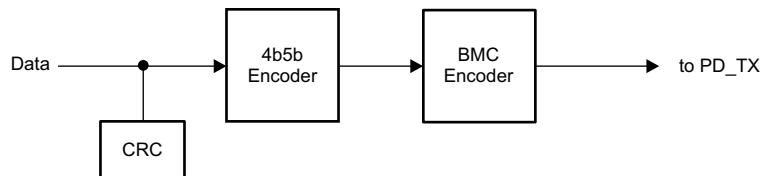


图 8-4. USB-PD 基带发送器方框图

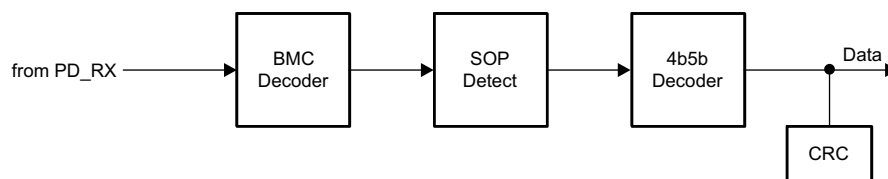


图 8-5. USB-PD 基带接收器方框图

8.3.1.2 USB-PD 双相标记编码

TPS25730A 中实现的 USB-PD 物理层符合 [USB-PD 规范](#)。用于基带 PD 信号的编码方案是一种称为双相标记编码 (BMC) 的曼彻斯特编码版本。在该编码中，每个位时间开始时都会有一次转换，当发送 1 时，位单元中间会有第二次转换。这种编码方案几乎是直流平衡的，具有有限的视差（限制为任意数据包的 1/2 位，因此直流电平非常低）。[双相标记编码示例](#)展示了双相标记编码。

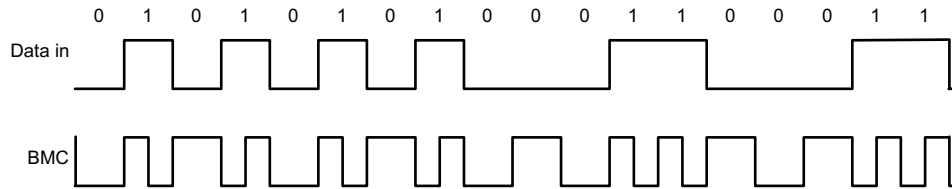


图 8-6. 双相标记编码示例

USB PD 基带信号由三态驱动器驱动至 CC1 或 CC2 引脚。三态驱动器可通过压摆率来限制与 D+/D- 以及 Type-C 全功能电缆中其他信号线的耦合。发送 USB-PD 前导码时，发送器首先发送低电平。另一端的接收器可承受第一个边沿的损耗。发送器以一个边沿终止最后一位，以确保接收器对 EOP 的最后一位进行计时。

8.3.1.3 USB-PD BMC 发送器

TPS25730A 通过给定 CC 引脚对（每个 USB Type-C 端口有一对）的一个 CCy 引脚发送和接收 USB-PD 数据。CCy 引脚还用于确定电缆方向并维持电缆/器件连接检测。因此，CCy 引脚上存在直流偏置。发送器驱动器在发送期间会过驱 CCy 直流偏置，但在不发送时会恢复到高阻态，允许直流电压返回到 CCy 引脚。虽然 CC1 和 CC2 都可以用于发送和接收，但在给定的连接期间，仅使用与插头的 CC 引脚配对的引脚；因此不会在 CC1 和 CC2 之间动态切换。[USB-BMC TX/RX 方框图](#)显示 USB-BMC PD BMC TX 和 RX 驱动器方框图。

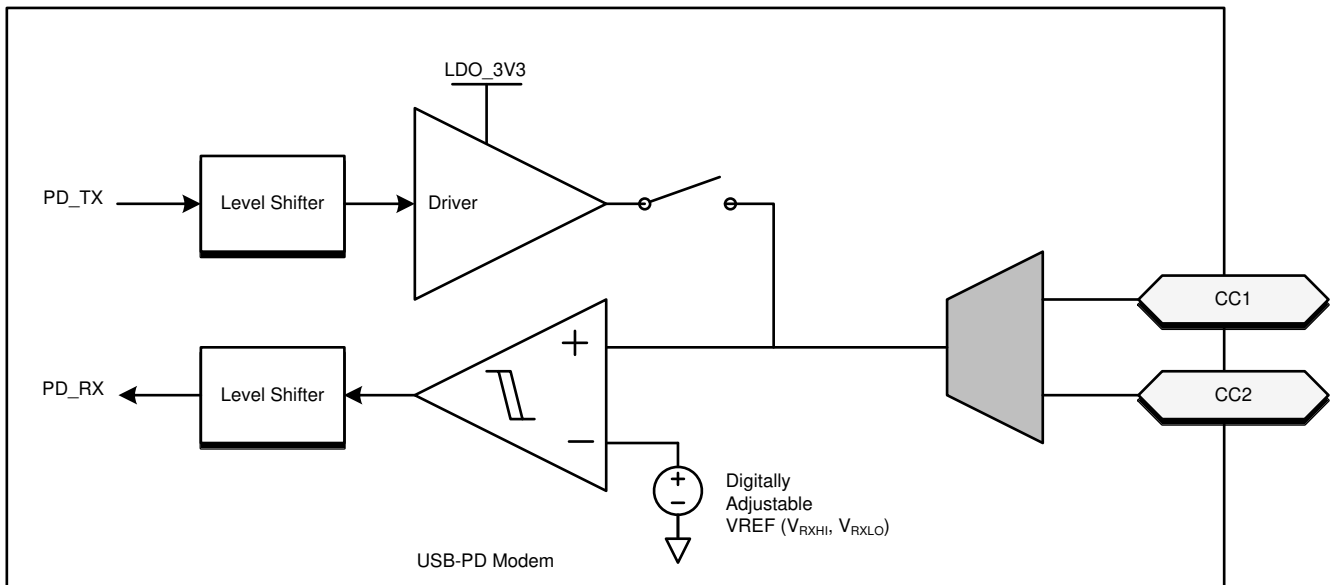


图 8-7. USB-PD BMC TX/RX 方框图

[图 8-8](#) 显示了在直流偏置之上发送 BMC 数据的情况。请注意，直流偏置可以是检测灌接收端连接的最小和最大阈值之间的任何值。此注意事项意味着直流偏置可以高于或低于变送器驱动器的 VOH。

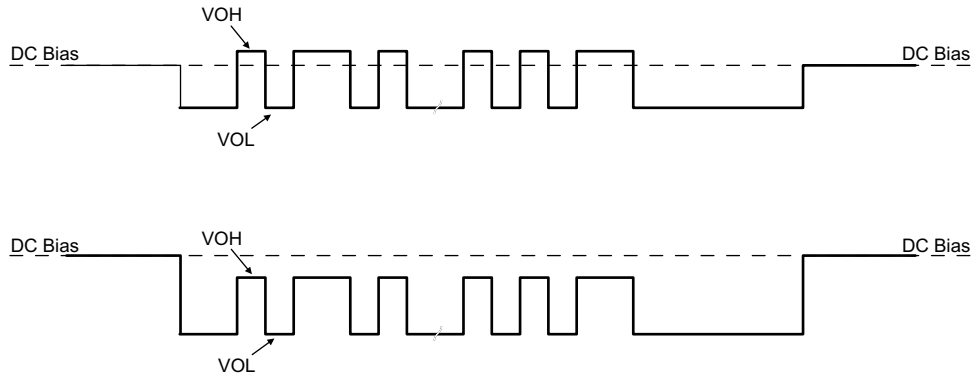


图 8-8. TX 驱动器发送和直流偏置

发送器将数字信号驱动到 CCy 线路上。信号峰值 V_{TXHI} 设置为符合 [USB-PD 规范](#) 中定义的 TX 掩码。请注意，TX 掩码是在电缆的远端测量的。

驱动线路时，发送器驱动器的输出阻抗为 Z_{DRIVER} 。 Z_{DRIVER} 由驱动器电阻和源并联电容决定，与频率有关。 Z_{DRIVER} 会影响电缆中的噪声输入。

[ZDRIVER 电路](#) 显示了确定 Z_{DRIVER} 的简化版电路。该电路符合设计规定，因此接收器上的噪声受限。

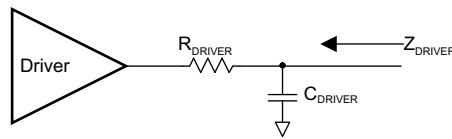


图 8-9. ZDRIVER 电路

8.3.1.4 USB-PD BMC 接收器

TPS25730A 的接收器块可以接收符合 USB PD 规范中允许的 Rx 掩码范围的信号。接收阈值和迟滞来自该掩码。

[USB-PD 多点配置示例](#) 显示了多点 USB-PD 连接（仅 CC 线）的示例。该连接具有典型的接收端（器件）至源端（主机）连接，但也包含电缆 USB-PD Tx/Rx 块。每次只能有一个系统进行发送。所有其他系统都是高阻态 ($Z_{BMC RX}$)。 [USB-PD 规范](#) 中还规定了电线上可能存在的电容以及用于连接检测的典型直流偏置设置电路。

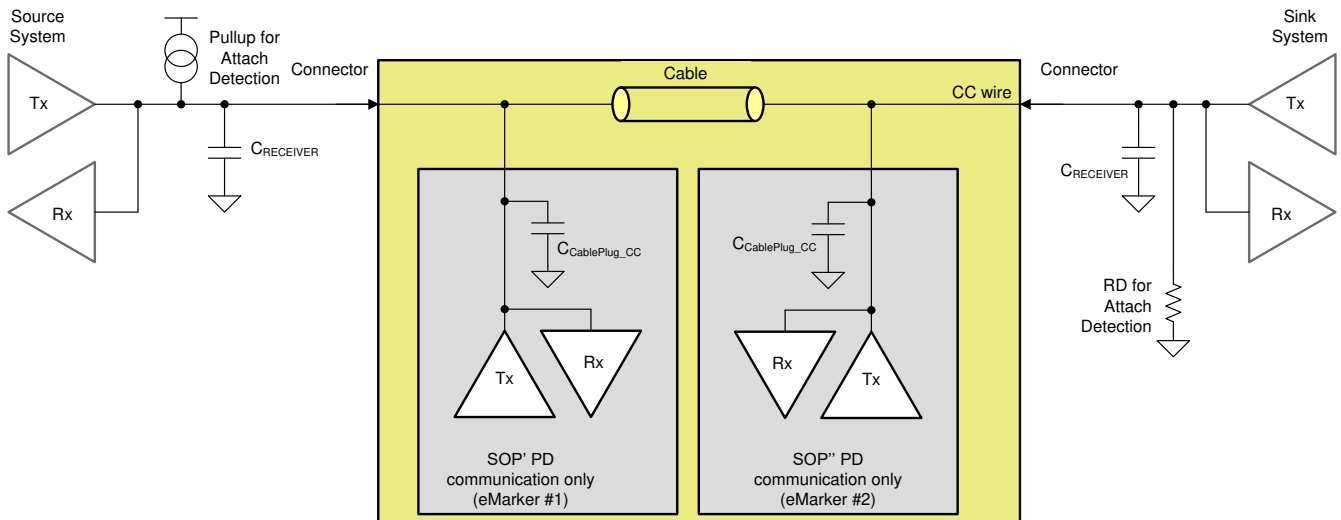


图 8-10. USB-PD 多点配置示例

8.3.1.5 静噪接收器

TPS25730A 有一个静噪接收器可用于监控 USB PD 规范定义的总线空闲状态。

8.3.2 电源管理

TPS25730A 电源管理模块可接收电力并生成电压来为 TPS25730A 内部电路供电。这些生成的电源轨为 LDO_3V3 和 LDO_1V5。LDO_3V3 也可用作外部 EEPROM 存储器的低功耗输出。电源路径如 图 8-11 所示。

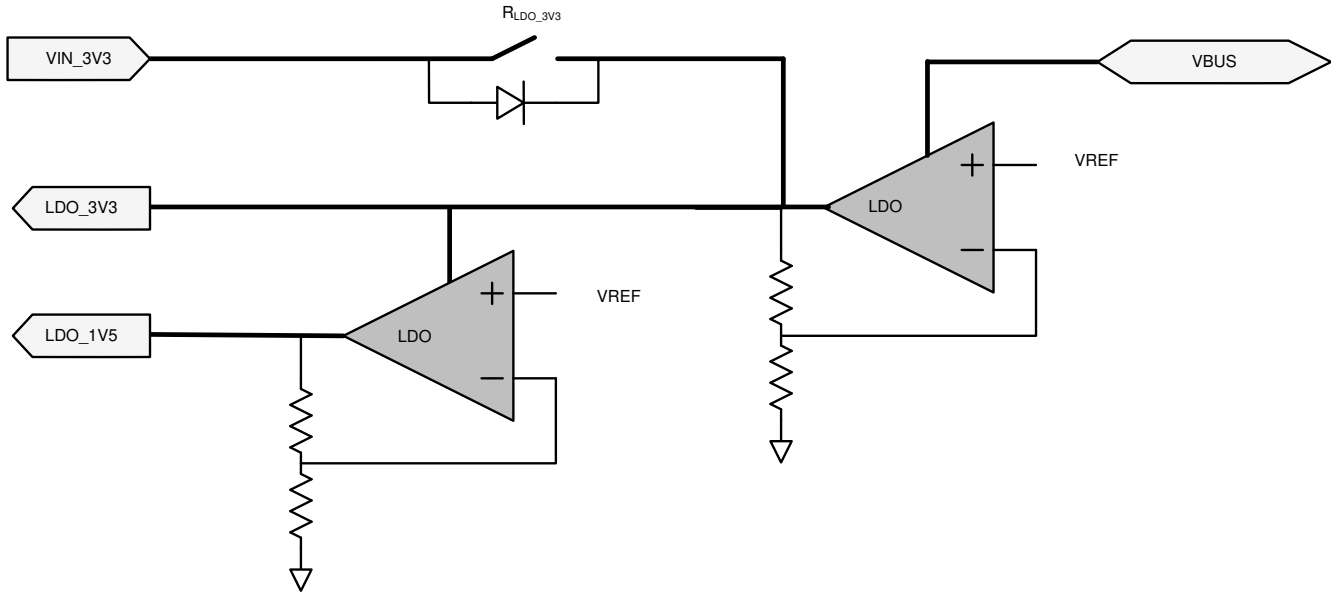


图 8-11. 电源

TPS25730A 由 VIN_3V3 或 VBUS 供电。正常电源输入为 VIN_3V3。从 VIN_3V3 供电时，电流从 VIN_3V3 流向 LDO_3V3，为内核 3.3V 电路和 I/O 供电。第二个 LDO 将电压从 LDO_3V3 降至 LDO_1V5，为 1.5V 内核数字电路供电。当 VIN_3V3 电源不可用且 VBUS 供电时，器件被视为处于电池电量耗尽启动条件。在电池电量耗尽启动情况下，TPS25730A 会打开 VIN_3V3 开关，直到主机通过 I²C 清除电池电量耗尽标志。因此，在电池电量耗尽启动条件下以及电池电量耗尽标志被清除之前，TPS25730A 由 VBUS 输入以更高的电压供电。从 VBUS 输入供电时，VBUS 上的电压通过 LDO 降压至 LDO_3V3。

8.3.2.1 上电和监控功能

上电复位 (POR) 电路会监控每个电源。该 POR 允许工作电路仅在电源正常时导通。

8.3.2.2 VBUS LDO

TPS25730A 包含一个内部高压 LDO，该 LDO 能够将 VBUS 转换为 3.3V，从而为内部器件电路供电。VBUS LDO 在电池电量耗尽情况下使用。（VIN_3V3 为低电平且电池电量耗尽标志已激活）。VBUS LDO 由 VBUS 供电。

8.3.3 电源路径

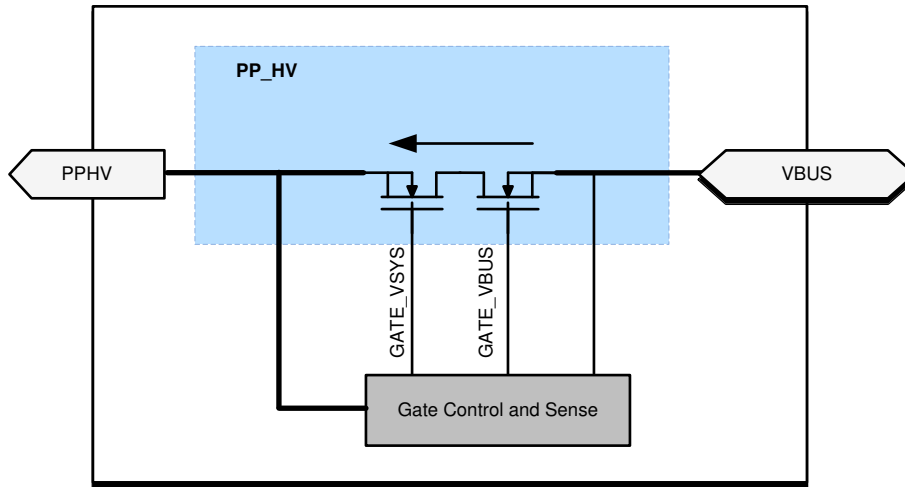
TPS25730AD 具有一个用于受电端电源路径的集成高压负载开关：PPHV。TPS25730AS 具有一个用于灌电流路径控制的高压栅极驱动器：PP_EXT。本节将详细介绍每条电源路径。

8.3.3.1 TPS25730AD 内部灌电流路径

TPS25730AD 对内部 FET (GATE_VSYS 和 GATE_VBUS，如图 8-12 中所示) 具有内部控制功能，这些 FET 要求 VBUS_IN 在启用灌电流路径之前高于 V_{VBUS_UVLO}。图 8-12 展示了灌电流路径图。当受电路径启用后，该电

路包括一个压摆率控制环路，以确保外部开关不会过快导通 (SS)。TPS25730AD 会检测 PPHV 和 VBUS 电压以控制栅极电压，从而启用或禁用 FET。

灌电流路径控制包括过压保护 (OVP) 和反向电流保护 (RCP)。



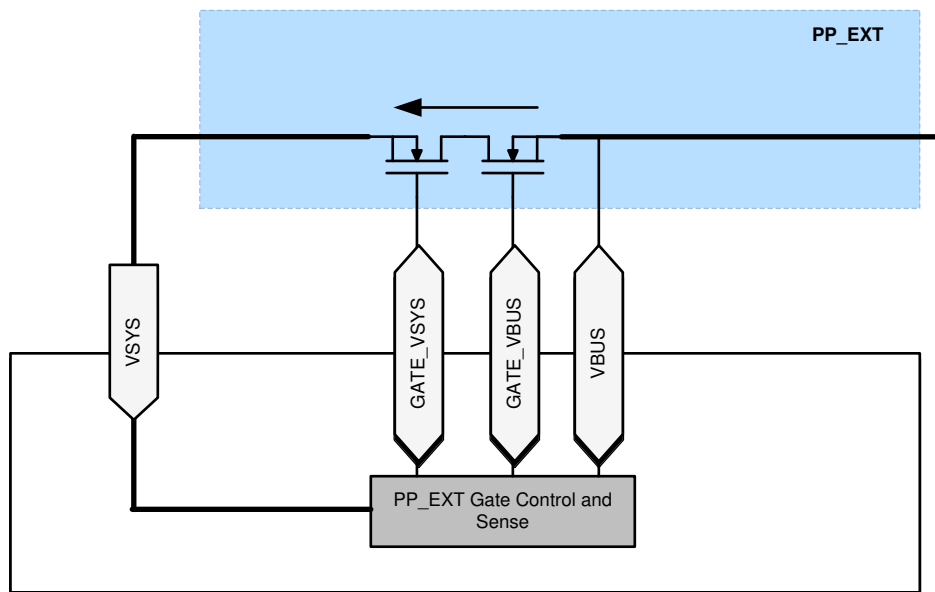
Copyright © 2018, Texas Instruments Incorporated

图 8-12. 内部灌电流路径

8.3.3.2 外部受电路径控制 PP_EXT

TPS25730A S 具有两个 N 沟道栅极驱动器，旨在控制从 VBUS 到 VSYS 的受电路径。这些栅极驱动器的电荷泵要求 VBUS 高于 V_{VBUS_UVLO} 。当受电路径启用后，该电路包括一个压摆率控制环路，以确保外部开关不会过快导通 (SS)。TPS25730A S 会检测 VSYS 和 VBUS 电压以控制栅极电压，从而启用或禁用外部 FET。

受电路径控制包括过压保护 (OVP) 和反向电流保护 (RCP)。添加与 TPS25730A S 的 GATE 引脚和 N 沟道 MOSFET 的 GATE 引脚串联的电阻可延长发生 OVP 或 RCP 时的关断时间。任何此类电阻都必须尽可能小，不得超过 3Ω 。



Copyright © 2018, Texas Instruments Incorporated

图 8-13. PP_EXT 外部灌电流路径控制

VSYS 栅极驱动器的详细信息显示了 GATE_VSYS 栅极驱动器的更多详细信息。

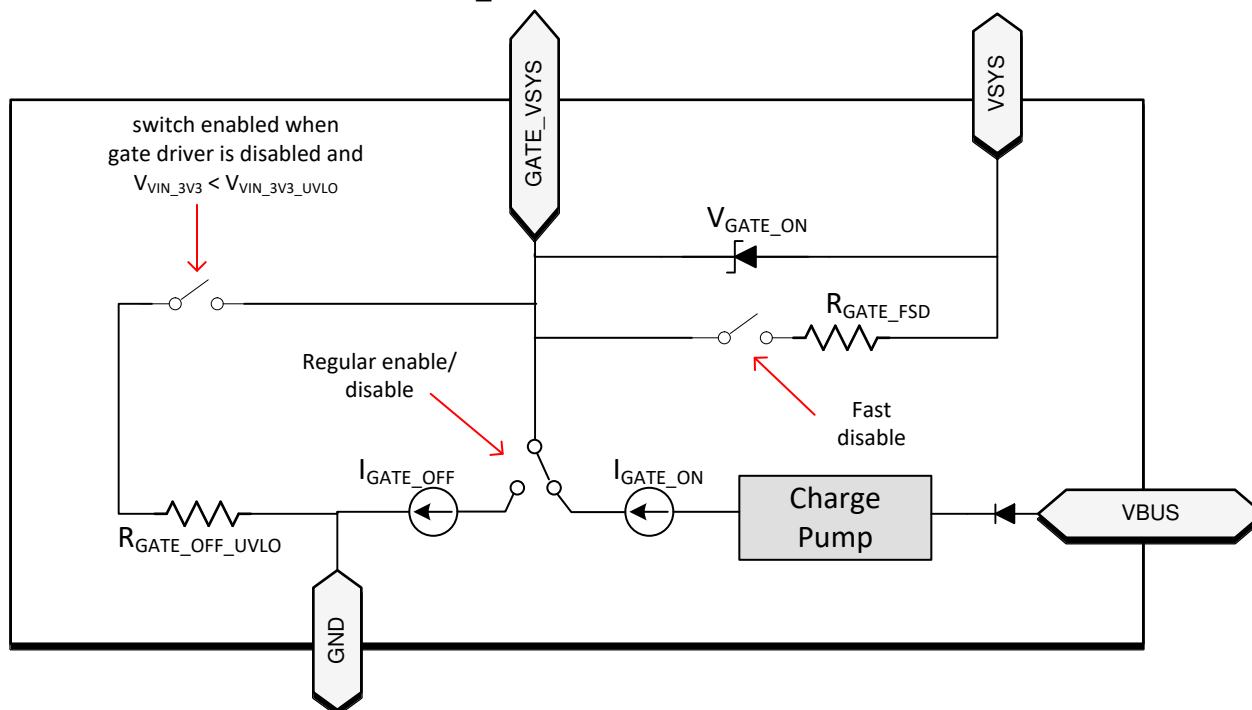


图 8-14. VSYS 栅极驱动器的详细信息

8.3.4 电缆插拔和方向检测

图 8-15 展示了插头和方向检测块的每个 CCy 引脚 (CC1、CC2)。每个引脚都具有相同的检测电路。

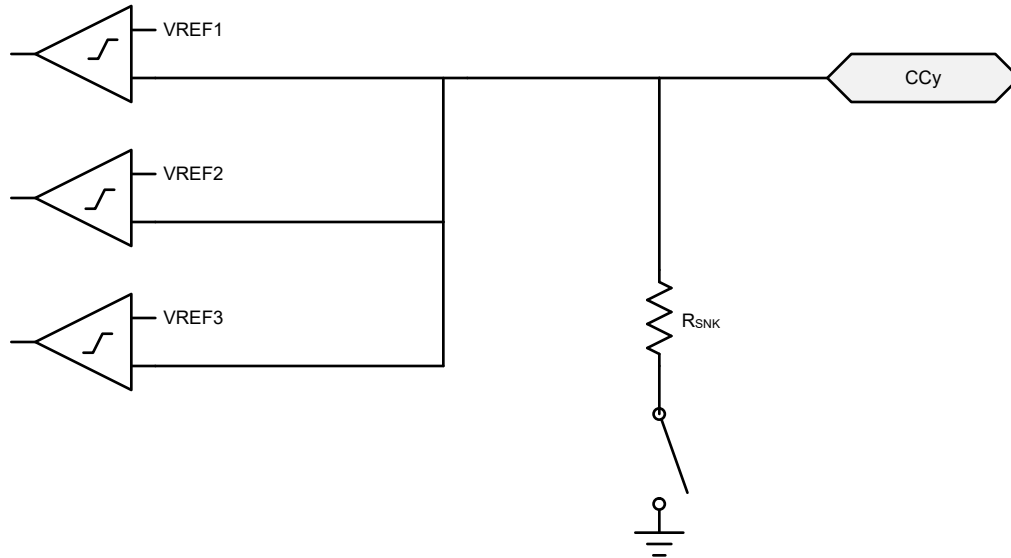


图 8-15. 插头和方向检测块

8.3.5 过压保护 (CC1, CC2)

TPS25730A 会检测 CC1 或 CC2 引脚上的电压何时过高，并采取措施来保护系统。保护措施是禁用 USB PD 发送器。

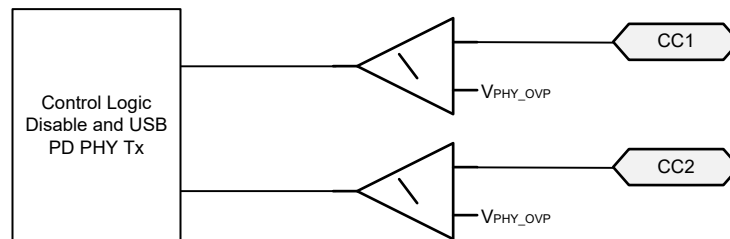


图 8-16. CC1 和 CC2 的过压和反向电流保护

8.3.6 默认行为配置 (ADCINx)

内部 ADC 的 ADCINx 输入控制 TPS25730A 的行为。ADCINx 引脚必须在外部通过电阻分压器连接到 LDO_3V3 引脚，如下图所示。上电时，ADC 转换 ADCINx 电压，数字内核使用这四个值以及 PD5VMAX 来确定启动行为。可用的启动配置包括 I2Ct_SCL/SDA 的 I²C 目标地址和默认配置选项。

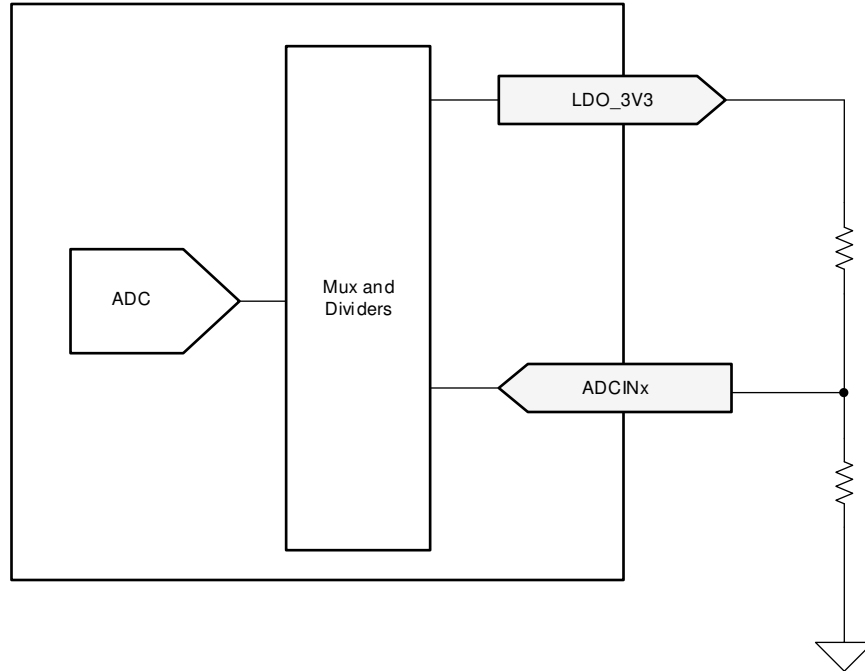


图 8-17. ADCINx 电阻分压器

根据 ADCINx 引脚的解码值，使用多种方法确定器件行为。下表显示了不同电阻分压器分压比的解码值。有关 ADCINx 解码值如何影响默认 I²C 目标地址的详细信息，请参阅 *I²C 地址设置*。

表 8-1. ADCIN1 和 ADCIN2 引脚的解码

DIV = R _{DOWN} / (R _{UP} + R _{DOWN}) ⁽¹⁾			不使用 R _{UP} 或 R _{DOWN}	ADCINx 解码值
最小值	目标	最大值		
0	0.0114	0.0228	连接至 GND	0
0.0229	0.0475	0.0722	不适用	1
0.0723	0.1074	0.1425	不适用	2
0.1425	0.1899	0.2372	不适用	3
0.2373	0.3022	0.3671	不适用	4
0.3672	0.5368	0.7064	连接至 LDO_1V5	5
0.7065	0.8062	0.9060	不适用	6
0.9061	0.9530	1.0	连接至 LDO_3V3	7

(1) 有关 I²C 地址索引的确切含义，请参阅 *I²C 地址设置*。

8.3.7 ADC

TPS25730A ADC 如图 8-18 所示。该 ADC 是一款 8 位逐次逼近 ADC。该 ADC 的输入是一个模拟输入多路复用器，支持器件中各种电压和电流的多个输入。

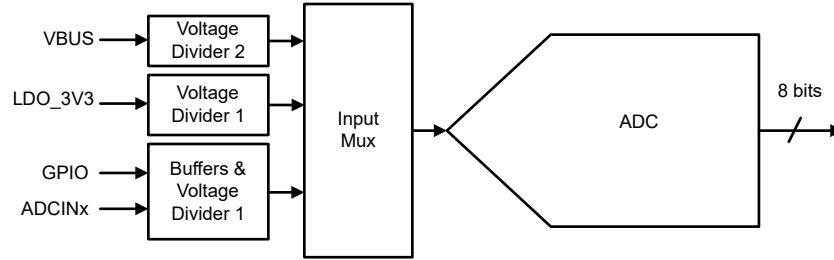


图 8-18. SAR ADC

8.3.8 数字接口

TPS25730A 包含多个不同的数字接口，可用于与其他器件通信。可用接口包括一个 I2C 目标和预配置的 GPIO。

8.3.8.1 GPIO

支持的 GPIO 功能由 PD 控制器本机支持，不需要任何配置。

表 8-2. GPIO 功能表

引脚名称	类型	特殊功能
CAP_MIS	O	当连接的电源无法为系统提供足够的电力时，指示灯闪烁，在 PD 请求中设置“能力不匹配”位
SINK_EN	O	用于控制外部负载开关以向系统受电的低电平有效信号。当系统中未使用 PP_HV 或 PP_EXT 路径时，则会使用 SINK_EN。
PLUG_EVENT	O	向系统指示 Type-C 端口上存在连接。
DBG_ACC	O	向系统指示已在 Type-C 端口上检测到调试附件。
PLUG_FLIP	O	向系统指示电缆方向，其中 CC1 = 0、CC2 = 1
FAULT_IN	I	低电平有效信号，向 PD 控制器指示系统处于故障状态。PD 控制器与 Type-C 端口断开连接并进入 Type-C 错误恢复状态。

8.3.8.2 I²C 接口

TPS25730A 具有一个 I2C 目标接口端口：I2Ct。I2C 端口 I2Ct 由 I2Ct_SDA 和 I2Ct_SCL 引脚组成。此接口提供有关 TPS25730A 的一般状态信息以及控制 TPS25730A 行为的能力，支持与连接的器件和/或支持 BMC USB-PD 的电缆进行通信，并提供有关 USB-C 插座上检测到的连接的信息。

当 TPS25730A 处于“APP”模式时，TI 建议使用标准模式或快速模式（即时钟速度不高于 400kHz）。

表 8-3. I²C 摘要

I ² C 总线	类型	典型用法
I2Ct	目标	可以选择连接到外部 MCU。

8.3.8.2.1 I²C 接口说明

TPS25730A 支持标准模式和快速模式 I²C 接口。双向 I²C 总线由串行时钟 (SCL) 线和串行数据 (SDA) 线组成。这两种线都必须通过上拉电阻器连接至电源。只有当总线处于不忙状态时，才能启动数据传输。

当 SCL 输入为高电平时，控制器将发送启动条件（SDA 输入和输出端由高电平到低电平转换）以启动 I²C 通信。在发送启动条件之后，会发送器件地址字节，首先发送最高有效位 (MSB)，包括数据方向位 (R/W)。

接收到有效地址字节后，该器件以确认 (ACK) 响应，在 ACK 相关时钟脉冲的高电平期间，SDA 输入/输出为低电平。在 I²C 总线上，在每个时钟脉冲期间仅传输一个数据位。在时钟周期的高脉冲期间，SDA 线上的数据必须保持稳定，因为此时数据线上的变化会被解释为控制命令（启动或停止）。控制器会发送停止条件，即当 SCL 输入为高电平时，SDA 输入和输出由低电平到高电平转换。

在开始和停止条件之间，可以将任意数量的数据字节从发送器传输到接收器。每个八位字节后跟一个 ACK 位。发送器必须先释放 SDA 线，接收器才能发送 ACK 位。做出应答的器件必须在 ACK 时钟脉冲期间下拉 SDA 线路，这样，在 ACK 相关时钟周期的高脉冲期间，SDA 线路稳定为低电平。当目标接收器被寻址时，它必须在接收到每个字节后生成一个 ACK。类似地，控制器必须在从目标发送器接收到每个字节之后生成一个 ACK。必须满足设置和保持时间才能维持正常运行。

控制器接收器通过在目标发送器在时钟沿输出最后一个字节后不进行确认 (NACK)，来向目标发送器发送数据结束信号。控制器接收器将 SDA 线保持为高电平，在数据传输结束时发出信号。在这种情况下，发送器必须释放数据线，才能使控制器生成停止条件。

启动和停止条件的 I²C 定义展示了传输的启动和停止条件。I²C 位传输展示了用于传输一个位的 SDA 和 SCL 信号。图 8-21 展示了在最后一个时钟脉冲具有 ACK 或 NACK 的数据传输序列。

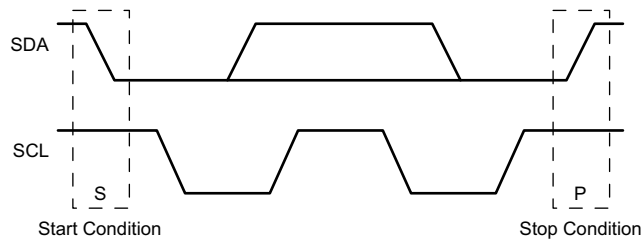


图 8-19. 启动和停止条件的 I²C 定义

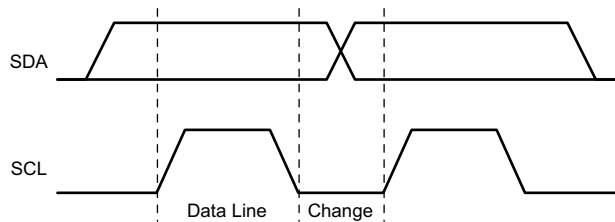


图 8-20. I²C 位传输

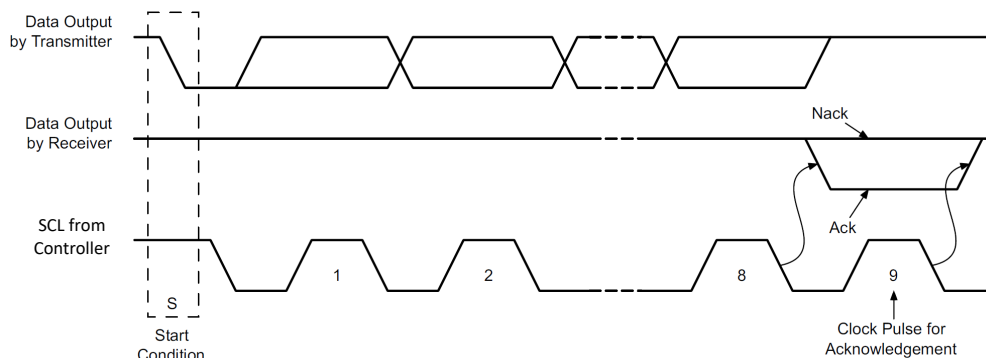


图 8-21. I²C 确认

8.3.8.2.1.1 I²C 时钟延展

TPS25730A 具有适用于 I²C 协议的时钟延展。TPS25730A 目标 I²C 端口可能会在接收（或发送）一个字节后将时钟线 (SCL) 保持为低电平，表示总线尚未准备好处理更多数据。与目标通信的控制器不得完成当前位的发送，必须等待时钟线实际变为高电平。当目标进行时钟延展时，时钟线保持低电平。

控制器需要等待时钟线转换为高电平加上额外的最短时间（在标准 100kbps I²C 中，此时间为 4 μs）后才再次将时钟拉至低电平。

任何时钟脉冲都可以延展，通常延展的是确认位之前或之后的时钟脉冲。

8.3.8.2.1.2 唯一地址接口

唯一地址接口允许 I²C 控制器和单个 TPS25730A 之间进行复杂的交互。I²C 目标子地址用于接收或响应主机接口协议命令。图 8-22 和图 8-23 显示了 I²C 目标接口的写入和读取协议，而图 8-24 中列出了相应的关键字来解释使用的术语。协议图的关键字信息位于 SMBus 规范中，并在此处进行了部分复述。

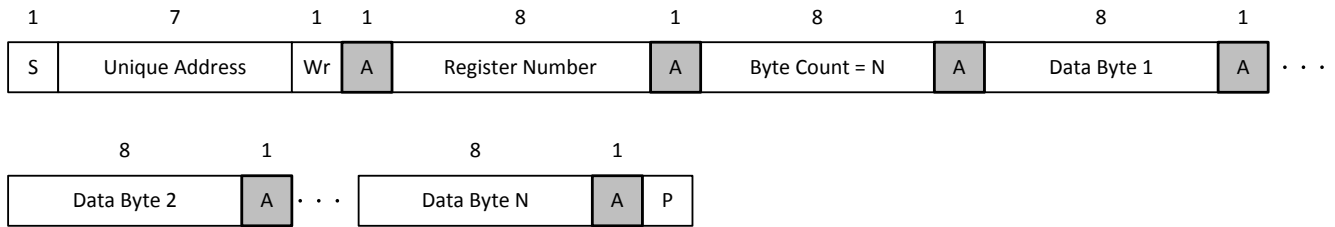


图 8-22. I²C 唯一地址写入寄存器协议

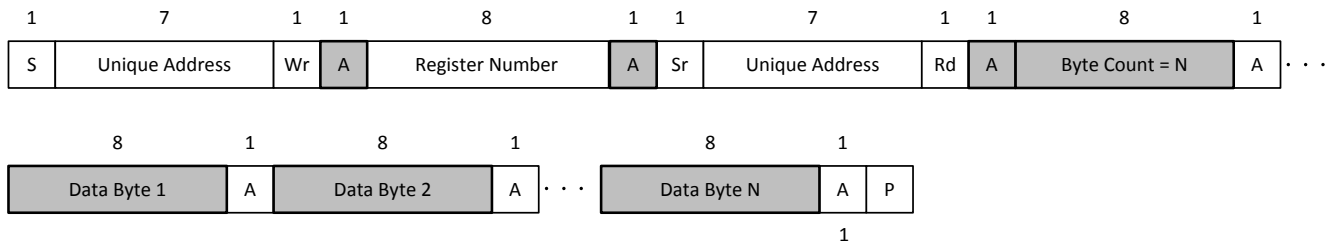
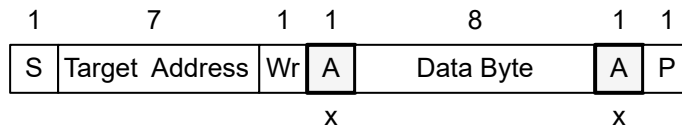
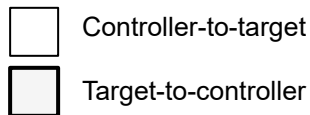


图 8-23. I²C 唯一地址读取寄存器协议



- S Start condition
- SR Repeated start condition
- Rd Read (bit value of 1)
- Wr Write (bit value of 0)
- X Field is required to have the value x
- A Acknowledge (this bit position is either 0 for an ACK or 1 for a NACK)
- P Stop condition



• • • Continuation of protocol

图 8-24. I²C 读取/写入协议关键字

8.3.8.2.1.3 通过搭接引脚配置默认行为

在引导过程中，器件会读取 ADCINx 引脚，并根据下表设置 I²C 地址和配置。

表 8-4. 采用 ADCIN1、ADCIN2 和 PD5VMAX 的器件 I2C 配置

ADCIN1 解码值 (最小电压) ⁽¹⁾	ADCIN2 解码值 (最大电压) ⁽¹⁾	PD5VMAX 解码值 (最大电压)	I2C 地址	电池电量耗尽配置
0 (5V)	不适用	1 (5V)	0x20	EnableSinkAfterContract : 器件在进入显式 PD 合约时启用受电路径。
0 (5V)	7 (20V)	0	0x20	
1 (9V)	7 (20V)	0	0x21	
2 (12V)	7 (20V)	0	0x20	
3 (15V)	7 (20V)	0	0x21	
4 (20V)	7 (20V)	0	0x20	
0 (5V)	5 (15V)	0	0x20	
1 (9V)	5 (15V)	0	0x21	
2 (12V)	5 (15V)	0	0x20	
3 (15V)	5 (15V)	0	0x21	
0 (5V)	3 (12V)	0	0x20	
1 (9V)	3 (12V)	0	0x21	
2 (12V)	3 (12V)	0	0x20	
0 (5V)	1 (9V)	0	0x20	
1 (9V)	1 (9V)	0	0x21	

(1) 有关如何配置给定的 ADCINx 解码值，请参阅节 8.3.6。

8.3.9 数字内核

图 8-25 展示了数字内核的简化版方框图。

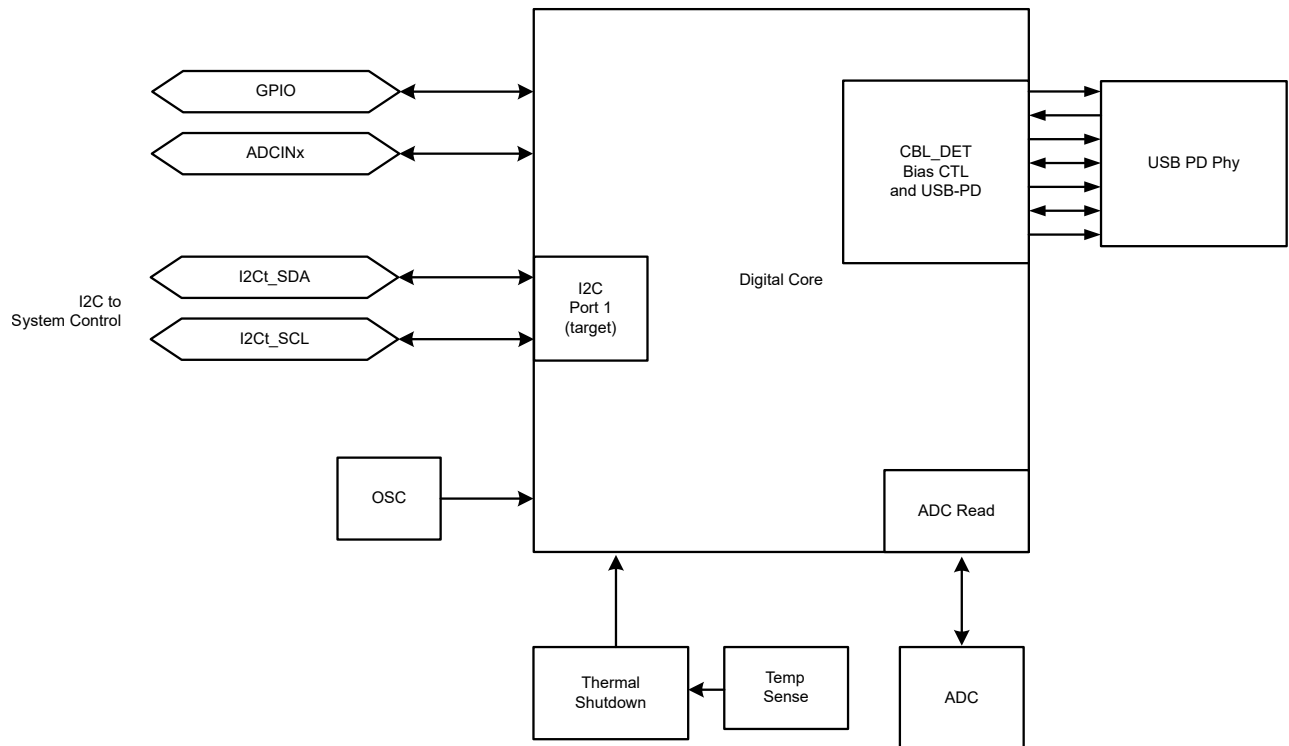


图 8-25. 数字内核方框图

8.3.10 最小电压配置

USB 电力输送受电能力的最小电压可根据下表进行设置。当接收到的 USB PD 供电能力不符合基于最小和最大电压以及工作电流和最大电流所要求的功率范围时，会根据 USB PD 请求设置“能力不匹配”位。当最小电压设置为大于 5V 时，将设置受电能力中的“较高能力”位。

表 8-5. 受电能力的最小电压配置 - ADCIN1 解码

ADCIN1 解码值	最小电压配置
0	5V
1	9V
2	12V
3	15V
4	20V
5	保留
6	保留
7	保留

8.3.11 最大电压配置

USB 电力输送受电能力的最大电压根据下表进行设置。当接收到的 USB PD 供电能力不符合最小和最大电压范围时，会根据 USB PD 请求设置“能力不匹配”位。

表 8-6. 受电能力的最大电压配置 - ADCIN2 解码

ADCIN2 解码值	PD5VMAX 解码值	最大电压配置	在能力不匹配时自动禁用受电端
0	1	5V	是
1	1	5V	否
0	0	9V	是
1	0	9V	否
2	0	12V	是
3	0	12V	否
4	0	15V	是
5	0	15V	否
6	0	20V	是
7	0	20V	否

8.3.12 灌电流配置

根据表 8-7 配置灌电流。该配置会在 USB PD 请求消息中设置最大电流。工作电流定义为受电端正常工作所需的电流。最大电流定义为受电端可以使用的最大电流。如果工作电流是受电端正常工作所需的最大电流，则工作电流和最大电流可以相同。当 PD 供电能力不满足器件所需的功率（由最小电压和工作电流设置定义）时，会设置“能力不匹配”位。当工作电流设置为 0A 时，不会设置“能力不匹配”位。

表 8-7. ADCIN3 和 ADCIN4 灌电流配置

ADCIN3	ADCIN4	工作电流	最大电流
0	0	0	1.5A
0	1	0	3A
0	2	0	4A

表 8-7. ADCIN3 和 ADCIN4 灌电流配置 (续)

ADCIN3	ADCIN4	工作电流	最大电流
0	3	0	5A
0	4	0.5A	1.5A
0	5	0.5A	3A
0	6	0.5A	4A
0	7	0.5A	5A
1	0	1A	1.5A
1	1	1A	3A
1	2	1A	4A
1	3	1A	5A
1	4	1.5A	1.5A
1	5	1.5A	3A
1	6	1.5A	4A
1	7	1.5A	5A
2	1	2A	3A
2	2	2A	4A
2	3	2A	5A
2	5	2.5A	3A
2	6	2.5A	4A
2	7	2.5A	5A
3	1	3A	3A
3	2	3A	4A
3	3	3A	5A
3	6	3.5A	4A
3	7	3.5A	5A
4	2	4A	4A
4	3	4A	5A
4	7	4.5A	5A
5	3	5A	5A

8.3.13 自动协商受电最小功率

所需的最小功率由工作电流配置乘以最小电压配置确定。当接收到的 PD 供电能力功率不符合自动协商最小受电功率时，会在 PD 请求消息中设置“能力不匹配”位。

表 8-8. 自动协商受电最小功率示例

ADCIN1	ADCIN2	最小电压	最大电压	ADCIN3	ADCIN4	工作电流	最大电流	最小功率
0	5	5V	15V	3	1	3A	3A	15W
0	7	5V	20V	5	3	5A	5A	25W

8.3.14 扩展受电方能力电力输送功率

最小、运行和最大 PDP 的扩展受电方能力电力输送功率由配置的最大/最小电压配置和电流配置决定。

表 8-9. 扩展受电方能力电力输送功率示例

电力输送功率	ADCIN3/4 = 3/3	ADCIN1/2 = 0/6
最小 PDP = 25W	最大电流 = 5A	最小电压 = 5V

表 8-9. 扩展受电方能力电力输送功率示例 (续)

电力输送功率	ADCIN3/4 = 3/3	ADCIN1/2 = 0/6
工作 PDP = 100W	最大电流 = 5A	最大电压 = 20V
最大 PDP = 100W	最大电流 = 5A	最大电压 = 20V

8.4 器件功能模式

8.4.1 电源状态

TPS25730A 可在三种不同的电源状态之一下运行：工作、空闲或睡眠。现代待机模式是空闲模式的一个特殊情况。表 8-10 中总结了每个状态下可用的功能。该器件会根据处于运行状态和需要的电路在三种电源状态之间自动转换。请参阅图 8-26。在睡眠状态下，TPS25730A 会检测 Type-C 连接。在工作模式与空闲模式之间转换需要一段时间 (T)，而不执行以下任何活动：

- 传入的 USB PD 消息
- CC 状态变化
- GPIO 输入事件
- I²C 事务
- 电压警报
- 故障警报

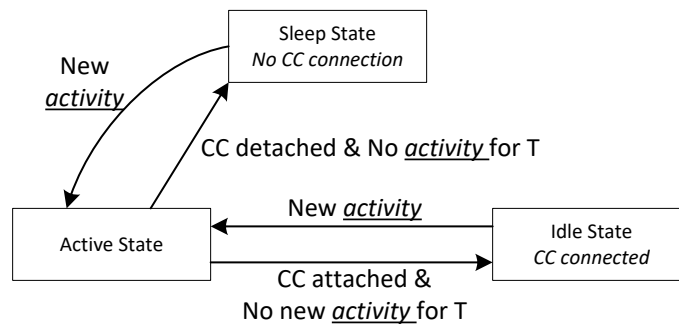


图 8-26. 电源状态的流程图

表 8-10. 功耗状态

	工作灌电流模式 ⁽³⁾	空闲灌电流模式	现代待机灌电流模式 ⁽²⁾	睡眠模式 ⁽¹⁾
PP_HV (TPS25730AD)	启用	启用	禁用	禁用
PP_EXT (TPS25730AS)	启用	启用	禁用	禁用
外部 CC1 终端	Rp 3.0A	Rp 3.0A	开路	开路
外部 CC2 端接	开路	开路	开路	开路

(1) 该模式用于： $I_{VIN_3V3,Sleep}$

(2) 该模式用于： $P_{MstbySnk}$

(3) 该模式用于： $I_{VIN_3V3,ActSnk}$

8.4.2 肖特基器件可提供电流浪涌保护

为了防止因电缆中的电感效应而导致突然断开时有较大接地电流流入 TPS25730A，TI 建议在 VBUS 和接地之间放置一个肖特基二极管。

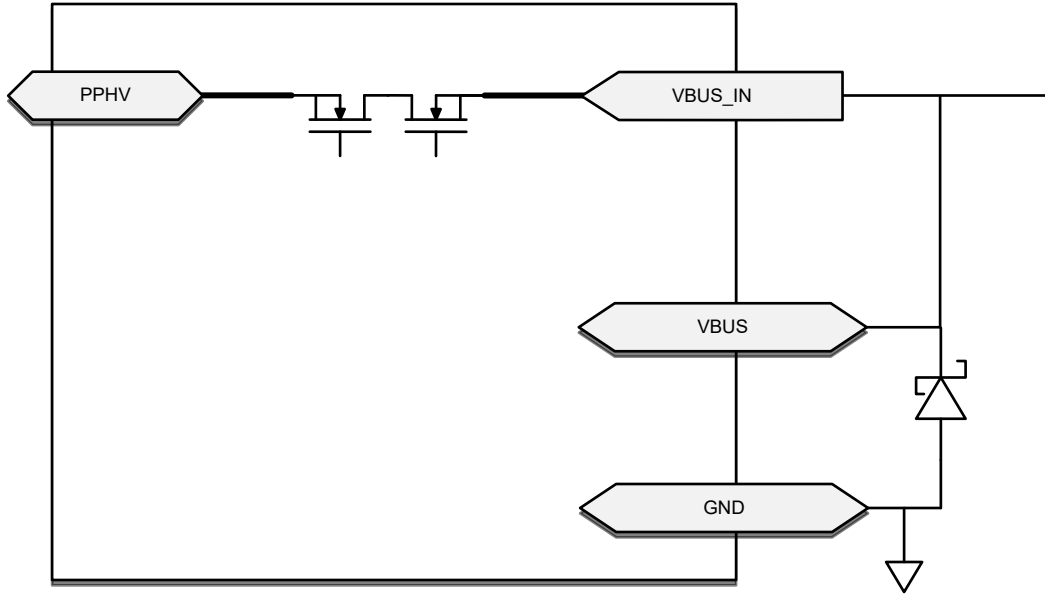


图 8-27. TPS25730AD 肖特基器件可提供电流浪涌保护

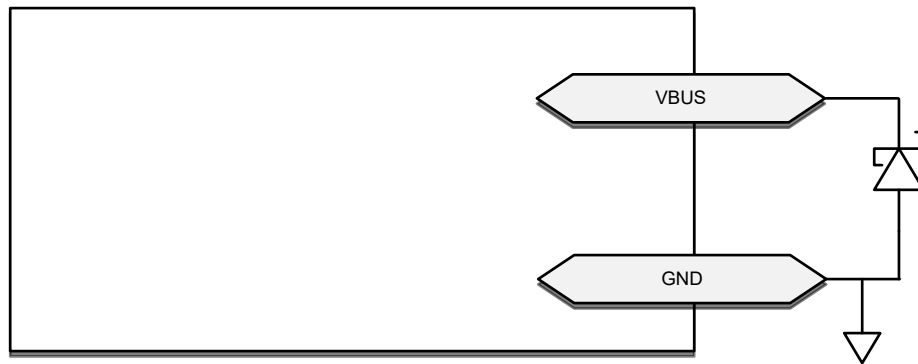


图 8-28. TPS25730AS 肖特基器件可提供电流浪涌保护

8.4.3 热关断

TPS25730A 在每个内部电源路径中都具有中央热关断功能以及独立热传感器。中央热关断功能会监测芯片的整体温度，并在芯片温度超过 T_{SD_MAIN} 的上升温度时禁用除监控电路之外的所有功能。温度关断具有的迟滞为 T_{SDH_MAIN} ，当温度降至低于该值时，器件会恢复正常运行。

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

9.1 应用信息

TPS25730A 是一款高度集成的独立式 USB Type-C 和电力传输 (PD) 器件，针对纯接收应用进行了优化。TPS25730A 电压和电流要求可通过电阻器引脚搭接完全配置。无需外部 EEPROM、外部微控制器或任何固件开发。

受电端电源配置

TPS25730A 根据受电能力配置选择要请求的电源数据对象 (PDO)。受电能力根据 ADCINx 设置配置，如下表所示。

表 9-1. TPS25730A 发送受电端能力

电源数据对象 (PDO)	受电能力
PDO 1	固定电源 工作电流 = ADCIN3 电压 = 5V
PDO 2	可变电源 工作电流 = ADCIN4 最小电压 = ADCIN1 最大电压 = ADCIN2 (1)

(1) 对于仅 5V 应用，最大电压设置为 PD5VMAX

9.2 典型应用

9.2.1 设计要求

对于桶形插孔替代应用，TPS25730A 配置为根据系统所需的电压协商 PD 合约。TPS25730A 支持 5V、9V、12V、15V 和 20V 电压，电流高达 5A。通过 PD 控制器上的电源路径从 VBUS 为系统供电。

9.2.2 详细设计过程

TPS25730A 上的 ADCINx 引脚配置允许用户选择支持的电压和电流范围。下表显示了 9V 系统受电路径行为的两个示例。

示例	ADCIN1	ADCIN2	最小电压	最大电压	ADCIN3	ADCIN4	工作电流	最大电流	最小功率	能力不匹配时自动禁用受电路径
A	1	1	9V	9V	3	1	3A	3A	27W	否
B	1	0	9V	9V	3	1	3A	3A	27W	是

A：如果插入了 5V/3A PD 电源适配器，TPS25730A 会将“能力不匹配”位置为有效。受电路径已启用并允许 5V 电压通过系统。请参阅图 9-1

B：如果插入了 5V/3A PD 电源适配器，TPS25730A 会将“能力不匹配”位置为有效。受电路径已禁用并阻止 5V 电压通过系统。请参阅图 9-2

9.2.3 应用曲线

下图显示了各种条件下 GPIO、VBUS、CC1、CC2 和 PPHV 的工作状态。

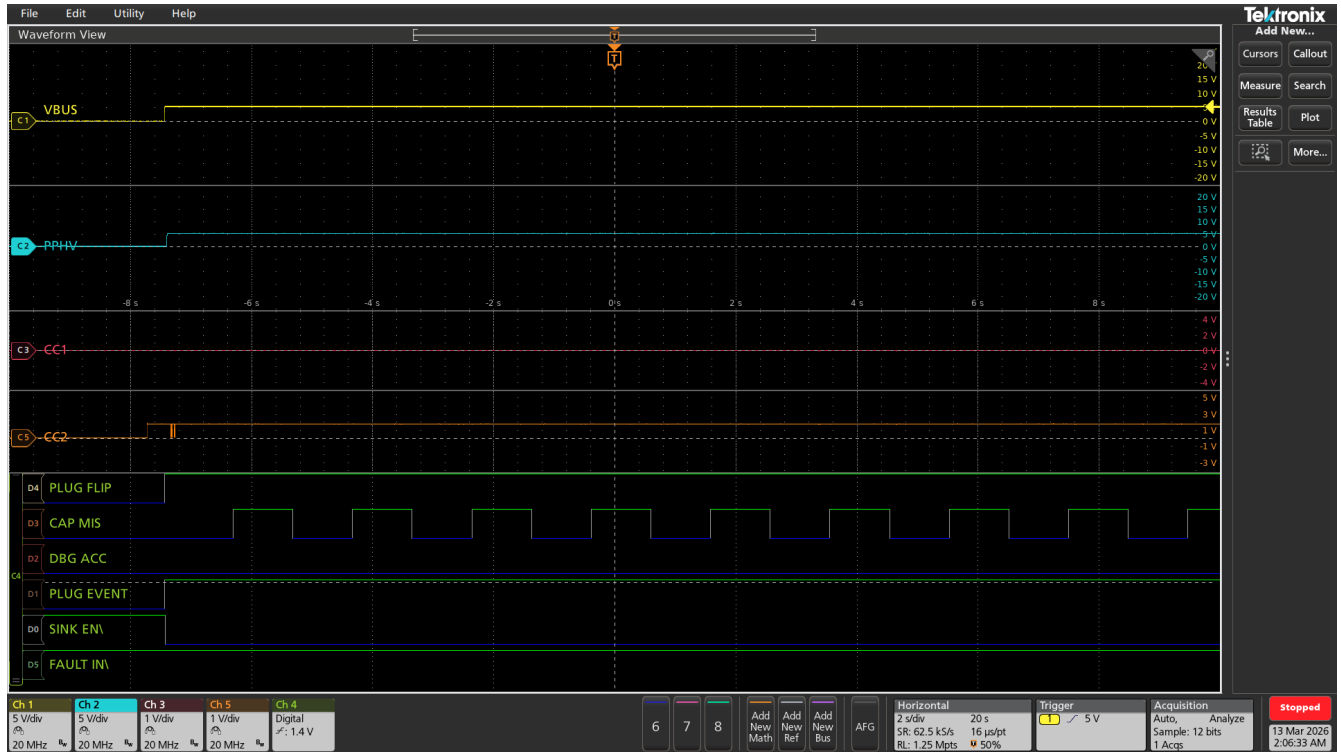


图 9-1. PD 合约 (能力不匹配且 PPHV 已启用)



图 9-2. PD 合约 (能力不匹配且 PPHV 已禁用)

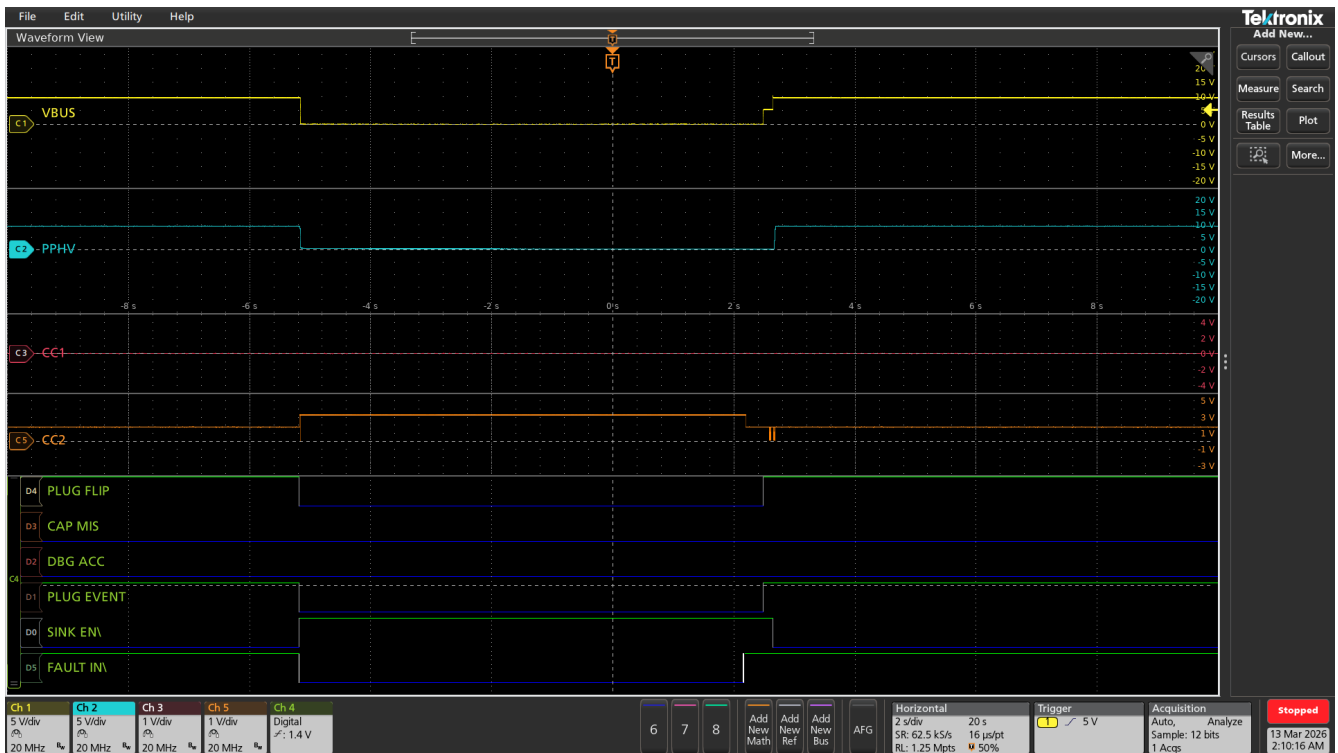


图 9-3. PD 合约 (FAULT_IN 置为有效且 VBUS 已断开)

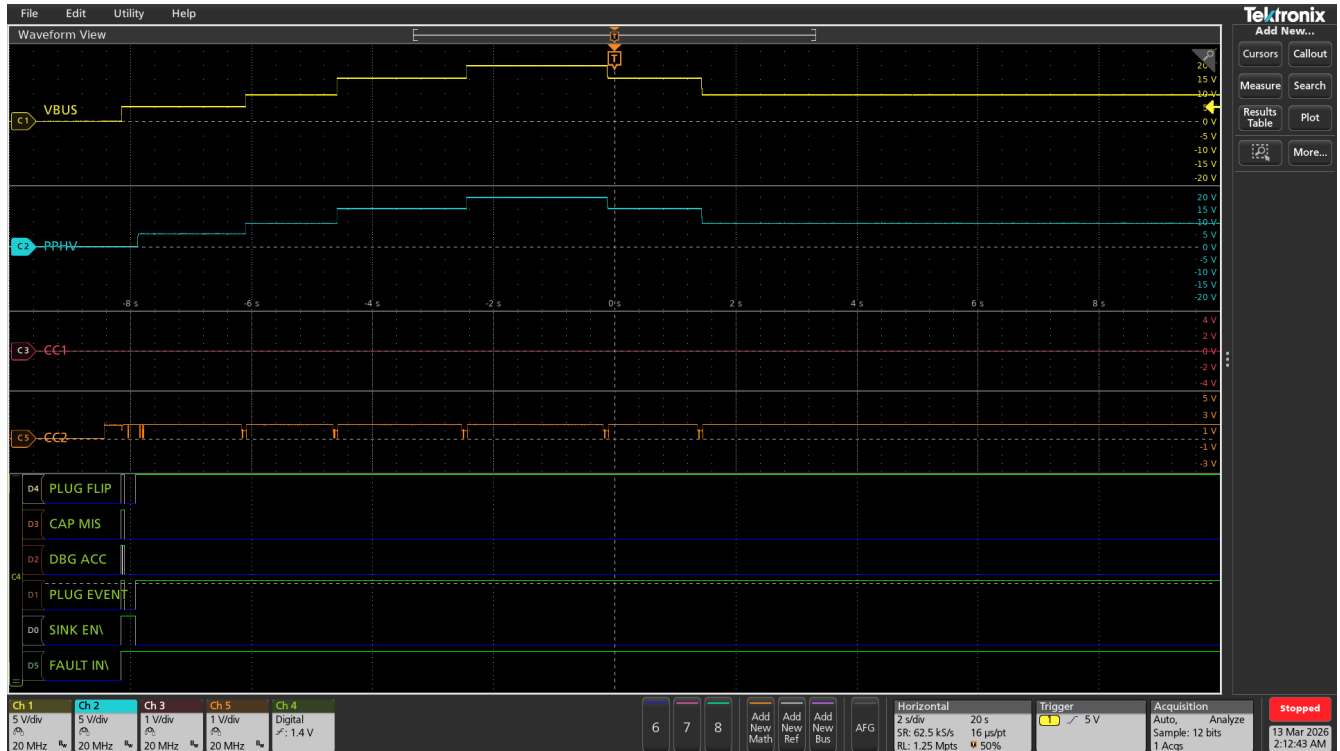


图 9-4. 5V、9V、15V 和 20V 的 PD 合约协商

9.3 电源相关建议

9.3.1 3.3V 电源

9.3.1.1 VIN_3V3 输入开关

VIN_3V3 输入是 TPS25730A 器件的主电源。VIN_3V3 开关 (请参阅 节 8.3.2) 是从 VIN_3V3 到 LDO_3V3 的单向开关, 不允许电流从 LDO_3V3 回流到 VIN_3V3。当 3.3V 电源可用并且电池电量耗尽标志被清除时, 此开关接通。建议电容 C_{VIN_3V3} (请参阅 节 6.4) 必须从 VIN_3V3 引脚连接到 GND 引脚。请勿将 VIN_3V3 直接连接至 VBUS。VIN_3V3 应通过恒定外部电源提供电压。

9.3.2 1.5V 电源

内部电路由 1.5V 电源供电。1.5V LDO 将电压从 LDO_3V3 降至 1.5V。1.5V LDO 为包括数字内核和存储器在内的所有内部低压数字电路供电。1.5V LDO 还可为所有内部低压模拟电路供电。将建议电容 C_{LDO_1V5} (请参阅 节 6.4) 从 LDO_1V5 引脚连接到 GND 引脚。

9.3.3 建议的电源负载电容

节 6.4 列出了各种电源的建议电路板电容。典型电容是标称额定电容, 必须将其放置在电路板上尽可能靠近引脚的位置。不得超过指定的引脚的最大电容。最小电容允许容差和电压降额, 确保正常运行。

9.4 布局

9.4.1 TPS25730AD — 布局

9.4.1.1 布局指南

适当的布线和放置可保持高速信号的完整性并改善电源路径的散热。如果遵循以下指南, 则可轻松实现电源和高速数据信号的组合。最佳实践是咨询电路板制造部门以验证制造能力。

9.4.1.1.1 元件顶部放置、底部放置和布局

当 TPS25730A 置于顶部且其元件置于底部时，解决方案尺寸最小。

9.4.1.2 布局示例

请遵循由其规格定义的超高速/高速信号的差分阻抗 (USB2.0)。所有 I/O 均被扇出以提供一个布线输出所有引脚的示例，并非所有设计都利用 TPS25730A 上的所有 I/O。

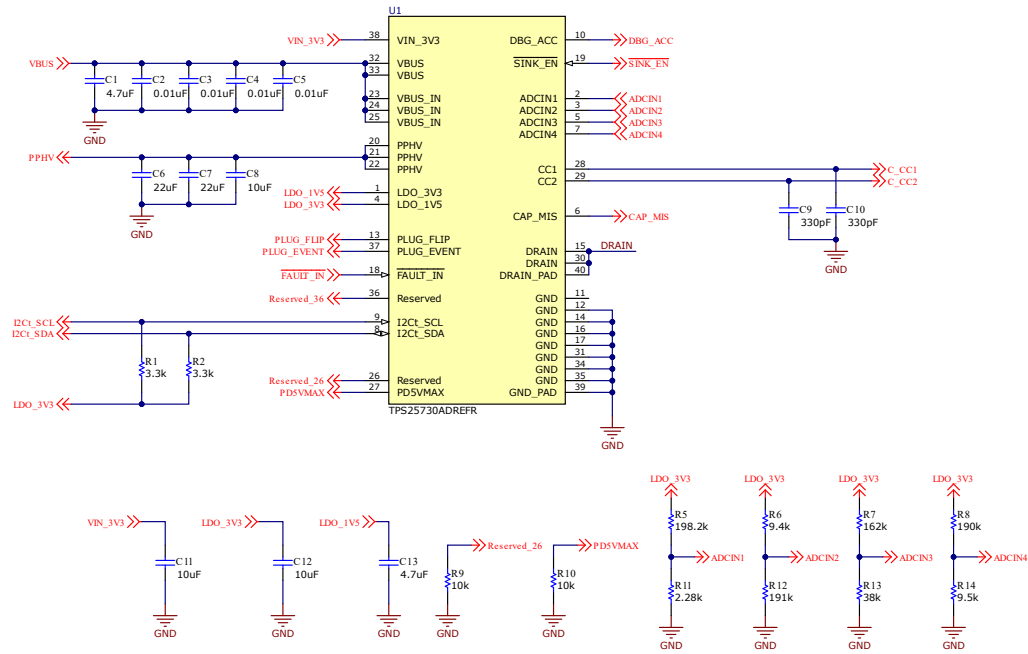


图 9-5. 示例原理图

9.4.1.3 元件放置

本示例使用顶部和底部放置方式来更大限度地减小解决方案尺寸。TPS25730AD 置于电路板顶部，其大多数元件置于底部。将元件置于底部时，TI 建议将这些元件直接放在 TPS25730AD 下方。放置 VBUS 和 PPHV 电容器时，最简单的方法是将其置于电容器的 GND 端子对 TPS25730AD 朝外或在侧面放置，因为底层上的漏极连接焊盘不得连接到任何元件，必须保持悬空。必须将用于 TPS25730AD GND 焊盘侧引脚的所有其他元件置于 GND 端子位于 GND 焊盘下方的位置。

CC 电容器必须置于与 TPS25730AD 同侧，靠近各自 CC1 和 CC2 引脚的位置。不要在 CC 引脚到 CC 电容器之间开过孔连接到另一层，建议在 CC 电容器之后布置过孔。

图 9-6 至图 9-7 显示 2D 和 3D 形式的布置。

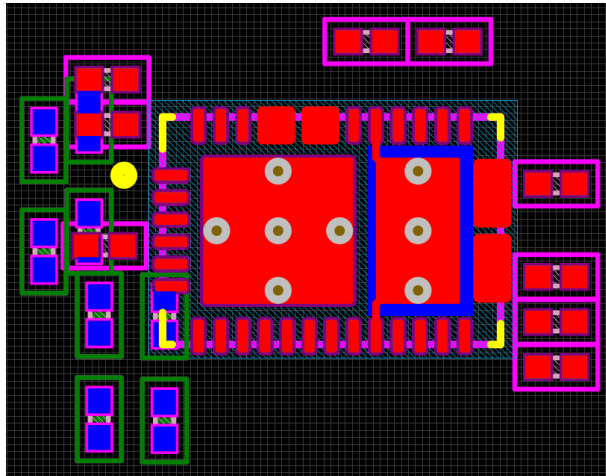


图 9-6. 顶视图布局

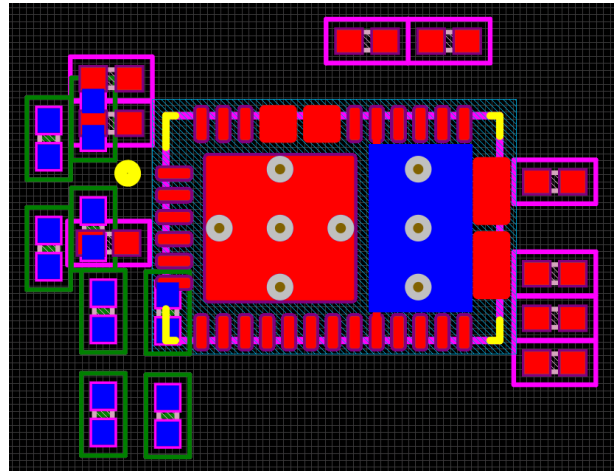


图 9-7. 底视图布局

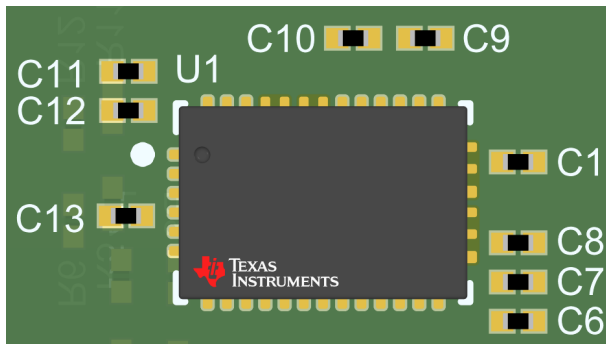


图 9-8. 3D 顶视图

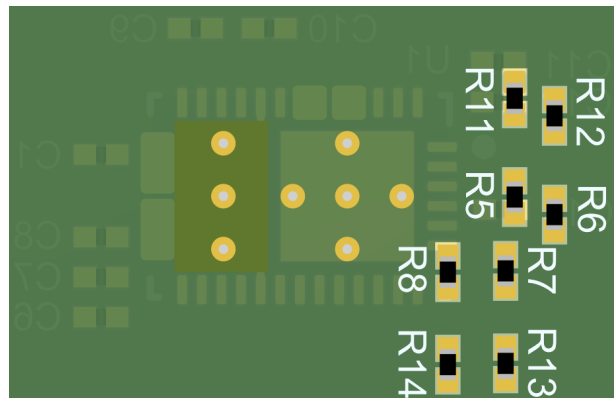


图 9-9. 3D 底视图

9.4.1.4 VBUS、VIN_3V3、LDO_3V3、LDO_1V5 布线

在顶部，为 VBUS、VBUS_IN 和 PPHV 覆铜。使用至少 6 个直径为 8mil 的孔和 16mil 的过孔将 VBUS 从顶层连接到底层。有关建议的过孔尺寸，请参阅图 9-10。对于 VBUS_IN 和 PPHV，使用 15 个直径为 8mil 的孔和 16mil 的过孔从顶层连接到底层。图 9-11 中突出显示了过孔布置和覆铜。



图 9-10. 建议的最小过孔尺寸

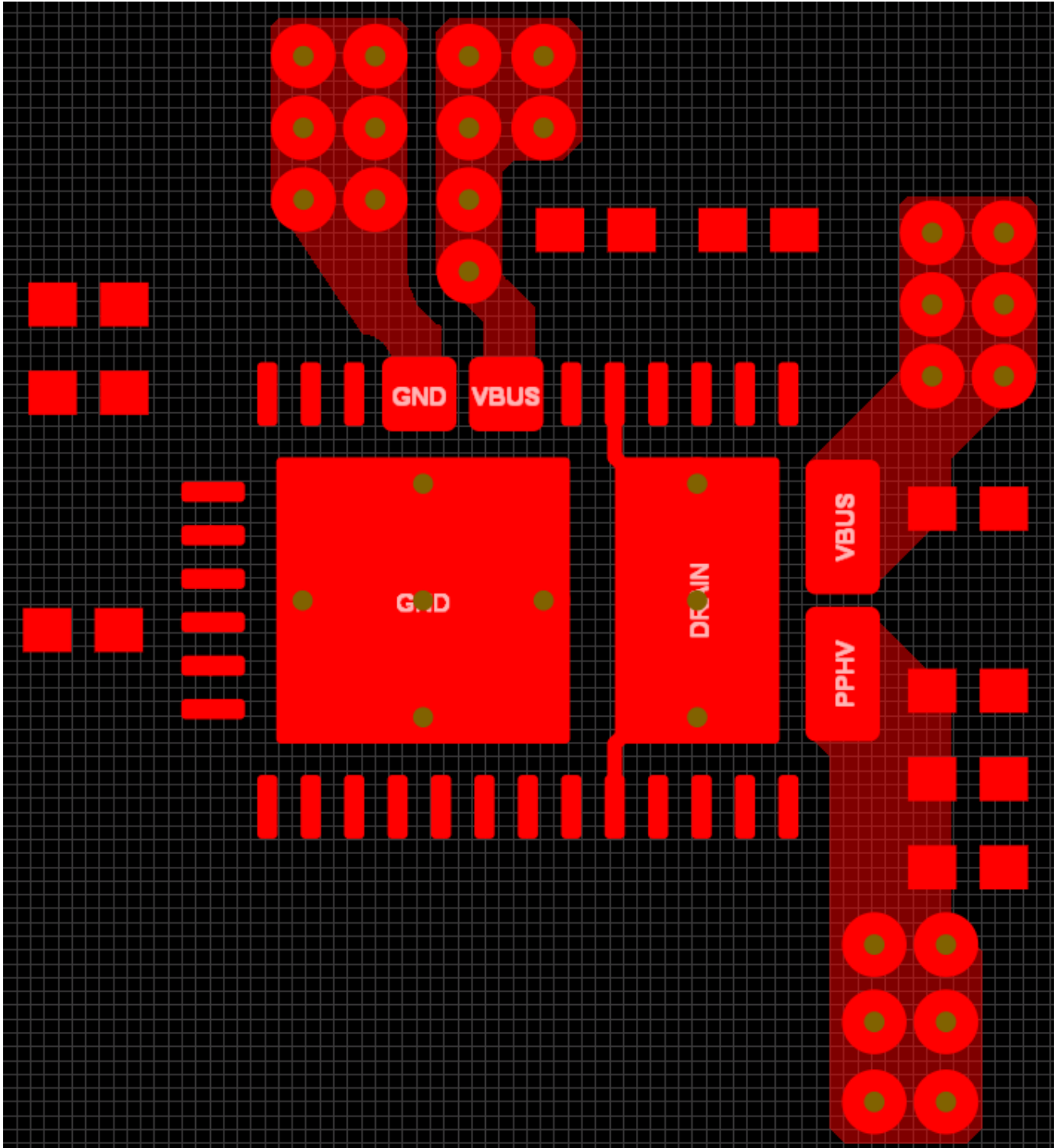


图 9-11. VBUS、VBUS_IN 和 PPHV 覆铜和过孔布置

接下来，VIN_3V3、LDO_3V3 和 LDO_1V5 布线到各自的去耦电容器。此外，在底部增加了一层覆铜，以将 PPHV 连接到其位于 PCB 底部的去耦电容器。此操作在图 9-12 中突出显示。

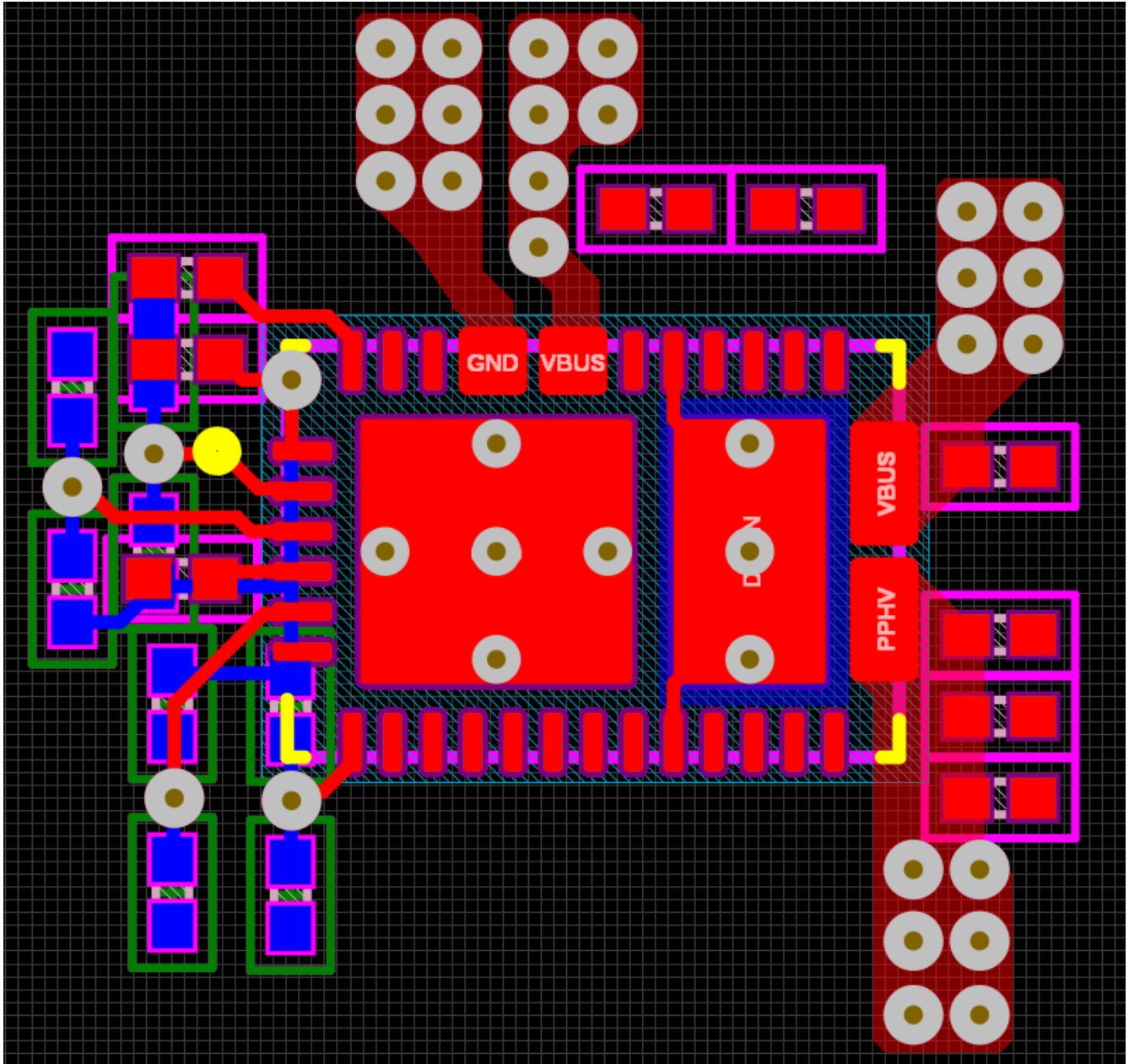


图 9-12. VIN_3V3、LDO_3V3 和 LDO_1V5 布线

9.4.1.5 CC 和 GPIO 布线

使用 10mil 布线 CC 线，确保可以通过 VCONN 获得所需的电流来支持带电的 Type-C 电缆。有关 VCONN 的更多信息，请参阅 Type-C 规范。对于电容器 GND 引脚，尽可能使用 16mil 线宽。

可以使用 8mil 或 10mil 线宽的布线在顶层或底层扇出大多数 GPIO 信号。下图突出显示了 CC 线和 GPIO 的布线方式。

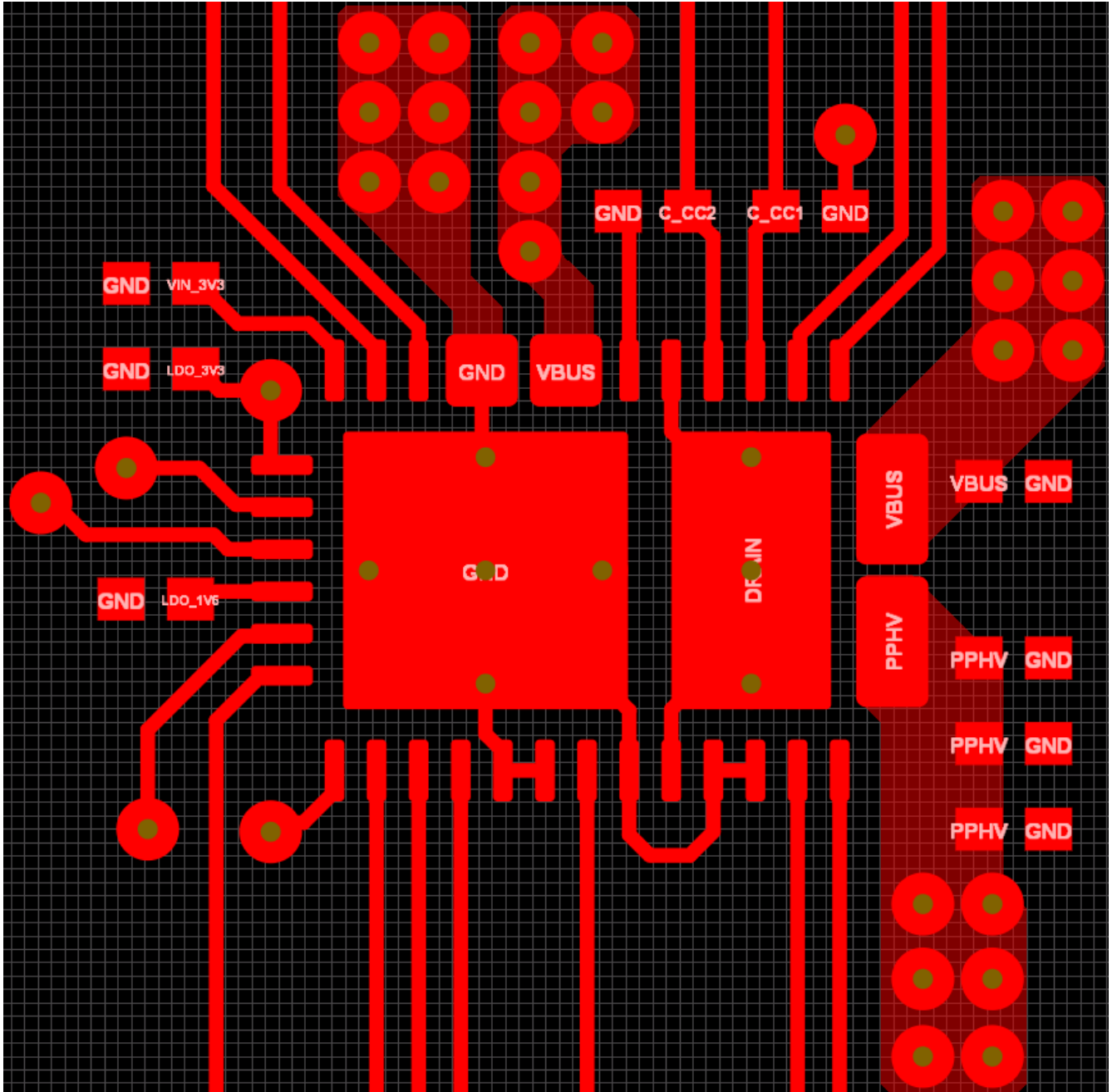


图 9-13. 顶层 GPIO 布线

表 9-2. 布线宽度

布线	宽度 (MIL 最小值)
CC1、CC2	8
VIN_3V3、LDO_3V3、LDO_1V8	8
元件 GND	10
GPIO	8

9.4.2 TPS25730AS — 布局

9.4.2.1 布局指南

适当的布线和放置可保持高速信号的完整性并改善电源路径的散热。如果遵循以下指南，则可轻松实现电源和高速数据信号的组合。最佳实践是咨询电路板制造部门以验证制造能力。

9.4.2.1.1 元件顶部放置、底部放置和布局

当 TPS25730A 置于顶部且其元件置于底部时，解决方案尺寸最小。

9.4.2.2 布局示例

请遵循由其规格定义的超高速/高速信号的差分阻抗 (USB2.0)。所有 I/O 均被扇出以提供一个布线输出所有引脚的示例，并非所有设计都利用 TPS25730AS 上的所有 I/O。

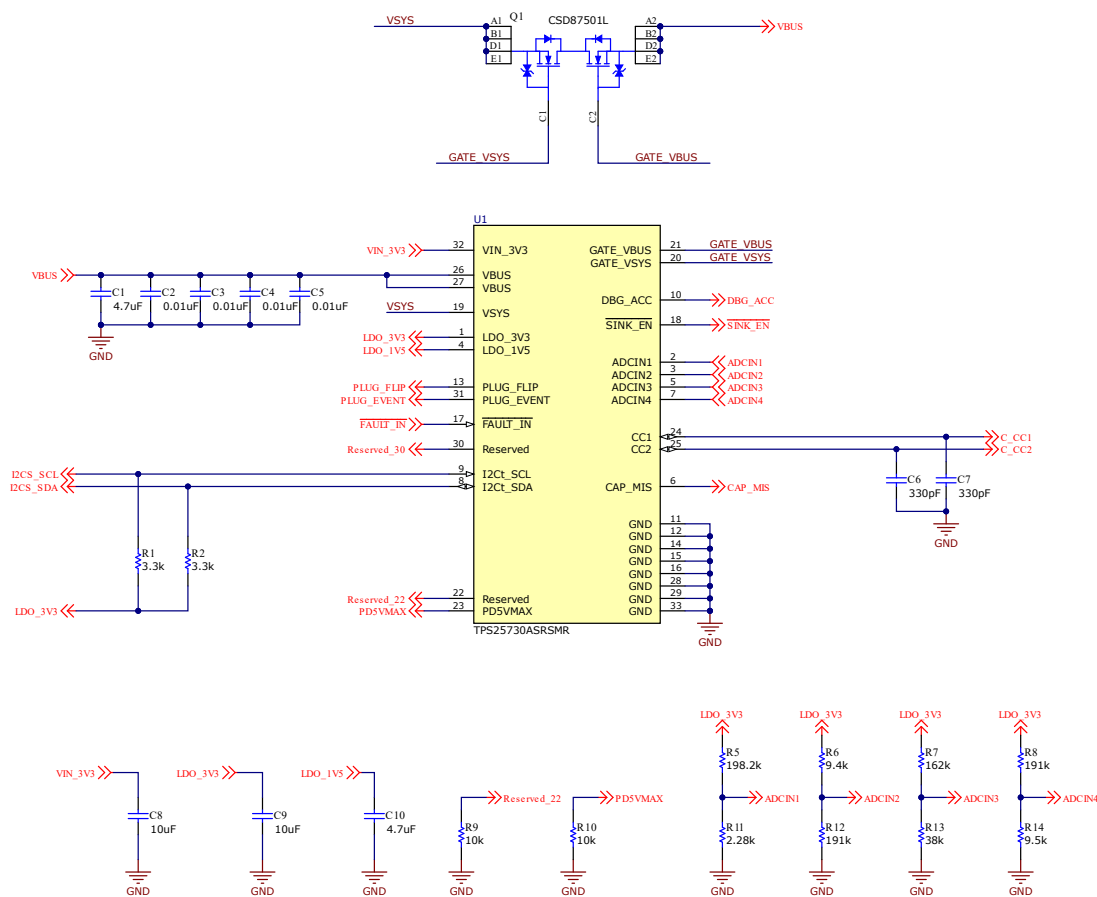


图 9-14. 示例原理图

9.4.2.3 元件放置

本示例使用顶部和底部放置方式来最大限度地减小解决方案尺寸。TPS25730AS 置于电路板顶部，其大多数元件置于底部。将元件置于底部时，TI 建议将其直接放在 TPS25730AS 下方。必须将用于 TPS25730AS GND 焊盘侧引脚的所有其他元件置于 GND 端子位于 GND 焊盘下方的位置。

CC 电容器必须置于与 TPS25730AS 同侧，靠近各自 CC1 和 CC2 引脚的位置。不要在 CC 引脚到 CC 电容器之间开过孔连接到另一层，建议在 CC 电容器之后布置过孔。

图 9-15 至图 9-16 显示 2D 和 3D 形式的布置。

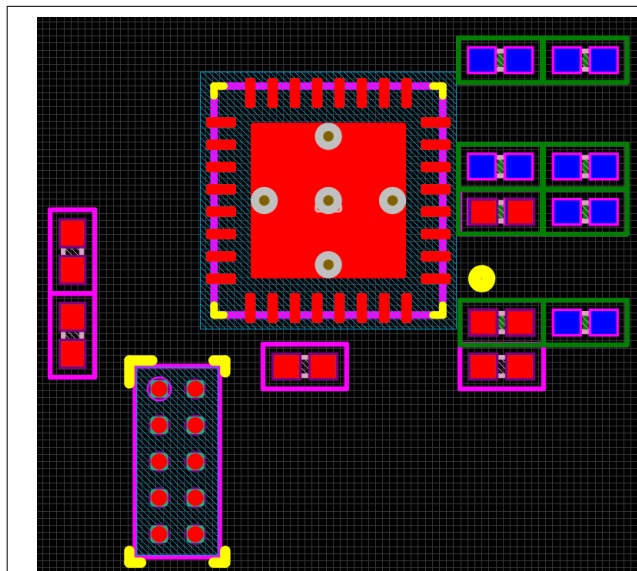


图 9-15. 顶视图布局

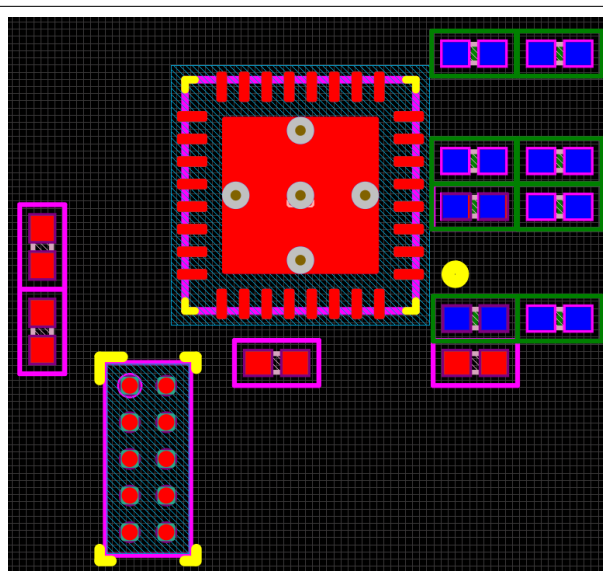


图 9-16. 底视图布局

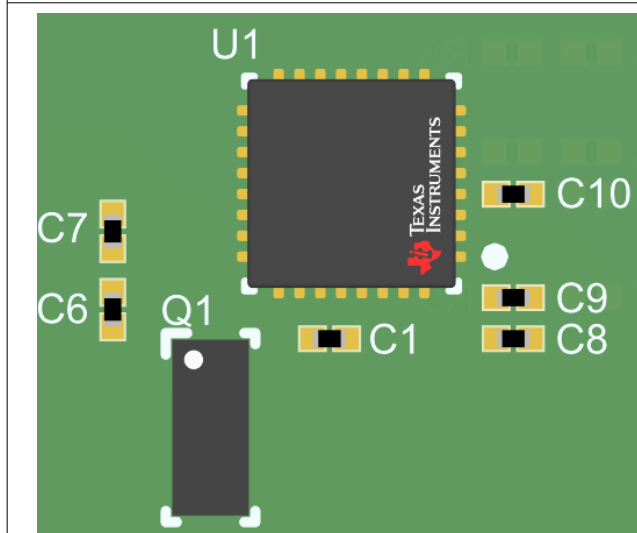


图 9-17. 3D 顶视图

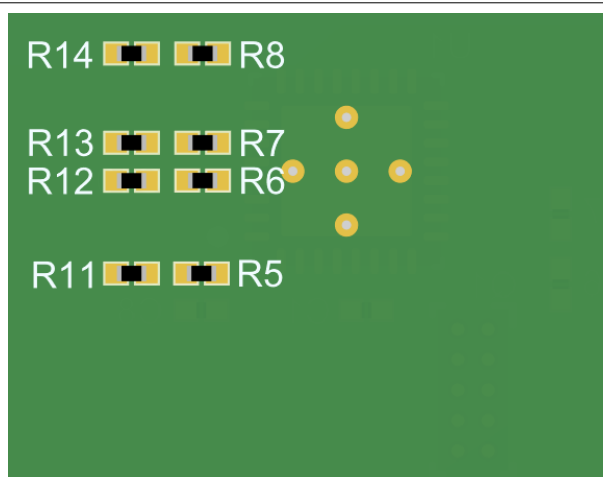


图 9-18. 3D 底视图

9.4.2.4 VBUS、PPHV、VIN_3V3、LDO_3V3、LDO_1V5 布线

在顶部，为 VBUS 和 PPHV 覆铜。使用至少 12 个直径为 8mil 的孔和 16mil 的过孔将 PPHV 从顶层连接到底层。有关建议的过孔尺寸，请参阅图 9-19。图 9-20 中突出显示了过孔布置和覆铜。



图 9-19. 建议的最小过孔尺寸

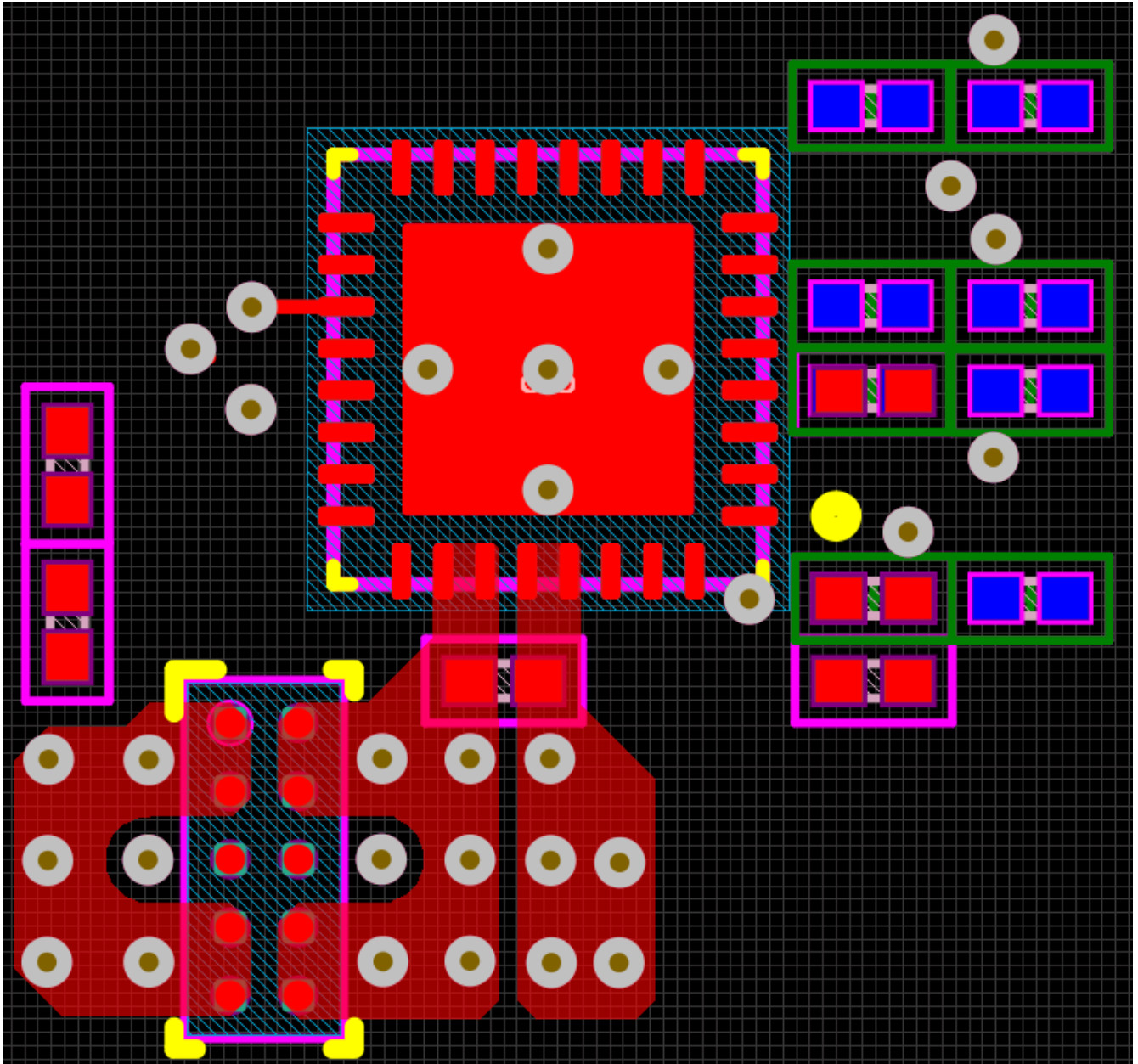


图 9-20. VBUS 覆铜和过孔布置

接下来，VIN_3V3、LDO_3V3 和 LDO_1V5 布线到各自的去耦电容器。此操作在图 9-21 中突出显示。

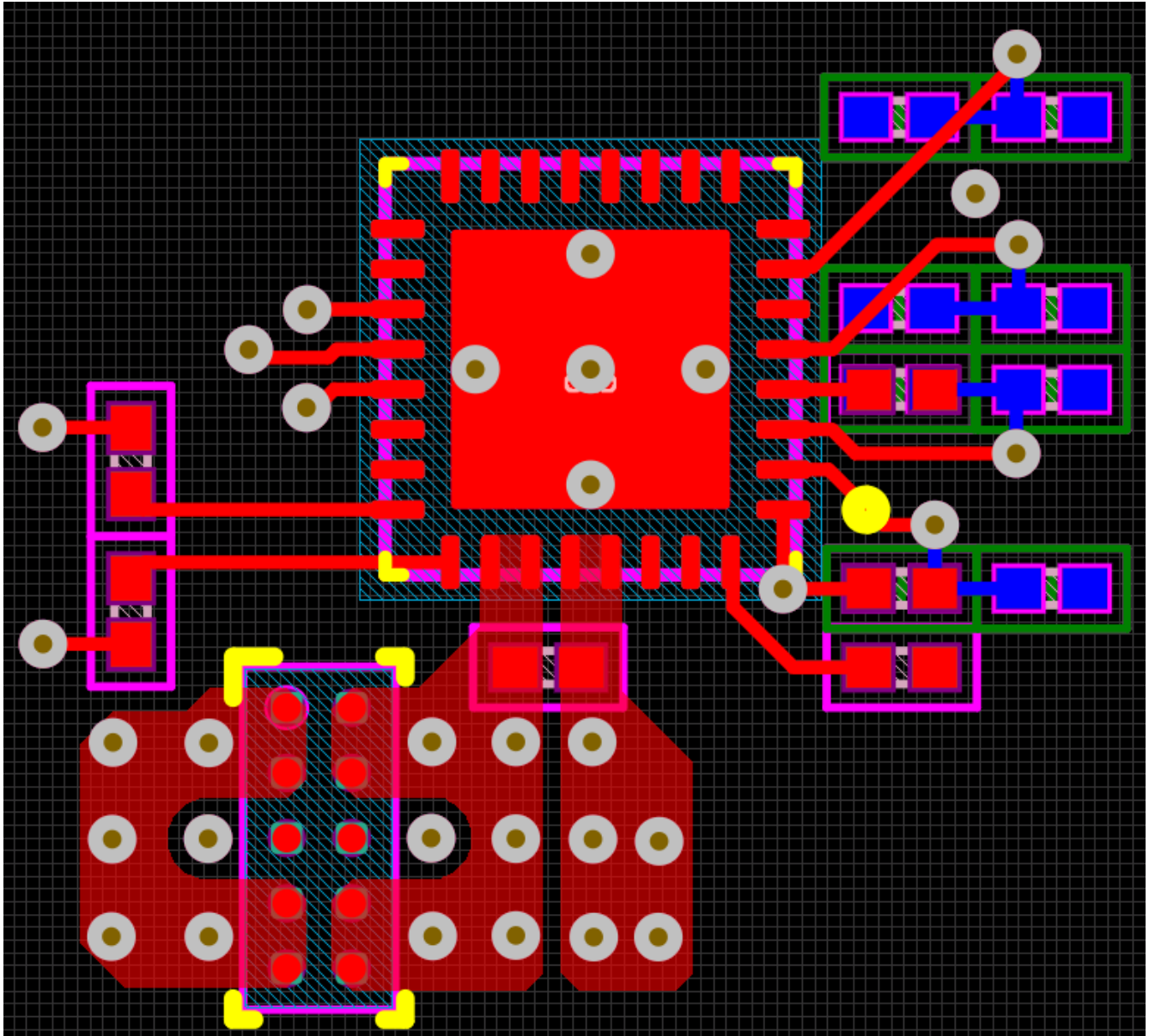


图 9-21. VIN_3V3、LDO_3V3 和 LDO_1V5 布线

图 9-22 和图 9-23 显示如何为外部 N-FET 正确连接 VSYS 和 SYS_Gate 控制信号。可以使用 12mil 布线在内部层布线控制信号，并且连接到 VSYS 的布线必须尽可能短，以更大限度地减小阻抗，因此理想情况是直接在高压电源路径上布置过孔。

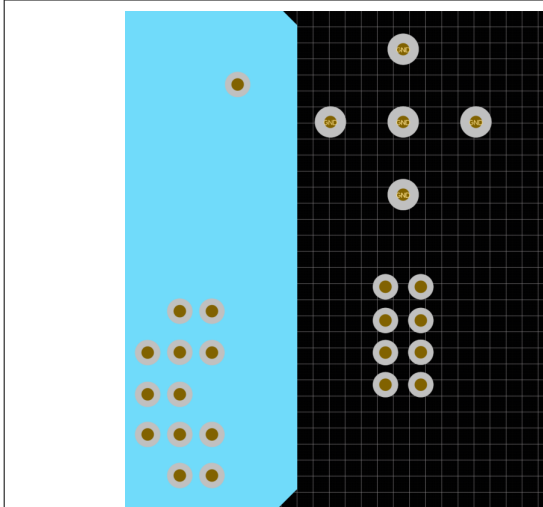


图 9-22. 顶部多边形覆铜

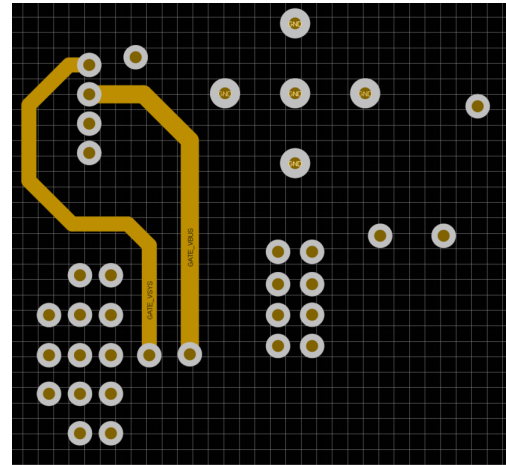


图 9-23. 底部多边形覆铜

9.4.2.5 CC 和 GPIO 布线

使用 10mil 布线 CC 线，确保可以通过 VCONN 获得所需的电流来支持带电的 Type-C 电缆。有关 VCONN 的更多信息，请参阅 Type-C 规范。对于电容器 GND 引脚，尽可能使用 16mil 线宽。

可以使用 8mil 线宽或 10mil 线宽的布线在顶层或底层扇出大多数 GPIO 信号。下图突出显示了 CC 线和 GPIO 的布线方式。

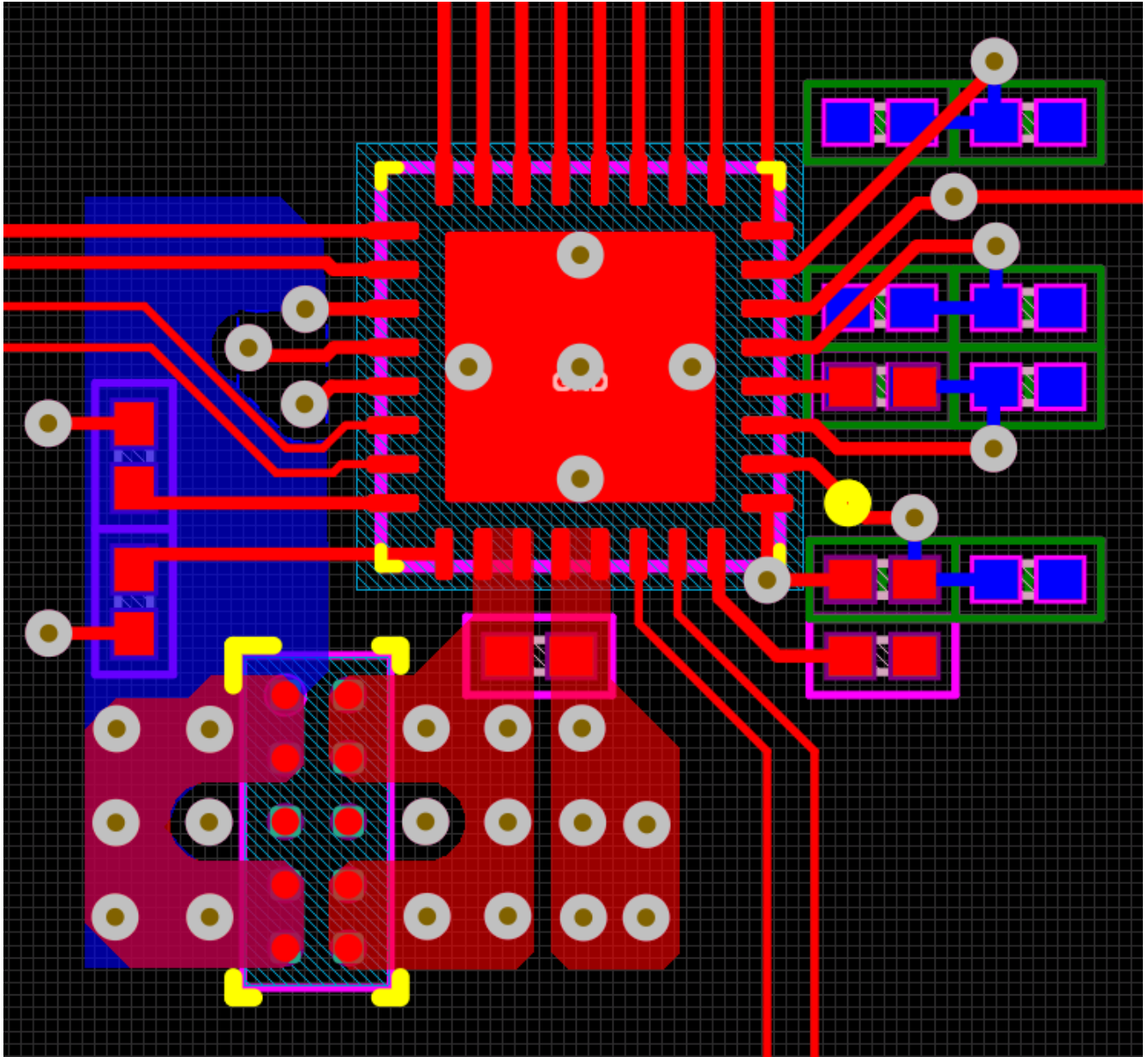


图 9-24. 顶层 GPIO 布线

表 9-3. 布线宽度

布线	宽度 (MIL 最小值)
PA_CC1、PA_CC2、PB_CC1、PB_CC2	8
VIN_3V3、LDO_3V3、LDO_1V8	6
元件 GND	10
GPIO	4

10 器件和文档支持

10.1 器件支持

10.1.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

10.2 文档支持

10.2.1 相关文档

- [USB-PD 规格](#)
- [USB 电力输送规格](#)

10.3 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.4 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

10.5 商标

TI E2E™ is a trademark of Texas Instruments.

USB Type-C® is a registered trademark of USB Implementers Forum.

所有商标均为其各自所有者的财产。

10.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.7 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
March 2026	*	初始发行版

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPS25730ADREFR	Active	Production	WQFN (REF) 38	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	25730A D
TPS25730ASRSMR	Active	Production	VQFN (RSM) 32	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	25730A S

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

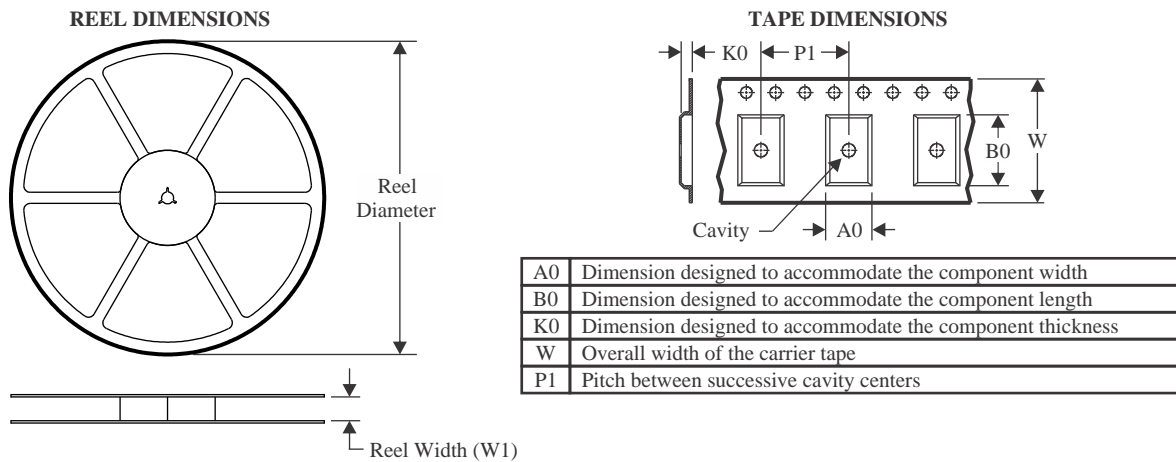
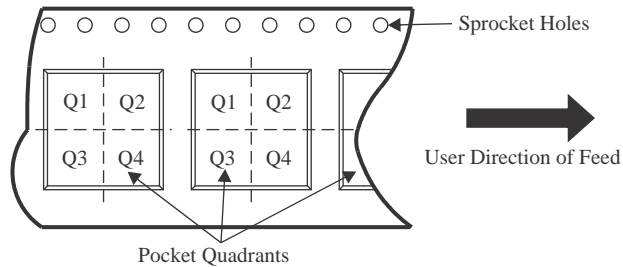
(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


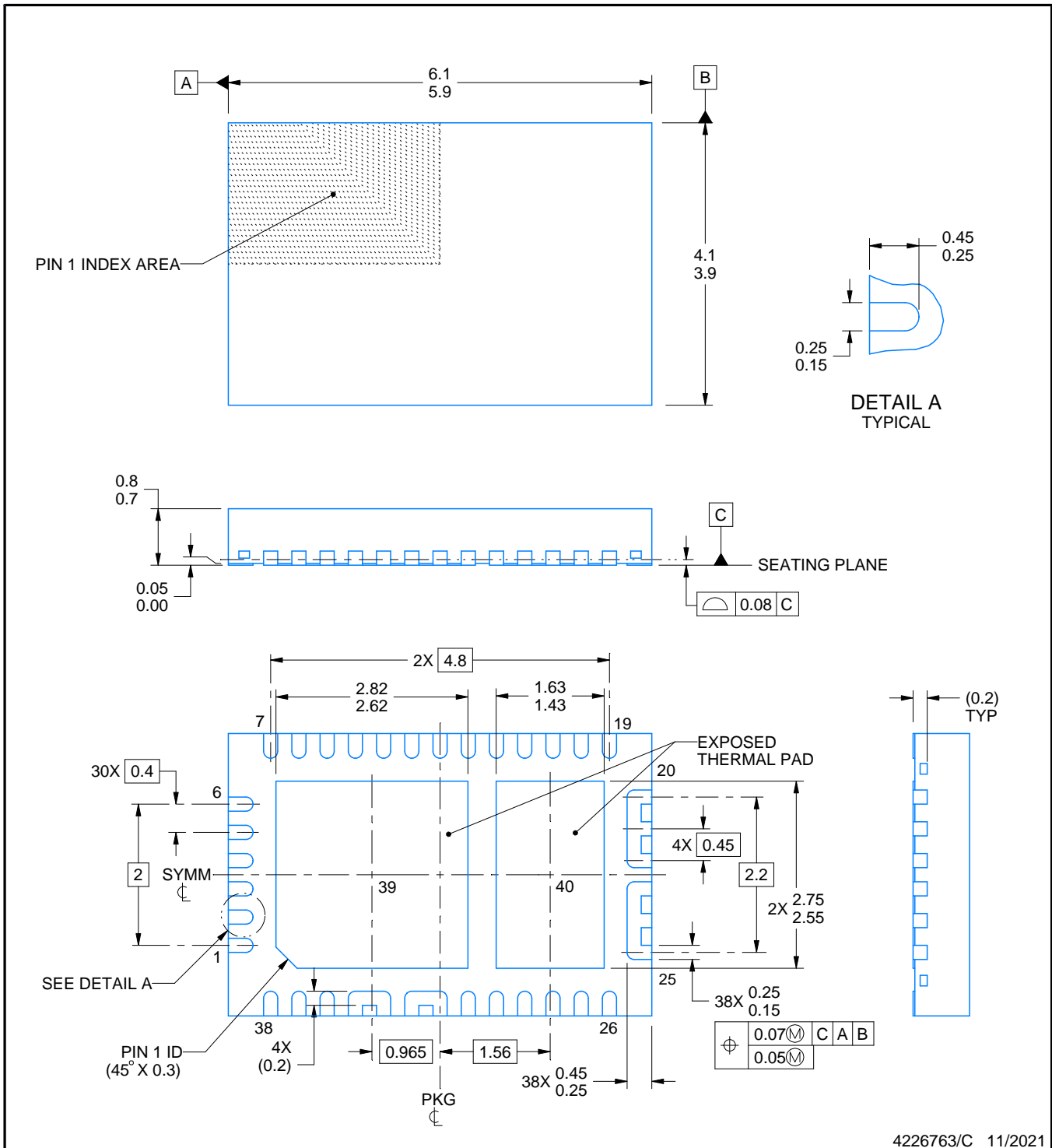
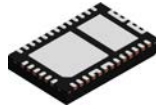
*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS25730ADREFR	WQFN	REF	38	3000	330.0	12.4	4.3	6.3	1.1	8.0	12.0	Q2
TPS25730ASRSMR	VQFN	RSM	32	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS25730ADREFR	WQFN	REF	38	3000	367.0	367.0	35.0
TPS25730ASRSMR	VQFN	RSM	32	3000	360.0	360.0	36.0



4226763/C 11/2021

NOTES:

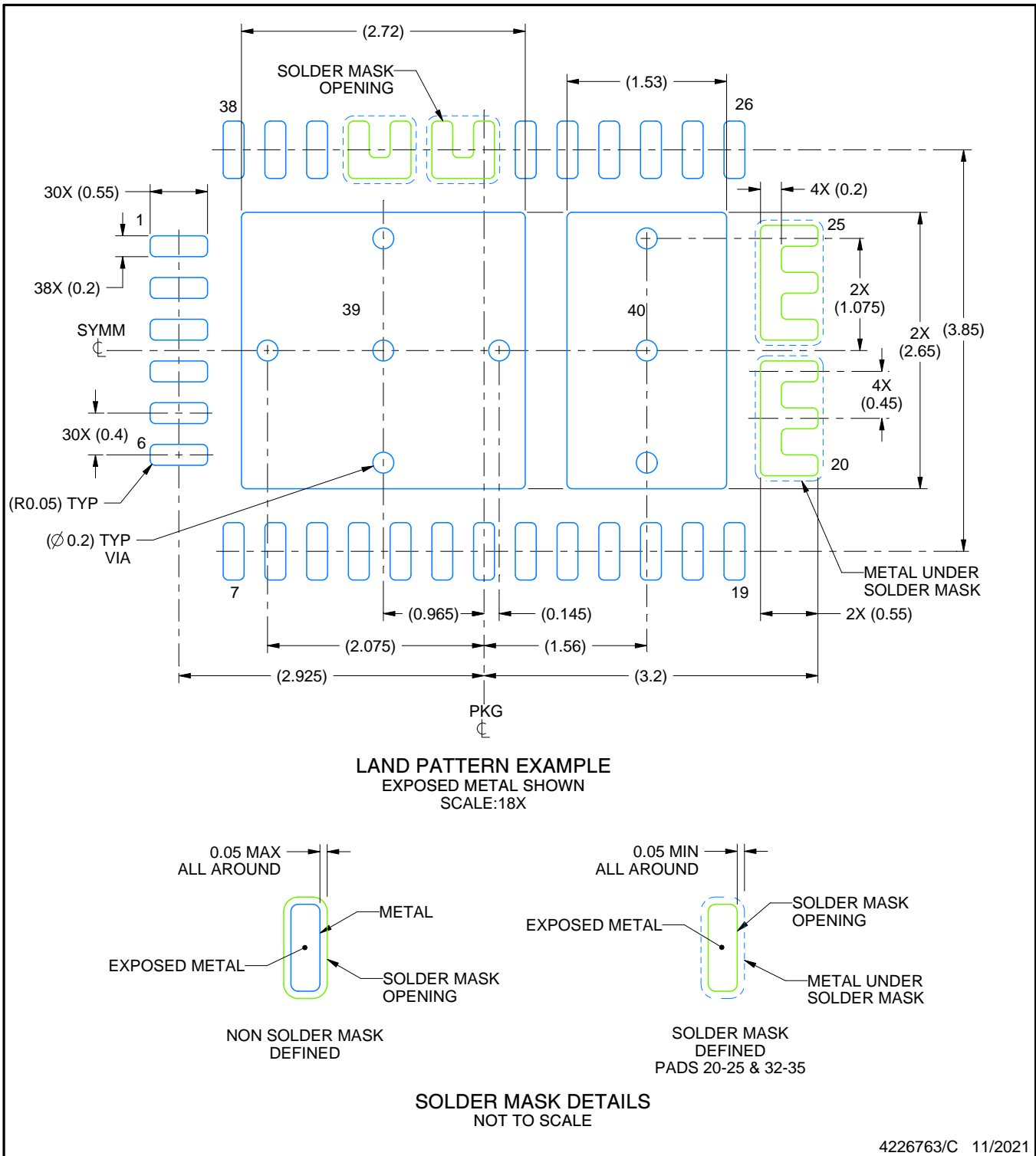
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pads must be soldered to the printed circuit board for optimal thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

REF0038A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4226763/C 11/2021

NOTES: (continued)

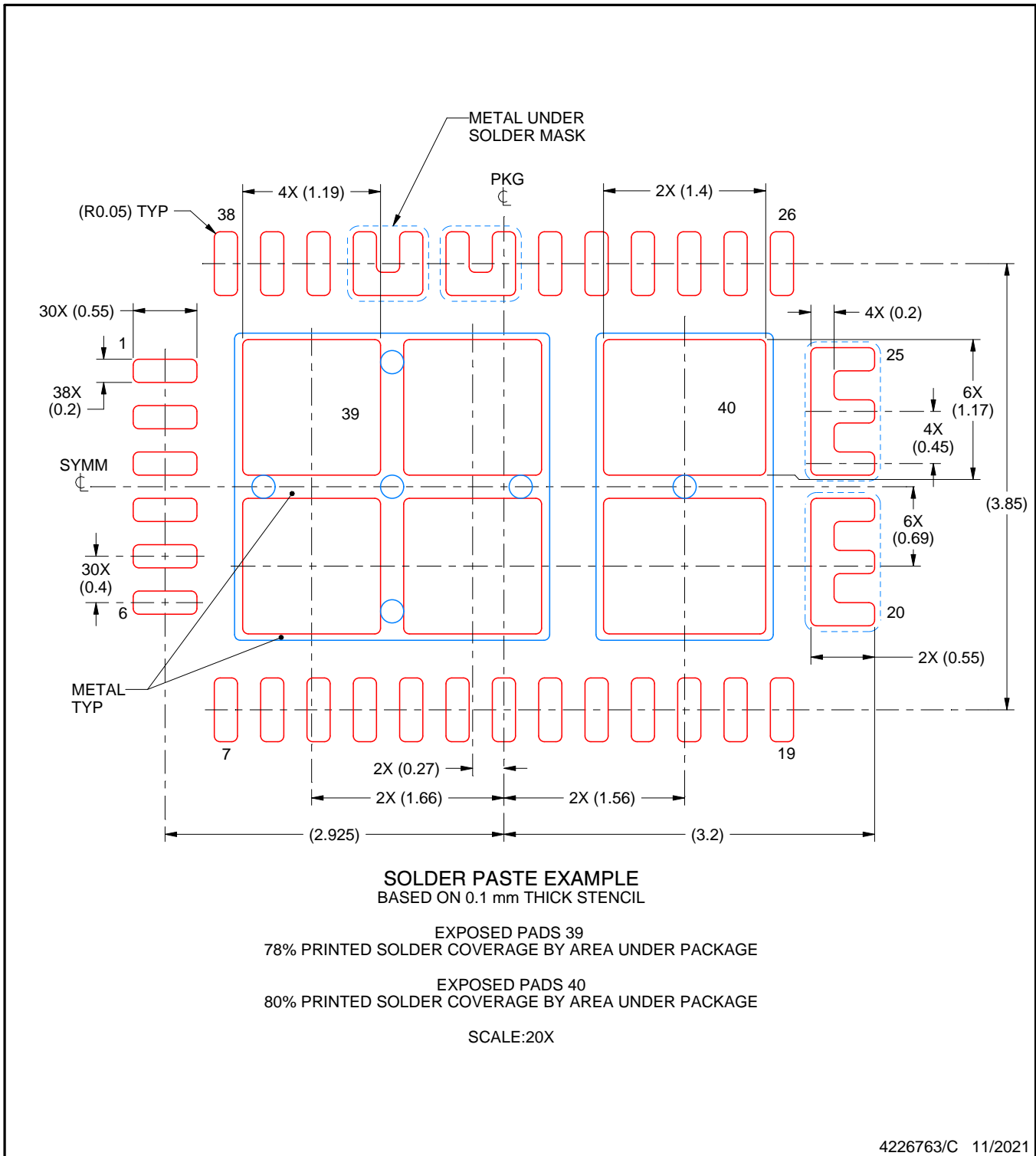
- This package is designed to be soldered to thermal pads on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

REF0038A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

GENERIC PACKAGE VIEW

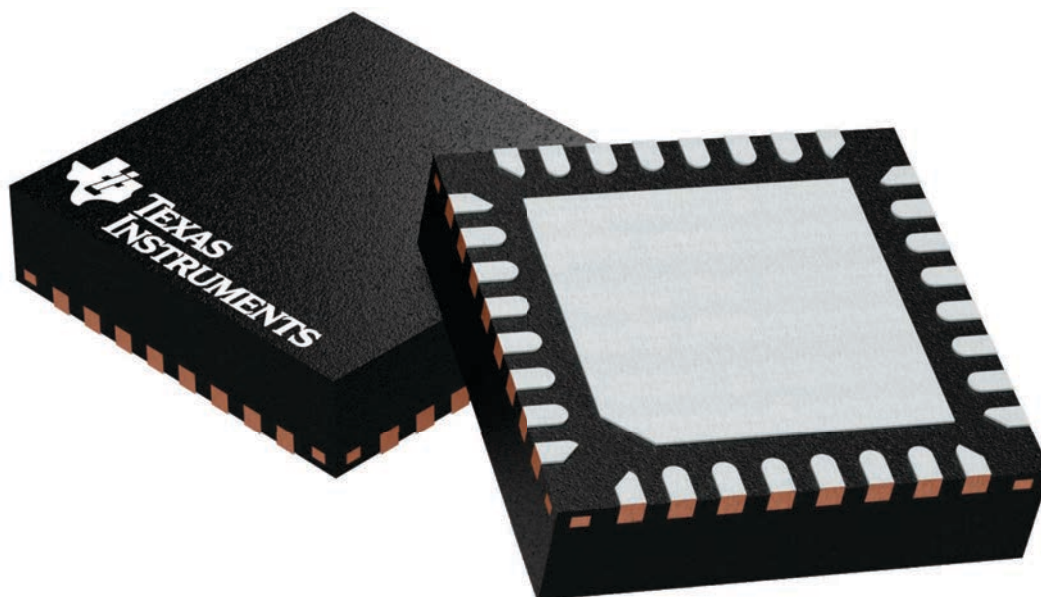
RSM 32

VQFN - 1 mm max height

4 x 4, 0.4 mm pitch

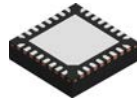
PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224982/A

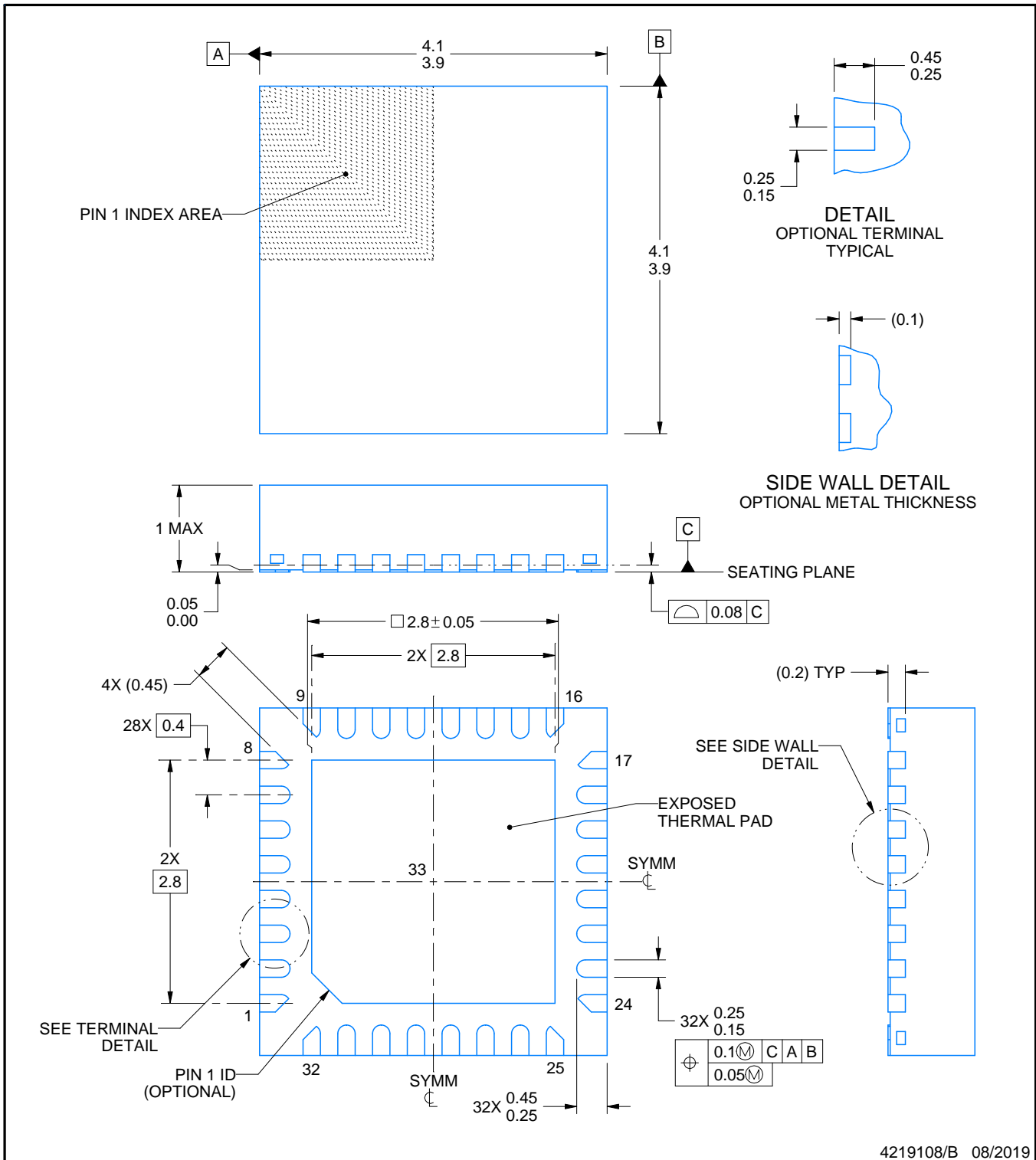
RSM0032B



PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4219108/B 08/2019

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月