TPS20xxE 限流配电开关

1 特性

- 单一电源开关系列
- 与现有 TI 开关组合引脚对引脚兼容
- 1.5A 和 2A 额定电流
- 支持 3.3V 和 5V 电源轨
- ±20% 精确的固定恒定电流限制
- 快速过流响应：2µs
- 抗尖峰脉冲故障报告
- 输出放电
- 反向电流阻断
- 内置软启动
- 环境温度范围：–40°C 至 85°C

2 应用

- PC 和笔记本电脑
- 游戏
- 电视
- 联网外设和打印机
- 数据中心和企业级计算
- 短路保护

3 说明

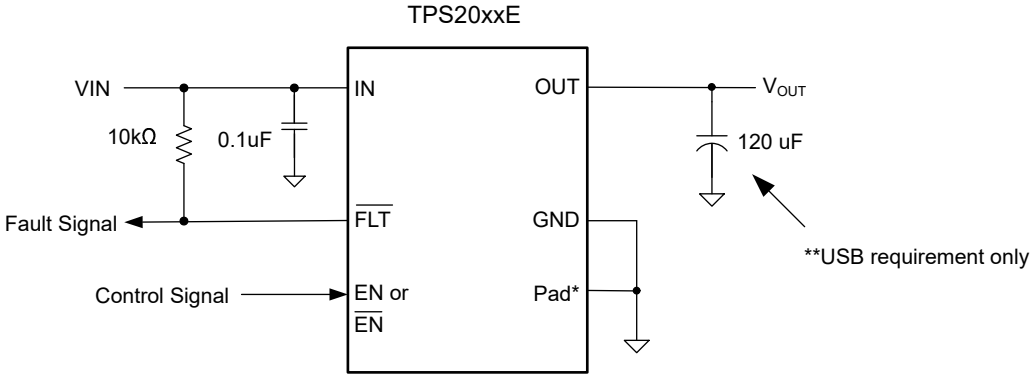
TPS20xxE 配电开关系列产品用于诸如 USB 等有可能遇到高容性负载和短路的应用。此系列为需要 1.5A 或 2A 负载的应用提供固定限流阈值，并在不同封装中提供高电平或低电平使能极化选项。

当输出负载超过电流限制阈值时，TPS20xxE 系列通过运行在恒定电流模式下来将输出电流限制在安全的水平。这就在所有条件下提供了可预测的故障电流。发生输出短路后，快速过载响应时间有利于缓解 2.7V – 5.5V 电源的压力以提供稳定电源。为了大大减少打开和关闭期间的电流冲击，电源开关的上升和下降次数受到控制。

器件信息

器件型号(1)	封装(2)	封装尺寸(3)
TPS20xxE	DBV（SOT-23，5）	2.90mm × 1.60mm
	DGN（HVSSOP，8）PowerPAD™	3.00mm × 3.00mm
	DGK（VSSOP，8）	3.00mm x 3.00mm

(1) 请参阅*器件比较表*。
(2) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(3) 封装尺寸（长 x 宽）为标称值，并包括引脚（如适用）。



* DGN only

** USB requirement that downstream facing ports are bypassed with at least 120uF per hub

典型应用图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 器件比较表 3
5 引脚配置和功能 4
6 规格 5
6.1 绝对最大额定值 5
6.2 ESD 等级 5
6.3 建议运行条件 5
6.4 热性能信息 6
6.5 电气特性 6
6.6 典型特性 9
7 详细说明 11
7.1 概述 11
7.2 功能方框图 11
7.3 特性说明 11
7.4 器件功能模式 13
8 应用和实施 14
8.1 应用信息 14
8.2 典型应用 14
8.3 电源相关建议 17
8.4 布局 17
9 器件和文档支持 19
9.1 文档支持 19
9.2 接收文档更新通知 19
9.3 支持资源 19
9.4 商标 19
9.5 静电放电警告 19
9.6 术语表 19
10 修订历史记录 20
11 机械、封装和可订购信息 20

Copyright © 2023 Texas Instruments Incorporated

4 器件比较表

最大工作电流	输出放电	ENABLE	BASE 器件型号	封装器件和标识(1)		
				DBV（SOT-23，5)	DGN（HVSSOP，8）PowerPAD™	DGK（VSSOP，8）(2)
1.5	是	低电平	TPS2068E	2068E	2068E	-
1.5	是	高电平	TPS2069E	2069E	2069E	-
2	Y	低电平	TPS2000E	2000E	2000E	000E
2	Y	高电平	TPS2001E	2001E	2001E	001E

(1) 如需了解最新的封装及订购信息，请参阅本文件结尾处的“封装选项附录”，或登录 TI 的网站 www.ti.com 进行查询。
(2) “–”表示采用此封装的器件不可用。

Copyright © 2023 Texas Instruments Incorporated

5 引脚配置和功能

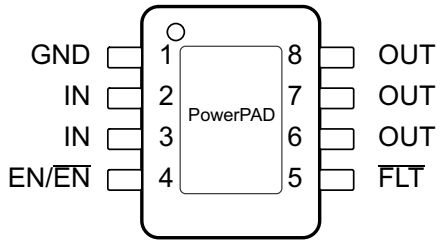


图 5-1. DGN 封装 8 引脚 MSOP-PowerPAD™ 顶视图

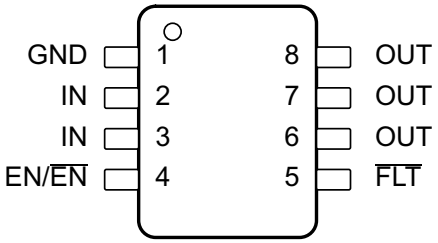


图 5-2. DGK 封装 8 引脚 VSSOP 顶视图

表 5-1. 引脚功能 - 8 引脚

引脚		I/O	说明
名称	编号		
EN/ $\overline{EN}$	4	I	使能输入，逻辑高电平接通电源开关
$\overline{FLT}$	5	O	低电平有效开漏输出，在过流或过热条件下被置位
GND	1	—	接地连接
IN	2、3	PWR	输入电压和电源开关漏极；在 IN 和 GND 之间靠近 IC 的位置连接一个 0.1μF 或更大的陶瓷电容器
OUT	6、7、8	PWR	电源开关输出，连接至负载
PowerPAD（仅限 DGN）	PowerPAD	—	将焊盘连接到 GND 平面作为散热器，以实现更高热性能。如有需要，可将焊盘保持悬空。

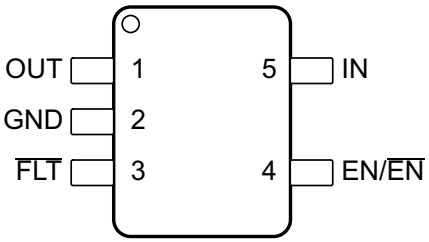


图 5-3. DBV 封装 5 引脚 SOT-23 顶视图

表 5-2. 引脚功能 - 5 引脚

引脚		I/O	说明
名称	编号		
EN/ $\overline{EN}$	4	I	使能输入，逻辑高电平接通电源开关
$\overline{FLT}$	3	O	低电平有效开漏输出，在过流或过热条件下被置位
GND	2	—	接地连接
IN	5	PWR	输入电压和电源开关漏极；在 IN 和 GND 之间靠近 IC 的位置连接一个 0.1μF 或更大的陶瓷电容器
OUT	1	PWR	电源开关输出，连接至负载。

Copyright © 2023 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
V_{IN}	输入电压	–0.3	6	V
V_{OUT}	输出电压	–0.3	6	V
V_{EN}	输入电压	–0.3	6	V
V_{FLT}	电压范围	–0.3	6	V
I_{OUT}	持续输出电流	受内部限制		
T_J	结温	-40	125	°C
T_{stg}	贮存温度	– 65	150	°C

(1) 超出绝对最大额定值运行可能会对器件造成损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001，所有引脚(1)	±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JS-002，所有引脚(2)	±500	
$V_{(ESD)}$	静电放电	IEC 61000-4-2 接触放电，OUT 引脚(3)	±8000	V
$V_{(ESD)}$	静电放电	IEC 61000-4-2 空气间隙放电，OUT 引脚(3)	±15000	V

(1) JEDEC 文档 JEP155 指出：500V HBM 能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。
(3) 根据第一页上的“典型应用图”，VOUT 在具有输入和输出旁路的 PCB 上激增，但没有器件故障。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	标称值	最大值	单位
V_{IN}	输入电压	2.7		5.5	V
V_{EN}	输入电压、EN 或 $\overline{EN}$	0		5.5	V
V_{IH}	高电平输入电压、EN 或 $\overline{EN}$	1.8			V
V_{IL}	低电平输入电压、EN 或 $\overline{EN}$			0.8	V
I_{OUT}	持续输出电流 - TPS2068E、TPS2069E			1.5	A
I_{OUT}	持续输出电流 - TPS2000E、TPS2001E			2	A
T_J	结温	-40		125	°C
I_{FLT}	流入 $\overline{FLT}$ 的灌电流	0		10	mA

Copyright © 2023 Texas Instruments Incorporated

6.4 热性能信息

热指标(1)		TPS20xxE			单位
		DBV (SOT-23)	DGN (HVSSOP) PowerPAD™	DGK (VSSOP)	
		5 引脚	8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	184.6	51.7	169.6	℃/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	92.6	82.7	65.5	
$R_{\theta JB}$	结至电路板热阻	59.9	25.2	90.5	
Ψ_{JT}	结至顶部特征参数	30.7	6.5	11.8	
Ψ_{JB}	结至电路板特性参数	59.6	25.2	89.0	
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	-	6.4	-	

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

6.5 电气特性

除非另有说明：V_{IN} = 5.5V、V_{EN} = VIN、I_{OUT} = 0A、–40°C ≤ TJ ≤ 125°C。

参数		测试条件	最小值	典型值	最大值	单位
电源开关（TPS2068E、TPS2069E）						
$R_{DS(ON)}$ (DBV)	静态漏源导通状态电阻，5V 或 3.3V 工作电压	V_{IN} = 5V 或 3.3V，IO = 1.5A，-40°C ≤ TJ ≤ 125°C		70	105	mΩ
	静态漏源导通状态电阻，2.7V 工作电压	V_{IN} = 2.7V，IO = 1.5A，–40°C ≤ TJ ≤ 125°C		70	110	mΩ
电源开关（TPS2000E、TPS2001E）						
$R_{DS(ON)}$ (DBV)	静态漏源导通状态电阻，5V 或 3.3V 工作电压	V_{IN} = 5V 或 3.3V，IO = 2.0A，-40°C ≤ TJ ≤ 125°C		70	105	mΩ
	静态漏源导通状态电阻，2.7V 工作电压	V_{IN} = 2.7V，IO = 2.0A，–40°C ≤ TJ ≤ 125°C		70	110	mΩ
T_{rise} 和 T_{fall}						
t_r	上升时间，输出	V_{IN} = 5.5V，C_L = 1uF，R_L = 10Ω，TJ = 25°C		0.6	1.5	ms
		V_{IN} = 2.7V，C_L = 1uF，R_L = 10Ω，TJ = 25°C		0.4	1	ms
t_f	下降时间，输出	V_{IN} = 5.5V，C_L = 1uF，R_L = 10Ω，TJ = 25°C	0.05		0.5	ms
		VIN = 2.7V，CL = 1uF，RL = 10Ω，TJ = 25°C	0.05		0.5	ms
使能输入 EN（TPS2068E、TPS2069E 和 TPS2000E）						
V_{IH}	使能高电平输入电压	2.7 V ≤ V_{IN} ≤ 5.5 V	1.8			V
V_{IL}	使能低电平输入电压	2.7 V ≤ V_{IN} ≤ 5.5 V			0.8	V
I_{EN}	EN 引脚漏电流	VEN=5.5V	-0.5		0.5	uA
使能输入 EN (TPS2001E)						
V_{IH}	使能高电平输入电压	2.7 V ≤ V_{IN} ≤ 5.5 V	1.75			V
V_{IH}	使能高电平输入电压	2.7 V ≤ V_{IN} ≤ 5.0 V	1.6			V
V_{IH}	使能高电平输入电压	2.7 V ≤ V_{IN} ≤ 3.5 V	1.5			V
V_{IL}	使能低电平输入电压	2.7 V ≤ V_{IN} ≤ 5.5 V			0.8	V
I_{EN}	EN 引脚漏电流	VEN=5.5V	-0.5		0.5	uA
T_{on} 和 T_{off}						

Copyright © 2023 Texas Instruments Incorporated

6.5 电气特性（续）

除非另有说明：V_{IN} = 5.5V、V_{EN} = VIN、I_{OUT} = 0A、–40°C ≤ TJ ≤ 125°C。

参数		测试条件	最小值	典型值	最大值	单位
t_{on}	开通时间	C_L = 100µF，R_L = 10Ω			3	ms
t_{off}	关断时间	C_L = 100µF，R_L = 10Ω			3	ms
放电						
R_{DCHG}	放电电阻	V_{IN} = V_{OUT} = 5V，禁用	400	500	810	Ω
电流限制（TPS2068E 和 TPS2069E）						
I_{OS}	短路输出电流	V_{IN} = 5V，OUT 连接至 GND，器件使能进入短路，TJ = 25°C	1.71	2.13	2.55	A
		V_{IN} = 5V，OUT 连接至 GND，器件使能进入短路，–40°C ≤ TJ ≤ 125°C	1.6	2.13	2.66	A
t_{ios}	短路的响应时间	V_{IN} = 5.0V，R_L = 50mΩ。请参阅图 7-5。		1.5		us
电流限制（TPS2000E 和 TPS2001E）						
I_{OS}	短路输出电流	V_{IN} = 5V，OUT 连接至 GND，器件使能进入短路，TJ = 25°C	2.24	2.8	3.36	A
		V_{IN} = 5V，OUT 连接至 GND，器件使能进入短路，–40°C ≤ TJ ≤ 125°C	2.1	2.8	3.5	A
t_{ios}	短路的响应时间	V_{IN} = 5.0V，R_L = 50mΩ。请参阅图 7-5。		1.5		us
电源电流						
I_{SD}	电源电流，开关禁用	OUT 上无负载，V_{EN} = 0V，TJ = 25°C		0.5	1	uA
		OUT 上无负载，V_{EN} = 0V，–40°C ≤ TJ ≤ 125°C		0.5	5	uA
I_{SE}	电源电流，开关使能	OUT 上无负载，V_{EN} = 5.5V，TJ = 25°C		93	118	uA
		OUT 上无负载，V_{EN} = 5.5V，–40°C ≤ TJ ≤ 125°C		93	118	uA
I_{LKG}	漏电流	OUT 接地，VEN = 0V，–40°C ≤ TJ ≤ 125°C		1		uA
I_{REV}	反向泄漏电流	V_{OUT} = 5.5V，IN = 接地，TJ = 25°C		0		uA
欠压锁定						
V_{UVLO}	欠压锁定阈值，IN	V_{IN} 上升	2		2.6	V
	滞后，IN	TJ = 25°C		75		mV
过流标志						
$V_{OL(/OC)}$	输出低电压	$I_{O(/OC)}$ = 5mA			180	mV
$I_{OFF_Leakage}$	关闭状态泄漏	$V_{/OC}$ = 5.5V			1	uA
T_{OC_DEG}	/OC 标志抗尖峰脉冲	/OC 置位或取消置位	6	8	12	ms
热关断						
T_{OTSD_R}	热关断阈值上升阈值		155	175	195	℃
	迟滞			10		°C
电流限制状态的热关断						
$T_{OTSD_CL_R}$	电流限制状态的热关断上升阈值		135	155	175	°C
	迟滞			10		°C

Copyright © 2023 Texas Instruments Incorporated

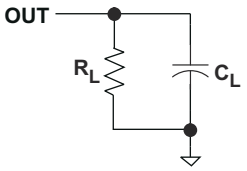


图 6-1. 输出上升和下降测试负载

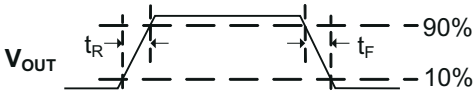


图 6-2. 上电和断电时序

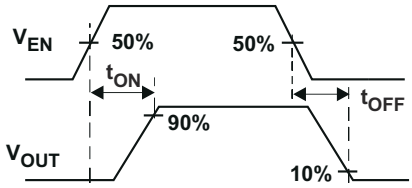


图 6-3. 使能时序，高电平有效使能

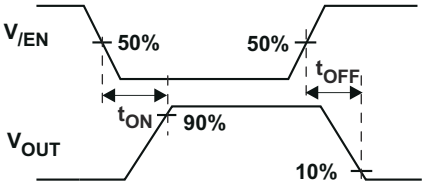


图 6-4. 使能时序，低电平有效使能

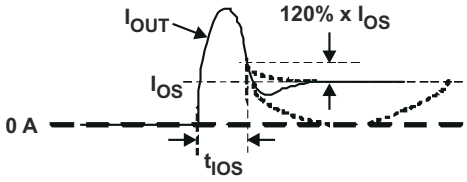


图 6-5. 输出短路参数

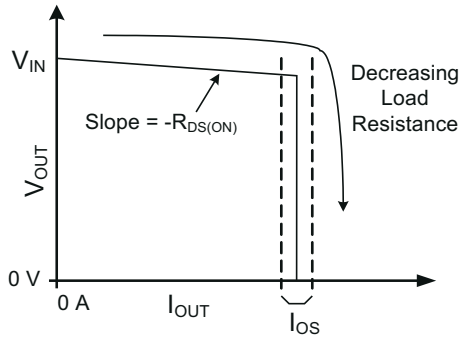


图 6-6. 显示电流限制的输出特性

Copyright © 2023 Texas Instruments Incorporated

6.6 典型特性

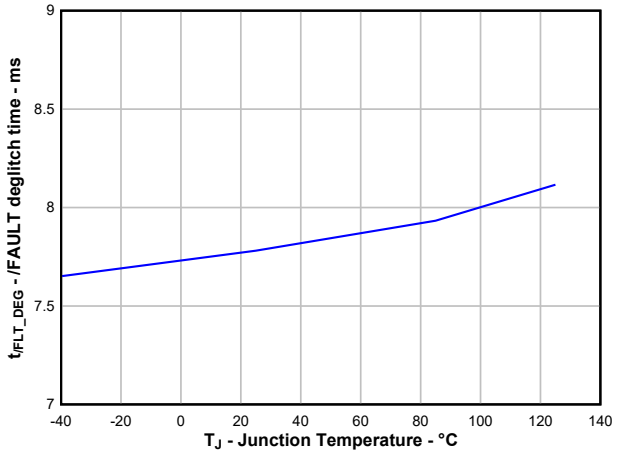


图 6-7. 抗尖峰脉冲周期 (T_{FLT}) 与温度间的关系

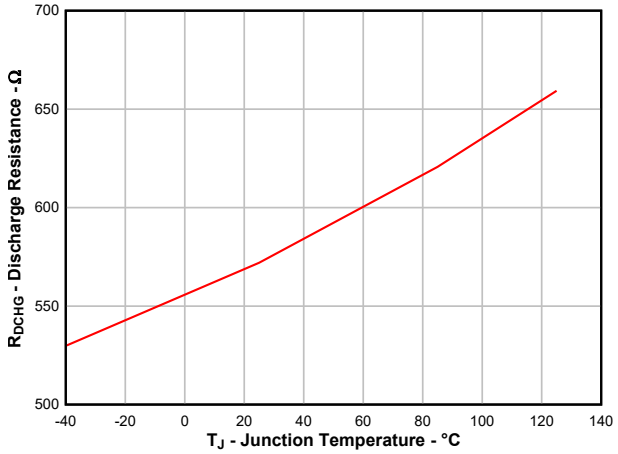


图 6-8. 输出放电电阻与温度之间的关系

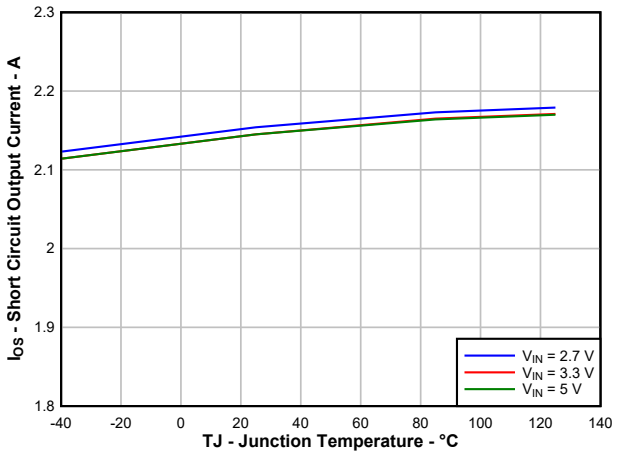


图 6-9. TPS2068E、TPS2069E 短路电流 (I_{OS}) 与温度间的关系

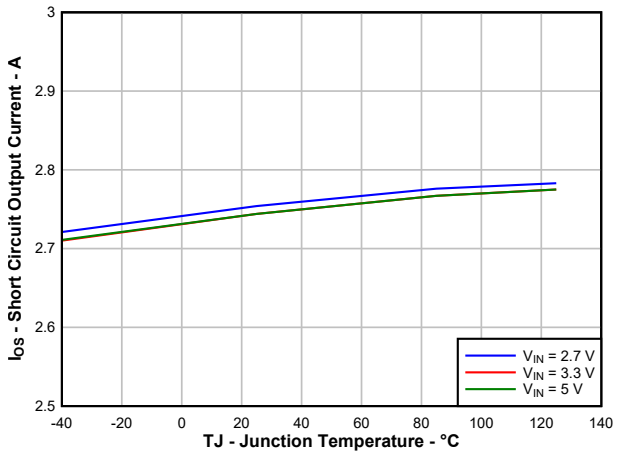


图 6-10. TPS2000E、TPS2001E 短路电流 (I_{OS}) 与温度间的关系

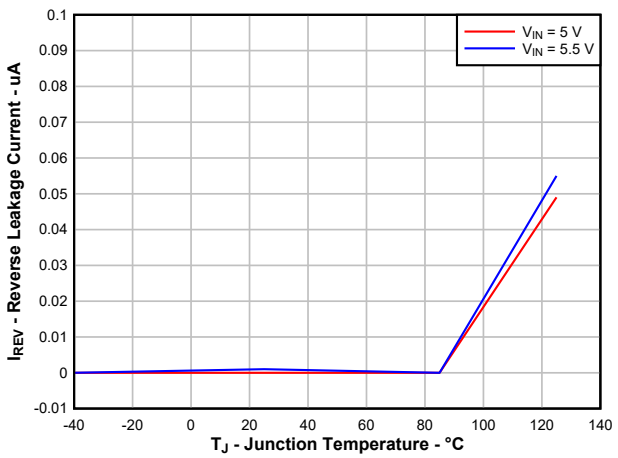


图 6-11. 反向漏电流 (I_{REV}) 与温度间的关系

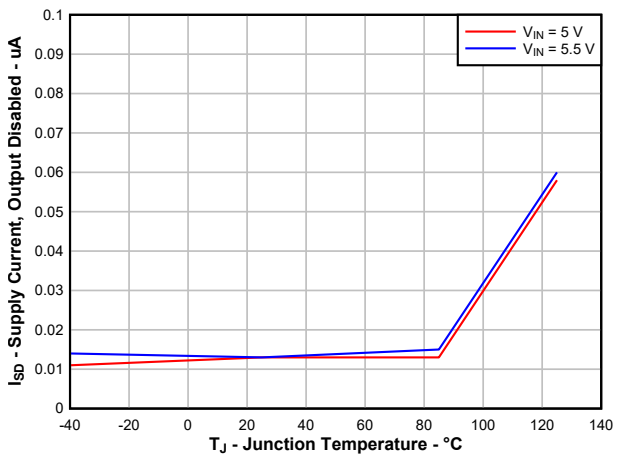


图 6-12. 禁用电源电流 (I_{SD}) 与温度间的关系

Copyright © 2023 Texas Instruments Incorporated

6.6 典型特性（续）

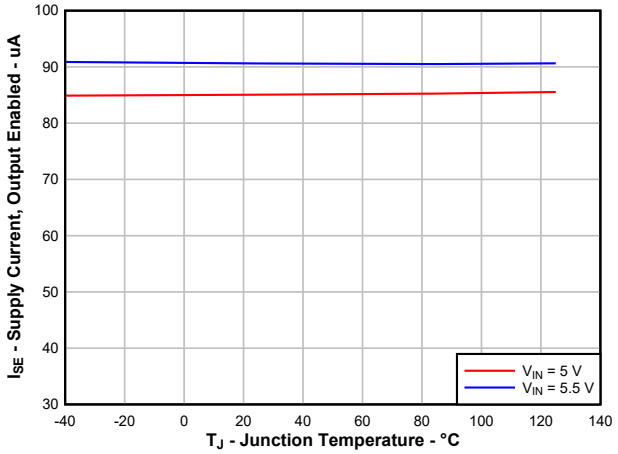


图 6-13. 启用电源电流 (I_{SE}) 与温度间的关系

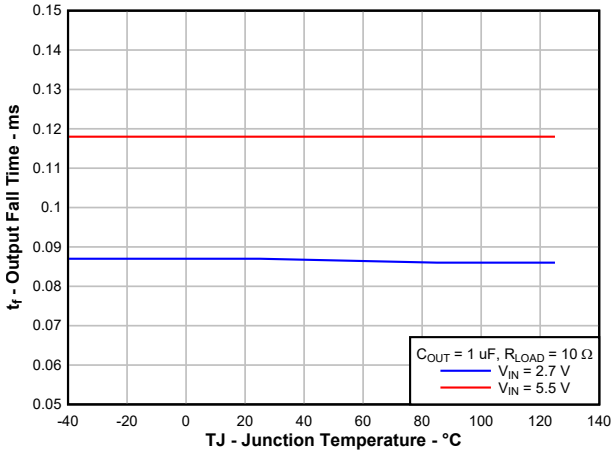


图 6-14. 输出下降时间 (T_F) 与温度间的关系

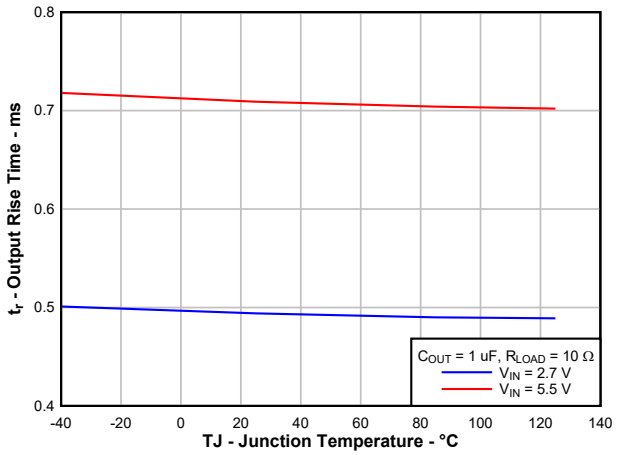


图 6-15. 输出上升时间 (T_R) 与温度间的关系

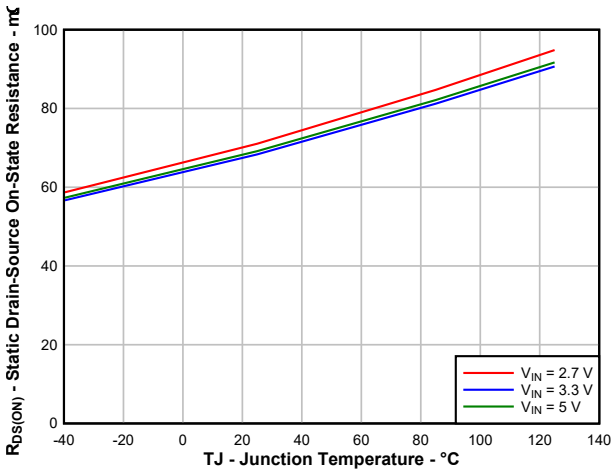


图 6-16. 输入输出电阻 ($R_{DS(ON)}$) 与温度间的关系

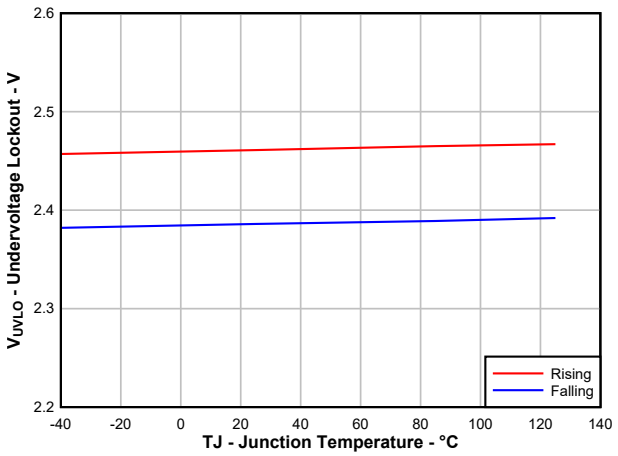


图 6-17. 欠压锁定与温度间的关系

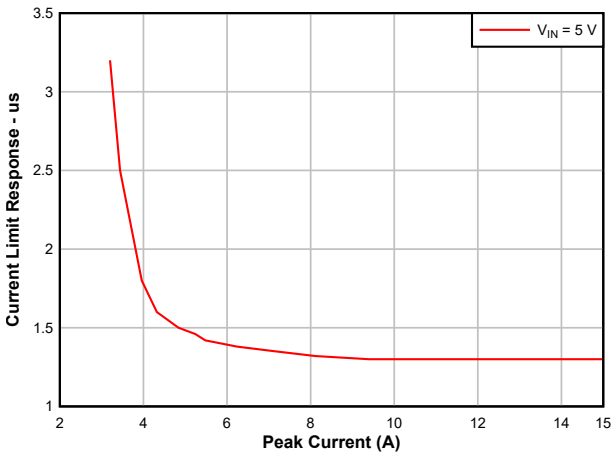


图 6-18. 电流限制响应 (t_{IOS}) 与峰值电流间的关系

Copyright © 2023 Texas Instruments Incorporated

7 详细说明

7.1 概述

TPS20xxE 是限流配电开关，可在 3.3V 和 5V 电源轨电路中提供 1.5A 和 2A 的持续负载电流范围。这些器件使用 N 沟道 MOSFET 实现低电阻，从而保持对负载的电压调节。它们专为遇到短路或高容性负载的应用而设计。器件特性包括使能、禁用时反向阻断、输出放电下拉、过流保护、过热保护和抗尖峰脉冲故障报告。

7.2 功能方框图

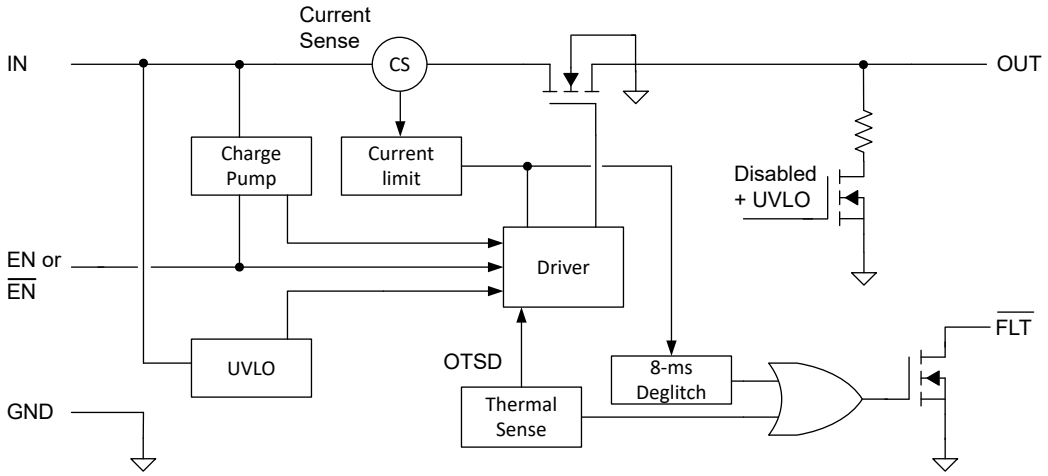


图 7-1. TPS20xxE 方框图

7.3 特性说明

7.3.1 欠压锁定

在输入电压达到 UVLO 导通阈值前，欠压锁定 (UVLO) 电路会禁用电源开关。内置迟滞可避免大电流冲击产生的输入电压降所致的不必要接通/关闭循环。当 TPS20xxE 处于 UVLO 状态时，$\overline{FLT}$ 为高阻抗。

7.3.2 使能

逻辑使能输入（EN 或 $\overline{EN}$）可控制电源开关、电荷泵偏置、驱动器和其他电路。当 TPS20xxE 禁用时，电源电流会降低至 1μA 以下。禁用 TPS20xxE 会立即清除有效的 $\overline{FLT}$ 指示。使能输入与 TTL 和 CMOS 逻辑电平都兼容。

导通和关断时间（t_{ON}、t_{OFF}）由延迟和上升或下降时间（t_R、t_F）组成。延迟时间由内部控制。上升时间由 TPS20xxE 和外部负载（尤其是电容）控制。TPS20xxE 下降时间由负载（R 和 C）和输出放电 (R_{DCHG}) 控制。仅包含一个电阻器的输出负载会经历 TPS20xxE 所设置的下降时间。如果由 (R × C) 时间常数确定的下降时间长于 t_F TPS20xxE，具有并联 R 和 C 元件的输出负载会经历这一较长的下降时间。

使能不得保持开路，并且可根据器件的不同连接至 VIN 或 GND。

7.3.3 内部电荷泵

此器件组合有一个驱动 N 通道 MOSFET 所必需的内部电荷泵和栅极驱动电路。电荷泵为栅极驱动器电路供电并提供所需的电压将 MOSFET 的栅极拉高至源极以上。该驱动器包含可控制输出电压上升和下降时间的电路，以限制输入电源上的大电流和电压浪涌，并提供内置软启动功能。由 UVLO 关闭或被禁用时，MOSFET 电源开关可阻断从 OUT 到 IN 的电流。

7.3.4 电流限值

TPS20xxE 通过将输出电流限制为静态 I_{OS} 水平来对过载情况作出响应，如节 6.5 所示。当出现过载情况时，器件会保持恒定的输出电流，输出电压由 (I_{OS} × R_{LOAD}) 决定。会出现两种可能的过载情况。当满足以下任一条件时，会发生第一种过载情况：

Copyright © 2023 Texas Instruments Incorporated

1. 首先施加输入电压，使能为真，并存在短路（负载消耗 $I_{OUT} > I_{OS}$）
2. 存在输入电压且 TPS20xxE 被启用为短路。

相对于接地，输出电压被保持在零电位附近，而 TPS20xxE 将输出电流斜升至 I_{OS}。在过载情况被清除或器件开始热循环前，TPS20xxE 将电流限制为 I_{OS}。图 8-4 对此进行了演示，其中器件被启用为短路，而后随着热保护的启用循环关闭和开启电流。

第二个条件是当器件被启用并且完全导通时发生过载。当施加指定的过载（请参阅节 6.5）时，该器件会在 t_{IOS} 内响应过载情况（图 6-5 和图 6-6）。响应速度和形状因过载水平、输入电路和应用速率而异。根据是直接趋稳至 I_{OS} 还是关断并有控制地恢复至 I_{OS}，电流限制响应会有所不同。与之前的情况相似，在过载情况被清除或者器件开始热循环前，TPS20xxE 将电流限制为 I_{OS}。

如果一种过载情况的时间足够长到启用上述任一情况中的热限制，TPS20xxE 会进行热循环。这是由于驱动结温上升的功率耗散相对较大 [(V_{IN} – V_{OUT}) × I_{OS}]。当结温超过 135°C（最小值）且处于电流限制状态时，器件将关闭。器件保持关闭状态，直到结温冷却 10°C，然后重新启动。

与 TPS20xxE 类似的 TI 开关产品通常提供两种电流限制曲线。许多陈旧设计具有与图 7-2 中标有*具有峰值的电流限制* 的图类似的输出 I 与 V 间的特性曲线。这种限制类型可通过两个参数来表征：电流限制角 (I_{OC}) 和短路电流 (I_{OS})。I_{OC} 通常指定为最大值。TPS20xxE 系列器件在电流限制状态没有明显的峰值，与图 7-2 中标有*平缓电流限制* 的特性相对应。这就是为什么节 6.5 中不存在 I_{OC} 参数的原因。

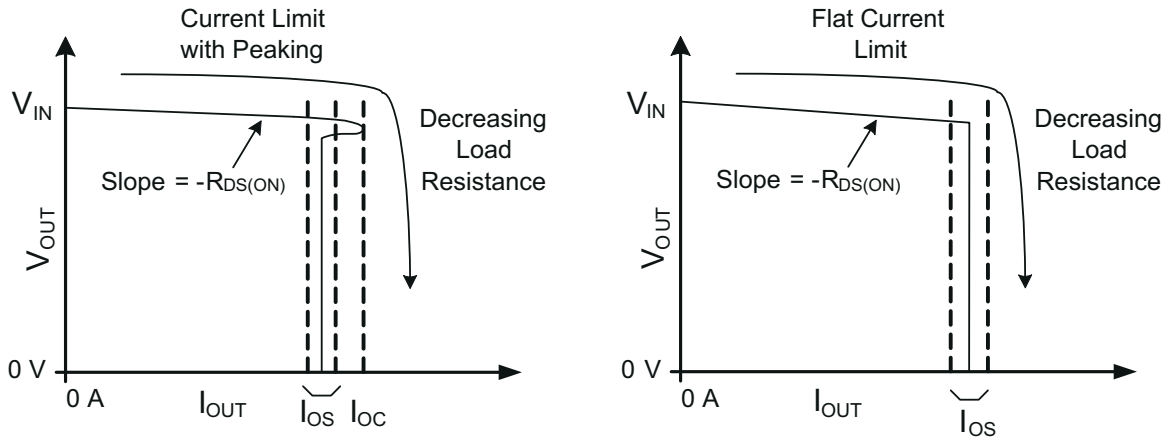


图 7-2. 电流限制曲线

7.3.5 FLT

在过载或过热条件下，$\overline{FLT}$ 开漏输出会被置位（低电平有效）。上升沿和下降沿上的 8ms 抗尖峰脉冲可避免在启动和瞬态期间出现错误报告。短于抗尖峰脉冲周期的电流限制条件会在终止时清除内部计时器。抗尖峰脉冲计时器不集成多个短路过载并声明故障。退出故障状态也是如此。纹波过大和输出电容较大的输入电压可能会干扰 I_{OS} 附近的 $\overline{FLT}$ 运行，因为纹波会驱动 TPS20xxE 进入和退出电流限制。

如果 TPS20xxE 处于电流限制状态且过热电路处于活动状态，$\overline{FLT}$ 会立即变为 true；但是，退出此状态则为抗尖峰脉冲。当进入恒流限制的拐点时，触发 $\overline{FLT}$。一旦开关关闭，禁用 TPS20xxE 就会清除激活的 $\overline{FLT}$。当 TPS20xxE 被禁用或处于欠压锁定 (UVLO) 状态时，$\overline{FLT}$ 为高阻抗。

7.3.6 输出放电

当 TPS20xxE 处于 UVLO 或禁用状态时，500Ω（典型值）的输出放电会耗散 OUT 上存储的电荷和漏电流。随着 V_{IN} 的降低，下拉电路逐渐失去偏置，从而导致放电阻随着 V_{IN} 下降至 0V 而上升。

Copyright © 2023 Texas Instruments Incorporated

7.4 器件功能模式

7.4.1 关断模式

逻辑使能输入（EN 或 $\overline{EN}$）引脚为 TPS20xxE 提供电气 ON 和 OFF 控制。当 $V_{EN/\overline{EN}}$ 低于 0.8V 或 V_{IN} 低于 2V 时，器件处于关断模式。在该模式下，电源开关关闭，电源电流降至 1 µA 以下。有关使能和欠压锁定功能的详细说明，请参阅*使能*和*欠压锁定*部分。

7.4.2 工作模式

当 $V_{EN/\overline{EN}}$ 高于 1.8V 且 IN 引脚上的电源电压高于 2.6V 时，TPS20xxE 进入活动模式。当进入活动模式时，电源开关打开且启用完整功能。

8 应用和实施

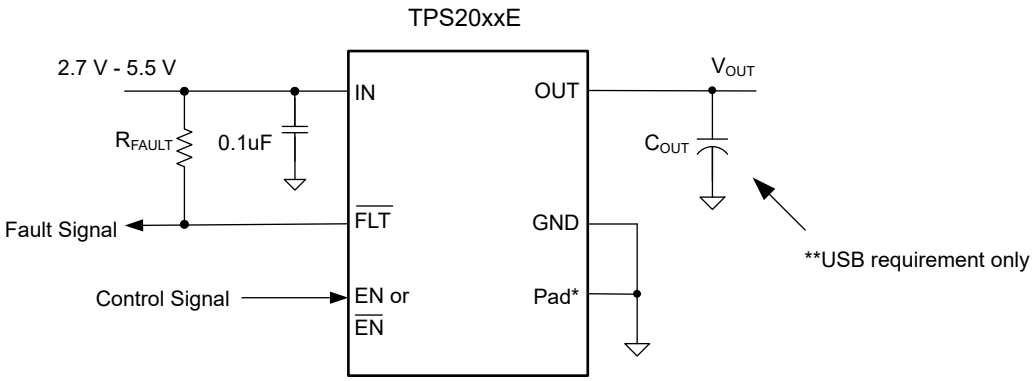
备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

TPS20xxE 限流电源开关在需要持续负载电流的应用中使用 N 沟道 MOSFET。当负载超过电流限制阈值时，器件进入恒流模式。

8.2 典型应用



* DGN only

** USB requirement that downstream facing ports are bypassed with at least 120uF per hub

图 8-1. 典型应用原理图

8.2.1 设计要求

对于这个设计示例，请使用以下输入参数：

1. TPS2001EDBV 以 5V 至 ±0.5V 的输入电压轨运行。
2. 什么是正常工作电流，例如便携式设备为 BC1.2 消耗的最大允许电流为 1500mA，因此正常工作电流为 1500mA，并且电源开关的最小电流限制必须超过 1500mA，才能避免在正常工作期间误触发。对于 TPS2001E 器件，目标为 2A 持续输出电流应用。
3. 上游电源提供的最大允许电流是多少？电源开关的最大电流限制必须降低该电流以确保电源开关在电源开关输出端遇到过载时能够保护上游电源。对于 TPS2001E 器件，最大 I_{OS} 为 3.5A。

8.2.2 详细设计过程

在开始设计过程之前，必须先确定几个参数。设计人员必须了解以下内容：

1. 正常输入工作电压
2. 持续输出电流
3. 最大上游电源输出电流

8.2.2.1 输入和输出电容

输入和输出电容提升了器件的性能；必须针对特定的应用对实际电容进行优化。对于所有应用，为了实现本地噪声去耦，TI 建议在 IN 和 GND 之间尽可能靠近器件的位置上安装一个 0.1 μ F 或更大的陶瓷旁路电容器。

所有保护电路（例如 TPS20xxE）都有可能出现输入电压过冲和输出电压下冲。

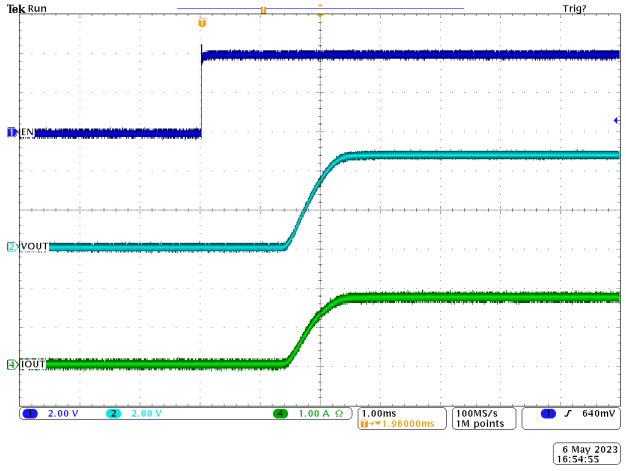
Copyright © 2023 Texas Instruments Incorporated

输入电压过冲可能由两种原因中的任何一种引起。第一个原因是当 IN 端子为高阻抗（导通前）时，突然施加输入电压与输入电源总线电感和输入电容。从理论上讲，峰值电压是所施加电压的 2 倍。第二个原因是当 TPS20xxE 关断时输出短路电流突然减小，而输入电感中存储的能量将输入电压驱动为高电平。在负载阶跃较大和 TPS20xxE 输出短路的情况下，输入电压也可能会降低。具有大输入电感的应用（例如，通过长电缆将评估板连接到工作台电源）可能需要大输入电容，从而降低电压过冲超过器件绝对最大电压的可能性。TPS20xxE 到硬输出短路的快速电流限制会将输入总线与故障隔离开来。然而，靠近 TPS20xxE 输入的 1µF 至 22µF 范围内的陶瓷输入电容有助于加快响应速度并限制输入电源总线上出现的瞬态。

输出电压下冲是由发生短路且 TPS20xxE 突然降低输出电流后输出电源总线的电感引起的。电感中存储的能量会使输出电压降低，并可能会在输出放电时将输出驱动为负值。具有大输出电感（例如来自电缆）的应用可从使用高电容值输出电容器控制电压下冲中受益。实现 USB 标准应用时，需要 120µF 的最小输出电容。通常使用 150µF 电解电容器，这足以控制电压下冲。但是，如果应用不需要 120µF 电容，并且有可能将输出驱动为负值，那么 TI 建议在输出端至少使用 10µF 的陶瓷电容。必须在 10µs 内将电压下冲控制在 1.5V 以下。

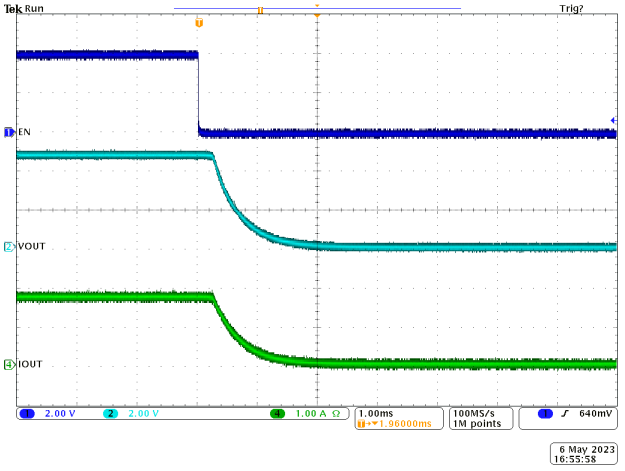
Copyright © 2023 Texas Instruments Incorporated

8.2.3 应用曲线



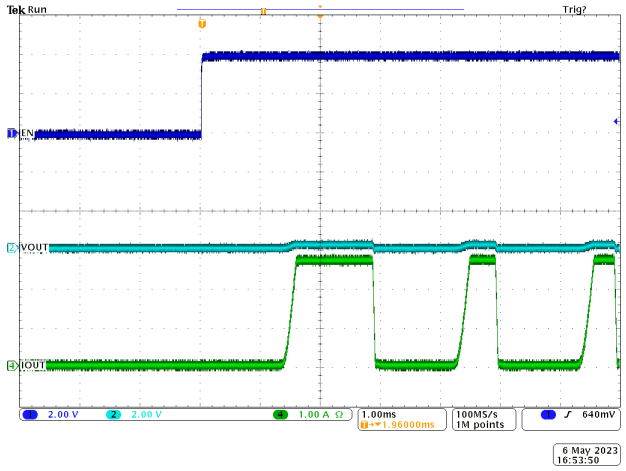
V_{IN} = 5V V_{EN} = 4 V R_{Load} = 2.5 Ω

图 8-2. 接通延迟和上升时间



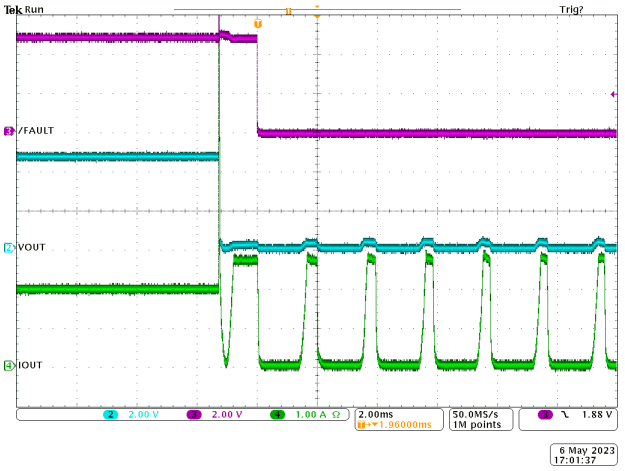
V_{IN} = 5V V_{EN} = 4 V R_{Load} = 2.5 Ω

图 8-3. 关闭延迟和下降时间



V_{IN} = 5V V_{EN} = 4 V OUT 短接至 GND

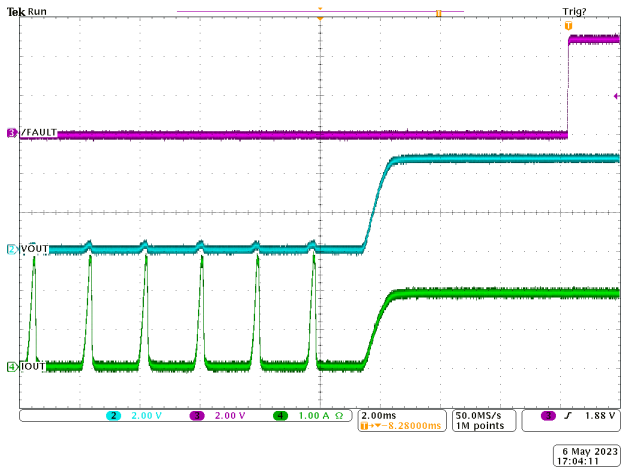
图 8-4. TPS2001E 使能进入输出短路



V_{IN} = 5V

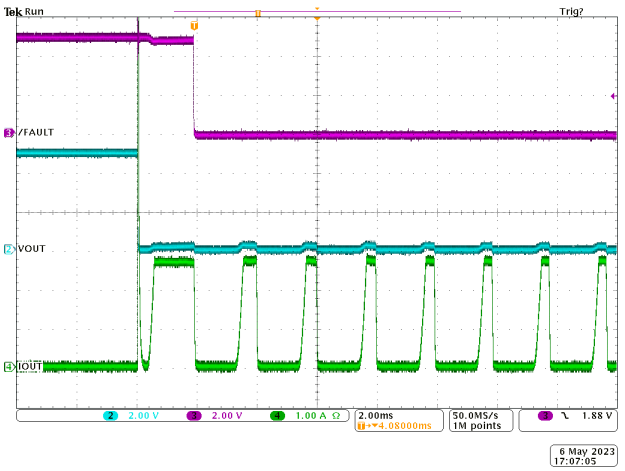
图 8-5. TPS2001E 满载至输出短路

Copyright © 2023 Texas Instruments Incorporated



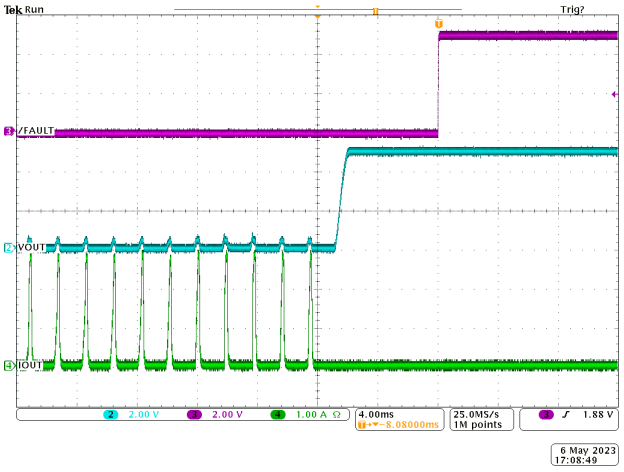
V_{IN} = 5V

图 8-6. TPS2001E 输出对满载短路



V_{IN} = 5V

图 8-7. TPS2001E 空载至输出短路



V_{IN} = 5V

图 8-8. TPS2001E 输出至空载短路

8.3 电源相关建议

这些器件设计为在 2.7V 至 5.5V 的输入电源电压范围内工作。电源的电流能力应超过电源开关的最大电流限值。

8.4 布局

8.4.1 布局指南

1. 将 100nF 旁路电容器放置在 IN 和 GND 引脚附近，并使用低电感引线进行连接。
2. 在 OUT 和 GND 引脚附近放置至少 10µF 的低 ESR 陶瓷电容器，并使用低电感引线进行连接。
3. 必须使用宽而短的铜线迹将 PowerPAD 直接连接到 PCB 接地层。

Copyright © 2023 Texas Instruments Incorporated

8.4.2 布局示例

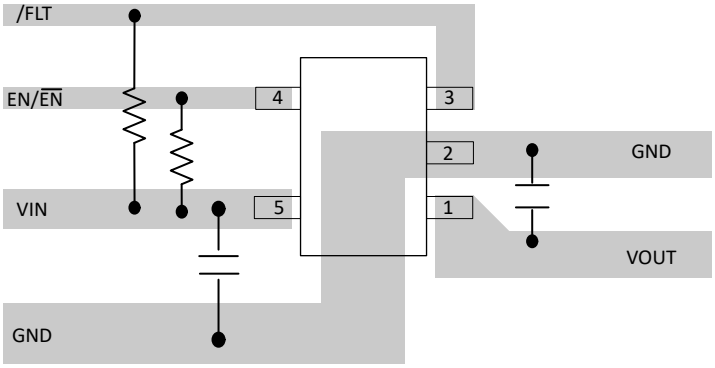


图 8-9. 建议布局 - DBV

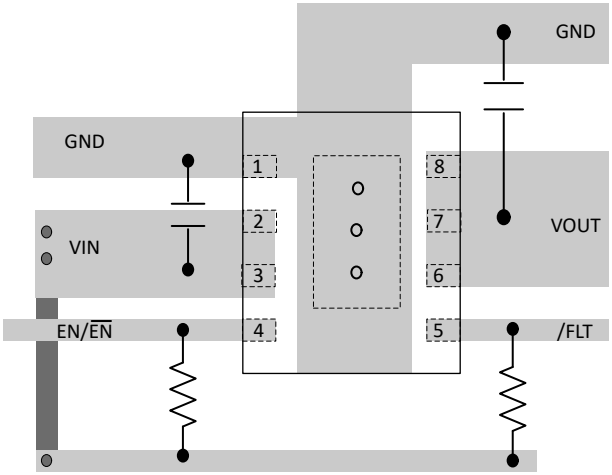


图 8-10. 建议布局 - DGN 和 DGK

Copyright © 2023 Texas Instruments Incorporated

9 器件和文档支持

9.1 文档支持

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

PowerPAD™ and TI E2E™ are trademarks of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (July 2023) to Revision B (October 2023)	Page
• 添加了 DGN 和 DGK 封装的热性能信息	6
• 更新了 TPS2001E 的使能高电平输入电压	6

Changes from Revision * (May 2023) to Revision A (July 2023)	Page
• 将器件状态从“预告信息”更改为“量产数据”	1

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2023 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
PTPS2001EDBVR	ACTIVE	SOT-23	DBV	5	3000	TBD	Call TI	Call TI	-40 to 125		Samples
PTPS2068EDBVR	ACTIVE	SOT-23	DBV	5	3000	TBD	Call TI	Call TI	-40 to 125		Samples
PTPS2069EDBVR	ACTIVE	SOT-23	DBV	5	3000	TBD	Call TI	Call TI	-40 to 125		Samples
TPS2000EDBVR	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	2000E	Samples
TPS2000EDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	000E	Samples
TPS2000EDGNR	ACTIVE	HVSSOP	DGN	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2000E	Samples
TPS2001EDBVR	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	2001E	Samples
TPS2001EDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	001E	Samples
TPS2001EDGNR	ACTIVE	HVSSOP	DGN	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2001E	Samples
TPS2068EDBVR	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	2068E	Samples
TPS2068EDGNR	ACTIVE	HVSSOP	DGN	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2068E	Samples
TPS2069EDBVR	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	2069E	Samples
TPS2069EDGNR	ACTIVE	HVSSOP	DGN	8	2500	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2069E	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

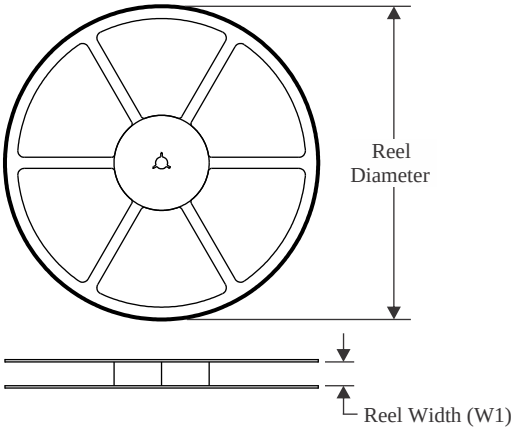
(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

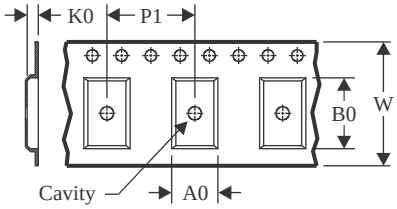
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

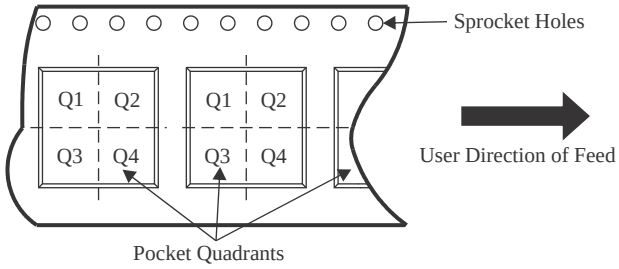


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

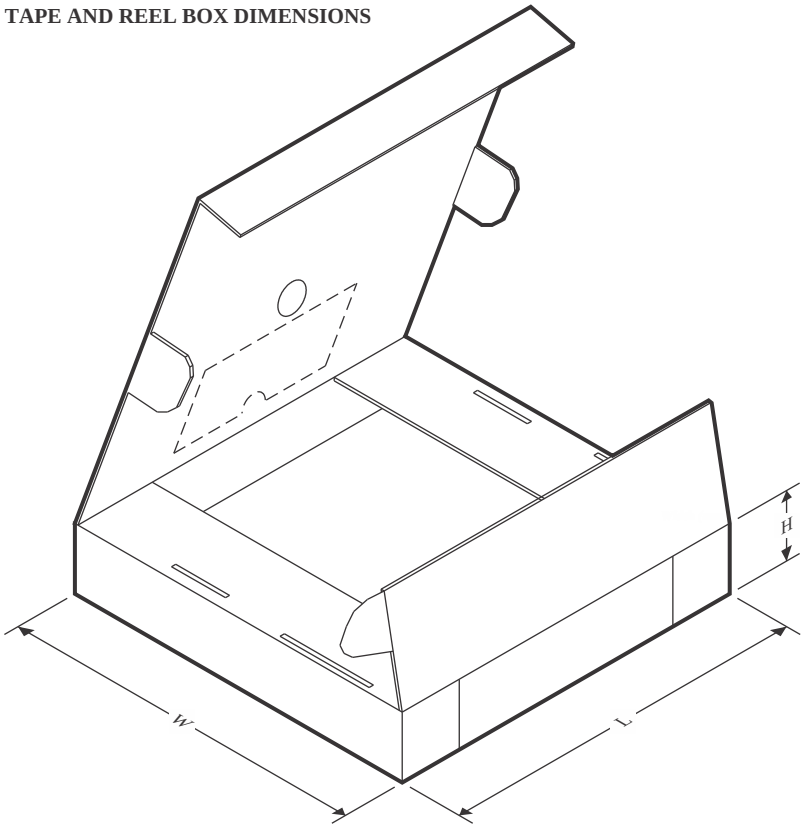
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPS2000EDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2000EDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS2000EDGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS2001EDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2001EDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2001EDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS2001EDGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS2068EDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2068EDGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
TPS2069EDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2069EDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TPS2069EDGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPS2000EDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS2000EDGKR	VSSOP	DGK	8	2500	356.0	356.0	35.0
TPS2000EDGNR	HVSSOP	DGN	8	2500	356.0	356.0	35.0
TPS2001EDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS2001EDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS2001EDGKR	VSSOP	DGK	8	2500	356.0	356.0	35.0
TPS2001EDGNR	HVSSOP	DGN	8	2500	356.0	356.0	35.0
TPS2068EDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS2068EDGNR	HVSSOP	DGN	8	2500	356.0	356.0	35.0
TPS2069EDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS2069EDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
TPS2069EDGNR	HVSSOP	DGN	8	2500	356.0	356.0	35.0

GENERIC PACKAGE VIEW

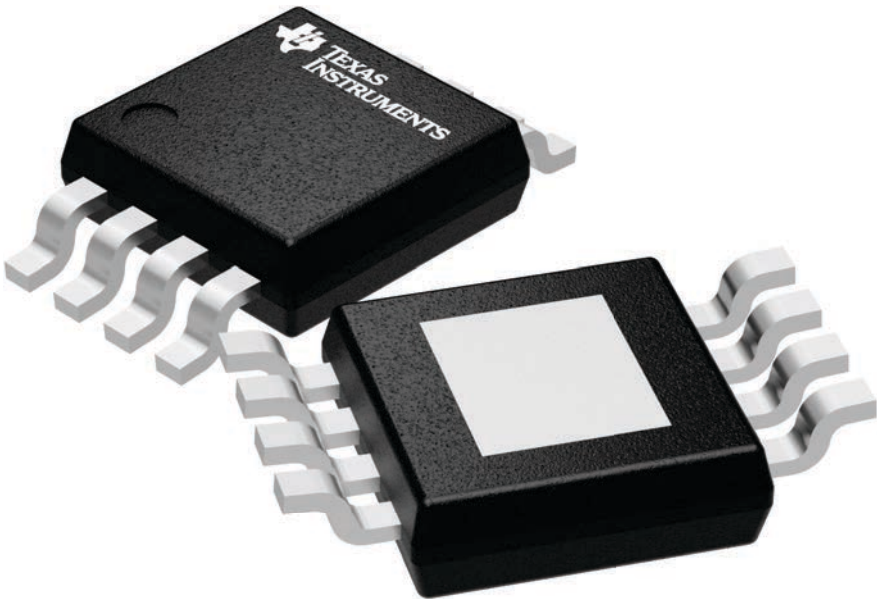
DGN 8

PowerPAD VSSOP - 1.1 mm max height

3 x 3, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



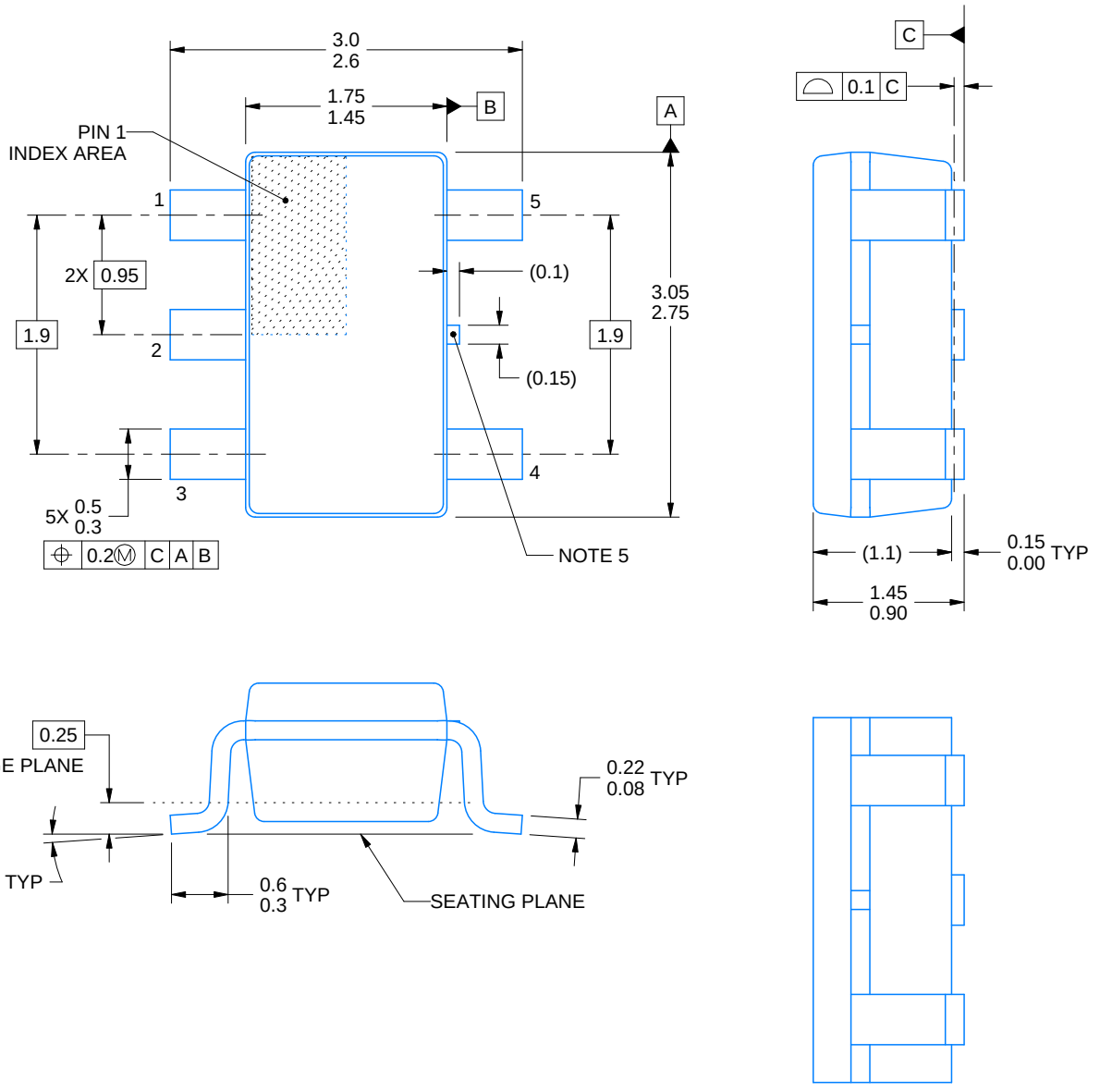
4225482/A

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR

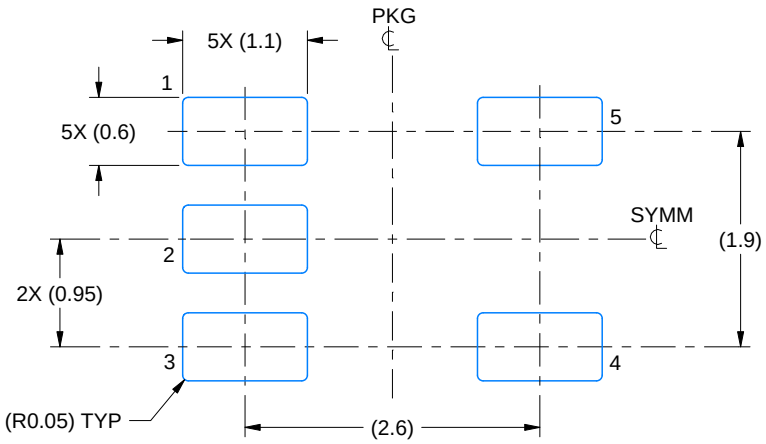


ALTERNATIVE PACKAGE SINGULATION VIEW

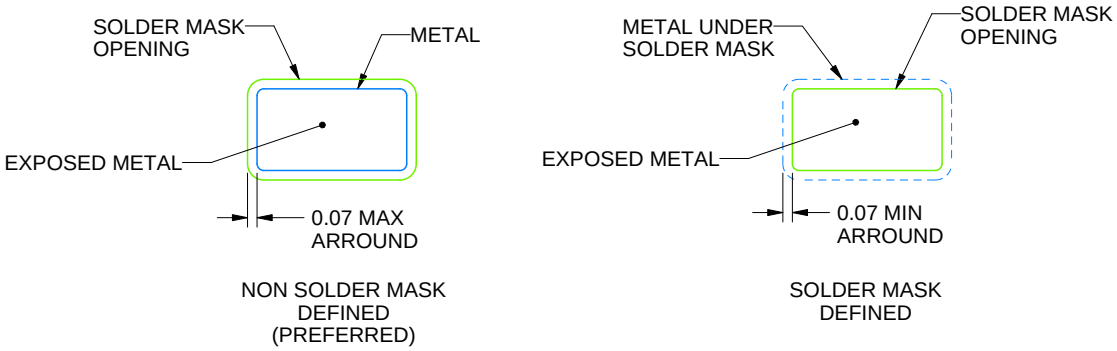
4214839/J 02/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

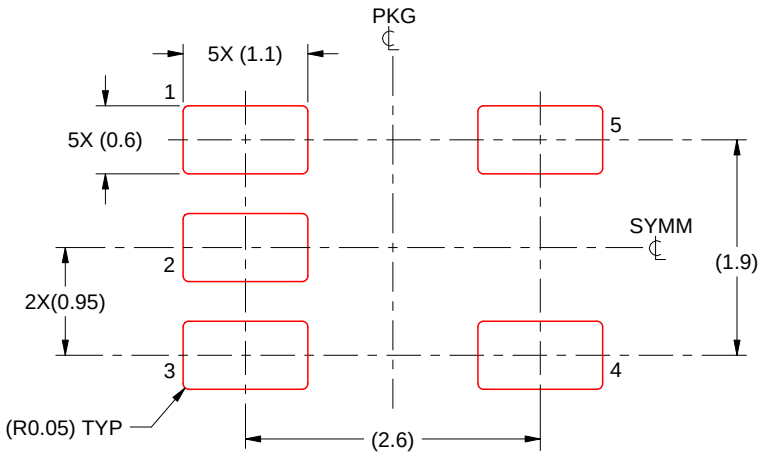


SOLDER MASK DETAILS

4214839/J 02/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



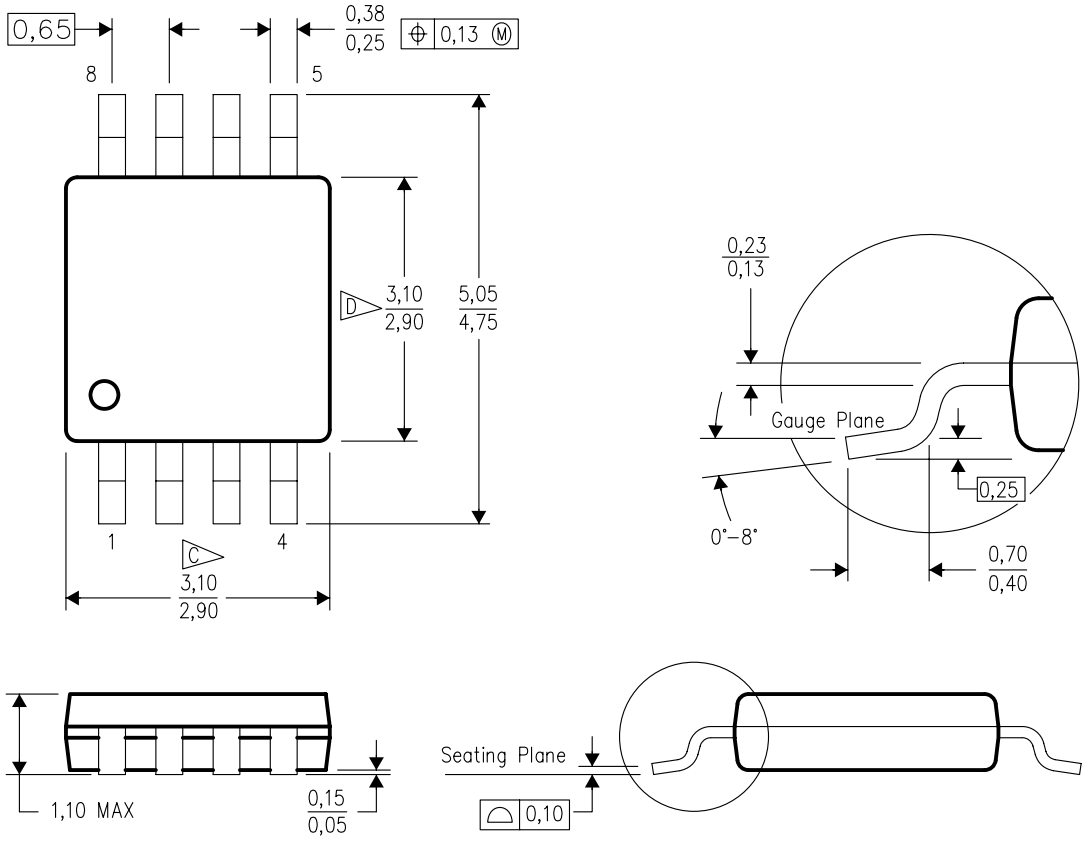
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/J 02/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

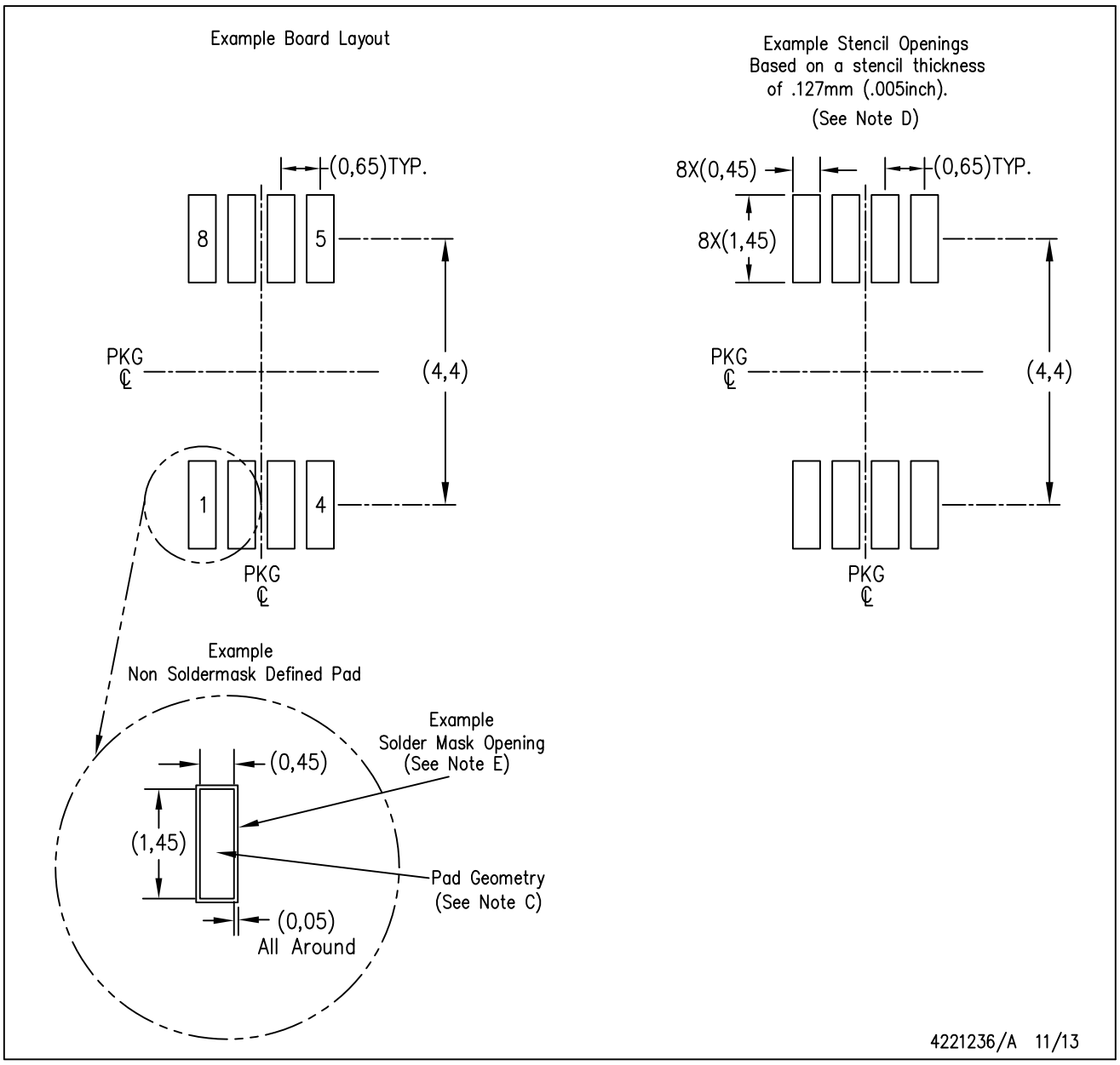
DGK (S–PDSO–G8) PLASTIC SMALL–OUTLINE PACKAGE



4073329/E 05/06

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per end.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
E. Falls within JEDEC MO–187 variation AA, except interlead flash.

DGK (S–PDSO–G8) PLASTIC SMALL OUTLINE PACKAGE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司