TMS320F28388D, TMS320F28386D, TMS320F28386D-Q1
TMS320F28384D, TMS320F28384D-Q1, TMS320F28388S
TMS320F28386S, TMS320F28386S-Q1, TMS320F28384S, TMS320F28384S-Q1
ZHCSJS3E – MAY 2019 – REVISED JUNE 2023

带连接管理器的 TMS320F2838x 实时微控制器

1 特性

- 双核 C28x 架构
  - 两个 TMS320C28x 32 位 CPU
    - 200MHz
    - IEEE 754 双精度（64 位）浮点单元 (FPU)
    - 三角法数学单元 (TMU)
    - CRC 引擎和指令 (VCRC)
    - 快速整数除法 (FINTDIV)
  - 每个 CPU 各有 512KB (256KW) 闪存（受 ECC 保护）
  - 每个 CPU 各有 44KB (22KW) 的本机 RAM
  - 两个 CPU 共享 128KB (64KW) 的全局 RAM（受奇偶校验保护）
- 两个控制律加速器 (CLA)
  - 200MHz
  - IEEE 754 单精度浮点单元
  - 独立于 C28x CPU 之外执行代码
- 系统外设
  - 两个支持 ASRAM 和 SDRAM 的外部存储器接口 (EMIF)
  - 两个 6 通道直接存储器存取 (DMA) 控制器
  - 多达 169 个支持输入滤波的通用输入/输出 (GPIO) 引脚
  - 扩展外设中断控制器 (ePIE)
  - 支持低功耗模式 (LPM)
  - 支持第三方开发的双区安全
  - 唯一标识 (UID) 号
  - 嵌入式实时分析和诊断 (ERAD)
  - 背景 CRC (BGCRC)
- 连接管理器 (CM)
  - Arm® Cortex®-M4 处理器
  - 125MHz
  - 512KB 的闪存（受 ECC 保护）
  - 96KB 的 RAM（受 ECC 保护或奇偶校验保护）
  - 高级加密标准 (AES) 加速器
  - 通用 CRC (GCRC)
  - 32 通道微型直接存储器存取 (μDMA) 控制器
  - 通用异步接收器/发送器 (CM-UART)
  - 内部集成电路 (CM-I2C)
  - 同步串行接口 (SSI)
  - 10/100 以太网 1588 MII/RMII
- C28x 通信外设
  - 带两个发送器和八个接收器的快速串行接口 (FSI)
  - 四个高速（最高 50MHz）SPI 端口（引脚可引导）
  - 四个串行通信接口 (SCI/UART)（引脚可引导）
  - 两个 I2C 接口（引脚可引导）
  - 电源管理总线 (PMBus) 接口
  - 两个多通道缓冲串行端口 (McBSP)
- CM-C28x 共享通信外设
  - EtherCAT® 从站控制器 (ESC)
  - USB 2.0 (MAC + PHY)
  - 两个控制器局域网 (CAN) 模块（引脚可引导）
  - MCAN (CAN FD)
- 模拟子系统
  - 四个模数转换器 (ADC)
    - 16 位模式
      - 每个转换器的吞吐量为 1.1MSPS
      - 12 个差动输入或 24 个单端输入
    - 12 位模式
      - 每个转换器的吞吐量为 3.5MSPS
      - 24 个单端输入
    - 每个 ADC 上有一个采样保持 (S/H) 电路
    - 转换的硬件后处理
  - 八个具有 12 位数模转换器 (DAC) 参考的窗口比较器
  - 三个 12 位缓冲 DAC 输出
- 控制外设
  - 32 个脉宽调制器 (PWM) 通道
    - 8 个 PWM 模块的 A 和 B 通道（16 个通道）均可实现高分辨率
    - 死区支持（对于标准和高分辨率均支持）
  - 七个增强型捕捉 (eCAP) 模块
    - 在七个 eCAP 模块中，有两个提供高分辨率捕捉 (HRCAP)
  - 三个增强型正交编码器脉冲 (eQEP) 模块
  - 八个 Σ-Δ 滤波器模块 (SDFM) 输入通道，每个通道 2 个独立滤波器

本文档旨在为方便起见，提供有关 TI 产品中文版本的信息，以确认产品的概要。有关适用的官方英文版本的最新信息，请访问 www.ti.com，其内容始终优先。TI 不保证翻译的准确性和有效性。在实际设计之前，请务必参考最新版本的英文版本。

- 可配置逻辑块 (CLB)
  - 增强现有外设功能
  - 支持位置管理器解决方案
- 时钟和系统控制
  - 两个内部零引脚 10MHz 振荡器
  - 片上晶体振荡器
  - 窗口看门狗计时器模块
  - 丢失时钟检测电路
  - 双路时钟比较器 (DCC)
- 硬件内置自检 (HWBIST)
- 1.2V 内核、3.3V I/O 设计
- 符合功能安全标准
  - 专为功能安全应用开发
  - 可提供用于 ISO 26262 和 IEC 61508 系统设计的文档
  - 系统功能符合 ASIL D 和 SIL 3 等级要求
  - 硬件功能符合 ASIL B 和 SIL 2 等级要求
- 安全相关认证
  - 已通过 TÜV SÜD 的 ISO 26262 认证 ASIL B
  - 通过 TÜV SÜD 的 IEC 61508 认证 SIL 2
- 封装选项：
  - 无铅，绿色环保封装
  - 337 焊球 New Fine Pitch Ball Grid Array (nFBGA) [ZWT 后缀]
  - 176 引脚 PowerPAD™ Thermally Enhanced Low-profile Quad Flatpack (HLQFP) [PTP 后缀]
- 温度选项：
  - S：–40°C 至 125°C 结温
  - Q：–40°C 至 125°C 的环境温度范围（通过针对汽车应用的 AEC Q100 认证）

2 应用

- 中距离/短距离雷达
- HVAC 大型商用电机控制
- 自动分拣设备
- CNC 控制
- 中央逆变器
- 串式逆变器
- 逆变器和电机控制
- 车载充电器 (OBC) 和无线充电器
- 线性电机分段控制器
- 伺服驱动器控制模块
- 工业交流-直流
- 三相 UPS

3 说明

TMS320F2838x (F2838x) 是 C2000™ 实时微控制器系列中的一个器件，该系列可扩展、超低延迟器件旨在提高电力电子设备的效率，包括但不限于：高功率密度、高开关频率，并支持使用 GaN 和 SiC 技术。

这些应用包括：

- 工业电机驱动
- 电机控制
- 光伏逆变器
- 数字电源
- 电动车辆与运输
- 感应和信号调理

实时控制子系统基于 TI 的 32 位 C28x DSP 内核，可针对从片上闪存或 SRAM 运行的浮点或定点代码在每个内核中提供 200MHz 的信号处理性能。三角函数加速器 (TMU) 和 VCRC（循环冗余校验）扩展指令集进一步增强了 C28x CPU 的性能，从而加快了实时控制系统关键常用算法的速度。利用扩展指令集实现 IEEE 双精度 64 位浮点数学。最后，控制律加速器 (CLA) 使每个内核具有额外 200MHz 的独立处理能力。

此器件还包含独立的连接管理器 (CM)，它基于 ARM Cortex-M4 处理器，以 125MHz 运行。借助它自己的专用闪存和 SRAM，CM 可以完全独立地控制进出 F2838x 的接口，从而为 C28x DSP 提供更大的带宽以专注于实时控制。

Copyright © 2023 Texas Instruments Incorporated

高性能模拟块与处理单元和控制单元紧密集成，可提供出色的实时信号链性能。三十二个与频率无关的 PWM 可控制从三相逆变器到高级多级电源拓扑的多个功率级。

通过加入可配置逻辑块 (CLB)，用户可以添加自定义逻辑，还可将类似 FPGA 的功能集成到 C2000 实时 MCU 中。

在 C2000 实时 MCU 中，第一次加入了 EtherCAT 从站控制器，以及其他业界通用协议（例如，CAN FD 和 USB 2.0）。快速串行接口 (FSI) 可跨隔离边界实现高达 200Mbps 的稳健通信。

是否想详细了解 C2000 MCU 适用于实时控制系统的特性？查看 *《使用 C2000™ 实时微控制器的基本开发指南》*，并访问 C2000™ 实时控制 MCU 页面。

C2000™ 实时控制微控制器 (MCU) 入门指南 涵盖了 C2000 器件开发中从硬件到支持资源的所有方面。除了主要的参考文档外，每个部分还提供了相关链接和资源，可帮助用户进一步了解相关信息。

准备好开始了吗？查看 TMDSCNCD28388D 评估板并下载 C2000Ware。

封装信息

器件型号	封装(1)	封装尺寸（标称值）
TMS320F28388D	ZWT（nFBGA，337）	16 mm × 16 mm
	PTP（HLQFP，176）	24 mm × 24 mm
TMS320F28388S	ZWT（nFBGA，337）	16 mm × 16 mm
	PTP（HLQFP，176）	24 mm × 24 mm
TMS320F28386D	ZWT（nFBGA，337）	16 mm × 16 mm
	PTP（HLQFP，176）	24 mm × 24 mm
TMS320F28386S	ZWT（nFBGA，337）	16 mm × 16 mm
	PTP（HLQFP，176）	24 mm × 24 mm
TMS320F28384D	ZWT（nFBGA，337）	16 mm × 16 mm
	PTP（HLQFP，176）	24 mm × 24 mm
TMS320F28384S	ZWT（nFBGA，337）	16 mm × 16 mm
	PTP（HLQFP，176）	24 mm × 24 mm

(1) 有关这些器件的详细信息，请参阅机械、封装和可订购信息。

3.1 功能方框图

功能方框图展示了 CPU 系统及关联的外设。

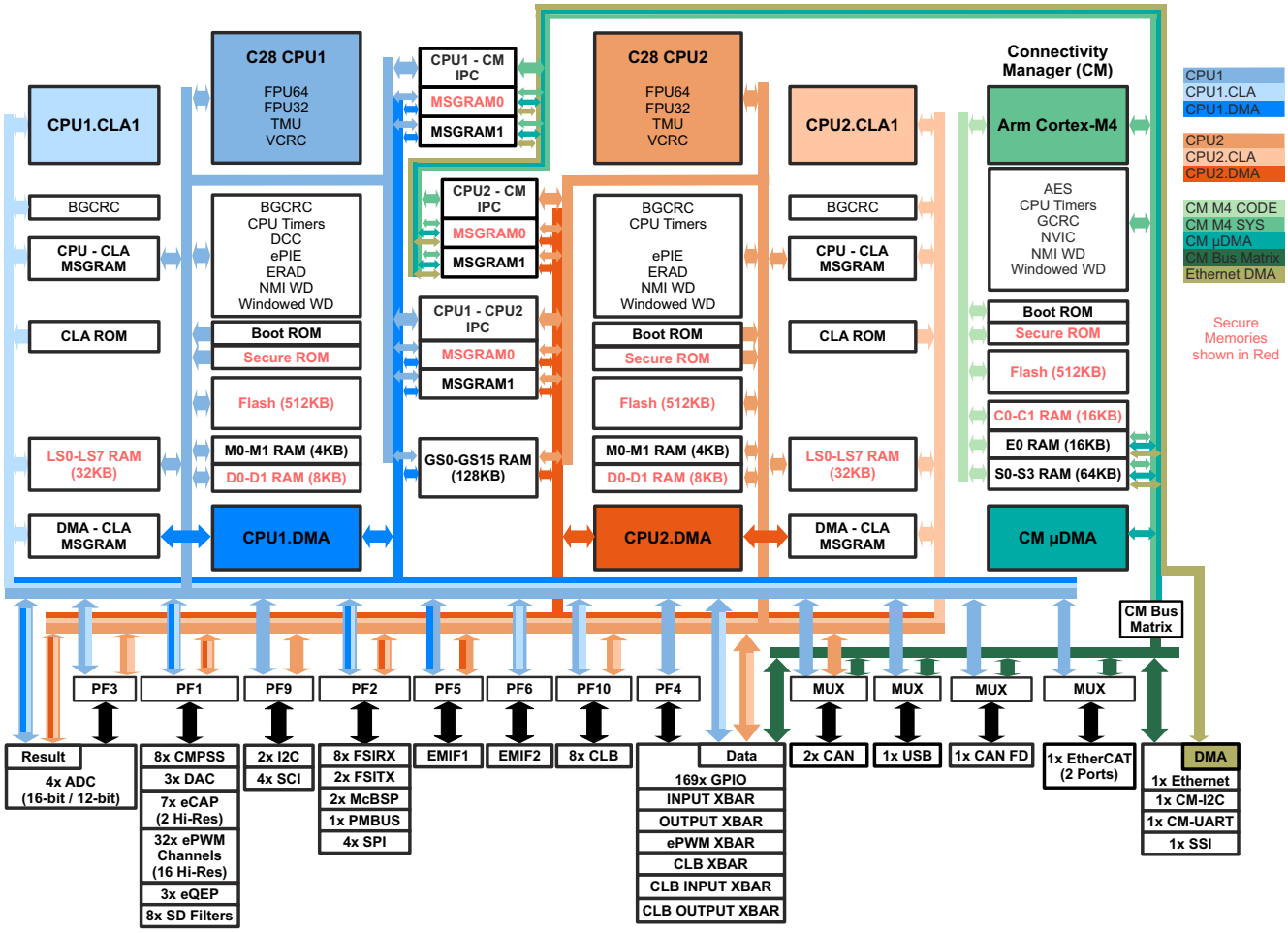


图 3-1. 功能方框图

Copyright © 2023 Texas Instruments Incorporated

内容

1 特性.....1
2 应用.....2
3 说明.....2
3.1 功能方框图.....4
4 修订历史记录.....5
5 器件比较.....8
5.1 相关产品.....11
6 终端配置和功能.....12
6.1 引脚图.....12
6.2 引脚属性.....18
6.3 信号说明.....55
6.4 带有内部上拉和下拉的引脚.....82
6.5 引脚复用.....82
6.6 未使用引脚的连接.....98
7 规格.....99
7.1 绝对最大额定值.....99
7.2 ESD 等级 - 商用.....99
7.3 ESD 等级 - 汽车.....100
7.4 建议运行条件.....100
7.5 功耗摘要.....101
7.6 电气特性.....105
7.7 ZWT 封装的热阻特性.....107
7.8 PTP 封装的热阻特性.....107
7.9 散热设计注意事项.....108
7.10 系统.....109
7.11 C28x 模拟外设.....155
7.12 C28x 控制外设.....189
7.13 C28x 通信外设.....206
7.14 连接管理器 (CM) 外设.....249
8 详细说明.....270
8.1 概述.....270
8.2 功能方框图.....271
8.3 存储器.....272
8.4 标识.....288
8.5 总线架构 - 外设连接.....289
8.6 引导 ROM 和外设引导.....292
8.7 双代码安全模块 (DCSM).....298
8.8 C28x (CPU1/CPU2) 子系统.....299
8.9 连接管理器 (CM) 子系统.....315
8.10 功能安全.....325
9 应用、实施和布局.....326
9.1 应用和实施.....326
9.2 器件主要特性.....326
9.3 应用信息.....331
10 器件和文档支持.....341
10.1 入门和后续步骤.....341
10.2 器件和开发支持工具命名规则.....341
10.3 标识.....342
10.4 工具与软件.....343
10.5 文档支持.....344
10.6 支持资源.....344
10.7 商标.....345
10.8 静电放电警告.....345
10.9 术语表.....345
11 机械、封装和可订购信息.....346
11.1 封装信息.....346

4 修订历史记录

Changes from FEBRUARY 2, 2021 to JUNE 28, 2023 **Page**

- **此“修订历史记录”列出了从 SPRSP14D 到 SPRSP14E 的更改** 1
- **通篇：**将“CAN-FD”更改为“CAN FD” 1
- **通篇：**将 ESC_TX0_ENA 和 ESC_TX1_ENA 引脚类型从“I/O”更改为“O” 1
- *特性* 一节：添加了“符合功能安全标准”特性和“安全相关认证”特性。添加了“硬件内置自检 (HWBIST)”特性。从“连接管理器 (CM)”组中删除了“MCAN (CAN FD)”特性。向“CM-C28x 共享通信外设”组中添加了“MCAN (CAN FD)” 1
- *说明* 部分：向 *C2000™ 实时控制微控制器 (MCU) 入门指南* 添加了参考段落.....2
- *封装信息* 表：将表标题从*器件信息* 更改为*封装信息*更新了表.....2
- *功能方框图* 图：更改了“1x CAN FD”的蓝色“多路复用器”箭头.....4
- *器件比较* 表：更新了“具有灵活数据速率的 CAN (CAN FD)”，将值更改为“1 **(可分配给 CPU1 或 CM)** ” 8
- *引脚属性* 表：更新了表将 337 焊球 ZWT 封装上的焊球 H4 从“NC”更改为“NC1”，并从 176 引脚 PTP 封装中删除了引脚分配 119。添加了“NC2”（337 焊球 ZWT 封装上的焊球 J18；176 引脚 PTP 封装上的引脚 119）。更改了 TRSTn 的说明。删除了 XRSn 说明中的重复句子。更改了 176 引脚封装的 VSS 说明和引脚编号.....18
- *模拟信号* 表：更新了表.....55
- *数字信号* 表：更新了表.....55
- *电源和接地* 表：更新了表更改了 176 引脚封装的 VSS 说明和引脚编号.....55

- *测试、JTAG 和复位* 表：更新了表。将“NC”更改为“NC1”。将“337 BGA”焊球编号从“H4、J18”更改为“H4”。删除了“176 引脚”引脚编号 119。添加了“NC2”（337 BGA 焊球编号 J18、176 引脚编号 119）。更改了 TRSTn 的说明。删除了 XRSn 说明中的重复句子 55
- *规格* 部分：将“应力超出*绝对最大额定值*下所列的值...”段落文本移动到*绝对最大额定值*表的脚注中 99
- *绝对最大额定值* 表：添加了“应力超出*绝对最大额定值*下所列的值...”脚注和“除非另有说明，否则所有电压值均以 VSS 为基准”脚注 99
- *建议工作条件* 表：删除了 $t_{VDDIO-RAMP}$ 99
- *ESD 等级 - 商用* 表：删除了“充电器件模型 (CDM)”说明中的“JEDEC 规范 JESD22-C101”，为转角引脚添加了 CDM 值 99
- *电源管理模块 (PMM)* 部分：新增了该部分 109
- *电源时序* 部分：更改了此部分 109
- *复位电路* 图：替换了 4 向结点 114
- *复位源* 部分：更新了导语段落。添加了“复位信号”表 115
- *时钟系统* 图：添加了 CLB 119
- *内部时钟频率* 表：将 MIN $f_{(INTCLK)}$ 和 MIN $f_{(AUXINTCLK)}$ 从 10MHz 更改为 2MHz。添加了 $f_{(CLBTILECLK)}$ 和 $f_{(CLBREGCLK)}$ 123
- *XTAL 振荡器* 部分：将章节标题从*晶体振荡器*更改为 *XTAL 振荡器*。更新了该部分 124
- *闪存参数* 表：将“N_{wec} 写入/擦除周期”更改为“每个扇区的 N_{wec} 写入/擦除周期”。添加了“整个闪存（整合所有扇区）的 N_{wec} 写入/擦除周期”及其相关的脚注。添加了“T_J = 125°C 时的 $t_{retention}$ 数据保持持续时间”及其相关的脚注 132
- *RAM 规格* 部分：新增了该部分 133
- *ROM 规格* 部分：新增了该部分 134
- *连接到 14 引脚 JTAG 接头* 图：在 TMS 上添加了 2.2kΩ 上拉电阻 135
- *连接到 20 引脚 JTAG 接头* 图：在 TMS 上添加了 2.2kΩ 上拉电阻 135
- *EMIF 异步存储器开关特性* 表：更新了参数 3、10、15 和 24 在 EW = 1 时的最小值和最大值。添加了“最大等待超时条件”脚注 148
- *单端输入模型* 部分：添加了“用户应假设在 C_h 具有最坏的初始条件下分析 ADC 输入设置...”段落 169
- *差分输入模型* 部分：添加了对 *C2000 ADC 的电荷共享驱动电路（使用 TINA-TI 仿真工具）*应用手册和 *C2000 MCU 的 ADC 输入电路评估（使用 TINA-TI 仿真工具）*应用手册的引用 170
- *差分输入模型* 部分：删除了“用户应假设在 C_h 具有最坏的初始条件下分析 ADC 输入设置...”段落 170
- *12 位模式下的 ADC 时序（SYSCLK 周期）*表：添加了关于 t_{INT} 的脚注 172
- *16 位模式下的 ADC 时序* 表：添加了关于 t_{INT} 的脚注 174
- *比较器电气特性* 表：添加了迟滞最小值和最大值 179
- *CMPSS DAC 动态误差* 部分：新增了该部分 182
- *PMBus 电气数据和时序* 部分：删除了导语段落 231
- *PMBus 快速模式开关特性* 表：添加了 F_{mod}，PMBus 模块时钟频率 231
- *PMBus 标准模式开关特性* 表：添加了 F_{mod}，PMBus 模块时钟频率 231
- *通用串行总线 (USB) 控制器* 部分：更改了有关片上零引脚振荡器精度的**注意**事项 247
- *模块化控制器局域网 (MCAN) [CAN FD]* 部分：更改了前两个段落 249
- *MCAN 模块概览* 图：更改了图 249
- *功能方框图* 图：更改了“1x CAN FD”的蓝色“多路复用器”箭头 271
- *C28x 存储器映射* 表：添加了“MCAN 消息 RAM” 272
- *外设寄存器存储器映射* 部分：新增了该部分 275
- *CM 存储器映射* 表：更改了“EtherCAT RAM（直接访问）”的起始地址和结束地址 282
- *外设寄存器存储器映射 (CM)* 部分：新增了该部分 284
- *CM 总线主器件对外设的访问* 表：向“MCAN (CAN FD)”行的“CPU1 子系统”列中添加了“Y” 289
- *所有可用的引导模式* 表：添加了关于 USB 引导加载程序的脚注 294
- *可配置逻辑块 (CLB)* 部分：添加了“在正常运行情况下，CLB 外设的时钟频率源自器件 SYSCLK ...”段落 313
- *CM 时钟系统* 图：将图标题从“时钟系统”更改为“**CM** 时钟系统”。删除了 MCAN 322
- *功能安全* 部分：新增了该部分 325

Copyright © 2023 Texas Instruments Incorporated

- *应用、实施和布局* 部分：更新了该部分 326
- *入门和后续步骤* 部分：新增了该部分 341
- *工具与软件* 部分：添加了 C2000 第三方搜索工具 343

5 器件比较

“器件比较”表列出了每个 2838x 器件的特性。

表 5-1. 器件比较

特性[1]			28388D	28386D 28386D-Q1	28384D 28384D-Q1	28388S	28386S 28386S-Q1	28384S 28384S-Q1
C28x 子系统								
C28x	数量		2			1		
	频率 (MHz)		200					
	32 位和 64 位浮点单元 (FPU)		是					
	VCRC		是					
	TMU - 0 类		是					
CLA - 2 类	编号		2 个 (每个 CPU 1 个)			1		
	频率 (MHz)		200					
C28x 闪存			1MB (512KW) [每个 CPU 512KB (256KW)]			512KB (256KW)		
C28x RAM	专用 RAM		24KB (12KW) [每个 CPU 12KB (6KW)]			12KB (6KW)		
	本地共享 RAM		64KB (32KW) [每个 CPU 32KB (16KW)]			32KB (16KW)		
	全局共享 RAM		128KB (64KW) (在 CPU 之间共享)			128KB (64KW)		
	总 RAM		**216KB (108KW)**			**172KB (86KW)**		
后台循环冗余校验 (BGCRC) 模块			1					
可配置逻辑块 (CLB)			8 个逻辑块		否	8 个逻辑块		否
32 位 CPU 计时器			6 个 (每个 CPU 3 个)			3		
6 通道 DMA – 0 类			2 个 (每个 CPU 1 个)			1		
用于片上闪存和 RAM 的双区域代码安全模块 (DCSM)			是					
嵌入式实时分析和诊断 (ERAD)			是					
EMIF	EMIF1 (16 位或 32 位)	337 焊球 ZWT	1					
		176 引脚 PTP	1					
	EMIF2 (16 位)	337 焊球 ZWT	1					
		176 引脚 PTP	–					
外部中断			5					
GPIO	I/O 引脚 (在 CPU1、CPU2 和 CM 之间共享)	337 焊球 ZWT	169					
		176 引脚 PTP	97					
	输入 XBAR		是					
	输出 XBAR		是					

Copyright © 2023 Texas Instruments Incorporated

表 5-1. 器件比较 (continued)

特性[1]			28388D	28386D 28386D-Q1	28384D 28384D-Q1	28388S	28386S 28386S-Q1	28384S 28384S-Q1
消息 RAM	C28x CPU1、C28x CPU2 和 Cortex-M4		24KB（三对中每个对之间每个方向 4KB）			8KB（CPU1 和 Cortex-M4 之间每个方向 4KB）		
	C28x CPU 和 CLA		1KB（每个 CPU 和 CLA 对之间每个方向 256 字节）			512 字节（CPU 和 CLA 之间每个方向 256 字节）		
	DMA 和 CLA		1KB（每个 DMA 和 CLA 对之间每个方向 256 字节）			512 字节（DMA 和 CLA 之间每个方向 256 字节）		
非可屏蔽中断看门狗 (NMIWD) 计时器			2 个（每个 CPU 1 个）			1		
看门狗 (WD) 计时器			2 个（每个 CPU 1 个）			1		
连接管理器 (CM) 子系统								
Arm Cortex-M4			125MHz					
Cortex-M4 上的闪存			512KB					
Cortex-M4 上的 RAM			96KB					
高级加密标准 (AES) 加速器			1					
CPU 计时器			3					
通用循环冗余校验 (GCRC) 模块			1					
用于 Cortex-M4、μ μDMA 和以太网 DMA 的存储器保护单元 (MPU)			3					
CM 不可屏蔽中断 (CMNMI) 模块			1					
跟踪端口的接口单元（TPIU）			1					
μDMA			1					
看门狗 (WD) 计时器			1					
C28x 模拟外设								
模数转换器 (ADC)（可配置为 12 位或 16 位）			4					
ADC 16 位模式	MSPS		1.1					
	转换时间 (ns)[2]		915					
	输入通道（单端模式）	337 焊球 ZWT	24					
		176 引脚 PTP	20					
	输入通道（差模）	337 焊球 ZWT	12					
		176 引脚 PTP	9					
ADC 12 位模式	MSPS		3.5					
	转换时间 (ns)[2]		280					
	输入通道（单端）	337 焊球 ZWT	24					
		176 引脚 PTP	20					
温度传感器			1					

表 5-1. 器件比较 (continued)

特性[1]		28388D	28386D 28386D-Q1	28384D 28384D-Q1	28388S	28386S 28386S-Q1	28384S 28384S-Q1
比较器子系统 (CMPSS) （每个 CMPSS 都有两个比较器和两个内部 DAC）		8					
缓冲数模转换器 (DAC)		3					
C28x 控制外设							
eCAP/HRCAP – 2 类	总输入	7					
	具有高分辨率功能的通道	2（eCAP6 和 eCAP7）					
ePWM/HRPWM – 4 类	总通道数	32					
	具有高分辨率功能的通道	16 (ePWM1 – ePWM8)					
ePWM XBAR		是					
eQEP 模块 - 2 类		3					
SDFM 通道 - 2 类		8					
C28x 通信外设							
快速串行接口 (FSI) RX – 1 类		8					
快速串行接口 (FSI) TX – 1 类		2					
内部集成电路 (I2C) - 0 类		2					
多通道缓冲串行端口 (McBSP) - 1 类		2					
电源管理总线 (PMBus) – 0 类		1					
串行通信接口 (SCI) - 0 类 （UART 兼容）		4					
串行外设接口 (SPI) - 2 类		4					
连接管理器 (CM) 通信外设							
控制器局域网 (CAN) 2.0B - 0 类[3]		2 （可分配给 CPU1、CPU2 或 CM）			2 （可分配给 CPU1 或 CM）		
具有灵活数据速率的 CAN (CAN FD)		1（可分配给 CPU1 或 CM）					
用于控制自动化技术的以太网(EtherCAT)		1 （可分配给 CPU1 或 CM）	–		1 （可分配给 CPU1 或 CM）	-	
以太网介质访问控制器 (EMAC)		1					
CM 内部集成电路 (CM-I2C)		1					
同步串行接口 (SSI)		1					
CM 通用异步接收器/发送器 (CM-UART)		1					
通用串行总线 (USB) – 0 类		1 （在 CPU1 和 CM 之间共享）					

Copyright © 2023 Texas Instruments Incorporated

表 5-1. 器件比较 (continued)

特性[1]			28388D	28386D 28386D-Q1	28384D 28384D-Q1	28388S	28386S 28386S-Q1	28384S 28384S-Q1
温度和合格认证								
温度选项	S：结温范围为 –40°C 至 125°C (T_J)	337 焊球 ZWT	28388D、28386D、28384D 28388S、28386S、28384S					
		176 引脚 PTP						
	Q：–40°C 至 125°C[4]环境温度 (T_A)	337 焊球 ZWT	–	28386D-Q1	28384D-Q1	-	-	-
		176 引脚 PTP	–	28386D-Q1	28384D-Q1	–	28386S-Q1	28384S-Q1

(1) 一个类型变化表示一个外设模块中的主要功能特性差异。在一个外设类型内，器件之间会有细微差异，但不会影响模块的基本功能性。有关更多信息，请参阅 *C2000 实时控制外设参考指南*。
(2) 从采样保持窗口开始到下一次转换的采样保持窗口开始之间的时间。
(3) CAN 模块使用称为 *DCAN* 的 IP。本文档交替使用名称 *CAN* 和 *DCAN* 来引用此外设。
(4) 字母“Q”是指针对汽车应用的 AEC Q100 合格认证。

5.1 相关产品

TMS320F2837xD 实时双核微控制器

F2837xD 系列为双子系统的性能设定了一个新标准。每个子系统由 C28x CPU 和并行控制律加速器 (CLA) 组成，每个子系统的运行频率为 200MHz 。增强性能的是 TMU 和 VCU 加速器。新功能包括多个 16 位/12 位模式 ADC、DAC、Σ-Δ 滤波器、USB、可配置逻辑块 (CLB)、片上振荡器和所有外设的增强版。F2837xD 可提供高达 1MB 的闪存。其采用 176 引脚 QFP 或 337 引脚 BGA 封装。

TMS320F2837xS 实时微控制器

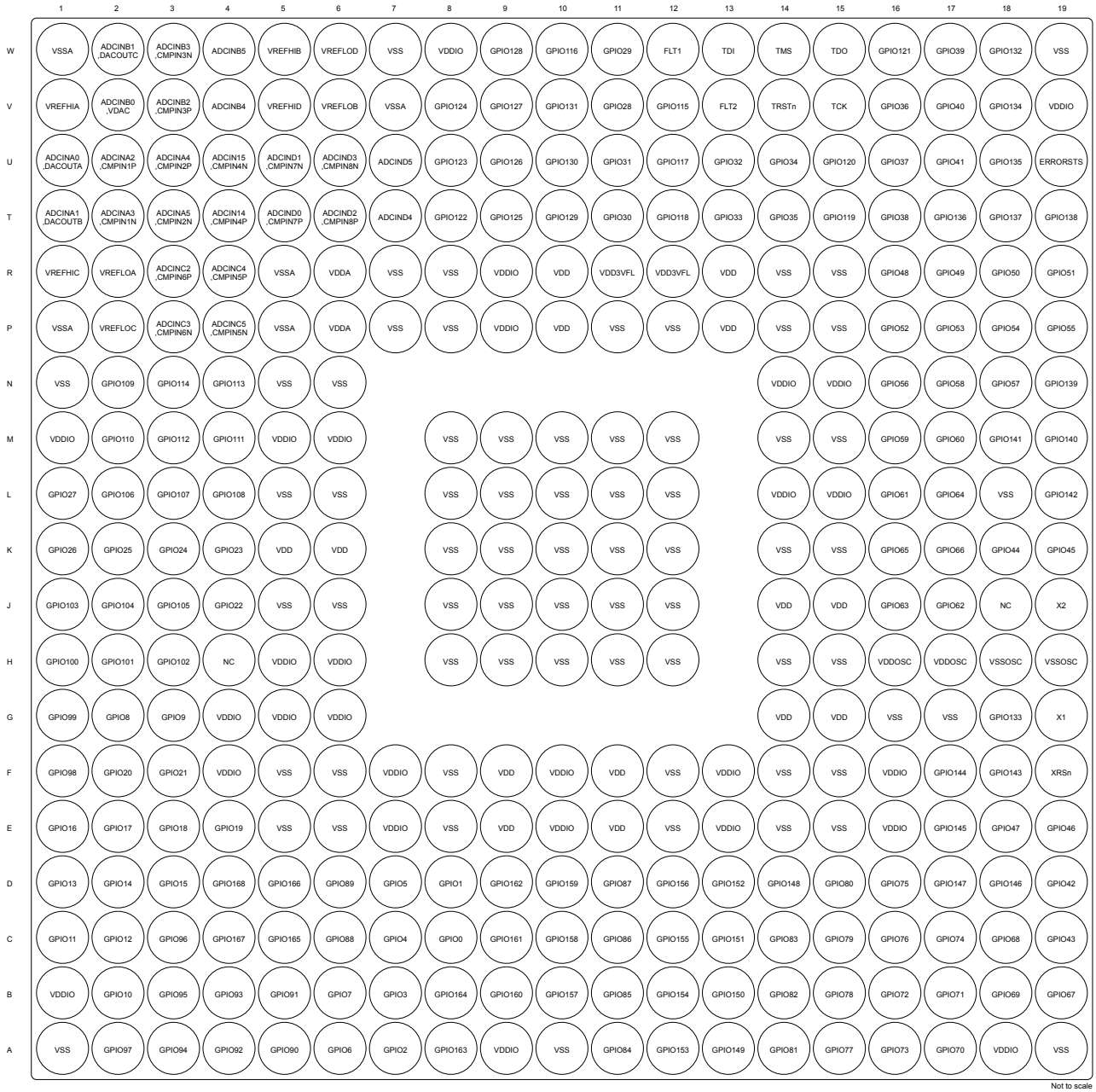
F2837xS 系列是 F2837xD 的引脚对引脚兼容版本，但仅启用了一个 C28x CPU 和 CLA 子系统。它还采用 100 引脚 QFP，以实现与 TMS320F2807x 系列的兼容性。

6 终端配置和功能

6.1 引脚图

图 6-1 展示了 337 焊球 ZWT New Fine Pitch Ball Grid Array (nFBGA) 的端子分配。图 6-2 至图 6-5 按象限显示了 337 焊球 ZWT nFBGA 上的端子分配。

图 6-6 展示了 176 引脚 PTP PowerPAD Thermally Enhanced Low-Profile Quad Flatpack 上的引脚分配。



A. GPIO 终端上仅显示 GPIO 功能。请参阅“引脚属性”表以了解完整的多路复用信号名称。

图 6-1. 337 焊球 ZWT New Fine Pitch Ball Grid Array (底视图)

Copyright © 2023 Texas Instruments Incorporated

	1	2	3	4	5	6	7	8	9	10
W	VSSA	ADCINB1 ,DACOUTC	ADCINB3 ,CMPIN3N	ADCINB5	VREFHIB	VREFLOD	VSS	VDDIO	GPIO128	GPIO116
V	VREFHIA	ADCINB0 ,VDAC	ADCINB2 ,CMPIN3P	ADCINB4	VREFHID	VREFLOB	VSSA	GPIO124	GPIO127	GPIO131
U	ADCINA0 ,DACOUTA	ADCINA2 ,CMPIN1P	ADCINA4 ,CMPIN2P	ADCIN15 ,CMPIN4N	ADCIND1 ,CMPIN7N	ADCIND3 ,CMPIN8N	ADCIND5	GPIO123	GPIO126	GPIO130
T	ADCINA1 ,DACOUTB	ADCINA3 ,CMPIN1N	ADCINA5 ,CMPIN2N	ADCIN14 ,CMPIN4P	ADCIND0 ,CMPIN7P	ADCIND2 ,CMPIN8P	ADCIND4	GPIO122	GPIO125	GPIO129
R	VREFHIC	VREFLOA	ADCINC2 ,CMPIN6P	ADCINC4 ,CMPIN5P	VSSA	VDDA	VSS	VSS	VDDIO	VDD
P	VSSA	VREFLOC	ADCINC3 ,CMPIN6N	ADCINC5 ,CMPIN5N	VSSA	VDDA	VSS	VSS	VDDIO	VDD
N	VSS	GPIO109	GPIO114	GPIO113	VSS	VSS				
M	VDDIO	GPIO110	GPIO112	GPIO111	VDDIO	VDDIO		VSS	VSS	VSS
L	GPIO27	GPIO106	GPIO107	GPIO108	VSS	VSS		VSS	VSS	VSS
K	GPIO26	GPIO25	GPIO24	GPIO23	VDD	VDD		VSS	VSS	VSS

Not to scale

1	2
3	4

A. GPIO 终端上仅显示 GPIO 功能。请参阅“引脚属性”表以了解完整的多路复用信号名称。

图 6-2. 337 焊球 ZWT New Fine Pitch Ball Grid Array（底视图）- [象限 1]

	11	12	13	14	15	16	17	18	19
W	GPIO29	FLT1	TDI	TMS	TDO	GPIO121	GPIO39	GPIO132	VSS
V	GPIO28	GPIO115	FLT2	TRSTn	TCK	GPIO36	GPIO40	GPIO134	VDDIO
U	GPIO31	GPIO117	GPIO32	GPIO34	GPIO120	GPIO37	GPIO41	GPIO135	ERRORSTS
T	GPIO30	GPIO118	GPIO33	GPIO35	GPIO119	GPIO38	GPIO136	GPIO137	GPIO138
R	VDD3VFL	VDD3VFL	VDD	VSS	VSS	GPIO48	GPIO49	GPIO50	GPIO51
P	VSS	VSS	VDD	VSS	VSS	GPIO52	GPIO53	GPIO54	GPIO55
N				VDDIO	VDDIO	GPIO56	GPIO58	GPIO57	GPIO139
M	VSS	VSS		VSS	VSS	GPIO59	GPIO60	GPIO141	GPIO140
L	VSS	VSS		VDDIO	VDDIO	GPIO61	GPIO64	VSS	GPIO142
K	VSS	VSS		VSS	VSS	GPIO65	GPIO66	GPIO44	GPIO45

Not to scale

1	2
3	4

A. GPIO 终端上仅显示 GPIO 功能。请参阅“引脚属性”表以了解完整的多路复用信号名称。

图 6-3. 337 焊球 ZWT New Fine Pitch Ball Grid Array（底视图）- [象限 2]

Copyright © 2023 Texas Instruments Incorporated

	1	2	3	4	5	6	7	8	9	10
J	GPIO103	GPIO104	GPIO105	GPIO22	VSS	VSS		VSS	VSS	VSS
H	GPIO100	GPIO101	GPIO102	NC	VDDIO	VDDIO		VSS	VSS	VSS
G	GPIO99	GPIO8	GPIO9	VDDIO	VDDIO	VDDIO				
F	GPIO98	GPIO20	GPIO21	VDDIO	VSS	VSS	VDDIO	VSS	VDD	VDDIO
E	GPIO16	GPIO17	GPIO18	GPIO19	VSS	VSS	VDDIO	VSS	VDD	VDDIO
D	GPIO13	GPIO14	GPIO15	GPIO168	GPIO166	GPIO89	GPIO5	GPIO1	GPIO162	GPIO159
C	GPIO11	GPIO12	GPIO96	GPIO167	GPIO165	GPIO88	GPIO4	GPIO0	GPIO161	GPIO158
B	VDDIO	GPIO10	GPIO95	GPIO93	GPIO91	GPIO7	GPIO3	GPIO164	GPIO160	GPIO157
A	VSS	GPIO97	GPIO94	GPIO92	GPIO90	GPIO6	GPIO2	GPIO163	VDDIO	VSS

Not to scale

1	2
3	4

A. GPIO 终端上仅显示 GPIO 功能。请参阅“引脚属性”表以了解完整的多路复用信号名称。

图 6-4. 337 焊球 ZWT New Fine Pitch Ball Grid Array（底视图）- [象限 3]

	11	12	13	14	15	16	17	18	19
J	VSS	VSS		VDD	VDD	GPIO63	GPIO62	NC	X2
H	VSS	VSS		VSS	VSS	VDDOSC	VDDOSC	VSSOSC	VSSOSC
G				VDD	VDD	VSS	VSS	GPIO133	X1
F	VDD	VSS	VDDIO	VSS	VSS	VDDIO	GPIO144	GPIO143	XRSn
E	VDD	VSS	VDDIO	VSS	VSS	VDDIO	GPIO145	GPIO47	GPIO46
D	GPIO87	GPIO156	GPIO152	GPIO148	GPIO80	GPIO75	GPIO147	GPIO146	GPIO42
C	GPIO86	GPIO155	GPIO151	GPIO83	GPIO79	GPIO76	GPIO74	GPIO68	GPIO43
B	GPIO85	GPIO154	GPIO150	GPIO82	GPIO78	GPIO72	GPIO71	GPIO69	GPIO67
A	GPIO84	GPIO153	GPIO149	GPIO81	GPIO77	GPIO73	GPIO70	VDDIO	VSS

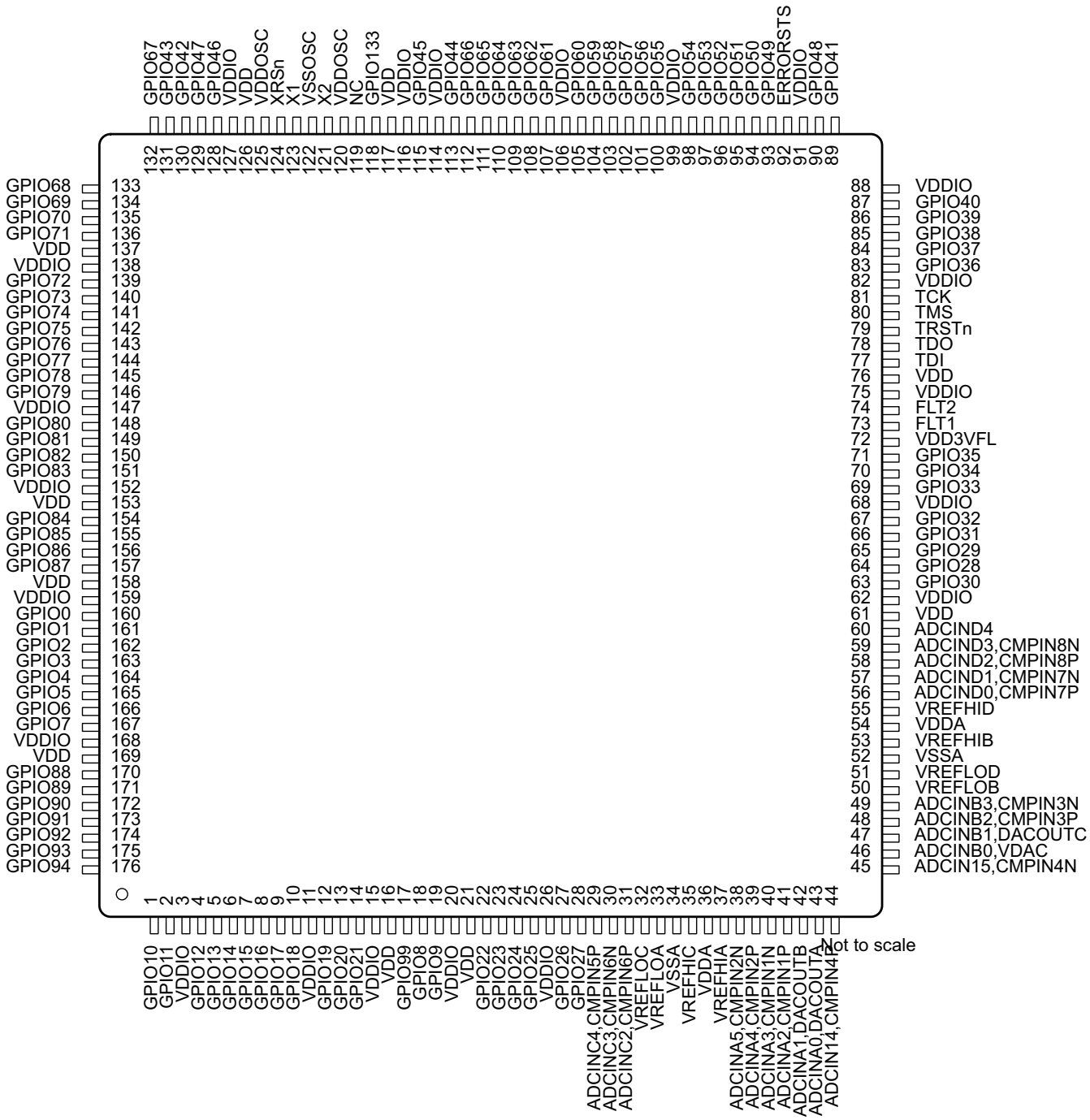
Not to scale

1	2
3	4

A. GPIO 终端上仅显示 GPIO 功能。请参阅“引脚属性”表以了解完整的多路复用信号名称。

图 6-5. 337 焊球 ZWT New Fine Pitch Ball Grid Array（底视图）- [象限 4]

Copyright © 2023 Texas Instruments Incorporated



A. GPIO 终端上仅显示 GPIO 功能。请参阅“引脚属性”表以了解完整的多路复用信号名称。

图 6-6. 176 引脚 PTP PowerPAD Thermally Enhanced Low-Profile Quad Flatpack（顶视图）

6.2 引脚属性

表 6-1. 引脚属性

信号名称	多路复用器位置	337	176	引脚类型	说明
模拟					
ADCIN14 CMPIN4P		T4	44	I I	到所有 ADC 的输入 14。此引脚可用作通用 ADCIN 引脚或可用于通过外部基准对所有 ADC 一起进行校准（无论是单端输入还是差分输入） 比较器 4 正输入
ADCIN15 CMPIN4N		U4	45	I I	到所有 ADC 的输入 15。此引脚可用作通用 ADCIN 引脚或可用于通过外部基准对所有 ADC 一起进行校准（无论是单端输入还是差分输入） 比较器 4 负输入
ADCINA0 DACOUTA		U1	43	I O	ADC-A 输入 0。在 ADC 输入或 DAC 输出模式中，此引脚上有一个无法禁用的 50kΩ 内部下拉电阻器。 缓冲 DAC-A 输出。
ADCINA1 DACOUTB		T1	42	I O	ADC-A 输入 1。在 ADC 输入或 DAC 输出模式中，此引脚上有一个无法禁用的 50kΩ 内部下拉电阻器。 缓冲 DAC-B 输出。
ADCINA2 CMPIN1P		U2	41	I I	ADC-A 输入 2 比较器 1 正输入
ADCINA3 CMPIN1N		T2	40	I I	ADC-A 输入 3 比较器 1 负输入
ADCINA4 CMPIN2P		U3	39	I I	ADC-A 输入 4 比较器 2 正输入
ADCINA5 CMPIN2N		T3	38	I I	ADC-A 输入 5 比较器 2 负输入
ADCINB0 VDAC		V2	46	I I	ADC-B 输入 0。无论是用于 ADC 输入还是 DAC 基准，此引脚上有一个连接至 VSSA 且无法禁用的 100pF 电容器。如果将此引脚用作片上 DAC 的基准，请在此引脚上放置至少一个 1μF 电容器。 片上 DAC 的可选外部基准电压。
ADCINB1 DACOUTC		W2	47	I O	ADC-B 输入 1。在 ADC 输入或 DAC 输出模式中，此引脚上有一个无法禁用的 50kΩ 内部下拉电阻器。 缓冲 DAC-C 输出。
ADCINB2 CMPIN3P		V3	48	I I	ADC-B 输入 2 比较器 3 正输入
ADCINB3 CMPIN3N		W3	49	I I	ADC-B 输入 3 比较器 3 负输入
ADCINB4		V4		I	ADC-B 输入 4
ADCINB5		W4		I	ADC-B 输入 5
ADCINC2 CMPIN6P		R3	31	I I	ADC-C 输入 2 比较器 6 正输入
ADCINC3 CMPIN6N		P3	30	I I	ADC-C 输入 3 比较器 6 负输入
ADCINC4 CMPIN5P		R4	29	I I	ADC-C 输入 4 比较器 5 正输入

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚属性 (continued)

信号名称	多路复用器位置	337	176	引脚类型	说明
ADCINC5 CMPIN5N		P4		I I	ADC-C 输入 5 比较器 5 负输入
ADCIND0 CMPIN7P		T5	56	I I	ADC-D 输入 0 比较器 7 正输入
ADCIND1 CMPIN7N		U5	57	I I	ADC-D 输入 1 比较器 7 负输入
ADCIND2 CMPIN8P		T6	58	I I	ADC-D 输入 2 比较器 8 正输入
ADCIND3 CMPIN8N		U6	59	I I	ADC-D 输入 3 比较器 8 负输入
ADCIND4		T7	60	I	ADC-D 输入 4
ADCIND5		U7		I	ADC-D 输入 5
VREFHIA		V1	37	I	ADC-A 高基准电压。必须由外部电路将此电压驱动至该引脚。对于 12 位模式，在此引脚上放置至少一个 2.2μF 电容器；对于 16 位模式，则放置至少一个 22μF 电容器。此电容器应放置在 VREFHIA 和 VREFLOA 引脚之间尽可能靠近器件的位置。注：请勿从外部加载此引脚
VREFHIB		W5	53	I	ADC-B 高基准电压。必须由外部电路将此电压驱动至该引脚。对于 12 位模式，在此引脚上放置至少一个 2.2μF 电容器；对于 16 位模式，则放置至少一个 22μF 电容器。此电容器应放置在 VREFHIB 和 VREFLOB 引脚之间尽可能靠近器件的位置。注：请勿从外部加载此引脚
VREFHIC		R1	35	I	ADC-C 高基准电压。必须由外部电路将此电压驱动至该引脚。对于 12 位模式，在此引脚上放置至少一个 2.2μF 电容器；对于 16 位模式，则放置至少一个 22μF 电容器。此电容器应放置在 VREFHIC 和 VREFLOC 引脚之间尽可能靠近器件的位置。注：请勿从外部加载此引脚
VREFHID		V5	55	I	ADC-D 高基准电压。必须由外部电路将此电压驱动至该引脚。对于 12 位模式，在此引脚上放置至少一个 2.2μF 电容器；对于 16 位模式，则放置至少一个 22μF 电容器。此电容器应放置在 VREFHID 和 VREFLOD 引脚之间尽可能靠近器件的位置。注：请勿从外部加载此引脚
VREFLOA		R2	33	I	ADC-A 低基准电压
VREFLOB		V6	50	I	ADC-B 低基准电压
VREFLOC		P2	32	I	ADC-C 低基准电压
VREFLOD		W6	51	I	ADC-D 低基准电压

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚属性 (continued)

信号名称	多路复用器位置	337	176	引脚类型	说明
GPIO					
GPIO0	0，4，8，12	C8	160	I/O	通用输入/输出 0
EPWM1A	1			O	ePWM-1 输出 A（ePWM1-8 上提供高分辨率）
I2CA_SDA	6			I/OD	I2C-A 开漏双向数据
CM-I2CA_SDA	9			I/OD	CM-I2C-A 开漏双向数据
ESC_GPI0	10			I	EtherCAT 通用输入 0
FSITXA_D0	13			O	FSITX-A 数据输出 0
GPIO1	0，4，8，12	D8	161	I/O	通用输入/输出 1
EPWM1B	1			O	ePWM-1 输出 B（ePWM1-8 上提供高分辨率）
MFSRB	3			I	McBSP-B 接收帧同步
I2CA_SCL	6			I/OD	I2C-A 开漏双向时钟
CM-I2CA_SCL	9			I/OD	CM-I2C-A 开漏双向时钟
ESC_GPI1	10			I	EtherCAT 通用输入 1
FSITXA_D1	13			O	FSITX-A 数据输出 1
GPIO2	0，4，8，12	A7	162	I/O	通用输入/输出 2
EPWM2A	1			O	ePWM-2 输出 A（ePWM1-8 上提供高分辨率）
OUTPUTXBAR1	5			O	输出 X-BAR 输出 1
I2CB_SDA	6			I/OD	I2C-B 开漏双向数据
ESC_GPI2	10			I	EtherCAT 通用输入 2
FSITXA_CLK	13			O	FSITX-A 输出时钟
GPIO3	0，4，8，12	B7	163	I/O	通用输入/输出 3
EPWM2B	1			O	ePWM-2 输出 B（ePWM1-8 上提供高分辨率）
OUTPUTXBAR2	2、5			O	输出 X-BAR 输出 2
MCLKRB	3			I	McBSP-B 接收时钟
I2CB_SCL	6			I/OD	I2C-B 开漏双向时钟
ESC_GPI3	10			I	EtherCAT 通用输入 3
FSIRXA_D0	13			I	FSIRX-A 数据输入 0
GPIO4	0，4，8，12	C7	164	I/O	通用输入/输出 4
EPWM3A	1			O	ePWM-3 输出 A（ePWM1-8 上提供高分辨率）
OUTPUTXBAR3	5			O	输出 X-BAR 输出 3
CANA_TX	6			O	CAN-A 发送
MCAN_TX	9			O	CAN/CAN FD 传输
ESC_GPI4	10			I	EtherCAT 通用输入 4
FSIRXA_D1	13			I	FSIRX-A 数据输入 1
GPIO5	0，4，8，12	D7	165	I/O	通用输入/输出 5
EPWM3B	1			O	ePWM-3 输出 B（ePWM1-8 上提供高分辨率）
MFSRA	2			I	McBSP-A 接收帧同步
OUTPUTXBAR3	3			O	输出 X-BAR 输出 3
CANA_RX	6			I	CAN-A 接收
MCAN_RX	9			I	CAN/CAN FD 接收
ESC_GPI5	10			I	EtherCAT 通用输入 5
FSIRXA_CLK	13			I	FSIRX-A 输入时钟

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚属性 (continued)

信号名称	多路复用器位置	337	176	引脚类型	说明
GPIO6	0，4，8，12	A6	166	I/O	通用输入/输出 6
EPWM4A	1			O	ePWM-4 输出 A（ePWM1-8 上提供高分辨率）
OUTPUTXBAR4	2			O	输出 X-BAR 输出 4
EXTSYNCOUT	3			O	外部 ePWM 同步脉冲
EQEP3_A	5			I	eQEP-3 输入 A
CANB_TX	6			O	CAN-B 发送
ESC_GPI6	10			I	EtherCAT 通用输入 6
FSITXB_D0	13			O	FSITX-B 数据输出 0
GPIO7	0，4，8，12	B6	167	I/O	通用输入/输出 7
EPWM4B	1			O	ePWM-4 输出 B（ePWM1-8 上提供高分辨率）
MCLKRA	2			I	McBSP-A 接收时钟
OUTPUTXBAR5	3			O	输出 X-BAR 输出 5
EQEP3_B	5			I	eQEP-3 输入 B
CANB_RX	6			I	CAN-B 接收
ESC_GPI7	10			I	EtherCAT 通用输入 7
FSITXB_D1	13			O	FSITX-B 数据输出 1
GPIO8	0，4，8，12	G2	18	I/O	通用输入/输出 8
EPWM5A	1			O	ePWM-5 输出 A（ePWM1-8 上提供高分辨率）
CANB_TX	2			O	CAN-B 发送
ADCSOCAO	3			O	外部 ADC（来自 ePWM 模块）的 ADC 转换启动 A 输出
EQEP3_STROBE	5			I/O	eQEP-3 选通
SCIA_TX	6			O	SCI-A 发送数据
MCAN_TX	9			O	CAN/CAN FD 传输
ESC_GPO0	10			O	EtherCAT 通用输出 0
FSITXB_CLK	13			O	FSITX-B 输出时钟
FSITXA_D1	14			O	FSITX-A 数据输出 1
FSIRXA_D0	15			I	FSIRX-A 数据输入 0
GPIO9	0，4，8，12	G3	19	I/O	通用输入/输出 9
EPWM5B	1			O	ePWM-5 输出 B（ePWM1-8 上提供高分辨率）
SCIB_TX	2			O	SCI-B 发送数据
OUTPUTXBAR6	3			O	输出 X-BAR 输出 6
EQEP3_INDEX	5			I/O	eQEP-3 索引
SCIA_RX	6			I	SCI-A 接收数据
ESC_GPO1	10			O	EtherCAT 通用输出 1
FSIRXB_D0	13			I	FSIRX-B 数据输入 0
FSITXA_D0	14			O	FSITX-A 数据输出 0
FSIRXA_CLK	15			I	FSIRX-A 输入时钟

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚属性 (continued)

信号名称	多路复用器位置	337	176	引脚类型	说明
GPIO10	0，4，8，12	B2	1	I/O	通用输入/输出 10
EPWM6A	1			O	ePWM-6 输出 A（ePWM1-8 上提供高分辨率）
CANB_RX	2			I	CAN-B 接收
ADCSOCBO	3			O	外部 ADC（来自 ePWM 模块）的 ADC 转换启动 B 输出
EQEP1_A	5			I	eQEP-1 输入 A
SCIB_TX	6			O	SCI-B 发送数据
MCAN_RX	9			I	CAN/CAN FD 接收
ESC_GPO2	10			O	EtherCAT 通用输出 2
FSIRXB_D1	13			I	FSIRX-B 数据输入 1
FSITXA_CLK	14			O	FSITX-A 输出时钟
FSIRXA_D1	15			I	FSIRX-A 数据输入 1
GPIO11	0，4，8，12	C1	2	I/O	通用输入/输出 11
EPWM6B	1			O	ePWM-6 输出 B（ePWM1-8 上提供高分辨率）
SCIB_RX	2，6			I	SCI-B 接收数据
OUTPUTXBAR7	3			O	输出 X-BAR 输出 7
EQEP1_B	5			I	eQEP-1 输入 B
ESC_GPO3	10			O	EtherCAT 通用输出 3
FSIRXB_CLK	13			I	FSIRX-B 输入时钟
FSIRXA_D1	14			I	FSIRX-A 数据输入 1
GPIO12	0，4，8，12	C2	4	I/O	通用输入/输出 12
EPWM7A	1			O	ePWM-7 输出 A（ePWM1-8 上提供高分辨率）
CANB_TX	2			O	CAN-B 发送
MDXB	3			O	McBSP-B 发送串行数据
EQEP1_STROBE	5			I/O	eQEP-1 选通
SCIC_TX	6			O	SCI-C 发送数据
ESC_GPO4	10			O	EtherCAT 通用输出 4
FSIRXC_D0	13			I	FSIRX-C 数据输入 0
FSIRXA_D0	14			I	FSIRX-A 数据输入 0
GPIO13	0，4，8，12	D1	5	I/O	通用输入/输出 13
EPWM7B	1			O	ePWM-7 输出 B（ePWM1-8 上提供高分辨率）
CANB_RX	2			I	CAN-B 接收
MDRB	3			I	McBSP-B 接收串行数据
EQEP1_INDEX	5			I/O	eQEP-1 索引
SCIC_RX	6			I	SCI-C 接收数据
ESC_GPO5	10			O	EtherCAT 通用输出 5
FSIRXC_D1	13			I	FSIRX-C 数据输入 1
FSIRXA_CLK	14			I	FSIRX-A 输入时钟

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚属性 (continued)

信号名称	多路复用器位置	337	176	引脚类型	说明
GPIO14	0，4，8，12	D2	6	I/O	通用输入/输出 14
EPWM8A	1			O	ePWM-8 输出 A（ePWM1-8 上提供高分辨率）
SCIB_TX	2			O	SCI-B 发送数据
MCLKXB	3			O	McBSP-B 发送时钟
OUTPUTXBAR3	6			O	输出 X-BAR 输出 3
ESC_GPO6	10			O	EtherCAT 通用输出 6
FSIRXC_CLK	13			I	FSIRX-C 输入时钟
GPIO15	0，4，8，12	D3	7	I/O	通用输入/输出 15
EPWM8B	1			O	ePWM-8 输出 B（ePWM1-8 上提供高分辨率）
SCIB_RX	2			I	SCI-B 接收数据
MFSXB	3			O	McBSP-B 发送帧同步
OUTPUTXBAR4	6			O	输出 X-BAR 输出 4
ESC_GPO7	10			O	EtherCAT 通用输出 7
FSIRXD_D0	13			I	FSIRX-D 数据输入 0
GPIO16	0，4，8，12	E1	8	I/O	通用输入/输出 16
SPIA_SIMO	1			I/O	SPI-A 从器件输入，主器件输出 (SIMO)
CANB_TX	2			O	CAN-B 发送
OUTPUTXBAR7	3			O	输出 X-BAR 输出 7
EPWM9A	5			O	ePWM-9 输出 A（ePWM1-8 上提供高分辨率）
SD1_D1	7			I	SDFM-1 通道 1 数据输入
SSIA_TX	11			I/O	SSI-A 串行数据发送
FSIRXD_D1	13			I	FSIRX-D 数据输入 1
GPIO17	0，4，8，12	E2	9	I/O	通用输入/输出 17
SPIA_SOMI	1			I/O	SPI-A 从器件输出，主器件输入 (SOMI)
CANB_RX	2			I	CAN-B 接收
OUTPUTXBAR8	3			O	输出 X-BAR 输出 8
EPWM9B	5			O	ePWM-9 输出 B（ePWM1-8 上提供高分辨率）
SD1_C1	7			I	SDFM-1 通道 1 时钟输入
SSIA_RX	11			I/O	SSI-A 串行数据接收
FSIRXD_CLK	13			I	FSIRX-D 输入时钟
GPIO18	0，4，8，12	E3	10	I/O	通用输入/输出 18
SPIA_CLK	1			I/O	SPI-A 时钟
SCIB_TX	2			O	SCI-B 发送数据
CANA_RX	3			I	CAN-A 接收
EPWM10A	5			O	ePWM-10 输出 A（ePWM1-8 上提供高分辨率）
SD1_D2	7			I	SDFM-1 通道 2 数据输入
MCAN_RX	9			I	CAN/CAN FD 接收
EMIF1_CS2n	10			O	外部存储器接口 1 芯片选择 2
SSIA_CLK	11			I/O	SSI-A 时钟
FSIRXE_D0	13			I	FSIRX-E 数据输入 0

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚属性 (continued)

信号名称	多路复用器位置	337	176	引脚类型	说明
GPIO19	0，4，8，12	E4	12	I/O	通用输入/输出 19
SPIA_STEn	1			I/O	SPI-A 从器件发送使能 (STE)
SCIB_RX	2			I	SCI-B 接收数据
CANA_TX	3			O	CAN-A 发送
EPWM10B	5			O	ePWM-10 输出 B（ePWM1-8 上提供高分辨率）
SD1_C2	7			I	SDFM-1 通道 2 时钟输入
MCAN_TX	9			O	CAN/CAN FD 传输
EMIF1_CS3n	10			O	外部存储器接口 1 芯片选择 3
SSIA_FSS	11			I/O	SSI-A 帧同步
FSIRXE_D1	13			I	FSIRX-E 数据输入 1
GPIO20	0，4，8，12	F2	13	I/O	通用输入/输出 20
EQEP1_A	1			I	eQEP-1 输入 A
MDXA	2			O	McBSP-A 发送串行数据
CANB_TX	3			O	CAN-B 发送
EPWM11A	5			O	ePWM-11 输出 A（ePWM1-8 上提供高分辨率）
SD1_D3	7			I	SDFM-1 通道 3 数据输入
EMIF1_BA0	10			O	外部存储器接口 1 存储库地址 0
TRACE_DATA0	11			O	跟踪数据 0
FSIRXE_CLK	13			I	FSIRX-E 输入时钟
SPIC_SIMO	14			I/O	SPI-C 从器件输入，主器件输出 (SIMO)
GPIO21	0，4，8，12	F3	14	I/O	通用输入/输出 21
EQEP1_B	1			I	eQEP-1 输入 B
MDRA	2			I	McBSP-A 接收串行数据
CANB_RX	3			I	CAN-B 接收
EPWM11B	5			O	ePWM-11 输出 B（ePWM1-8 上提供高分辨率）
SD1_C3	7			I	SDFM-1 通道 3 时钟输入
EMIF1_BA1	10			O	外部存储器接口 1 存储库地址 1
TRACE_DATA1	11			O	跟踪数据 1
FSIRXF_D0	13			I	FSIRX-F 数据输入 0
SPIC_SOMI	14			I/O	SPI-C 从器件输出，主器件输入 (SOMI)
GPIO22	0，4，8，12	J4	22	I/O	通用输入/输出 22
EQEP1_STROBE	1			I/O	eQEP-1 选通
MCLKXA	2			O	McBSP-A 发送时钟
SCIB_TX	3			O	SCI-B 发送数据
EPWM12A	5			O	ePWM-12 输出 A（ePWM1-8 上提供高分辨率）
SPIB_CLK	6			I/O	SPI-B 时钟
SD1_D4	7			I	SDFM-1 通道 4 数据输入
MCAN_TX	9			O	CAN/CAN FD 传输
EMIF1_RAS	10			O	外部存储器接口 1 行地址选通
TRACE_DATA2	11			O	跟踪数据 2
FSIRXF_D1	13			I	FSIRX-F 数据输入 1
SPIC_CLK	14			I/O	SPI-C 时钟

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚属性 (continued)

信号名称	多路复用器位置	337	176	引脚类型	说明
GPIO23	0，4，8，12	K4	23	I/O	通用输入/输出 23
EQEP1_INDEX	1			I/O	eQEP-1 索引
MFSXA	2			O	McBSP-A 发送帧同步
SCIB_RX	3			I	SCI-B 接收数据
EPWM12B	5			O	ePWM-12 输出 B（ePWM1-8 上提供高分辨率）
SPIB_STEn	6			I/O	SPI-B 从器件发送使能 (STE)
SD1_C4	7			I	SDFM-1 通道 4 时钟输入
MCAN_RX	9			I	CAN/CAN FD 接收
EMIF1_CAS	10			O	外部存储器接口 1 列地址选通
TRACE_DATA3	11			O	跟踪数据 3
FSIRXF_CLK	13			I	FSIRX-F 输入时钟
SPIC_STEn	14			I/O	SPI-C 从器件发送使能 (STE)
GPIO24	0，4，8，12	K3	24	I/O	通用输入/输出 24
OUTPUTXBAR1	1			O	输出 X-BAR 输出 1
EQEP2_A	2			I	eQEP-2 输入 A
MDXB	3			O	McBSP-B 发送串行数据
SPIB_SIMO	6			I/O	SPI-B 从器件输入，主器件输出 (SIMO)
SD2_D1	7			I	SDFM-2 通道 1 数据输入
PMBUSA_SCL	9			I/OD	PMBus-A 开漏双向时钟
EMIF1_DQM0	10			O	外部存储器接口 1 字节 0 的输入/输出掩码
TRACE_CLK	11			O	跟踪时钟
EPWM13A	13			O	ePWM-13 输出 A（ePWM1-8 上提供高分辨率）
FSIRXG_D0	15			I	FSIRX-G 数据输入 0
GPIO25	0，4，8，12	K2	25	I/O	通用输入/输出 25
OUTPUTXBAR2	1			O	输出 X-BAR 输出 2
EQEP2_B	2			I	eQEP-2 输入 B
MDRB	3			I	McBSP-B 接收串行数据
SPIB_SOMI	6			I/O	SPI-B 从器件输出，主器件输入 (SOMI)
SD2_C1	7			I	SDFM-2 通道 1 时钟输入
PMBUSA_SDA	9			I/OD	PMBus-A 开漏双向数据
EMIF1_DQM1	10			O	外部内存接口 1 字节 1 的输入/输出掩码
TRACE_SWO	11			O	跟踪单线输出
EPWM13B	13			O	ePWM-13 输出 B（ePWM1-8 上提供高分辨率）
FSITXA_D1	14			O	FSITX-A 数据输出 1
FSIRXG_D1	15			I	FSIRX-G 数据输入 1

表 6-1. 引脚属性 (continued)

信号名称	多路复用器位置	337	176	引脚类型	说明
GPIO26	0，4，8，12	K1	27	I/O	通用输入/输出 26
OUTPUTXBAR3	1, 5			O	输出 X-BAR 输出 3
EQEP2_INDEX	2			I/O	eQEP-2 索引
MCLKXB	3			O	McBSP-B 发送时钟
SPIB_CLK	6			I/O	SPI-B 时钟
SD2_D2	7			I	SDFM-2 通道 2 数据输入
PMBUSA_ALERT	9			I/OD	PMBus-A 开漏双向警报信号
EMIF1_DQM2	10			O	外部存储器接口 1 字节 2 的输入/输出掩码
ESC_MDIO_CLK	11			O	EtherCAT MDIO 时钟
EPWM14A	13			O	ePWM-14 输出 A（ePWM1-8 上提供高分辨率）
FSITXA_D0	14			O	FSITX-A 数据输出 0
FSIRXG_CLK	15			I	FSIRX-G 输入时钟
GPIO27	0，4，8，12	L1	28	I/O	通用输入/输出 27
OUTPUTXBAR4	1, 5			O	输出 X-BAR 输出 4
EQEP2_STROBE	2			I/O	eQEP-2 选通
MFSXB	3			O	McBSP-B 发送帧同步
SPIB_STEn	6			I/O	SPI-B 从器件发送使能 (STE)
SD2_C2	7			I	SDFM-2 通道 2 时钟输入
PMBUSA_CTL	9			I	PMBus-A 控制信号
EMIF1_DQM3	10			O	外部存储器接口 1 字节 3 的输入/输出掩码
ESC_MDIO_DATA	11			I/O	EtherCAT MDIO 数据
EPWM14B	13			O	ePWM-14 输出 B（ePWM1-8 上提供高分辨率）
FSITXA_CLK	14			O	FSITX-A 输出时钟
FSIRXH_D0	15			I	FSIRX-H 数据输入 0
GPIO28	0，4，8，12	V11	64	I/O	通用输入/输出 28
SCIA_RX	1			I	SCI-A 接收数据
EMIF1_CS4n	2			O	外部存储器接口 1 芯片选择 4
OUTPUTXBAR5	5			O	输出 X-BAR 输出 5
EQEP3_A	6			I	eQEP-3 输入 A
SD2_D3	7			I	SDFM-2 通道 3 数据输入
EMIF1_CS2n	9			O	外部存储器接口 1 芯片选择 2
EPWM15A	13			O	ePWM-15 输出 A（ePWM1-8 上提供高分辨率）
FSIRXH_D1	15			I	FSIRX-H 数据输入 1

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚属性 (continued)

信号名称	多路复用器位置	337	176	引脚类型	说明
GPIO29	0，4，8，12	W11	65	I/O	通用输入/输出 29
SCIA_TX	1			O	SCI-A 发送数据
EMIF1_SDCKE	2			O	外部存储器接口 1 SDRAM 时钟使能
OUTPUTXBAR6	5			O	输出 X-BAR 输出 6
EQEP3_B	6			I	eQEP-3 输入 B
SD2_C3	7			I	SDFM-2 通道 3 时钟输入
EMIF1_CS3n	9			O	外部存储器接口 1 芯片选择 3
ESC_LATCH0	10			I	EtherCAT 锁存器信号输入 0
ESC_I2C_SDA	11			I/OC	EtherCAT I2C 数据
EPWM15B	13			O	ePWM-15 输出 B（ePWM1-8 上提供高分辨率）
ESC_SYNC0	14			O	EtherCAT 同步信号输出 0
FSIRXH_CLK	15			I	FSIRX-H 输入时钟
GPIO30	0，4，8，12	T11	63	I/O	通用输入/输出 30
CANA_RX	1			I	CAN-A 接收
EMIF1_CLK	2			O	外部存储器接口 1 时钟
MCAN_RX	3			I	CAN/CAN FD 接收
OUTPUTXBAR7	5			O	输出 X-BAR 输出 7
EQEP3_STROBE	6			I/O	eQEP-3 选通
SD2_D4	7			I	SDFM-2 通道 4 数据输入
EMIF1_CS4n	9			O	外部存储器接口 1 芯片选择 4
ESC_LATCH1	10			I	EtherCAT 锁存器信号输入 1
ESC_I2C_SCL	11			I/OC	EtherCAT I2C 时钟
EPWM16A	13			O	ePWM-16 输出 A（ePWM1-8 上提供高分辨率）
ESC_SYNC1	14			O	EtherCAT 同步信号输出 1
SPID_SIMO	15			I/O	SPI-D 从器件输入，主器件输出 (SIMO)
GPIO31	0，4，8，12	U11	66	I/O	通用输入/输出 31
CANA_TX	1			O	CAN-A 发送
EMIF1_WEn	2			O	外部存储器接口 1 写入使能
MCAN_TX	3			O	CAN/CAN FD 传输
OUTPUTXBAR8	5			O	输出 X-BAR 输出 8
EQEP3_INDEX	6			I/O	eQEP-3 索引
SD2_C4	7			I	SDFM-2 通道 4 时钟输入
EMIF1_RNW	9			O	外部存储器接口 1 读/不写
I2CA_SDA	10			I/OD	I2C-A 开漏双向数据
CM-I2CA_SDA	11			I/OD	CM-I2C-A 开漏双向数据
EPWM16B	13			O	ePWM-16 输出 B（ePWM1-8 上提供高分辨率）
SPID_SOMI	15			I/O	SPI-D 从器件输出，主器件输入 (SOMI)

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚属性 (continued)

信号名称	多路复用器位置	337	176	引脚类型	说明
GPIO32	0，4，8，12	U13	67	I/O	通用输入/输出 32
I2CA_SDA	1			I/OD	I2C-A 开漏双向数据
EMIF1_CS0n	2			O	外部存储器接口 1 芯片选择 0
SPIA_SIMO	3			I/O	SPI-A 从器件输入，主器件输出 (SIMO)
CLB_OUTPUTXBAR1	7			O	CLB 输出 X-BAR 输出 1
EMIF1_OEn	9			O	外部存储器接口 1 输出使能
I2CA_SCL	10			I/OD	I2C-A 开漏双向时钟
CM-I2CA_SCL	11			I/OD	CM-I2C-A 开漏双向时钟
SPID_CLK	15			I/O	SPI-D 时钟
GPIO33	0，4，8，12	T13	69	I/O	通用输入/输出 33
I2CA_SCL	1			I/OD	I2C-A 开漏双向时钟
EMIF1_RNW	2			O	外部存储器接口 1 读/不写
SPIA_SOMI	3			I/O	SPI-A 从器件输出，主器件输入 (SOMI)
CLB_OUTPUTXBAR2	7			O	CLB 输出 X-BAR 输出 2
EMIF1_BA0	9			O	外部存储器接口 1 存储库地址 0
SPID_STEn	15			I/O	SPI-D 从器件发送使能 (STE)
GPIO34	0，4，8，12	U14	70	I/O	通用输入/输出 34
OUTPUTXBAR1	1			O	输出 X-BAR 输出 1
EMIF1_CS2n	2			O	外部存储器接口 1 芯片选择 2
SPIA_CLK	3			I/O	SPI-A 时钟
I2CB_SDA	6			I/OD	I2C-B 开漏双向数据
CLB_OUTPUTXBAR3	7			O	CLB 输出 X-BAR 输出 3
EMIF1_BA1	9			O	外部存储器接口 1 存储库地址 1
ESC_LATCH0	10			I	EtherCAT 锁存器信号输入 0
ENET_MII_CRS	11			I	EMAC MII 载波检测
SCIA_TX	13			O	SCI-A 发送数据
ESC_SYNC0	14			O	EtherCAT 同步信号输出 0
GPIO35	0，4，8，12	T14	71	I/O	通用输入/输出 35
SCIA_RX	1			I	SCI-A 接收数据
EMIF1_CS3n	2			O	外部存储器接口 1 芯片选择 3
SPIA_STEn	3			I/O	SPI-A 从器件发送使能 (STE)
I2CB_SCL	6			I/OD	I2C-B 开漏双向时钟
CLB_OUTPUTXBAR4	7			O	CLB 输出 X-BAR 输出 4
EMIF1_A0	9			O	外部存储器接口 1 地址线 0
ESC_LATCH1	10			I	EtherCAT 锁存器信号输入 1
ENET_MII_COL	11			I	EMAC MII 碰撞检测
ESC_SYNC1	14			O	EtherCAT 同步信号输出 1

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚属性 (continued)

信号名称	多路复用器位置	337	176	引脚类型	说明
GPIO36	0，4，8，12	V16	83	I/O	通用输入/输出 36
SCIA_TX	1			O	SCI-A 发送数据
EMIF1_WAIT	2			I	外部存储器接口 1 异步 SRAM WAIT
CANA_RX	6			I	CAN-A 接收
CLB_OUTPUTXBAR5	7			O	CLB 输出 X-BAR 输出 5
EMIF1_A1	9			O	外部存储器接口 1 地址线 1
MCAN_RX	10			I	CAN/CAN FD 接收
SD1_D1	13			I	SDFM-1 通道 1 数据输入
GPIO37	0，4，8，12	U16	84	I/O	通用输入/输出 37
OUTPUTXBAR2	1			O	输出 X-BAR 输出 2
EMIF1_OEn	2			O	外部存储器接口 1 输出使能
CANA_TX	6			O	CAN-A 发送
CLB_OUTPUTXBAR6	7			O	CLB 输出 X-BAR 输出 6
EMIF1_A2	9			O	外部存储器接口 1 地址线 2
MCAN_TX	10			O	CAN/CAN FD 传输
SD1_D2	13			I	SDFM-1 通道 2 数据输入
GPIO38	0，4，8，12	T16	85	I/O	通用输入/输出 38
EMIF1_A0	2			O	外部存储器接口 1 地址线 0
SCIC_TX	5			O	SCI-C 发送数据
CANB_TX	6			O	CAN-B 发送
CLB_OUTPUTXBAR7	7			O	CLB 输出 X-BAR 输出 7
EMIF1_A3	9			O	外部存储器接口 1 地址线 3
ENET_MII_RX_DV	10			I	EMAC MII 接收数据有效（或）RMII 载波检测/接收数据有效
ENET_MII_CRS	11			I	EMAC MII 载波检测
SD1_D3	13			I	SDFM-1 通道 3 数据输入
GPIO39	0，4，8，12	W17	86	I/O	通用输入/输出 39
EMIF1_A1	2			O	外部存储器接口 1 地址线 1
SCIC_RX	5			I	SCI-C 接收数据
CANB_RX	6			I	CAN-B 接收
CLB_OUTPUTXBAR8	7			O	CLB 输出 X-BAR 输出 8
EMIF1_A4	9			O	外部存储器接口 1 地址线 4
ENET_MII_RX_ERR	10			I	EMAC MII/RMII 接收错误
ENET_MII_COL	11			I	EMAC MII 碰撞检测
SD1_D4	13			I	SDFM-1 通道 4 数据输入
GPIO40	0，4，8，12	V17	87	I/O	通用输入/输出 40
EMIF1_A2	2			O	外部存储器接口 1 地址线 2
I2CB_SDA	6			I/OD	I2C-B 开漏双向数据
ENET_MII_CRS	11			I	EMAC MII 载波检测
ESC_I2C_SDA	14			I/OC	EtherCAT I2C 数据

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚属性 (continued)

信号名称	多路复用器位置	337	176	引脚类型	说明
GPIO41	0，4，8，12	U17	89	I/O	通用输入/输出 41
EMIF1_A3	2			O	外部存储器接口 1 地址线 3
I2CB_SCL	6			I/OD	I2C-B 开漏双向时钟
ENET_REVMII_MDIO_RST	10			I	EMAC REVMII MDIO 复位
ENET_MII_COL	11			I	EMAC MII 碰撞检测
ESC_I2C_SCL	14			I/OC	EtherCAT I2C 时钟
GPIO42	0，4，8，12	D19	130	I/O	通用输入/输出 42
I2CA_SDA	6			I/OD	I2C-A 开漏双向数据
ENET_MDIO_CLK	10			I/O	EMAC 管理数据时钟、MII/RMII 模式下的输出、RevMII 模式下的输入
UARTA_TX	11			I/O	UART-A 串行数据发送
SCIA_TX	15			O	SCI-A 发送数据
USB0DM	ALT			O	USB-0 PHY 差分数据
GPIO43	0，4，8，12	C19	131	I/O	通用输入/输出 43
I2CA_SCL	6			I/OD	I2C-A 开漏双向时钟
ENET_MDIO_DATA	10			I/O	EMAC 管理数据
UARTA_RX	11			I/O	UART-A 串行数据接收
SCIA_RX	15			I	SCI-A 接收数据
USB0DP	ALT			O	USB-0 PHY 差分数据
GPIO44	0，4，8，12	K18	113	I/O	通用输入/输出 44
EMIF1_A4	2			O	外部存储器接口 1 地址线 4
ENET_MII_TX_CLK	11			I	EMAC MII 发送时钟
ESC_TX1_CLK	14			I	EtherCAT MII 发送 1 时钟
GPIO45	0，4，8，12	K19	115	I/O	通用输入/输出 45
EMIF1_A5	2			O	外部存储器接口 1 地址线 5
ENET_MII_TX_EN	11			O	EMAC MII/RMII 发送使能
ESC_TX1_ENA	14			O	EtherCAT MII 发送 1 使能
GPIO46	0，4，8，12	E19	128	I/O	通用输入/输出 46
EMIF1_A6	2			O	外部存储器接口 1 地址线 6
SCID_RX	6			I	SCI-D 接收数据
ENET_MII_TX_ERR	11			O	EMAC MII 发送错误
ESC_MDIO_CLK	14			O	EtherCAT MDIO 时钟
GPIO47	0，4，8，12	E18	129	I/O	通用输入/输出 47
EMIF1_A7	2			O	外部存储器接口 1 地址线 7
SCID_TX	6			O	SCI-D 发送数据
ENET_PPS0	11			O	EMAC 每秒脉冲输出 0
ESC_MDIO_DATA	14			I/O	EtherCAT MDIO 数据

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚属性 (continued)

信号名称	多路复用器位置	337	176	引脚类型	说明
GPIO48	0，4，8，12	R16	90	I/O	通用输入/输出 48
OUTPUTXBAR3	1			O	输出 X-BAR 输出 3
EMIF1_A8	2			O	外部存储器接口 1 地址线 8
SCIA_TX	6			O	SCI-A 发送数据
SD1_D1	7			I	SDFM-1 通道 1 数据输入
ENET_PPS1	11			O	EMAC 每秒脉冲输出 1
ESC_PHY_CLK	14			O	EtherCAT PHY 时钟
GPIO49	0，4，8，12	R17	93	I/O	通用输入/输出 49
OUTPUTXBAR4	1			O	输出 X-BAR 输出 4
EMIF1_A9	2			O	外部存储器接口 1 地址线 9
SCIA_RX	6			I	SCI-A 接收数据
SD1_C1	7			I	SDFM-1 通道 1 时钟输入
EMIF1_A5	9			O	外部存储器接口 1 地址线 5
ENET_MII_RX_CLK	11			I	EMAC MII 接收时钟
SD2_D1	13			I	SDFM-2 通道 1 数据输入
FSITXA_D0	14			O	FSITX-A 数据输出 0
GPIO50	0，4，8，12	R18	94	I/O	通用输入/输出 50
EQEP1_A	1			I	eQEP-1 输入 A
EMIF1_A10	2			O	外部存储器接口 1 地址线 10
SPIC_SIMO	6			I/O	SPI-C 从器件输入，主器件输出 (SIMO)
SD1_D2	7			I	SDFM-1 通道 2 数据输入
EMIF1_A6	9			O	外部存储器接口 1 地址线 6
ENET_MII_RX_DV	11			I	EMAC MII 接收数据有效（或）RMII 载波检测/接收数据有效
SD2_D2	13			I	SDFM-2 通道 2 数据输入
FSITXA_D1	14			O	FSITX-A 数据输出 1
GPIO51	0，4，8，12	R19	95	I/O	通用输入/输出 51
EQEP1_B	1			I	eQEP-1 输入 B
EMIF1_A11	2			O	外部存储器接口 1 地址线 11
SPIC_SOMI	6			I/O	SPI-C 从器件输出，主器件输入 (SOMI)
SD1_C2	7			I	SDFM-1 通道 2 时钟输入
EMIF1_A7	9			O	外部存储器接口 1 地址线 7
ENET_MII_RX_ERR	11			I	EMAC MII/RMII 接收错误
SD2_D3	13			I	SDFM-2 通道 3 数据输入
FSITXA_CLK	14			O	FSITX-A 输出时钟

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚属性 (continued)

信号名称	多路复用器位置	337	176	引脚类型	说明
GPIO52	0，4，8，12	P16	96	I/O	通用输入/输出 52
EQEP1_STROBE	1			I/O	eQEP-1 选通
EMIF1_A12	2			O	外部存储器接口 1 地址线 12
SPIC_CLK	6			I/O	SPI-C 时钟
SD1_D3	7			I	SDFM-1 通道 3 数据输入
EMIF1_A8	9			O	外部存储器接口 1 地址线 8
ENET_MII_RX_DATA0	11			I	EMAC MII/RMII 接收数据 0
SD2_D4	13			I	SDFM-2 通道 4 数据输入
FSIRXA_D0	14			I	FSIRX-A 数据输入 0
GPIO53	0，4，8，12	P17	97	I/O	通用输入/输出 53
EQEP1_INDEX	1			I/O	eQEP-1 索引
EMIF1_D31	2			I/O	外部存储器接口 1 数据线 31
EMIF2_D15	3			I/O	外部存储器接口 2 数据线 15
SPIC_STEn	6			I/O	SPI-C 从器件发送使能 (STE)
SD1_C3	7			I	SDFM-1 通道 3 时钟输入
EMIF1_A9	9			O	外部存储器接口 1 地址线 9
ENET_MII_RX_DATA1	11			I	EMAC MII/RMII 接收数据 1
SD1_C1	13			I	SDFM-1 通道 1 时钟输入
FSIRXA_D1	14			I	FSIRX-A 数据输入 1
GPIO54	0，4，8，12	P18	98	I/O	通用输入/输出 54
SPIA_SIMO	1			I/O	SPI-A 从器件输入，主器件输出 (SIMO)
EMIF1_D30	2			I/O	外部存储器接口 1 数据线 30
EMIF2_D14	3			I/O	外部存储器接口 2 数据线 14
EQEP2_A	5			I	eQEP-2 输入 A
SCIB_TX	6			O	SCI-B 发送数据
SD1_D4	7			I	SDFM-1 通道 4 数据输入
EMIF1_A10	9			O	外部存储器接口 1 地址线 10
ENET_MII_RX_DATA2	11			I	EMAC MII 接收数据 2
SD1_C2	13			I	SDFM-1 通道 2 时钟输入
FSIRXA_CLK	14			I	FSIRX-A 输入时钟
SSIA_TX	15			I/O	SSI-A 串行数据发送
GPIO55	0，4，8，12	P19	100	I/O	通用输入/输出 55
SPIA_SOMI	1			I/O	SPI-A 从器件输出，主器件输入 (SOMI)
EMIF1_D29	2			I/O	外部存储器接口 1 数据线 29
EMIF2_D13	3			I/O	外部存储器接口 2 数据线 13
EQEP2_B	5			I	eQEP-2 输入 B
SCIB_RX	6			I	SCI-B 接收数据
SD1_C4	7			I	SDFM-1 通道 4 时钟输入
EMIF1_D0	9			I/O	外部存储器接口 1 数据线 0
ENET_MII_RX_DATA3	11			I	EMAC MII 接收数据 3
SD1_C3	13			I	SDFM-1 通道 3 时钟输入
FSITXB_D0	14			O	FSITX-B 数据输出 0
SSIA_RX	15			I/O	SSI-A 串行数据接收

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚属性 (continued)

信号名称	多路复用器位置	337	176	引脚类型	说明
GPIO56	0，4，8，12	N16	101	I/O	通用输入/输出 56
SPIA_CLK	1			I/O	SPI-A 时钟
EMIF1_D28	2			I/O	外部存储器接口 1 数据线 28
EMIF2_D12	3			I/O	外部内存接口 2 数据线 12
EQEP2_STROBE	5			I/O	eQEP-2 选通
SCIC_TX	6			O	SCI-C 发送数据
SD2_D1	7			I	SDFM-2 通道 1 数据输入
EMIF1_D1	9			I/O	外部存储器接口 1 数据线 1
I2CA_SDA	10			I/OD	I2C-A 开漏双向数据
ENET_MII_TX_EN	11			O	EMAC MII/RMII 发送使能
SD1_C4	13			I	SDFM-1 通道 4 时钟输入
FSITXB_CLK	14			O	FSITX-B 输出时钟
SSIA_CLK	15			I/O	SSI-A 时钟
GPIO57	0，4，8，12	N18	102	I/O	通用输入/输出 57
SPIA_STEn	1			I/O	SPI-A 从器件发送使能 (STE)
EMIF1_D27	2			I/O	外部存储器接口 1 数据线 27
EMIF2_D11	3			I/O	外部存储器接口 2 数据线 11
EQEP2_INDEX	5			I/O	eQEP-2 索引
SCIC_RX	6			I	SCI-C 接收数据
SD2_C1	7			I	SDFM-2 通道 1 时钟输入
EMIF1_D2	9			I/O	外部存储器接口 1 数据线 2
I2CA_SCL	10			I/OD	I2C-A 开漏双向时钟
ENET_MII_TX_ERR	11			O	EMAC MII 发送错误
FSITXB_D1	14			O	FSITX-B 数据输出 1
SSIA_FSS	15			I/O	SSI-A 帧同步
GPIO58	0，4，8，12	N17	103	I/O	通用输入/输出 58
MCLKRA	1			I	McBSP-A 接收时钟
EMIF1_D26	2			I/O	外部存储器接口 1 数据线 26
EMIF2_D10	3			I/O	外部存储器接口 2 数据线 10
OUTPUTXBAR1	5			O	输出 X-BAR 输出 1
SPIB_CLK	6			I/O	SPI-B 时钟
SD2_D2	7			I	SDFM-2 通道 2 数据输入
EMIF1_D3	9			I/O	外部存储器接口 1 数据线 3
ESC_LED_LINK0_ACTIVE	10			O	EtherCAT Link-0 有效
ENET_MII_TX_CLK	11			I	EMAC MII 发送时钟
SD2_C2	13			I	SDFM-2 通道 2 时钟输入
FSIRXB_D0	14			I	FSIRX-B 数据输入 0
SPIA_SIMO	15			I/O	SPI-A 从器件输入，主器件输出 (SIMO)

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚属性 (continued)

信号名称	多路复用器位置	337	176	引脚类型	说明
GPIO59	0，4，8，12	M16	104	I/O	通用输入/输出 59
MFSRA	1			I	McBSP-A 接收帧同步
EMIF1_D25	2			I/O	外部存储器接口 1 数据线 25
EMIF2_D9	3			I/O	外部存储器接口 2 数据线 9
OUTPUTXBAR2	5			O	输出 X-BAR 输出 2
SPIB_STEn	6			I/O	SPI-B 从器件发送使能 (STE)
SD2_C2	7			I	SDFM-2 通道 2 时钟输入
EMIF1_D4	9			I/O	外部存储器接口 1 数据线 4
ESC_LED_LINK1_ACTIVE	10			O	EtherCAT Link-1 有效
ENET_MII_TX_DATA0	11			O	EMAC MII/RMII 发送数据 0
SD2_C3	13			I	SDFM-2 通道 3 时钟输入
FSIRXB_D1	14			I	FSIRX-B 数据输入 1
SPIA_SOMI	15			I/O	SPI-A 从器件输出，主器件输入 (SOMI)
GPIO60	0，4，8，12	M17	105	I/O	通用输入/输出 60
MCLKRB	1			I	McBSP-B 接收时钟
EMIF1_D24	2			I/O	外部存储器接口 1 数据线 24
EMIF2_D8	3			I/O	外部存储器接口 2 数据线 8
OUTPUTXBAR3	5			O	输出 X-BAR 输出 3
SPIB_SIMO	6			I/O	SPI-B 从器件输入，主器件输出 (SIMO)
SD2_D3	7			I	SDFM-2 通道 3 数据输入
EMIF1_D5	9			I/O	外部存储器接口 1 数据线 5
ESC_LED_ERR	10			O	EtherCAT 错误 LED
ENET_MII_TX_DATA1	11			O	EMAC MII/RMII 发送数据 1
SD2_C4	13			I	SDFM-2 通道 4 时钟输入
FSIRXB_CLK	14			I	FSIRX-B 输入时钟
SPIA_CLK	15			I/O	SPI-A 时钟
GPIO61	0，4，8，12	L16	107	I/O	通用输入/输出 61
MFSRB	1			I	McBSP-B 接收帧同步
EMIF1_D23	2			I/O	外部存储器接口 1 数据线 23
EMIF2_D7	3			I/O	外部存储器接口 2 数据线 7
OUTPUTXBAR4	5			O	输出 X-BAR 输出 4
SPIB_SOMI	6			I/O	SPI-B 从器件输出，主器件输入 (SOMI)
SD2_C3	7			I	SDFM-2 通道 3 时钟输入
EMIF1_D6	9			I/O	外部存储器接口 1 数据线 6
ESC_LED_RUN	10			O	EtherCAT 运行 LED
ENET_MII_TX_DATA2	11			O	EMAC MII 发送数据 2
CANA_RX	14			I	CAN-A 接收
SPIA_STEn	15			I/O	SPI-A 从器件发送使能 (STE)

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚属性 (continued)

信号名称	多路复用器位置	337	176	引脚类型	说明
GPIO62	0，4，8，12	J17	108	I/O	通用输入/输出 62
SCIC_RX	1			I	SCI-C 接收数据
EMIF1_D22	2			I/O	外部存储器接口 1 数据线 22
EMIF2_D6	3			I/O	外部存储器接口 2 数据线 6
EQEP3_A	5			I	eQEP-3 输入 A
CANA_RX	6			I	CAN-A 接收
SD2_D4	7			I	SDFM-2 通道 4 数据输入
EMIF1_D7	9			I/O	外部存储器接口 1 数据线 7
ESC_LED_STATE_RUN	10			O	EtherCAT 状态运行
ENET_MII_TX_DATA3	11			O	EMAC MII 发送数据 3
CANA_TX	14			O	CAN-A 发送
GPIO63	0，4，8，12	J16	109	I/O	通用输入/输出 63
SCIC_TX	1			O	SCI-C 发送数据
EMIF1_D21	2			I/O	外部存储器接口 1 数据线 21
EMIF2_D5	3			I/O	外部存储器接口 2 数据线 5
EQEP3_B	5			I	eQEP-3 输入 B
CANA_TX	6			O	CAN-A 发送
SD2_C4	7			I	SDFM-2 通道 4 时钟输入
SSIA_TX	9			I/O	SSI-A 串行数据发送
ENET_MII_RX_DATA0	11			I	EMAC MII/RMII 接收数据 0
SD1_D1	13			I	SDFM-1 通道 1 数据输入
ESC_RX1_DATA0	14			I	EtherCAT MII 接收 1 数据 0
SPIB_SIMO	15			I/O	SPI-B 从器件输入，主器件输出 (SIMO)
GPIO64	0，4，8，12	L17	110	I/O	通用输入/输出 64
EMIF1_D20	2			I/O	外部存储器接口 1 数据线 20
EMIF2_D4	3			I/O	外部内存接口 2 数据线 4
EQEP3_STROBE	5			I/O	eQEP-3 选通
SCIA_RX	6			I	SCI-A 接收数据
SSIA_RX	9			I/O	SSI-A 串行数据接收
ENET_MII_RX_DV	10			I	EMAC MII 接收数据有效（或）RMII 载波检测/接收数据有效
ENET_MII_RX_DATA1	11			I	EMAC MII/RMII 接收数据 1
SD1_C1	13			I	SDFM-1 通道 1 时钟输入
ESC_RX1_DATA1	14			I	EtherCAT MII 接收 1 数据 1
SPIB_SOMI	15			I/O	SPI-B 从器件输出，主器件输入 (SOMI)

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚属性 (continued)

信号名称	多路复用器位置	337	176	引脚类型	说明
GPIO65	0，4，8，12	K16	111	I/O	通用输入/输出 65
EMIF1_D19	2			I/O	外部存储器接口 1 数据线 19
EMIF2_D3	3			I/O	外部内存接口 2 数据线 3
EQEP3_INDEX	5			I/O	eQEP-3 索引
SCIA_TX	6			O	SCI-A 发送数据
SSIA_CLK	9			I/O	SSI-A 时钟
ENET_MII_RX_ERR	10			I	EMAC MII/RMII 接收错误
ENET_MII_RX_DATA2	11			I	EMAC MII 接收数据 2
SD1_D2	13			I	SDFM-1 通道 2 数据输入
ESC_RX1_DATA2	14			I	EtherCAT MII 接收 1 数据 2
SPIB_CLK	15			I/O	SPI-B 时钟
GPIO66	0，4，8，12	K17	112	I/O	通用输入/输出 66
EMIF1_D18	2			I/O	外部存储器接口 1 数据线 18
EMIF2_D2	3			I/O	外部内存接口 2 数据线 2
I2CB_SDA	6			I/OD	I2C-B 开漏双向数据
SSIA_FSS	9			I/O	SSI-A 帧同步
ENET_MII_RX_DATA0	10			I	EMAC MII/RMII 接收数据 0
ENET_MII_RX_DATA3	11			I	EMAC MII 接收数据 3
SD1_C2	13			I	SDFM-1 通道 2 时钟输入
ESC_RX1_DATA3	14			I	EtherCAT MII 接收 1 数据 3
SPIB_STEn	15			I/O	SPI-B 从器件发送使能 (STE)
GPIO67	0，4，8，12	B19	132	I/O	通用输入/输出 67
EMIF1_D17	2			I/O	外部存储器接口 1 数据线 17
EMIF2_D1	3			I/O	外部内存接口 2 数据线 1
ENET_MII_RX_CLK	10			I	EMAC MII 接收时钟
ENET_REVMII_MDIO_RST	11			I	EMAC REVMII MDIO 复位
SD1_D3	13			I	SDFM-1 通道 3 数据输入
GPIO68	0，4，8，12	C18	133	I/O	通用输入/输出 68
EMIF1_D16	2			I/O	外部存储器接口 1 数据线 16
EMIF2_D0	3			I/O	外部内存接口 2 数据线 0
ENET_MII_INTR	11			I/O	EMAC PHY 中断、MII/RMII 模式下的输入、RevMII 模式下的输出
SD1_C3	13			I	SDFM-1 通道 3 时钟输入
ESC_PHY1_LINKSTATUS	14			I	EtherCAT PHY-1 链路状态
GPIO69	0，4，8，12	B18	134	I/O	通用输入/输出 69
EMIF1_D15	2			I/O	外部存储器接口 1 数据线 15
I2CB_SCL	6			I/OD	I2C-B 开漏双向时钟
ENET_MII_TX_EN	10			O	EMAC MII/RMII 发送使能
ENET_MII_RX_CLK	11			I	EMAC MII 接收时钟
SD1_D4	13			I	SDFM-1 通道 4 数据输入
ESC_RX1_CLK	14			I	EtherCAT MII 接收 1 时钟
SPIC_SIMO	15			I/O	SPI-C 从器件输入，主器件输出 (SIMO)

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚属性 (continued)

信号名称	多路复用器位置	337	176	引脚类型	说明
GPIO70	0，4，8，12	A17	135	I/O	通用输入/输出 70
EMIF1_D14	2			I/O	外部存储器接口 1 数据线 14
CANA_RX	5			I	CAN-A 接收
SCIB_TX	6			O	SCI-B 发送数据
MCAN_RX	9			I	CAN/CAN FD 接收
ENET_MII_RX_DV	11			I	EMAC MII 接收数据有效（或）RMII 载波检测/接收数据有效
SD1_C4	13			I	SDFM-1 通道 4 时钟输入
ESC_RX1_DV	14			I	EtherCAT MII 接收 1 数据有效
SPIC_SOMI	15			I/O	SPI-C 从器件输出，主器件输入 (SOMI)
GPIO71	0，4，8，12	B17	136	I/O	通用输入/输出 71
EMIF1_D13	2			I/O	外部存储器接口 1 数据线 13
CANA_TX	5			O	CAN-A 发送
SCIB_RX	6			I	SCI-B 接收数据
MCAN_TX	9			O	CAN/CAN FD 传输
ENET_MII_RX_DATA0	10			I	EMAC MII/RMII 接收数据 0
ENET_MII_RX_ERR	11			I	EMAC MII/RMII 接收错误
ESC_RX1_ERR	14			I	EtherCAT MII 接收 1 错误
SPIC_CLK	15			I/O	SPI-C 时钟
GPIO72	0，4，8，12	B16	139	I/O	通用输入/输出 72
EMIF1_D12	2			I/O	外部存储器接口 1 数据线 12
CANB_TX	5			O	CAN-B 发送
SCIC_TX	6			O	SCI-C 发送数据
ENET_MII_RX_DATA1	10			I	EMAC MII/RMII 接收数据 1
ENET_MII_TX_DATA3	11			O	EMAC MII 发送数据 3
ESC_TX1_DATA3	14			O	EtherCAT MII 发送 1 数据 3
SPIC_STEn	15			I/O	SPI-C 从器件发送使能 (STE)
GPIO73	0，4，8，12	A16	140	I/O	通用输入/输出 73
EMIF1_D11	2			I/O	外部存储器接口 1 数据线 11
XCLKOUT	3			O	外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。
CANB_RX	5			I	CAN-B 接收
SCIC_RX	6			I	SCI-C 接收数据
ENET_RMII_CLK	10			I/O	EMAC RMII 时钟
ENET_MII_TX_DATA2	11			O	EMAC MII 发送数据 2
SD2_D2	13			I	SDFM-2 通道 2 数据输入
ESC_TX1_DATA2	14			O	EtherCAT MII 发送 1 数据 2
GPIO74	0，4，8，12	C17	141	I/O	通用输入/输出 74
EMIF1_D10	2			I/O	外部存储器接口 1 数据线 10
MCAN_TX	9			O	CAN/CAN FD 传输
ENET_MII_TX_DATA1	11			O	EMAC MII/RMII 发送数据 1
SD2_C2	13			I	SDFM-2 通道 2 时钟输入
ESC_TX1_DATA1	14			O	EtherCAT MII 发送 1 数据 1

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚属性 (continued)

信号名称	多路复用器位置	337	176	引脚类型	说明
GPIO75	0，4，8，12	D16	142	I/O	通用输入/输出 75
EMIF1_D9	2			I/O	外部存储器接口 1 数据线 9
MCAN_RX	9			I	CAN/CAN FD 接收
ENET_MII_TX_DATA0	11			O	EMAC MII/RMII 发送数据 0
SD2_D3	13			I	SDFM-2 通道 3 数据输入
ESC_TX1_DATA0	14			O	EtherCAT MII 发送 1 数据 0
GPIO76	0，4，8，12	C16	143	I/O	通用输入/输出 76
EMIF1_D8	2			I/O	外部存储器接口 1 数据线 8
SCID_TX	6			O	SCI-D 发送数据
ENET_MII_RX_ERR	10			I	EMAC MII/RMII 接收错误
SD2_C3	13			I	SDFM-2 通道 3 时钟输入
ESC_PHY_RESETn	14			O	EtherCAT PHY 低电平有效复位
GPIO77	0，4，8，12	A15	144	I/O	通用输入/输出 77
EMIF1_D7	2			I/O	外部存储器接口 1 数据线 7
SCID_RX	6			I	SCI-D 接收数据
SD2_D4	13			I	SDFM-2 通道 4 数据输入
ESC_RX0_CLK	14			I	EtherCAT MII 接收 0 时钟
GPIO78	0，4，8，12	B15	145	I/O	通用输入/输出 78
EMIF1_D6	2			I/O	外部存储器接口 1 数据线 6
EQEP2_A	6			I	eQEP-2 输入 A
SD2_C4	13			I	SDFM-2 通道 4 时钟输入
ESC_RX0_DV	14			I	EtherCAT MII 接收 0 数据有效
GPIO79	0，4，8，12	C15	146	I/O	通用输入/输出 79
EMIF1_D5	2			I/O	外部存储器接口 1 数据线 5
EQEP2_B	6			I	eQEP-2 输入 B
SD2_D1	13			I	SDFM-2 通道 1 数据输入
ESC_RX0_ERR	14			I	EtherCAT MII 接收 0 错误
GPIO80	0，4，8，12	D15	148	I/O	通用输入/输出 80
EMIF1_D4	2			I/O	外部存储器接口 1 数据线 4
EQEP2_STROBE	6			I/O	eQEP-2 选通
SD2_C1	13			I	SDFM-2 通道 1 时钟输入
ESC_RX0_DATA0	14			I	EtherCAT MII 接收 0 数据 0
GPIO81	0，4，8，12	A14	149	I/O	通用输入/输出 81
EMIF1_D3	2			I/O	外部存储器接口 1 数据线 3
EQEP2_INDEX	6			I/O	eQEP-2 索引
ESC_RX0_DATA1	14			I	EtherCAT MII 接收 0 数据 1
GPIO82	0，4，8，12	B14	150	I/O	通用输入/输出 82
EMIF1_D2	2			I/O	外部存储器接口 1 数据线 2
ESC_RX0_DATA2	14			I	EtherCAT MII 接收 0 数据 2
GPIO83	0，4，8，12	C14	151	I/O	通用输入/输出 83
EMIF1_D1	2			I/O	外部存储器接口 1 数据线 1
ESC_RX0_DATA3	14			I	EtherCAT MII 接收 0 数据 3

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚属性 (continued)

信号名称	多路复用器位置	337	176	引脚类型	说明
GPIO84	0，4，8，12	A11	154	I/O	通用输入/输出 84
SCIA_TX	5			O	SCI-A 发送数据
MDXB	6			O	McBSP-B 发送串行数据
UARTA_TX	11			I/O	UART-A 串行数据发送
ESC_TX0_ENA	14			O	EtherCAT MII 发送 0 使能
MDXA	15			O	McBSP-A 发送串行数据
GPIO85	0，4，8，12	B11	155	I/O	通用输入/输出 85
EMIF1_D0	2			I/O	外部存储器接口 1 数据线 0
SCIA_RX	5			I	SCI-A 接收数据
MDRB	6			I	McBSP-B 接收串行数据
UARTA_RX	11			I/O	UART-A 串行数据接收
ESC_TX0_CLK	14			I	EtherCAT MII 发送 0 时钟
MDRA	15			I	McBSP-A 接收串行数据
GPIO86	0，4，8，12	C11	156	I/O	通用输入/输出 86
EMIF1_A13	2			O	外部存储器接口 1 地址线 13
EMIF1_CAS	3			O	外部存储器接口 1 列地址选通
SCIB_TX	5			O	SCI-B 发送数据
MCLKXB	6			O	McBSP-B 发送时钟
ESC_PHY0_LINKSTATUS	14			I	EtherCAT PHY-0 链路状态
MCLKXA	15			O	McBSP-A 发送时钟
GPIO87	0，4，8，12	D11	157	I/O	通用输入/输出 87
EMIF1_A14	2			O	外部存储器接口 1 地址线 14
EMIF1_RAS	3			O	外部存储器接口 1 行地址选通
SCIB_RX	5			I	SCI-B 接收数据
MFSXB	6			O	McBSP-B 发送帧同步
EMIF1_DQM3	9			O	外部存储器接口 1 字节 3 的输入/输出掩码
ESC_TX0_DATA0	14			O	EtherCAT MII 发送 0 数据 0
MFSXA	15			O	McBSP-A 发送帧同步
GPIO88	0，4，8，12	C6	170	I/O	通用输入/输出 88
EMIF1_A15	2			O	外部存储器接口 1 地址线 15
EMIF1_DQM0	3			O	外部存储器接口 1 字节 0 的输入/输出掩码
EMIF1_DQM1	9			O	外部内存接口 1 字节 1 的输入/输出掩码
ESC_TX0_DATA1	14			O	EtherCAT MII 发送 0 数据 1
GPIO89	0，4，8，12	D6	171	I/O	通用输入/输出 89
EMIF1_A16	2			O	外部存储器接口 1 地址线 16
EMIF1_DQM1	3			O	外部内存接口 1 字节 1 的输入/输出掩码
SCIC_TX	6			O	SCI-C 发送数据
EMIF1_CAS	9			O	外部存储器接口 1 列地址选通
ESC_TX0_DATA2	14			O	EtherCAT MII 发送 0 数据 2

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚属性 (continued)

信号名称	多路复用器位置	337	176	引脚类型	说明
GPIO90	0，4，8，12	A5	172	I/O	通用输入/输出 90
EMIF1_A17	2			O	外部存储器接口 1 地址线 17
EMIF1_DQM2	3			O	外部存储器接口 1 字节 2 的输入/输出掩码
SCIC_RX	6			I	SCI-C 接收数据
EMIF1_RAS	9			O	外部存储器接口 1 行地址选通
ESC_TX0_DATA3	14			O	EtherCAT MII 发送 0 数据 3
GPIO91	0，4，8，12	B5	173	I/O	通用输入/输出 91
EMIF1_A18	2			O	外部存储器接口 1 地址线 18
EMIF1_DQM3	3			O	外部存储器接口 1 字节 3 的输入/输出掩码
I2CA_SDA	6			I/OD	I2C-A 开漏双向数据
EMIF1_DQM2	9			O	外部存储器接口 1 字节 2 的输入/输出掩码
PMBUSA_SCL	10			I/OD	PMBus-A 开漏双向时钟
SSIA_TX	11			I/O	SSI-A 串行数据发送
FSIRXF_D0	13			I	FSIRX-F 数据输入 0
CLB_OUTPUTXBAR1	14			O	CLB 输出 X-BAR 输出 1
SPID_SIMO	15			I/O	SPI-D 从器件输入，主器件输出 (SIMO)
GPIO92	0，4，8，12	A4	174	I/O	通用输入/输出 92
EMIF1_A19	2			O	外部存储器接口 1 地址线 19
EMIF1_BA1	3			O	外部存储器接口 1 存储库地址 1
I2CA_SCL	6			I/OD	I2C-A 开漏双向时钟
EMIF1_DQM0	9			O	外部存储器接口 1 字节 0 的输入/输出掩码
PMBUSA_SDA	10			I/OD	PMBus-A 开漏双向数据
SSIA_RX	11			I/O	SSI-A 串行数据接收
FSIRXF_D1	13			I	FSIRX-F 数据输入 1
CLB_OUTPUTXBAR2	14			O	CLB 输出 X-BAR 输出 2
SPID_SOMI	15			I/O	SPI-D 从器件输出，主器件输入 (SOMI)
GPIO93	0，4，8，12	B4	175	I/O	通用输入/输出 93
EMIF1_BA0	3			O	外部存储器接口 1 存储库地址 0
SCID_TX	6			O	SCI-D 发送数据
PMBUSA_ALERT	10			I/OD	PMBus-A 开漏双向警报信号
SSIA_CLK	11			I/O	SSI-A 时钟
FSIRXF_CLK	13			I	FSIRX-F 输入时钟
CLB_OUTPUTXBAR3	14			O	CLB 输出 X-BAR 输出 3
SPID_CLK	15			I/O	SPI-D 时钟
GPIO94	0，4，8，12	A3	176	I/O	通用输入/输出 94
SCID_RX	6			I	SCI-D 接收数据
EMIF1_BA1	9			O	外部存储器接口 1 存储库地址 1
PMBUSA_CTL	10			I	PMBus-A 控制信号
SSIA_FSS	11			I/O	SSI-A 帧同步
FSIRXG_D0	13			I	FSIRX-G 数据输入 0
CLB_OUTPUTXBAR4	14			O	CLB 输出 X-BAR 输出 4
SPID_STEn	15			I/O	SPI-D 从器件发送使能 (STE)

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚属性 (continued)

信号名称	多路复用器位置	337	176	引脚类型	说明
GPIO95	0，4，8，12	B3		I/O	通用输入/输出 95
EMIF2_A12	3			O	外部存储器接口 2 地址线 12
FSIRXG_D1	13			I	FSIRX-G 数据输入 1
CLB_OUTPUTXBAR5	14			O	CLB 输出 X-BAR 输出 5
GPIO96	0，4，8，12	C3		I/O	通用输入/输出 96
EMIF2_DQM1	3			O	外部存储器接口 2 字节 1 的输入/输出掩码
EQEP1_A	5			I	eQEP-1 输入 A
FSIRXG_CLK	13			I	FSIRX-G 输入时钟
CLB_OUTPUTXBAR6	14			O	CLB 输出 X-BAR 输出 6
GPIO97	0，4，8，12	A2		I/O	通用输入/输出 97
EMIF2_DQM0	3			O	外部存储器接口 2 字节 0 的输入/输出掩码
EQEP1_B	5			I	eQEP-1 输入 B
FSIRXH_D0	13			I	FSIRX-H 数据输入 0
CLB_OUTPUTXBAR7	14			O	CLB 输出 X-BAR 输出 7
GPIO98	0，4，8，12	F1		I/O	通用输入/输出 98
EMIF2_A0	3			O	外部存储器接口 2 地址线 0
EQEP1_STROBE	5			I/O	eQEP-1 选通
FSIRXH_D1	13			I	FSIRX-H 数据输入 1
CLB_OUTPUTXBAR8	14			O	CLB 输出 X-BAR 输出 8
GPIO99	0，4，8，12	G1	17	I/O	通用输入/输出 99
EMIF2_A1	3			O	外部存储器接口 2 地址线 1
EQEP1_INDEX	5			I/O	eQEP-1 索引
FSIRXH_CLK	13			I	FSIRX-H 输入时钟
GPIO100	0，4，8，12	H1		I/O	通用输入/输出 100
EMIF2_A2	3			O	外部存储器接口 2 地址线 2
EQEP2_A	5			I	eQEP-2 输入 A
SPIC_SIMO	6			I/O	SPI-C 从器件输入，主器件输出 (SIMO)
ESC_GPI0	10			I	EtherCAT 通用输入 0
FSITXA_D0	13			O	FSITX-A 数据输出 0
GPIO101	0，4，8，12	H2		I/O	通用输入/输出 101
EMIF2_A3	3			O	外部存储器接口 2 地址线 3
EQEP2_B	5			I	eQEP-2 输入 B
SPIC_SOMI	6			I/O	SPI-C 从器件输出，主器件输入 (SOMI)
ESC_GPI1	10			I	EtherCAT 通用输入 1
FSITXA_D1	13			O	FSITX-A 数据输出 1
GPIO102	0，4，8，12	H3		I/O	通用输入/输出 102
EMIF2_A4	3			O	外部存储器接口 2 地址线 4
EQEP2_STROBE	5			I/O	eQEP-2 选通
SPIC_CLK	6			I/O	SPI-C 时钟
ESC_GPI2	10			I	EtherCAT 通用输入 2
FSITXA_CLK	13			O	FSITX-A 输出时钟

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚属性 (continued)

信号名称	多路复用器位置	337	176	引脚类型	说明
GPIO103	0，4，8，12	J1		I/O	通用输入/输出 103
EMIF2_A5	3			O	外部存储器接口 2 地址线 5
EQEP2_INDEX	5			I/O	eQEP-2 索引
SPIC_STEn	6			I/O	SPI-C 从器件发送使能 (STE)
ESC_GPI3	10			I	EtherCAT 通用输入 3
FSIRXA_D0	13			I	FSIRX-A 数据输入 0
GPIO104	0，4，8，12	J2		I/O	通用输入/输出 104
I2CA_SDA	1			I/OD	I2C-A 开漏双向数据
EMIF2_A6	3			O	外部存储器接口 2 地址线 6
EQEP3_A	5			I	eQEP-3 输入 A
SCID_TX	6			O	SCI-D 发送数据
ESC_GPI4	10			I	EtherCAT 通用输入 4
CM-I2CA_SDA	11			I/OD	CM-I2C-A 开漏双向数据
FSIRXA_D1	13			I	FSIRX-A 数据输入 1
GPIO105	0，4，8，12	J3		I/O	通用输入/输出 105
I2CA_SCL	1			I/OD	I2C-A 开漏双向时钟
EMIF2_A7	3			O	外部存储器接口 2 地址线 7
EQEP3_B	5			I	eQEP-3 输入 B
SCID_RX	6			I	SCI-D 接收数据
ESC_GPI5	10			I	EtherCAT 通用输入 5
CM-I2CA_SCL	11			I/OD	CM-I2C-A 开漏双向时钟
FSIRXA_CLK	13			I	FSIRX-A 输入时钟
ENET_MDIO_CLK	14			I/O	EMAC 管理数据时钟、MII/RMII 模式下的输出、RevMII 模式下的输入
GPIO106	0，4，8，12	L2		I/O	通用输入/输出 106
EMIF2_A8	3			O	外部存储器接口 2 地址线 8
EQEP3_STROBE	5			I/O	eQEP-3 选通
SCIC_TX	6			O	SCI-C 发送数据
ESC_GPI6	10			I	EtherCAT 通用输入 6
FSITXB_D0	13			O	FSITX-B 数据输出 0
ENET_MDIO_DATA	14			I/O	EMAC 管理数据
GPIO107	0，4，8，12	L3		I/O	通用输入/输出 107
EMIF2_A9	3			O	外部存储器接口 2 地址线 9
EQEP3_INDEX	5			I/O	eQEP-3 索引
SCIC_RX	6			I	SCI-C 接收数据
ESC_GPI7	10			I	EtherCAT 通用输入 7
FSITXB_D1	13			O	FSITX-B 数据输出 1
ENET_REVMII_MDIO_RST	14			I	EMAC REVMII MDIO 复位

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚属性 (continued)

信号名称	多路复用器位置	337	176	引脚类型	说明
GPIO108	0，4，8，12	L4		I/O	通用输入/输出 108
EMIF2_A10	3			O	外部存储器接口 2 地址线 10
ESC_GPI8	10			I	EtherCAT 通用输入 8
FSITXB_CLK	13			O	FSITX-B 输出时钟
ENET_MII_INTR	14			I/O	EMAC PHY 中断、MII/RMII 模式下的输入、RevMII 模式下的输出
GPIO109	0，4，8，12	N2		I/O	通用输入/输出 109
EMIF2_A11	3			O	外部存储器接口 2 地址线 11
ESC_GPI9	10			I	EtherCAT 通用输入 9
ENET_MII_CRS	14			I	EMAC MII 载波检测
GPIO110	0，4，8，12	M2		I/O	通用输入/输出 110
EMIF2_WAIT	3			I	外部存储器接口 2 异步 SRAM WAIT
ESC_GPI10	10			I	EtherCAT 通用输入 10
FSIRXB_D0	13			I	FSIRX-B 数据输入 0
ENET_MII_COL	14			I	EMAC MII 碰撞检测
GPIO111	0，4，8，12	M4		I/O	通用输入/输出 111
EMIF2_BA0	3			O	外部存储器接口 2 库地址 0
ESC_GPI11	10			I	EtherCAT 通用输入 11
FSIRXB_D1	13			I	FSIRX-B 数据输入 1
ENET_MII_RX_CLK	14			I	EMAC MII 接收时钟
GPIO112	0，4，8，12	M3		I/O	通用输入/输出 112
EMIF2_BA1	3			O	外部存储器接口 2 库地址 1
ESC_GPI12	10			I	EtherCAT 通用输入 12
FSIRXB_CLK	13			I	FSIRX-B 输入时钟
ENET_MII_RX_DV	14			I	EMAC MII 接收数据有效（或）RMII 载波检测/接收数据有效
GPIO113	0，4，8，12	N4		I/O	通用输入/输出 113
EMIF2_CAS	3			O	外部存储器接口 2 列地址选通
ESC_GPI13	10			I	EtherCAT 通用输入 13
ENET_MII_RX_ERR	14			I	EMAC MII/RMII 接收错误
GPIO114	0，4，8，12	N3		I/O	通用输入/输出 114
EMIF2_RAS	3			O	外部存储器接口 2 行地址选通
ESC_GPI14	10			I	EtherCAT 通用输入 14
ENET_MII_RX_DATA0	14			I	EMAC MII/RMII 接收数据 0
GPIO115	0，4，8，12	V12		I/O	通用输入/输出 115
EMIF2_CS0n	3			O	外部存储器接口 2 芯片选择 0
OUTPUTXBAR5	5			O	输出 X-BAR 输出 5
ESC_GPI15	10			I	EtherCAT 通用输入 15
FSIRXC_D0	13			I	FSIRX-C 数据输入 0
ENET_MII_RX_DATA1	14			I	EMAC MII/RMII 接收数据 1

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚属性 (continued)

信号名称	多路复用器位置	337	176	引脚类型	说明
GPIO116	0，4，8，12	W10		I/O	通用输入/输出 116
EMIF2_CS2n	3			O	外部存储器接口 2 芯片选择 2
OUTPUTXBAR6	5			O	输出 X-BAR 输出 6
ESC_GPI16	10			I	EtherCAT 通用输入 16
FSIRXC_D1	13			I	FSIRX-C 数据输入 1
ENET_MII_RX_DATA2	14			I	EMAC MII 接收数据 2
GPIO117	0，4，8，12	U12		I/O	通用输入/输出 117
EMIF2_SDCKE	3			O	外部存储器接口 2 SDRAM 时钟使能
ESC_GPI17	10			I	EtherCAT 通用输入 17
FSIRXC_CLK	13			I	FSIRX-C 输入时钟
ENET_MII_RX_DATA3	14			I	EMAC MII 接收数据 3
GPIO118	0，4，8，12	T12		I/O	通用输入/输出 118
EMIF2_CLK	3			O	外部存储器接口 2 时钟
ESC_GPI18	10			I	EtherCAT 通用输入 18
FSIRXD_D0	13			I	FSIRX-D 数据输入 0
ENET_MII_TX_EN	14			O	EMAC MII/RMII 发送使能
GPIO119	0，4，8，12	T15		I/O	通用输入/输出 119
EMIF2_RNW	3			O	外部存储器接口 2 读/不写
ESC_GPI19	10			I	EtherCAT 通用输入 19
FSIRXD_D1	13			I	FSIRX-D 数据输入 1
ENET_MII_TX_ERR	14			O	EMAC MII 发送错误
GPIO120	0，4，8，12	U15		I/O	通用输入/输出 120
EMIF2_WEn	3			O	外部存储器接口 2 写入使能
ESC_GPI20	10			I	EtherCAT 通用输入 20
FSIRXD_CLK	13			I	FSIRX-D 输入时钟
ENET_MII_TX_CLK	14			I	EMAC MII 发送时钟
GPIO121	0，4，8，12	W16		I/O	通用输入/输出 121
EMIF2_OEn	3			O	外部存储器接口 2 输出使能
ESC_GPI21	10			I	EtherCAT 通用输入 21
FSIRXE_D0	13			I	FSIRX-E 数据输入 0
ENET_MII_TX_DATA0	14			O	EMAC MII/RMII 发送数据 0
GPIO122	0，4，8，12	T8		I/O	通用输入/输出 122
EMIF2_D15	3			I/O	外部存储器接口 2 数据线 15
SPIC_SIMO	6			I/O	SPI-C 从器件输入，主器件输出 (SIMO)
SD1_D1	7			I	SDFM-1 通道 1 数据输入
ESC_GPI22	10			I	EtherCAT 通用输入 22
ENET_MII_TX_DATA1	14			O	EMAC MII/RMII 发送数据 1
GPIO123	0，4，8，12	U8		I/O	通用输入/输出 123
EMIF2_D14	3			I/O	外部存储器接口 2 数据线 14
SPIC_SOMI	6			I/O	SPI-C 从器件输出，主器件输入 (SOMI)
SD1_C1	7			I	SDFM-1 通道 1 时钟输入
ESC_GPI23	10			I	EtherCAT 通用输入 23
ENET_MII_TX_DATA2	14			O	EMAC MII 发送数据 2

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚属性 (continued)

信号名称	多路复用器位置	337	176	引脚类型	说明
GPIO124	0，4，8，12	V8		I/O	通用输入/输出 124
EMIF2_D13	3			I/O	外部存储器接口 2 数据线 13
SPIC_CLK	6			I/O	SPI-C 时钟
SD1_D2	7			I	SDFM-1 通道 2 数据输入
ESC_GPI24	10			I	EtherCAT 通用输入 24
ENET_MII_TX_DATA3	14			O	EMAC MII 发送数据 3
GPIO125	0，4，8，12	T9		I/O	通用输入/输出 125
EMIF2_D12	3			I/O	外部内存接口 2 数据线 12
SPIC_STEn	6			I/O	SPI-C 从器件发送使能 (STE)
SD1_C2	7			I	SDFM-1 通道 2 时钟输入
ESC_GPI25	10			I	EtherCAT 通用输入 25
FSIRXE_D1	13			I	FSIRX-E 数据输入 1
ESC_LATCH0	14			I	EtherCAT 锁存器信号输入 0
GPIO126	0，4，8，12	U9		I/O	通用输入/输出 126
EMIF2_D11	3			I/O	外部存储器接口 2 数据线 11
SD1_D3	7			I	SDFM-1 通道 3 数据输入
ESC_GPI26	10			I	EtherCAT 通用输入 26
FSIRXE_CLK	13			I	FSIRX-E 输入时钟
ESC_LATCH1	14			I	EtherCAT 锁存器信号输入 1
GPIO127	0，4，8，12	V9		I/O	通用输入/输出 127
EMIF2_D10	3			I/O	外部存储器接口 2 数据线 10
SD1_C3	7			I	SDFM-1 通道 3 时钟输入
ESC_GPI27	10			I	EtherCAT 通用输入 27
ESC_SYNC0	14			O	EtherCAT 同步信号输出 0
GPIO128	0，4，8，12	W9		I/O	通用输入/输出 128
EMIF2_D9	3			I/O	外部存储器接口 2 数据线 9
SD1_D4	7			I	SDFM-1 通道 4 数据输入
ESC_GPI28	10			I	EtherCAT 通用输入 28
ESC_SYNC1	14			O	EtherCAT 同步信号输出 1
GPIO129	0，4，8，12	T10		I/O	通用输入/输出 129
EMIF2_D8	3			I/O	外部存储器接口 2 数据线 8
SD1_C4	7			I	SDFM-1 通道 4 时钟输入
ESC_GPI29	10			I	EtherCAT 通用输入 29
ESC_TX1_ENA	14			O	EtherCAT MII 发送 1 使能
GPIO130	0，4，8，12	U10		I/O	通用输入/输出 130
EMIF2_D7	3			I/O	外部存储器接口 2 数据线 7
SD2_D1	7			I	SDFM-2 通道 1 数据输入
ESC_GPI30	10			I	EtherCAT 通用输入 30
ESC_TX1_CLK	14			I	EtherCAT MII 发送 1 时钟

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚属性 (continued)

信号名称	多路复用器位置	337	176	引脚类型	说明
GPIO131	0，4，8，12	V10		I/O	通用输入/输出 131
EMIF2_D6	3			I/O	外部存储器接口 2 数据线 6
SD2_C1	7			I	SDFM-2 通道 1 时钟输入
ESC_GPI31	10			I	EtherCAT 通用输入 31
ESC_TX1_DATA0	14			O	EtherCAT MII 发送 1 数据 0
GPIO132	0，4，8，12	W18		I/O	通用输入/输出 132
EMIF2_D5	3			I/O	外部存储器接口 2 数据线 5
SD2_D2	7			I	SDFM-2 通道 2 数据输入
ESC_GPO0	10			O	EtherCAT 通用输出 0
ESC_TX1_DATA1	14			O	EtherCAT MII 发送 1 数据 1
GPIO133	0，4，8，12	G18	118	I/O	通用输入/输出 133
SD2_C2	7			I	SDFM-2 通道 2 时钟输入
AUXCLKIN	ALT			I	辅助时钟输入
GPIO134	0，4，8，12	V18		I/O	通用输入/输出 134
EMIF2_D4	3			I/O	外部内存接口 2 数据线 4
SD2_D3	7			I	SDFM-2 通道 3 数据输入
ESC_GPO1	10			O	EtherCAT 通用输出 1
ESC_TX1_DATA2	14			O	EtherCAT MII 发送 1 数据 2
GPIO135	0，4，8，12	U18		I/O	通用输入/输出 135
EMIF2_D3	3			I/O	外部内存接口 2 数据线 3
SCIA_TX	6			O	SCI-A 发送数据
SD2_C3	7			I	SDFM-2 通道 3 时钟输入
ESC_GPO2	10			O	EtherCAT 通用输出 2
ESC_TX1_DATA3	14			O	EtherCAT MII 发送 1 数据 3
GPIO136	0，4，8，12	T17		I/O	通用输入/输出 136
EMIF2_D2	3			I/O	外部内存接口 2 数据线 2
SCIA_RX	6			I	SCI-A 接收数据
SD2_D4	7			I	SDFM-2 通道 4 数据输入
ESC_GPO3	10			O	EtherCAT 通用输出 3
ESC_RX1_DV	14			I	EtherCAT MII 接收 1 数据有效
GPIO137	0，4，8，12	T18		I/O	通用输入/输出 137
EPWM13A	1			O	ePWM-13 输出 A（ePWM1-8 上提供高分辨率）
EMIF2_D1	3			I/O	外部内存接口 2 数据线 1
SCIB_TX	6			O	SCI-B 发送数据
SD2_C4	7			I	SDFM-2 通道 4 时钟输入
ESC_GPO4	10			O	EtherCAT 通用输出 4
ESC_RX1_CLK	14			I	EtherCAT MII 接收 1 时钟
GPIO138	0，4，8，12	T19		I/O	通用输入/输出 138
EPWM13B	1			O	ePWM-13 输出 B（ePWM1-8 上提供高分辨率）
EMIF2_D0	3			I/O	外部内存接口 2 数据线 0
SCIB_RX	6			I	SCI-B 接收数据
ESC_GPO5	10			O	EtherCAT 通用输出 5
ESC_RX1_ERR	14			I	EtherCAT MII 接收 1 错误

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚属性 (continued)

信号名称	多路复用器位置	337	176	引脚类型	说明
GPIO139	0，4，8，12	N19		I/O	通用输入/输出 139
EPWM14A	1			O	ePWM-14 输出 A（ePWM1-8 上提供高分辨率）
SCIC_RX	6			I	SCI-C 接收数据
ESC_GPO6	10			O	EtherCAT 通用输出 6
ESC_RX1_DATA0	14			I	EtherCAT MII 接收 1 数据 0
GPIO140	0，4，8，12	M19		I/O	通用输入/输出 140
EPWM14B	1			O	ePWM-14 输出 B（ePWM1-8 上提供高分辨率）
SCIC_TX	6			O	SCI-C 发送数据
ESC_GPO7	10			O	EtherCAT 通用输出 7
ESC_RX1_DATA1	14			I	EtherCAT MII 接收 1 数据 1
GPIO141	0，4，8，12	M18		I/O	通用输入/输出 141
EPWM15A	1			O	ePWM-15 输出 A（ePWM1-8 上提供高分辨率）
SCID_RX	6			I	SCI-D 接收数据
ESC_GPO8	10			O	EtherCAT 通用输出 8
ESC_RX1_DATA2	14			I	EtherCAT MII 接收 1 数据 2
GPIO142	0，4，8，12	L19		I/O	通用输入/输出 142
EPWM15B	1			O	ePWM-15 输出 B（ePWM1-8 上提供高分辨率）
SCID_TX	6			O	SCI-D 发送数据
ESC_GPO9	10			O	EtherCAT 通用输出 9
ESC_RX1_DATA3	14			I	EtherCAT MII 接收 1 数据 3
GPIO143	0，4，8，12	F18		I/O	通用输入/输出 143
EPWM16A	1			O	ePWM-16 输出 A（ePWM1-8 上提供高分辨率）
ESC_GPO10	10			O	EtherCAT 通用输出 10
ESC_LED_LINK0_ACTIVE	14			O	EtherCAT Link-0 有效
GPIO144	0，4，8，12	F17		I/O	通用输入/输出 144
EPWM16B	1			O	ePWM-16 输出 B（ePWM1-8 上提供高分辨率）
ESC_GPO11	10			O	EtherCAT 通用输出 11
ESC_LED_LINK1_ACTIVE	14			O	EtherCAT Link-1 有效
GPIO145	0，4，8，12	E17		I/O	通用输入/输出 145
EPWM1A	1			O	ePWM-1 输出 A（ePWM1-8 上提供高分辨率）
ESC_GPO12	10			O	EtherCAT 通用输出 12
ESC_LED_ERR	14			O	EtherCAT 错误 LED
GPIO146	0，4，8，12	D18		I/O	通用输入/输出 146
EPWM1B	1			O	ePWM-1 输出 B（ePWM1-8 上提供高分辨率）
ESC_GPO13	10			O	EtherCAT 通用输出 13
ESC_LED_RUN	14			O	EtherCAT 运行 LED
GPIO147	0，4，8，12	D17		I/O	通用输入/输出 147
EPWM2A	1			O	ePWM-2 输出 A（ePWM1-8 上提供高分辨率）
ESC_GPO14	10			O	EtherCAT 通用输出 14
ESC_LED_STATE_RUN	14			O	EtherCAT 状态运行

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚属性 (continued)

信号名称	多路复用器位置	337	176	引脚类型	说明
GPIO148	0，4，8，12	D14		I/O	通用输入/输出 148
EPWM2B	1			O	ePWM-2 输出 B（ePWM1-8 上提供高分辨率）
ESC_GPO15	10			O	EtherCAT 通用输出 15
ESC_PHY0_LINKSTATUS	14			I	EtherCAT PHY-0 链路状态
GPIO149	0，4，8，12	A13		I/O	通用输入/输出 149
EPWM3A	1			O	ePWM-3 输出 A（ePWM1-8 上提供高分辨率）
ESC_GPO16	10			O	EtherCAT 通用输出 16
ESC_PHY1_LINKSTATUS	14			I	EtherCAT PHY-1 链路状态
GPIO150	0，4，8，12	B13		I/O	通用输入/输出 150
EPWM3B	1			O	ePWM-3 输出 B（ePWM1-8 上提供高分辨率）
ESC_GPO17	10			O	EtherCAT 通用输出 17
ESC_I2C_SDA	14			I/OC	EtherCAT I2C 数据
GPIO151	0，4，8，12	C13		I/O	通用输入/输出 151
EPWM4A	1			O	ePWM-4 输出 A（ePWM1-8 上提供高分辨率）
ESC_GPO18	10			O	EtherCAT 通用输出 18
ESC_I2C_SCL	14			I/OC	EtherCAT I2C 时钟
GPIO152	0，4，8，12	D13		I/O	通用输入/输出 152
EPWM4B	1			O	ePWM-4 输出 B（ePWM1-8 上提供高分辨率）
ESC_GPO19	10			O	EtherCAT 通用输出 19
ESC_MDIO_CLK	14			O	EtherCAT MDIO 时钟
GPIO153	0，4，8，12	A12		I/O	通用输入/输出 153
EPWM5A	1			O	ePWM-5 输出 A（ePWM1-8 上提供高分辨率）
ESC_GPO20	10			O	EtherCAT 通用输出 20
ESC_MDIO_DATA	14			I/O	EtherCAT MDIO 数据
GPIO154	0，4，8，12	B12		I/O	通用输入/输出 154
EPWM5B	1			O	ePWM-5 输出 B（ePWM1-8 上提供高分辨率）
ESC_GPO21	10			O	EtherCAT 通用输出 21
ESC_PHY_CLK	14			O	EtherCAT PHY 时钟
GPIO155	0，4，8，12	C12		I/O	通用输入/输出 155
EPWM6A	1			O	ePWM-6 输出 A（ePWM1-8 上提供高分辨率）
ESC_GPO22	10			O	EtherCAT 通用输出 22
ESC_PHY_RESETn	14			O	EtherCAT PHY 低电平有效复位
GPIO156	0，4，8，12	D12		I/O	通用输入/输出 156
EPWM6B	1			O	ePWM-6 输出 B（ePWM1-8 上提供高分辨率）
ESC_GPO23	10			O	EtherCAT 通用输出 23
ESC_TX0_ENA	14			O	EtherCAT MII 发送 0 使能
GPIO157	0，4，8，12	B10		I/O	通用输入/输出 157
EPWM7A	1			O	ePWM-7 输出 A（ePWM1-8 上提供高分辨率）
ESC_GPO24	10			O	EtherCAT 通用输出 24
ESC_TX0_CLK	14			I	EtherCAT MII 发送 0 时钟

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚属性 (continued)

信号名称	多路复用器位置	337	176	引脚类型	说明
GPIO158	0，4，8，12	C10		I/O	通用输入/输出 158
EPWM7B	1			O	ePWM-7 输出 B（ePWM1-8 上提供高分辨率）
ESC_GPO25	10			O	EtherCAT 通用输出 25
ESC_TX0_DATA0	14			O	EtherCAT MII 发送 0 数据 0
GPIO159	0，4，8，12	D10		I/O	通用输入/输出 159
EPWM8A	1			O	ePWM-8 输出 A（ePWM1-8 上提供高分辨率）
ESC_GPO26	10			O	EtherCAT 通用输出 26
ESC_TX0_DATA1	14			O	EtherCAT MII 发送 0 数据 1
GPIO160	0，4，8，12	B9		I/O	通用输入/输出 160
EPWM8B	1			O	ePWM-8 输出 B（ePWM1-8 上提供高分辨率）
ESC_GPO27	10			O	EtherCAT 通用输出 27
ESC_TX0_DATA2	14			O	EtherCAT MII 发送 0 数据 2
GPIO161	0，4，8，12	C9		I/O	通用输入/输出 161
EPWM9A	1			O	ePWM-9 输出 A（ePWM1-8 上提供高分辨率）
ESC_GPO28	10			O	EtherCAT 通用输出 28
ESC_TX0_DATA3	14			O	EtherCAT MII 发送 0 数据 3
GPIO162	0，4，8，12	D9		I/O	通用输入/输出 162
EPWM9B	1			O	ePWM-9 输出 B（ePWM1-8 上提供高分辨率）
ESC_GPO29	10			O	EtherCAT 通用输出 29
ESC_RX0_DV	14			I	EtherCAT MII 接收 0 数据有效
GPIO163	0，4，8，12	A8		I/O	通用输入/输出 163
EPWM10A	1			O	ePWM-10 输出 A（ePWM1-8 上提供高分辨率）
ESC_GPO30	10			O	EtherCAT 通用输出 30
ESC_RX0_CLK	14			I	EtherCAT MII 接收 0 时钟
GPIO164	0，4，8，12	B8		I/O	通用输入/输出 164
EPWM10B	1			O	ePWM-10 输出 B（ePWM1-8 上提供高分辨率）
ESC_GPO31	10			O	EtherCAT 通用输出 31
ESC_RX0_ERR	14			I	EtherCAT MII 接收 0 错误
GPIO165	0，4，8，12	C5		I/O	通用输入/输出 165
EPWM11A	1			O	ePWM-11 输出 A（ePWM1-8 上提供高分辨率）
MDXA	10			O	McBSP-A 发送串行数据
ESC_RX0_DATA0	14			I	EtherCAT MII 接收 0 数据 0
GPIO166	0，4，8，12	D5		I/O	通用输入/输出 166
EPWM11B	1			O	ePWM-11 输出 B（ePWM1-8 上提供高分辨率）
MDRA	10			I	McBSP-A 接收串行数据
ESC_RX0_DATA1	14			I	EtherCAT MII 接收 0 数据 1
GPIO167	0，4，8，12	C4		I/O	通用输入/输出 167
EPWM12A	1			O	ePWM-12 输出 A（ePWM1-8 上提供高分辨率）
MCLKXA	10			O	McBSP-A 发送时钟
ESC_RX0_DATA2	14			I	EtherCAT MII 接收 0 数据 2

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚属性 (continued)

信号名称	多路复用器位置	337	176	引脚类型	说明
GPIO168	0，4，8，12	D4		I/O	通用输入/输出 168
EPWM12B	1			O	ePWM-12 输出 B（ePWM1-8 上提供高分辨率）
MFSXA	10			O	McBSP-A 发送帧同步
ESC_RX0_DATA3	14			I	EtherCAT MII 接收 0 数据 3
测试、JTAG 和复位					
ERRORSTS		U19	92	O	错误状态输出。使用时，该信号需要一个外部下拉电阻。
FLT1		W12	73	I/O	闪存测试引脚 1。为 TI 预留。必须保持未连接状态。
FLT2		V13	74	I/O	闪存测试引脚 2。为 TI 预留。必须保持未连接状态。
NC1		H4			无连接。此引脚未在内部连接到器件。此引脚可以在最大工作条件下保持断开状态或连接到任何电压。
NC2		J18	119		无连接。此引脚未在器件内部连接，可保持断开状态或连接到 VSS 或 VDDIO。注：在具有内部稳压器 (VREG) 的其他 C2000 器件上，此引脚将是 VREGENZ（内部稳压器使能）。为了在 C2000 器件之间实现 PCB 兼容性，此引脚应该连接至 VDDIO (3.3V)。这将确保当内部 VREG 出现在其他器件上时被禁用，并且不会与必须用于该器件的外部 VREG 相冲突。
TCK		V15	81	I	带有内部上拉电阻的 JTAG 测试时钟。
TDI		W13	77	I	带有内部上拉电阻器的 JTAG 测试数据输入 (TDI)。在 TCK 的上升沿上，TDI 被计时至所选择的寄存器（指令或数据）。
TDO		W15	78	O	JTAG 扫描输出，测试数据输出 (TDO)。所选寄存器（指令或数据）的内容在 TCK 下降沿从 TDO 移出。
TMS		W14	80	I	带有内部上拉电阻器的 JTAG 测试模式选择 (TMS)。此串行控制输入在 TCK 上升沿上的 TAP 控制器中计时。在电路板上应放置一个外部上拉电阻（推荐 2.2kΩ）以将 TMS 引脚连接至 VDDIO，从而在正常运行期间将 JTAG 保持在复位状态。
TRSTn		V14	79	I	带有内部下拉电阻的 JTAG 测试复位。当被驱动至高电平时，TRST 使扫描系统获得器件运行的控制权。如果此信号被驱动至低电平，此器件在功能模式下工作，且忽略测试复位信号。注意：在器件正常运行期间，TRST 必须始终保持低电平，因此需要在此引脚上使用一个外部下拉电阻来防止噪声尖峰。这个电阻的阻值应该尽可能的小，只要确保 JTAG 调试探针仍然能够将 TRST 引脚驱动至高电平即可。一个 2.2kΩ 到 10kΩ 的电阻一般能够提供足够的保护。由于电阻的阻值是特定于应用的，TI 建议验证每个目标板以确保调试探针和应用的正常运行。此引脚具有一个内部 50ns（标称值）干扰滤波器。
X1		G19	123	I	晶体振荡器或单端时钟输入。器件初始化软件必须在启用晶体振荡器之前配置该引脚。为了使用此振荡器，必须将一个石英晶体电路连接至 X1 和 X2。此引脚也可用于馈入单端 3.3V 电平时钟。
X2		J19	121	O	晶体振荡器输出。

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚属性 (continued)

信号名称	多路复用器位置	337	176	引脚类型	说明
XRSn		F19	124	I/OD	器件复位（输入）和看门狗复位（输出）。在上电条件下，此引脚由器件驱动为低电平。外部电路也可能会驱动此引脚以使器件复位生效。发生看门狗复位时，此引脚也由 MCU 驱动为低电平。在看门狗复位期间，XRSn 引脚在 512 个 OSCCLK 周期的看门狗复位持续时间内被驱动为低电平。XRSn 和 VDDIO 之间应放置一个 2.2kΩ 至 10kΩ 的电阻。如果在 XRSn 和 VSS 之间放置一个电容器进行噪声滤除，则该电容器的容值应为 100nF 或更小。当看门狗复位生效时，这些值允许看门狗在 512 个 OSCCLK 周期内正确地将 XRSn 引脚驱动至 VOL。这个引脚的输出缓冲器是一个有内部上拉电阻的开漏。如果此引脚由外部器件驱动，则应使用开漏器件进行驱动。
电源和接地					
VDD		E9、E11、F9、F11、G14、G15、J14、J15、K5、K6、P10、P13、R10、R13	61、76、117、126、137、153、158、169、16、21		1.2V 数字逻辑电源引脚。TI 建议在每个 VDD 引脚附近放置一个最小总电容值约为 20μF 的去耦电容器。去耦电容器的确切值应由您的系统电压调节解决方案确定。应在 VDD 和 VSS 之间放置一个 56Ω 电阻（容差为 10%）。该电阻提供了一个负载，以消耗 VDD 电流源的内部 VDD3VFL，并避免在低功耗器件条件下 VDD 电压上升。
VDD3VFL		R11、R12	72		3.3V 闪存电源引脚。在每个引脚上放置一个最小值为 0.1μF 的去耦电容器
VDDA		P6、R6	54、36		3.3V 模拟电源引脚。在每个引脚上放置一个最小值为 2.2μF 且连接至 VSSA 的去耦电容器。

表 6-1. 引脚属性 (continued)

信号名称	多路复用器位置	337	176	引脚类型	说明
VDDIO		A9、A18、B1、E7、E10、E13、F7、F10、F13、G5、G6、H5、H6、L14、L15、M1、M5、M6、N14、N15、P9、R9、V19、W8、F4、G4、E16、F16	62、68、75、82、88、91、99、106、114、116、127、138、147、152、159、168、3、11、15、20、26		3.3V 数字 I/O 电源引脚。在每个引脚上放置一个最小值为 0.1μF 的去耦电容器。
VDDOSC		H16、H17	120、125		3.3V 片上晶体振荡器（X1 和 X2）的电源引脚以及两个内部零引脚振荡器 (INTOSC)。在每个引脚上放置一个 0.1μF（最小值）的去耦电容器

Copyright © 2023 Texas Instruments Incorporated

表 6-1. 引脚属性 (continued)

信号名称	多路复用器位置	337	176	引脚类型	说明
VSS		A1、A10、A19、E5、E6、E8、E12、E14、E15、F5、F6、F8、F12、F14、F15、G16、G17、H8、H9、H10、H11、H12、H14、H15、J5、J6、J8、J9、J10、J11、J12、K8、K9、K10、K11、K12、K14、K15、L5、L6、L8、L9、L10、L11、L12、L18、M8、M9、M10、M11、M12、M14、M15、N1、N5、N6、P7、P8、P11、P12、P14、P15、R7、	PAD		器件接地。对四通道扁平封装(QFP)，必须将封装底部的 PowerPAD 焊接到 PCB 的接地层。

表 6-1. 引脚属性 (continued)

信号名称	多路复用器位置	337	176	引脚类型	说明
		R8、R14、R15、W7、W19			
VSSA		P1、P5、R5、V7、W1	52、34		模拟接地
VSSOSC		H18、H19	122		晶体振荡器（X1 和 X2）接地引脚。使用外部晶体时，请勿将此引脚连接至电路板接地。相反，将其连接至外部晶体振荡器电路的接地基准。如果未使用外部晶体，则此引脚可以连接至电路板接地。

Copyright © 2023 Texas Instruments Incorporated

6.3 信号说明

6.3.1 模拟信号

表 6-2. 模拟信号

信号名称	说明	引脚类型	GPIO 引脚	337 BGA 引脚	176 引脚
ADCIN14	到所有 ADC 的输入 14。此引脚可用作通用 ADCIN 引脚或可用于通过外部基准对所有 ADC 一起进行校准（无论是单端输入还是差分输入）	I		T4	44
ADCIN15	到所有 ADC 的输入 15。此引脚可用作通用 ADCIN 引脚或可用于通过外部基准对所有 ADC 一起进行校准（无论是单端输入还是差分输入）	I		U4	45
ADCINA0	ADC-A 输入 0。在 ADC 输入或 DAC 输出模式中，此引脚上有一个无法禁用的 50kΩ 内部下拉电阻器。	I		U1	43
ADCINA1	ADC-A 输入 1。在 ADC 输入或 DAC 输出模式中，此引脚上有一个无法禁用的 50kΩ 内部下拉电阻器。	I		T1	42
ADCINA2	ADC-A 输入 2	I		U2	41
ADCINA3	ADC-A 输入 3	I		T2	40
ADCINA4	ADC-A 输入 4	I		U3	39
ADCINA5	ADC-A 输入 5	I		T3	38
ADCINB0	ADC-B 输入 0。无论是用于 ADC 输入还是 DAC 基准，此引脚上有一个连接至 VSSA 且无法禁用的 100pF 电容器。如果将此引脚用作片上 DAC 的基准，请在此引脚上放置至少一个 1μF 电容器。	I		V2	46
ADCINB1	ADC-B 输入 1。在 ADC 输入或 DAC 输出模式中，此引脚上有一个无法禁用的 50kΩ 内部下拉电阻器。	I		W2	47
ADCINB2	ADC-B 输入 2	I		V3	48
ADCINB3	ADC-B 输入 3	I		W3	49
ADCINB4	ADC-B 输入 4	I		V4	
ADCINB5	ADC-B 输入 5	I		W4	
ADCINC2	ADC-C 输入 2	I		R3	31
ADCINC3	ADC-C 输入 3	I		P3	30
ADCINC4	ADC-C 输入 4	I		R4	29
ADCINC5	ADC-C 输入 5	I		P4	
ADCIND0	ADC-D 输入 0	I		T5	56
ADCIND1	ADC-D 输入 1	I		U5	57
ADCIND2	ADC-D 输入 2	I		T6	58
ADCIND3	ADC-D 输入 3	I		U6	59
ADCIND4	ADC-D 输入 4	I		T7	60
ADCIND5	ADC-D 输入 5	I		U7	
CMPIN1N	比较器 1 负输入	I		T2	40
CMPIN1P	比较器 1 正输入	I		U2	41
CMPIN2N	比较器 2 负输入	I		T3	38
CMPIN2P	比较器 2 正输入	I		U3	39
CMPIN3N	比较器 3 负输入	I		W3	49
CMPIN3P	比较器 3 正输入	I		V3	48
CMPIN4N	比较器 4 负输入	I		U4	45
CMPIN4P	比较器 4 正输入	I		T4	44

Copyright © 2023 Texas Instruments Incorporated

表 6-2. 模拟信号 (continued)

信号名称	说明	引脚类型	GPIO 引脚	337 BGA 引脚	176 引脚
CMPIN5N	比较器 5 负输入	I		P4	
CMPIN5P	比较器 5 正输入	I		R4	29
CMPIN6N	比较器 6 负输入	I		P3	30
CMPIN6P	比较器 6 正输入	I		R3	31
CMPIN7N	比较器 7 负输入	I		U5	57
CMPIN7P	比较器 7 正输入	I		T5	56
CMPIN8N	比较器 8 负输入	I		U6	59
CMPIN8P	比较器 8 正输入	I		T6	58
DACOUTA	缓冲 DAC-A 输出。	O		U1	43
DACOUTB	缓冲 DAC-B 输出。	O		T1	42
DACOUTC	缓冲 DAC-C 输出。	O		W2	47
VDAC	片上 DAC 的可选外部基准电压。	I		V2	46
VREFHIA	ADC-A 高基准电压。必须由外部电路将此电压驱动至该引脚。对于 12 位模式，在此引脚上放置至少一个 2.2μF 电容器；对于 16 位模式，则放置至少一个 22μF 电容器。此电容器应放置在 VREFHIA 和 VREFLOA 引脚之间尽可能靠近器件的位置。注：请勿从外部加载此引脚	I		V1	37
VREFHIB	ADC-B 高基准电压。必须由外部电路将此电压驱动至该引脚。对于 12 位模式，在此引脚上放置至少一个 2.2μF 电容器；对于 16 位模式，则放置至少一个 22μF 电容器。此电容器应放置在 VREFHIB 和 VREFLOB 引脚之间尽可能靠近器件的位置。注：请勿从外部加载此引脚	I		W5	53
VREFHIC	ADC-C 高基准电压。必须由外部电路将此电压驱动至该引脚。对于 12 位模式，在此引脚上放置至少一个 2.2μF 电容器；对于 16 位模式，则放置至少一个 22μF 电容器。此电容器应放置在 VREFHIC 和 VREFLOC 引脚之间尽可能靠近器件的位置。注：请勿从外部加载此引脚	I		R1	35
VREFHID	ADC-D 高基准电压。必须由外部电路将此电压驱动至该引脚。对于 12 位模式，在此引脚上放置至少一个 2.2μF 电容器；对于 16 位模式，则放置至少一个 22μF 电容器。此电容器应放置在 VREFHID 和 VREFLOD 引脚之间尽可能靠近器件的位置。注：请勿从外部加载此引脚	I		V5	55
VREFLOA	ADC-A 低基准电压	I		R2	33
VREFLOB	ADC-B 低基准电压	I		V6	50
VREFLOC	ADC-C 低基准电压	I		P2	32
VREFLOD	ADC-D 低基准电压	I		W6	51

Copyright © 2023 Texas Instruments Incorporated

6.3.2 数字信号

表 6-3. 数字信号

信号名称	说明	引脚类型	GPIO 引脚	337 BGA 引脚	176 引脚
ADCSOCAO	外部 ADC（来自 ePWM 模块）的 ADC 转换启动 A 输出	O	8	G2	18
ADCSOCBO	外部 ADC（来自 ePWM 模块）的 ADC 转换启动 B 输出	O	10	B2	1
AUXCLKIN	辅助时钟输入	I	133	G18	118
CANA_RX	CAN-A 接收	I	18、30、36、5、61、62、70	A17、D7、E3、J17、L16、T11、V16	10、107、108、135、165、63、83
CANA_TX	CAN-A 发送	O	19、31、37、4、62、63、71	B17、C7、E4、J16、J17、U11、U16	108、109、12、136、164、66、84
CANB_RX	CAN-B 接收	I	10、13、17、21、39、7、73	A16、B2、B6、D1、E2、F3、W17	1、14、140、167、5、86、9
CANB_TX	CAN-B 发送	O	12、16、20、38、6、72、8	A6、B16、C2、E1、F2、G2、T16	13、139、166、18、4、8、85
CLB_OUTPUTXBAR1	CLB 输出 X-BAR 输出 1	O	32、91	B5、U13	173、67
CLB_OUTPUTXBAR2	CLB 输出 X-BAR 输出 2	O	33、92	A4、T13	174、69
CLB_OUTPUTXBAR3	CLB 输出 X-BAR 输出 3	O	34、93	B4、U14	175、70
CLB_OUTPUTXBAR4	CLB 输出 X-BAR 输出 4	O	35、94	A3、T14	176、71
CLB_OUTPUTXBAR5	CLB 输出 X-BAR 输出 5	O	36、95	B3、V16	83
CLB_OUTPUTXBAR6	CLB 输出 X-BAR 输出 6	O	37、96	C3、U16	84
CLB_OUTPUTXBAR7	CLB 输出 X-BAR 输出 7	O	38、97	A2、T16	85
CLB_OUTPUTXBAR8	CLB 输出 X-BAR 输出 8	O	39、98	F1、W17	86
CM-I2CA_SCL	CM-I2C-A 开漏双向时钟	I/OD	1、105、32	D8、J3、U13	161、67
CM-I2CA_SDA	CM-I2C-A 开漏双向数据	I/OD	104、31	C8、J2、U11	160、66
EMIF1_CAS	外部存储器接口 1 列地址选通	O	23、86、89	C11、D6、K4	156、171、23
EMIF1_CLK	外部存储器接口 1 时钟	O	30	T11	63
EMIF1_OEn	外部存储器接口 1 输出使能	O	32、37	U13、U16	67、84
EMIF1_RAS	外部存储器接口 1 行地址选通	O	22、87、90	A5、D11、J4	157、172、22

表 6-3. 数字信号 (continued)

信号名称	说明	引脚类型	GPIO 引脚	337 BGA 引脚	176 引脚
EMIF1_RNW	外部存储器接口 1 读/不写	O	31、33	T13、U11	66、69
EMIF1_SDCKE	外部存储器接口 1 SDRAM 时钟使能	O	29	W11	65
EMIF1_WAIT	外部存储器接口 1 异步 SRAM WAIT	I	36	V16	83
EMIF1_WEn	外部存储器接口 1 写入使能	O	31	U11	66
EMIF2_CAS	外部存储器接口 2 列地址选通	O	113	N4	
EMIF2_CLK	外部存储器接口 2 时钟	O	118	T12	
EMIF2_OEn	外部存储器接口 2 输出使能	O	121	W16	
EMIF2_RAS	外部存储器接口 2 行地址选通	O	114	N3	
EMIF2_RNW	外部存储器接口 2 读/不写	O	119	T15	
EMIF2_SDCKE	外部存储器接口 2 SDRAM 时钟使能	O	117	U12	
EMIF2_WAIT	外部存储器接口 2 异步 SRAM WAIT	I	110	M2	
EMIF2_WEn	外部存储器接口 2 写入使能	O	120	U15	
EMIF1_A0	外部存储器接口 1 地址线 0	O	35、38	T14、T16	71、85
EMIF1_A1	外部存储器接口 1 地址线 1	O	36、39	V16、W17	83、86
EMIF1_A2	外部存储器接口 1 地址线 2	O	37、40	U16、V17	84、87
EMIF1_A3	外部存储器接口 1 地址线 3	O	38、41	T16、U17	85、89
EMIF1_A4	外部存储器接口 1 地址线 4	O	39、44	K18、W17	113、86
EMIF1_A5	外部存储器接口 1 地址线 5	O	45、49	K19、R17	115、93
EMIF1_A6	外部存储器接口 1 地址线 6	O	46、50	E19、R18	128、94
EMIF1_A7	外部存储器接口 1 地址线 7	O	47、51	E18、R19	129、95
EMIF1_A8	外部存储器接口 1 地址线 8	O	48、52	P16、R16	90、96
EMIF1_A9	外部存储器接口 1 地址线 9	O	49、53	P17、R17	93、97
EMIF1_A10	外部存储器接口 1 地址线 10	O	50、54	P18、R18	94、98
EMIF1_A11	外部存储器接口 1 地址线 11	O	51	R19	95
EMIF1_A12	外部存储器接口 1 地址线 12	O	52	P16	96
EMIF1_A13	外部存储器接口 1 地址线 13	O	86	C11	156
EMIF1_A14	外部存储器接口 1 地址线 14	O	87	D11	157
EMIF1_A15	外部存储器接口 1 地址线 15	O	88	C6	170
EMIF1_A16	外部存储器接口 1 地址线 16	O	89	D6	171
EMIF1_A17	外部存储器接口 1 地址线 17	O	90	A5	172
EMIF1_A18	外部存储器接口 1 地址线 18	O	91	B5	173
EMIF1_A19	外部存储器接口 1 地址线 19	O	92	A4	174
EMIF1_BA0	外部存储器接口 1 存储库地址 0	O	20、33、93	B4、F2、T13	13、175、69

Copyright © 2023 Texas Instruments Incorporated

表 6-3. 数字信号 (continued)

信号名称	说明	引脚类型	GPIO 引脚	337 BGA 引脚	176 引脚
EMIF1_BA1	外部存储器接口 1 存储库地址 1	O	21、34、92、94	A3、A4、F3、U14	14、174、176、70
EMIF1_CS0n	外部存储器接口 1 芯片选择 0	O	32	U13	67
EMIF1_CS2n	外部存储器接口 1 芯片选择 2	O	18、28、34	E3、U14、V11	10、64、70
EMIF1_CS3n	外部存储器接口 1 芯片选择 3	O	19、29、35	E4、T14、W11	12、65、71
EMIF1_CS4n	外部存储器接口 1 芯片选择 4	O	28、30	T11、V11	63、64
EMIF1_D0	外部存储器接口 1 数据线 0	I/O	55、85	B11、P19	100、155
EMIF1_D1	外部存储器接口 1 数据线 1	I/O	56、83	C14、N16	101、151
EMIF1_D2	外部存储器接口 1 数据线 2	I/O	57、82	B14、N18	102、150
EMIF1_D3	外部存储器接口 1 数据线 3	I/O	58、81	A14、N17	103、149
EMIF1_D4	外部存储器接口 1 数据线 4	I/O	59、80	D15、M16	104、148
EMIF1_D5	外部存储器接口 1 数据线 5	I/O	60、79	C15、M17	105、146
EMIF1_D6	外部存储器接口 1 数据线 6	I/O	61、78	B15、L16	107、145
EMIF1_D7	外部存储器接口 1 数据线 7	I/O	62、77	A15、J17	108、144
EMIF1_D8	外部存储器接口 1 数据线 8	I/O	76	C16	143
EMIF1_D9	外部存储器接口 1 数据线 9	I/O	75	D16	142
EMIF1_D10	外部存储器接口 1 数据线 10	I/O	74	C17	141
EMIF1_D11	外部存储器接口 1 数据线 11	I/O	73	A16	140
EMIF1_D12	外部存储器接口 1 数据线 12	I/O	72	B16	139
EMIF1_D13	外部存储器接口 1 数据线 13	I/O	71	B17	136
EMIF1_D14	外部存储器接口 1 数据线 14	I/O	70	A17	135
EMIF1_D15	外部存储器接口 1 数据线 15	I/O	69	B18	134
EMIF1_D16	外部存储器接口 1 数据线 16	I/O	68	C18	133
EMIF1_D17	外部存储器接口 1 数据线 17	I/O	67	B19	132
EMIF1_D18	外部存储器接口 1 数据线 18	I/O	66	K17	112
EMIF1_D19	外部存储器接口 1 数据线 19	I/O	65	K16	111
EMIF1_D20	外部存储器接口 1 数据线 20	I/O	64	L17	110
EMIF1_D21	外部存储器接口 1 数据线 21	I/O	63	J16	109
EMIF1_D22	外部存储器接口 1 数据线 22	I/O	62	J17	108
EMIF1_D23	外部存储器接口 1 数据线 23	I/O	61	L16	107
EMIF1_D24	外部存储器接口 1 数据线 24	I/O	60	M17	105
EMIF1_D25	外部存储器接口 1 数据线 25	I/O	59	M16	104
EMIF1_D26	外部存储器接口 1 数据线 26	I/O	58	N17	103
EMIF1_D27	外部存储器接口 1 数据线 27	I/O	57	N18	102

Copyright © 2023 Texas Instruments Incorporated

表 6-3. 数字信号 (continued)

信号名称	说明	引脚类型	GPIO 引脚	337 BGA 引脚	176 引脚
EMIF1_D28	外部存储器接口 1 数据线 28	I/O	56	N16	101
EMIF1_D29	外部存储器接口 1 数据线 29	I/O	55	P19	100
EMIF1_D30	外部存储器接口 1 数据线 30	I/O	54	P18	98
EMIF1_D31	外部存储器接口 1 数据线 31	I/O	53	P17	97
EMIF1_DQM0	外部存储器接口 1 字节 0 的输入/输出掩码	O	24、88、92	A4、C6、K3	170、174、24
EMIF1_DQM1	外部内存接口 1 字节 1 的输入/输出掩码	O	25、88、89	C6、D6、K2	170、171、25
EMIF1_DQM2	外部存储器接口 1 字节 2 的输入/输出掩码	O	26、90、91	A5、B5、K1	172、173、27
EMIF1_DQM3	外部存储器接口 1 字节 3 的输入/输出掩码	O	27、87、91	B5、D11、L1	157、173、28
EMIF2_A0	外部存储器接口 2 地址线 0	O	98	F1	
EMIF2_A1	外部存储器接口 2 地址线 1	O	99	G1	17
EMIF2_A2	外部存储器接口 2 地址线 2	O	100	H1	
EMIF2_A3	外部存储器接口 2 地址线 3	O	101	H2	
EMIF2_A4	外部存储器接口 2 地址线 4	O	102	H3	
EMIF2_A5	外部存储器接口 2 地址线 5	O	103	J1	
EMIF2_A6	外部存储器接口 2 地址线 6	O	104	J2	
EMIF2_A7	外部存储器接口 2 地址线 7	O	105	J3	
EMIF2_A8	外部存储器接口 2 地址线 8	O	106	L2	
EMIF2_A9	外部存储器接口 2 地址线 9	O	107	L3	
EMIF2_A10	外部存储器接口 2 地址线 10	O	108	L4	
EMIF2_A11	外部存储器接口 2 地址线 11	O	109	N2	
EMIF2_A12	外部存储器接口 2 地址线 12	O	95	B3	
EMIF2_BA0	外部存储器接口 2 库地址 0	O	111	M4	
EMIF2_BA1	外部存储器接口 2 库地址 1	O	112	M3	
EMIF2_CS0n	外部存储器接口 2 芯片选择 0	O	115	V12	
EMIF2_CS2n	外部存储器接口 2 芯片选择 2	O	116	W10	
EMIF2_D0	外部内存接口 2 数据线 0	I/O	138、68	C18、T19	133
EMIF2_D1	外部内存接口 2 数据线 1	I/O	137、67	B19、T18	132
EMIF2_D2	外部内存接口 2 数据线 2	I/O	136、66	K17、T17	112
EMIF2_D3	外部内存接口 2 数据线 3	I/O	135、65	K16、U18	111
EMIF2_D4	外部内存接口 2 数据线 4	I/O	134、64	L17、V18	110
EMIF2_D5	外部存储器接口 2 数据线 5	I/O	132、63	J16、W18	109
EMIF2_D6	外部存储器接口 2 数据线 6	I/O	131、62	J17、V10	108
EMIF2_D7	外部存储器接口 2 数据线 7	I/O	130、61	L16、U10	107
EMIF2_D8	外部存储器接口 2 数据线 8	I/O	129、60	M17、T10	105

Copyright © 2023 Texas Instruments Incorporated

表 6-3. 数字信号 (continued)

信号名称	说明	引脚类型	GPIO 引脚	337 BGA 引脚	176 引脚
EMIF2_D9	外部存储器接口 2 数据线 9	I/O	128、59	M16、W9	104
EMIF2_D10	外部存储器接口 2 数据线 10	I/O	127、58	N17、V9	103
EMIF2_D11	外部存储器接口 2 数据线 11	I/O	126、57	N18、U9	102
EMIF2_D12	外部内存接口 2 数据线 12	I/O	125、56	N16、T9	101
EMIF2_D13	外部存储器接口 2 数据线 13	I/O	124、55	P19、V8	100
EMIF2_D14	外部存储器接口 2 数据线 14	I/O	123、54	P18、U8	98
EMIF2_D15	外部存储器接口 2 数据线 15	I/O	122、53	P17、T8	97
EMIF2_DQM0	外部存储器接口 2 字节 0 的输入/输出掩码	O	97	A2	
EMIF2_DQM1	外部存储器接口 2 字节 1 的输入/输出掩码	O	96	C3	
ENET_MDIO_CLK	EMAC 管理数据时钟、MII/RMII 模式下的输出、RevMII 模式下的输入	I/O	105、42	D19、J3	130
ENET_MDIO_DATA	EMAC 管理数据	I/O	106、43	C19、L2	131
ENET_MII_COL	EMAC MII 碰撞检测	I	110、35、39、41	M2、T14、U17、W17	71、86、89
ENET_MII_CRS	EMAC MII 载波检测	I	109、34、38、40	N2、T16、U14、V17	70、85、87
ENET_MII_INTR	EMAC PHY 中断、MII/RMII 模式下的输入、RevMII 模式下的输出	I/O	108、68	C18、L4	133
ENET_MII_RX_CLK	EMAC MII 接收时钟	I	111、49、67、69	B18、B19、M4、R17	132、134、93
ENET_MII_RX_DATA0	EMAC MII/RMII 接收数据 0	I	114、52、63、66、71	B17、J16、K17、N3、P16	109、112、136、96
ENET_MII_RX_DATA1	EMAC MII/RMII 接收数据 1	I	115、53、64、72	B16、L17、P17、V12	110、139、97
ENET_MII_RX_DATA2	EMAC MII 接收数据 2	I	116、54、65	K16、P18、W10	111、98
ENET_MII_RX_DATA3	EMAC MII 接收数据 3	I	117、55、66	K17、P19、U12	100、112
ENET_MII_RX_DV	EMAC MII 接收数据有效（或）RMII 载波检测/接收数据有效	I	112、38、50、64、70	A17、L17、M3、R18、T16	110、135、85、94
ENET_MII_RX_ERR	EMAC MII/RMII 接收错误	I	113、39、51、65、71、76	B17、C16、K16、N4、R19、W17	111、136、143、86、95

Copyright © 2023 Texas Instruments Incorporated

表 6-3. 数字信号 (continued)

信号名称	说明	引脚类型	GPIO 引脚	337 BGA 引脚	176 引脚
ENET_MII_TX_CLK	EMAC MII 发送时钟	I	120、44、58	K18、N17、U15	103、113
ENET_MII_TX_DATA0	EMAC MII/RMII 发送数据 0	O	121、59、75	D16、M16、W16	104、142
ENET_MII_TX_DATA1	EMAC MII/RMII 发送数据 1	O	122、60、74	C17、M17、T8	105、141
ENET_MII_TX_DATA2	EMAC MII 发送数据 2	O	123、61、73	A16、L16、U8	107、140
ENET_MII_TX_DATA3	EMAC MII 发送数据 3	O	124、62、72	B16、J17、V8	108、139
ENET_MII_TX_EN	EMAC MII/RMII 发送使能	O	118、45、56、69	B18、K19、N16、T12	101、115、134
ENET_MII_TX_ERR	EMAC MII 发送错误	O	119、46、57	E19、N18、T15	102、128
ENET_PPS0	EMAC 每秒脉冲输出 0	O	47	E18	129
ENET_PPS1	EMAC 每秒脉冲输出 1	O	48	R16	90
ENET_REVMII_MDIO_RST	EMAC REVMII MDIO 复位	I	107、41、67	B19、L3、U17	132、89
ENET_RMII_CLK	EMAC RMII 时钟	I/O	73	A16	140
EPWM10A	ePWM-10 输出 A (ePWM1-8 上提供高分辨率)	O	163、18	A8、E3	10
EPWM10B	ePWM-10 输出 B (ePWM1-8 上提供高分辨率)	O	164、19	B8、E4	12
EPWM11A	ePWM-11 输出 A (ePWM1-8 上提供高分辨率)	O	165、20	C5、F2	13
EPWM11B	ePWM-11 输出 B (ePWM1-8 上提供高分辨率)	O	166、21	D5、F3	14
EPWM12A	ePWM-12 输出 A (ePWM1-8 上提供高分辨率)	O	167、22	C4、J4	22
EPWM12B	ePWM-12 输出 B (ePWM1-8 上提供高分辨率)	O	168、23	D4、K4	23
EPWM13A	ePWM-13 输出 A (ePWM1-8 上提供高分辨率)	O	137、24	K3、T18	24
EPWM13B	ePWM-13 输出 B (ePWM1-8 上提供高分辨率)	O	138、25	K2、T19	25
EPWM14A	ePWM-14 输出 A (ePWM1-8 上提供高分辨率)	O	139、26	K1、N19	27
EPWM14B	ePWM-14 输出 B (ePWM1-8 上提供高分辨率)	O	140、27	L1、M19	28
EPWM15A	ePWM-15 输出 A (ePWM1-8 上提供高分辨率)	O	141、28	M18、V11	64
EPWM15B	ePWM-15 输出 B (ePWM1-8 上提供高分辨率)	O	142、29	L19、W11	65
EPWM16A	ePWM-16 输出 A (ePWM1-8 上提供高分辨率)	O	143、30	F18、T11	63
EPWM16B	ePWM-16 输出 B (ePWM1-8 上提供高分辨率)	O	144、31	F17、U11	66
EPWM1A	ePWM-1 输出 A (ePWM1-8 上提供高分辨率)	O	145	C8、E17	160
EPWM1B	ePWM-1 输出 B (ePWM1-8 上提供高分辨率)	O	1、146	D18、D8	161
EPWM2A	ePWM-2 输出 A (ePWM1-8 上提供高分辨率)	O	147、2	A7、D17	162
EPWM2B	ePWM-2 输出 B (ePWM1-8 上提供高分辨率)	O	148、3	B7、D14	163
EPWM3A	ePWM-3 输出 A (ePWM1-8 上提供高分辨率)	O	149、4	A13、C7	164
EPWM3B	ePWM-3 输出 B (ePWM1-8 上提供高分辨率)	O	150、5	B13、D7	165

Copyright © 2023 Texas Instruments Incorporated

表 6-3. 数字信号 (continued)

信号名称	说明	引脚类型	GPIO 引脚	337 BGA 引脚	176 引脚
EPWM4A	ePWM-4 输出 A（ePWM1-8 上提供高分辨率）	O	151、6	A6、C13	166
EPWM4B	ePWM-4 输出 B（ePWM1-8 上提供高分辨率）	O	152、7	B6、D13	167
EPWM5A	ePWM-5 输出 A（ePWM1-8 上提供高分辨率）	O	153、8	A12、G2	18
EPWM5B	ePWM-5 输出 B（ePWM1-8 上提供高分辨率）	O	154、9	B12、G3	19
EPWM6A	ePWM-6 输出 A（ePWM1-8 上提供高分辨率）	O	10、155	B2、C12	1
EPWM6B	ePWM-6 输出 B（ePWM1-8 上提供高分辨率）	O	11、156	C1、D12	2
EPWM7A	ePWM-7 输出 A（ePWM1-8 上提供高分辨率）	O	12、157	B10、C2	4
EPWM7B	ePWM-7 输出 B（ePWM1-8 上提供高分辨率）	O	13、158	C10、D1	5
EPWM8A	ePWM-8 输出 A（ePWM1-8 上提供高分辨率）	O	14、159	D10、D2	6
EPWM8B	ePWM-8 输出 B（ePWM1-8 上提供高分辨率）	O	15、160	B9、D3	7
EPWM9A	ePWM-9 输出 A（ePWM1-8 上提供高分辨率）	O	16、161	C9、E1	8
EPWM9B	ePWM-9 输出 B（ePWM1-8 上提供高分辨率）	O	162、17	D9、E2	9
EQEP1_A	eQEP-1 输入 A	I	10、20、50、96	B2、C3、F2、R18	1、13、94
EQEP1_B	eQEP-1 输入 B	I	11、21、51、97	A2、C1、F3、R19	14、2、95
EQEP1_INDEX	eQEP-1 索引	I/O	13、23、53、99	D1、G1、K4、P17	17、23、5、97
EQEP1_STROBE	eQEP-1 选通	I/O	12、22、52、98	C2、F1、J4、P16	22、4、96
EQEP2_A	eQEP-2 输入 A	I	100、24、54、78	B15、H1、K3、P18	145、24、98
EQEP2_B	eQEP-2 输入 B	I	101、25、55、79	C15、H2、K2、P19	100、146、25
EQEP2_INDEX	eQEP-2 索引	I/O	103、26、57、81	A14、J1、K1、N18	102、149、27
EQEP2_STROBE	eQEP-2 选通	I/O	102、27、56、80	D15、H3、L1、N16	101、148、28
EQEP3_A	eQEP-3 输入 A	I	104、28、6、62	A6、J17、J2、V11	108、166、64
EQEP3_B	eQEP-3 输入 B	I	105、29、63、7	B6、J16、J3、W11	109、167、65
EQEP3_INDEX	eQEP-3 索引	I/O	107、31、65、9	G3、K16、L3、U11	111、19、66
EQEP3_STROBE	eQEP-3 选通	I/O	106、30、64、8	G2、L17、L2、T11	110、18、63
ESC_GPI0	EtherCAT 通用输入 0	I	100	C8、H1	160

Copyright © 2023 Texas Instruments Incorporated

表 6-3. 数字信号 (continued)

信号名称	说明	引脚类型	GPIO 引脚	337 BGA 引脚	176 引脚
ESC_GPI1	EtherCAT 通用输入 1	I	1、101	D8、H2	161
ESC_GPI2	EtherCAT 通用输入 2	I	102、2	A7、H3	162
ESC_GPI3	EtherCAT 通用输入 3	I	103、3	B7、J1	163
ESC_GPI4	EtherCAT 通用输入 4	I	104、4	C7、J2	164
ESC_GPI5	EtherCAT 通用输入 5	I	105、5	D7、J3	165
ESC_GPI6	EtherCAT 通用输入 6	I	106、6	A6、L2	166
ESC_GPI7	EtherCAT 通用输入 7	I	107、7	B6、L3	167
ESC_GPI8	EtherCAT 通用输入 8	I	108	L4	
ESC_GPI9	EtherCAT 通用输入 9	I	109	N2	
ESC_GPI10	EtherCAT 通用输入 10	I	110	M2	
ESC_GPI11	EtherCAT 通用输入 11	I	111	M4	
ESC_GPI12	EtherCAT 通用输入 12	I	112	M3	
ESC_GPI13	EtherCAT 通用输入 13	I	113	N4	
ESC_GPI14	EtherCAT 通用输入 14	I	114	N3	
ESC_GPI15	EtherCAT 通用输入 15	I	115	V12	
ESC_GPI16	EtherCAT 通用输入 16	I	116	W10	
ESC_GPI17	EtherCAT 通用输入 17	I	117	U12	
ESC_GPI18	EtherCAT 通用输入 18	I	118	T12	
ESC_GPI19	EtherCAT 通用输入 19	I	119	T15	
ESC_GPI20	EtherCAT 通用输入 20	I	120	U15	
ESC_GPI21	EtherCAT 通用输入 21	I	121	W16	
ESC_GPI22	EtherCAT 通用输入 22	I	122	T8	
ESC_GPI23	EtherCAT 通用输入 23	I	123	U8	
ESC_GPI24	EtherCAT 通用输入 24	I	124	V8	
ESC_GPI25	EtherCAT 通用输入 25	I	125	T9	
ESC_GPI26	EtherCAT 通用输入 26	I	126	U9	
ESC_GPI27	EtherCAT 通用输入 27	I	127	V9	
ESC_GPI28	EtherCAT 通用输入 28	I	128	W9	
ESC_GPI29	EtherCAT 通用输入 29	I	129	T10	
ESC_GPI30	EtherCAT 通用输入 30	I	130	U10	
ESC_GPI31	EtherCAT 通用输入 31	I	131	V10	
ESC_GPO0	EtherCAT 通用输出 0	O	132、8	G2、W18	18
ESC_GPO1	EtherCAT 通用输出 1	O	134、9	G3、V18	19
ESC_GPO2	EtherCAT 通用输出 2	O	10、135	B2、U18	1
ESC_GPO3	EtherCAT 通用输出 3	O	11、136	C1、T17	2
ESC_GPO4	EtherCAT 通用输出 4	O	12、137	C2、T18	4
ESC_GPO5	EtherCAT 通用输出 5	O	13、138	D1、T19	5
ESC_GPO6	EtherCAT 通用输出 6	O	139、14	D2、N19	6
ESC_GPO7	EtherCAT 通用输出 7	O	140、15	D3、M19	7
ESC_GPO8	EtherCAT 通用输出 8	O	141	M18	
ESC_GPO9	EtherCAT 通用输出 9	O	142	L19	
ESC_GPO10	EtherCAT 通用输出 10	O	143	F18	

Copyright © 2023 Texas Instruments Incorporated

表 6-3. 数字信号 (continued)

信号名称	说明	引脚类型	GPIO 引脚	337 BGA 引脚	176 引脚
ESC_GPO11	EtherCAT 通用输出 11	O	144	F17	
ESC_GPO12	EtherCAT 通用输出 12	O	145	E17	
ESC_GPO13	EtherCAT 通用输出 13	O	146	D18	
ESC_GPO14	EtherCAT 通用输出 14	O	147	D17	
ESC_GPO15	EtherCAT 通用输出 15	O	148	D14	
ESC_GPO16	EtherCAT 通用输出 16	O	149	A13	
ESC_GPO17	EtherCAT 通用输出 17	O	150	B13	
ESC_GPO18	EtherCAT 通用输出 18	O	151	C13	
ESC_GPO19	EtherCAT 通用输出 19	O	152	D13	
ESC_GPO20	EtherCAT 通用输出 20	O	153	A12	
ESC_GPO21	EtherCAT 通用输出 21	O	154	B12	
ESC_GPO22	EtherCAT 通用输出 22	O	155	C12	
ESC_GPO23	EtherCAT 通用输出 23	O	156	D12	
ESC_GPO24	EtherCAT 通用输出 24	O	157	B10	
ESC_GPO25	EtherCAT 通用输出 25	O	158	C10	
ESC_GPO26	EtherCAT 通用输出 26	O	159	D10	
ESC_GPO27	EtherCAT 通用输出 27	O	160	B9	
ESC_GPO28	EtherCAT 通用输出 28	O	161	C9	
ESC_GPO29	EtherCAT 通用输出 29	O	162	D9	
ESC_GPO30	EtherCAT 通用输出 30	O	163	A8	
ESC_GPO31	EtherCAT 通用输出 31	O	164	B8	
ESC_I2C_SCL	EtherCAT I2C 时钟	I/OC	151、30、41	C13、T11、U17	63、89
ESC_I2C_SDA	EtherCAT I2C 数据	I/OC	150、29、40	B13、V17、W11	65、87
ESC_LATCH0	EtherCAT 锁存器信号输入 0	I	125、29、34	T9、U14、W11	65、70
ESC_LATCH1	EtherCAT 锁存器信号输入 1	I	126、30、35	T11、T14、U9	63、71
ESC_LED_ERR	EtherCAT 错误 LED	O	145、60	E17、M17	105
ESC_LED_LINK0_ACTIVE	EtherCAT Link-0 有效	O	143、58	F18、N17	103
ESC_LED_LINK1_ACTIVE	EtherCAT Link-1 有效	O	144、59	F17、M16	104
ESC_LED_RUN	EtherCAT 运行 LED	O	146、61	D18、L16	107
ESC_LED_STATE_RUN	EtherCAT 状态运行	O	147、62	D17、J17	108
ESC_MDIO_CLK	EtherCAT MDIO 时钟	O	152、26、46	D13、E19、K1	128、27
ESC_MDIO_DATA	EtherCAT MDIO 数据	I/O	153、27、47	A12、E18、L1	129、28

Copyright © 2023 Texas Instruments Incorporated

表 6-3. 数字信号 (continued)

信号名称	说明	引脚类型	GPIO 引脚	337 BGA 引脚	176 引脚
ESC_PHY0_LINKSTATUS	EtherCAT PHY-0 链路状态	I	148、86	C11、D14	156
ESC_PHY1_LINKSTATUS	EtherCAT PHY-1 链路状态	I	149、68	A13、C18	133
ESC_PHY_CLK	EtherCAT PHY 时钟	O	154、48	B12、R16	90
ESC_PHY_RESETn	EtherCAT PHY 低电平有效复位	O	155、76	C12、C16	143
ESC_RX0_CLK	EtherCAT MII 接收 0 时钟	I	163、77	A15、A8	144
ESC_RX0_DV	EtherCAT MII 接收 0 数据有效	I	162、78	B15、D9	145
ESC_RX0_ERR	EtherCAT MII 接收 0 错误	I	164、79	B8、C15	146
ESC_RX1_CLK	EtherCAT MII 接收 1 时钟	I	137、69	B18、T18	134
ESC_RX1_DV	EtherCAT MII 接收 1 数据有效	I	136、70	A17、T17	135
ESC_RX1_ERR	EtherCAT MII 接收 1 错误	I	138、71	B17、T19	136
ESC_RX0_DATA0	EtherCAT MII 接收 0 数据 0	I	165、80	C5、D15	148
ESC_RX0_DATA1	EtherCAT MII 接收 0 数据 1	I	166、81	A14、D5	149
ESC_RX0_DATA2	EtherCAT MII 接收 0 数据 2	I	167、82	B14、C4	150
ESC_RX0_DATA3	EtherCAT MII 接收 0 数据 3	I	168、83	C14、D4	151
ESC_RX1_DATA0	EtherCAT MII 接收 1 数据 0	I	139、63	J16、N19	109
ESC_RX1_DATA1	EtherCAT MII 接收 1 数据 1	I	140、64	L17、M19	110
ESC_RX1_DATA2	EtherCAT MII 接收 1 数据 2	I	141、65	K16、M18	111
ESC_RX1_DATA3	EtherCAT MII 接收 1 数据 3	I	142、66	K17、L19	112
ESC_SYNC0	EtherCAT 同步信号输出 0	O	127、29、34	U14、V9、W11	65、70
ESC_SYNC1	EtherCAT 同步信号输出 1	O	128、30、35	T11、T14、W9	63、71
ESC_TX0_CLK	EtherCAT MII 发送 0 时钟	I	157、85	B10、B11	155
ESC_TX0_ENA	EtherCAT MII 发送 0 使能	O	156、84	A11、D12	154
ESC_TX1_CLK	EtherCAT MII 发送 1 时钟	I	130、44	K18、U10	113
ESC_TX1_ENA	EtherCAT MII 发送 1 使能	O	129、45	K19、T10	115
ESC_TX0_DATA0	EtherCAT MII 发送 0 数据 0	O	158、87	C10、D11	157
ESC_TX0_DATA1	EtherCAT MII 发送 0 数据 1	O	159、88	C6、D10	170
ESC_TX0_DATA2	EtherCAT MII 发送 0 数据 2	O	160、89	B9、D6	171
ESC_TX0_DATA3	EtherCAT MII 发送 0 数据 3	O	161、90	A5、C9	172
ESC_TX1_DATA0	EtherCAT MII 发送 1 数据 0	O	131、75	D16、V10	142

Copyright © 2023 Texas Instruments Incorporated

表 6-3. 数字信号 (continued)

信号名称	说明	引脚类型	GPIO 引脚	337 BGA 引脚	176 引脚
ESC_TX1_DATA1	EtherCAT MII 发送 1 数据 1	O	132、74	C17、W18	141
ESC_TX1_DATA2	EtherCAT MII 发送 1 数据 2	O	134、73	A16、V18	140
ESC_TX1_DATA3	EtherCAT MII 发送 1 数据 3	O	135、72	B16、U18	139
EXTSYNCOUT	外部 ePWM 同步脉冲	O	6	A6	166
FSIRXA_CLK	FSIRX-A 输入时钟	I	105、13、5、54、9	D1、D7、G3、J3、P18	165、19、5、98
FSIRXA_D0	FSIRX-A 数据输入 0	I	103、12、3、52、8	B7、C2、G2、J1、P16	163、18、4、96
FSIRXA_D1	FSIRX-A 数据输入 1	I	10、104、11、4、53	B2、C1、C7、J2、P17	1、164、2、97
FSIRXB_CLK	FSIRX-B 输入时钟	I	11、112、60	C1、M17、M3	105、2
FSIRXB_D0	FSIRX-B 数据输入 0	I	110、58、9	G3、M2、N17	103、19
FSIRXB_D1	FSIRX-B 数据输入 1	I	10、111、59	B2、M16、M4	1、104
FSIRXC_CLK	FSIRX-C 输入时钟	I	117、14	D2、U12	6
FSIRXC_D0	FSIRX-C 数据输入 0	I	115、12	C2、V12	4
FSIRXC_D1	FSIRX-C 数据输入 1	I	116、13	D1、W10	5
FSIRXD_CLK	FSIRX-D 输入时钟	I	120、17	E2、U15	9
FSIRXD_D0	FSIRX-D 数据输入 0	I	118、15	D3、T12	7
FSIRXD_D1	FSIRX-D 数据输入 1	I	119、16	E1、T15	8
FSIRXE_CLK	FSIRX-E 输入时钟	I	126、20	F2、U9	13
FSIRXE_D0	FSIRX-E 数据输入 0	I	121、18	E3、W16	10
FSIRXE_D1	FSIRX-E 数据输入 1	I	125、19	E4、T9	12
FSIRXF_CLK	FSIRX-F 输入时钟	I	23、93	B4、K4	175、23
FSIRXF_D0	FSIRX-F 数据输入 0	I	21、91	B5、F3	14、173
FSIRXF_D1	FSIRX-F 数据输入 1	I	22、92	A4、J4	174、22
FSIRXG_CLK	FSIRX-G 输入时钟	I	26、96	C3、K1	27
FSIRXG_D0	FSIRX-G 数据输入 0	I	24、94	A3、K3	176、24
FSIRXG_D1	FSIRX-G 数据输入 1	I	25、95	B3、K2	25
FSIRXH_CLK	FSIRX-H 输入时钟	I	29、99	G1、W11	17、65
FSIRXH_D0	FSIRX-H 数据输入 0	I	27、97	A2、L1	28
FSIRXH_D1	FSIRX-H 数据输入 1	I	28、98	F1、V11	64
FSITXA_CLK	FSITX-A 输出时钟	O	10、102、2、27、51	A7、B2、H3、L1、R19	1、162、28、95

Copyright © 2023 Texas Instruments Incorporated

表 6-3. 数字信号 (continued)

信号名称	说明	引脚类型	GPIO 引脚	337 BGA 引脚	176 引脚
FSITXA_D0	FSITX-A 数据输出 0	O	100、26、49、9	C8、G3、H1、K1、R17	160、19、27、93
FSITXA_D1	FSITX-A 数据输出 1	O	1、101、25、50、8	D8、G2、H2、K2、R18	161、18、25、94
FSITXB_CLK	FSITX-B 输出时钟	O	108、56、8	G2、L4、N16	101、18
FSITXB_D0	FSITX-B 数据输出 0	O	106、55、6	A6、L2、P19	100、166
FSITXB_D1	FSITX-B 数据输出 1	O	107、57、7	B6、L3、N18	102、167
GPIO0	通用输入/输出 0	I/O		C8	160
GPIO1	通用输入/输出 1	I/O	1	D8	161
GPIO2	通用输入/输出 2	I/O	2	A7	162
GPIO3	通用输入/输出 3	I/O	3	B7	163
GPIO4	通用输入/输出 4	I/O	4	C7	164
GPIO5	通用输入/输出 5	I/O	5	D7	165
GPIO6	通用输入/输出 6	I/O	6	A6	166
GPIO7	通用输入/输出 7	I/O	7	B6	167
GPIO8	通用输入/输出 8	I/O	8	G2	18
GPIO9	通用输入/输出 9	I/O	9	G3	19
GPIO10	通用输入/输出 10	I/O	10	B2	1
GPIO11	通用输入/输出 11	I/O	11	C1	2
GPIO12	通用输入/输出 12	I/O	12	C2	4
GPIO13	通用输入/输出 13	I/O	13	D1	5
GPIO14	通用输入/输出 14	I/O	14	D2	6
GPIO15	通用输入/输出 15	I/O	15	D3	7
GPIO16	通用输入/输出 16	I/O	16	E1	8
GPIO17	通用输入/输出 17	I/O	17	E2	9
GPIO18	通用输入/输出 18	I/O	18	E3	10
GPIO19	通用输入/输出 19	I/O	19	E4	12
GPIO100	通用输入/输出 100	I/O	100	H1	
GPIO101	通用输入/输出 101	I/O	101	H2	
GPIO102	通用输入/输出 102	I/O	102	H3	
GPIO103	通用输入/输出 103	I/O	103	J1	
GPIO104	通用输入/输出 104	I/O	104	J2	
GPIO105	通用输入/输出 105	I/O	105	J3	
GPIO106	通用输入/输出 106	I/O	106	L2	
GPIO107	通用输入/输出 107	I/O	107	L3	
GPIO108	通用输入/输出 108	I/O	108	L4	
GPIO109	通用输入/输出 109	I/O	109	N2	

Copyright © 2023 Texas Instruments Incorporated

表 6-3. 数字信号 (continued)

信号名称	说明	引脚类型	GPIO 引脚	337 BGA 引脚	176 引脚
GPIO110	通用输入/输出 110	I/O	110	M2	
GPIO111	通用输入/输出 111	I/O	111	M4	
GPIO112	通用输入/输出 112	I/O	112	M3	
GPIO113	通用输入/输出 113	I/O	113	N4	
GPIO114	通用输入/输出 114	I/O	114	N3	
GPIO115	通用输入/输出 115	I/O	115	V12	
GPIO116	通用输入/输出 116	I/O	116	W10	
GPIO117	通用输入/输出 117	I/O	117	U12	
GPIO118	通用输入/输出 118	I/O	118	T12	
GPIO119	通用输入/输出 119	I/O	119	T15	
GPIO120	通用输入/输出 120	I/O	120	U15	
GPIO121	通用输入/输出 121	I/O	121	W16	
GPIO122	通用输入/输出 122	I/O	122	T8	
GPIO123	通用输入/输出 123	I/O	123	U8	
GPIO124	通用输入/输出 124	I/O	124	V8	
GPIO125	通用输入/输出 125	I/O	125	T9	
GPIO126	通用输入/输出 126	I/O	126	U9	
GPIO127	通用输入/输出 127	I/O	127	V9	
GPIO128	通用输入/输出 128	I/O	128	W9	
GPIO129	通用输入/输出 129	I/O	129	T10	
GPIO130	通用输入/输出 130	I/O	130	U10	
GPIO131	通用输入/输出 131	I/O	131	V10	
GPIO132	通用输入/输出 132	I/O	132	W18	
GPIO133	通用输入/输出 133	I/O	133	G18	118
GPIO134	通用输入/输出 134	I/O	134	V18	
GPIO135	通用输入/输出 135	I/O	135	U18	
GPIO136	通用输入/输出 136	I/O	136	T17	
GPIO137	通用输入/输出 137	I/O	137	T18	
GPIO138	通用输入/输出 138	I/O	138	T19	
GPIO139	通用输入/输出 139	I/O	139	N19	
GPIO140	通用输入/输出 140	I/O	140	M19	
GPIO141	通用输入/输出 141	I/O	141	M18	
GPIO142	通用输入/输出 142	I/O	142	L19	
GPIO143	通用输入/输出 143	I/O	143	F18	
GPIO144	通用输入/输出 144	I/O	144	F17	
GPIO145	通用输入/输出 145	I/O	145	E17	
GPIO146	通用输入/输出 146	I/O	146	D18	
GPIO147	通用输入/输出 147	I/O	147	D17	
GPIO148	通用输入/输出 148	I/O	148	D14	
GPIO149	通用输入/输出 149	I/O	149	A13	
GPIO150	通用输入/输出 150	I/O	150	B13	
GPIO151	通用输入/输出 151	I/O	151	C13	

Copyright © 2023 Texas Instruments Incorporated

表 6-3. 数字信号 (continued)

信号名称	说明	引脚类型	GPIO 引脚	337 BGA 引脚	176 引脚
GPIO152	通用输入/输出 152	I/O	152	D13	
GPIO153	通用输入/输出 153	I/O	153	A12	
GPIO154	通用输入/输出 154	I/O	154	B12	
GPIO155	通用输入/输出 155	I/O	155	C12	
GPIO156	通用输入/输出 156	I/O	156	D12	
GPIO157	通用输入/输出 157	I/O	157	B10	
GPIO158	通用输入/输出 158	I/O	158	C10	
GPIO159	通用输入/输出 159	I/O	159	D10	
GPIO160	通用输入/输出 160	I/O	160	B9	
GPIO161	通用输入/输出 161	I/O	161	C9	
GPIO162	通用输入/输出 162	I/O	162	D9	
GPIO163	通用输入/输出 163	I/O	163	A8	
GPIO164	通用输入/输出 164	I/O	164	B8	
GPIO165	通用输入/输出 165	I/O	165	C5	
GPIO166	通用输入/输出 166	I/O	166	D5	
GPIO167	通用输入/输出 167	I/O	167	C4	
GPIO168	通用输入/输出 168	I/O	168	D4	
GPIO20	通用输入/输出 20	I/O	20	F2	13
GPIO21	通用输入/输出 21	I/O	21	F3	14
GPIO22	通用输入/输出 22	I/O	22	J4	22
GPIO23	通用输入/输出 23	I/O	23	K4	23
GPIO24	通用输入/输出 24	I/O	24	K3	24
GPIO25	通用输入/输出 25	I/O	25	K2	25
GPIO26	通用输入/输出 26	I/O	26	K1	27
GPIO27	通用输入/输出 27	I/O	27	L1	28
GPIO28	通用输入/输出 28	I/O	28	V11	64
GPIO29	通用输入/输出 29	I/O	29	W11	65
GPIO30	通用输入/输出 30	I/O	30	T11	63
GPIO31	通用输入/输出 31	I/O	31	U11	66
GPIO32	通用输入/输出 32	I/O	32	U13	67
GPIO33	通用输入/输出 33	I/O	33	T13	69
GPIO34	通用输入/输出 34	I/O	34	U14	70
GPIO35	通用输入/输出 35	I/O	35	T14	71
GPIO36	通用输入/输出 36	I/O	36	V16	83
GPIO37	通用输入/输出 37	I/O	37	U16	84
GPIO38	通用输入/输出 38	I/O	38	T16	85
GPIO39	通用输入/输出 39	I/O	39	W17	86
GPIO40	通用输入/输出 40	I/O	40	V17	87
GPIO41	通用输入/输出 41	I/O	41	U17	89
GPIO42	通用输入/输出 42	I/O	42	D19	130
GPIO43	通用输入/输出 43	I/O	43	C19	131
GPIO44	通用输入/输出 44	I/O	44	K18	113

Copyright © 2023 Texas Instruments Incorporated

表 6-3. 数字信号 (continued)

信号名称	说明	引脚类型	GPIO 引脚	337 BGA 引脚	176 引脚
GPIO45	通用输入/输出 45	I/O	45	K19	115
GPIO46	通用输入/输出 46	I/O	46	E19	128
GPIO47	通用输入/输出 47	I/O	47	E18	129
GPIO48	通用输入/输出 48	I/O	48	R16	90
GPIO49	通用输入/输出 49	I/O	49	R17	93
GPIO50	通用输入/输出 50	I/O	50	R18	94
GPIO51	通用输入/输出 51	I/O	51	R19	95
GPIO52	通用输入/输出 52	I/O	52	P16	96
GPIO53	通用输入/输出 53	I/O	53	P17	97
GPIO54	通用输入/输出 54	I/O	54	P18	98
GPIO55	通用输入/输出 55	I/O	55	P19	100
GPIO56	通用输入/输出 56	I/O	56	N16	101
GPIO57	通用输入/输出 57	I/O	57	N18	102
GPIO58	通用输入/输出 58	I/O	58	N17	103
GPIO59	通用输入/输出 59	I/O	59	M16	104
GPIO60	通用输入/输出 60	I/O	60	M17	105
GPIO61	通用输入/输出 61	I/O	61	L16	107
GPIO62	通用输入/输出 62	I/O	62	J17	108
GPIO63	通用输入/输出 63	I/O	63	J16	109
GPIO64	通用输入/输出 64	I/O	64	L17	110
GPIO65	通用输入/输出 65	I/O	65	K16	111
GPIO66	通用输入/输出 66	I/O	66	K17	112
GPIO67	通用输入/输出 67	I/O	67	B19	132
GPIO68	通用输入/输出 68	I/O	68	C18	133
GPIO69	通用输入/输出 69	I/O	69	B18	134
GPIO70	通用输入/输出 70	I/O	70	A17	135
GPIO71	通用输入/输出 71	I/O	71	B17	136
GPIO72	通用输入/输出 72	I/O	72	B16	139
GPIO73	通用输入/输出 73	I/O	73	A16	140
GPIO74	通用输入/输出 74	I/O	74	C17	141
GPIO75	通用输入/输出 75	I/O	75	D16	142
GPIO76	通用输入/输出 76	I/O	76	C16	143
GPIO77	通用输入/输出 77	I/O	77	A15	144
GPIO78	通用输入/输出 78	I/O	78	B15	145
GPIO79	通用输入/输出 79	I/O	79	C15	146
GPIO80	通用输入/输出 80	I/O	80	D15	148
GPIO81	通用输入/输出 81	I/O	81	A14	149
GPIO82	通用输入/输出 82	I/O	82	B14	150
GPIO83	通用输入/输出 83	I/O	83	C14	151
GPIO84	通用输入/输出 84	I/O	84	A11	154
GPIO85	通用输入/输出 85	I/O	85	B11	155
GPIO86	通用输入/输出 86	I/O	86	C11	156

Copyright © 2023 Texas Instruments Incorporated

表 6-3. 数字信号 (continued)

信号名称	说明	引脚类型	GPIO 引脚	337 BGA 引脚	176 引脚
GPIO87	通用输入/输出 87	I/O	87	D11	157
GPIO88	通用输入/输出 88	I/O	88	C6	170
GPIO89	通用输入/输出 89	I/O	89	D6	171
GPIO90	通用输入/输出 90	I/O	90	A5	172
GPIO91	通用输入/输出 91	I/O	91	B5	173
GPIO92	通用输入/输出 92	I/O	92	A4	174
GPIO93	通用输入/输出 93	I/O	93	B4	175
GPIO94	通用输入/输出 94	I/O	94	A3	176
GPIO95	通用输入/输出 95	I/O	95	B3	
GPIO96	通用输入/输出 96	I/O	96	C3	
GPIO97	通用输入/输出 97	I/O	97	A2	
GPIO98	通用输入/输出 98	I/O	98	F1	
GPIO99	通用输入/输出 99	I/O	99	G1	17
I2CA_SCL	I2C-A 开漏双向时钟	I/OD	1、105、32、33、43、57、92	A4、C19、D8、J3、N18、T13、U13	102、131、161、174、67、69
I2CA_SDA	I2C-A 开漏双向数据	I/OD	104、31、32、42、56、91	B5、C8、D19、J2、N16、U11、U13	101、130、160、173、66、67
I2CB_SCL	I2C-B 开漏双向时钟	I/OD	3、35、41、69	B18、B7、T14、U17	134、163、71、89
I2CB_SDA	I2C-B 开漏双向数据	I/OD	2、34、40、66	A7、K17、U14、V17	112、162、70、87
MCAN_RX	CAN/CAN FD 接收	I	10、18、23、30、36、5、70、75	A17、B2、D16、D7、E3、K4、T11、V16	1、10、135、142、165、23、63、83
MCAN_TX	CAN/CAN FD 传输	O	19、22、31、37、4、71、74、8	B17、C17、C7、E4、G2、J4、U11、U16	12、136、141、164、18、22、66、84
MCLKRA	McBSP-A 接收时钟	I	58、7	B6、N17	103、167
MCLKRB	McBSP-B 接收时钟	I	3、60	B7、M17	105、163

Copyright © 2023 Texas Instruments Incorporated

表 6-3. 数字信号 (continued)

信号名称	说明	引脚类型	GPIO 引脚	337 BGA 引脚	176 引脚
MCLKXA	McBSP-A 发送时钟	O	167、22、86	C11、C4、J4	156、22
MCLKXB	McBSP-B 发送时钟	O	14、26、86	C11、D2、K1	156、27、6
MDRA	McBSP-A 接收串行数据	I	166、21、85	B11、D5、F3	14、155
MDRB	McBSP-B 接收串行数据	I	13、25、85	B11、D1、K2	155、25、5
MDXA	McBSP-A 发送串行数据	O	165、20、84	A11、C5、F2	13、154
MDXB	McBSP-B 发送串行数据	O	12、24、84	A11、C2、K3	154、24、4
MFSRA	McBSP-A 接收帧同步	I	5、59	D7、M16	104、165
MFSRB	McBSP-B 接收帧同步	I	1、61	D8、L16	107、161
MFSXA	McBSP-A 发送帧同步	O	168、23、87	D11、D4、K4	157、23
MFSXB	McBSP-B 发送帧同步	O	15、27、87	D11、D3、L1	157、28、7
OUTPUTXBAR1	输出 X-BAR 输出 1	O	2、24、34、58	A7、K3、N17、U14	103、162、24、70
OUTPUTXBAR2	输出 X-BAR 输出 2	O	25、3、37、59	B7、K2、M16、U16	104、163、25、84
OUTPUTXBAR3	输出 X-BAR 输出 3	O	14、26、4、48、5、60	C7、D2、D7、K1、M17、R16	105、164、165、27、6、90
OUTPUTXBAR4	输出 X-BAR 输出 4	O	15、27、49、6、61	A6、D3、L1、L16、R17	107、166、28、7、93
OUTPUTXBAR5	输出 X-BAR 输出 5	O	115、28、7	B6、V11、V12	167、64
OUTPUTXBAR6	输出 X-BAR 输出 6	O	116、29、9	G3、W10、W11	19、65
OUTPUTXBAR7	输出 X-BAR 输出 7	O	11、16、30	C1、E1、T11	2、63、8
OUTPUTXBAR8	输出 X-BAR 输出 8	O	17、31	E2、U11	66、9
PMBUSA_ALERT	PMBus-A 开漏双向警报信号	I/OD	26、93	B4、K1	175、27
PMBUSA_CTL	PMBus-A 控制信号	I	27、94	A3、L1	176、28
PMBUSA_SCL	PMBus-A 开漏双向时钟	I/OD	24、91	B5、K3	173、24
PMBUSA_SDA	PMBus-A 开漏双向数据	I/OD	25、92	A4、K2	174、25

Copyright © 2023 Texas Instruments Incorporated

表 6-3. 数字信号 (continued)

信号名称	说明	引脚类型	GPIO 引脚	337 BGA 引脚	176 引脚
SCIA_RX	SCI-A 接收数据	I	136、28、35、43、49、64、85、9	B11、C19、G3、L17、R17、T14、T17、V11	110、131、155、19、64、71、93
SCIA_TX	SCI-A 发送数据	O	135、29、34、36、42、48、65、8、84	A11、D19、G2、K16、R16、U14、U18、V16、W11	111、130、154、18、65、70、83、90
SCIB_RX	SCI-B 接收数据	I	11、138、15、19、23、55、71、87	B17、C1、D11、D3、E4、K4、P19、T19	100、12、136、157、2、23、7
SCIB_TX	SCI-B 发送数据	O	10、137、14、18、22、54、70、86、9	A17、B2、C11、D2、E3、G3、J4、P18、T18	1、10、135、156、19、22、6、98
SCIC_RX	SCI-C 接收数据	I	107、13、139、39、57、62、73、90	A16、A5、D1、J17、L3、N18、N19、W17	102、108、140、172、5、86
SCIC_TX	SCI-C 发送数据	O	106、12、140、38、56、63、72、89	B16、C2、D6、J16、L2、M19、N16、T16	101、109、139、171、4、85
SCID_RX	SCI-D 接收数据	I	105、141、46、77、94	A15、A3、E19、J3、M18	128、144、176
SCID_TX	SCI-D 发送数据	O	104、142、47、76、93	B4、C16、E18、J2、L19	129、143、175

Copyright © 2023 Texas Instruments Incorporated

表 6-3. 数字信号 (continued)

信号名称	说明	引脚类型	GPIO 引脚	337 BGA 引脚	176 引脚
SD1_C1	SDFM-1 通道 1 时钟输入	I	123、17、49、53、64	E2、L17、P17、R17、U8	110、9、93、97
SD1_C2	SDFM-1 通道 2 时钟输入	I	125、19、51、54、66	E4、K17、P18、R19、T9	112、12、95、98
SD1_C3	SDFM-1 通道 3 时钟输入	I	127、21、53、55、68	C18、F3、P17、P19、V9	100、133、14、97
SD1_C4	SDFM-1 通道 4 时钟输入	I	129、23、55、56、70	A17、K4、N16、P19、T10	100、101、135、23
SD1_D1	SDFM-1 通道 1 数据输入	I	122、16、36、48、63	E1、J16、R16、T8、V16	109、8、83、90
SD1_D2	SDFM-1 通道 2 数据输入	I	124、18、37、50、65	E3、K16、R18、U16、V8	10、111、84、94
SD1_D3	SDFM-1 通道 3 数据输入	I	126、20、38、52、67	B19、F2、P16、T16、U9	13、132、85、96
SD1_D4	SDFM-1 通道 4 数据输入	I	128、22、39、54、69	B18、J4、P18、W17、W9	134、22、86、98
SD2_C1	SDFM-2 通道 1 时钟输入	I	131、25、57、80	D15、K2、N18、V10	102、148、25
SD2_C2	SDFM-2 通道 2 时钟输入	I	133、27、58、59、74	C17、G18、L1、M16、N17	103、104、118、141、28
SD2_C3	SDFM-2 通道 3 时钟输入	I	135、29、59、61、76	C16、L16、M16、U18、W11	104、107、143、65
SD2_C4	SDFM-2 通道 4 时钟输入	I	137、31、60、63、78	B15、J16、M17、T18、U11	105、109、145、66

表 6-3. 数字信号 (continued)

信号名称	说明	引脚类型	GPIO 引脚	337 BGA 引脚	176 引脚
SD2_D1	SDFM-2 通道 1 数据输入	I	130、24、49、56、79	C15、K3、N16、R17、U10	101、146、24、93
SD2_D2	SDFM-2 通道 2 数据输入	I	132、26、50、58、73	A16、K1、N17、R18、W18	103、140、27、94
SD2_D3	SDFM-2 通道 3 数据输入	I	134、28、51、60、75	D16、M17、R19、V11、V18	105、142、64、95
SD2_D4	SDFM-2 通道 4 数据输入	I	136、30、52、62、77	A15、J17、P16、T11、T17	108、144、63、96
SPIA_CLK	SPI-A 时钟	I/O	18、34、56、60	E3、M17、N16、U14	10、101、105、70
SPIA_SIMO	SPI-A 从器件输入，主器件输出 (SIMO)	I/O	16、32、54、58	E1、N17、P18、U13	103、67、8、98
SPIA_SOMI	SPI-A 从器件输出，主器件输入 (SOMI)	I/O	17、33、55、59	E2、M16、P19、T13	100、104、69、9
SPIA_STEn	SPI-A 从器件发送使能 (STE)	I/O	19、35、57、61	E4、L16、N18、T14	102、107、12、71
SPIB_CLK	SPI-B 时钟	I/O	22、26、58、65	J4、K1、K16、N17	103、111、22、27
SPIB_SIMO	SPI-B 从器件输入，主器件输出 (SIMO)	I/O	24、60、63	J16、K3、M17	105、109、24
SPIB_SOMI	SPI-B 从器件输出，主器件输入 (SOMI)	I/O	25、61、64	K2、L16、L17	107、110、25
SPIB_STEn	SPI-B 从器件发送使能 (STE)	I/O	23、27、59、66	K17、K4、L1、M16	104、112、23、28
SPIC_CLK	SPI-C 时钟	I/O	102、124、22、52、71	B17、H3、J4、P16、V8	136、22、96
SPIC_SIMO	SPI-C 从器件输入，主器件输出 (SIMO)	I/O	100、122、20、50、69	B18、F2、H1、R18、T8	13、134、94

Copyright © 2023 Texas Instruments Incorporated

表 6-3. 数字信号 (continued)

信号名称	说明	引脚类型	GPIO 引脚	337 BGA 引脚	176 引脚
SPIC_SOMI	SPI-C 从器件输出，主器件输入 (SOMI)	I/O	101、123、21、51、70	A17、F3、H2、R19、U8	135、14、95
SPIC_STEn	SPI-C 从器件发送使能 (STE)	I/O	103、125、23、53、72	B16、J1、K4、P17、T9	139、23、97
SPID_CLK	SPI-D 时钟	I/O	32、93	B4、U13	175、67
SPID_SIMO	SPI-D 从器件输入，主器件输出 (SIMO)	I/O	30、91	B5、T11	173、63
SPID_SOMI	SPI-D 从器件输出，主器件输入 (SOMI)	I/O	31、92	A4、U11	174、66
SPID_STEn	SPI-D 从器件发送使能 (STE)	I/O	33、94	A3、T13	176、69
SSIA_CLK	SSI-A 时钟	I/O	18、56、65、93	B4、E3、K16、N16	10、101、111、175
SSIA_FSS	SSI-A 帧同步	I/O	19、57、66、94	A3、E4、K17、N18	102、112、12、176
SSIA_RX	SSI-A 串行数据接收	I/O	17、55、64、92	A4、E2、L17、P19	100、110、174、9
SSIA_TX	SSI-A 串行数据发送	I/O	16、54、63、91	B5、E1、J16、P18	109、173、8、98
TRACE_CLK	跟踪时钟	O	24	K3	24
TRACE_DATA0	跟踪数据 0	O	20	F2	13
TRACE_DATA1	跟踪数据 1	O	21	F3	14
TRACE_DATA2	跟踪数据 2	O	22	J4	22
TRACE_DATA3	跟踪数据 3	O	23	K4	23
TRACE_SWO	跟踪单线输出	O	25	K2	25
UARTA_RX	UART-A 串行数据接收	I/O	43、85	B11、C19	131、155
UARTA_TX	UART-A 串行数据发送	I/O	42、84	A11、D19	130、154
USB0DM	USB-0 PHY 差分数据	O	42	D19	130
USB0DP	USB-0 PHY 差分数据	O	43	C19	131
XCLKOUT	外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。	O	73	A16	140

Copyright © 2023 Texas Instruments Incorporated

6.3.3 电源和接地

表 6-4. 电源和接地

信号名称	说明	引脚类型	GPIO 引脚	337 BGA 引脚	176 引脚
VDD	1.2V 数字逻辑电源引脚。TI 建议在每个 VDD 引脚附近放置一个最小总电容值约为 20μF 的去耦电容器。去耦电容器的确切值应由您的系统电压调节解决方案确定。应在 VDD 和 VSS 之间放置一个 56Ω 电阻（容差为 10%）。该电阻提供了一个负载，以消耗 VDD 电流源的内部 VDD3VFL，并避免在低功耗器件条件下 VDD 电压上升。			E11、E9、F11、F9、G14、G15、J14、J15、K5、K6、P10、P13、R10、R13	117、126、137、153、158、16、169、21、61、76
VDD3VFL	3.3V 闪存电源引脚。在每个引脚上放置一个最小值为 0.1μF 的去耦电容器			R11、R12	72
VDDA	3.3V 模拟电源引脚。在每个引脚上放置一个最小值为 2.2μF 且连接至 VSSA 的去耦电容器。			P6、R6	36、54
VDDIO	3.3V 数字 I/O 电源引脚。在每个引脚上放置一个最小值为 0.1μF 的去耦电容器。			A18、A9、B1、E10、E13、E16、E7、F10、F13、F16、F4、F7、G4、G5、G6、H5、H6、L14、L15、M1、M5、M6、N14、N15、P9、R9、V19、W8	106、11、114、116、127、138、147、15、152、159、168、20、26、3、62、68、75、82、88、91、99
VDDOSC	3.3V 片上晶体振荡器（X1 和 X2）的电源引脚以及两个内部零引脚振荡器 (INTOSC)。在每个引脚上放置一个 0.1μF（最小值）的去耦电容器。			H16、H17	120、125

Copyright © 2023 Texas Instruments Incorporated

表 6-4. 电源和接地 (continued)

信号名称	说明	引脚类型	GPIO 引脚	337 BGA 引脚	176 引脚
VSS	器件接地。对四通道扁平封装(QFP)，必须将封装底部的 PowerPAD 焊接到 PCB 的接地层。			A1、A10、A19、E12、E14、E15、E5、E6、E8、F12、F14、F15、F5、F6、F8、G16、G17、H10、H11、H12、H14、H15、H8、H9、J10、J11、J12、J5、J6、J8、J9、K10、K11、K12、K14、K15、K8、K9、L10、L11、L12、L18、L5、L6、L8、L9、M10、M11、M12、M14、M15、M8、M9、N1、N5、N6、P11、P12、P14、P15、P7、P8、R14、R15、	PAD

表 6-4. 电源和接地 (continued)

信号名称	说明	引脚类型	GPIO 引脚	337 BGA 引脚	176 引脚
				R7、R8、W19、W7	
VSSA	模拟接地			P1、P5、R5、V7、W1	34、52
VSSOSC	晶体振荡器（X1 和 X2）接地引脚。使用外部晶体时，请勿将此引脚连接至电路板接地。相反，将其连接至外部晶体振荡器电路的接地基准。如果未使用外部晶体，则此引脚可以连接至电路板接地。			H18、H19	122

6.3.4 测试、JTAG 和复位

表 6-5. 测试、JTAG 和复位

信号名称	说明	引脚类型	GPIO 引脚	337 BGA 引脚	176 引脚
ERRORSTS	错误状态输出。使用时，该信号需要一个外部下拉电阻。	O		U19	92
FLT1	闪存测试引脚 1。为 TI 预留。必须保持未连接状态。	I/O		W12	73
FLT2	闪存测试引脚 2。为 TI 预留。必须保持未连接状态。	I/O		V13	74
NC1	无连接。此引脚未在内部连接到器件。此引脚可以在最大工作条件下保持断开状态或连接到任何电压。			H4	
NC2	无连接。此引脚未在器件内部连接，可保持断开状态或连接到 VSS 或 VDDIO。注：在具有内部稳压器 (VREG) 的其他 C2000 器件上，此引脚将是 VREGENZ（内部稳压器使能）。为了在 C2000 器件之间实现 PCB 兼容性，此引脚应该连接至 VDDIO (3.3V)。这将确保当内部 VREG 出现在其他器件上时被禁用，并且不会与必须用于该器件的外部 VREG 相冲突。			J18	119
TCK	带有内部上拉电阻的 JTAG 测试时钟。	I		V15	81
TDI	带有内部上拉电阻器的 JTAG 测试数据输入 (TDI)。TDI 在 TCK 上升沿上的所选寄存器（指令或数据）中计时。	I		W13	77
TDO	JTAG 扫描输出，测试数据输出 (TDO)。所选寄存器（指令或数据）的内容在 TCK 下降沿从 TDO 移出。	O		W15	78
TMS	带有内部上拉电阻的 JTAG 测试模式选择 (TMS)。此串行控制输入在 TCK 上升沿上的 TAP 控制器中计时。在电路板上应放置一个外部上拉电阻（推荐 2.2kΩ）以将 TMS 引脚连接至 VDDIO，从而在正常运行期间将 JTAG 保持在复位状态。	I		W14	80

Copyright © 2023 Texas Instruments Incorporated

表 6-5. 测试、JTAG 和复位 (continued)

信号名称	说明	引脚类型	GPIO 引脚	337 BGA 引脚	176 引脚
TRSTn	带有内部下拉电阻的 JTAG 测试复位。当被驱动至高电平时，TRST 使扫描系统获得器件运行的控制权。如果此信号被驱动至低电平，此器件在功能模式下工作，且忽略测试复位信号。注意：在器件正常运行期间，TRST 必须始终保持低电平，因此需要在此引脚上使用一个外部下拉电阻来防止噪声尖峰。这个电阻的阻值应该尽可能的小，只要确保 JTAG 调试探针仍然能够将 TRST 引脚驱动至高电平即可。一个 2.2kΩ 到 10kΩ 的电阻一般能够提供足够的保护。由于电阻的阻值是特定于应用的，TI 建议验证每个目标板以确保调试探针和应用的正常运行。此引脚具有一个内部 50ns（标称值）干扰滤波器。	I		V14	79
X1	晶体振荡器或单端时钟输入。器件初始化软件必须在启用晶体振荡器之前配置该引脚。为了使用此振荡器，必须将一个石英晶体电路连接至 X1 和 X2。此引脚也可用于馈入单端 3.3V 电平时钟。	I		G19	123
X2	晶体振荡器输出。	O		J19	121
XRSn	器件复位（输入）和看门狗复位（输出）。在上电条件下，此引脚由器件驱动为低电平。外部电路也可能会驱动此引脚以使器件复位生效。发生看门狗复位时，此引脚也由 MCU 驱动为低电平。在看门狗复位期间，XRSn 引脚在 512 个 OSCCLK 周期的看门狗复位持续时间内被驱动为低电平。XRSn 和 VDDIO 之间应放置一个 2.2kΩ 至 10kΩ 的电阻。如果在 XRSn 和 VSS 之间放置一个电容器进行噪声滤除，则该电容器的容值应为 100nF 或更小。当看门狗复位生效时，这些值允许看门狗在 512 个 OSCCLK 周期内正确地将 XRSn 引脚驱动至 VOL。这个引脚的输出缓冲器是一个有内部上拉电阻的开漏。如果此引脚由外部器件驱动，则应使用开漏器件进行驱动。	I/OD		F19	124

6.4 带有内部上拉和下拉的引脚

器件上的某些引脚具有内部上拉或下拉。表 6-6 列出了拉动方向及其活动时间。默认情况下，GPIO 引脚的上拉被禁用，可以通过软件启用。为了避免任何浮动的未绑定输入，引导 ROM 将在特定封装中对未绑定的 GPIO 引脚启用内部上拉。表 6-6 中提到的带有上拉和下拉的其他引脚始终处于打开状态且无法被禁用。

表 6-6. 带有内部上拉和下拉的引脚

引脚	复位 (XRSn = 0)	器件引导	应用软件
GPIOx	禁用上拉	禁用上拉[(1)]	上拉使能由应用定义
TRSTn	下拉有效		
TCK	上拉有效		
TMS	上拉有效		
TDI	上拉有效		
XRSn	上拉有效		
ERRORSTS	下拉有效		
DACOUTx	下拉有效		
其他引脚	上拉或下拉未存在		

(1) 给定封装中未绑定的引脚将具有由引导 ROM 启用内部上拉。

6.5 引脚复用

节 6.5.1 的“GPIO 多路复用引脚”表中列出了 GPIO 多路复用引脚。

Copyright © 2023 Texas Instruments Incorporated

6.5.1 “GPIO 多路复用引脚”表

表 6-7. GPIO 多路复用引脚

0 , 4 , 8 , 12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO0	EPWM1A				I2CA_SDA		CM-I2CA_SDA	ESC_GPI0		FSITXA_D0			
GPIO1	EPWM1B		MFSRB		I2CA_SCL		CM-I2CA_SCL	ESC_GPI1		FSITXA_D1			
GPIO2	EPWM2A			OUTPUTXBAR1	I2CB_SDA			ESC_GPI2		FSITXA_CLK			
GPIO3	EPWM2B	OUTPUTXBAR2	MCLKRB	OUTPUTXBAR2	I2CB_SCL			ESC_GPI3		FSIRXA_D0			
GPIO4	EPWM3A			OUTPUTXBAR3	CANA_TX		MCAN_TX	ESC_GPI4		FSIRXA_D1			
GPIO5	EPWM3B	MFSRA	OUTPUTXBAR3		CANA_RX		MCAN_RX	ESC_GPI5		FSIRXA_CLK			
GPIO6	EPWM4A	OUTPUTXBAR4	EXTSYNCOUT	EQEP3_A	CANB_TX			ESC_GPI6		FSITXB_D0			
GPIO7	EPWM4B	MCLKRA	OUTPUTXBAR5	EQEP3_B	CANB_RX			ESC_GPI7		FSITXB_D1			
GPIO8	EPWM5A	CANB_TX	ADCSOCAO	EQEP3_STROBE	SCIA_TX		MCAN_TX	ESC_GPO0		FSITXB_CLK	FSITXA_D1	FSIRXA_D0	
GPIO9	EPWM5B	SCIB_TX	OUTPUTXBAR6	EQEP3_INDEX	SCIA_RX			ESC_GPO1		FSIRXB_D0	FSITXA_D0	FSIRXA_CLK	
GPIO10	EPWM6A	CANB_RX	ADCSOCBO	EQEP1_A	SCIB_TX		MCAN_RX	ESC_GPO2		FSIRXB_D1	FSITXA_CLK	FSIRXA_D1	
GPIO11	EPWM6B	SCIB_RX	OUTPUTXBAR7	EQEP1_B	SCIB_RX			ESC_GPO3		FSIRXB_CLK	FSIRXA_D1		
GPIO12	EPWM7A	CANB_TX	MDXB	EQEP1_STROBE	SCIC_TX			ESC_GPO4		FSIRXC_D0	FSIRXA_D0		
GPIO13	EPWM7B	CANB_RX	MDRB	EQEP1_INDEX	SCIC_RX			ESC_GPO5		FSIRXC_D1	FSIRXA_CLK		
GPIO14	EPWM8A	SCIB_TX	MCLKXB		OUTPUTXBAR3			ESC_GPO6		FSIRXC_CLK			
GPIO15	EPWM8B	SCIB_RX	MFSXB		OUTPUTXBAR4			ESC_GPO7		FSIRXD_D0			
GPIO16	SPIA_SIMO	CANB_TX	OUTPUTXBAR7	EPWM9A		SD1_D1			SSIA_TX	FSIRXD_D1			
GPIO17	SPIA_SOMI	CANB_RX	OUTPUTXBAR8	EPWM9B		SD1_C1			SSIA_RX	FSIRXD_CLK			
GPIO18	SPIA_CLK	SCIB_TX	CANA_RX	EPWM10A		SD1_D2	MCAN_RX	EMIF1_CS2n	SSIA_CLK	FSIRXE_D0			
GPIO19	SPIA_STEn	SCIB_RX	CANA_TX	EPWM10B		SD1_C2	MCAN_TX	EMIF1_CS3n	SSIA_FSS	FSIRXE_D1			
GPIO20	EQEP1_A	MDXA	CANB_TX	EPWM11A		SD1_D3		EMIF1_BA0	TRACE_DATA0	FSIRXE_CLK	SPIC_SIMO		
GPIO21	EQEP1_B	MDRA	CANB_RX	EPWM11B		SD1_C3		EMIF1_BA1	TRACE_DATA1	FSIRXF_D0	SPIC_SOMI		
GPIO22	EQEP1_STROBE	MCLKXA	SCIB_TX	EPWM12A	SPIB_CLK	SD1_D4	MCAN_TX	EMIF1_RAS	TRACE_DATA2	FSIRXF_D1	SPIC_CLK		
GPIO23	EQEP1_INDEX	MFSXA	SCIB_RX	EPWM12B	SPIB_STEn	SD1_C4	MCAN_RX	EMIF1_CAS	TRACE_DATA3	FSIRXF_CLK	SPIC_STEn		

Copyright © 2023 Texas Instruments Incorporated

表 6-7. GPIO 多路复用引脚 (continued)

0 , 4 , 8 , 12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO24	OUTPUTXBAR1	EQEP2_A	MDXB		SPIB_SIMO	SD2_D1	PMBUSA_SCL	EMIF1_DQM0	TRACE_CLK	EPWM13A		FSIRXG_D0	
GPIO25	OUTPUTXBAR2	EQEP2_B	MDRB		SPIB_SOMI	SD2_C1	PMBUSA_SDA	EMIF1_DQM1	TRACE_SWO	EPWM13B	FSITXA_D1	FSIRXG_D1	
GPIO26	OUTPUTXBAR3	EQEP2_INDEX	MCLKXB	OUTPUTXBAR3	SPIB_CLK	SD2_D2	PMBUSA_ALERT	EMIF1_DQM2	ESC_MDIO_CLK	EPWM14A	FSITXA_D0	FSIRXG_CLK	
GPIO27	OUTPUTXBAR4	EQEP2_STROBE	MFSXB	OUTPUTXBAR4	SPIB_STEn	SD2_C2	PMBUSA_CTL	EMIF1_DQM3	ESC_MDIO_DATA	EPWM14B	FSITXA_CLK	FSIRXH_D0	
GPIO28	SCIA_RX	EMIF1_CS4n		OUTPUTXBAR5	EQEP3_A	SD2_D3	EMIF1_CS2n			EPWM15A		FSIRXH_D1	
GPIO29	SCIA_TX	EMIF1_SDCKE		OUTPUTXBAR6	EQEP3_B	SD2_C3	EMIF1_CS3n	ESC_LATCH0	ESC_I2C_SDA	EPWM15B	ESC_SYNC0	FSIRXH_CLK	
GPIO30	CANA_RX	EMIF1_CLK	MCAN_RX	OUTPUTXBAR7	EQEP3_STROBE	SD2_D4	EMIF1_CS4n	ESC_LATCH1	ESC_I2C_SCL	EPWM16A	ESC_SYNC1	SPID_SIMO	
GPIO31	CANA_TX	EMIF1_WEn	MCAN_TX	OUTPUTXBAR8	EQEP3_INDEX	SD2_C4	EMIF1_RNW	I2CA_SDA	CM-I2CA_SDA	EPWM16B		SPID_SOMI	
GPIO32	I2CA_SDA	EMIF1_CS0n	SPIA_SIMO			CLB_OUTPUTXBAR1	EMIF1_OEn	I2CA_SCL	CM-I2CA_SCL			SPID_CLK	
GPIO33	I2CA_SCL	EMIF1_RNW	SPIA_SOMI			CLB_OUTPUTXBAR2	EMIF1_BA0					SPID_STEn	
GPIO34	OUTPUTXBAR1	EMIF1_CS2n	SPIA_CLK		I2CB_SDA	CLB_OUTPUTXBAR3	EMIF1_BA1	ESC_LATCH0	ENET_MII_CRS	SCIA_TX	ESC_SYNC0		
GPIO35	SCIA_RX	EMIF1_CS3n	SPIA_STEn		I2CB_SCL	CLB_OUTPUTXBAR4	EMIF1_A0	ESC_LATCH1	ENET_MII_COL		ESC_SYNC1		
GPIO36	SCIA_TX	EMIF1_WAIT			CANA_RX	CLB_OUTPUTXBAR5	EMIF1_A1	MCAN_RX		SD1_D1			
GPIO37	OUTPUTXBAR2	EMIF1_OEn			CANA_TX	CLB_OUTPUTXBAR6	EMIF1_A2	MCAN_TX		SD1_D2			
GPIO38		EMIF1_A0		SCIC_TX	CANB_TX	CLB_OUTPUTXBAR7	EMIF1_A3	ENET_MII_RX_DV	ENET_MII_CRS	SD1_D3			
GPIO39		EMIF1_A1		SCIC_RX	CANB_RX	CLB_OUTPUTXBAR8	EMIF1_A4	ENET_MII_RX_ERR	ENET_MII_COL	SD1_D4			
GPIO40		EMIF1_A2			I2CB_SDA				ENET_MII_CRS		ESC_I2C_SDA		
GPIO41		EMIF1_A3			I2CB_SCL			ENET_REVMII_MDIO_RST	ENET_MII_COL		ESC_I2C_SCL		

Copyright © 2023 Texas Instruments Incorporated

表 6-7. GPIO 多路复用引脚 (continued)

0 , 4 , 8 , 12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO42					I2CA_SDA			ENET_MDIO_CLK	UARTA_TX			SCIA_TX	USB0DM
GPIO43					I2CA_SCL			ENET_MDIO_DATA	UARTA_RX			SCIA_RX	USB0DP
GPIO44		EMIF1_A4							ENET_MII_TX_CLK		ESC_TX1_CLK		
GPIO45		EMIF1_A5							ENET_MII_TX_EN		ESC_TX1_ENA		
GPIO46		EMIF1_A6			SCID_RX				ENET_MII_TX_ERR		ESC_MDIO_CLK		
GPIO47		EMIF1_A7			SCID_TX				ENET_PPS0		ESC_MDIO_DATA		
GPIO48	OUTPUTXBAR3	EMIF1_A8			SCIA_TX	SD1_D1			ENET_PPS1		ESC_PHY_CLK		
GPIO49	OUTPUTXBAR4	EMIF1_A9			SCIA_RX	SD1_C1	EMIF1_A5		ENET_MII_RX_CLK	SD2_D1	FSITXA_D0		
GPIO50	EQEP1_A	EMIF1_A10			SPIC_SIMO	SD1_D2	EMIF1_A6		ENET_MII_RX_DV	SD2_D2	FSITXA_D1		
GPIO51	EQEP1_B	EMIF1_A11			SPIC_SOMI	SD1_C2	EMIF1_A7		ENET_MII_RX_ERR	SD2_D3	FSITXA_CLK		
GPIO52	EQEP1_STROBE	EMIF1_A12			SPIC_CLK	SD1_D3	EMIF1_A8		ENET_MII_RX_DATA0	SD2_D4	FSIRXA_D0		
GPIO53	EQEP1_INDEX	EMIF1_D31	EMIF2_D15		SPIC_STEn	SD1_C3	EMIF1_A9		ENET_MII_RX_DATA1	SD1_C1	FSIRXA_D1		
GPIO54	SPIA_SIMO	EMIF1_D30	EMIF2_D14	EQEP2_A	SCIB_TX	SD1_D4	EMIF1_A10		ENET_MII_RX_DATA2	SD1_C2	FSIRXA_CLK	SSIA_TX	
GPIO55	SPIA_SOMI	EMIF1_D29	EMIF2_D13	EQEP2_B	SCIB_RX	SD1_C4	EMIF1_D0		ENET_MII_RX_DATA3	SD1_C3	FSITXB_D0	SSIA_RX	
GPIO56	SPIA_CLK	EMIF1_D28	EMIF2_D12	EQEP2_STROBE	SCIC_TX	SD2_D1	EMIF1_D1	I2CA_SDA	ENET_MII_TX_EN	SD1_C4	FSITXB_CLK	SSIA_CLK	
GPIO57	SPIA_STEn	EMIF1_D27	EMIF2_D11	EQEP2_INDEX	SCIC_RX	SD2_C1	EMIF1_D2	I2CA_SCL	ENET_MII_TX_ERR		FSITXB_D1	SSIA_FSS	

Copyright © 2023 Texas Instruments Incorporated

表 6-7. GPIO 多路复用引脚 (continued)

0 , 4 , 8 , 12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO58	MCLKRA	EMIF1_D26	EMIF2_D10	OUTPUTXBAR1	SPIB_CLK	SD2_D2	EMIF1_D3	ESC_LED_LINK0_ACTIVE	ENET_MII_TX_CLK	SD2_C2	FSIRXB_D0	SPIA_SIMO	
GPIO59	MFSRA	EMIF1_D25	EMIF2_D9	OUTPUTXBAR2	SPIB_STEn	SD2_C2	EMIF1_D4	ESC_LED_LINK1_ACTIVE	ENET_MII_TX_DATA0	SD2_C3	FSIRXB_D1	SPIA_SOMI	
GPIO60	MCLKRB	EMIF1_D24	EMIF2_D8	OUTPUTXBAR3	SPIB_SIMO	SD2_D3	EMIF1_D5	ESC_LED_ERR	ENET_MII_TX_DATA1	SD2_C4	FSIRXB_CLK	SPIA_CLK	
GPIO61	MFSRB	EMIF1_D23	EMIF2_D7	OUTPUTXBAR4	SPIB_SOMI	SD2_C3	EMIF1_D6	ESC_LED_RUN	ENET_MII_TX_DATA2		CANA_RX	SPIA_STEn	
GPIO62	SCIC_RX	EMIF1_D22	EMIF2_D6	EQEP3_A	CANA_RX	SD2_D4	EMIF1_D7	ESC_LED_STATE_RUN	ENET_MII_TX_DATA3		CANA_TX		
GPIO63	SCIC_TX	EMIF1_D21	EMIF2_D5	EQEP3_B	CANA_TX	SD2_C4	SSIA_TX		ENET_MII_RX_DATA0	SD1_D1	ESC_RX1_DATA0	SPIB_SIMO	
GPIO64		EMIF1_D20	EMIF2_D4	EQEP3_STROBE	SCIA_RX		SSIA_RX	ENET_MII_RX_DV	ENET_MII_RX_DATA1	SD1_C1	ESC_RX1_DATA1	SPIB_SOMI	
GPIO65		EMIF1_D19	EMIF2_D3	EQEP3_INDEX	SCIA_TX		SSIA_CLK	ENET_MII_RX_ERR	ENET_MII_RX_DATA2	SD1_D2	ESC_RX1_DATA2	SPIB_CLK	
GPIO66		EMIF1_D18	EMIF2_D2		I2CB_SDA		SSIA_FSS	ENET_MII_RX_DATA0	ENET_MII_RX_DATA3	SD1_C2	ESC_RX1_DATA3	SPIB_STEn	
GPIO67		EMIF1_D17	EMIF2_D1					ENET_MII_RX_CLK	ENET_REVMII_MDIO_RST	SD1_D3			
GPIO68		EMIF1_D16	EMIF2_D0						ENET_MII_INTR	SD1_C3	ESC_PHY1_LINKSTATUS		
GPIO69		EMIF1_D15			I2CB_SCL			ENET_MII_TX_EN	ENET_MII_RX_CLK	SD1_D4	ESC_RX1_CLK	SPIC_SIMO	
GPIO70		EMIF1_D14		CANA_RX	SCIB_TX		MCAN_RX		ENET_MII_RX_DV	SD1_C4	ESC_RX1_DV	SPIC_SOMI	
GPIO71		EMIF1_D13		CANA_TX	SCIB_RX		MCAN_TX	ENET_MII_RX_DATA0	ENET_MII_RX_ERR		ESC_RX1_ERR	SPIC_CLK	
GPIO72		EMIF1_D12		CANB_TX	SCIC_TX			ENET_MII_RX_DATA1	ENET_MII_TX_DATA3		ESC_TX1_DATA3	SPIC_STEn	

Copyright © 2023 Texas Instruments Incorporated

表 6-7. GPIO 多路复用引脚 (continued)

0 , 4 , 8 , 12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO73		EMIF1_D11	XCLKOUT	CANB_RX	SCIC_RX			ENET_RMII_CLK	ENET_MII_TX_DATA2	SD2_D2	ESC_TX1_DATA2		
GPIO74		EMIF1_D10					MCAN_TX		ENET_MII_TX_DATA1	SD2_C2	ESC_TX1_DATA1		
GPIO75		EMIF1_D9					MCAN_RX		ENET_MII_TX_DATA0	SD2_D3	ESC_TX1_DATA0		
GPIO76		EMIF1_D8			SCID_TX			ENET_MII_RX_ERR		SD2_C3	ESC_PHY_RESETn		
GPIO77		EMIF1_D7			SCID_RX					SD2_D4	ESC_RX0_CLK		
GPIO78		EMIF1_D6			EQEP2_A					SD2_C4	ESC_RX0_DV		
GPIO79		EMIF1_D5			EQEP2_B					SD2_D1	ESC_RX0_ERR		
GPIO80		EMIF1_D4			EQEP2_STROBE					SD2_C1	ESC_RX0_DATA0		
GPIO81		EMIF1_D3			EQEP2_INDEX						ESC_RX0_DATA1		
GPIO82		EMIF1_D2									ESC_RX0_DATA2		
GPIO83		EMIF1_D1									ESC_RX0_DATA3		
GPIO84				SCIA_TX	MDXB				UARTA_TX		ESC_TX0_ENA	MDXA	
GPIO85		EMIF1_D0		SCIA_RX	MDRB				UARTA_RX		ESC_TX0_CLK	MDRA	
GPIO86		EMIF1_A13	EMIF1_CAS	SCIB_TX	MCLKXB						ESC_PHY0_LINKSTATUS	MCLKXA	
GPIO87		EMIF1_A14	EMIF1_RAS	SCIB_RX	MFSXB		EMIF1_DQM3				ESC_TX0_DATA0	MFSXA	
GPIO88		EMIF1_A15	EMIF1_DQM0				EMIF1_DQM1				ESC_TX0_DATA1		
GPIO89		EMIF1_A16	EMIF1_DQM1		SCIC_TX		EMIF1_CAS				ESC_TX0_DATA2		
GPIO90		EMIF1_A17	EMIF1_DQM2		SCIC_RX		EMIF1_RAS				ESC_TX0_DATA3		

Copyright © 2023 Texas Instruments Incorporated

表 6-7. GPIO 多路复用引脚 (continued)

0 , 4 , 8 , 12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO91		EMIF1_A18	EMIF1_DQM3		I2CA_SDA		EMIF1_DQM2	PMBUSA_SCL	SSIA_TX	FSIRXF_D0	CLB_OUTPUTXBAR1	SPID_SIMO	
GPIO92		EMIF1_A19	EMIF1_BA1		I2CA_SCL		EMIF1_DQM0	PMBUSA_SDA	SSIA_RX	FSIRXF_D1	CLB_OUTPUTXBAR2	SPID_SOMI	
GPIO93			EMIF1_BA0		SCID_TX			PMBUSA_ALERT	SSIA_CLK	FSIRXF_CLK	CLB_OUTPUTXBAR3	SPID_CLK	
GPIO94					SCID_RX		EMIF1_BA1	PMBUSA_CTL	SSIA_FSS	FSIRXG_D0	CLB_OUTPUTXBAR4	SPID_STEn	
GPIO95			EMIF2_A12							FSIRXG_D1	CLB_OUTPUTXBAR5		
GPIO96			EMIF2_DQM1	EQEP1_A						FSIRXG_CLK	CLB_OUTPUTXBAR6		
GPIO97			EMIF2_DQM0	EQEP1_B						FSIRXH_D0	CLB_OUTPUTXBAR7		
GPIO98			EMIF2_A0	EQEP1_STROBE						FSIRXH_D1	CLB_OUTPUTXBAR8		
GPIO99			EMIF2_A1	EQEP1_INDEX						FSIRXH_CLK			
GPIO100			EMIF2_A2	EQEP2_A	SPIC_SIMO			ESC_GPI0		FSITXA_D0			
GPIO101			EMIF2_A3	EQEP2_B	SPIC_SOMI			ESC_GPI1		FSITXA_D1			
GPIO102			EMIF2_A4	EQEP2_STROBE	SPIC_CLK			ESC_GPI2		FSITXA_CLK			
GPIO103			EMIF2_A5	EQEP2_INDEX	SPIC_STEn			ESC_GPI3		FSIRXA_D0			
GPIO104	I2CA_SDA		EMIF2_A6	EQEP3_A	SCID_TX			ESC_GPI4	CM-I2CA_SDA	FSIRXA_D1			
GPIO105	I2CA_SCL		EMIF2_A7	EQEP3_B	SCID_RX			ESC_GPI5	CM-I2CA_SCL	FSIRXA_CLK	ENET_MDIO_CLK		
GPIO106			EMIF2_A8	EQEP3_STROBE	SCIC_TX			ESC_GPI6		FSITXB_D0	ENET_MDIO_DATA		
GPIO107			EMIF2_A9	EQEP3_INDEX	SCIC_RX			ESC_GPI7		FSITXB_D1	ENET_REVMII_MDIO_RST		
GPIO108			EMIF2_A10					ESC_GPI8		FSITXB_CLK	ENET_MII_INTR		

Copyright © 2023 Texas Instruments Incorporated

表 6-7. GPIO 多路复用引脚 (continued)

0 , 4 , 8 , 12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO109			EMIF2_A11					ESC_GPI9			ENET_MII_CRS		
GPIO110			EMIF2_WAIT					ESC_GPI10		FSIRXB_D0	ENET_MII_COL		
GPIO111			EMIF2_BA0					ESC_GPI11		FSIRXB_D1	ENET_MII_RX_CLK		
GPIO112			EMIF2_BA1					ESC_GPI12		FSIRXB_CLK	ENET_MII_RX_DV		
GPIO113			EMIF2_CAS					ESC_GPI13			ENET_MII_RX_ERR		
GPIO114			EMIF2_RAS					ESC_GPI14			ENET_MII_RX_DATA0		
GPIO115			EMIF2_CS0n	OUTPUTXBAR5				ESC_GPI15		FSIRXC_D0	ENET_MII_RX_DATA1		
GPIO116			EMIF2_CS2n	OUTPUTXBAR6				ESC_GPI16		FSIRXC_D1	ENET_MII_RX_DATA2		
GPIO117			EMIF2_SDCKE					ESC_GPI17		FSIRXC_CLK	ENET_MII_RX_DATA3		
GPIO118			EMIF2_CLK					ESC_GPI18		FSIRXD_D0	ENET_MII_TX_EN		
GPIO119			EMIF2_RNW					ESC_GPI19		FSIRXD_D1	ENET_MII_TX_ERR		
GPIO120			EMIF2_WEn					ESC_GPI20		FSIRXD_CLK	ENET_MII_TX_CLK		
GPIO121			EMIF2_OEn					ESC_GPI21		FSIRXE_D0	ENET_MII_TX_DATA0		
GPIO122			EMIF2_D15		SPIC_SIMO	SD1_D1		ESC_GPI22			ENET_MII_TX_DATA1		
GPIO123			EMIF2_D14		SPIC_SOMI	SD1_C1		ESC_GPI23			ENET_MII_TX_DATA2		
GPIO124			EMIF2_D13		SPIC_CLK	SD1_D2		ESC_GPI24			ENET_MII_TX_DATA3		
GPIO125			EMIF2_D12		SPIC_STEn	SD1_C2		ESC_GPI25		FSIRXE_D1	ESC_LATCH0		

Copyright © 2023 Texas Instruments Incorporated

表 6-7. GPIO 多路复用引脚 (continued)

0 , 4 , 8 , 12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO126			EMIF2_D11			SD1_D3		ESC_GPI26		FSIRXE_CLK	ESC_LATCH1		
GPIO127			EMIF2_D10			SD1_C3		ESC_GPI27			ESC_SYNC0		
GPIO128			EMIF2_D9			SD1_D4		ESC_GPI28			ESC_SYNC1		
GPIO129			EMIF2_D8			SD1_C4		ESC_GPI29			ESC_TX1_ENA		
GPIO130			EMIF2_D7			SD2_D1		ESC_GPI30			ESC_TX1_CLK		
GPIO131			EMIF2_D6			SD2_C1		ESC_GPI31			ESC_TX1_DATA 0		
GPIO132			EMIF2_D5			SD2_D2		ESC_GPO0			ESC_TX1_DATA 1		
GPIO133						SD2_C2							AUXCLKIN
GPIO134			EMIF2_D4			SD2_D3		ESC_GPO1			ESC_TX1_DATA 2		
GPIO135			EMIF2_D3		SCIA_TX	SD2_C3		ESC_GPO2			ESC_TX1_DATA 3		
GPIO136			EMIF2_D2		SCIA_RX	SD2_D4		ESC_GPO3			ESC_RX1_DV		
GPIO137	EPWM13A		EMIF2_D1		SCIB_TX	SD2_C4		ESC_GPO4			ESC_RX1_CLK		
GPIO138	EPWM13B		EMIF2_D0		SCIB_RX			ESC_GPO5			ESC_RX1_ERR		
GPIO139	EPWM14A				SCIC_RX			ESC_GPO6			ESC_RX1_DAT A0		
GPIO140	EPWM14B				SCIC_TX			ESC_GPO7			ESC_RX1_DAT A1		
GPIO141	EPWM15A				SCID_RX			ESC_GPO8			ESC_RX1_DAT A2		
GPIO142	EPWM15B				SCID_TX			ESC_GPO9			ESC_RX1_DAT A3		
GPIO143	EPWM16A							ESC_GPO10			ESC_LED_LINK 0_ACTIVE		
GPIO144	EPWM16B							ESC_GPO11			ESC_LED_LINK 1_ACTIVE		
GPIO145	EPWM1A							ESC_GPO12			ESC_LED_ERR		

Copyright © 2023 Texas Instruments Incorporated

表 6-7. GPIO 多路复用引脚 (continued)

0 , 4 , 8 , 12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO146	EPWM1B							ESC_GPO13			ESC_LED_RUN		
GPIO147	EPWM2A							ESC_GPO14			ESC_LED_STATE_RUN		
GPIO148	EPWM2B							ESC_GPO15			ESC_PHY0_LINKSTATUS		
GPIO149	EPWM3A							ESC_GPO16			ESC_PHY1_LINKSTATUS		
GPIO150	EPWM3B							ESC_GPO17			ESC_I2C_SDA		
GPIO151	EPWM4A							ESC_GPO18			ESC_I2C_SCL		
GPIO152	EPWM4B							ESC_GPO19			ESC_MDIO_CLK		
GPIO153	EPWM5A							ESC_GPO20			ESC_MDIO_DATA		
GPIO154	EPWM5B							ESC_GPO21			ESC_PHY_CLK		
GPIO155	EPWM6A							ESC_GPO22			ESC_PHY_RESETn		
GPIO156	EPWM6B							ESC_GPO23			ESC_TX0_ENA		
GPIO157	EPWM7A							ESC_GPO24			ESC_TX0_CLK		
GPIO158	EPWM7B							ESC_GPO25			ESC_TX0_DATA0		
GPIO159	EPWM8A							ESC_GPO26			ESC_TX0_DATA1		
GPIO160	EPWM8B							ESC_GPO27			ESC_TX0_DATA2		
GPIO161	EPWM9A							ESC_GPO28			ESC_TX0_DATA3		
GPIO162	EPWM9B							ESC_GPO29			ESC_RX0_DV		
GPIO163	EPWM10A							ESC_GPO30			ESC_RX0_CLK		
GPIO164	EPWM10B							ESC_GPO31			ESC_RX0_ERR		

Copyright © 2023 Texas Instruments Incorporated

表 6-7. GPIO 多路复用引脚 (continued)

0 , 4 , 8 , 12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO165	EPWM11A							MDXA			ESC_RX0_DATA0		
GPIO166	EPWM11B							MDRA			ESC_RX0_DATA1		
GPIO167	EPWM12A							MCLKXA			ESC_RX0_DATA2		
GPIO168	EPWM12B							MFSXA			ESC_RX0_DATA3		

Copyright © 2023 Texas Instruments Incorporated

6.5.2 输入 X-BAR

输入 X-BAR 用于将任何 GPIO 输入路由到 ADC、eCAP 和 ePWM 外设以及外部中断 (XINT) (参阅图 6-7) 。 表 6-8 列出了输入 X-BAR 目标。有关配置输入 X-BAR 的详细信息，请参阅 *TMS320F2838x 实时微控制器技术参考手册* 的“交叉开关 (X-BAR)”一章。

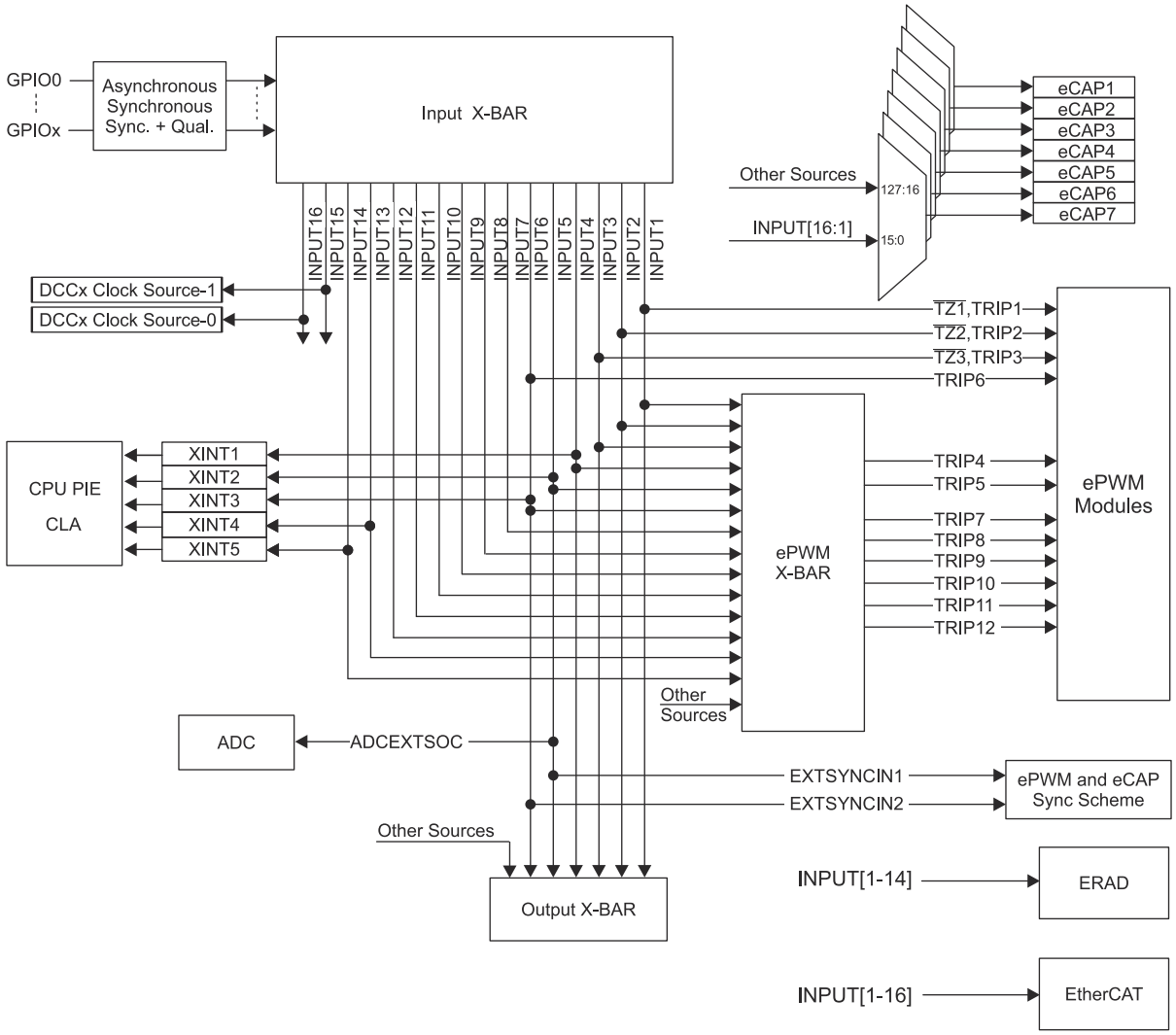


图 6-7. 输入 X-BAR

表 6-8. 输入 X-BAR 目标

输入	目标
输入 1	eCAPx、ePWM X-BAR、ePWM[TZ1,TRIP1]、输出 X-BAR、EtherCAT、ERAD
输入 2	eCAPx、ePWM X-BAR、ePWM[TZ2,TRIP2]、输出 X-BAR、EtherCAT、ERAD
输入 3	eCAPx、ePWM X-BAR、ePWM[TZ3,TRIP3]、输出 X-BAR、EtherCAT、ERAD
输入 4	eCAPx、ePWM X-BAR、XINT1、输出 X-BAR、EtherCAT、ERAD
输入 5	eCAPx、ePWM X-BAR、XINT2、ADCEXTSOC、EXTSYNCIN1、ePWM 同步、eCAP 同步、输出 X-BAR、EtherCAT、ERAD
输入 6	eCAPx、ePWM X-BAR、XINT3、ePWM[TRIP6]、EXTSYNCIN2、输出 X-BAR、ePWM 同步、eCAP 同步、输出 X-BAR、EtherCAT、ERAD
输入 7	eCAPx、ePWM X-BAR、EtherCAT、ERAD、eCAP1 捕捉输入
输入 8	eCAPx、ePWM X-BAR、EtherCAT、ERAD、eCAP2 捕捉输入
输入 9	eCAPx、ePWM X-BAR、EtherCAT、ERAD、eCAP3 捕捉输入
输入 10	eCAPx、ePWM X-BAR、EtherCAT、ERAD、eCAP4 捕捉输入
输入 11	eCAPx、ePWM X-BAR、EtherCAT、ERAD、eCAP5 捕捉输入
输入 12	eCAPx、ePWM X-BAR、EtherCAT、ERAD、eCAP6 捕捉输入
输入 13	eCAPx、ePWM X-BAR、XINT4、EtherCAT
输入 14	eCAPx、ePWM X-BAR、XINT5、EtherCAT、ERAD
INPUT15	eCAPx、EtherCAT
INPUT16	eCAPx、EtherCAT、DCCx

6.5.3 输出 X-BAR、CLB X-BAR、CLB 输出 X-BAR 和 ePWM X-BAR

输出 X-BAR 有 8 个输出可以在 GPIO 多路复用器上选择作为 OUTPUTXBARx。CLB X-BAR 有 8 个输出作为 AUXSIGx 连接到 CLB 全局多路复用器。CLB 输出 X-BAR 有 8 个输出可以在 GPIO 多路复用器上选择作为 CLB_OUTPUTXBARx。ePWM X-BAR 有 8 个输出与 ePWM 的 TRIPx 输入相连。输出 X-BAR、CLB X-BAR、CLB 输出 X-BAR 和 ePWM X-BAR 的源如图 6-8 所示。有关输出 X-BAR、CLB X-BAR、CLB 输出 X-BAR 和 ePWM X-BAR 的详细信息，请参阅 *TMS320F2838x 实时微控制器技术参考手册* 的“交叉开关 (X-BAR)”一章。

Copyright © 2023 Texas Instruments Incorporated

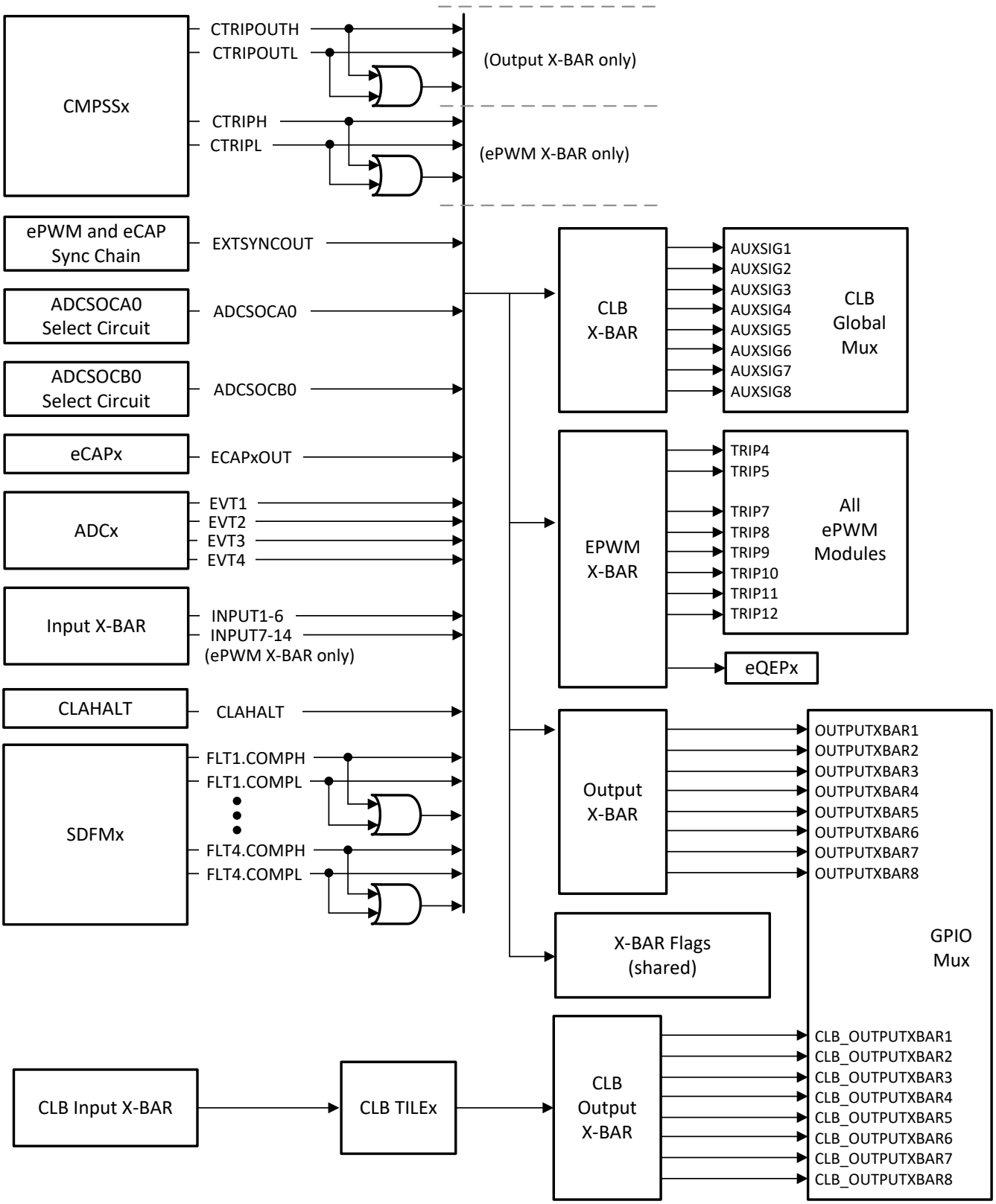


图 6-8. 输出 X-BAR、CLB X-BAR、CLB 输出 X-BAR 和 ePWM X-BAR 源

6.5.4 USB 引脚多路复用

表 6-9 列出了备用 USB 功能映射的分配。可通过 GPBAMSEL 寄存器对它们进行配置。

表 6-9. 备用 USB 功能

GPIO	GPBAMSEL 设置	USB 功能
GPIO42	GPBAMSEL[10] = 1b	USB0DM
GPIO43	GPBAMSEL[11] = 1b	USB0DP

6.5.5 高速 SPI 引脚多路复用

该器件上的 SPI 模块具有高速模式。为了实现尽可能高的速度，在每个 SPI 的单一 GPIO 多路复用器选项上使用了特殊的 GPIO 配置。在未处于高速模式 (HS_MODE=0) 下，SPI 也可以使用这些 GPIO 。

如需选择启用 SPI 高速模式的多路复用器选项，请配置 GPyGMUX 和 GPyMUX 寄存器，如表 6-10 所示。

表 6-10. 高速 SPI 的 GPIO 配置

GPIO	SPI 信号	多路复用器配置	
SPIA			
GPIO58	SPISIMOA	GPBGMUX2[21:20]=11b	GPBMUX2[21:20]=11b
GPIO59	SPISOMIA	GPBGMUX2[23:22]=11b	GPBMUX2[23:22]=11b
GPIO60	SPICLKA	GPBGMUX2[25:24]=11b	GPBMUX2[25:24]=11b
GPIO61	$\overline{\text{SPISTEA}}$	GPBGMUX2[27:26]=11b	GPBMUX2[27:26]=11b
SPIB			
GPIO63	SPISIMOB	GPBGMUX2[31:30]=11b	GPBMUX2[31:30]=11b
GPIO64	SPISOMIB	GPCGMUX1[1:0]=11b	GPCMUX1[1:0]=11b
GPIO65	SPICLKB	GPCGMUX1[3:2]=11b	GPCMUX1[3:2]=11b
GPIO66	$\overline{\text{SPISTEB}}$	GPCGMUX1[5:4]=11b	GPCMUX1[5:4]=11b
SPIC			
GPIO69	SPISIMOC	GPCGMUX1[11:10]=11b	GPCMUX1[11:10]=11b
GPIO70	SPISOMIC	GPCGMUX1[13:12]=11b	GPCMUX1[13:12]=11b
GPIO71	SPICLKC	GPCGMUX1[15:14]=11b	GPCMUX1[15:14]=11b
GPIO72	$\overline{\text{SPISTEC}}$	GPCGMUX1[17:16]=11b	GPCMUX1[17:16]=11b
SPID			
GPIO91	SPISIMOD	GPCGMUX2[23:22]=11b	GPCMUX2[23:22]=11b
GPIO92	SPISOMID	GPCGMUX2[25:24]=11b	GPCMUX2[25:24]=11b
GPIO93	SPICLKD	GPCGMUX2[27:26]=11b	GPCMUX2[27:26]=11b
GPIO94	$\overline{\text{SPISTED}}$	GPCGMUX2[29:28]=11b	GPCMUX2[29:28]=11b

Copyright © 2023 Texas Instruments Incorporated

6.5.6 高速 SSI 引脚多路复用

该器件上的 SSI 模块具有高速模式。要在 SSI 模块上启用高速模式，请启用 SSI 模块的高速时钟和高速功能（SSICR1[HSCLKEN] 和 SSIPP[HSCLK]）。“高速 SSI 的 GPIO 配置”表列出了 SSI 高速功能引脚多路复用选项。

表 6-11. 高速 SSI 的 GPIO 配置

GPIO	SSI 信号	GPIO 多路复用器选择索引
GPIO16	SSIA_TX	11
GPIO17	SSIA_RX	11
GPIO18	SSIA_CLK	11
GPIO19	SSIA_FSS	11

6.6 未使用引脚的连接

对于不需要使用器件所有功能的应用，表 6-12 列出了对任何未使用引脚的可接受条件。当表 6-12 中列出了多个选项，则任何选项都可接受。未在表 6-12 中列出的引脚必须根据“引脚属性”表进行连接。

表 6-12. 未使用引脚的连接

信号名称	可接受的做法
模拟	
VREFHIx	绑定到 VDDA
VREFLOx	绑定到 VSSA
ADCINx（DAC 引脚除外）	• 无连接 • 绑定到 VSSA
ADCINx（DAC 引脚）	• 无连接 • 通过 5kΩ 电阻下拉至 VSSA
数字	
GPIOx	• 无连接（启用内部上拉的输入模式） • 无连接（禁用内部上拉的输出模式） • 上拉或下拉电阻器（任意值电阻器，输入模式，禁用内部上拉）
X1	绑定到 VSS
X2	无连接
TCK	• 无连接 • 上拉电阻器
TDI	• 无连接 • 上拉电阻器
TDO	无连接
TMS	无连接
TRSTn	下拉电阻器（2.2kΩ 或更小）
ERRORSTS	无连接
FLT1	无连接
FLT2	无连接
电源和接地	
VDD	必须根据“引脚属性”表连接所有 VDD 引脚。
VDDA	如果未使用专用模拟电源，则连接到 VDDIO。
VDDIO	必须根据“引脚属性”表连接所有 VDDIO 引脚。
VDD3VFL	必须连接到 VDDIO
VDDOSC	必须连接到 VDDIO
VSS	所有 VSS 引脚必须连接到电路板接地。
VSSA	如果未使用专用模拟接地，则连接到 VSS。
VSSOSC	如果未使用外部晶体，则此引脚可以连接至电路板接地。

Copyright © 2023 Texas Instruments Incorporated

7 规格

7.1 绝对最大额定值

在自然通风条件下的工作温度范围内（除非另有说明）[(1) (2)]

		最小值	最大值	单位
电源电压	VDDIO 以 VSS 为基准	-0.3	4.6	V
	VDDA 以 VSSA 为基准	-0.3	4.6	
	VDD3VFL 以 VSS 为基准	-0.3	4.6	
	VDDOSC 以 VSS 为基准	-0.3	4.6	
	VDD 以 VSS 为基准	-0.3	1.5	
输入电压	V_{IN} (3.3V)	-0.3	4.6	V
输出电压	V_O	-0.3	4.6	V
输入钳位电流	数字/模拟输入（每引脚），I_{IK}（V_{IN} < VSS/VSSA 或 V_{IN} > VDDIO/VDDA）[(4)]	-20	20	mA
	所有输入的总计，$I_{IKTOTAL}$（V_{IN} < VSS/VSSA 或 V_{IN} > VDDIO/VDDA）	-20	20	
输出电流	数字输出（每引脚），I_{OUT}	-20	20	mA
环境温度	T_A	-40	125	°C
工作结温	T_J	-40	150	°C
贮存温度[(3)]	T_{stg}	–65	150	°C

(1) 应力超出*绝对最大额定值*下所列的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在*建议工作条件*以外的任何其他条件下能够正常运行。长时间处于最大绝对额定情况下会影响设备的可靠性。
(2) 除非另有说明，否则所有电压值均以 VSS 为基准。
(3) 长期高温贮存或在最大温度条件下超期使用可能会导致器件总体使用寿命缩短。有关更多信息，请参阅*“半导体和 IC 封装热指标”应用报告*。
(4) 每个引脚的连续钳位电流为 ±2mA。请勿在此条件下连续工作，因为 V_{DDIO}/V_{DDA} 电压可能会在内部上升并影响其他电气规格。

7.2 ESD 等级 - 商用

			值	单位
采用 337 焊球 ZWT 封装的 TMS320F28388D、TMS320F28386D、TMS320F28384D、TMS320F28388S、TMS320F28386S 和 TMS320F28384S				
$V_{(ESD)}$ 静电放电 (ESD)	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准[(1)]		±2000	V
	充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准[(2)]	所有引脚	±500	
		337 焊球 ZWT 上的转角焊球：A1、A19、W1、W19	±750	
采用 176 引脚 PTP 封装的 TMS320F28388D、TMS320F28386D、TMS320F28384D、TMS320F28388S、TMS320F28386S 和 TMS320F28384S				
$V_{(ESD)}$ 静电放电 (ESD)	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准[(1)]		±2000	V
	充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准[(2)]	所有引脚	±500	
		176 引脚 PTP 上的转角引脚：1、44、45、88、89、132、133、176	±750	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

7.3 ESD 等级 - 汽车

				值	单位
采用 337 焊球 ZWT 封装的 TMS320F28386D-Q1 和 TMS320F28384D-Q1					
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002[(1)]	所有引脚	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011	所有引脚	±500	
			337 焊球 ZWT 上的转角焊球：A1、A19、W1、W19	±750	
采用 176 引脚 PTP 封装的 TMS320F28386D-Q1、TMS320F28384D-Q1、TMS320F28386S-Q1 和 TMS320F28384S-Q1					
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 AEC Q100-002[(1)]	所有引脚	±2000	V
		充电器件模型 (CDM)，符合 AEC Q100-011	所有引脚	±500	
			176 引脚 PTP 上的转角引脚：1、44、45、88、89、132、133、176	±750	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

7.4 建议运行条件

		最小值	标称值	最大值	单位
器件电源电压，VDDIO[(1)]		3.14	3.3	3.47	V
模拟电源电压，VDDA		3.14	3.3	3.47	V
器件电源电压，VDD		1.14	1.2	1.26	V
器件地，VSS			0		V
模拟地，VSSA			0		V
SR_{SUPPLY}	VDDIO、VDD、VDDA 相对于 VSS 的电源电压斜升速率[(2)]			10^5	V/s
V_{IN}	数字输入电压	VSS – 0.3		VDDIO + 0.3	V
V_{IN}	模拟输入电压	VSSA – 0.3		VDDA + 0.3	V
结温，T_J	S 版本[(3)]	-40		125	°C
自然通风温度，T_A	Q 版本[(3)]（AEC Q100 认证）	-40		125	°C

(1) VDDIO、VDD3VFL 和 VDDOSC 之间的差距应保持在 0.3V 之内。
(2) 电源斜坡速率高于此值会触发片上 ESD 保护。
(3) 在 T_J = 105°C 以上的温度下长时间运行将缩短器件的使用寿命。更多信息，请参阅计算嵌入式处理器的有效使用寿命。

Copyright © 2023 Texas Instruments Incorporated

7.5 功耗摘要

本小节中列出的电流值仅代表给定的测试条件下的值，而不是可能的绝对最大值。应用中的实际器件电流将随应用代码和引脚配置的不同而变化。节 7.5.1 列出了使用外部电源时的系统电流消耗值。

7.5.1 系统电流消耗（外部电源）

在自然通风条件下的工作温度范围内测得（除非另有说明）。
典型值：V_{nom}，30℃

参数		测试条件	最小值	典型值	最大值	单位
工作模式						
I_{DD}	运行期间的 VDD 电流消耗(3)	请参阅节 7.5.2。		288	475	mA
I_{DDIO}	运行期间的 VDDIO 电流消耗(2)			45		mA
I_{DDA}	运行期间的 VDDA 电流消耗			8	15	mA
空闲模式						
I_{DD}	器件处于空闲模式时的 VDD 电流消耗(3)	CPU 处于空闲模式 • 闪存被断电。 • XCLKOUT 被关闭。		90	265	mA
I_{DDIO}	器件处于空闲模式时的 VDDIO 电流消耗(2)			4	7	mA
I_{DDA}	器件处于空闲模式时的 VDDA 电流消耗			0.002	0.010	mA
待机模式						
I_{DD}	器件处于待机模式时的 VDD 电流消耗(3)	CPU 处于待机模式 • 闪存被断电。 • XCLKOUT 被关闭。		30	200	mA
I_{DDIO}	器件处于待机模式时的 VDDIO 电流消耗(2)			4	7	mA
I_{DDA}	器件处于待机模式时的 VDDA 电流消耗			0.002	0.010	mA
闪存擦除/编程						
I_{DD}	擦除/编程周期期间的 VDD 电流消耗(1) (3)	CPU 从闪存运行，对未使用的扇区执行擦除和编程。 • SYSCLK 以 200 MHz 运行。 • I/O 是启用了上拉电阻的输入。 • 外设时钟关闭。		242	360	mA
I_{DDIO}	擦除/编程周期期间的 VDDIO 电流消耗(1) (2)			56	75	mA
I_{DDA}	擦除/编程周期期间的 VDDA 电流消耗			0.01	0.15	mA
复位模式						
I_{DD}	通过 XRSn 保持复位时的 VDD 流耗(3)	CPU 通过驱动到 XRSn 上的外部低电平信号保持在复位状态 • XRSn 在上电过程中保持低电平		55		mA
I_{DDIO}	通过 XRSn 保持复位时的 VDDIO 流耗(2)	CPU 通过驱动到 XRSn 上的外部低电平信号保持在复位状态 • XRSn 在上电过程中保持低电平		15		mA
I_{DDA}	通过 XRSn 保持复位时的 VDDA 流耗	CPU 通过驱动到 XRSn 上的外部低电平信号保持在复位状态 • XRSn 在上电过程中保持低电平		0.05		mA

(1) 闪存编程期间的欠压事件可能会损坏闪存数据并永久锁定器件。使用备用电源（例如 USB 编程器）的编程环境必须能够为器件和其他系统组件提供额定电流，并留有足够的裕度以避免电源欠压情况。
(2) 包括 VDD3VFL 电源 (VDDIO + VDD3VFL) 的流耗。
(3) 该表中的 VDD 电流值不包括通过“信号说明”部分中提到的 56Ω 电阻器从 VDD 流入 VSS 的 21mA 电流

7.5.2 工作模式测试说明

节 7.5.1 和“每个禁用外设的典型电流降低”表列出了器件工作模式下的电流消耗值。工作模式下将估算应用可能遇到的流耗。这些测量的测试条件具有以下属性：

- 从 RAM 执行代码。
- 闪存被读取，并保持激活状态。
- I/O 引脚不驱动任何外部元件。
- 所有外设都启用了时钟。
- 所有 CPU 都在积极执行代码。

- CPU1 和 CPU2 的工作频率为 200MHz，CM 的工作频率为 125MHz。
- 所有模拟外设均已通电。ADC 和 DAC 会定期转换。

7.5.3 电流消耗图

图 7-1、图 7-2 和图 7-3 显示了器件频率、温度、内核电源与电流消耗之间关系的典型图示。实际结果将因系统实现情况和具体条件而异。

图 7-1 显示了整个温度和内核电源电压范围内的典型工作电流曲线。图 7-2 显示了整个温度和内核电源电压范围内的典型待机电流曲线。图 7-3 显示了更改 C28x CPU 和 CM 模块的时钟频率时的典型工作电流的变化。

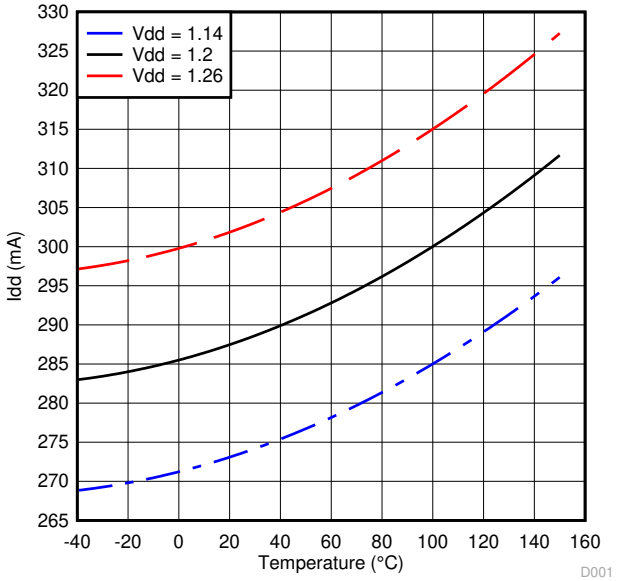


图 7-1. 典型工作电流与温度间的关系

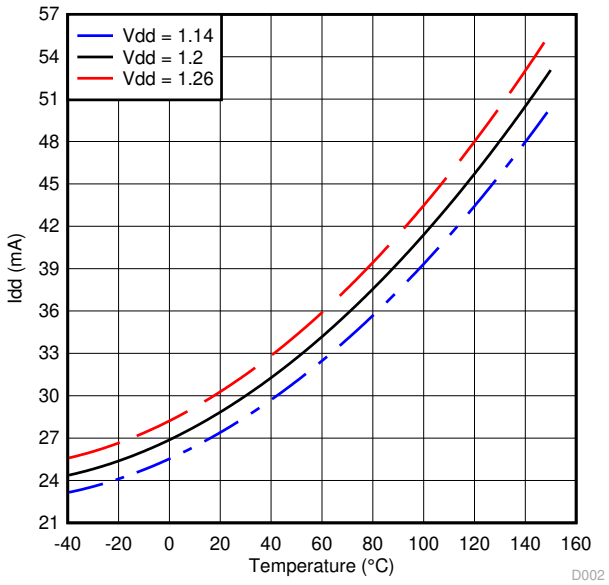


图 7-2. 典型待机电流与温度之间的关系

Copyright © 2023 Texas Instruments Incorporated

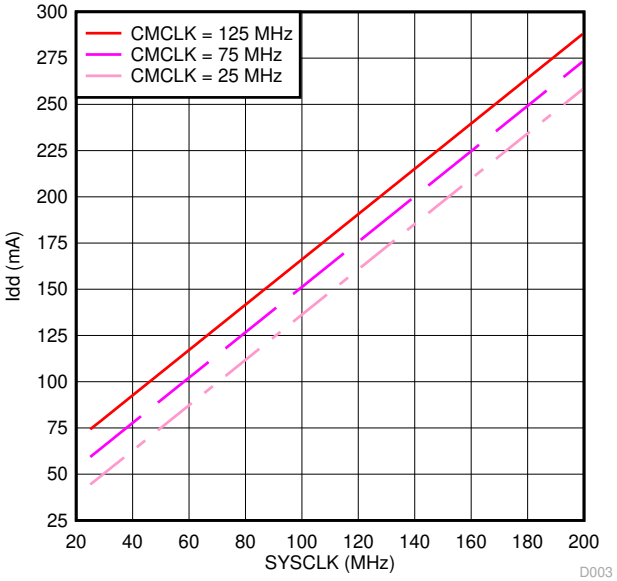


图 **7-3.** 典型工作电流与 **SYSCLK** 间的关系

7.5.4 减少电流消耗

F2838x 器件提供了一些减少器件电流消耗的方法：

- 在应用的空闲期间，可以进入两种低功耗模式中的任何一种：空闲或待机。
- 如果代码从 RAM 中运行，闪存模块可能会断电。
- 禁用假定具有输出功能的引脚上的上拉电阻。
- 每个外设都有一个单独的时钟使能位 (PCLKCRx)。通过关闭给定应用中未使用的任何外设的时钟，可以减少电流消耗。“每个禁用外设的典型电流降低”表列出了通过使用 PCLKCRx 寄存器禁用时钟可以实现的典型电流降低。
- 为了在 LPM 模式下实现最低的 VDDA 电流消耗，请参阅 *TMS320F2838x 实时微控制器技术参考手册* 的“模数转换器 (ADC)”一章，确保每个模块也断电。

7.5.4.1 每个禁用外设的典型电流降低

外设[(1)]	I_{DD} 电流减少 (mA)
ADC[(2)]	2.6
CLA	1.5
CLA BGCRC	0.3
CLB	1.6
CM - AES	0.4
CM - GCRC	2.4
CM - I2C	1.4
CM - SSI	0.4
CM - uDMA	0.4
CM - UART	0.7
CMPSS[(2)]	0.7
CPU BGCRC	0.5
CPU 计时器	0.1
DAC[(2)]	0.4
DCAN	1.6
DCC	0.2
DMA	1.4
eCAP1 至 eCAP5	0.3
eCAP6 至 eCAP7[(3)]	0.7
EMIF	1.0
ERAD	4.0
ePWM1 - ePWM8[(4)]	2.0
ePWM9 - ePWM16	1.1
eQEP	0.5
EtherCAT	2.9
以太网	3.7
FSI RX	0.7
FSI TX	0.9
I2C	0.4
MCAN (CAN FD)	1.5
McBSP	2.4
PMBUS	0.6
SCI	0.3
SDFM	2.7

Copyright © 2023 Texas Instruments Incorporated

7.5.4.1 每个禁用外设的典型电流降低 (continued)

外设[1]	I_{DD} 电流减少 (mA)
SPI	0.7
USB	5.4

(1) 复位时，所有外设均禁用。使用 PCLKCRx 寄存器以单独地启用外设。对于具有多个实例的外设，针对单个模块引用电流。
(2) 此电流表示每个模块的数字部分汲取的电流。
(3) eCAP6 和 eCAP7 也可以配置为 HRCAP。
(4) ePWM1 到 ePWM8 也可以配置为 HRPWM。

7.6 电气特性

在建议运行条件下测得（除非另有说明）

参数			测试条件	最小值	典型值	最大值	单位
V_{OH}	高电平输出电压		I_{OH} = I_{OH} 最小值	VDDIO * 0.8			V
			I_{OH}=-100 μA	VDDIO – 0.2			
V_{OL}	低电平输出电压		I_{OL}=I_{OL} 最大值			0.4	V
			I_{OL} = 100μA			0.2	
I_{OH}	所有输出引脚的高电平输出源电流			-4			mA
I_{OL}	所有输出引脚的低电平输出灌电流					4	mA
R_{OH}	组 1[1]	组 1 输出引脚的高电平输出阻抗			70		Ω
	组 2[2]	组 2 输出引脚的高电平输出阻抗			35		Ω
	组 3[3]	组 3 输出引脚的高电平输出阻抗			45		Ω
	组 4[4]	组 4 输出引脚的高电平输出阻抗			60		Ω
R_{OL}	组 1[1]	组 1 输出引脚的低电平输出阻抗			70		Ω
	组 2[2]	组 2 输出引脚的低电平输出阻抗			35		Ω
	组 3[3]	组 3 输出引脚的低电平输出阻抗			45		Ω
	组 4[4]	组 4 输出引脚的低电平输出阻抗			60		Ω
V_{IH}	高电平输入电压 (3.3V)	GPIO42、GPIO43		VDDIO * 0.7			V
		所有其他引脚		2.0			V
V_{IL}	低电平输入电压 (3.3V)					0.8	V
$V_{HYSTERESIS}$	输入迟滞			150			mV
$I_{PULLDOWN}$	输入电流	带下拉的数字输入[5]	VDDIO = 3.3V V_{IN} = VDDIO		120		μA
I_{PULLUP}	输入电流	启用上拉的数字输入[5]	VDDIO = 3.3V V_{IN} = 0V		150		μA
I_{LEAK}	引脚泄漏	数字	上拉和输出被禁用 0V ≤ V_{IN} ≤ VDDIO	-2		2	μA
		模拟（除了 ADCINB0 或 DACOUTx）	0V ≤ V_{IN} ≤ VDDA	-0.3		0.3	μA
		ADCINB0[6]			2	11	μA
		DACOUTx			66		μA

7.6 电气特性 (continued)

在建议运行条件下测得（除非另有说明）

参数			测试条件	最小值	典型值	最大值	单位
C_I	输入电容(7)				2		pF
$V_{DDIO-POR}$	VDDIO 上电复位电压				2.5		V

(1) 组 1: GPIO0-2、6、8-10、16、18-29、31-41、44-70、72-117、119-132、134-138
(2) 组 2: GPIO3-5、7、11-15、17、133、139-168
(3) 组 3: GPIO30、71、118
(4) 组 4: USB 引脚（GPIO42、43）
(5) 有关具有上拉或下拉功能的引脚列表，请参阅表 6-6。
(6) ADCINB0 上显示的最大输入漏电流是在高温条件下发生的。
(7) 模拟引脚是单独指定的；请参阅表 7-12。

Copyright © 2023 Texas Instruments Incorporated

7.7 ZWT 封装的热阻特性

		°C/W(1)	气流 (lfm)(2)
$R_{\Theta JC}$	结至外壳热阻	8.3	不适用
$R_{\Theta JB}$	结至电路板热阻	11.6	不适用
$R_{\Theta JA}$（高 k PCB）	结至环境热阻	20.6	0
$R_{\Theta JMA}$	结至流动空气热阻	18.6	150
		17.4	250
		16.5	500
Psi_{JT}	结至封装顶部	0.3	0
		0.4	150
		0.5	250
		0.6	500
Psi_{JB}	结至电路板	11.4	0
		11.2	150
		11.1	250
		11.1	500

(1) 以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 Theta JC [$R_{\Theta JC}$] 值除外），将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：

- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

(2) lfm = 线性英尺/分钟

7.8 PTP 封装的热阻特性

		°C/W(1)	气流 (lfm)(2)
$R_{\Theta JC}$	结至外壳热阻	6.97	不适用
$R_{\Theta JB}$	结至电路板热阻	6.05	不适用
$R_{\Theta JA}$（高 k PCB）	结至环境热阻	17.8	0
$R_{\Theta JMA}$	结至流动空气热阻	12.8	150
		11.4	250
		10.1	500
Psi_{JT}	结至封装顶部	0.11	0
		0.24	150
		0.33	250
		0.42	500
Psi_{JB}	结至电路板	6.1	0
		5.5	150
		5.4	250
		5.3	500

(1) 以上值基于 JEDEC 定义的 2S2P 系统（基于 JEDEC 定义的 1S0P 系统的 Theta JC [$R_{\Theta JC}$] 值除外），将随环境和应用的变化而更改。有关更多信息，请参阅以下 EIA/JEDEC 标准：

- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

Copyright © 2023 Texas Instruments Incorporated

(2) lfm = 线性英尺/分钟

7.9 散热设计注意事项

根据最终应用设计和运行情况，I_{DD} 和 I_{DDIO} 电流可能有所不同。最终产品中超过建议最大功率耗散的系统可能需要额外的散热增强措施。环境温度 (T_A) 随最终应用和产品设计的不同而不同。影响可靠性和功能性的关键参数是结温 T_J，而不是环境温度。因此，应该注意将 T_J 保持在指定限值内。应该测量 T_{case} 以评估工作结温 T_J。通常在封装顶部表面的中心测量 T_{case}。热应用报告*半导体和 IC 封装热指标*有助于理解热指标和相关定义。

Copyright © 2023 Texas Instruments Incorporated

7.10 系统

7.10.1 电源管理模块 (PMM)

7.10.1.1 引言

电源管理模块 (PMM) 可以处理运行器件时所需的所有电源管理功能。

7.10.1.2 概述

PMM 方框图中显示了 PMM 的方框图。可以看出，PMM 包含多个子组件，这些子组件将在后续章节中进行介绍。如图所示，上升延迟表示仅在上电（电压上升）时发生的复位释放延迟。断电情况下不存在此类延迟。

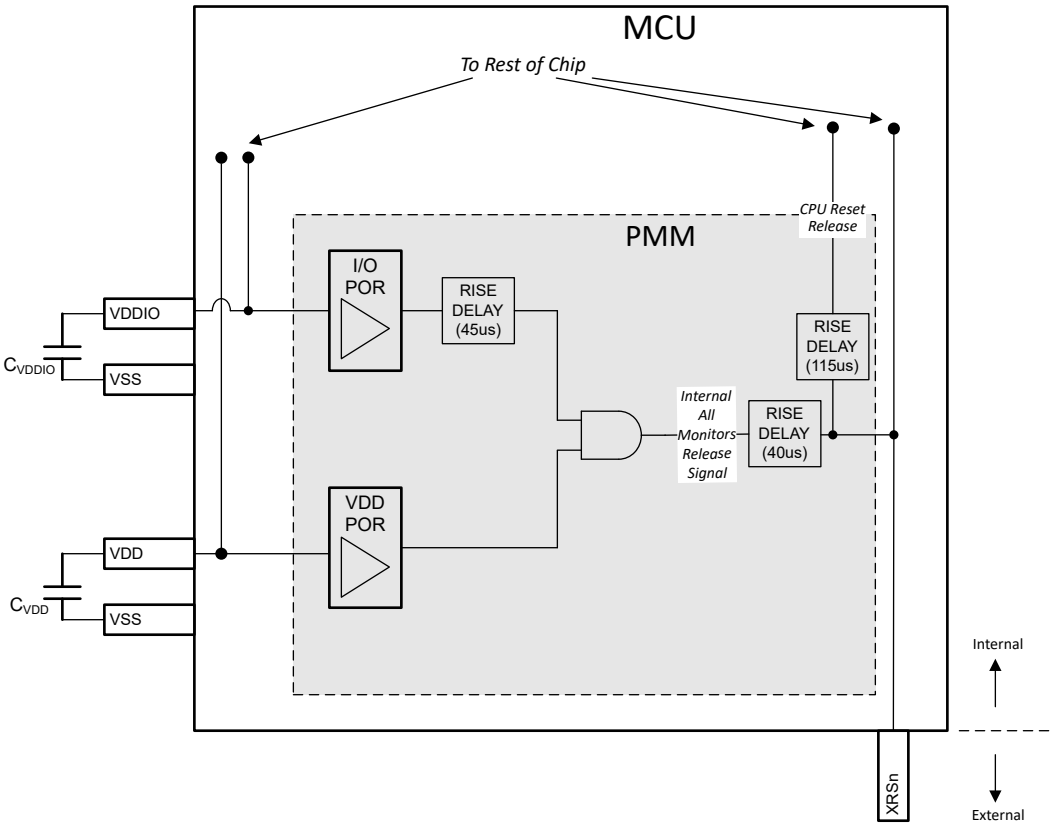


图 7-4. PMM 方框图

7.10.1.2.1 电源轨监视器

PMM 在 VDDIO 和 VDD 电源轨上有电压监视器，一旦电源电压在上电期间超过设定的阈值，XRSn 信号便会释放为高电平。该器件上的 PMM 的作用是确保 IO 引脚在上电期间无毛刺脉冲，并且 XRSn 在此期间保持低电平有效。如果达到最小上升压摆率，则将保持 XRSn，直到器件具有符合器件电气规格的适当电压电平。

然而，PMM 的检测限值低于器件的最小运行范围。如果不满足上升压摆率，则在电源轨处于规格范围内之前，XRSn 将被释放。同样，如果任一电压线路上出现压降，PMM 可能不会检测到超出范围事件，具体取决于电源电压稳定在什么位置。因此，对于这些情况，需要一个外部电压监控器来监控器件电压轨并释放器件的复位。

在 PMM 释放 XRSn 引脚上的驱动（低电平有效、开漏输入）之前，两个电压监控器（I/O POR、VDD POR）必须检测到它们的输入电压电平是否大于各自的释放阈值。如果任一电源引脚上的电压低于释放点，XRSn 将由器件驱动为低电平。当任何电压监视器跳闸时，I/O 保持在高阻抗状态。

7.10.1.2.2 I/O POR（上电复位）监视器

I/O POR 监视器会监控 VDDIO 电源轨。在上电期间，一旦电压超过 VDDIO 上编程的跳闸电平，该监视器就会释放（即解除跳闸）。

备注

I/O POR 编程为低于 VDDIO 最小建议电压的水平，因此，不应该依赖 I/O POR 仅进行 VDDIO 监控。建议使用外部监控器来精确监控 VDDIO 总线电压。

7.10.1.2.3 VDD POR（上电复位）监视器

VDD POR 监视器可监控 VDD 电源轨。在上电期间，一旦电压超过 VDD 上编程的跳闸电平，该监视器就会释放（即解除跳闸）。

备注

VDD POR 编程为低于 VDD 最小建议电压的水平，因此，不应该依赖 VDD POR 仅进行 VDD 监控。建议使用外部监控器来精确监控 VDD 电源轨。

7.10.1.2.4 外部监控器使用情况

VDDIO 监控：需要一个外部监控器来监控 VDDIO 电源轨的是否在规格内运行。内部 I/O POR 用于防止 GPIO 在上电期间出现毛刺脉冲，并在这段时间内将 XRSn 保持在低电平有效。

VDD 监控：需要一个外部监控器来监控 VDD 电源轨的是否在规格内运行。内部 VDD POR 用于防止 GPIO 在上电期间出现毛刺脉冲，并在这段时间内将 XRSn 保持在低电平有效。

7.10.1.2.5 延迟块

电压监控器路径中的延迟块协同工作，以延迟电压监控器和 XRSn 之间的释放时间。这些延迟可确保在 VDDIO 和 VDD 电源轨斜升时电压保持稳定。延迟块仅在上电期间（即，当 VDDIO 和 VDD 斜升时）有效。

延迟块有助于实现电源管理模块电气数据和时序中所指定的电源轨最小压摆率。

备注

方框图中指定的延迟数字是典型值。

Copyright © 2023 Texas Instruments Incorporated

7.10.1.3 外部元件

7.10.1.3.1 去耦电容器

VDDIO 和 VDD 需要去耦电容器才能正常运行。后续章节将概述这些要求。

7.10.1.3.2 VDDIO 去耦

应在 VDDIO 上放置最小的去耦电容值。请参阅 C_{VDDIO} 参数（位于电源管理模块电气数据和时序中）。实际使用的去耦电容值取决于驱动 VDDIO 的电源。可接受以下任一配置：

- **配置 1：**根据 C_{VDDIO} 参数在每个 VDDIO 引脚上放置一个去耦电容器。
- **配置 2：**安装等效于 C_{VDDIO} * VDDIO 引脚的单个去耦电容器。

备注

将去耦电容器（一个或多个）靠近电源引脚放置至关重要。

7.10.1.4 电源时序

7.10.1.4.1 电源引脚联动

强烈建议将所有 3.3V 电源轨连接在一起并由单个电源供电。该列表包括：

- VDDIO
- VDDA
- VDD3VFL
- VDDOSC

此外，任何电源引脚都不应悬空。

VDD 引脚应连接在一起并由单个电源供电。

器件上的模拟模块具有相当高的 PSRR；因此，在大多数情况下，VDDA 上的噪声必须超过电源轨的建议运行条件之后，模拟模块才会出现性能下降。因此，单独为 VDDA 供电带来的好处通常微乎其微。然而，为了改善噪声，一种可接受的做法是在 VDDIO 和 VDDA 之间放置一个 π 型滤波器。

备注

每个电源轨的所有电源引脚在内部连接在一起。例如，所有 VDDIO 引脚在内部连接在一起，所有 VDD 引脚在内部连接在一起，以此类推。

7.10.1.4.2 信号引脚电源序列

在为器件供电之前，不得对任何数字引脚施加比 VDDIO 高 0.3V 以上的电压或比 VSS 低 0.3V 以上的电压，也不得对任何模拟引脚（包括 VREFHI 和 VDAC）施加比 VDDA 高 0.3V 以上的电压或比 VSSA 低 0.3V 以上的电压。简单地说，只应在 XRSn 变为高电平后驱动信号引脚，且前提是所有 3.3V 电源轨连接在一起。即使 VDDIO 和 VDDA 未连接在一起，仍需要进行此时序控制。

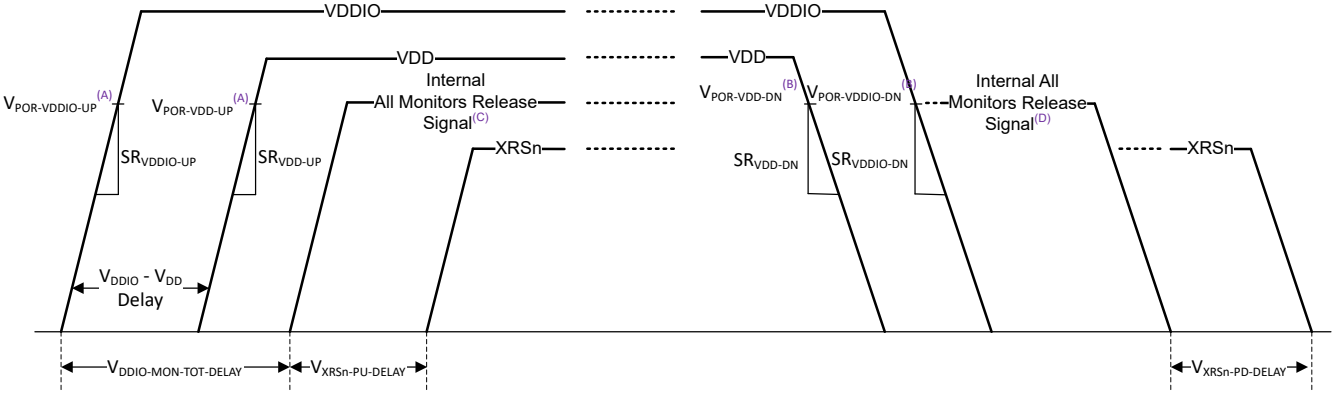
CAUTION

如果违反上述序列，则可能会发生器件故障，甚至可能造成损坏，因为电流将流经器件中的意外寄生路径。

7.10.1.4.3 电源引脚电源序列

7.10.1.4.3.1 电源序列

图 7-5 展示了器件的电源时序控制要求。所有所示参数的值均可在电源管理模块电气数据和时序中找到。



A. 该跳闸点是 XRSn 释放之前的跳闸点。请参阅“电源管理模块特性”表。
B. 该跳闸点是 XRSn 释放之后的跳闸点。请参阅“电源管理模块特性”表。
C. 上电期间，所有监视器释放信号在所有 POR 监控器释放后变为高电平。请参阅 PMM 方框图。
D. 在断电期间，如果任何 POR 监视器跳闸，所有监视器释放信号都会变为低电平。请参阅 PMM 方框图。
E. 上面显示的是 XRSn 上的内部驱动器。外部监控器可以根据需要随时将 XRSn 拉至低电平有效。

图 7-5. 上电/下电时序

- **在上电期间：**
  1. VDDIO（即 3.3V 电源轨）应首先以指定的最小压摆率出现。
  2. VDD（即 1.2V 电源轨）应其次以指定的最小压摆率出现。
  3. 还指定了 VDDIO 电源轨和 VDD 电源轨出现时间之间的时间差。
  4. 在 $V_{DDIO\text{-}MON\text{-}TOT\text{-}DELAY}$ 和 $V_{XRSN\text{-}PD\text{-}DELAY}$ 指定的时间之后，XRSn 将被释放，并且器件会启动启动序列。

     在 XRSn 释放（即变为高电平）和启动序列之间还有额外的延迟。请参阅 PMM 方框图。
  5. 在上电期间，VDDIO 和 VDD 电源轨都必须在 XRSn 释放之前启动。
- **在掉电期间：**
  1. 对 VDDIO 和 VDD 中哪个应先断电没有要求；但是，建议 VDD ≤ VDDIO。
  2. 在断电期间跳闸的任何 POR 监视器都会导致 XRSn 在 $V_{XRSN\text{-}PD\text{-}DELAY}$ 之后变为低电平。

备注

*所有监控器释放信号*是一个内部信号。

备注

如果有一个驱动 XRSn 的外部电路（例如，监控器），在所有内部和外部源释放 XRSn 引脚之前，启动序列不会开始。

Copyright © 2023 Texas Instruments Incorporated

7.10.1.4.3.2 电源时序摘要和违规影响

电源轨的可接受上电序列汇总如下。此处的“上电”表示相关电源轨已达到建议的最低工作电压。

CAUTION
不可接受的序列会导致可靠性问题并可能导致损坏。

为简单起见，建议将所有 3.3V 电源轨连接在一起，并按照电源引脚电源序列中的说明进行操作。

表 7-1. 序列摘要

情形	电源轨上电顺序			可接受
	VDDIO	VDDA	VDD	
A	1	2	3	是
B	1	3	2	是
C	2	1	3	-
D	2	3	1	-
E	3	2	1	-
F	3	1	2	-
G	1	1	2	是
H	2	2	1	-

备注
应当仅在 VDDA 达到建议的最低工作电压后才为器件上的模拟模块供电。

7.10.1.4.3.3 电源压摆率

VDDIO 和 VDD 都具有最低压摆率要求。如果不满足最低压摆率要求，器件可能会在 VDDIO 或 VDD 达到最低工作电压之前解除复位并开始引导，这可能导致器件无法正常工作。

备注
如果无法满足最低压摆率要求，必须在 VDDIO 和 VDD 上使用监控器来保持 XRSn 为低电平，直到 VDD 超过最低工作电压，以此确保器件正常工作。

7.10.1.5 电源管理模块电气数据和时序

7.10.1.5.1 电源管理模块运行条件

参数		测试条件	最小值	典型值	最大值	单位
通用						
C_{VDDIO}	每个 VDDIO/VDD3FL/VDDOSC 引脚上的电容	基于外部电源 IC 要求(1)	0.1			µF
C_{VDDA}	每个 VDDA 引脚上的电容器(5)		2.2			µF
C_{VDD} TOTAL(2)	总 VDD 电容(5)		20	22		µF
R_{VDD}TOTAL(7)	到 VSS 的总 VDD 电阻		56			Ω
$SR_{VDDIO-UP}$ (3) (6)	3.3V 电源轨 (VDDIO) 的电源斜升速率		8		100	mV/µs
$SR_{VDDIO-DN}$ (3) (6)	3.3V 电源轨 (VDDIO) 的电源斜降速率		20		100	mV/µs
SR_{VDD-UP} (3) (6)	1.2V 电源轨 (VDD) 的电源斜升速率		3.5		100	mV/µs
SR_{VDD-DN} (3) (6)	1.2V 电源轨 (VDD) 的电源斜降速率		10		100	mV/µs
V_{DDIO} - V_{DD} 延迟(4)	VDDIO 和 VDD 之间的斜坡延迟		0		无限制	µs

(1) 该电源上的大容量电容应基于电源 IC 要求。
(2) 去耦电容的确切值取决于为这些引脚供电的系统电压调节解决方案。
(3) 请参阅*电源压摆率* 一节。电源斜坡速率高于最大值会触发片上 ESD 保护。
(4) 3.3V 电源轨斜升时和 1.2V 电源轨斜升时之间的延迟。
(5) 最大电容器容差应为 20%。
(6) 如果使用外部监控器，则无需观察最小压摆率
(7) 应在 VDD 和 VSS 之间应放置一个 56Ω 电阻（容差为 10%）。该电阻提供了一个负载，以消耗 VDD 电流源的内部 VDD3VFL，并避免在低功耗器件条件下 VDD 电压上升。

7.10.1.5.2 电源管理模块特性

参数		测试条件	最小值	典型值	最大值	单位
$V_{POR-VDDIO-UP}$	斜升时的 VDDIO 上电复位电压	XRSn 释放之前		2.5		V
$V_{POR-VDDIO-DN}$	斜降时的 VDDIO 上电复位电压	XRSn 释放之后		2.7		V
$V_{POR-VDD-UP}$	斜升时的 VDD 上电复位电压	XRSn 释放之前		1		V
$V_{POR-VDD-DN}$	斜降时的 VDD 上电复位电压	XRSn 释放之后		1.047		V
$V_{XRSn-PU-DELAY}$ (1)	上电期间电源斜升后的 XRSn 释放延迟			40		µs
$V_{XRSn-PD-DELAY}$ (2)	断电期间电源斜降后的 XRSn 跳闸延迟			2		µs
$V_{DDIO-MON-TOT-DELAY}$	VDDIO 监视器 (POR) 路径中的总延迟			45		µs
$V_{XRSn-MON-RELEASE-DELAY}$	VDD POR 事件之后的 XRSn 释放延迟	电源处于工作范围内		40		µs
	VDDIO POR 事件之后的 XRSn 释放延迟			85		µs

(1) 电源在越过相应电源轨的最低建议运行条件后被视为完全斜升。在该延迟生效之前，需要释放所有 POR 和 BOR 监视器。RC 网络延迟将与该延迟相加。
(2) 断电时，任何跳闸的 POR 监视器都会立即使 XRSn 跳闸。该延迟是任何 POR 监视器跳闸和 XRSn 变为低电平之间的时间。该延迟是变量，取决于电源的斜降速率。RC 网络延迟将与该延迟相加。

7.10.2 复位时序

XRSn 是器件复位引脚。它用作输入和漏极开路输出。该器件具有内置上电复位 (POR)。在上电期间，POR 电路会驱动 XRSn 引脚至低电平。看门狗或 NMI 看门狗复位也会驱动引脚至低电平。外部电路可能会驱动引脚使器件复位生效。

Copyright © 2023 Texas Instruments Incorporated

应在 XRSn 和 V_{DDIO} 之间放置一个值为 2.2kΩ 至 10kΩ 的电阻器。应在 XRSn 和 V_{SS} 之间放置一个电容器进行噪声滤除；电容应为 100nF 或更小。当看门狗复位生效时，这些值允许看门狗在 512 个 OSCCLK 周期内正确地将 XRSn 引脚驱动至 V_{OL}。图 7-6 显示了推荐的复位电路。

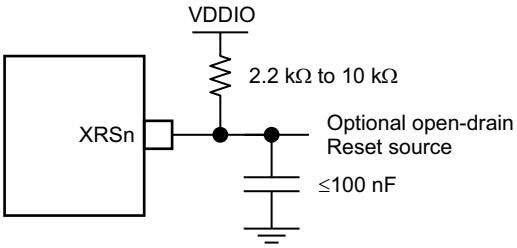


图 7-6. 复位电路

7.10.2.1 复位源

“复位信号”表总结了各种复位信号及其对器件的影响。*TMS320F2838x 实时微控制器技术参考手册* 中“连接管理器系统控制和中断”一章的“复位”部分介绍了 CM 子系统复位。

表 7-2. 复位信号

复位源	CPU1 内核复位（C28x、TMU、FPU、VCRC）	CPU1 外设复位	CPU2 内核复位（C28x、TMU、FPU、VCRC）	CPU2 和 CM 外设复位	CPU2 和 CM 保持在复位状态	JTAG/调试逻辑复位	IOs	XRSn 输出
POR	是	是	是	是	是	是	高阻态	是
XRSn 引脚	是	是	是	是	是	-	高阻态	-
CPU1.SIMRESET.XRSn	是	是	是	是	是	-	高阻态	是
CPU1.$\overline{\text{WDRS}}$	是	是	是	是	是	-	高阻态	是
CPU1.$\overline{\text{NMIWDRS}}$	是	是	是	是	是	-	高阻态	是
CPU1.$\overline{\text{SYSRS}}$（调试器复位）	是	是	是	是	是	-	高阻态	-
CPU1.SIMRESET.CPU1RSn	是	是	是	是	是	-	高阻态	-
CPU1.$\overline{\text{SCCRESET}}$	是	是	是	是	是	-	高阻态	-
CPU1.$\overline{\text{HWBISTRS}}$	是	-	-	-	-	-	-	-
CPU2.$\overline{\text{SYSRS}}$（调试器复位）	-	-	是	是	-	-	-	-
CPU2.$\overline{\text{WDRS}}$	-	-	是	是	-	-	-	-
CPU2.$\overline{\text{NMIWDRS}}$	-	-	是	是	-	-	-	-
CPU2.$\overline{\text{SCCRESET}}$	-	-	是	是	-	-	-	-
CPU2.$\overline{\text{HWBISTRS}}$	-	-	是	-	-	-	-	-
ECAT_RESET_OUT	是	是	是	是	是	-	高阻态	是
TRSTn	-	-	-	-	-	是	-	-

参数 $t_{h(boot\text{-}mode)}$ 必须考虑从这些来源启动的复位。

CAUTION

有些复位源由器件内部驱动。其中一些来源会将 XRSn 驱动至低电平。借此可禁用驱动引导引脚的任何其他器件。$\overline{\text{SCCRESET}}$ 和调试器复位源不会驱动 XRSn；因此，用于引导模式的引脚不应由系统中的其他器件主动驱动。引导配置允许更改 OTP 中的引导引脚；更多详细信息，请参阅 *TMS320F2838x 实时微控制器技术参考手册*。

Copyright © 2023 Texas Instruments Incorporated

7.10.2.2 复位电气数据和时序

节 7.10.2.2.1 列出了复位 (XRSn) 时序要求。节 7.10.2.2.2 列出了复位 (XRSn) 开关特性。图 7-7 显示了上电复位。图 7-8 显示了热复位。

7.10.2.2.1 复位 (XRSn) 时序要求

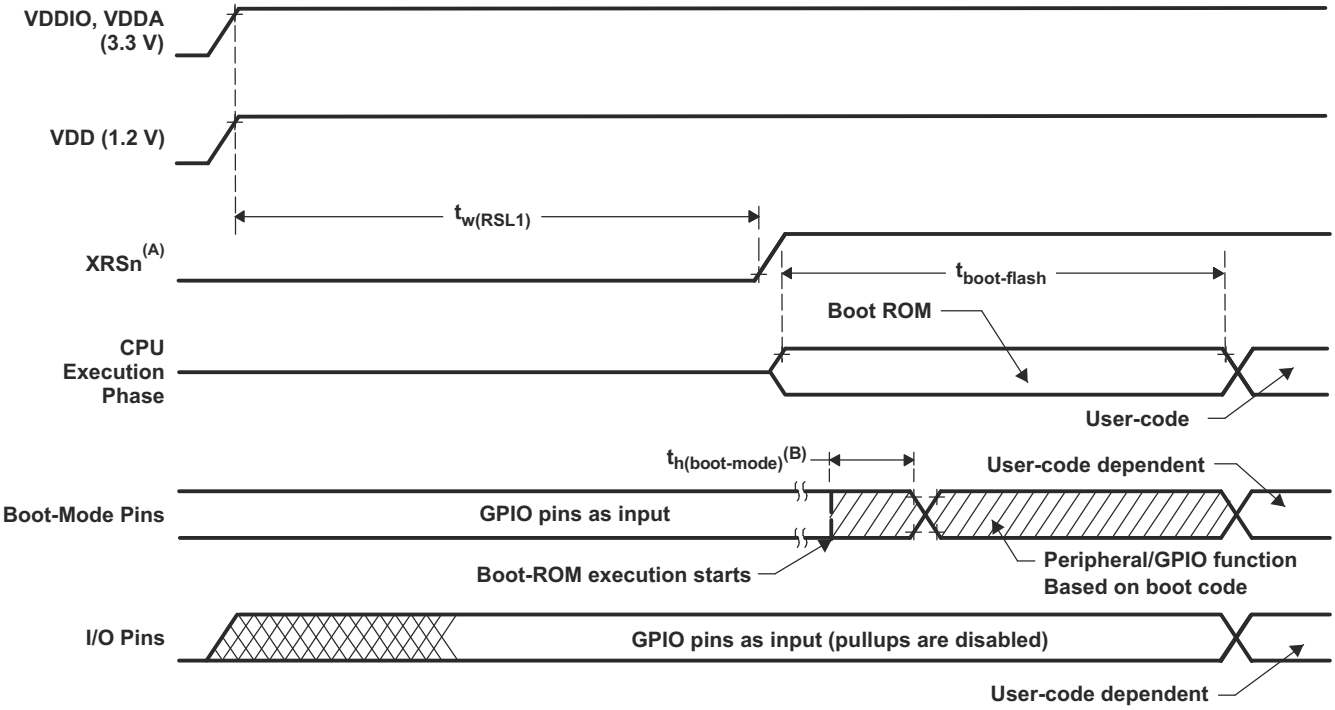
		最小值	最大值	单位
$t_{h\ (引导模式)}$	引导模式引脚的保持时间	1.5		ms
$t_{w(RSL2)}$	脉冲持续时间，热复位时 XRSn 处于低电平	3.2		µs

7.10.2.2.2 复位 (XRSn) 开关特性

在建议运行条件下测得（除非另有说明）

参数		最小值	典型值	最大值	单位
$t_{w(RSL1)}$	脉冲持续时间，XRSn 在电源稳定后由器件驱动为低电平		100		µs
$t_{w(WDRS)}$	脉冲持续时间，由看门狗生成的复位脉冲		$512t_{c(OSCCLK)}$		周期
$t_{boot\text{-}flash}$	在闪存中第一次取指令之前的引导 ROM 执行时间			1.2	ms

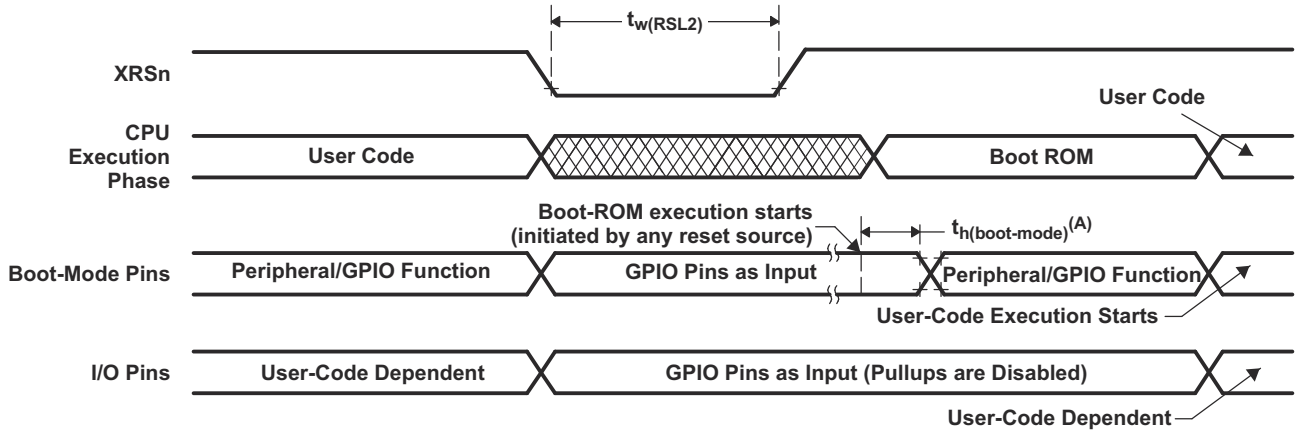
7.10.2.2.3 复位时序图



A. XRSn 引脚可以由监控器或外部上拉电阻从外部驱动，请参阅“引脚属性”表。

B. 从任何源复位后（参阅节 7.10.2.1），引导 ROM 代码将对引导模式引脚进行采样。基于引导模式引脚的状态，引导代码分支到目的内存或者引导代码功能。如果引导 ROM 代码在上电条件后（在调试程序环境中）执行，则引导代码执行时间基于当前的 SYSCLK 速度。SYSCLK 将基于用户环境，可以启用或不启用 PLL 。

图 7-7. 上电复位



A. 从任何源复位后（参阅节 7.10.2.1），引导 ROM 代码将对引导模式引脚进行采样。基于引导模式引脚的状态，引导代码分支到目的内存或者引导代码功能。如果引导 ROM 代码在上电条件后（在调试程序环境中）执行，则引导代码执行时间基于当前的 SYSCLK 速度。SYSCLK 将基于用户环境，可以启用或不启用 PLL 。

图 7-8. 热复位

Copyright © 2023 Texas Instruments Incorporated

7.10.3 时钟规格

7.10.3.1 时钟源

表 7-3 列出了四种可能的时钟源。图 7-9 展示了器件时钟系统的概览。

表 7-3. 可能的基准时钟源

时钟源	模块已计时	注释
INTOSC1	可用于为以下模块提供时钟： • 看门狗模块 • 主 PLL • CPU 计时器 2	内部振荡器 1。 零引脚开销 10MHz 内部振荡器。
INTOSC2[(1)]	可用于为以下模块提供时钟： • 主 PLL • 辅助 PLL • CPU 计时器 2	内部振荡器 2。 零引脚开销 10MHz 内部振荡器。
XTAL	可用于为以下模块提供时钟： • 主 PLL • 辅助 PLL • CPU 计时器 2	X1 和 X2 引脚之间连接的外部晶体或谐振器，或连接到 X1 引脚的单端时钟。
AUXCLKIN	可用于为以下模块提供时钟： • 辅助 PLL • CPU 计时器 2	单端 3.3V 电平时钟源。GPIO133/AUXCLKIN 引脚应用于提供输入时钟。

(1) 复位时，内部振荡器 2 (INTOSC2) 为系统 PLL (OSCCLK) 和辅助 PLL (AUXOSCCLK) 的默认时钟源。

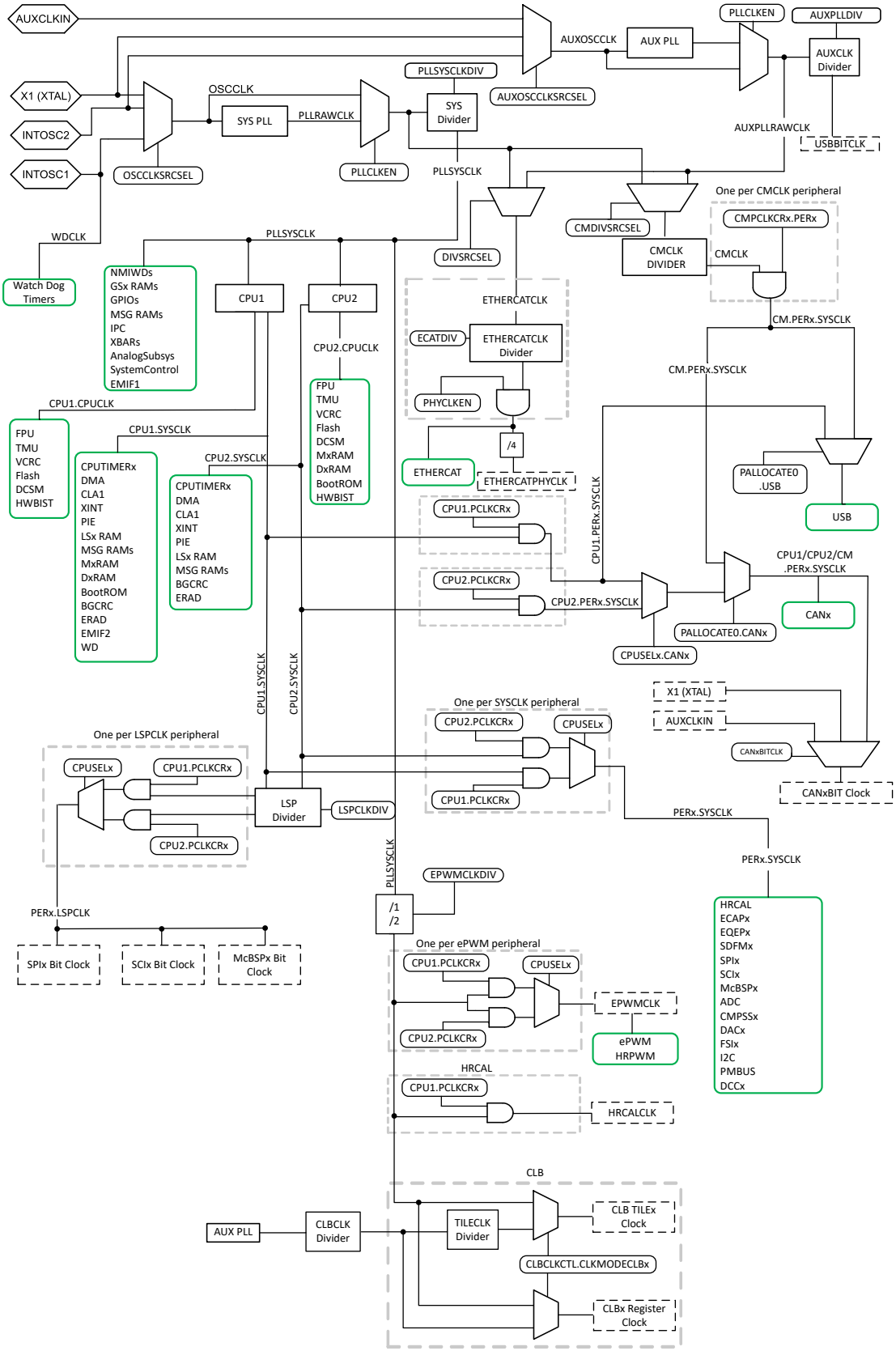


图 7-9. 时钟系统

Copyright © 2023 Texas Instruments Incorporated

SYSPLL / AUXPLL

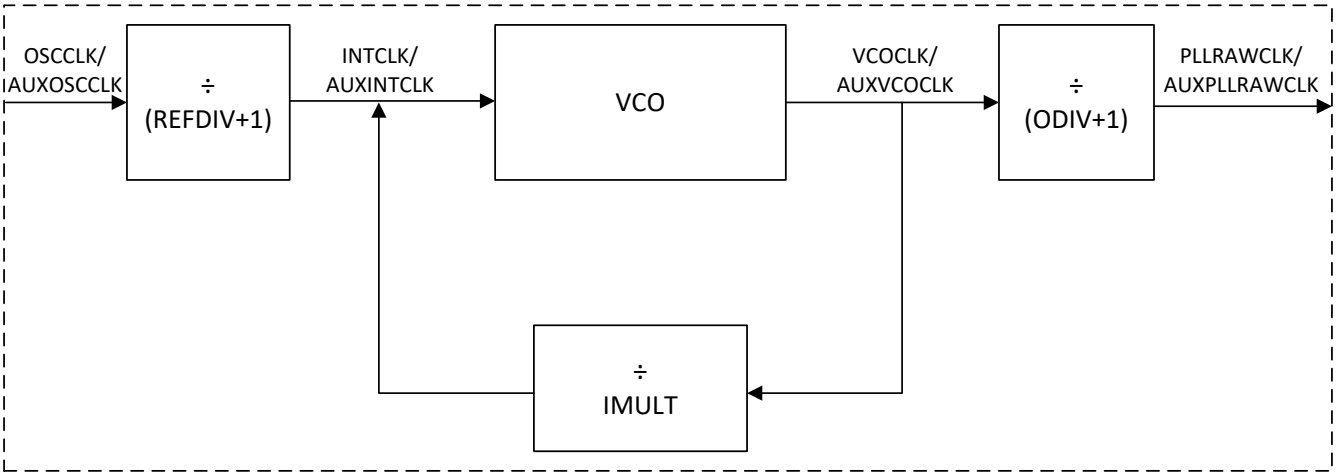


图 7-10. SYSPLL/AUXPLL

在 图 7-10 中，

$$f_{PLLRAWCLK} = \frac{f_{OSCCLK}}{(REVDIV+1)} \times \frac{IMULT}{(ODIV+1)}$$

$$f_{AUXPLLRAWCLK} = \frac{f_{AUXOSCCLK}}{(REVDIV+1)} \times \frac{IMULT}{(ODIV+1)}$$

7.10.3.2 时钟频率、要求和特性

本节提供了输入时钟的频率和时序要求、PLL 锁定时间、内部时钟的频率以及输出时钟的频率和开关特性。

7.10.3.2.1 输入时钟频率和时序要求，PLL 锁定时间

节 7.10.3.2.1.1 列出了输入时钟的频率要求。节 7.10.3.2.1.2 列出了 XTAL 振荡器特性。节 7.10.3.2.1.3 和节 7.10.3.2.1.4 列出了输入时钟的时序要求。节 7.10.3.2.1.5 列出了 SYSPLL 和 AUXPLL 的 PLL 锁定时间。

7.10.3.2.1.1 输入时钟频率

		最小值	最大值	单位
$f_{(XTAL)}$	频率，X1/X2，来自外部晶体或谐振器	10	20	MHz
$f_{(X1)}$	频率，X1，来自外部振荡器	10	25	MHz
$f_{(AUXI)}$	频率，AUXCLKIN，来自外部振荡器	10	60	MHz

7.10.3.2.1.2 XTAL 振荡器特性

在建议运行条件下测得（除非另有说明）

参数		最小值	典型值	最大值	单位
X1 V_{IL}	有效低电平输入电压	-0.3		0.3 * VDDIO	V
X1 V_{IH}	有效高电平输入电压	0.7 * VDDIO		VDDIO + 0.3	V

7.10.3.2.1.3 X1 时序要求

		最小值	最大值	单位
$t_{f(X1)}$	下降时间，X1		6	ns
$t_{r(X1)}$	上升时间，X1		6	ns
$t_{w(X1L)}$	脉冲持续时间，X1 低电平占 $t_{c(X1)}$ 的百分比	45%	55%	
$t_{w(X1H)}$	脉冲持续时间，X1 高电平占 $t_{c(X1)}$ 的百分比	45%	55%	

7.10.3.2.1.4 AUXCLKIN 时序要求

		最小值	最大值	单位
$t_{f(AUXI)}$	下降时间，AUXCLKIN		6	ns
$t_{r(AUXI)}$	上升时间，AUXCLKIN		6	ns
$t_{w(AUXL)}$	脉冲持续时间，AUXCLKIN 低电平占 $t_{c(XCI)}$ 的百分比	45%	55%	
$t_{w(AUXH)}$	脉冲持续时间，AUXCLKIN 高电平占 $t_{c(XCI)}$ 的百分比	45%	55%	

7.10.3.2.1.5 APLL 特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	最小值	典型值	最大值	单位
PLL 锁定时间				
SYSPLL/AUXPLL 锁定时间[(1)]			5µs + (1024 * (REFDIV + 1) * $t_{c(OSCCLK)}$)	µs

(1) 此处的 PLL 锁定时间定义了 PLL 启用（SYSPLLCTL1[PLLENA]=1 或 AUXPLLCTL1[PLLENA]=1）后 PLL 锁定所需的典型时间。此处未考虑使用双路钟比较器 (DCC) 验证 PLL 时钟的额外时间。TI 建议使用 C2000Ware 的最新示例软件来初始化 PLL。对于系统 PLL，请参阅 InitSysPll() 或 SysCtl_setClock()。对于辅助 PLL，请参阅 InitAuxPll() 或 SysCtl_setAuxClock()。

Copyright © 2023 Texas Instruments Incorporated

7.10.3.2.2 内部时钟频率

内部时钟频率 表提供了内部时钟的时钟频率。使用外部时钟源（如晶体或谐振器）时，以下频率中会考虑高达 1000ppm 的变化。

7.10.3.2.2.1 内部时钟频率

		最小值	典型值	最大值	单位
$f_{(SYSCLK)}$	频率，器件（系统）时钟	2		200	MHz
$t_{c(SYSCLK)}$	周期，器件（系统）时钟	5		500	ns
$f_{(CMCLK)}$	频率，连接管理器 (CM) 时钟	2		125	MHz
$t_{c(CMCLK)}$	周期，连接管理器 (CM) 时钟	8		500	ns
$f_{(INTCLK)}$	频率，系统 PLL 输入 VCO（在 REFDIV 之后）(1)	2		25	MHz
$f_{(VCOCLK)}$	频率，系统 PLL VCO（在 ODIV 之前）	220		600	MHz
$f_{(PLLRAWCLK)}$	频率，系统 PLL 输出（在 SYSCLK 分频器之前）	6		400	MHz
$f_{(AUXINTCLK)}$	频率，辅助 PLL 输入 VCO（在 REFDIV 之后）	2		25	MHz
$f_{(AUXVCOCLK)}$	频率，辅助 PLL VCO（在 ODIV 之前）	220		600	MHz
$f_{(AUXPLLRAWCLK)}$	频率，辅助 PLL 输出（在 AUXCLK 分频器之前）	6		400	MHz
$f_{(PLL)}$	频率，PLLSYSCLK	2		200	MHz
$f_{(PLL_LIMP)}$	频率，PLL 跛行频率(2)		45/(ODIV+1)		MHz
$f_{(AUXPLL)}$	频率，AUXPLLCLK	2		150	MHz
$f_{(AUXPLL_LIMP)}$	频率，AUXPLL 跛行频率(3)		45/(ODIV+1)		MHz
$f_{(LSP)}$	频率，LSPCLK	2		200	MHz
$t_{c(LSPCLK)}$	周期，LSPCLK	5		500	ns
$f_{(OSCCLK)}$	频率，OSCCLK（INTOSC1、INTOSC2、XTAL 或 X1）		参阅各自的时钟		MHz
$f_{(AUXOSCCLK)}$	频率，辅助 OSCCLK（INTOSC1 或 INTOSC2 或 XTAL 或 X1 或 AUXCLKIN）		参阅各自的时钟		MHz
$f_{(EPWM)}$	频率，EPWMCLK			200	MHz
$f_{(HRPWM)}$	频率，HRPWMCLK	60		200	MHz
$f_{(CLBTILECLK)}$	频率，CLB 逻辑块时钟	100		150	MHz
$f_{(CLBREGCLK)}$	频率，CLK 寄存器时钟	150		200	MHz

(1) 分辨率为 +/-3% 的 INTOSC1 和 INTOSC2 可用作 PLL 的参考时钟
(2) OSCCLK 无效时的 PLL 输出频率（OSCCLK 丢失导致 PLL 变为跛行模式）
(3) AUXOSCCLK 无效时的 PLL 输出频率（AUXOSCCCLK 丢失导致 PLL 变为跛行模式）

7.10.3.2.3 输出时钟频率和开关特性

节 7.10.3.2.3.1 列出了输出时钟 XCLKOUT 的频率和开关特性。

7.10.3.2.3.1 XCLKOUT 开关特征（旁路或启用 PLL）

在建议运行条件下测得（除非另有说明）

参数(1)		最小值	最大值	单位
$t_{f(XCO)}$	下降时间，XCLKOUT		5	ns
$t_{r(XCO)}$	上升时间，XCLKOUT		5	ns
$t_{w(XCOL)}$	脉冲持续时间，XCLKOUT 低电平	H – 2(2)	H + 2(2)	ns
$t_{w(XCOH)}$	脉冲持续时间，XCLKOUT 高电平	H – 2(2)	H + 2(2)	ns
$f_{(XCO)}$	频率，XCLKOUT		50	MHz

(1) 假定这些参数有 40pF 的负载。
(2) $H = 0.5t_{c(XCO)}$

7.10.3.3 输入时钟

除了内部 0 引脚振荡器，还提供了多个外部时钟源选项。图 7-11 显示了将晶振、谐振器和振荡器连接到引脚 X1/X2（也称为 XTAL）和 AUXCLKIN 的推荐方法。

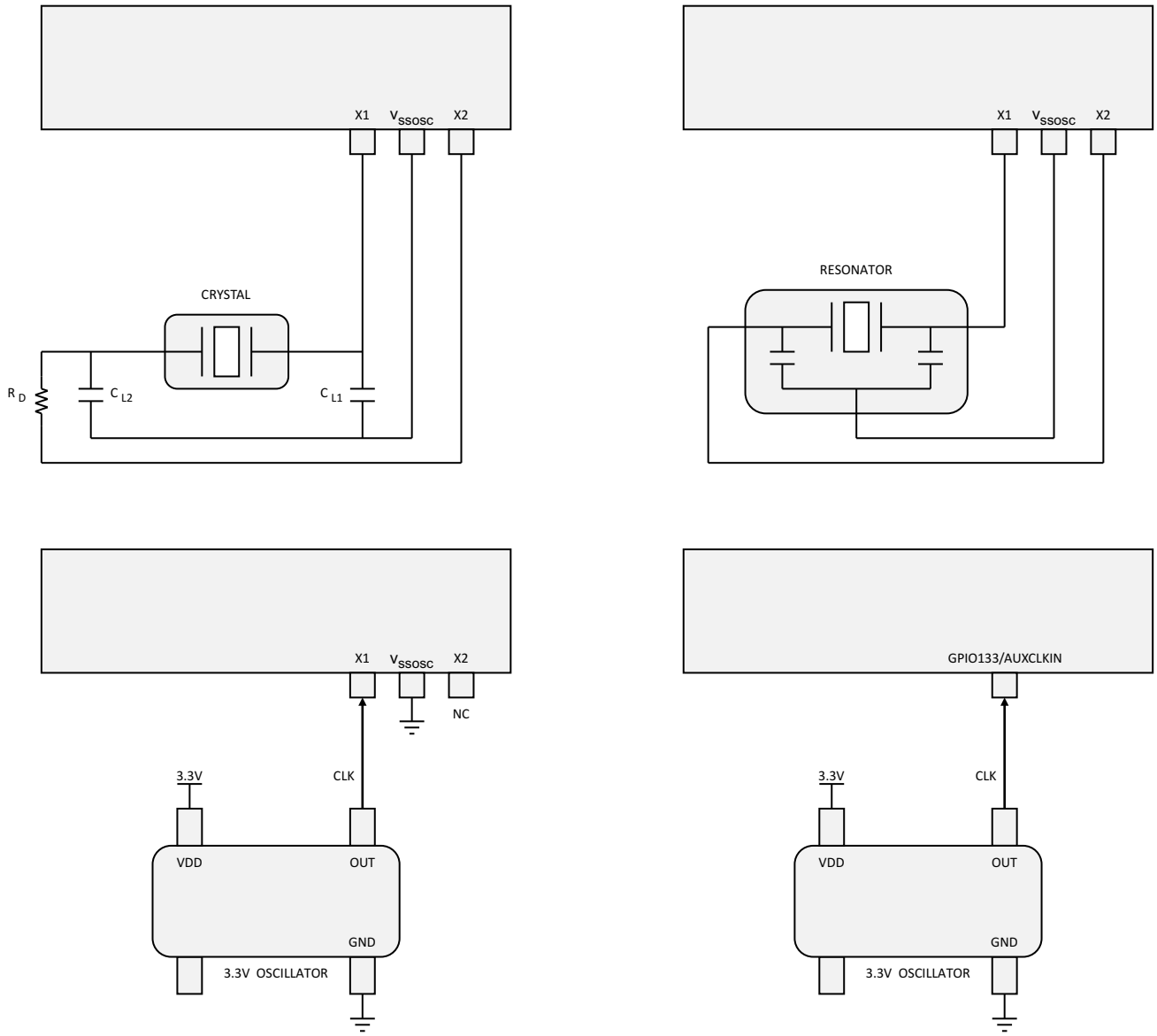


图 7-11. 将输入时钟连接到 2838x 器件

7.10.3.4 XTAL 振荡器

7.10.3.4.1 引言

该器件中的晶体振荡器是一种嵌入式电振荡器，当与兼容的石英晶体（或陶瓷谐振器）配对使用时，可生成器件所需的系统时钟。

7.10.3.4.2 概述

以下几节将介绍电振荡器和晶体的元件。

Copyright © 2023 Texas Instruments Incorporated

7.10.3.4.2.1 电子振荡器

该器件中的电子振荡器是皮尔斯振荡器。它是一个正反馈逆变器电路，需要一个调优电路才能振荡。当这个振荡器与一个兼容的晶体配对时，会形成振荡电路。该振荡电路在晶体的基频处振荡。在该器件上，由于分流电容器 (C0) 和所需的负载电容器 (CL)，振荡器被设计成在并联谐振模式下运行。图 7-12 所示为电子振荡器和振荡电路的元件。

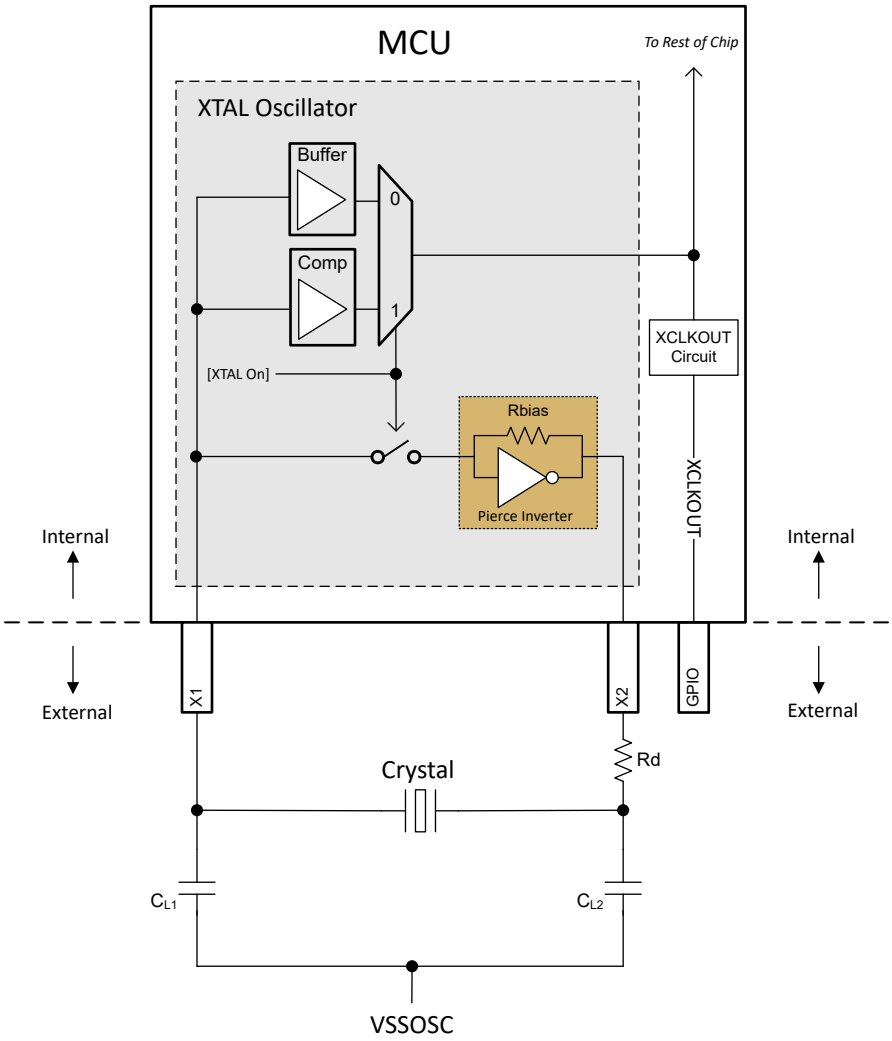


图 7-12. 电子振荡器方框图

7.10.3.4.2.1.1 运行模式

此器件中的电振荡器有两种工作模式：晶体模式和单端模式。

7.10.3.4.2.1.1.1 晶体的工作模式

在晶体工作模式下，必须将带有负载电容器的石英晶体连接到 X1 和 X2。

当 [XTAL On] = 1 时，会启用此工作模式，这是通过设置 XTALCR.OSCOFF = 0 和 XTALCR.SE = 0 来实现的。反馈环路有一个内部偏置电阻器，因此不应使用外部偏置电阻器。添加外部偏置电阻器会产生与内部 Rbias 并联的电阻，从而移动工作偏置点并可能导致波形削波、占空比超出规格以及有效负电阻降低。

在此工作模式下，X1 上的结果时钟通过比较器 (Comp) 传递到芯片的其余部分。X1 上的时钟需要满足比较器的 VIH 和 VIL。有关比较器的 VIH 和 VIL 要求，请参阅 *XTAL 振荡器特性* 表。

7.10.3.4.2.1.1.2 单端工作模式

在单端工作模式下，一个时钟信号连接至 X1，而 X2 悬空。在此模式下不应使用石英晶体。

当 [XTAL On] = 0 时会启用此模式，这可通过设置 XTALCR.OSCOFF = 1 和 XTALCR.SE = 1 来实现。

在此工作模式下，X1 上的时钟通过一个缓冲器 (Buffer) 传递到芯片的其余部分。有关缓冲器的输入要求，请参阅*使用外部时钟源（非晶体）时的 X1 输入电平特征*表。

7.10.3.4.2.1.2 XCLKOUT 上的 XTAL 输出

通过配置 CLKSRCCTL3.XCLKOUTSEL 和 XCLKOUTDIVSEL.XCLKOUTDIV 寄存器，可以将馈入芯片其余部分的电振荡器输出引出到 XCLKOUT 上以供观察。如需查看输出 XCLKOUT 的 GPIO 的列表，请参阅“GPIO 多路复用引脚”表。

7.10.3.4.2.2 石英晶体

石英晶体可以由 LCR（电感-电容-电阻）电路进行电气表示。然而，与 LCR 电路不同，晶体由于低动态电阻而具有非常高的 Q 值，并且阻尼也非常低。晶体元件如图 7-13 所示，并在下文中有相应说明。

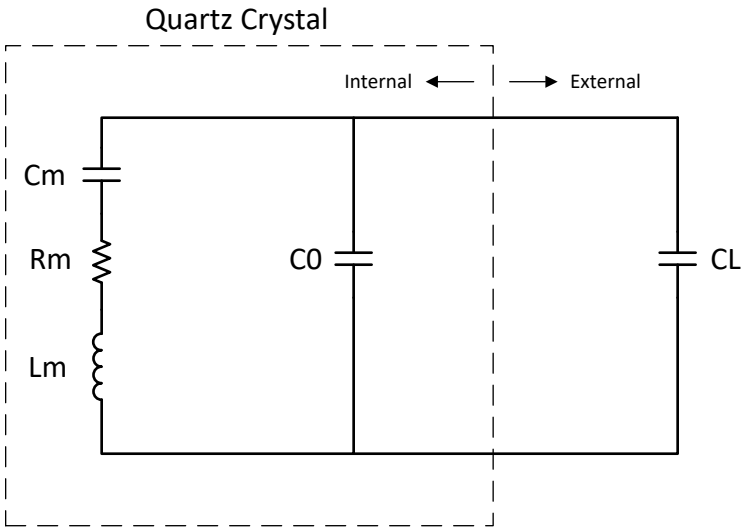


图 7-13. 晶体电气表示

Cm（动态电容）：表示晶体的弹性。

Rm（动态电阻）：表示晶体内的电阻损耗。这不是晶体的 ESR，但可以根据其他晶体元件的值进行近似计算。

Lm（动态电感）：表示晶体的振动质量。

C0（并联电容）：由两个晶体电极和杂散封装电容形成的电容。

CL（负载电容）：这是晶体在其电极处看到的有效电容。它位于晶体外部。晶体数据表中指明的频率 ppm 通常与 CL 参数相关联。

请注意，大多数晶体制造商将 CL 指定为晶体引脚上的有效电容，而一些晶体制造商将 CL 指定为仅其中一个晶体引脚上的电容。请与晶体制造商核实 CL 的指定值，以便在计算中使用正确的值。

根据图 7-12，CL1 和 CL2 是串联的；因此，要找到晶体看到的等效总电容，必须应用电容串联公式：如果 CL1 = CL2，只需计算 [CL1]/2 即可。

建议将杂散 PCB 电容与该值相加。合理的估算值为 3pF 至 5pF，但实际值将取决于相关的 PCB。

请注意，电振荡器和晶体都需要负载电容。所选的值必须同时满足电振荡器和晶振的要求。

Copyright © 2023 Texas Instruments Incorporated

CL 对晶体的影响是频率牵引。如果有效负载电容低于目标值，晶体频率将增加，反之亦然。然而，频率牵引的影响通常非常小，通常会导致与标称频率相差不到 10ppm。

7.10.3.4.2.3 GPIO 工作模式

在此器件上，X1 和 X2 分别可用作 GPIO19 和 GPIO18，具体取决于 XTAL 的工作模式。请参阅 *TMS320F2838x 实时微控制器技术参考手册* 中的“外部振荡器 (XTAL)”一节。

7.10.3.4.3 正常运行

7.10.3.4.3.1 ESR – 有效串联电阻

有效串联电阻是晶体在谐振时提供给电子振荡器的电阻负载。ESR 越高，Q 越低，晶体启动或保持振荡的可能性就越小。ESR 和晶体元件之间的关系如下所示。

$$ESR = Rm * \left(1 + \frac{C0}{CL}\right)^2 \quad (1)$$

请注意，ESR 与晶体的动态电阻不同，但如果有效负载电容远高于分流电容、则可以按此近似计算。

7.10.3.4.3.2 Rneg - 负电阻

负电阻是电振荡器向晶体呈现的阻抗。这是电振荡器为了克服振荡期间产生的损耗而必须为晶体提供的能量。Rneg 描述了一个提供而不是消耗能量的电路，也可以看作是电路的总体增益。

为确保晶体在所有条件下都能启动，普遍接受的做法是让 Rneg > 3 倍 ESR 至 5 倍 ESR。请注意，启动晶体所需的能量略大于维持振荡所需的能量；因此，如果能够确保在启动时满足负电阻要求，则维持振荡将不是问题。

图 7-14 和图 7-15 所示为该器件的负电阻与晶体元件之间的差异。从图中可以看出，晶体并联电容 (C0) 和有效负载电容 (CL) 对电振荡器的负电阻有极大影响。请注意，这些是典型图；因此，请参阅表 7-4 了解设计中需要注意的最小值和最大值。

7.10.3.4.3.3 启动时间

在选择晶体电路的元件时，启动时间是一个重要的考虑因素。如 Rneg - 负电阻一节所述，为了在所有条件下实现可靠启动，建议晶体的 Rneg > 3 倍 ESR 至 5 倍 ESR。

晶体 ESR 和阻尼电阻 (Rd) 会极大地影响启动时间。这两个值越高，晶体启动所需的时间就越长。较长的启动时间通常表明晶体和元件未正确匹配。

如需了解典型的启动时间，请参阅晶体振荡器规格。请注意，此处指定的数字是仅供参考的典型数字。实际启动时间在很大程度上取决于所涉及的晶体和外部元件。

7.10.3.4.3.3.1 X1/X2 前提条件

在该器件上，X1/X2 上的 GPIO19/18 备选功能可用于在需要时缩短晶体的启动时间。此功能是通过将负载电容器 CL1 和 CL2 预调节到 XTAL 开启前的已知状态来实现的。有关详细信息，请参阅 *TMS320F2838x 实时微控制器技术参考手册*。

7.10.3.4.3.4 DL – 驱动电平

驱动电平是指电子振荡器提供以及晶体耗散的功率。晶体制造商数据表中指定的最大驱动电平通常是晶体在不损坏或显著缩短使用寿命的情况下可以耗散的最大驱动电平。另一方面，电子振荡器指定的驱动电平是它可以提供的最大功率。电子振荡器提供的实际功率不一定是最大功率，具体取决于晶体和电路板元件。

如果电子振荡器的实际驱动电平超过晶体的最大驱动电平规格，则应安装阻尼电阻器 (Rd) 以限制电流并降低晶体的功率耗散。请注意，Rd 会降低电路增益；因此，应评估要使用的实际值，以确保满足启动和持续振荡的所有其他条件。

7.10.3.4.4 如何选择晶体

请参考晶体振荡器规格：

1. 选择一个晶体频率（例如，20MHz）。
2. 确认晶体的 ESR <=50Ω，符合 20MHz 的规格。
3. 确认晶体制造商的负载电容要求位于 6pF 和 12pF 之间，符合 20MHz 的规格。
   - 如前所述，CL1 和 CL2 是串联的；因此，如果 CL1 = CL2，则有效负载电容 CL = [CL1]/2。
   - 在此基础上加上电路板寄生效应会得到 CL = [CL1]/2 + 杂散电容
4. 确认晶体的最大驱动电平 >= 1mW。如果不满足此要求，则可以使用阻尼电阻 Rd。请参阅 DL - 驱动电平，了解使用 Rd 时要考虑的其他要点。

7.10.3.4.5 测试

建议用户让晶体制造商使用其电路板对晶体进行完整表征，以确保晶体始终启动并保持振荡。

下面简要概述了可执行的一些测量：

由于晶体电路对电容非常敏感，建议不要将示波器探针连接到 X1 和 X2。如果必须使用示波器探针来监测 X1/X2，则应使用电容小于 1pF 的有源探针。

<u>频率</u>

1. 在 XCLKOUT 上引出 XTAL。
2. 测量该频率作为晶体频率。

<u>负电阻</u>

1. 在 XCLKOUT 上引出 XTAL。
2. 在负载电容器之间放置一个与晶体串联的电位器。
3. 增加电位器的电阻，直到 XCLKOUT 上的时钟停止。
4. 该电阻加上晶体的实际 ESR 就是电振荡器的负电阻。

Copyright © 2023 Texas Instruments Incorporated

启动时间

1. 关闭 XTAL。
2. 在 XCLKOUT 上引出 XTAL。
3. 开启 XTAL 并测量 XCLKOUT 上的时钟保持在 45% 和 55% 占空比范围内所需的时间。

7.10.3.4.6 常见问题和调试提示

晶体无法启动

- 浏览如何选择晶体部分，确保没有违规。

晶体需要很长时间才能启动

- 如果安装了阻尼电阻 Rd，则其过高。
- 如果未安装阻尼电阻，则晶体 ESR 过高或由于高负载电容而导致总电路增益过低。

7.10.3.4.7 晶体振荡器规格

7.10.3.4.7.1 晶体振荡器电气特性

在建议运行条件下 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
启动时间(1)	f = 10MHz	ESR 最大值 = 110 Ω CL1 = CL2 = 24pF C0 = 7pF		4		ms
	f = 20 MHz	ESR 最大值 = 50 Ω CL1 = CL2 = 24pF C0 = 7pF		2		ms
晶振驱动电平 (DL)					1	mW

(1) 启动时间取决于晶体和振荡电路元件。TI 建议晶体供应商使用所选晶体来表征应用。

7.10.3.4.7.2 晶振等效串联电阻 (ESR) 要求

对于晶振等效串联电阻 (ESR) 需求表：

1. 晶振并联电容 (C0) 应小于或等于 7pF。
2. ESR = 负电阻/3

表 7-4. 晶振等效串联电阻 (ESR) 要求

晶体频率 (MHz)	最大 ESR (Ω) (CL1 = CL2 = 12pF)	最大 ESR (Ω) (CL1 = CL2 = 24pF)
10	55	110
12	50	95
14	50	90
16	45	75
18	45	65
20	45	50

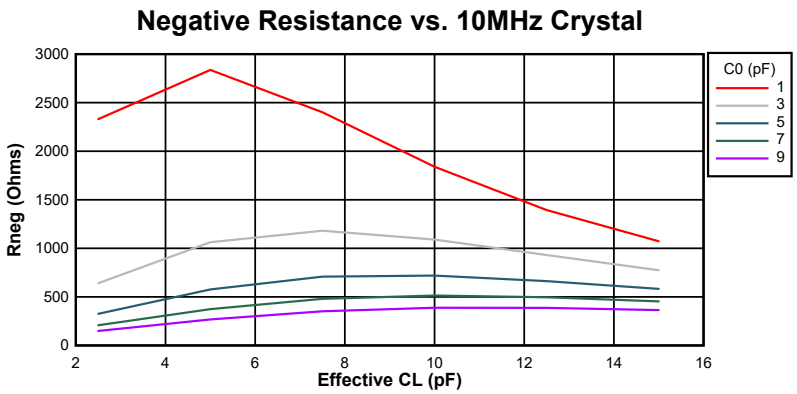


图 7-14. 10MHz 时的负电阻变化

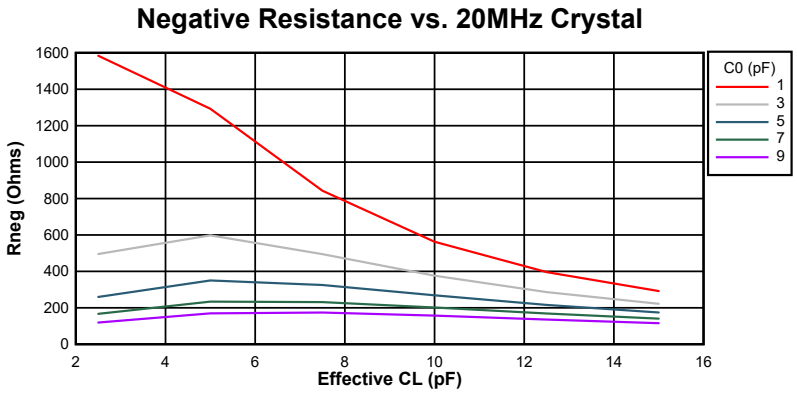


图 7-15. 20MHz 时的负电阻变化

7.10.3.4.7.3 晶体振荡器参数

		最小值	最大值	单位
CL1、CL2	负载电容	12	24	pF
C0	晶振并联电容		7	pF

7.10.3.4.7.4 晶体振荡器电气特性

在建议运行条件下（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
启动时间(1)	f = 10MHz	ESR 最大值 = 110 Ω CL1 = CL2 = 24pF C0 = 7pF		4		ms
	f = 20 MHz	ESR 最大值 = 50 Ω CL1 = CL2 = 24pF C0 = 7pF		2		ms
晶振驱动电平 (DL)					1	mW

(1) 启动时间取决于晶体和振荡电路元件。TI 建议晶体供应商使用所选晶体来表征应用。

Copyright © 2023 Texas Instruments Incorporated

7.10.3.5 内部振荡器

所有 F2838x 器件都包含两个独立的内部振荡器，称为 INTOSC1 和 INTOSC2。默认情况下，两个振荡器都在上电时启用。INTOSC2 设置为系统参考时钟 (OSCCLK) 源，INTOSC1 设置为备用时钟源。INTOSC1 也可以手动配置为系统参考时钟 (OSCCLK)。

节 7.10.3.5.1 提供了内部振荡器的电气特性以确定该模块是否符合应用的计时要求。

备注

如果 PLLSYSCLK 配置为频率高于 194MHz，则该振荡器无法用作 PLL 源。

7.10.3.5.1 INTOSC 特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
f_{INTOSC}	频率，INTOSC1 和 INTOSC2		9.7	10	10.3	MHz
$f_{INTOSC-STABILITY}$	室温下的频率稳定性	30°C，标称 VDD		±0.1		%
	VDD 上的频率稳定性	30°C		±0.2		%
$t_{INT0SC-ST}$	启动和趋稳时间				20	µs

7.10.4 闪存参数

片上闪存与 CPU 紧密集成，允许通过 128 位宽的预取读取和流水线缓冲器直接从闪存执行代码。序列代码的闪存性能等同于从 RAM 中执行。考虑到不连续性，相对于从 RAM 中执行的代码，大多数应用的运行效率约为 80%。

该器件还具有用于双代码安全模块 (DCSM) 的一次性可编程 (OTP) 扇区，该扇区在编程后无法擦除。

表 7-5 列出了不同频率下所需的最低闪存等待状态。“闪存参数”表列出了闪存参数。

表 7-5. 闪存等待状态

CPUCLK (MHz)		最低等待状态[1]
外部振荡器或晶体	INTOSC1 或 INTOSC2	
150 < CPUCLK ≤ 200	145 < CPUCLK ≤ 194	3
100 < CPUCLK ≤ 150	97 < CPUCLK ≤ 145	2
50 < CPUCLK ≤ 100	48 < CPUCLK ≤ 97	1
CPUCLK ≤ 50	CPUCLK ≤ 48	0

(1) 所需的最小 FRDCNTL[RWAIT]。

7.10.4.1 闪存参数

参数		最小值	典型值	最大值	单位
编程时间[1]	128 数据位 + 16 ECC 位		40	300	μs
	8KW 扇区		90	180	ms
编程时间[1]	32KW 扇区		360	720	ms
EraseTime[2]（< 25 个周期）	8kW 或 32KW 扇区		30	55	ms
EraseTime[2]（1000 个周期）	8kW 或 32KW 扇区		40	350	ms
EraseTime[2]（2000 个周期）	8kW 或 32KW 扇区		50	600	ms
EraseTime[2]（20K 个周期）	8kW 或 32KW 扇区		110	4000	ms
每个扇区的 N_{wec} 写入/擦除周期				20000	周期
整个闪存（整合所有扇区）的 N_{wec} 写入/擦除周期 [3]				100000	周期
$t_{retention}$ 数据保持持续时间 (T_J = 85ºC)		20			年
$t_{retention}$ 数据保持持续时间（T_J = 125ºC）[4]		10			年

(1) 编程时间是最大器件频率下的值。编程时间包括闪存状态机的开销，但不包括将以下内容传输到 RAM 的时间：
- 使用闪存 API 对闪存进行编程的代码
- 闪存 API 本身
- 要编程的闪存数据

换言之，此表中显示的时间是指器件 RAM 中的所有必需代码/数据都变为可用状态并准备好进行编程之后的相应时间。所用仿真器的速度对传输时间有显著影响。
编程时间的计算以在指定的工作频率下一次编程 144 位为基础。编程时间包含 CPU 对编程的验证。写入/擦除 (W/E) 循环不会缩短编程时间，但会缩短擦除时间。
擦除时间包括由 CPU 对编程的验证，不涉及任何数据传输。

(2) 擦除时间包含 CPU 对擦除的验证。

(3) 每个扇区本身只能被擦除/编程 20,000 次。如果选择使用 EEPROM 等一个或多个扇区，则可以仅对这些扇区（仍然限制为 20,000 个周期）进行擦除/编程，而无需对整个闪存进行擦除/编程。因此，从器件的角度来看，W/E 周期的总数可能超过 20,000 个周期。但是，这个数字最多不应超过 100,000 个周期。

(4) 有关在 105°C 以上温度运行的降额信息，请参阅*计算嵌入式处理器的有效使用寿命*。

备注

主阵列闪存编程必须与 64 位地址边界对齐，并且每个 64 位字在每个写/擦除周期只能编程一次。有关更多详细信息，请参阅 *TMS320F2838x 实时 MCU 器件勘误表* 中的“闪存：最小编程字大小”公告。

Copyright © 2023 Texas Instruments Incorporated

7.10.5 RAM 规格

表 7-6. CPU1 RAM 参数

RAM 类型	尺寸	获取时间（周期数）	读取时间（周期数）	存储时间（周期数）	总线宽度	可用总线数量[(1)]	等待状态次数	突发访问
GS RAM	128KB	2	2	1	16/32	4	0	否
LS RAM	32KB	2	2	1	16/32	2	0	否
M0	2KB	2	2	1	16/32	1	0	否
M1	2KB	2	2	1	16/32	1	0	否
CLA 到 CPU 消息 RAM	256B	2	2	1	16/32	2	0	否
CPU 到 CLA 消息 RAM	256B	2	2	1	16/32	2	0	否
CLA 到 DMA 消息 RAM	256B	2	2	1	16/32	2	0	否
DMA 到 CLA 消息 RAM	256B	2	2	1	16/32	2	0	否
CM 到 CPU 消息 RAM	4KB	2	2	1	16/32	4	0	否
CPU 到 CM 消息 RAM	4KB	2	2	1	16/32	4	0	否
CPU1 到 CPU2 消息 RAM	4KB	2	2	1	16/32	4	0	否
CPU2 到 CPU1 消息 RAM	4KB	2	2	1	16/32	4	0	否
DX RAM	8KB	2	2	1	16/32	1	0	否

(1) “可用总线数”表示有多少主器件（CLA、DMA、CPU）可以访问此存储器。

表 7-7. CPU2 RAM 参数

RAM 类型	尺寸	获取时间（周期数）	读取时间（周期数）	存储时间（周期数）	总线宽度	可用总线数量[(1)]	等待状态次数	突发访问
GS RAM	128KB	2	2	1	16/32	4	0	否
LS RAM	32KB	2	2	1	16/32	2	0	否
M0	2KB	2	2	1	16/32	1	0	否
M1	2KB	2	2	1	16/32	1	0	否
CLA 到 CPU 消息 RAM	256B	2	2	1	16/32	2	0	否
CPU 到 CLA 消息 RAM	256B	2	2	1	16/32	2	0	否
CLA 到 DMA 消息 RAM	256B	2	2	1	16/32	2	0	否
DMA 到 CLA 消息 RAM	256B	2	2	1	16/32	2	0	否
CM 到 CPU 消息 RAM	4KB	2	2	1	16/32	4	0	否
CPU 到 CM 消息 RAM	4KB	2	2	1	16/32	4	0	否
CPU1 到 CPU2 消息 RAM	4KB	2	2	1	16/32	4	0	否
CPU2 到 CPU1 消息 RAM	4KB	2	2	1	16/32	4	0	否
DX RAM	8KB	2	2	1	16/32	1	0	否

(1) “可用总线数”表示有多少主器件（CLA、DMA、CPU）可以访问此存储器。

7.10.6 ROM 规格

表 7-8. CPU1 ROM 参数

ROM 类型	尺寸	获取时间（周期数）	读取时间（周期数）	存储时间（周期数）	总线宽度	可用总线数量[(1)]	等待状态次数	突发访问
引导 ROM	192KB	2	2	1	16/32	1	1	否
安全 ROM	64KB	2	2	1	16/32	1	1	否
CLA 数据 ROM	8KB	2	2	1	16/32	1	0	否

(1) “可用总线数量”表示有多少主器件（CLA、DMA、CPU）可以访问此存储器。

表 7-9. CPU2 ROM 参数

ROM 类型	尺寸	获取时间（周期数）	读取时间（周期数）	存储时间（周期数）	总线宽度	可用总线数量[(1)]	等待状态次数	突发访问
引导 ROM	64KB	2	2	1	16/32	1	1	否
安全 ROM	64KB	2	2	1	16/32	1	1	否
CLA 数据 ROM	8KB	2	2	1	16/32	1	0	否

(1) “可用总线数量”表示有多少主器件（CLA、DMA、CPU）可以访问此存储器。

Copyright © 2023 Texas Instruments Incorporated

7.10.7 仿真/JTAG

JTAG 端口具有五个专用引脚：TRSTn、TMS、TDI、TDO 和 TCK。TRSTn 信号应始终通过电路板上的 2.2kΩ 下拉电阻下拉。此 MCU 不支持 14 引脚和 20 引脚仿真接头上的 EMU0 和 EMU1 信号。这些信号应始终通过一对范围为 2.2kΩ 至 4.7kΩ（取决于调试器端口的驱动强度）的板载上拉电阻器在仿真接头处上拉。通常使用 2.2kΩ 的阻值。

有关如何将 14 引脚 JTAG 接头连接到 MCU 的 JTAG 端口信号，请参阅图 7-16。图 7-17 显示了如何连接到 20 引脚接头。20 引脚 JTAG 接头终端 EMU2、EMU3 和 EMU4 未使用，应接地。

JTAG 调试探针接头的 PD（电源检测）终端应连接到电路板 3.3V 电源。接头 GND 终端应连接至电路板地。TDIS（电缆断开感应）也应连接至电路板地。JTAG 时钟应从接头 TCK 输出终端环回到接头的 RTCK 输入终端（以通过 JTAG 调试探针检测时钟连续性）。接头终端 RESETn 是 JTAG 调试探针接头的开漏输出，通过 JTAG 调试探针命令使电路板元件复位（仅通过 20 引脚接头可用）。

通常情况下，当 MCU 目标和 JTAG 接头之间的距离小于 6 英寸 (15.24cm)，并且 JTAG 链上没有其他器件时，JTAG 信号上不需要缓冲器。否则，每个信号都应被缓冲。此外，对于大多数 10MHz 下的 JTAG 调试探针操作，JTAG 信号上不需要串联电阻器。但是，如果需要高仿真速度，则应在每个 JTAG 信号上串联 22Ω 电阻。

有关硬件断点和观察点的更多信息，请参阅 CCS 中 C28x 的硬件断点和观察点。

有关 JTAG 仿真的更多信息，请参阅 *XDS 目标连接指南*。

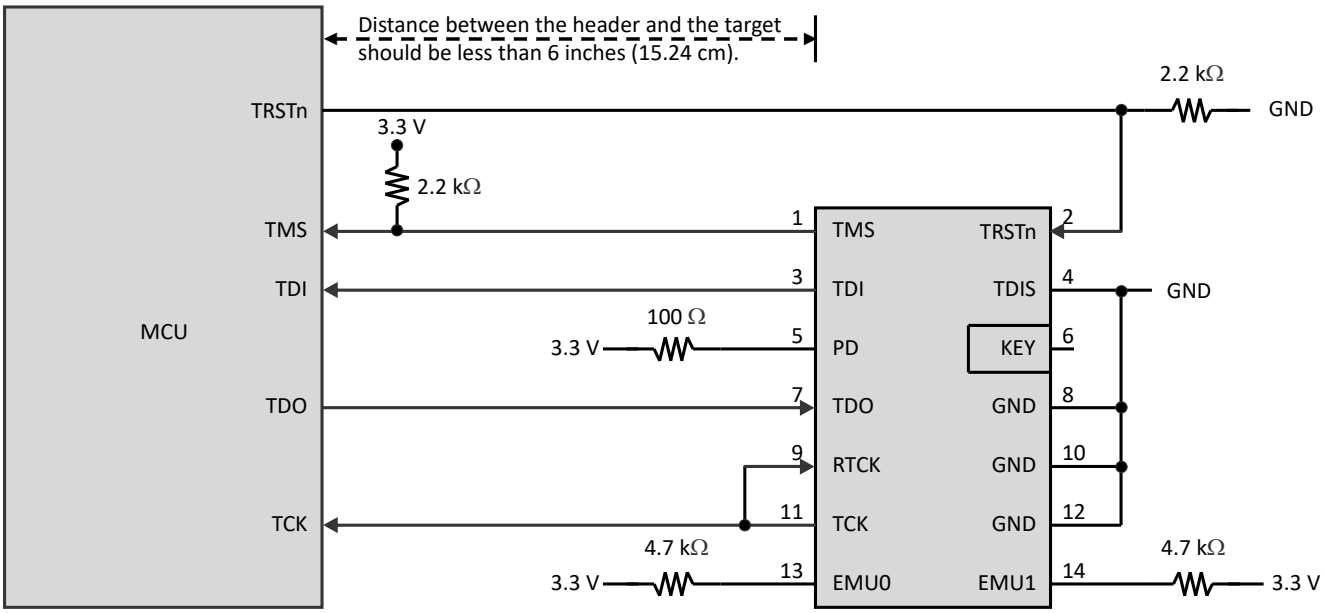


图 7-16. 连接到 14 引脚 JTAG 接头

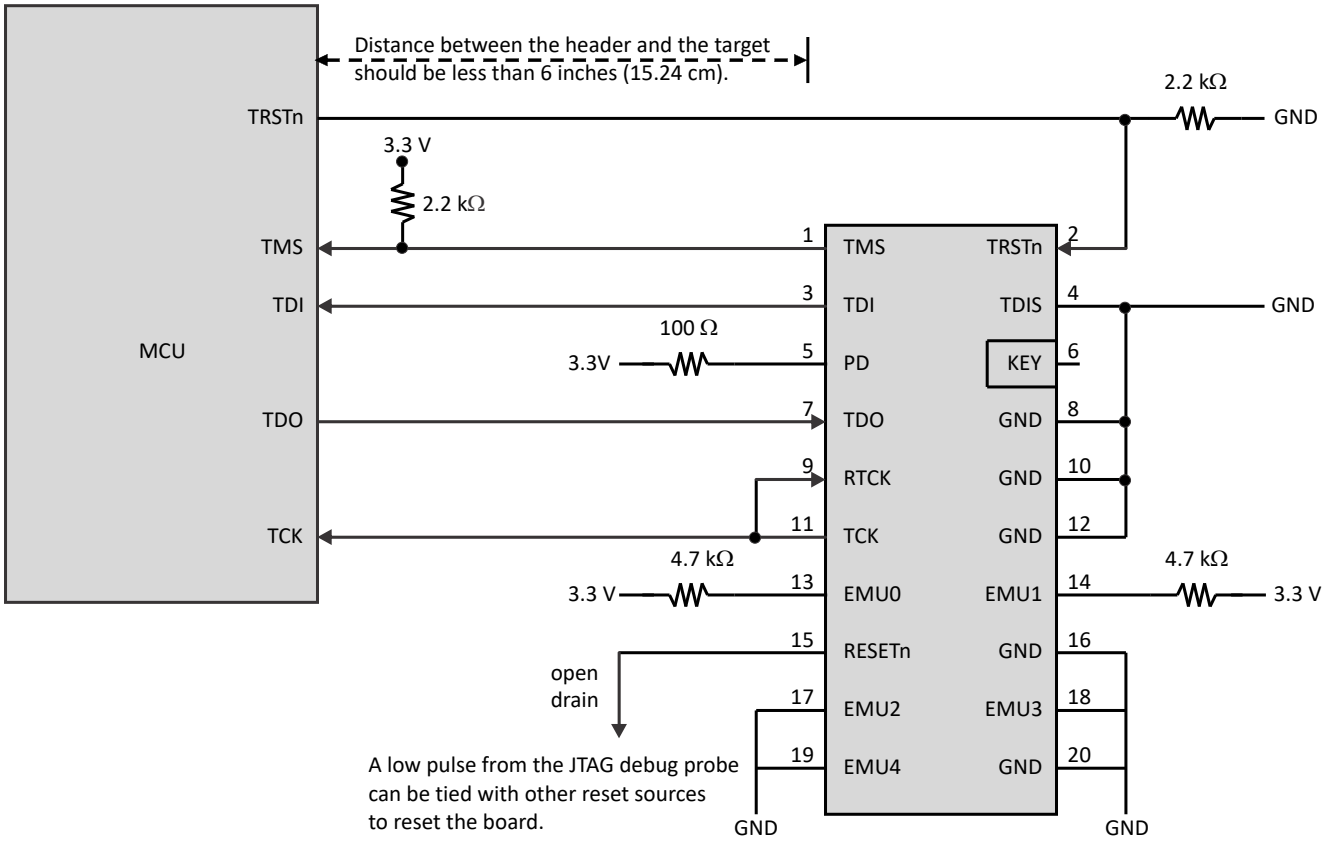


图 7-17. 连接到 20 引脚 JTAG 接头

Copyright © 2023 Texas Instruments Incorporated

7.10.7.1 JTAG 电气数据和时序

节 7.10.7.1.1 列出了 JTAG 时序要求。节 7.10.7.1.2 列出了 JTAG 开关特征。图 7-18 显示了 JTAG 时序。

7.10.7.1.1 JTAG 时序要求

编号			最小值	最大值	单位
1	$t_{c(TCK)}$	周期时间，TCK	66.66		ns
1a	$t_{w(TCKH)}$	脉冲持续时间，TCK 高电平（t_c 的 40%）	26.66		ns
1b	$t_{w(TCKL)}$	脉冲持续时间，TCK 低电平（t_c 的 40%）	26.66		ns
3	$t_{su(TDI-TCKH)}$	TDI 有效至 TCK 高电平的输入设置时间	13		ns
	$t_{su(TMS-TCKH)}$	TMS 有效至 TCK 高电平的输入设置时间	13		
4	$t_{h(TCKH-TDI)}$	从 TCK 高电平至 TDI 有效的输入保持时间	11		ns
	$t_{h(TCKH-TMS)}$	从 TCK 高电平至 TMS 有效的输入保持时间	11		

7.10.7.1.2 JTAG 开关特征

在推荐的工作条件下（除非另有说明）

编号	参数		最小值	最大值	单位
2	$t_{d(TCKL-TDO)}$	TCK 低电平到 TDO 有效的延迟时间	6	30	ns

7.10.7.1.3 JTAG 时序

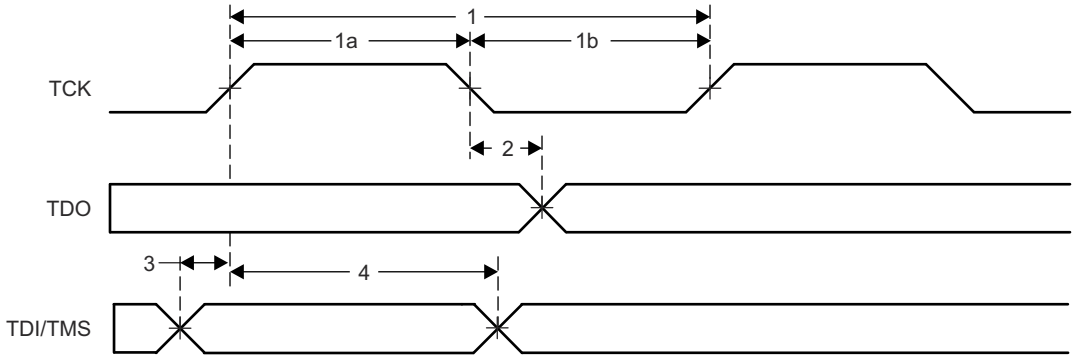


图 7-18. JTAG 时序

7.10.8 GPIO 电气数据和时序

外设信号与通用输入/输出 (GPIO) 信号多路复用。复位时，GPIO 引脚配置为输入。对于特定的输入，用户还能选择输入限定周期的数量来滤除不必要的噪声干扰。

GPIO 模块包含输出 X-BAR，其允许将各种内部信号路由到 GPIO 多路复用器位置中的 GPIO 上，并表示为 OUTPUTXBARx。GPIO 模块还包含输入 X-BAR，用于将来自任何 GPIO 输入的信号路由到不同的 IP 块，例如 ADC、eCAP、ePWM 和外部中断。更多详细信息，请参阅 *TMS320F2838x 实时微控制器技术参考手册* 中的“X-BAR”一章。

7.10.8.1 GPIO - 输出时序

节 7.10.8.1.1 列出了通用输出开关特性。图 7-19 显示了通用输出时序。

7.10.8.1.1 通用输出开关特征

在推荐的工作条件下（除非另有说明）

参数			最小值	最大值	单位
$t_{r(GPO)}$	上升时间，GPIO 从低电平切换至高电平	所有 GPIO		8[(1)]	ns
$t_{f(GPO)}$	下降时间，GPIO 从高电平切换至低电平	所有 GPIO		8[(1)]	ns
t_{fGPO}	切换频率，GPIO 引脚			50	MHz

(1) 上升时间和下降时间随负载而变化。这些值假定负载为 40pF。

7.10.8.1.2 通用输出时序

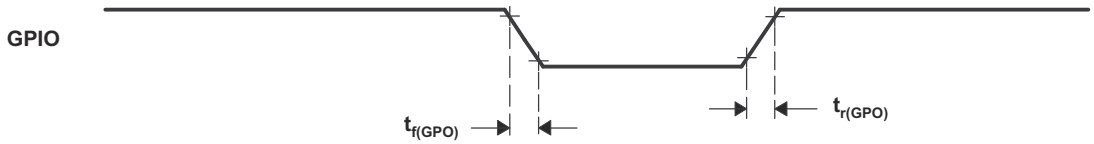


图 7-19. 通用输出时序

Copyright © 2023 Texas Instruments Incorporated

7.10.8.2 GPIO - 输入时序

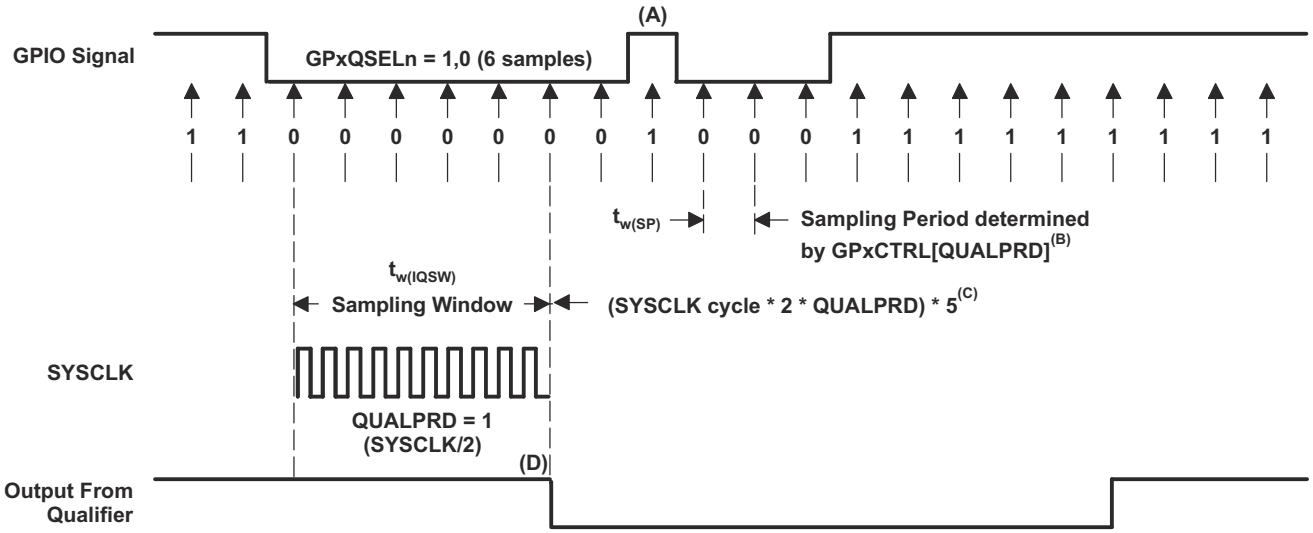
节 7.10.8.2.1 列出了通用输入时序要求。图 7-20 显示了采样模式。

7.10.8.2.1 通用输入时序要求

			最小值 最大值	单位
$t_{w(SP)}$	采样周期	QUALPRD=0	$1t_{c(SYSCLK)}$	周期
		QUALPRD≠0	$2t_{c(SYSCLK)}$*QUALPRD	周期
$t_{w(IQSW)}$	输入限定符采样窗口		$t_{w(SP)}$*(n(1)-1)	周期
$t_{w(GPI)}$ (2)	脉冲持续时间，GPIO 低电平/高电平	同步模式	$2t_{c(SYSCLK)}$	周期
		带输入限定符	$t_{w(IQSW)}$ + $t_{w(SP)}$ + $1t_{c(SYSCLK)}$	周期

(1) “n”表示由 GPxQSELn 寄存器定义的合格样片的数量。
(2) 对于 $t_{w(GPI)}$，对低电平有效信号在 V_{IL} 至 V_{IL} 之间测量脉宽，而高电平有效信号，在 V_{IH} 至 V_{IH} 之间测量脉宽。

7.10.8.2.2 采样模式



A. 输入限定符将忽略此短时脉冲波干扰。QUALPRD 位字段指定了限定采样周期。该位字段可以在 00 至 0xFF 之间变化。如果 QUALPRD=00，那么采样周期为 1 个 SYSCLK 周期。对于任何其他的“n”值，限定采样周期为 2n SYSCLK 周期（也就是说，在每 2n 个 SYSCLK 周期上，GPIO 引脚将被采样）。
B. 通过 GPxCTRL 寄存器选择的限定周期应用于 8 个 GPIO 引脚组。
C. 此限定块可取 3 个或者 6 个样片。GPxQSELn 寄存器选择使用哪种采样模式。
D. 在所示的示例中，为了使限定器检测到变化，输入应该在 10 个 SYSCLK 周期或者更长周期内保持稳定。换句话说，输入应该在 (5 x QUALPRD x 2) SYSCLK 周期内保持稳定。这将确保有 5 个采样周期用于检测。由于外部信号是异步驱动的，因此 13 SYSCLK 宽的脉冲确保了可靠的识别。

图 7-20. 采样模式

7.10.8.3 输入信号的采样窗口宽度

下述小节总结了各种输入限定符配置下的输入信号的采样窗口宽度。

采样频率表明相对于 SYSCLK 对信号进行采样的频率。

$$\text{Sampling frequency} = \text{SYSCLK}/(2 \times \text{QUALPRD}),\ \text{if QUALPRD} \neq 0 \quad (2)$$

$$\text{Sampling frequency} = \text{SYSCLK},\ \text{if QUALPRD} = 0 \quad (3)$$

$$\text{Sampling period} = \text{SYSCLK cycle} \times 2 \times \text{QUALPRD},\ \text{if QUALPRD} \neq 0 \quad (4)$$

在方程式 2、方程式 3 和方程式 4 中，SYSCLK 周期表示 SYSCLK 的时间周期。

如果 QUALPRD=0，则采样周期 = SYSCLK 周期

在给定的采样窗口中，采取输入信号的 3 个或者 6 个样片来确定信号的有效性。这是由写入到 GPxQSELn 寄存器的值确定的。

情况 1：

使用 3 个样片进行限定

如果 QUALPRD≠0，则采样窗口宽度 = (SYSCLK 周期 x 2 x QUALPRD) × 2

如果 QUALPRD=0，则采样窗口宽度 = (SYSCLK 周期) x 2

情况 2：

使用 6 个样片进行限定

如果 QUALPRD≠0，则采样窗口宽度 = (SYSCLK 周期 x 2 x QUALPRD) × 5

如果 QUALPRD=0，则采样窗口宽度 = (SYSCLK 周期) x 5

图 7-21 显示了通用输入时序。

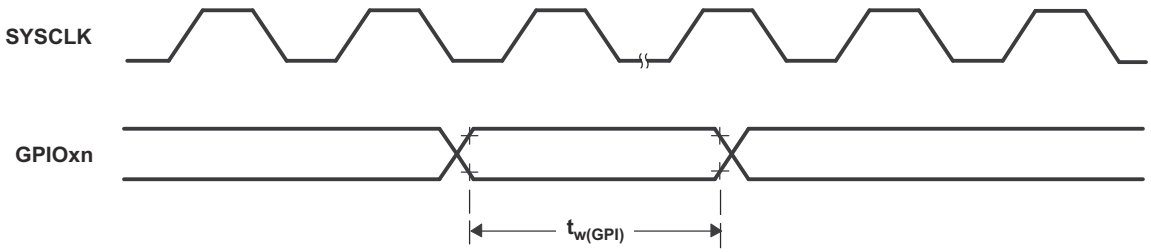


图 7-21. 通用输入时序

Copyright © 2023 Texas Instruments Incorporated

7.10.9 中断

图 7-22 提供了中断架构的高级视图。

如图 7-22 所示，器件支持五个外部中断（XINT1 到 XINT5），这些中断可以映射到任何 GPIO 引脚上。

在此器件中，16 个 ePIE 块中断分组为 1 个 CPU 中断。共 12 个 CPU 中断组，每组 16 个中断。

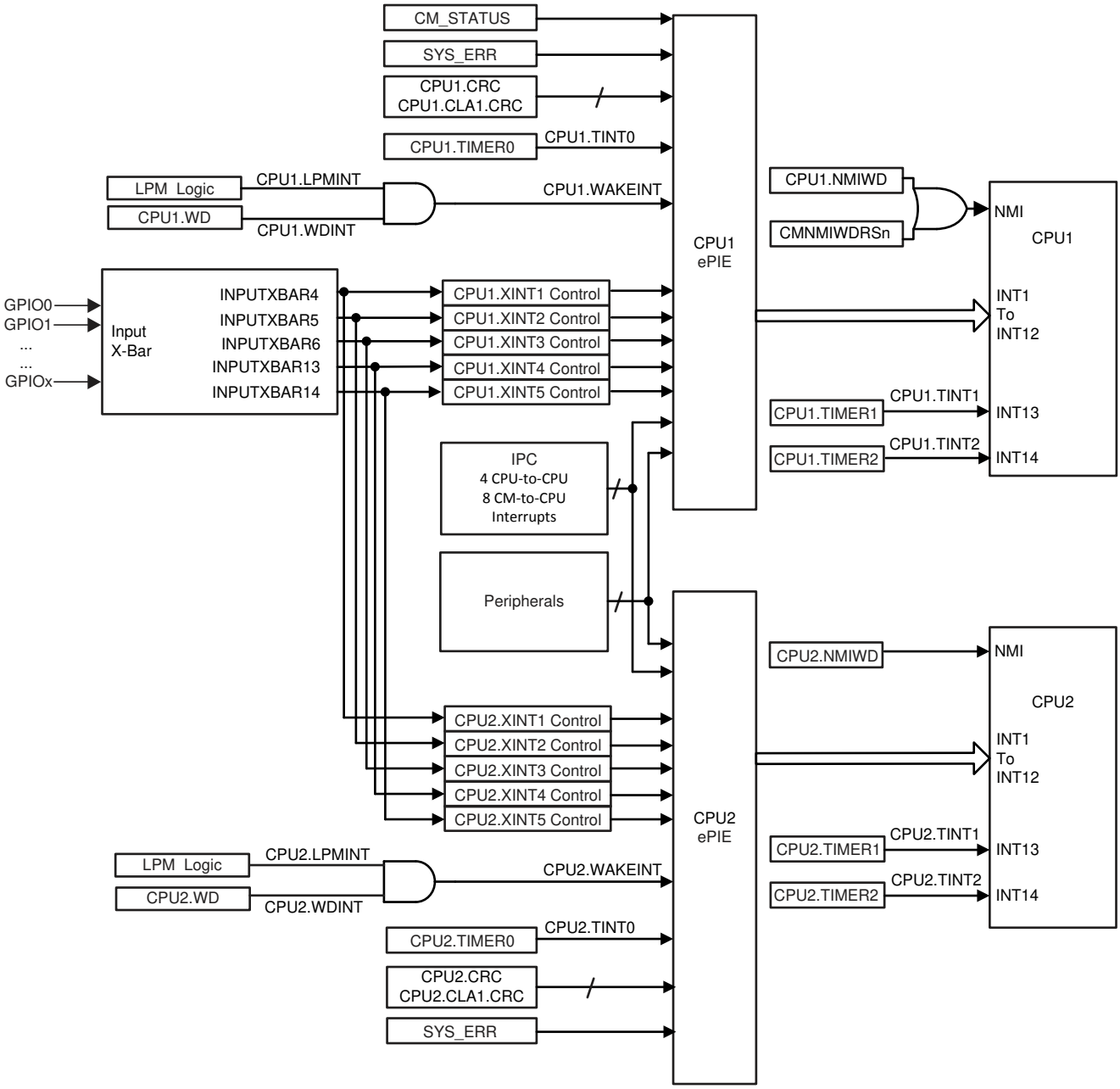


图 7-22. 外部和 ePIE 中断源

7.10.9.1 外部中断 (XINT) 电气数据和时序

节 7.10.9.1.1 列出了外部中断时序要求。节 7.10.9.1.2 列出了外部中断开关特性。图 7-23 显示了外部中断时序。有关输入限定符参数的说明，请参阅节 7.10.8.2.1。

7.10.9.1.1 外部中断时序要求

			最小值	最大值	单位
$t_{w(INT)}$	脉冲持续时间，INT 输入低电平/高电平	同步	$2t_{c(SYSCLK)}$		周期
		带限定符	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SYSCLK)}$		周期

7.10.9.1.2 外部中断开关特性

在建议运行条件下测得（除非另有说明）

参数		最小值	最大值	单位
$t_{d(INT)}$	延时时间，INT 低电平/高电平到中断矢量获取[(1)]	$t_{w(IQSW)} + 14t_{c(SYSCLK)}$	$t_{w(IQSW)} + t_{w(SP)} + 14t_{c(SYSCLK)}$	周期

(1) 这是假设 ISR 是在单周期存储器中。

7.10.9.1.3 外部中断时序

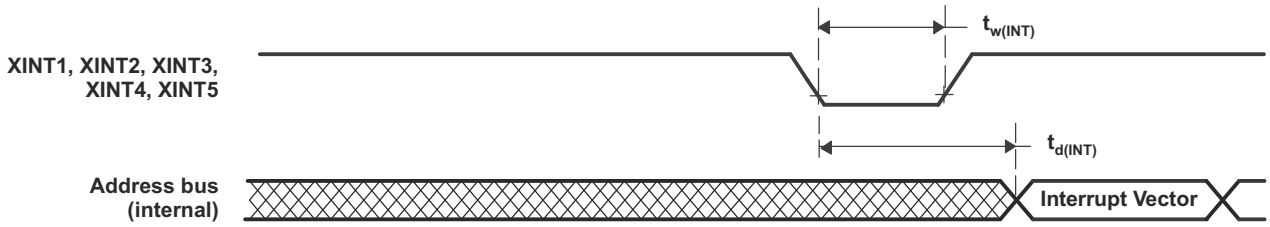


图 7-23. 外部中断时序

Copyright © 2023 Texas Instruments Incorporated

7.10.10 低功率模式

该器件有两个时钟门控低功耗模式。

更多有关所有低功耗模式的详细信息以及进入和退出过程，请参阅 *TMS320F2838x 实时微控制器技术参考手册* 的“低功耗模式”一节。

7.10.10.1 时钟门控低功耗模式

该器件上的空闲和待机模式与其他 C28x 器件上的类似。表 7-10 描述了进入任何一种时钟门控低功耗模式时对系统的影响。

表 7-10. 时钟门控低功耗模式对器件的影响

模块/时钟域	CPU1 空闲	CPU1 待机	CPU2 空闲	CPU2 待机
CPU1.CLKIN	运行	门控	不适用	不适用
CPU1.SYSCLK	运行	门控	不适用	不适用
CPU1.CPUCLK	门控	门控	不适用	不适用
CPU2.CLKIN	不适用	不适用	运行	门控
CPU2.SYSCLK	不适用	不适用	运行	门控
CPU2.CPUCLK	不适用	不适用	门控	门控
连接到 PERx.SYSCLK 的模块的时钟	运行	如果 CPUSEL.PERx = CPU1，则进行门控	运行	如果 CPUSEL.PERx = CPU2，则进行门控
CPU1.WDCLK	运行	运行	不适用	不适用
CPU2.WDCLK	不适用	不适用	运行	运行
AUXPLLCLK	运行	运行	运行	运行
PLL	供电	供电	供电	供电
INTOSC1	供电	供电	供电	供电
INTOSC2	供电	供电	供电	供电
闪存(1)	供电	供电	供电	供电
X1/X2 晶体振荡器	供电	供电	供电	供电

(1) 进入任何低功耗模式均不会自动将闪存断电。应用在进入低功耗模式之前应始终将闪存断电。

7.10.10.2 低功耗模式唤醒时序

节 7.10.10.2.1 列出了停机模式时序要求，节 7.10.10.2.2 列出了开关特性，图 7-24 所示为停机模式的时序图。有关输入限定符参数的说明，请参阅节 7.10.8.2.1。

7.10.10.2.1 空闲模式时序要求

			最小值　最大值	单位
$t_{w(WAKE)}$	脉冲持续时间，外部唤醒信号	无输入限定符	$2t_{c(SYSCLK)}$	周期
		带输入限定符	$2t_{c(SYSCLK)} + t_{w(IQSW)}$	

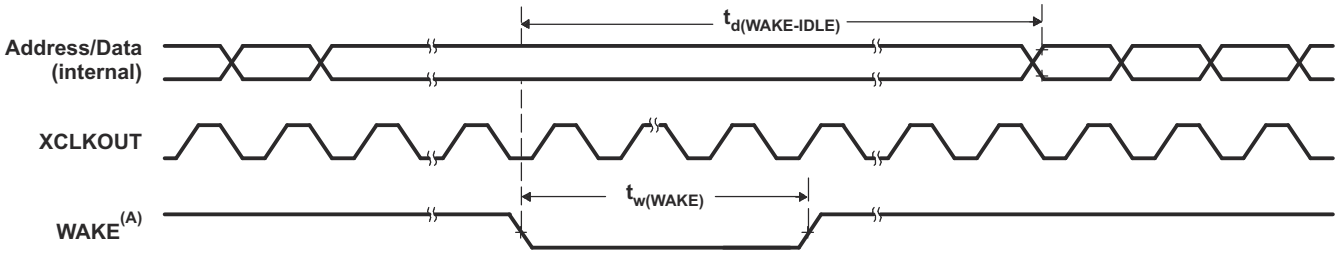
7.10.10.2.2 空闲模式开关特性

在推荐的运行条件下测得（除非另有说明）

参数			测试条件	最小值	最大值	单位
$t_{d(WAKE-IDLE)}$	延迟时间，外部唤醒信号到程序执行重新开始的时间(1)	从闪存唤醒（闪存模块处于活动状态）	无输入限定符		$40t_{c(SYSCLK)}$	周期
			带输入限定符		$40t_{c(SYSCLK)} + t_{w(WAKE)}$	周期
		从闪存唤醒（闪存模块处于睡眠状态）	无输入限定符		$6700t_{c(SYSCLK)}$ (2)	周期
			带输入限定符		$6700t_{c(SYSCLK)}$ (2) $+ t_{w(WAKE)}$	个周期
		从 RAM 唤醒	无输入限定符		$25t_{c(SYSCLK)}$	周期
			带输入限定符		$25t_{c(SYSCLK)} + t_{w(WAKE)}$	周期

(1) 这个时间是在 IDLE 指令之后立即开始指令执行的时间。ISR（由唤醒信号触发）的执行涉及额外延迟。
(2) 该值基于闪存上电时间，其是 SYSCLK 频率、闪存等待状态 (RWAIT) 和 FPAC1[PSLEEP]的函数。当 SYSCLK 为 200MHz，RWAIT 为 3 且 FPAC1[PSLEEP] 为 0x860 时，可实现该值。

7.10.10.2.3 空闲进入和退出时序图



A. WAKE 可以是任何启用的中断、$\overline{WDINT}$ 或 XRSn。IDLE 指令执行后，在唤醒信号生效前需要 5 个 OSCCLK 周期（最少）的延迟。

图 7-24. 空闲进入和退出时序图

Copyright © 2023 Texas Instruments Incorporated

节 7.10.10.2.4 列出了待机模式时序要求，节 7.10.10.2.5 列出了开关特性，图 7-25 所示为待机模式的时序图。

7.10.10.2.4 待机模式时序要求

			最小值 最大值	单位
$t_{w(WAKE-INT)}$	脉冲持续时间，外部唤醒信号	QUALSTDBY = 0 | $2t_{c(OSCCLK)}$	$3t_{c(OSCCLK)}$	周期
		QUALSTDBY > 0 | (2 + QUALSTDBY)$t_{c(OSCCLK)}$ (1)	(2 + QUALSTDBY) * $t_{c(OSCCLK)}$	

(1) QUALSTDBY 是 LPMCR 寄存器中的一个 6 位字段。

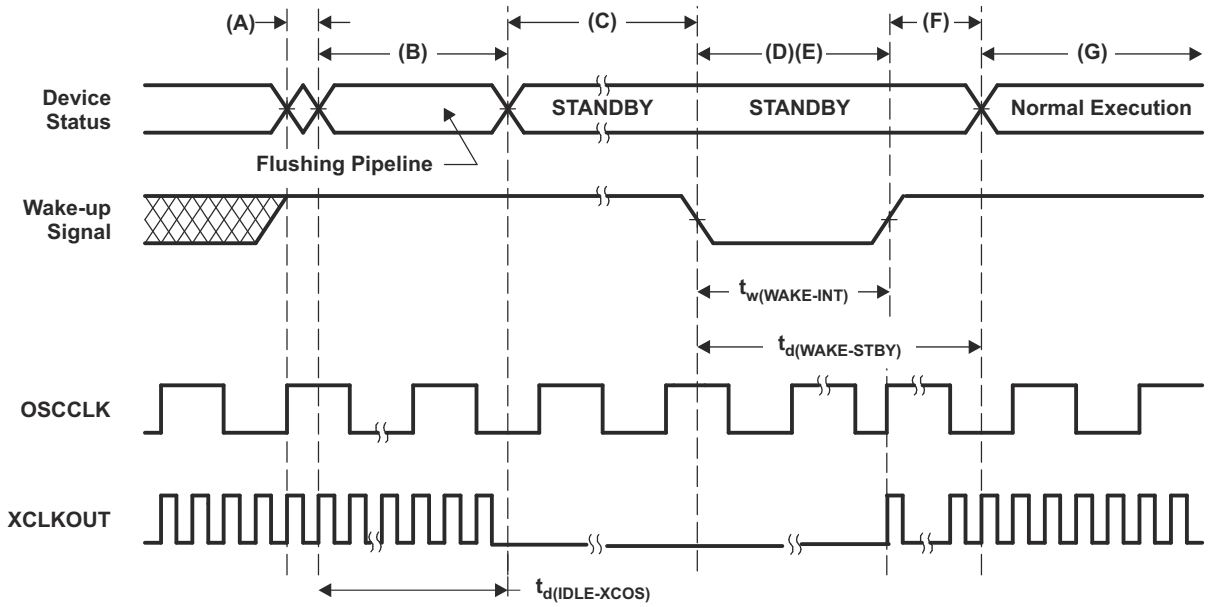
7.10.10.2.5 待机模式开关特征

在推荐的工作条件下（除非另有说明）

参数		测试条件	最小值 最大值	单位
$t_{d(IDLE-XCOS)}$	IDLE 指令被执行到 XCLKOUT 停止的延迟时间		$16t_{c(INTOSC1)}$	周期
$t_{d(WAKE-STBY)}$	延迟时间，外部唤醒信号到程序执行重新开始的时间(1)	从闪存唤醒（闪存模块处于活动状态）	$175t_{c(SYSCLK)} + t_{w(WAKE-INT)}$	周期
$t_{d(WAKE-STBY)}$		从闪存唤醒（闪存模块处于睡眠状态）	$6700t_{c(SYSCLK)}$ (2) + $t_{w(WAKE-INT)}$	周期
$t_{d(WAKE-STBY)}$		从 RAM 唤醒	$3t_{c(OSC)} + 15t_{c(SYSCLK)} + t_{w(WAKE-INT)}$	周期

(1) 这个时间是在 IDLE 指令之后立即开始指令执行的时间。ISR（由唤醒信号触发）的执行涉及额外延迟。
(2) 该值基于闪存上电时间，其是 SYSCLK 频率、闪存等待状态 (RWAIT) 和 FPAC1[PSLEEP]的函数。当 SYSCLK 为 200MHz，RWAIT 为 3 且 FPAC1[PSLEEP] 为 0x860 时，可实现该值。

7.10.10.2.6 待机模式进入和退出时序图



A. 执行空闲指令将器件置于待机模式。
B. LPM 块响应待机信号，SYSCLK 在关闭之前最多保持 16 个 INTOSC1 时钟周期。此延迟使 CPU 流水线和其他待处理的操作能够正确刷新。
C. 外设的时钟被关闭。然而，PLL 和看门狗并未关闭。此器件现在处于待机模式。IDLE 指令执行后，在唤醒信号生效前需要 5 个 OSCCLK 周期（最小值）的延迟。
D. 外部唤醒信号被驱动为有效。
E. 馈送到 GPIO 引脚的唤醒信号必须符合最小脉冲宽度要求。此外，此信号必须免受短时脉时波干扰。如果噪声信号馈送到 GPIO 引脚，器件的唤醒行为将不确定，并且对于后续的唤醒脉冲，器件可能不会退出低功耗模式。
F. 经过一个延迟周期后，退出 待机模式。
G. 正常执行重新开始。器件将响应中断（如果启用）。

图 7-25. 待机模式进入和退出时序图

Copyright © 2023 Texas Instruments Incorporated

7.10.11 外部存储器接口 (EMIF)

EMIF 提供了一种将 CPU 连接到各种外部存储器件的方法，例如异步存储器（SRAM、NOR 闪存）或同步存储器 (SDRAM)。

7.10.11.1 异步存储器支持

EMIF 支持异步存储器：

- SRAM
- NOR 闪存

存在外部等待输入，其允许较慢的异步存储器扩展存储器访问。EMIF 模块最多支持三种芯片选择 ($\overline{\text{EMIF_CS}}$[4:2])。每种芯片选择具有以下可独立编程的属性：

- 数据总线宽度
- 读取周期时序：设置、保持、选通
- 写入周期时序：设置、保持、选通
- 总线变换时间
- 具有可编程超时的延长等待选项
- 选择选通选项

7.10.11.2 同步 DRAM 支持

EMIF 存储器控制器与使用 32 位或 16 位数据总线的 JESD21-C SDR SDRAM 兼容。EMIF 具有单个 SDRAM 芯片选择 ($\overline{\text{EMIF_CS}}$[0])。

用于同步存储器 (SDRAM)的 EMIF 的地址空间超出程序地址总线的 22 位范围，只能通过数据总线访问，这给 C 编译器带来了限制，使其无法在此空间中有效地处理数据。因此，使用 SDRAM 时，建议用户在处理数据之前先将数据从外部存储器复制（使用 DMA）到 RAM 中。请参阅适用于 C2000 MCU 的 C2000Ware 和 *TMS320F2838x 实时微控制器技术参考手册* 中的示例。

支持的 SDRAM 配置包含：

- 一存储库、二存储库和四存储库 SDRAM 器件
- 具有 8、9、10 和 11 列地址的器件
- 两个或三个时钟周期的 CAS 延迟
- 16 位/32 位数据总线宽度
- 3.3V LVCMOS 接口

此外，EMIF 支持将 SDRAM 置于自刷新模式和省电模式。自刷新模式允许将 SDRAM 置于低功耗状态，同时仍然保留内存内容，因为即使没有微控制器的时钟，SDRAM 也将继续进行自刷新。省电模式实现更低的功耗，但如果需要保留数据，微控制器必须定期唤醒并发出刷新。EMIF 模块不支持移动 SDRAM 器件。

在该器件上，EMIF 不支持对 SDRAM 配置进行突发访问。这意味着每次对外部 SDRAM 器件进行访问时都将有 CAS 延迟。

7.10.11.3 EMIF 电气数据和时序

7.10.11.3.1 异步 RAM

7.10.11.3.1.1 EMIF 异步内存时序要求

编号			最小值	最大值	单位
读取和写入					
	E	EMIF 时钟周期	$t_{c(SYSCLK)}$		ns
2	$t_{w(EM_WAIT)}$	EMxWAIT 生效和无效的脉冲持续时间	2E[(1)]		ns
读取					
12	$t_{su(EMDV-EMOEH)}$	EMxD[y:0] 在 $\overline{EMxOE}$ 高电平前的建立时间	15		ns
13	$t_{h(EMOEH-EMDIV)}$	EMxD[y:0] 在 $\overline{EMxOE}$ 高电平后的保持时间	0		ns
14	$t_{su(EMOEL-EMWAIT)}$	选通阶段结束前，EMxWAIT 生效的建立时间[(2)]	4E+20[(1)]		ns
写入					
28	$t_{su(EMWEL-EMWAIT)}$	选通阶段结束前，EMxWAIT 生效的建立时间[(2)]	4E+20[(1)]		ns

(1) E = EMxCLK 周期，单位为 ns 。
(2) 在选通阶段结束前建立（如果没有插入扩展等待状态），此时 EMxWAIT 必须生效以增加延长等待状态。图 7-27 和图 7-29 描述了 包含在选通阶段插入的扩展等待状态的 EMIF 事务。然而，作为延长等待周期的一部分插入的周期不应被计算在内；如果没有扩展等待周期，4E 要求则从保持 (HOLD) 阶段开始。

7.10.11.3.1.2 EMIF 异步存储器开关特性

编号	参数[(1) (2) (3)]		最小值	最大值	单位
1	$t_{d(TURNAROUND)}$	周转时间	(TA)*E – 3	(TA)*E+2	ns
读取					
3	$t_{c(EMRCYCLE)}$	EMIF 读取周期时间 (EW=0)	(RS+RST+RH)*E – 3	(RS+RST+RH)*E+2	ns
		EMIF 读取周期时间 (EW=1)[(4)]	(RS+RST+RH+ (MEWC*16))*E – 3	(RS+RST+RH+ (MEWC*16))*E+2	ns
4	$t_{su(EMCEL-EMOEL)}$	输出建立时间，$\overline{EMxCS[y:2]}$ 低电平至 $\overline{EMxOE}$ 低电平的时间 (SS = 0)	(RS)*E – 3	(RS)*E+2	ns
		$\overline{EMxCS[y:2]}$ 低电平至 $\overline{EMxOE}$ 低电平 (SS=1)的输出建立时间	-3	2	ns
5	$t_{h(EMOEH-EMCEH)}$	$\overline{EMxOE}$ 高电平至 $\overline{EMxCS[y:2]}$ 高电平（SS=0）的输出保持时间	(RH)*E – 3	(RH)*E	ns
		$\overline{EMxOE}$ 高电平至 $\overline{EMxCS[y:2]}$ 高电平（SS=1）的输出保持时间	– 3	0	ns
6	$t_{su(EMBAV-EMOEL)}$	EMxBA[y:0] 有效至 $\overline{EMxOE}$ 低电平的输出建立时间	(RS)*E – 3	(RS)*E+2	ns
7	$t_{h(EMOEH-EMBAIV)}$	$\overline{EMxOE}$ 高电平至 EMxBA[y:0] 无效的输出保持时间	(RH)*E – 3	(RH)*E	ns
8	$t_{su(EMAV-EMOEL)}$	EMxA[y:0] 有效至 $\overline{EMxOE}$ 低电平的输出建立时间	(RS)*E – 3	(RS)*E+2	ns
9	$t_{h(EMOEH-EMAIV)}$	$\overline{EMxOE}$ 高电平至 EMxA[y:0] 无效的输出保持时间	(RH)*E – 3	(RH)*E	ns
10	$t_{w(EMOEL)}$	$\overline{EMxOE}$ 有效低电平宽度 (EW=0)	(RST)*E – 1	(RST)*E+1	ns
		$\overline{EMxOE}$ 有效低电平宽度 (EW = 1)[(4)]	(RST+(MEWC*16))*E – 1	(RST+(MEWC*16))*E+1	ns
11	$t_{d(EMWAITH-EMOEH)}$	从 EMxWAIT 无效到 $\overline{EMxOE}$ 高电平的延迟时间	4*E+10	5*E+15	ns
29	$t_{su(EMDQMV-EMOEL)}$	EMxDQM[y:0] 有效至 $\overline{EMxOE}$ 低电平的输出建立时间	(RS)*E – 3	(RS)*E+2	ns
30	$t_{h(EMOEH-EMDQMIV)}$	$\overline{EMxOE}$ 高电平至 EMxDQM[y:0] 无效的输出保持时间	(RH)*E – 3	(RH)*E	ns
写入					
15	$t_{c(EMWCYCLE)}$	EMIF 写入周期时间 (EW=0)	(WS+WST+WH)*E – 3	(WS+WST+WH)*E+2	ns
		EMIF 写入周期时间 (EW=1)[(4)]	(WS+WST+WH+ (MEWC*16))*E – 3	(WS+WST+WH+ (MEWC*16))*E+2	ns

Copyright © 2023 Texas Instruments Incorporated

7.10.11.3.1.2 EMIF 异步存储器开关特性 (continued)

编号	参数(1) (2) (3)		最小值	最大值	单位
16	$t_{su(EMCEL-EMWEL)}$	$\overline{EMxCS[y:2]}$ 低电平至 $\overline{EMxWE}$ 低电平 (SS=0)的输出建立时间	(WS)*E – 3	(WS)*E+2	ns
		$\overline{EMxCS[y:2]}$ 低电平至 $\overline{EMxWE}$ 低电平 (SS=1)的输出建立时间	-3	2	ns
17	$t_{h(EMWEH-EMCEH)}$	$\overline{EMxWE}$ 高电平至 $\overline{EMxCS[y:2]}$ 高电平（SS=0）的输出保持时间	(WH)*E – 3	(WH)*E	ns
		$\overline{EMxWE}$ 高电平至 $\overline{EMxCS[y:2]}$ 高电平（SS=1）的输出保持时间	– 3	0	ns
18	$t_{su(EMDQMV-EMWEL)}$	EMxDQM[y:0] 有效至 $\overline{EMxWE}$ 低电平的输出建立时间	(WS)*E – 3	(WS)*E+2	ns
19	$t_{h(EMWEH-EMDQMIV)}$	$\overline{EMxWE}$ 高电平至 EMxDQM[y:0] 无效的输出保持时间	(WH)*E – 3	(WH)*E	ns
20	$t_{su(EMBAV-EMWEL)}$	EMxBA[y:0] 有效至 $\overline{EMxWE}$ 低电平的输出建立时间	(WS)*E – 3	(WS)*E+2	ns
21	$t_{h(EMWEH-EMBAIV)}$	$\overline{EMxWE}$ 高电平至 EMxBA[y:0] 无效的输出保持时间	(WH)*E – 3	(WH)*E	ns
22	$t_{su(EMAV-EMWEL)}$	EMxA[y:0] 有效至 $\overline{EMxWE}$ 低电平的输出建立时间	(WS)*E – 3	(WS)*E+2	ns
23	$t_{h(EMWEH-EMAIV)}$	$\overline{EMxWE}$ 高电平至 EMxA[y:0] 无效的输出保持时间	(WH)*E – 3	(WH)*E	ns
24	$t_{w(EMWEL)}$	$\overline{EMxWE}$ 有效低电平宽度 (EW=0)	(WST)*E – 1	(WST)*E+1	ns
		$\overline{EMxWE}$ 有效低电平宽度 (EW = 1)(4)	(WST+(MEWC*16))*E – 1	(WST+(MEWC*16))*E+1	ns
25	$t_{d(EMWAITH-EMWEH)}$	从 EMxWAIT 无效到 $\overline{EMxWE}$ 高电平的延迟时间	4*E+10	5*E+15	ns
26	$t_{su(EMDV-EMWEL)}$	EMxD[y:0] 有效至 $\overline{EMxWE}$ 低电平的输出建立时间	(WS)*E – 3	(WS)*E+2	ns
27	$t_{h(EMWEH-EMDIV)}$	$\overline{EMxWE}$ 高电平至 EMxD[y:0] 无效的输出保持时间	(WH)*E – 3	(WH)*E	ns

(1) TA = 周转，RS = 读取建立，RST = 读取选通，RH =读取保持，WS = 写入建立，WST = 写入选通，WH = 写入保持，MEWC = 最大外部等待周期。这些参数通过异步组和异步等待周期配置寄存器进行编程。这些参数支持以下范围内的值：TA[4 – 1]、RS[16 – 1]、RST[64-4]、RH[8 – 1]、WS[16 – 1]、WST[64 – 1]、WH[8 – 1] 和 MEWC[1 – 256]。有关详情，请参阅 *TMS320F2838x 实时微控制器技术参考手册*。

(2) E = EMxCLK 周期，单位为 ns。

(3) EWC = 由 EMxWAIT 输入信号确定的外部等待周期。EWC 支持下列范围的值：EWC[256 – 1]。超时之前的最大等待时间由异步等待周期配置寄存器中的位字段 MEWC 指定。有关详情，请参阅 *TMS320F2838x 实时微控制器技术参考手册*。

(4) 最大等待超时条件。

7.10.11.3.1.3 EMIF 异步存储器时序图

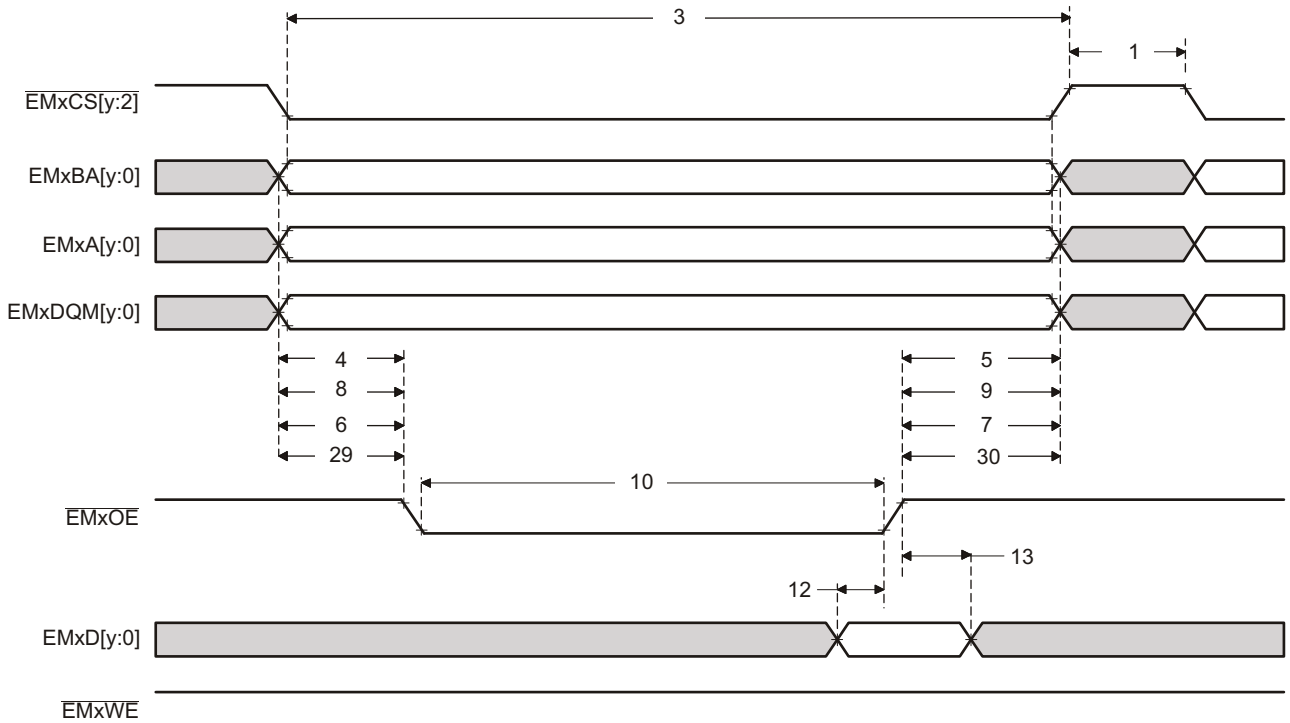


图 7-26. 异步存储器读取时序

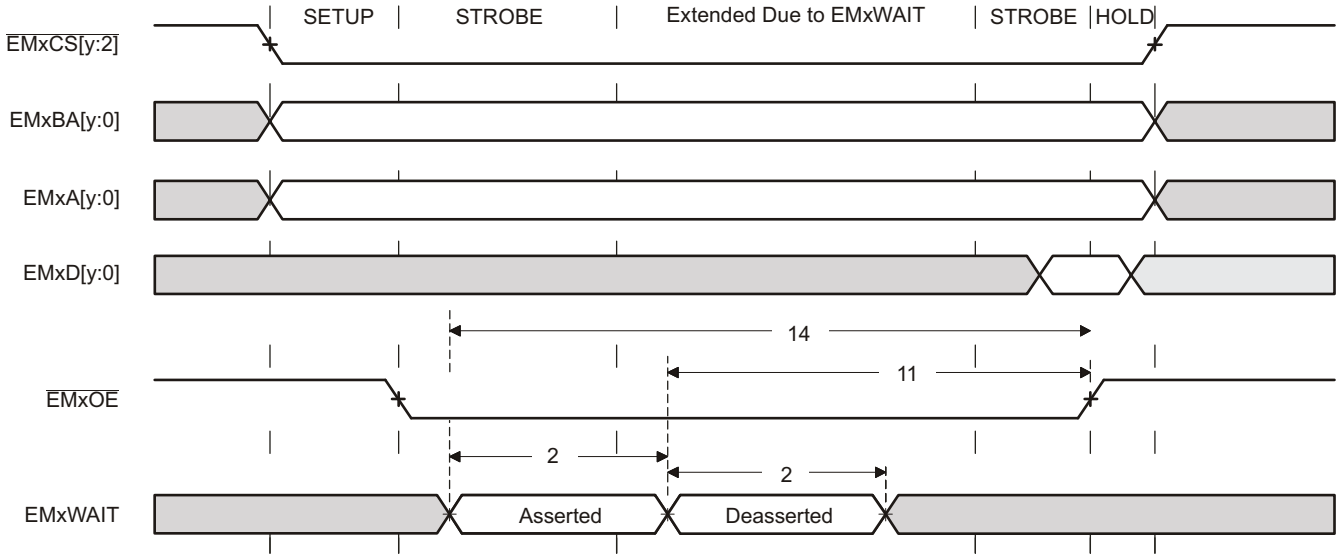


图 7-27. EMxWAIT 读取时序要求

Copyright © 2023 Texas Instruments Incorporated

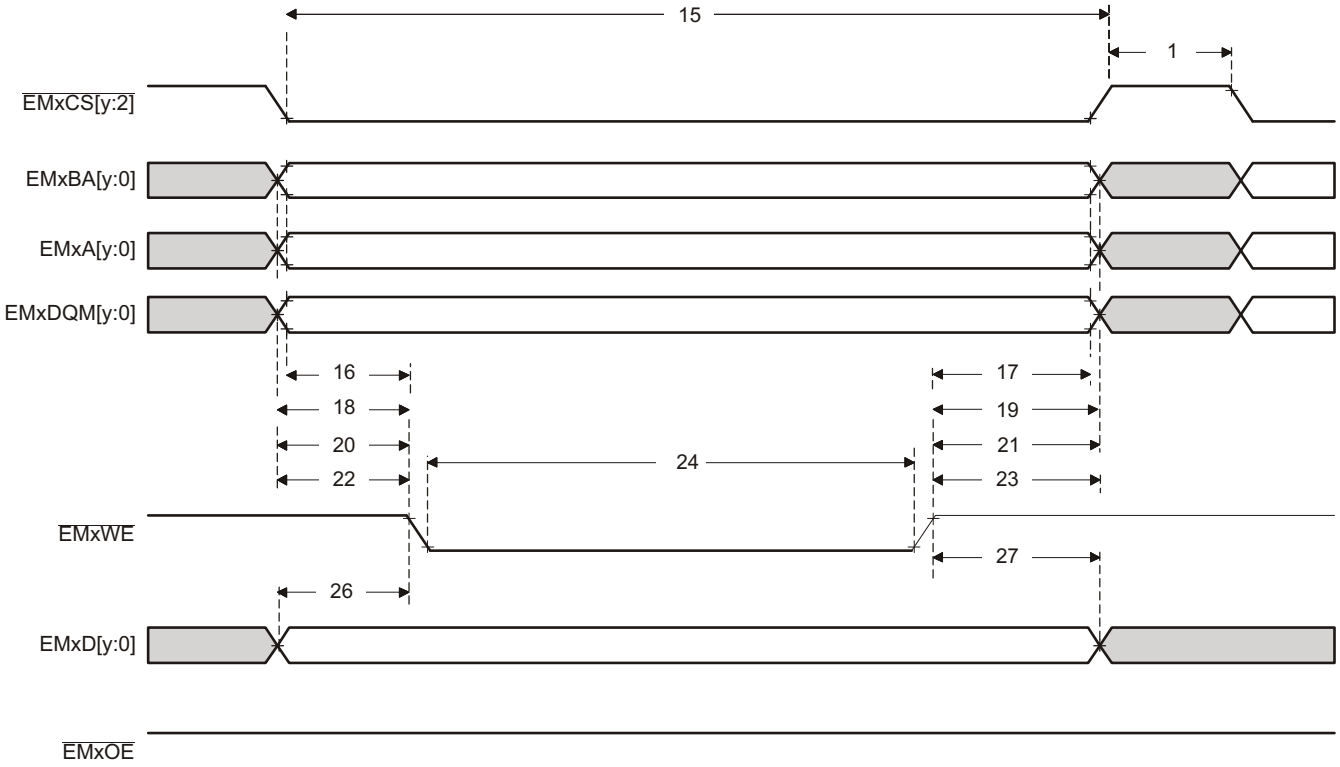


图 7-28. 异步存储器写入时序

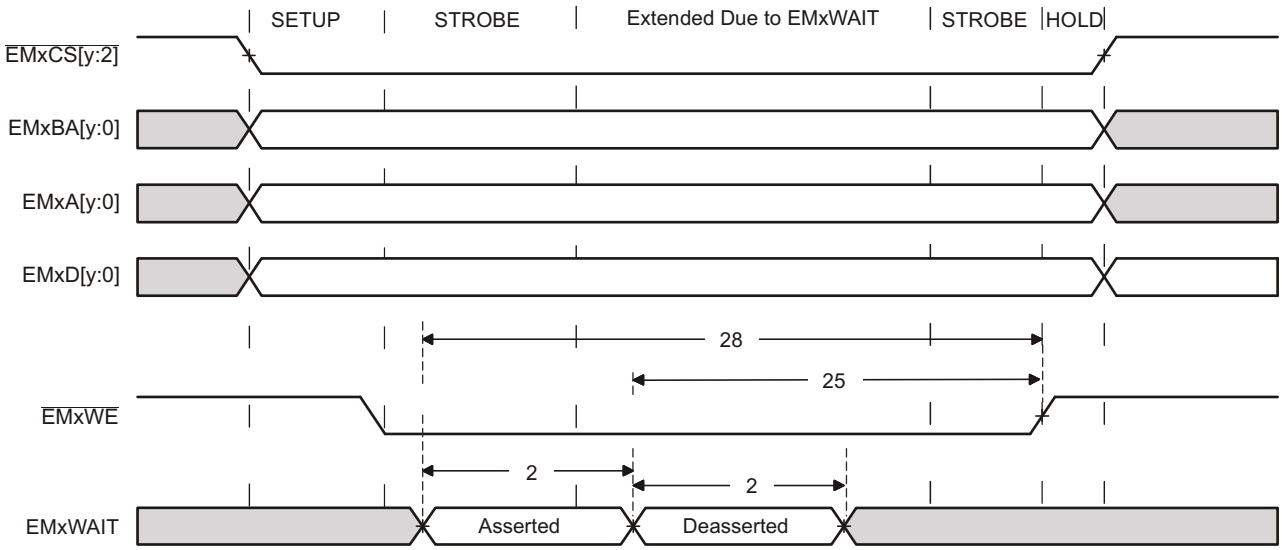


图 7-29. EMxWAIT 写入时序要求

7.10.11.3.2 同步 RAM

节 7.10.11.3.2.1 列出了 EMIF 同步存储器时序要求。节 7.10.11.3.2.2 列出了 EMIF 同步存储器开关特性。图 7-30 和 图 7-31 显示了同步存储器的时序图。

7.10.11.3.2.1 EMIF 同步存储器时序要求

编号			最小值	最大值	单位
19	$t_{su(EMIFDV-EM_CLKH)}$	EMxCLK 上升前，EMxD[y:0] 上的读取数据有效的输入建立时间	2		ns
20	$t_{h(CLKH-DIV)}$	EMxCLK 上升后，EMxD[y:0] 上的读取数据有效的输入保持时间	1.5		ns

7.10.11.3.2.2 EMIF 同步存储器开关特征

编号	参数		最小值	最大值	单位
1	$t_{c(CLK)}$	周期时间，EMIF 时钟 EMxCLK	10		ns
2	$t_{w(CLK)}$	脉冲宽度，EMIF 时钟 EMxCLK 高电平或低电平	3		ns
3	$t_{d(CLKH-CSV)}$	EMxCLK 上升至 $\overline{EMxCS[y:2]}$ 有效的延迟时间		8	ns
4	$t_{oh(CLKH-CSIV)}$	EMxCLK 上升至 $\overline{EMxCS[y:2]}$ 无效的输出保持时间	1		ns
5	$t_{d(CLKH-DQMV)}$	EMxCLK 上升至 EMxDQM[y:0] 有效的延迟时间		8	ns
6	$t_{oh(CLKH-DQMIV)}$	EMxCLK 上升至 EMxDQM[y:0] 无效的输出保持时间	1		ns
7	$t_{d(CLKH-AV)}$	EMxCLK 上升至 EMxA[y:0] 和 EMxBA[y:0] 有效的延迟时间		8	ns
8	$t_{oh(CLKH-AIV)}$	EMxCLK 上升至 EMxA[y:0] 和 EMxBA[y:0] 无效的输出保持时间	1		ns
9	$t_{d(CLKH-DV)}$	EMxCLK 上升至 EMxD[y:0] 有效的延迟时间		8	ns
10	$t_{oh(CLKH-DIV)}$	EMxCLK 上升至 EMxD[y:0] 无效的输出保持时间	1		ns
11	$t_{d(CLKH-RASV)}$	EMxCLK 上升至 EMxRAS 有效的延迟时间		8	ns
12	$t_{oh(CLKH-RASIV)}$	EMxCLK 上升至 EMxRAS 无效的输出保持时间	1		ns
13	$t_{d(CLKH-CASV)}$	EMxCLK 上升至 EMxCAS 有效的延迟时间		8	ns
14	$t_{oh(CLKH-CASIV)}$	EMxCLK 上升至 EMxCAS 无效的输出保持时间	1		ns
15	$t_{d(CLKH-WEV)}$	EMxCLK 上升至 $\overline{EMxWE}$ 有效的延迟时间		8	ns
16	$t_{oh(CLKH-WEIV)}$	EMxCLK 上升至 $\overline{EMxWE}$ 无效的输出保持时间	1		ns
17	$t_{d(CLKH-DHZ)}$	EMxCLK 上升至 EMxD[y:0] 三态的延迟时间		8	ns
18	$t_{oh(CLKH-DLZ)}$	EMxCLK 上升至 EMxD[y:0] 驱动的输出保持时间	1		ns

Copyright © 2023 Texas Instruments Incorporated

7.10.11.3.2.3 EMIF 同步存储器时序图

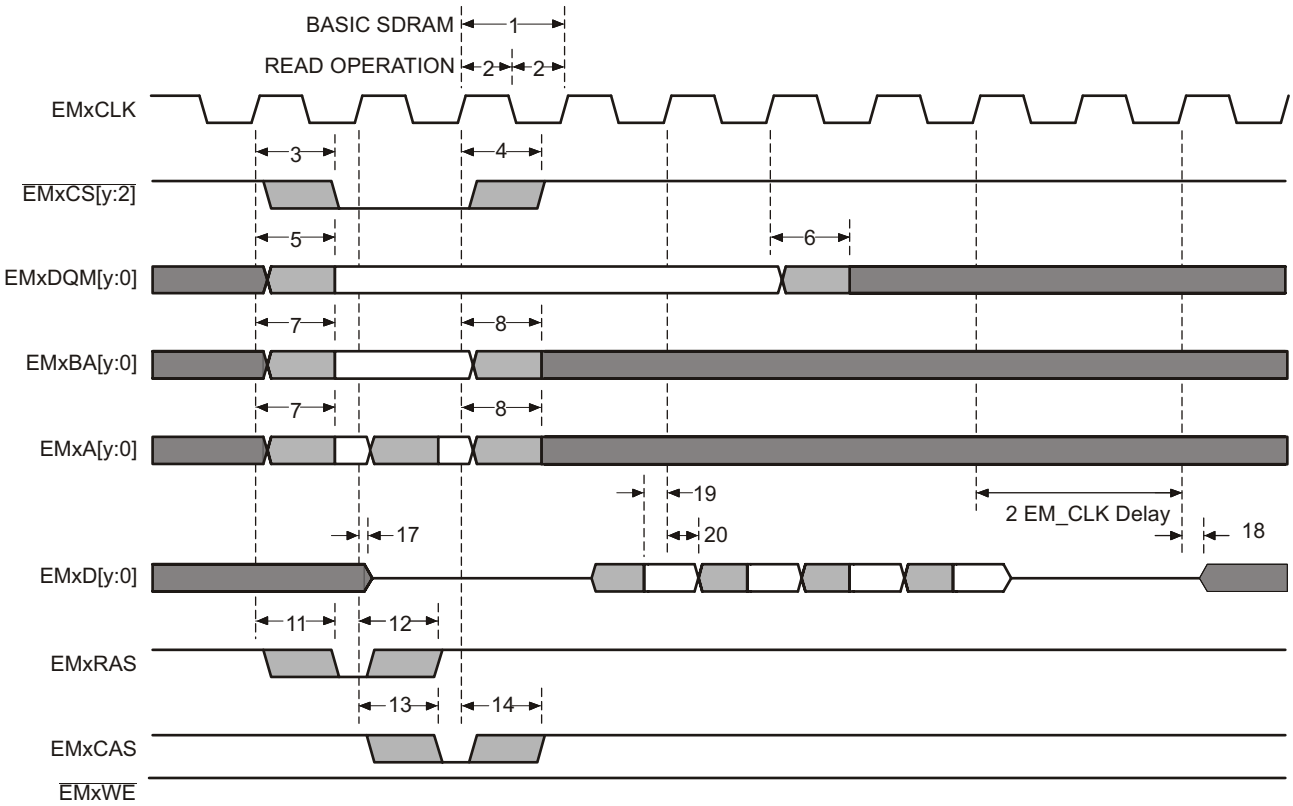


图 7-30. 基本 SDRAM 读取操作

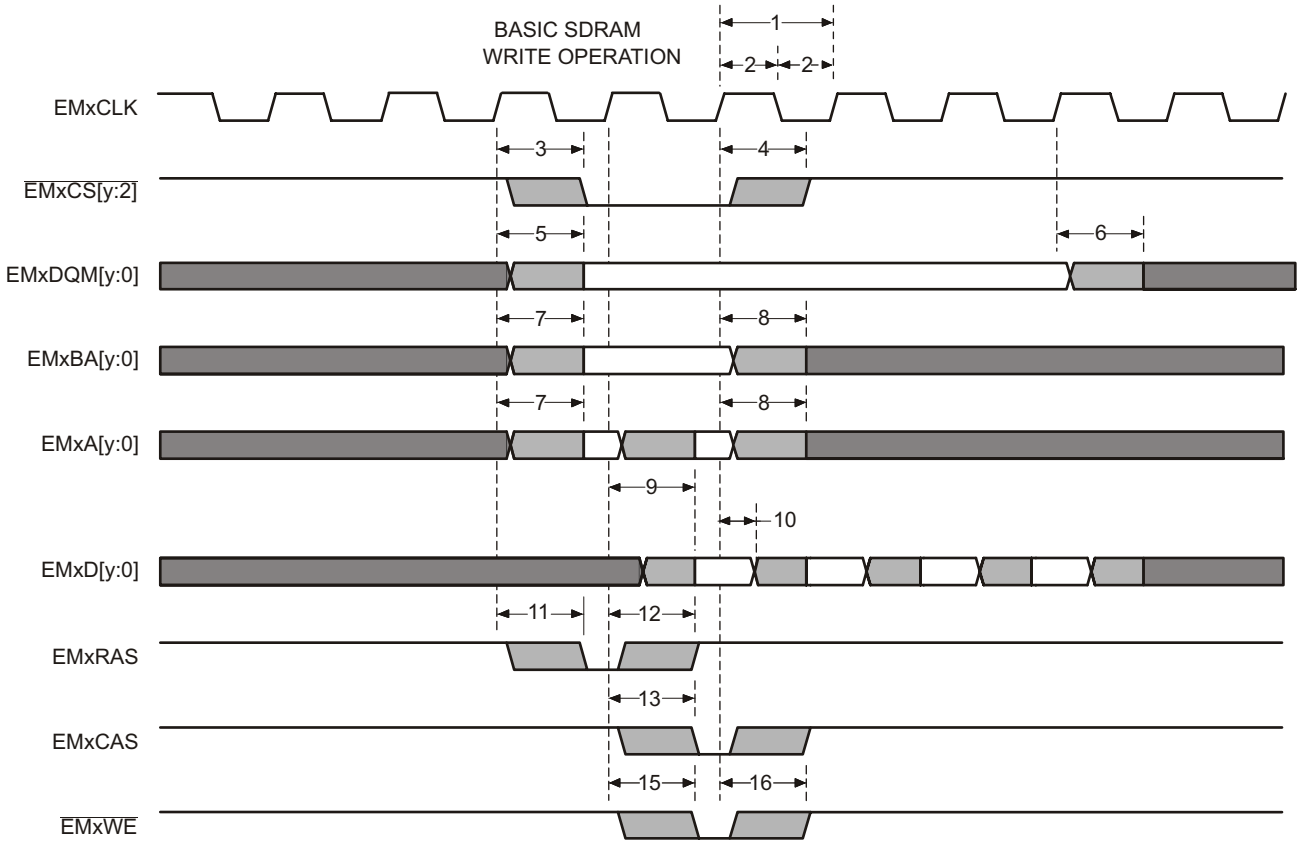


图 7-31. 基本 SDRAM 写入操作

Copyright © 2023 Texas Instruments Incorporated

7.11 C28x 模拟外设

7.11.1 模拟子系统

该器件上的模拟模块包括模数转换器 (ADC)、温度传感器、缓冲数模转换器 (DAC) 和比较器子系统 (CMPSS)。

模拟子系统具有以下特性：

- 灵活的电压基准
  - ADC 以 VREFHIx 和 VREFLOx 引脚为基准
    - VREFHIx 引脚电压必须从外部驱动
- 缓冲 DAC 以 VREFHIx 和 VSSA 为基准
  - 或者，这些 DAC 能以 VDAC 引脚和 VSSA 为基准
- 比较器 DAC 以 VDDA 和 VSSA 为基准
  - 或者，这些 DAC 能以 VDAC 引脚和 VSSA 为基准
- 灵活地使用引脚
  - 缓冲 DAC 和比较器子系统功能与 ADC 输入多路复用
- 内部连接到所有 ADC 上的 VREFLO，用于偏移量自校准

图 7-32 显示了 337 焊球 ZWT 封装的模拟子系统方框图。

图 7-33 显示了 176 引脚 PTP 封装的模拟子系统方框图。

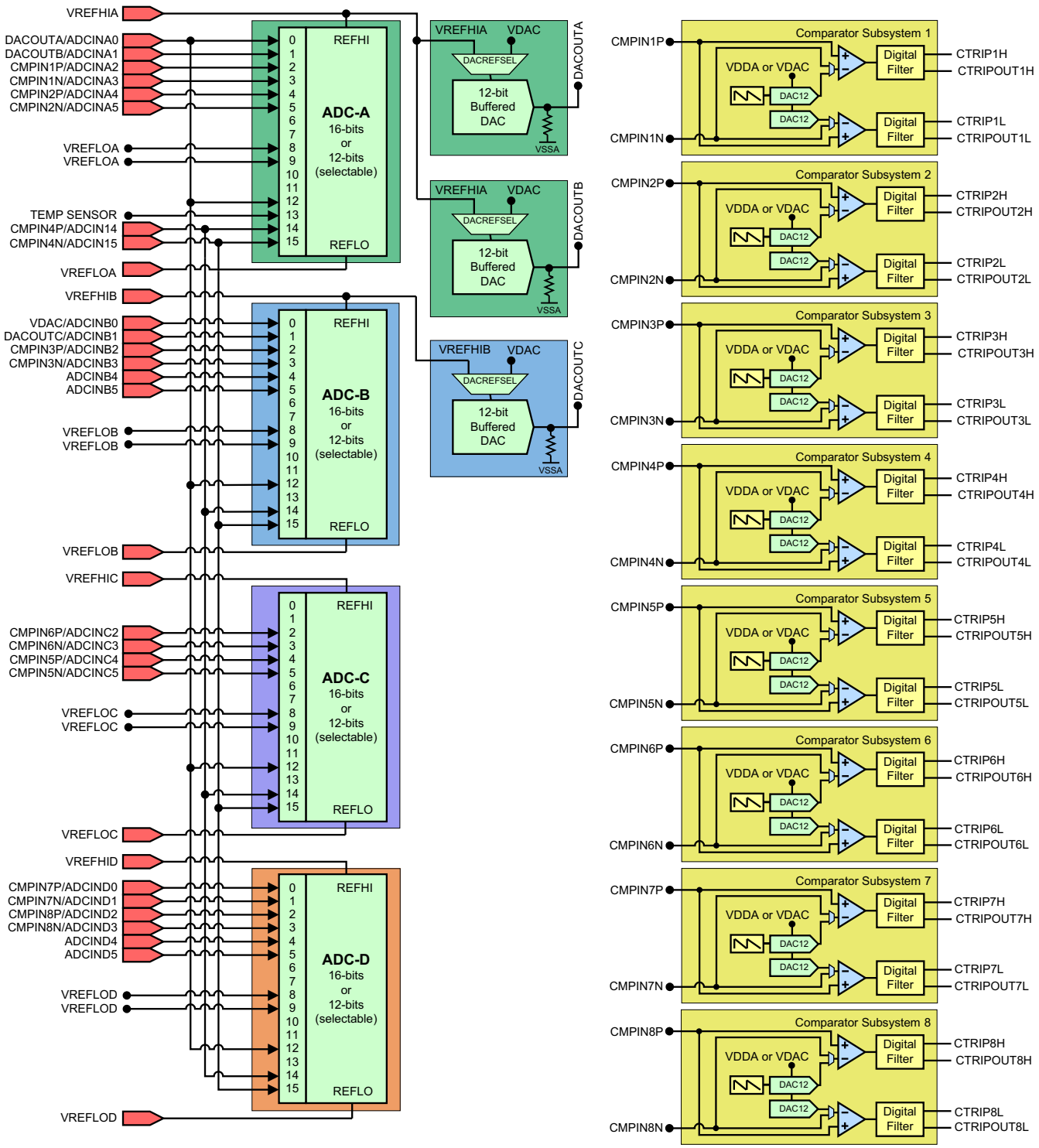


图 7-32. 模拟子系统方框图（337 焊球 ZWT）

Copyright © 2023 Texas Instruments Incorporated

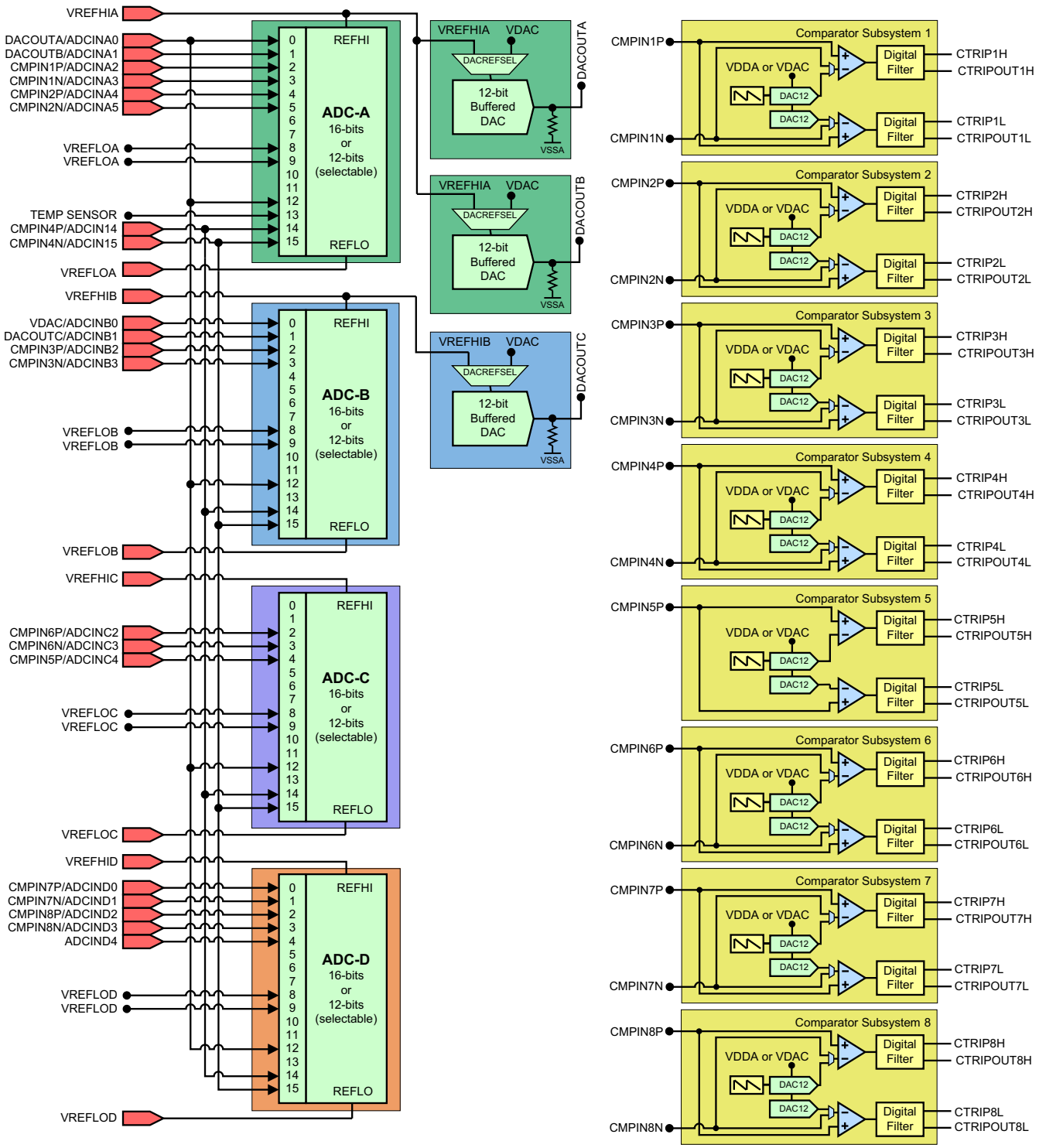


图 7-33. 模拟子系统方框图（176 引脚 PTP）

7.11.2 模数转换器 (ADC)

该 ADC 模块是具有 16 位或 12 位可选分辨率的逐次逼近 (SAR) 型 ADC。该 ADC 由一个内核和一个包装器组成。内核由模拟电路组成，其中包括通道选择多路复用器、采样保持 (S/H) 电路、逐次逼近电路、电压基准电路和其他模拟支持电路。包装器由用于配置和控制 ADC 的数字电路组成。这些电路包括用于可编程转换的逻辑、结果寄存器、模拟电路接口、外设总线接口、后处理电路以及其他片上模块接口。

每个 ADC 模块都包含一个采样保持 (S/H) 电路。ADC 模块被设计成在同一个芯片上重复多次，从而实现多个 ADC 的同步采样或独立运行。ADC 包装器基于转换启动 (SOC)（请参阅 *TMS320F2838x 实时微控制器技术参考手册* 中“模数转换器 (ADC)”一章的“SOC 工作原理”一节）。

每个 ADC 具有以下特性：

- 分辨率可选择 12 位或 16 位
- 由 VREFHI 和 VREFLO 引脚设定的比例式外部基准
- 差分信号转换（仅限 16 位模式）
- 单端信号转换
- 具有最多 16 个通道（单端）或 8 个通道（差分）的输入多路复用器
- 16 个可配置 SOC
- 16 个可单独寻址的结果寄存器
- 多个触发源
  - S/W：软件立即启动
  - 所有 ePWM：ADCSOC A 或 B
  - GPIO 输入 X-BAR INPUT5
  - CPU 计时器 0、CPU 计时器 1、CPU 计时器 2（来自每个存在的 C28x 内核）
  - ADCINT1、ADCINT2
- 四个灵活的 PIE 中断
- 可配置的中断位置
- 突发模式
- 四个后处理块，每块具有：
  - 饱和偏移量校准
  - 设定点计算的误差
  - 具有中断和 ePWM 跳闸功能的高电平、低电平和过零比较
  - 触发至采样延迟采集

备注

并非每个通道都可以从所有 ADC 输出引脚。请参阅节 6 以确定可用的通道。

Copyright © 2023 Texas Instruments Incorporated

图 7-34 显示了 ADC 模块方框图。

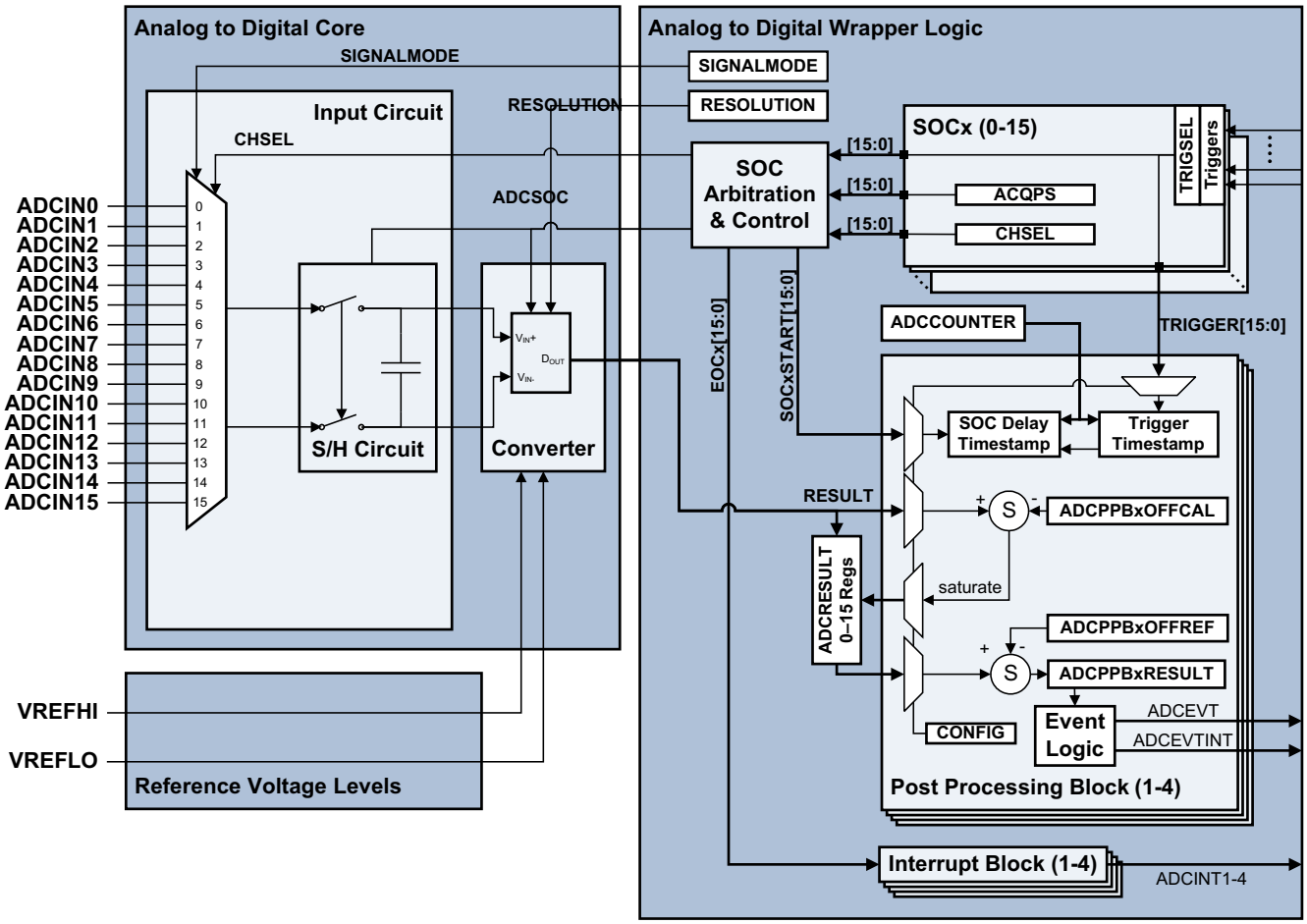


图 7-34. ADC 模块方框图

7.11.2.1 结果寄存器映射

系统中每个存储器总线控制器的 ADC 结果和 ADC PPB 结果是相同的。总线控制器包括所有 C28x CPU、C28x DMA 以及特定器件系列和器件型号上的 CLA。对于每个总线控制器，无需进行访问配置即可读取结果寄存器，并且在多个总线控制器尝试同时读取 ADC 结果时不会发生争用。

7.11.2.2 ADC 可配置性

一些 ADC 配置由 SOC 单独控制，而其他配置则由每个 ADC 模块全局控制。表 7-11 汇总了基本的 ADC 选项及其可配置性级别。

表 7-11. ADC 选项和配置级别

选项	可配置性
时钟	按照模块(1)
分辨率	按照模块(1)
信号模式	按照模块
基准电压源	不可配置（仅限外部参考）
触发源	按照 SOC(1)
转换后的通道	按照 SOC
采集窗口持续时间	按照 SOC(1)
EOC 位置	按照模块
突发模式	按照模块(1)

(1) 将这些值以不同方式写入不同的 ADC 模块可能会导致 ADC 异步工作。有关 ADC 何时同步或异步工作的指导，请参阅 *TMS320F2838x 实时微控制器技术参考手册* 中“模数转换器 (ADC)”一章的“确保同步工作”一节。

7.11.2.2.1 信号模式

ADC 支持两种信号模式：单端和差分。在单端模式中，以 VREFLO 为基准通过单个引脚 (ADCINx)对转换器的输入电压 进行采样。在差分信号模式中，通过一对输入引脚对转换器的输入电压进行采样，其中一个输入引脚为正输入引脚 (ADCINxP) ，且另一个输入引脚为负输入引脚 (ADCINxN)。实际输入电压是两个引脚之间的差值 (ADCINxP - ADCINxN)。图 7-35 显示了差分信号模式。图 7-36 展示了单端信号模式。

Copyright © 2023 Texas Instruments Incorporated

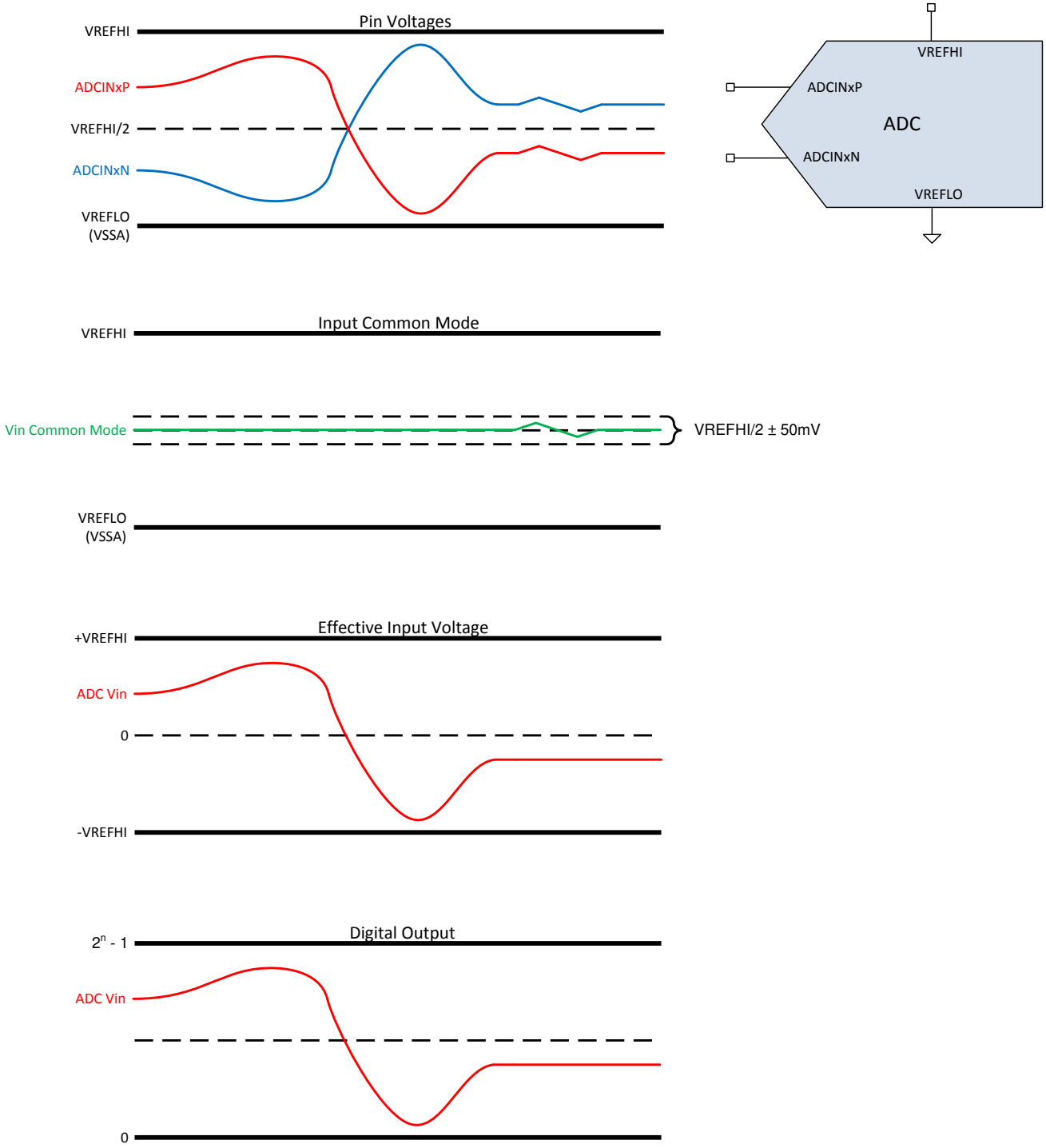

Pin Voltages
VREFHI
ADCINxP
VREFHI/2
ADCINxN
VREFLO
(VSSA)
VREFHI
ADCINxP
ADC
ADCINxN
VREFLO
Input Common Mode
VREFHI
Vin Common Mode
VREFHI/2 ± 50mV
VREFLO
(VSSA)
Effective Input Voltage
+VREFHI
ADC Vin
0
-VREFHI
Digital Output
2n - 1
ADC Vin
0

图 7-35. 差分信号模式

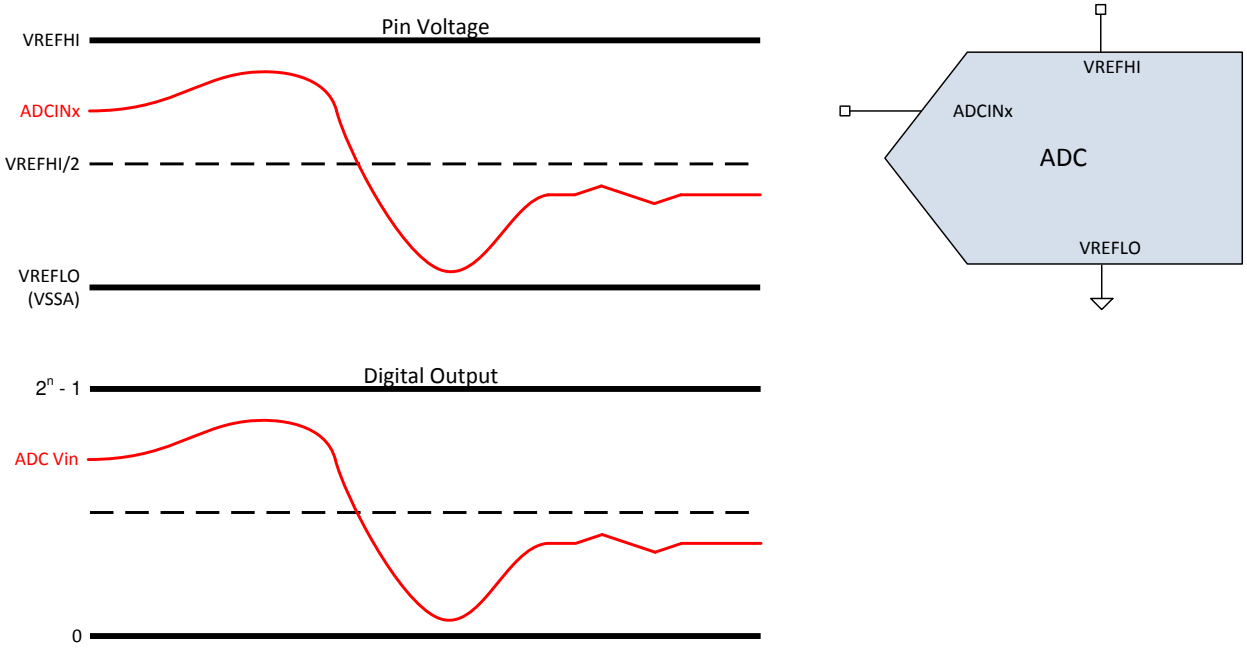


图 7-36. 单端信号模式

Copyright © 2023 Texas Instruments Incorporated

7.11.2.3 ADC 电气数据和时序

节 7.11.2.3.1 列出了 16 位差分模式的 ADC 工作条件。节 7.11.2.3.2 列出了 16 位差分模式的 ADC 特性。节 7.11.2.3.3 列出了 16 位单端模式的 ADC 工作条件。节 7.11.2.3.4 列出了 16 位单端模式的 ADC 特性。节 7.11.2.3.5 列出了 12 位单端模式的 ADC 工作条件。节 7.11.2.3.6 列出了 12 位单端模式的 ADC 特性。节 7.11.2.3.7 列出了 ADCEXTSOC 时序要求。

7.11.2.3.1 ADC 工作条件（16 位、差分）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
ADCCLK（源自 PERx.SYSCLK）		5		50	MHz
采样率	200MHz SYSCLK			1.1	MSPS
采样窗口持续时间（由 ACQPS 和 PERx.SYSCLK 设置）(1)	具有 50Ω 或更小的 R_s	320			ns
VREFHI		2.4	2.5 或 3.0	VDDA	V
VREFLO		VSSA	VSSA	VSSA	V
转换范围		VREFLO		VREFHI	V
ADC 输入信号共模电压(2) (3)		VREFCM – 50	VREFCM	VREFCM + 50	mV

(1) 采样窗口还必须至少达到 1 个 ADCCLK 周期的长度，才能确保 ADC 正确运行。
(2) VREFCM = (VREFHI + VREFLO)/2
(3) 如果负 ADC 输入引脚连接到 VSSA 或 VREFLO，则不会满足 VREFCM 要求。

7.11.2.3.1.1 ADC 工作条件（16 位、差分）注意事项

备注

工作过程中，ADC 输入应保持低于 VDDA + 0.3 V。如果 ADC 输入超过此电平，器件内部的 VREF 可能会受到干扰，这可能会影响使用相同 VREF 的其他 ADC 或 DAC 输入的结果。

备注

为使 ADC 和 DAC 满足指定的性能参数，VREFHI 引脚必须保持低于 VDDA。为确保正常运行，VREFHI 引脚必须保持低于 VDDA + 0.3V。如果 VREFHI 引脚超过 VDDA + 0.3V，可能会激活阻塞电路，使得 VREFHI 的内部值在内部浮动至 0V，从而导致 ADC 转换或 DAC 输出不正确。

7.11.2.3.2 ADC 特性（16 位、差分）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
通用					
ADCCLK 转换周期		29.6		31	ADCCLK
上电时间				500	μs
VREFHI 输入电流[(1)]			190		μA
外部基准电容值[(2)]		22			μF
直流特性					
增益误差		-64	±9	64	LSB
偏移量误差		-6	±4	6	LSB
通道间增益误差			±6		LSB
通道间偏移量误差			±3		LSB
ADC 间增益误差	所有 ADC 的 VREFHI 和 VREFLO 都相同		±6		LSB
ADC 间偏移量误差	所有 ADC 的 VREFHI 和 VREFLO 都相同		±3		LSB
DNL 误差		> – 1	±0.5	1	LSB
INL 误差		-3.5	±1.0	3.5	LSB
ADC 间隔离	VREFHI = 2.5V，同步 ADC	-2		2	LSB
	VREFHI = 2.5V，异步 ADC		不支持		
交流特性					
SNR[(3)]	VREFHI = 2.5V，fin = 10kHz，SYSCLK 源自 X1		90.2		dB
	VREFHI = 2.5V，fin = 10kHz，SYSCLK 源自 INTOSC		90.2		dB
THD[(3)]	VREFHI = 2.5V，fin = 10kHz		– 105		dB
SFDR[(3)]	VREFHI = 2.5V，fin = 10kHz		106		dB
SINAD[(3)]	VREFHI = 2.5V，fin = 10kHz，SYSCLK 源自 X1		90.0		dB
	VREFHI = 2.5V，fin = 10kHz，SYSCLK 源自 INTOSC		90.0		
ENOB[(3)]	VREFHI = 2.5V，fin = 10kHz，SYSCLK 源自 X1，单个 ADC		14.65		位
	VREFHI = 2.5V，fin = 10kHz，SYSCLK 源自 X1，同步 ADC		14.65		
	VREFHI = 2.5V，fin = 10kHz，SYSCLK 源自 X1，异步 ADC		不支持		
PSRR	VDD = 1.2V 直流 + 200mV 直流至正弦（1kHz 时）		77		dB
	VDD = 1.2V 直流 + 200mV 正弦（800kHz 时）		74		
	VDDA = 3.3V 直流 + 200mV 直流至正弦（800 kHz 时）		77		
	VDDA = 3.3V 直流 + 200mV 正弦（800 kHz 时）		74		

(1) 当 ADC 输入大于 VDDA 时，VREFHI 上的负载电流会增加。这会导致转换不准确。
(2) 最好使用封装尺寸为 0805 或更小的陶瓷电容器。可接受高达 ±20% 的容差。
(3) 作为减少电容耦合和串扰的最佳实践的一部分，与 ADC 输入和 VREFHI 引脚相邻的引脚上的 IO 活动已尽可能减少

Copyright © 2023 Texas Instruments Incorporated

7.11.2.3.3 ADC 运行条件（16 位、单端）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
ADCCLK（源自 PERx.SYSCLK）		5		50	MHz
采样率	200MHz SYSCLK			1.1	MSPS
采样窗口持续时间（由 ACQPS 和 PERx.SYSCLK 设置）(1)	具有 50Ω 或更小的 R_s	320			ns
VREFHI		2.4	2.5 或 3.0	VDDA	V
VREFLO		VSSA	VSSA	VSSA	V
转换范围	外部基准	VREFLO		VREFHI	V

(1) 采样窗口还必须至少达到 1 个 ADCCLK 周期的长度，才能确保 ADC 正确运行。

7.11.2.3.3.1 ADC 工作条件（16 位、单端）注意事项

备注

工作过程中，ADC 输入应保持低于 VDDA + 0.3 V。如果 ADC 输入超过此电平，器件内部的 VREF 可能会受到干扰，这可能会影响使用相同 VREF 的其他 ADC 或 DAC 输入的结果。

备注

为使 ADC 和 DAC 满足指定的性能参数，VREFHI 引脚必须保持低于 VDDA。为确保正常运行，VREFHI 引脚必须保持低于 VDDA + 0.3V。如果 VREFHI 引脚超过 VDDA + 0.3V，可能会激活阻塞电路，使得 VREFHI 的内部值在内部浮动至 0V，从而导致 ADC 转换或 DAC 输出不正确。

7.11.2.3.4 ADC 特性（16 位、单端）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
通用					
ADCCLK 转换周期		29.6		31	ADCCLK
上电时间				500	μs
VREFHI 输入电流[(1)]			190		μA
外部基准电容值[(2)]		22			μF
直流特性					
增益误差		-64	±20	64	LSB
偏移量误差		-6	±4	6	LSB
通道间增益误差			±6		LSB
通道间偏移量误差			±6		LSB
ADC 间增益误差	所有 ADC 的 VREFHI 和 VREFLO 都相同		±6		LSB
ADC 间偏移量误差	所有 ADC 的 VREFHI 和 VREFLO 都相同		±6		LSB
DNL 误差		> – 1	±0.5	1	LSB
INL 误差		-6	±1.5	6	LSB
ADC 间隔离	VREFHI = 2.5V，同步 ADC	-2		2	LSB
	VREFHI = 2.5V，异步 ADC		不支持		
交流特性					
SNR[(3)]	VREFHI = 2.5V，fin = 10kHz，SYSCLK 源自 X1（通过 PLL）		83.5		dB
	VREFHI = 2.5V，fin = 10kHz，SYSCLK 源自 INTOSC（通过 PLL）		83.5		dB
THD[(3)]	VREFHI = 2.5V，fin = 10kHz，SYSCLK 源自 X1（通过 PLL）		-94		dB
SFDR[(3)]	VREFHI = 2.5V，fin = 10kHz，SYSCLK 源自 X1（通过 PLL）		93		dB
SINAD[(3)]	VREFHI = 2.5V，fin = 10kHz，SYSCLK 源自 X1（通过 PLL）		83.4		dB
	VREFHI = 2.5V，fin = 10kHz，SYSCLK 源自 INTOSC（通过 PLL）		83.4		
ENOB[(3)]	VREFHI = 2.5V，fin = 10kHz，SYSCLK 源自 X1，单个 ADC		13.5		位
	VREFHI = 2.5V，fin = 10kHz，SYSCLK 源自 X1，同步 ADC		13.5		
	VREFHI = 2.5V，fin = 10kHz，SYSCLK 源自 X1，异步 ADC		不支持		
PSRR	VDD = 1.2V 直流 + 200mV 直流至正弦（1kHz 时）		77		dB
	800kHz 时为正弦		74		
	VDDA = 3.3V 直流 + 200mV 直流至正弦（1kHz 时）		77		
	800kHz 时为正弦		74		

(1) 当 ADC 输入大于 VDDA 时，VREFHI 上的负载电流会增加。这会导致转换不准确。
(2) 最好使用封装尺寸为 0805 或更小的陶瓷电容器。可接受高达 ±20% 的容差。
(3) 作为减少电容耦合和串扰的最佳实践的一部分，与 ADC 输入和 VREFHI 引脚相邻的引脚上的 IO 活动已尽可能减少

Copyright © 2023 Texas Instruments Incorporated

7.11.2.3.5 ADC 工作条件（12 位、单端）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
ADCCLK（源自 PERx.SYSCLK）		5		50	MHz
采样率	200MHz SYSCLK			3.45	MSPS
采样窗口持续时间（由 ACQPS 和 PERx.SYSCLK 设置）(1)	具有 50Ω 或更小的 R_s	75			ns
VREFHI		2.4	2.5 或 3.0	VDDA	V
VREFLO		VSSA	VSSA	VSSA	V
转换范围	外部基准	VREFLO		VREFHI	V

(1) 采样窗口还必须至少达到 1 个 ADCCLK 周期的长度，才能确保 ADC 正确运行。

7.11.2.3.5.1 ADC 工作条件（12 位、单端）注意事项

备注

工作过程中，ADC 输入应保持低于 VDDA + 0.3 V。如果 ADC 输入超过此电平，器件内部的 VREF 可能会受到干扰，这可能会影响使用相同 VREF 的其他 ADC 或 DAC 输入的结果。

备注

为使 ADC 和 DAC 满足指定的性能参数，VREFHI 引脚必须保持低于 VDDA。为确保正常运行，VREFHI 引脚必须保持低于 VDDA + 0.3V。如果 VREFHI 引脚超过 VDDA + 0.3V，可能会激活阻塞电路，使得 VREFHI 的内部值在内部浮动至 0V，从而导致 ADC 转换或 DAC 输出不正确。

7.11.2.3.6 ADC 特性（12 位、单端）

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
通用					
ADCCLK 转换周期		10.1		11	ADCCLK
上电时间				500	μs
VREFHI 输入电流(1)			130		μA
外部基准电容值(2)		2.2			μF
直流特性					
增益误差		-5	±3	5	LSB
偏移量误差		-4	±2	4	LSB
通道间增益误差			±4		LSB
通道间偏移量误差			±2		LSB
ADC 间增益误差	所有 ADC 的 VREFHI 和 VREFLO 都相同		±4		LSB
ADC 间偏移量误差	所有 ADC 的 VREFHI 和 VREFLO 都相同		±2		LSB
DNL 误差		> – 1	±0.5	1	LSB
INL 误差		-2	±1.0	2	LSB
ADC 间隔离	VREFHI = 2.5V，同步 ADC	-1		1	LSB
ADC 间隔离	VREFHI = 2.5V，异步 ADC，337 焊球 ZWT 封装	-2		2	LSB
ADC 间隔离	VREFHI = 2.5V，异步 ADC，176 引脚 PTP 封装	-9		9	LSB
交流特性					

7.11.2.3.6 ADC 特性（12 位、单端）(continued)

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
SNR(3)	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1（通过 PLL）		69.1		dB
	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 INTOSC（通过 PLL）		69.1		dB
THD(3)	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1（通过 PLL）		-88		dB
SFDR(3)	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1（通过 PLL）		89		dB
SINAD(3)	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1（通过 PLL）		69.0		dB
	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 INTOSC（通过 PLL）		69.0		
ENOB(3)	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1，单个 ADC		11.2		位
	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1，同步 ADC		11.2		
ENOB(3)	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1，异步 ADC，337 焊球 ZWT 封装		10.9		位
ENOB(3)	VREFHI = 2.5V，fin = 100kHz，SYSCLK 源自 X1，异步 ADC，176 引脚 PTP 封装		9.7		位
PSRR	VDD = 1.2V 直流 + 100mV 直流至正弦（1kHz 时）		60		dB
	VDD = 1.2V 直流 + 100mV 正弦（800kHz 时）		57		
	VDDA = 3.3V 直流 + 200mV 直流至正弦（1kHz 时）		60		
	VDDA = 3.3V 直流 + 200mV 正弦（800kHz 时）		57		

(1) 当 ADC 输入大于 VDDA 时，VREFHI 上的负载电流会增加。这会导致转换不准确。
(2) 最好使用封装尺寸为 0805 或更小的陶瓷电容器。可接受高达 ±20% 的容差。
(3) 作为减少电容耦合和串扰的最佳实践的一部分，与 ADC 输入和 VREFHI 引脚相邻的引脚上的 IO 活动已尽可能减少

7.11.2.3.7 ADCEXTSOC 时序要求

			最小值	最大值	单位
$t_{w(INT)}$	脉冲持续时间，INT 输入低电平/高电平	同步	$2t_{c(SYSCLK)}$		周期
		带限定器(1)	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SYSCLK)}$		周期

(1) 有关输入限定符参数的说明，请参阅节 7.10.8.2.1。

Copyright © 2023 Texas Instruments Incorporated

7.11.2.3.8 ADC 输入模型

备注

ADC 通道 ADCINA0、ADCINA1 和 ADCINB1 有一个 50kΩ 下拉电阻连接到 VSSA。

在单端运行模式下，ADC 输入特性如节 7.11.2.3.8.1、节 7.11.2.3.8.2 和图 7-37 所述。

7.11.2.3.8.1 单端输入模型参数（12 位分辨率）

	说明	值
C_p	寄生输入电容	请参阅 表 7-12
R_{on}	采样开关电阻	425Ω
C_h	采样电容器	14.5pF
R_s	标称源阻抗	50Ω

7.11.2.3.8.2 单端输入模型参数（16 位分辨率）

	说明	值
C_p	寄生输入电容	请参阅 表 7-12
R_{on}	采样开关电阻	425Ω
C_h	采样电容器	32.5pF
R_s	标称源阻抗	50Ω

7.11.2.3.8.3 单端输入模型

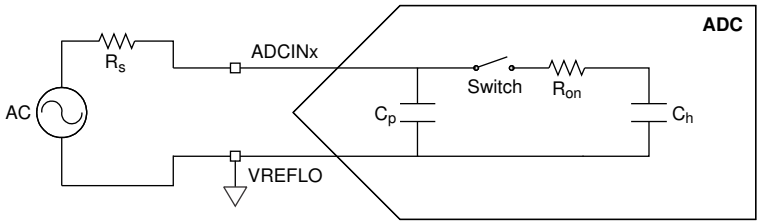


图 7-37. 单端输入模型

用户应假设在 C_h 具有最坏的初始条件下分析 ADC 输入设置。这将需要假设 C_h 能够在 S+H 窗口开始时完全充电至 VREFHI 或完全放电至 VREFLO。当 ADC 从奇数通道转换为偶数通道，或从偶数通道转换为奇数通道时，C_h 上的实际初始电压将几乎完全放电至 VREFLO 的状态。对于偶数到偶数或奇数到奇数的转换，C_h 上的初始电压将接近于之前已转换通道上的电压。

对于差分工作，节 7.11.2.3.8.4 和图 7-38 给出了 ADC 输入特征。

7.11.2.3.8.4 差分输入模型参数（16 位分辨率）

	说明	值
C_p	寄生输入电容	请参阅 表 7-12
R_{on}	采样开关电阻	700Ω
C_h	采样电容器	16.5pF
R_s	标称源阻抗	50Ω

7.11.2.3.8.5 差分输入模型

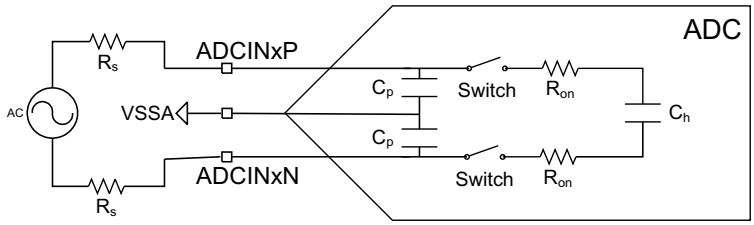


图 7-38. 差分输入模型

表 7-12 列出了每个通道上的寄生电容。此外，启用比较器会在比较器正输入上增加约 1.4pF 的电容，并在比较器负输入上增加约 2.5pF 的电容。

表 7-12. 每通道寄生电容

ADC 通道	C_p (pF)	
	比较器已禁用	比较器已启用
ADCINA0	12.9	不适用
ADCINA1	10.3	不适用
ADCINA2	5.9	7.3
ADCINA3	6.3	8.8
ADCINA4	5.9	7.3
ADCINA5	6.3	8.8
ADCINB0(1)	117.0	不适用
ADCINB1	10.6	不适用
ADCINB2	5.9	7.3
ADCINB3	6.2	8.7
ADCINB4	5.2	不适用
ADCINB5	5.1	不适用
ADCINC2	5.5	6.9
ADCINC3	5.8	8.3
ADCINC4	5.0	6.4
ADCINC5	5.3	7.8
ADCIND0	5.3	6.7
ADCIND1	5.7	8.2
ADCIND2	5.3	6.7
ADCIND3	5.6	8.1
ADCIND4	4.3	不适用
ADCIND5	4.3	不适用
ADCIN14	8.6	10.0
ADCIN15	9.0	11.5

(1) 由于 VDAC 功能导致电容增加。

Copyright © 2023 Texas Instruments Incorporated

应将这些输入模型与实际信号源阻抗配合使用，以确定采集窗口持续时间。有关更多信息，请参阅 *TMS320F2838x 实时微控制器技术参考手册* 的“选择采集窗口持续时间”部分。另请参阅 *C2000 ADC 的电荷共享驱动电路（使用 TINA-TI 仿真工具）*应用手册和 *C2000 MCU 的 ADC 输入电路评估（使用 TINA-TI 仿真工具）*应用手册。

7.11.2.3.9 ADC 时序图

节 7.11.2.3.9.1 列出了 12 位模式下的 ADC 时序（SYSCLK 周期）。节 7.11.2.3.9.2 列出了 16 位模式下的 ADC 时序。图 7-39 和图 7-40 显示了在下列假设下两个 SOC 的 ADC 转换时序：

- SOC0 和 SOC1 配置为使用相同的触发器。
- 触发发生时，没有其他 SOC 正在转换或挂起。
- 轮循指针处于使 SOC0 首先转换的状态。
- ADCINTSEL 配置为在 SOC0 的转换结束时设置一个 ADCINT 标志（该标志是否传播到 CPU 以引起中断由 PIE 模块中的配置决定）。

表 7-13 列出了图 7-39 和图 7-40 中 ADC 时序参数的说明。

表 7-13. ADC 时序参数

参数	说明
t_{SH}	S+H 窗口的持续时间。 在该窗口结束时，S+H 电容器上的值则变为待转换成数字值的电压。持续时间由 (ACQPS + 1) 个 SYSCLK 周期计算得出。ACQPS 可以为每个 SOC 单独配置，因此对于不同的 SOC，t_{SH} 不一定相同。 **注意：**无论器件时钟设置如何，S+H 电容器上的值都将在 S+H 窗口结束前大约 5ns 时被采集。
t_{LAT}	从 S+H 窗口结束到 ADC 转换结果锁存到 ADCRESULTx 寄存器的时间。 如果在此时间之前读取 ADCRESULTx 寄存器，将返回之前的转换结果。
t_{EOC}	从 S+H 窗口结束到下一个 ADC 转换 S+H 窗口可以开始的时间。后续采样可以在锁存转换结果之前开始。
t_{INT}	从 S+H 窗口结束到设置 ADCINT 标志（如果已配置）的时间。 如果设置了 ADCCTL1 寄存器中的 INTPULSEPOS 位，t_{INT} 将与锁存到结果寄存器中的转换结果相一致。 如果 INTPULSEPOS 位为 0，t_{INT} 将与 S+H 窗口的结束相一致。如果 t_{INT} 触发读取 ADC 结果寄存器（直接通过 DMA 读取或通过触发读取结果的 ISR 来间接读取），必须注意确保读取发生在结果锁存之后（否则，将读取之前的结果）。

7.11.2.3.9.1 12 位模式下的 ADC 时序（SYSCLK 周期）

ADCCLK 预分频		SYSCLK 周期				ADCCLK 周期
ADCCTL2 [预分频]	比率 ADCCLK:SYSCLK	t_{EOC}	t_{LAT} (1)	$t_{INT(EARLY)}$ (2)	$t_{INT(LATE)}$	t_{EOC}
0	1	11	13	1	11	11.0
1	1.5	无效				
2	2	21	23	1	21	10.5
3	2.5	26	28	1	26	10.4
4	3	31	34	1	31	10.3
5	3.5	36	39	1	36	10.3
6	4	41	44	1	41	10.3
7	4.5	46	49	1	46	10.2
8	5	51	55	1	51	10.2
9	5.5	56	60	1	56	10.2
10	6	61	65	1	61	10.2
11	6.5	66	70	1	66	10.2
12	7	71	76	1	71	10.1
13	7.5	76	81	1	76	10.1
14	8	81	86	1	81	10.1
15	8.5	86	91	1	86	10.1

(1) 请参阅 *TMS320F2838x 实时 MCU 器件勘误表* 中的“ADC：DMA 读取过时结果”公告。
(2) 默认情况下，如果 INTPULSEPOS 为 0，则 t_{INT} 在 S+H 窗口后的一个 SYSCLK 周期内发生。这可以通过写入 ADCINTCYCLE 寄存器的 OFFSET 字段来改变。

Copyright © 2023 Texas Instruments Incorporated

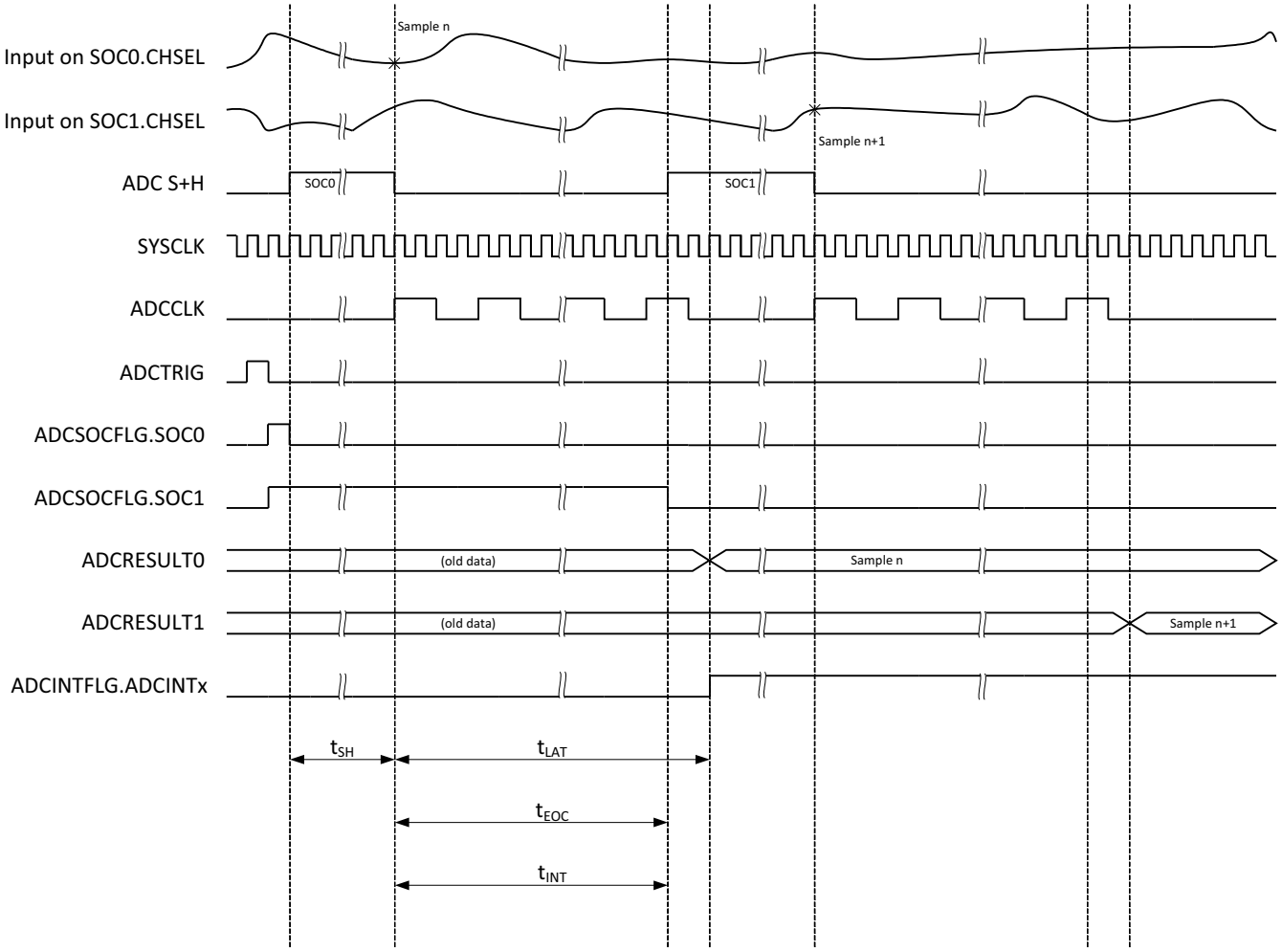


图 7-39. 12 位模式的 ADC 时序

7.11.2.3.9.2 16 位模式下的 ADC 时序

ADCCLK 预分频		SYSCLK 周期				ADCCLK 周期
ADCCTL2 [预分频]	比率 ADCCLK:SYSCLK	t_{EOC}	t_{LAT} (1)	$t_{INT(EARLY)}$ (2)	$t_{INT(LATE)}$	t_{EOC}
0	1	31	32	1	31	31.0
1	1.5	无效				
2	2	60	61	1	60	30.0
3	2.5	75	75	1	75	30.0
4	3	90	91	1	90	30.0
5	3.5	104	106	1	104	29.7
6	4	119	120	1	119	29.8
7	4.5	134	134	1	134	29.8
8	5	149	150	1	149	29.8
9	5.5	163	165	1	163	29.6
10	6	178	179	1	178	29.7
11	6.5	193	193	1	193	29.7
12	7	208	209	1	208	29.7
13	7.5	222	224	1	222	29.6
14	8	237	238	1	237	29.6
15	8.5	252	252	1	252	29.6

(1) 请参阅 *TMS320F2838x 实时 MCU 器件勘误表* 中的“ADC：DMA 读取过时结果”公告。
(2) 默认情况下，如果 INTPULSEPOS 为 0，则 t_{INT} 在 S+H 窗口后的一个 SYSCLK 周期内发生。这可以通过写入 ADCINTCYCLE 寄存器的 OFFSET 字段来改变。

Copyright © 2023 Texas Instruments Incorporated

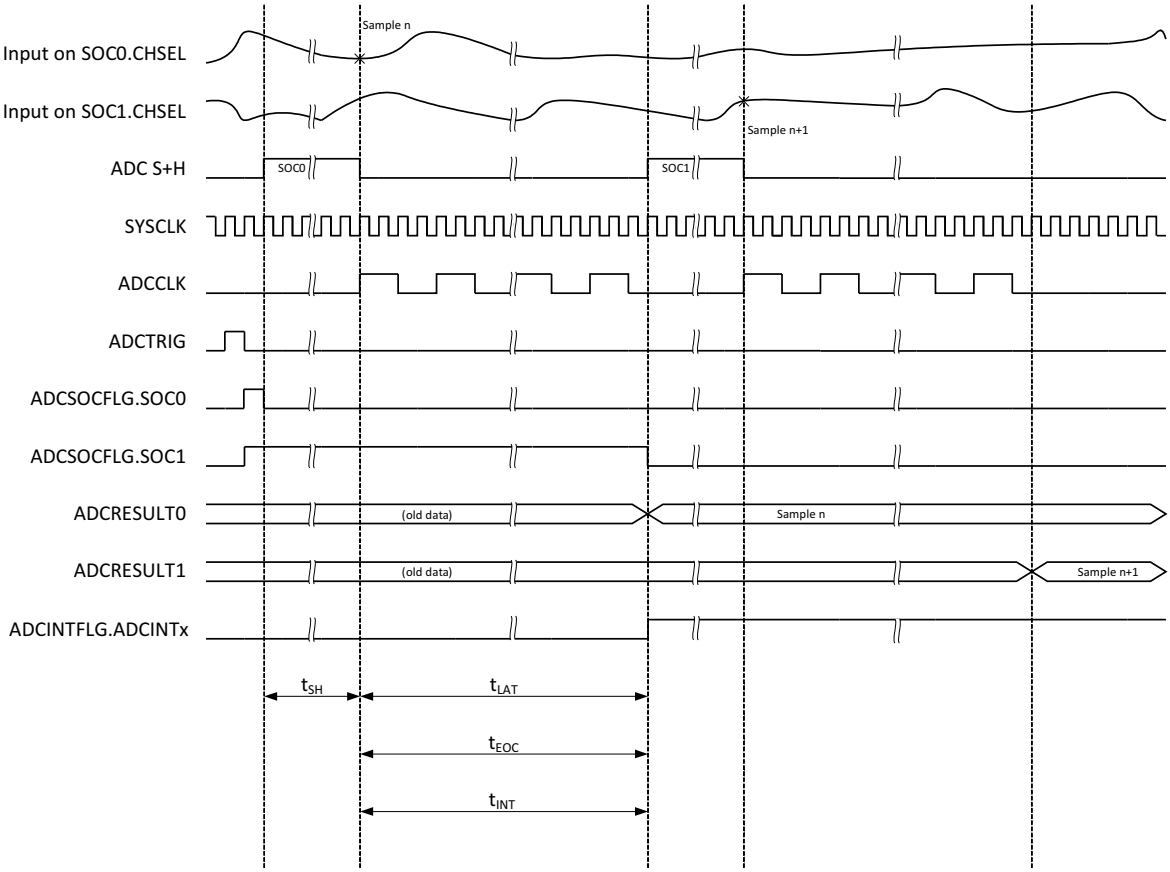


图 7-40. 16 位模式的 ADC 时序

7.11.2.4 温度传感器电气数据和时序

温度传感器可用于测量器件结温。温度传感器通过与 ADC 的内部连接进行采样，并通过 TI 提供的软件转换为温度。在对温度传感器进行采样时，ADC 必须满足节 7.11.2.4.1 中列出的采集时间要求。

7.11.2.4.1 温度传感器特征

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
T_{acc}	温度精度	外部基准		±15		°C
$t_{startup}$	启动时间（TSNSCTL[ENABLE] 至采样温度传感器）			500		µs
t_{acq}	ADC 采集时间		700			ns

Copyright © 2023 Texas Instruments Incorporated

7.11.3 比较器子系统 (CMPSS)

比较器子系统基于多个模块构建而成。每个子系统包含两个比较器、两个基准 12 位 DAC、两个数字滤波器和一个斜坡发生器。比较器在每个模块中用“H”或“L”表示，其中“H”和“L”分别代表高电平和低电平。每个比较器都会生成一个数字输出，指示正输入端的电压是否大于负输入端的电压。比较器的正输入由外部引脚驱动。负输入可由外部引脚或可编程基准 12 位 DAC 驱动。每个比较器输出都会通过一个可编程的数字滤波器，该滤波器可以去除伪跳变信号。如果不需要滤波，也可以使用未滤波的输出。斜坡发生器电路可用于控制子系统中高电平比较器的基准 12 位 DAC 值。

每个 CMPSS 包含：

- 两个模拟比较器
- 两个可编程基准 12 位 DAC
- 一个斜坡发生器
- 两个数字滤波器
- 能够将各个子模块与 EPWMSYNCPER 同步
- 能够通过 EPWMBLANK 扩展清除信号
- 能够将输出与 SYSCLK 同步
- 能够锁存输出
- 能够反转输出
- 可选择在输入端使用迟滞
- 可选择通过外部信号或基准 DAC 驱动比较器的负输入
- 可选择 VDDA 或 VDAC 作为 DAC 基准电压

图 7-41 展示了 CMPSS 的方框图。

- CTRIPx（x=“H”或“L”）信号连接到 ePWM X-BAR，用于 ePWM 跳闸响应。有关 ePWM X-BAR 多路复用器配置的更多详细信息，请参阅 *TMS320F2838x 实时微控制器技术参考手册* 的“增强型脉宽调制器 (ePWM)”一章。
- CTRIPxOUTx（x=“H”或“L”）信号连接到输出 X-BAR，用于外部信号。有关输出 X-BAR 多路复用器配置的更多详细信息，请参阅 *TMS320F2838x 实时微控制器技术参考手册* 的“通用输入/输出 (GPIO)”一章。

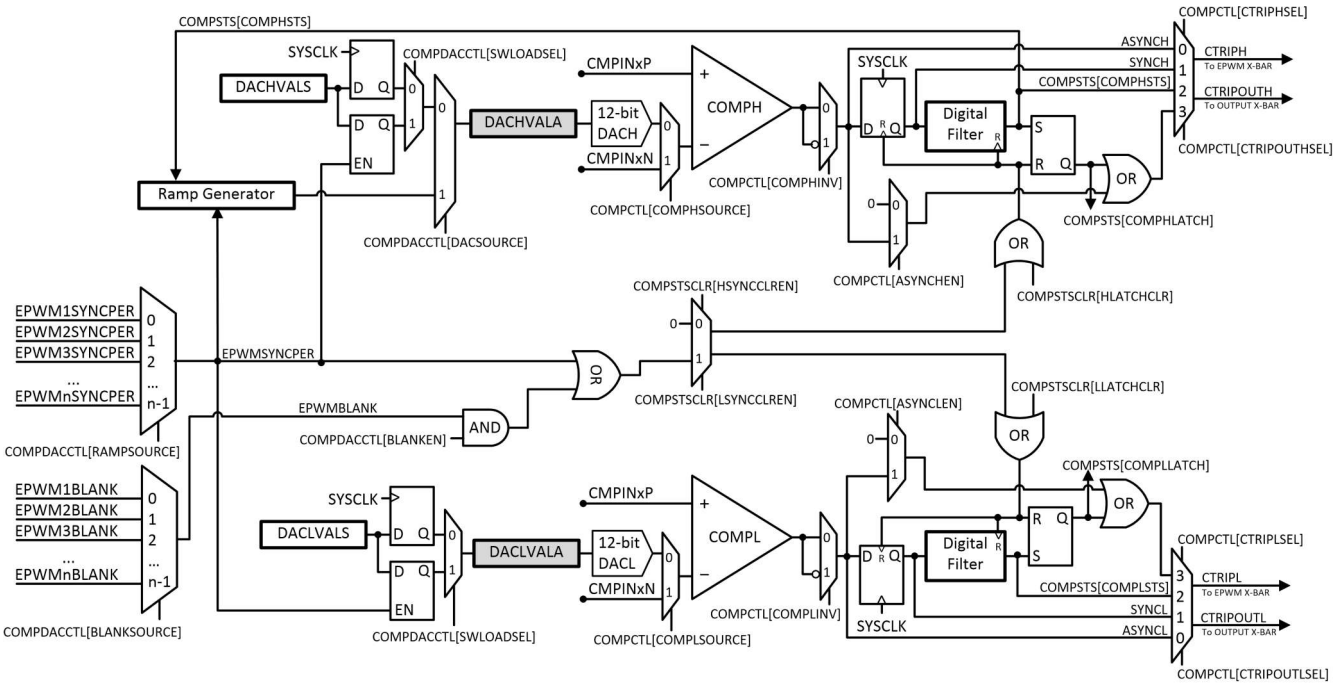


图 7-41. CMPSS 模块方框图

图 7-42 显示了 337 焊球 ZWT 和 176 引脚 PTP 封装上的 CMPSS 连接。

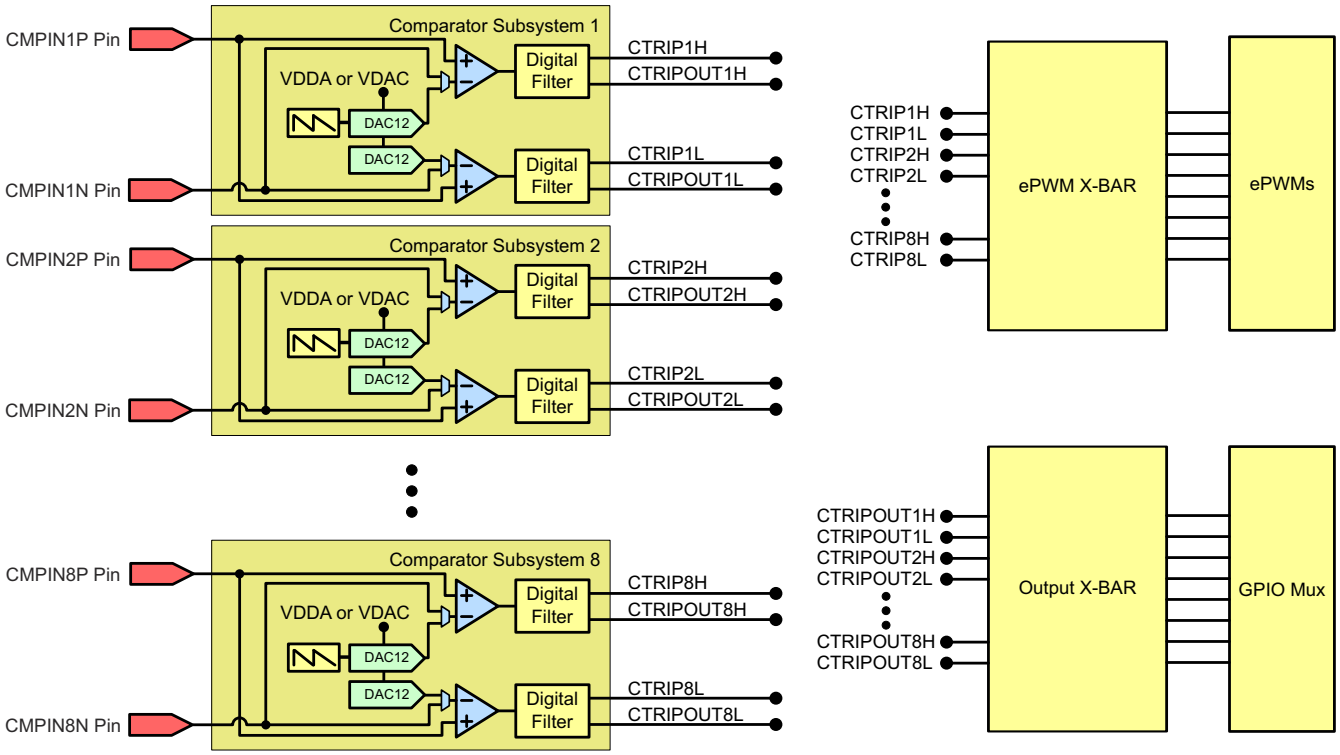


图 7-42. CMPSS 连接（337 焊球 ZWT 和 176 引脚 PTP）

Copyright © 2023 Texas Instruments Incorporated

7.11.3.1 CMPSS 电气数据和时序

7.11.3.1.1 比较器电气特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
T_{PU}	上电时间				500	μs
	比较器输入 (CMPINxx) 范围		0		VDDA	V
	以输入为基准的偏移量误差	低共模，反相输入设置为 50mV	-20		20	mV
	迟滞(1)	1x	4	12	20	LSB
		2x	17	24	33	
		3x	25	36	50	
		4x	30	48	67	
	响应时间（从 CMPINx 输入更改到 ePWM X-BAR 输出或 X-BAR 输出的延迟）	阶跃响应		21	60	ns
		斜坡响应 (1.65V/μs)		26		
		斜坡响应 (8.25mV/μs)		30		ns
PSRR	电源抑制比	高达 250kHz		46		dB
CMRR	共模抑制比		40			dB

(1) CMPSS DAC 用作确定应用多少迟滞的基准。因此，迟滞将随 CMPSS DAC 基准电压而变化。迟滞适用于所有比较器输入源配置。

7.11.3.1.2 CMPSS 比较器以输入为基准的偏移量和迟滞

备注

CMPSS 输入必须保持低于 VDDA + 0.3 V，以确保正常工作。如果 CMPSS 输入超过此电平，内部阻塞电路会将内部比较器与外部引脚隔离，直至外部引脚电压返回到 VDDA + 0.3V 以下。在此期间，内部比较器输入将处于悬空状态，并能在大约 0.5μs 内衰减至 VDDA 以下。在此之后，比较器可能会开始输出不正确的结果，具体取决于其他比较器输入的值。

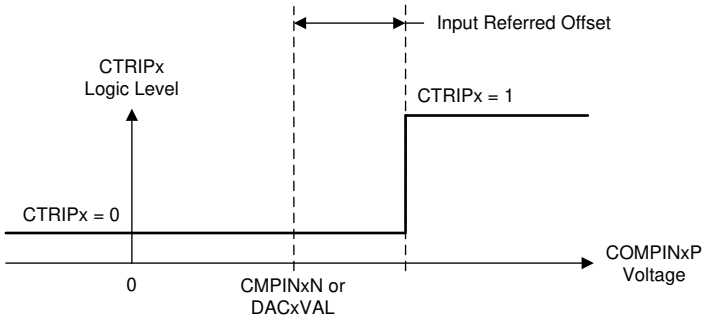


图 7-43. CMPSS 比较器以输入为基准的偏移量

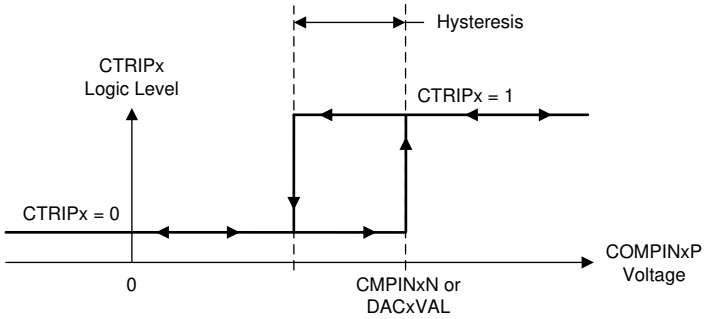


图 7-44. CMPSS 比较器迟滞

节 7.11.3.1.3 列出了 CMPSS DAC 静态电气特性。

7.11.3.1.3 CMPSS DAC 静态电气特性

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
CMPSS DAC 输出范围	内部基准	0		VDDA	V
	外部基准	0		VDAC(4)	
静态偏移量误差(1)		–25		25	mV
静态增益误差(1)		-2		2	FSR 百分比
静态 DNL	已更正端点	> –1		4	LSB
静态 INL	已更正端点	–16		16	LSB
趋稳时间	满量程输出变化后稳定到 1LSB			1	µs
分辨率			12		位
CMPSS DAC 输出干扰(2)	由同一 CMPSS 模块内的比较器跳闸或 CMPSS DAC 代码更改引起的误差	–100		100	LSB
CMPSS DAC 干扰时间(2)			200		ns
VDAC 基准电压	当 VDAC 为基准时	2.4	2.5 或 3.0	VDDA	V
VDAC 负载(3)	当 VDAC 为基准时		6		kΩ

(1) 包含以比较器输入为基准的误差。
(2) 在比较器跳闸后的一段时间内，CMPSS DAC 输出可能会出现干扰误差。
(3) 每个有源 CMPSS 模块。
(4) 当 VDAC > VDDA 时，最大输出电压为 VDDA。

7.11.3.1.4 CMPSS 示意图

备注

为使 DAC 和 CMPSS 满足指定的性能参数，VDAC 引脚必须保持低于 VDDA。为确保正常运行，VDAC 引脚必须保持低于 VDDA + 0.3V。如果 VDAC 引脚超过 VDDA + 0.3V，可能会激活阻塞电路，使得 VDAC 的内部值在内部浮动至 0V，从而导致 DAC 输出或 CMPSS 跳闸不正确。

图 7-45 显示了 CMPSS DAC 静态偏移量。图 7-46 显示了 CMPSS DAC 静态增益。图 7-47 显示了 CMPSS DAC 静态线性。

Copyright © 2023 Texas Instruments Incorporated

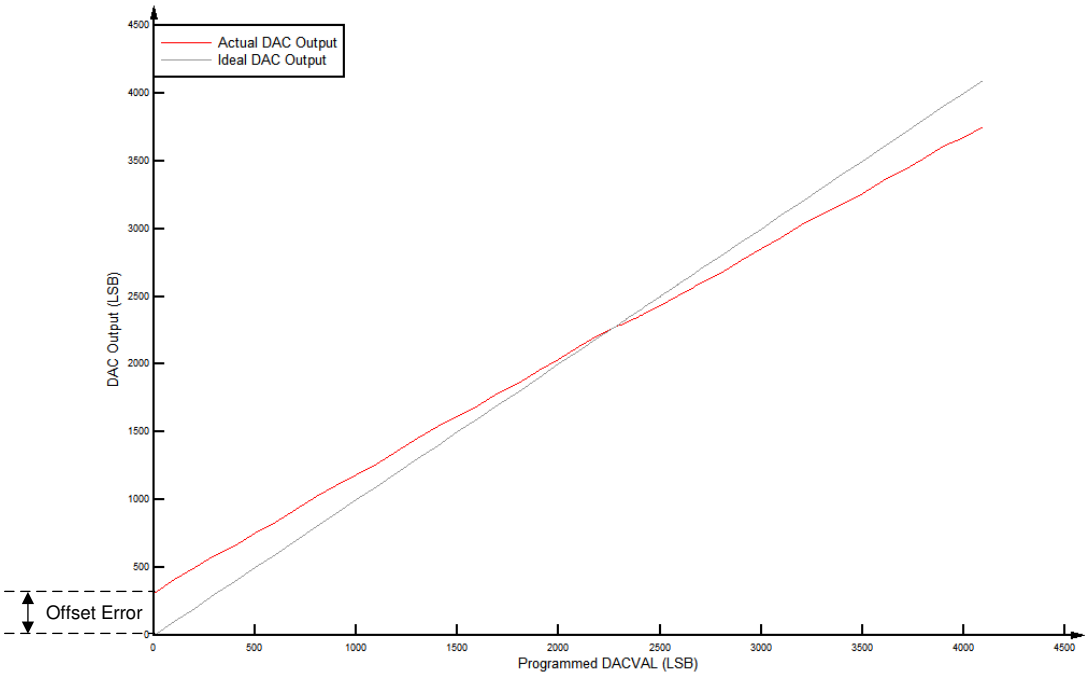


图 7-45. CMPSS DAC 静态偏移量

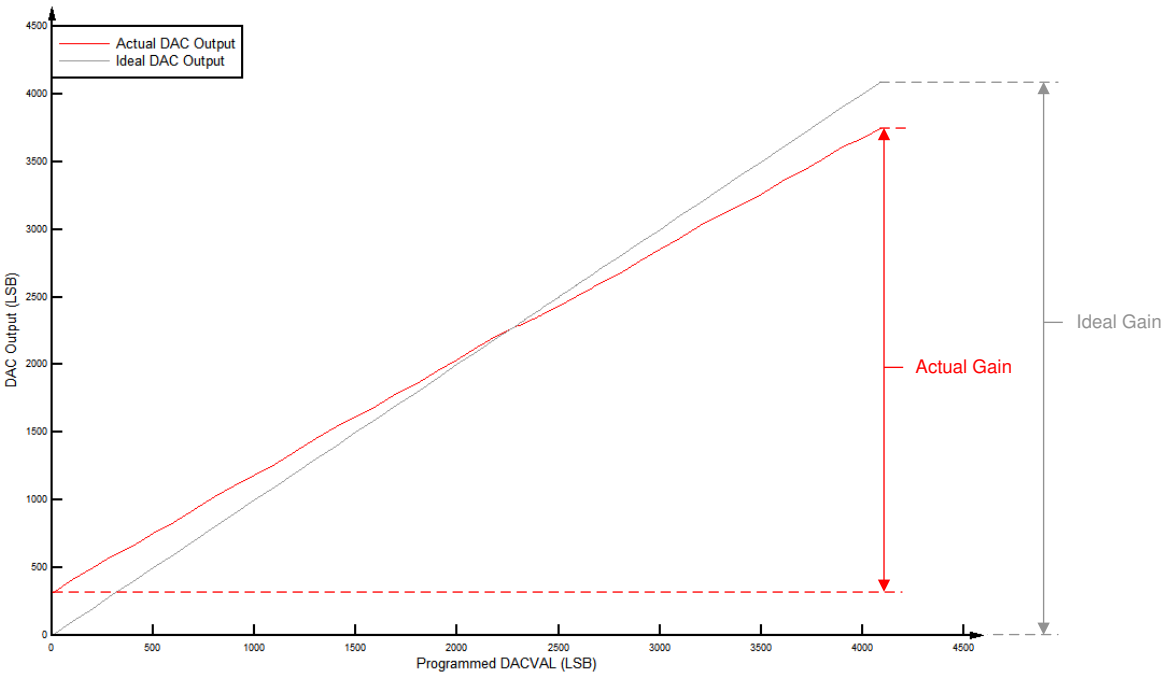


图 7-46. CMPSS DAC 静态增益

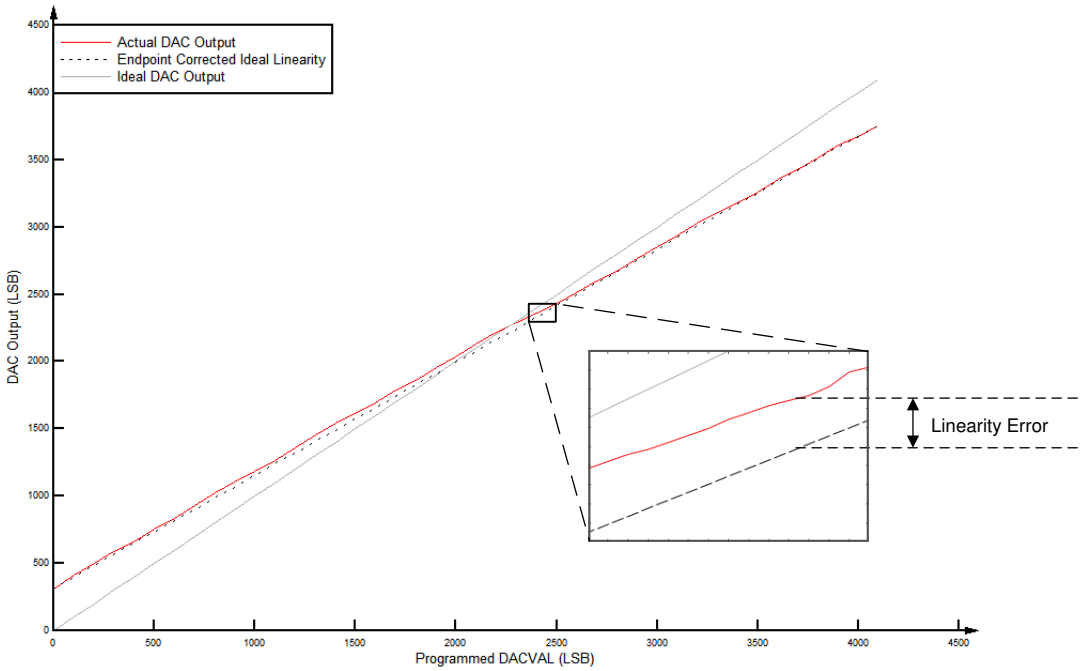


图 7-47. CMPSS DAC 静态线性

7.11.3.1.5 CMPSS DAC 动态误差

当使用斜坡发生器控制内部 DAC 时，阶跃大小可以根据应用需求而变化。由于 DAC 的阶跃大小小于满量程转换，因此，稳定时间比 *CMPSS DAC 静态电气特性* 表 中列出的电气规格有所改善。下面的公式和图 7-48 可以根据不同的 RAMPxDECVALA 值，提供有关与理想值之间预期电压误差的指导。

$$DYNAMICERROR = (m \times RAMPxDECVALA) + b \tag{5}$$

表 7-14. DAC 最大动态误差项

公式参数	最小值 (LSB)	最大值 (LSB)
m	0.167	0.30
b	3.7	5.6

备注

上述误差项基于目标器件的最大 SYSCLK。如果在最大 SYSCLK 以下运行，则“m”误差项应相应调整。

Copyright © 2023 Texas Instruments Incorporated

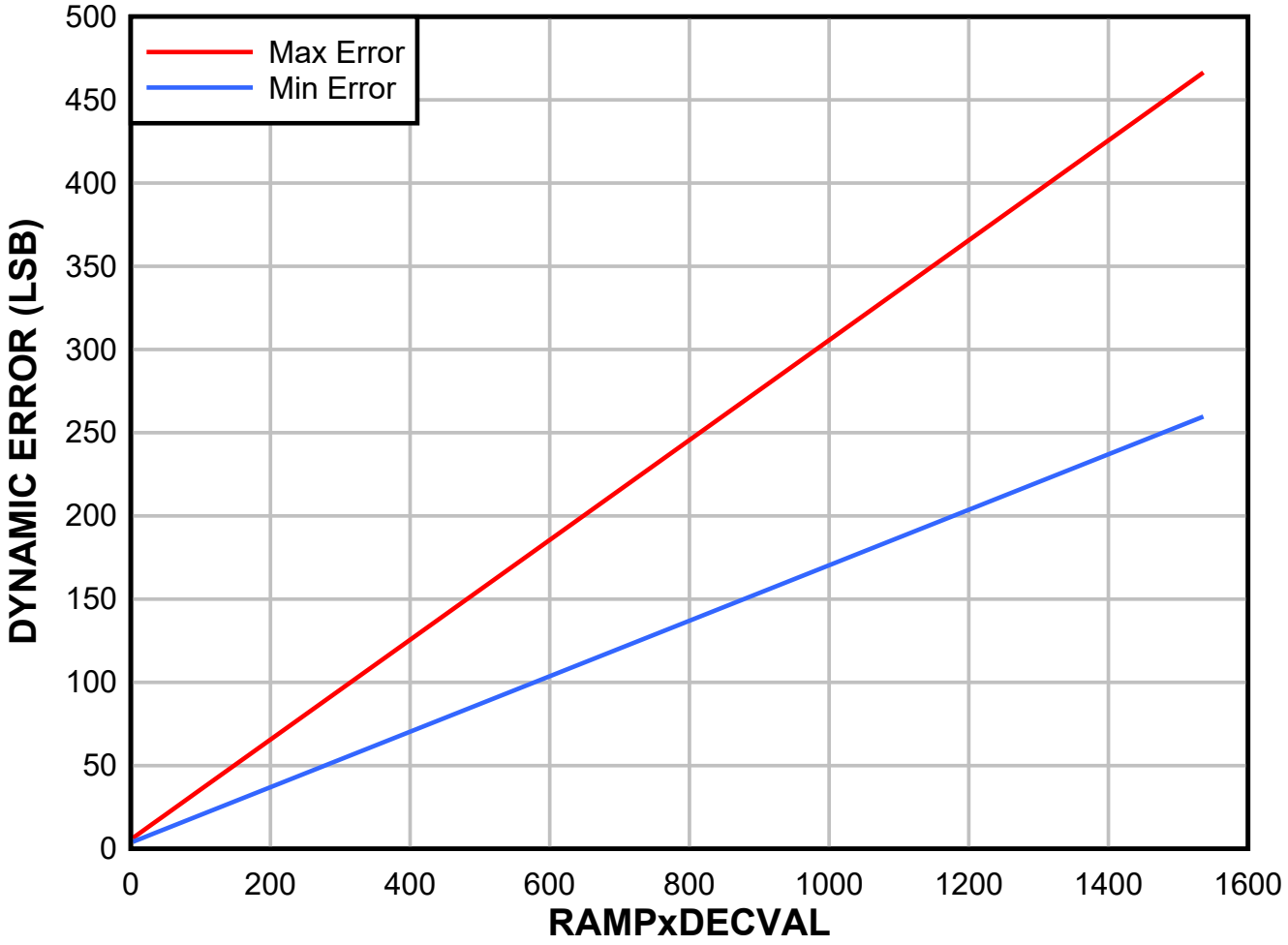


图 7-48. CMPSS DAC 动态误差

7.11.4 缓冲数模转换器 (DAC)

缓冲 DAC 模块由内部 12 位 DAC 和能够驱动外部负载的模拟输出缓冲器组成。DAC 输出上的集成下拉电阻器有助于在输出缓冲器被禁用时提供已知的引脚电压。该下拉电阻不能禁用，并且作为无源器件保留在引脚上，即使对于其他共享引脚复用功能也是如此。缓冲 DAC 是一种通用 DAC，可用于生成直流电压以及交流波形，例如正弦波、方波、三角波等。软件写入 DAC 值寄存器可以立即生效，也可以与 EPWMSYNCPER 事件同步。

每个缓冲 DAC 具有以下特性：

- 12 位可编程的内部 DAC
- 可选择的基准电压源
- 输出端上的下拉电阻器
- 能够与 EPWMSYNCPER 同步

图 7-49 显示了缓冲 DAC 的方框图。

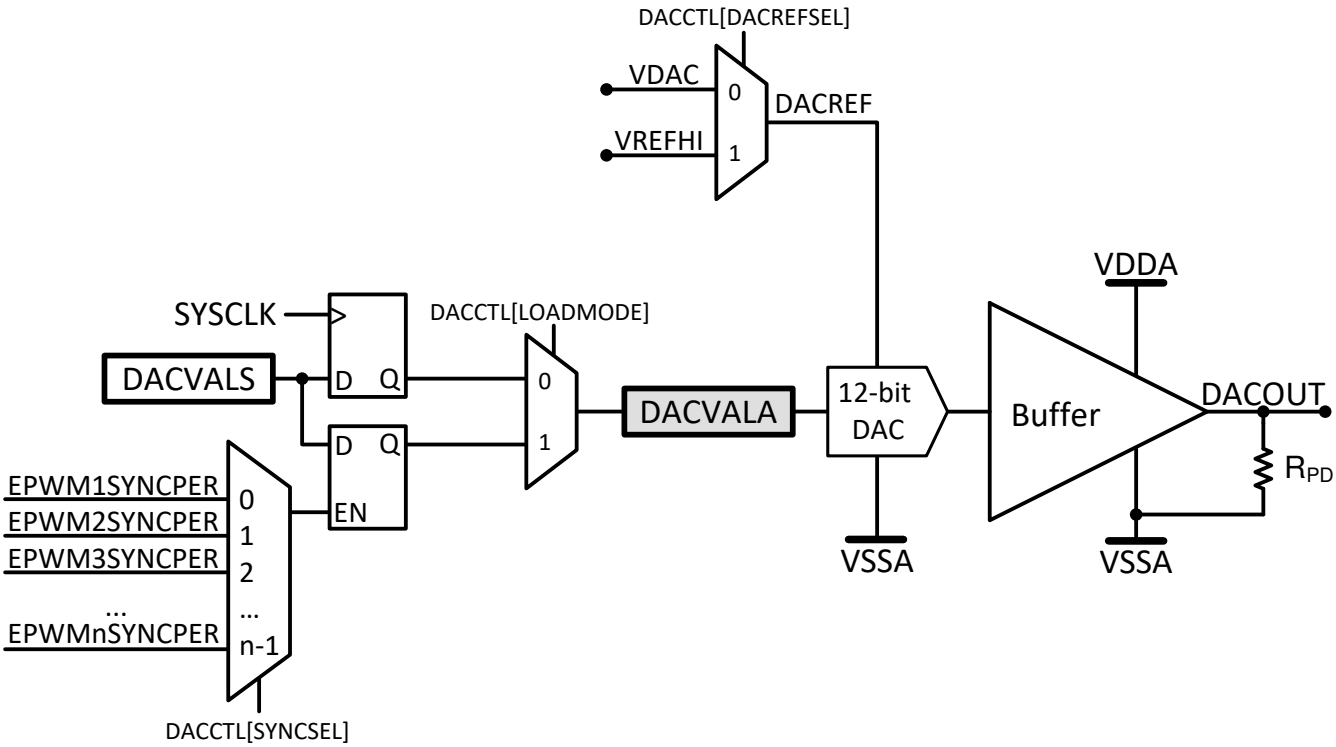


图 7-49. DAC 模块方框图

Copyright © 2023 Texas Instruments Incorporated

7.11.4.1 缓冲 DAC 电气数据和时序

节 7.11.4.1.1 列出了缓冲 DAC 运行条件。节 7.11.4.1.2 列出了缓冲 DAC 电气特性。图 7-50 显示了缓冲 DAC 的偏移量。图 7-51 显示了缓冲 DAC 增益。图 7-52 显示了缓冲 DAC 线性。

7.11.4.1.1 缓冲 DAC 运行条件

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值(1)	典型值(1)	最大值(1)	单位
R_L	电阻负载		5			kΩ
C_L	容性负载				100	pF
V_{OUT}	有效输出电压范围(2)	R_L = 5kΩ	0.3		VDDA – 0.3	V
	基准电压(3)	VDAC 或 VREFHI	2.4	2.5 或 3.0	VDDA	V

(1) 典型值是在 VREFHI = 3.3V 时测得的（除非另有说明）。最小值和最大值在 VREFHI = 2.5V 的条件下进行测试或特性说明。
(2) 这是 DAC 的线性输出范围。DAC 可以产生此范围以外的电压，但由于缓冲器的原因，输出电压将不呈线性。
(3) 为了获得卓越 PSRR 性能，VDAC 或 VREFHI 应小于 VDDA。

7.11.4.1.2 缓冲 DAC 电气特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值(1)	典型值(1)	最大值(1)	单位
通用						
	分辨率			12		位
R_{PD}	下拉电阻器			50		kΩ
	负载调整率		-1		1	mV/V
	毛刺脉冲能量			1.5		V-ns
	电压输出稳定时间满量程	在 0.3V 至 3V 切换后稳定到 2LSB		2		μs
	电压输出稳定时间第 1/4 满量程	在 0.3V 至 0.75V 切换后稳定到 2LSB		1.6		μs
	电压输出压摆率	从 0.3V 到 3V 转换的压摆率	2.8		4.5	V/μs
	负载瞬态的稳定时间(6)	5kΩ 负载			328	ns
	基准输入电阻(2)	VDAC 或 VREFHI		170		kΩ，
TPU	上电时间	外部基准模式			500	μs
直流特性						
偏移	偏移量误差	中点	-10		10	mV
Gain	增益误差(3)		-2.5		2.5	FSR 百分比
DNL	微分非线性(4)	已更正端点	> –1	±0.4	1	LSB
INL	积分非线性	已更正端点	–5	±2	5	LSB
交流特性						
	输出噪声	从 100Hz 到 100kHz 的积分噪声		500		μVrms
		10kHz 时的噪声密度		711		nVrms/√Hz
SNR	信噪比	1020Hz，1MSPS		67		dB
THD	总谐波失真	1020Hz，1MSPS		–63		dB
SFDR	无杂散动态范围	1020Hz，1MSPS（包括谐波和杂散）		66		dBc
		1020Hz，1MSPS（仅包括杂散）		104		
PSRR	电源抑制比(5)	直流		70		dB
		100kHz		30		

(1) 典型值是在 VREFHI = 3.3V 时测得的，除非另外注明。最小值和最大值在 VREFHI = 2.5V 的条件下进行测试或特性说明。
(2) 每个有源缓冲 DAC 模块。
(3) 增益误差是在线性输出范围内计算得出。
(4) DAC 输出是单调输出。
(5) VREFHI = 3.2V，VDDA = 3.3V DC + 100mV 正弦。
(6) 稳定在 3LSB 以内。

Copyright © 2023 Texas Instruments Incorporated

7.11.4.1.3 缓冲 DAC 注意事项和示意图

备注

为使 DAC 和 CMPSS 满足指定的性能参数，VDAC 引脚必须保持低于 VDDA。为确保正常运行，VDAC 引脚必须保持低于 VDDA + 0.3V。如果 VDAC 引脚超过 VDDA + 0.3V，可能会激活阻塞电路，使得 VDAC 的内部值在内部浮动至 0V，从而导致 DAC 输出或 CMPSS 跳闸不正确。

备注

为使 ADC 和 DAC 满足指定的性能参数，VREFHI 引脚必须保持低于 VDDA。为确保正常运行，VREFHI 引脚必须保持低于 VDDA + 0.3V。如果 VREFHI 引脚超过 VDDA + 0.3V，可能会激活阻塞电路，使得 VREFHI 的内部值在内部浮动至 0V，从而导致 ADC 转换或 DAC 输出不正确。

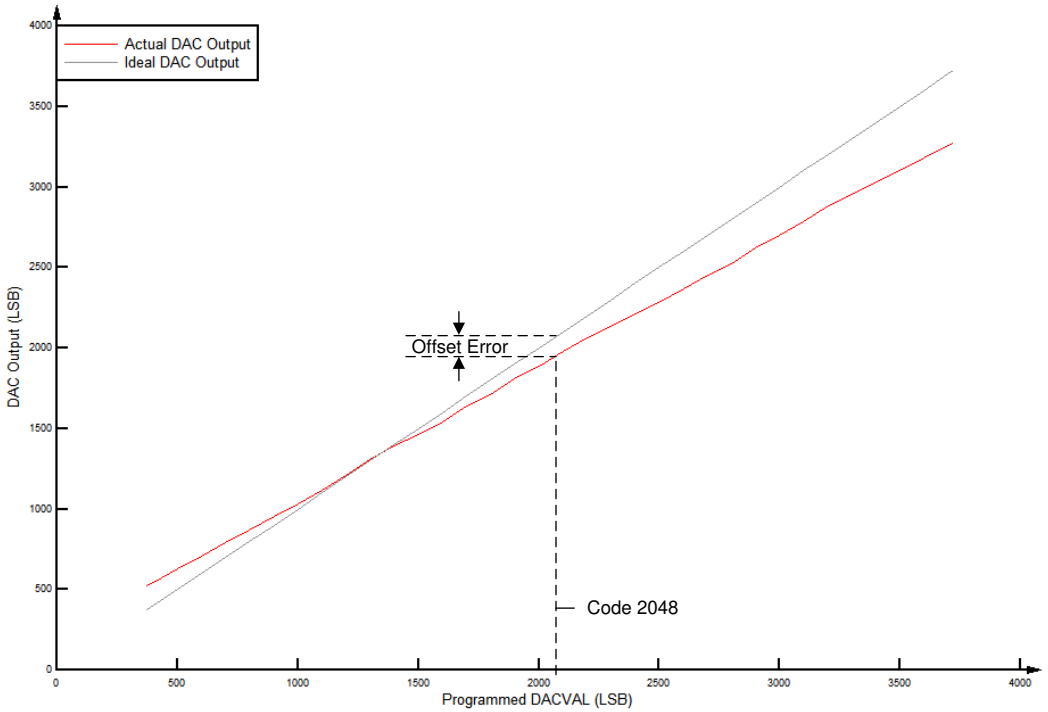


图 7-50. 缓冲 DAC 偏移

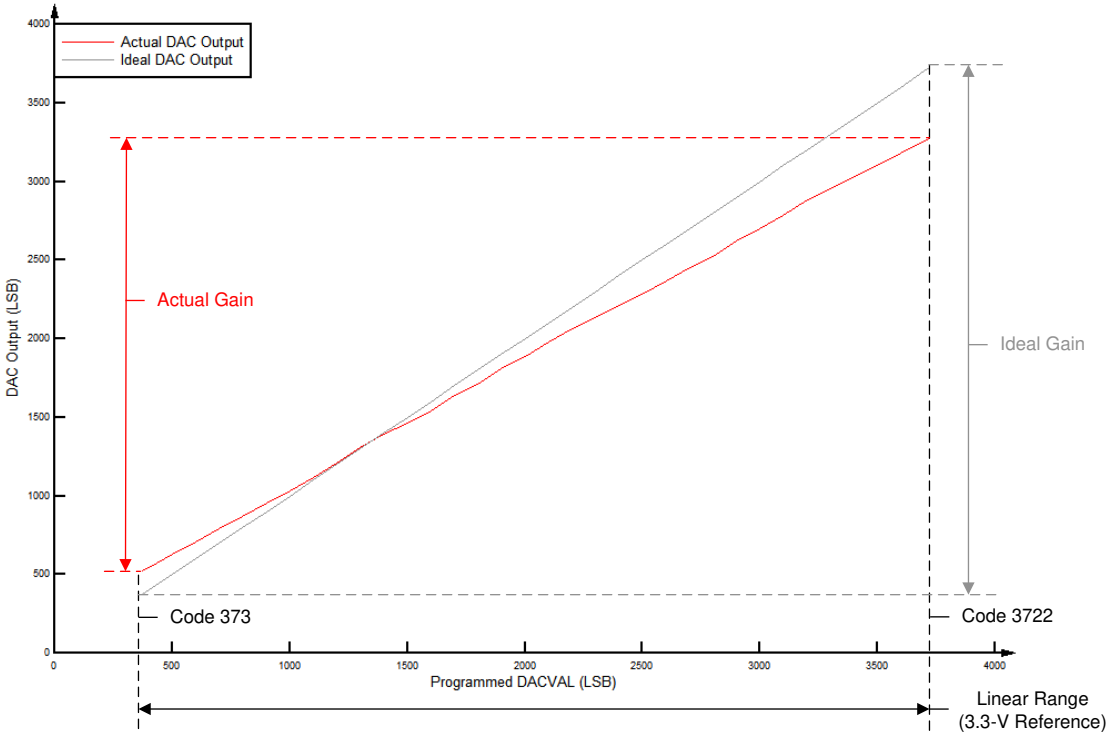


图 7-51. 缓冲 DAC 增益

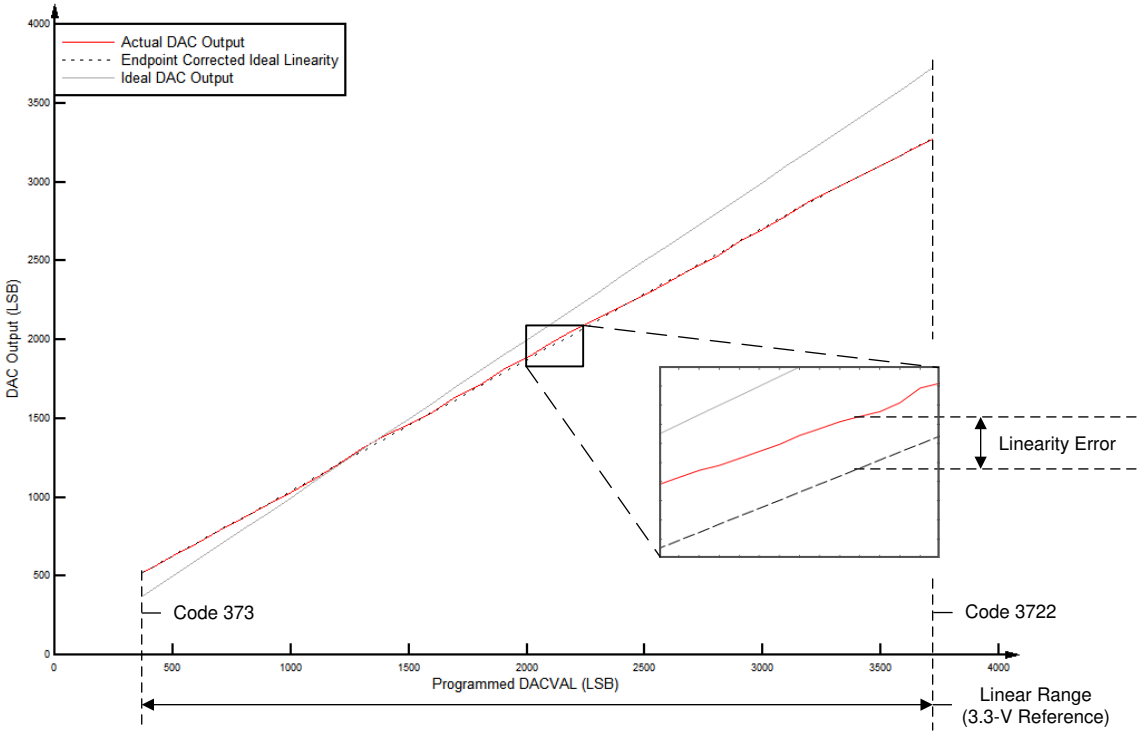


图 7-52. 缓冲 DAC 线性

Copyright © 2023 Texas Instruments Incorporated

7.12 C28x 控制外设

备注

有关特定器件上每个外设的实际数量，请参阅“器件比较”表。

7.12.1 增强型捕捉 (eCAP) 和高分辨率捕捉 (HRCAP)

eCAP 模块可用于对外部事件的准确计时很重要的系统中。

eCAP 的应用包含：

- 旋转机械的速度测量（例如，通过霍尔传感器感应齿状链轮）
- 位置传感器脉冲之间的持续时间测量
- 脉冲序列信号的周期和占空比测量
- 解码来自占空比编码电流/电压传感器的电流或电压振幅

eCAP 模块包括以下特性：

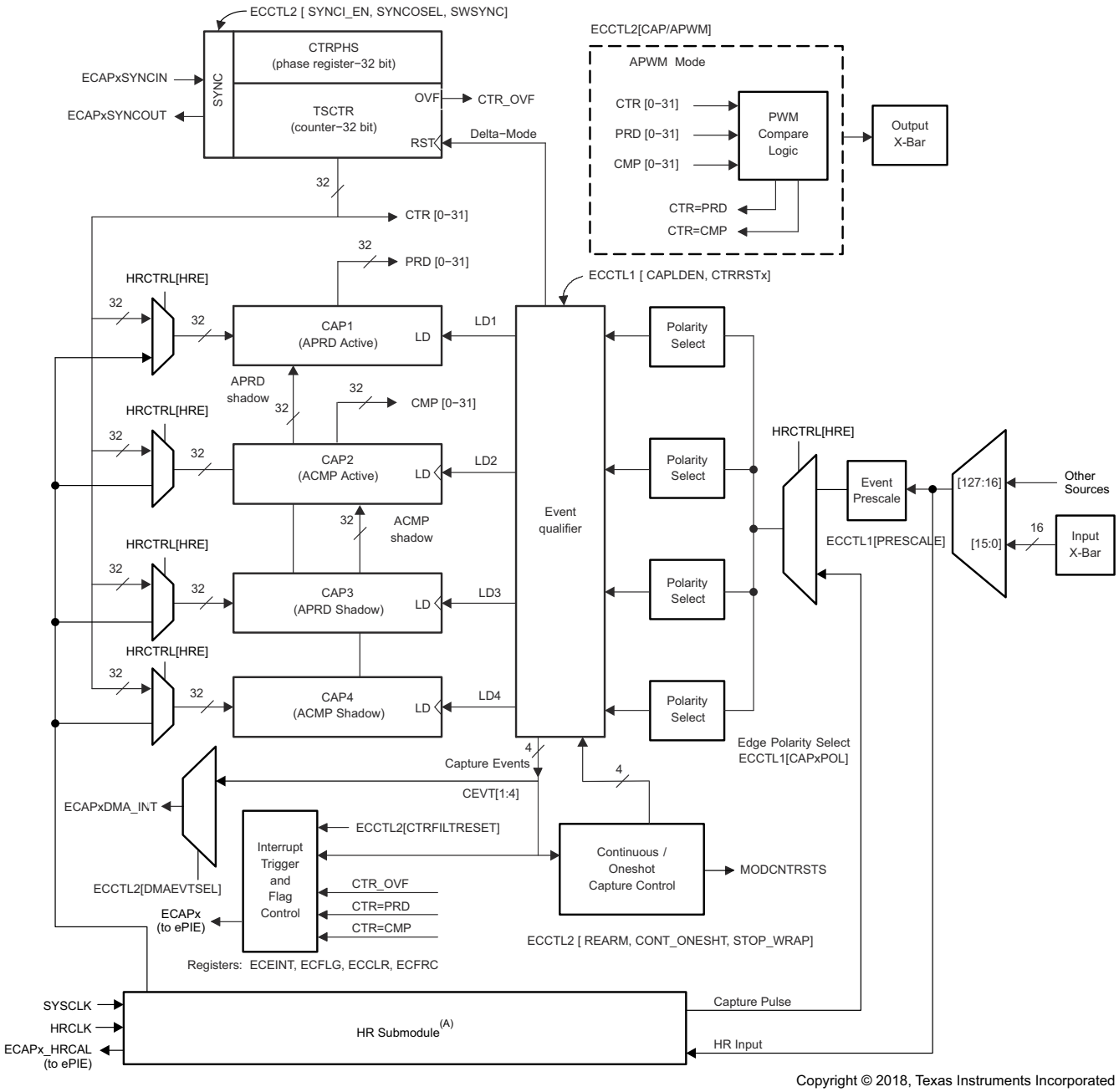
- 4 事件时间戳寄存器（每个 32 位）
- 边缘极性选择，最多选择四个序列时间戳采集事件
- 对 4 个事件中的任何一个事件进行中断
- 单次采集多达 4 个事件时间戳
- 在四深循环缓冲器中连续模式采集时间戳
- 绝对时间戳采集
- 差分 (Δ) 模式时间戳采集
- 所有上述资源都专用于单个输入引脚
- 当未用于采集模式时，eCAP 模块可配置为单通道 PWM 输出 (APWM)。

2 类 eCAP 的捕捉功能通过 0 类 eCAP 得到增强，增加了以下特性：

- 事件过滤器复位位
  - 向 ECCTL2[CTRFILTRESET] 写入 1 将清零事件滤波器、模计数器和任何挂起的中断标志。复位该位对于初始化和调试很有用。
- 模数计数器状态位。
  - 模数计数器 (ECCTL2[MODCTRSTS]) 指示接下来将加载哪个捕捉寄存器。在 0 类 eCAP 中，无法知道模数计数器的当前状态。
- DMA 触发源
  - eCAPxDMA 被添加为一个 DMA 触发器。CEVT[1 – 4] 可以配置为 eCAPxDMA 的源。
- 输入多路复用器
  - ECCTL0[INPUTSEL] 选择 128 个输入信号之一。
- EALLOW 保护
  - EALLOW 保护已添加到关键寄存器。为了维持与 0 类 eCAP 的软件兼容性，请配置 DEV_CFG_REGS.ECAPTYPE 以使这些寄存器不受保护。
- ECAPxSYNCINSEL 寄存器
  - 为每个 eCAP 添加了 ECAPSxYNCINSEL 寄存器以选择外部 SYNCIN。每个 eCAP 可以有一个单独的 SYNCIN 信号。

eCAP 输入通过输入 X-BAR 连接到任何 GPIO 输入。APWM 输出通过指向 GPIO 多路复用器中 OUTPUTx 位置的输出 X-BAR 连接到 GPIO 引脚。请参阅节 6.5.2 和节 6.5.3。

图 7-53 展示了 eCAP 和 HRCAP 方框图。



A. HRCAP 子模块并非在所有 eCAP 模块上都可用；在这种情况下，不会使用高分辨率多路复用器和硬件。

图 7-53. eCAP 和 HRCAP 方框图

eCAP 模块由 PERx.SYSCLK 计时。

PCLKCR3 寄存器中的时钟使能位 (ECAPx) 可单独关闭 eCAP 模块（以实现低功耗运行）。复位时，ECAP1ENCLK 设置为低电平，表明外设时钟已关闭。

eCAP6 和 eCAP7 模块可以配置为高分辨率捕捉 (HRCAP) 子模块。HRCAP 子模块可以测量与系统时钟异步的脉冲之间的时间差。该子模块是 eCAP 2 类模块新增的子模块，与 0 类 HRCAP 模块相比具有许多增强功能。

Copyright © 2023 Texas Instruments Incorporated

HRCAP 的应用包括：

- 电容式触控应用
- 脉冲序列周期的高分辨率周期和占空比测量
- 瞬时速度测量
- 瞬时频率测量
- 在一个隔离边界上的电压测量
- 距离/声纳测量和扫描
- 流量测量

HRCAP 子模块包含以下特性：

- 在非高分辨率或高分辨率模式下进行脉宽捕捉
- 绝对模式脉宽捕捉
- 连续或“一次性”捕捉
- 在下降沿或上升沿捕捉
- 4 深度缓冲器中脉冲宽度的持续模式捕捉
- 通过硬件校准逻辑实现精密高分辨率捕捉
- 使用输入 X-BAR 的任何引脚上均可使用此列表中的所有资源。

HRCAP 子模块包含一个高分辨率捕捉通道以及一个校准块。校准块允许 HRCAP 子模块在设定的时间间隔内持续重新校准，不存在“中断时间”。由于 HRCAP 子模块现在使用与其相应 eCAP 相同的硬件，因此如果使用 HRCAP，则相应的 eCAP 将不可用。

每个支持高分辨率的通道都具有以下独立的关键资源。

- 相应 eCAP 的所有硬件
- 高分辨率校准逻辑
- 专用校准中断

7.12.1.1 eCAP 同步

通过选择一个公共的 SYNCIN 源，eCAP 模块可以互相同步。eCAP 的 SYNCIN 源可以是软件同步输入或外部同步输入。外部同步输入信号可来自 EPWM、eCAP、X-Bar 或 EtherCAT。如图 7-54 所示，SYNC 信号由 ECAPx 的 ECAPxSYNCINSEL[SEL] 位中的选择定义。

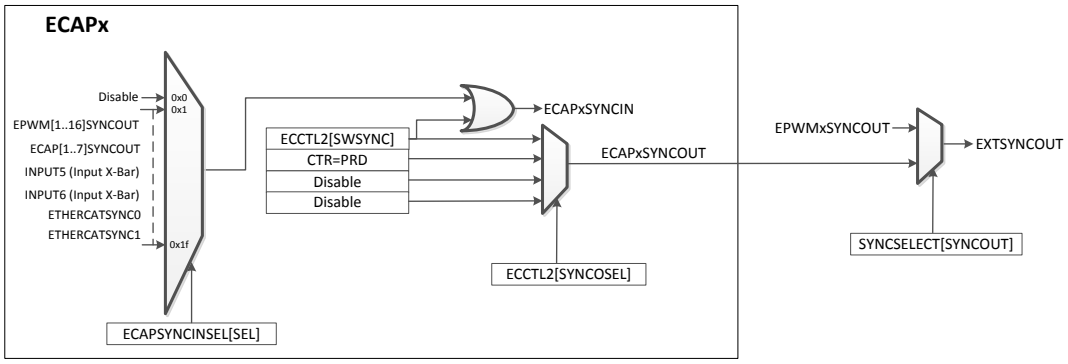


图 7-54. eCAP 同步方案

7.12.1.2 eCAP 电气数据和时序

节 7.12.1.2.1 列出了 eCAP 时序要求，而节 7.12.1.2.2 列出了 eCAP 开关特性。

7.12.1.2.1 eCAP 时序要求

			最小值 标称值 最大值	单位
$t_{w(CAP)}$	采集输入脉冲宽度	异步	$2t_{c(SYSCLK)}$	ns
		同步	$2t_{c(SYSCLK)}$	
		带输入限定符	$1t_{c(SYSCLK)} + t_{w_(IQSW)}$	

7.12.1.2.2 eCAP 开关特性

在建议运行条件下测得（除非另有说明）

参数		最小值	典型值	最大值	单位
$t_{w(APWM)}$	脉冲持续时间，APWMx 输出高电平/低电平	20			ns

Copyright © 2023 Texas Instruments Incorporated

7.12.1.3 HRCAP 电气数据和时序

节 7.12.1.3.1 列出了 HRCAP 开关特性。图 7-55 所示为 HRCAP 精度和分辨率。图 7-56 所示为 HRCAP 标准偏差特性。

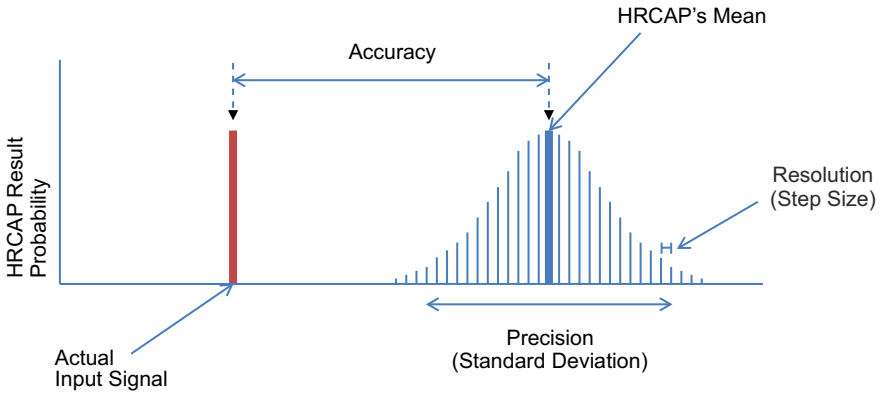
7.12.1.3.1 HRCAP 开关特性

在建议运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
输入脉冲宽度		110			ns
精度(1) (2) (3) (4)	测量时长 ≤ 5μs		±390	540	ps
	测量时长 > 5μs		±450	1450	ps
标准差			请参见图 7-56		
分辨率			300		ps

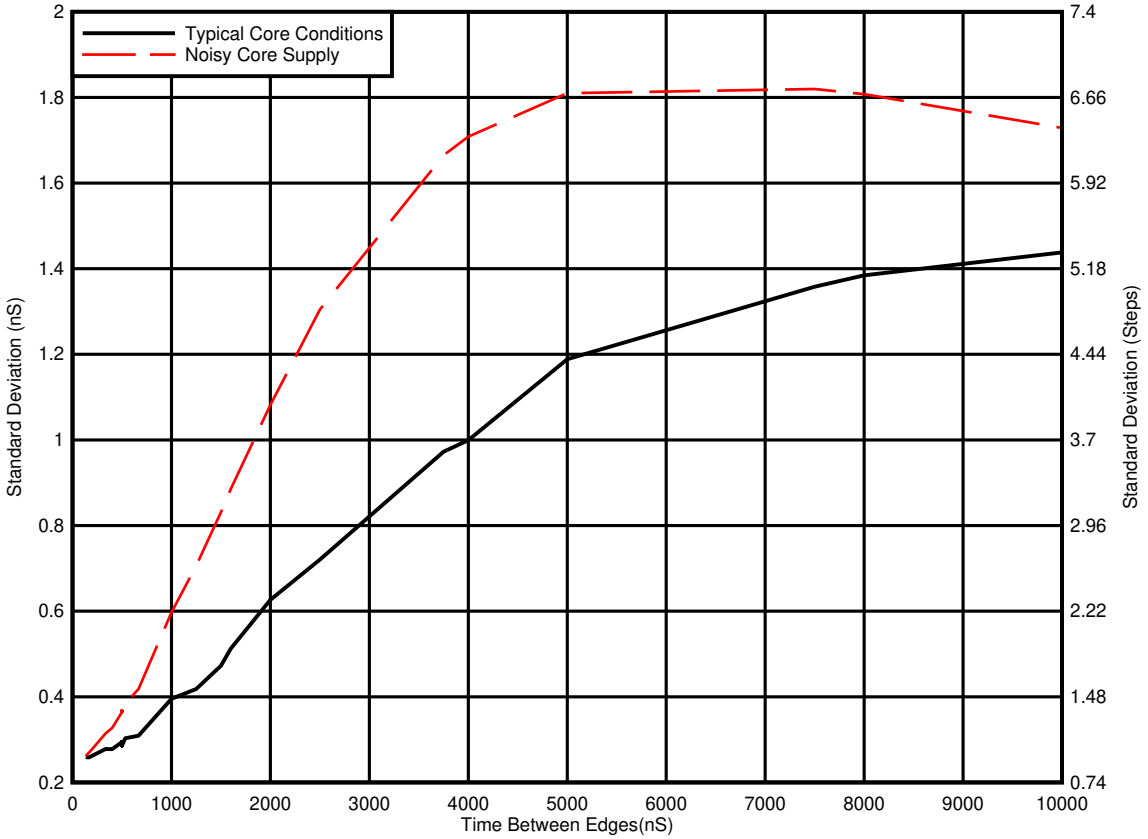
(1) 使用 100PPM 的振荡器获得的值，振荡器精度直接影响 HRCAP 精度。
(2) 使用上升-上升沿或下降-下降沿完成测量。
(3) 由于 V_{IH} 和 V_{IL} 之间的差异，极性相反的边沿将进一步降低精度。这种影响取决于信号的压摆率。
(4) 精度仅适用于经过时间转换的测量。

7.12.1.3.2 HRCAP 图



A. HRCAP 在性能上有一些变化，其概率分布可以使用以下术语描述：
- 精度：输入信号与 HRCAP 分布均值之间的时间差。
- 精度: HRCAP 分布的宽度，以标准偏差的形式给出。
- 分辨率：最小可测量增量。

图 7-55. HRCAP 精度和分辨率



A. 典型的内核条件：所有外设时钟被启用。

B. 有噪声的内核电源：在测量期间，所有内核时钟都以一个固定周期启用和禁用。这会导致 1.2V 电源轨在测量期间出现 18.5mA 的摆幅。

C. 1.2V 电源轨上的电流和电压波动会导致 HRCAP 的标准偏差上升。应注意确保 1.2V 电源是清洁的，并且在使用 HRCAP 时已最大限度地减少了干扰性内部事件（例如启用和禁用时钟树）。

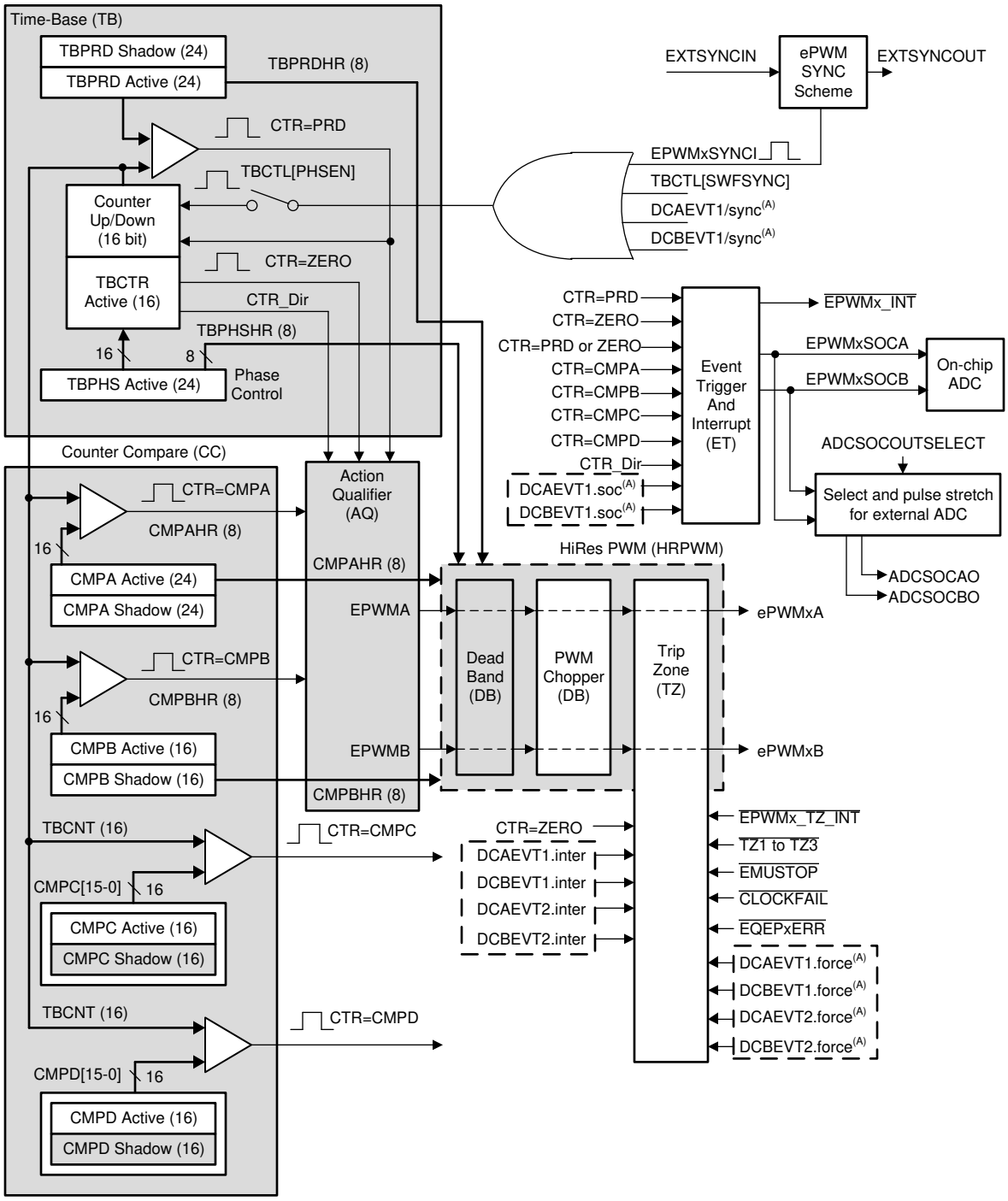
图 7-56. HRCAP 标准偏差特性

Copyright © 2023 Texas Instruments Incorporated

7.12.2 增强型脉宽调制器 (ePWM)

ePWM 外设是控制商业和工业设备中的许多电力电子系统的关键元件。通过从具有独立资源（这些独立资源可以一起运行形成一个系统）的较小模块构建外设，ePWM 4 类模块能够以最小的 CPU 开销生成复杂的脉冲宽度波形。ePWM 4 类模块的一些亮点包括复杂波形生成、死区生成、灵活的同步方案、高级跳变区功能和全局寄存器重载功能。

图 7-57 显示了与 ePWM 的信号互连情况。图 7-58 显示了 ePWM 跳闸输入连接。



A. 这些事件由 ePWM 数字比较 (DC) 子模块根据 TRIPIN 输入电平生成。

图 7-57. ePWM 子模块和关键内部信号互连

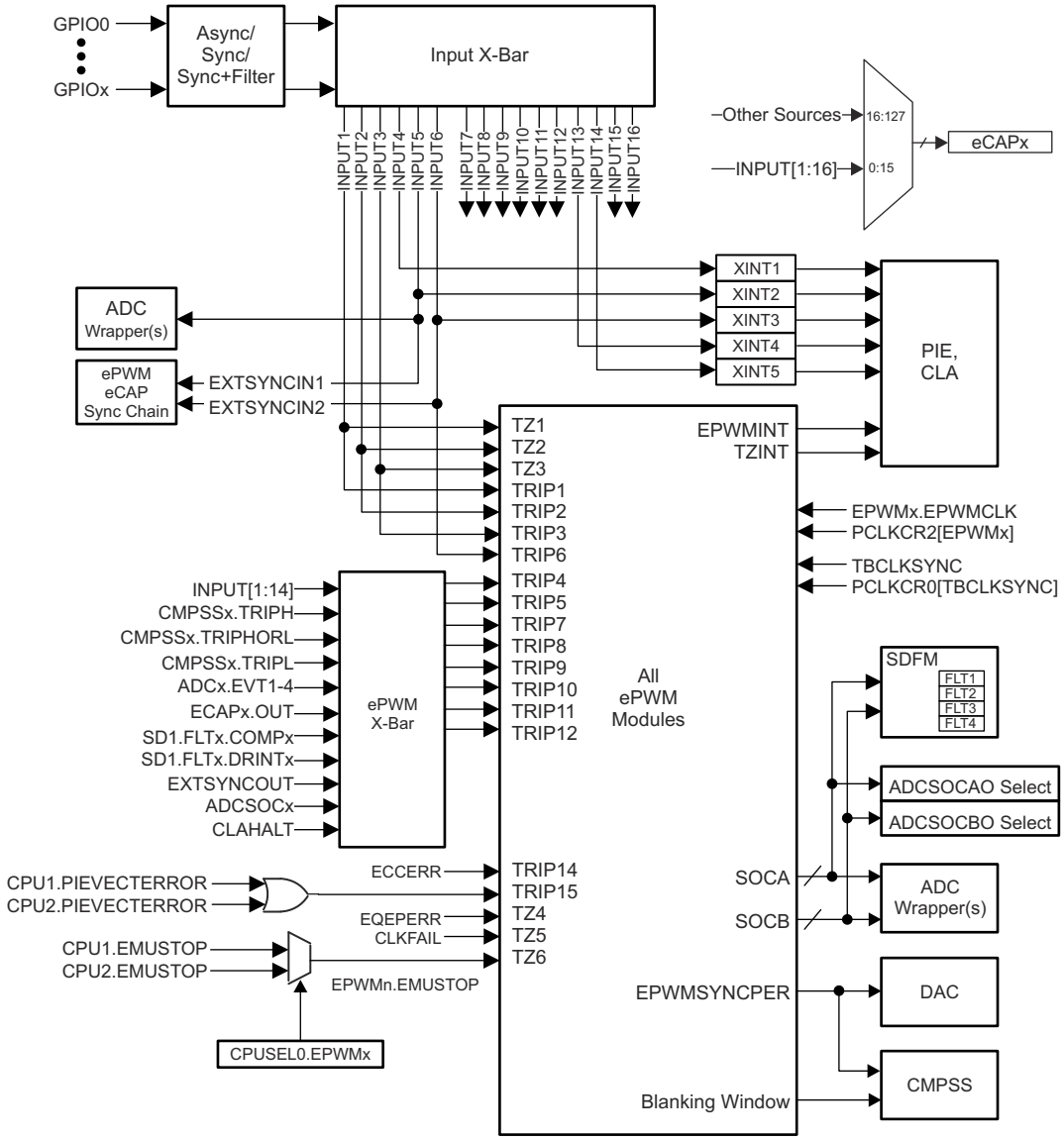


图 7-58. ePWM 跳闸输入连接

Copyright © 2023 Texas Instruments Incorporated

7.12.2.1 控制外设同步

器件上的 ePWM 和 eCAP 同步方案提供了在 CPU1 和 CPU2 之间划分 ePWM 和 eCAP 模块的灵活性，并允许在属于同一 CPU 的模块内进行局部同步。与其他外设一样，需要使用 CPUSELx 寄存器对 ePWM 和 eCAP 模块进行分区。图 7-59 展示了同步方案。

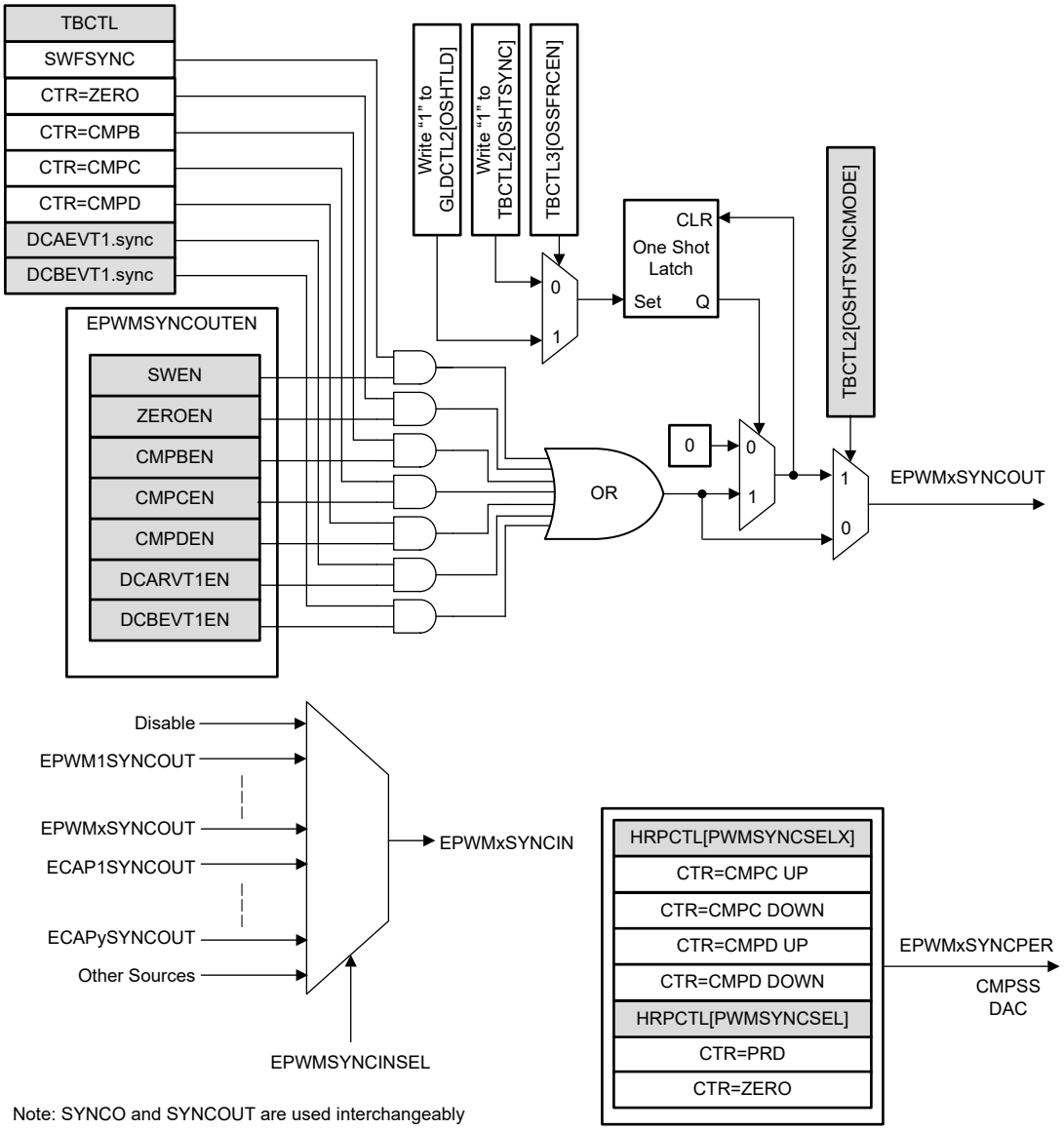


图 7-59. 同步链架构

7.12.2.2 ePWM 电气数据和时序

节 7.12.2.2.1 列出了 PWM 时序要求，而节 7.12.2.2.2 列出了 PWM 开关特性。有关输入限定符参数的说明，请参阅节 7.10.8.2.1。

7.12.2.2.1 ePWM 时序要求

			最小值	最大值	单位
$f_{(EPWM)}$	频率，EPWMCLK			200	MHz
$t_{w(SYNCIN)}$	同步输入脉冲宽度	异步	$2t_{c(EPWMCLK)}$		周期
		同步	$2t_{c(EPWMCLK)}$		
		带输入限定符	$1t_{c(EPWMCLK)} + t_{w(IQSW)}$		

7.12.2.2.2 ePWM 开关特性

在建议运行条件下测得（除非另有说明）

参数		最小值	最大值	单位
$t_{w(PWM)}$	脉冲持续时间，PWMx 输出高电平/低电平	20		ns
$t_{w(SYNCOUT)}$	同步输出脉冲宽度	$8t_{c(SYSCLK)}$		周期
$t_{d(TZ-PWM)}$ (1)	跳闸输入激活至 PWM 强制高电平的延迟时间 跳闸输入激活至 PWM 强制低电平的延迟时间 跳闸输入激活至 PWM 高阻抗的延迟时间		30 个	ns
$t_{skew(PWM)}$	任意两个 PWM 输出之间的偏斜		2.5	ns

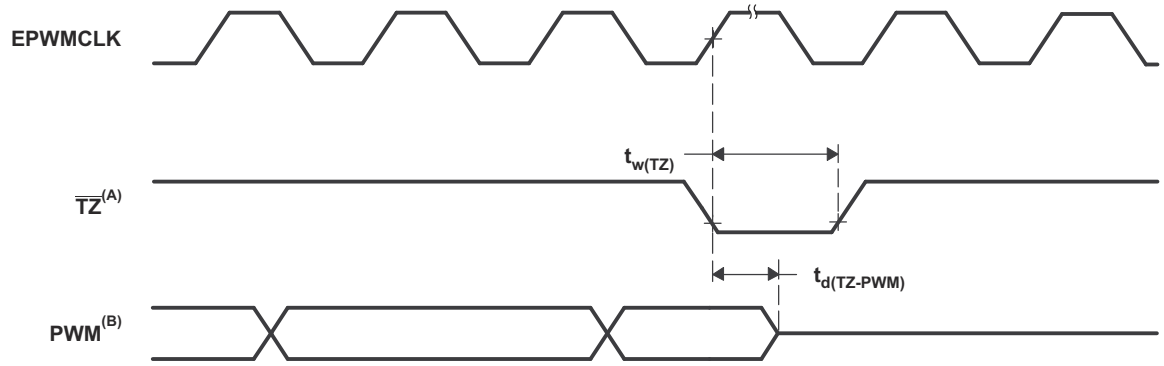
(1) 延迟时间仅适用于 GPIO 源，不包括 CMPSS。

7.12.2.2.3 跳闸区输入时序

节 7.12.2.2.3.1 列出了跳闸区输入时序要求。图 7-60 显示了 PWM Hi-Z 特性。有关输入限定符参数的说明，请参阅节 7.10.8.2.1。

7.12.2.2.3.1 跳闸区域输入时序要求

			最小值	最大值	单位
$t_{w(TZ)}$	脉冲持续时间，$\overline{TZx}$ 输入低电平	异步	$1t_{c(EPWMCLK)}$		周期
		同步	$2t_{c(EPWMCLK)}$		周期
		带输入限定符	$1t_{c(EPWMCLK)} + t_{w(IQSW)}$		周期



A. $\overline{TZ}$: $\overline{TZ1}$、$\overline{TZ2}$、$\overline{TZ3}$、TRIP1 至 TRIP12

B. PWM 是指器件内的所有 PWM 引脚。$\overline{TZ}$ 置于高电平后 PWM 引脚的状态取决于 PWM 恢复软件。

图 7-60. PWM 高阻态特征

Copyright © 2023 Texas Instruments Incorporated

7.12.2.3 外部 ADC 转换启动电气数据和时序

节 7.12.2.3.1 列出了外部 ADC 转换启动开关特性。图 7-61 显示了 $\overline{\text{ADCSOCAO}}$ 或 $\overline{\text{ADCSOCBO}}$ 时序。

7.12.2.3.1 外部 ADC 转换启动开关特性

在建议运行条件下测得（除非另有说明）

参数		最小值	最大值	单位
$t_{w(ADCSOCL)}$	脉冲持续时间，$\overline{\text{ADCSOCxO}}$ 低电平	$32t_{c(SYSCLK)}$		周期

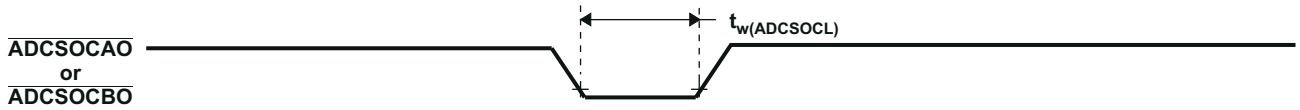


图 7-61. $\overline{\text{ADCSOCAO}}$ 或者 $\overline{\text{ADCSOCBO}}$ 时序

7.12.3 高分辨率脉宽调制器 (HRPWM)

通过使用专用的校准延迟线路，HRPWM 在单个模块和简化的校准系统内结合了多条延迟线路。对于每个 ePWM 模块，都有两个 HR 输出：

- 通道 A 上的 HR 占空比和死区控制
- 通道 B 上的 HR 占空比和死区控制

HRPWM 模块提供 PWM 分辨率（时间粒度），此分辨率明显优于使用传统数字 PWM 方法所能达到的分辨率。HRPWM 模块的关键点为：

- 大大扩展了传统导出数字 PWM 的时间分辨率能力
- 此功能可用于单边沿（占空比和相移控制）以及双边沿控制，以实现频率/周期调制。
- 通过对 ePWM 模块的比较 A、B、相位、周期和死区寄存器的扩展来控制更加精细的时间粒度控制或边沿定位。

备注

HRPWM 允许的最小 HRPWMCLK 频率为 60MHz。

7.12.3.1 HRPWM 电气数据和时序

节 7.12.3.1.1 列出了高分辨率 PWM 开关特征性。

7.12.3.1.1 高分辨率 PWM 特性

参数	最小值	典型值	最大值	单位
微边沿定位 (MEP) 步长[(1)]		150	310	ps

(1) MEP 步长在高温和 V_{DD} 上的电压最小时最大。MEP 步长将随温度的升高和电压的下降而增加，并随温度的下降和电压的升高而减小。使用 HRPWM 特性的应用应该使用 MEP 比例因子优化器 (SFO) 估计软件功能。有关在最终应用中使用 SFO 功能的详细信息，请参阅 TI 软件库。SFO 功能有助于在 HRPWM 运行时动态估计每个 SYSCLK 周期的 MEP 步数。

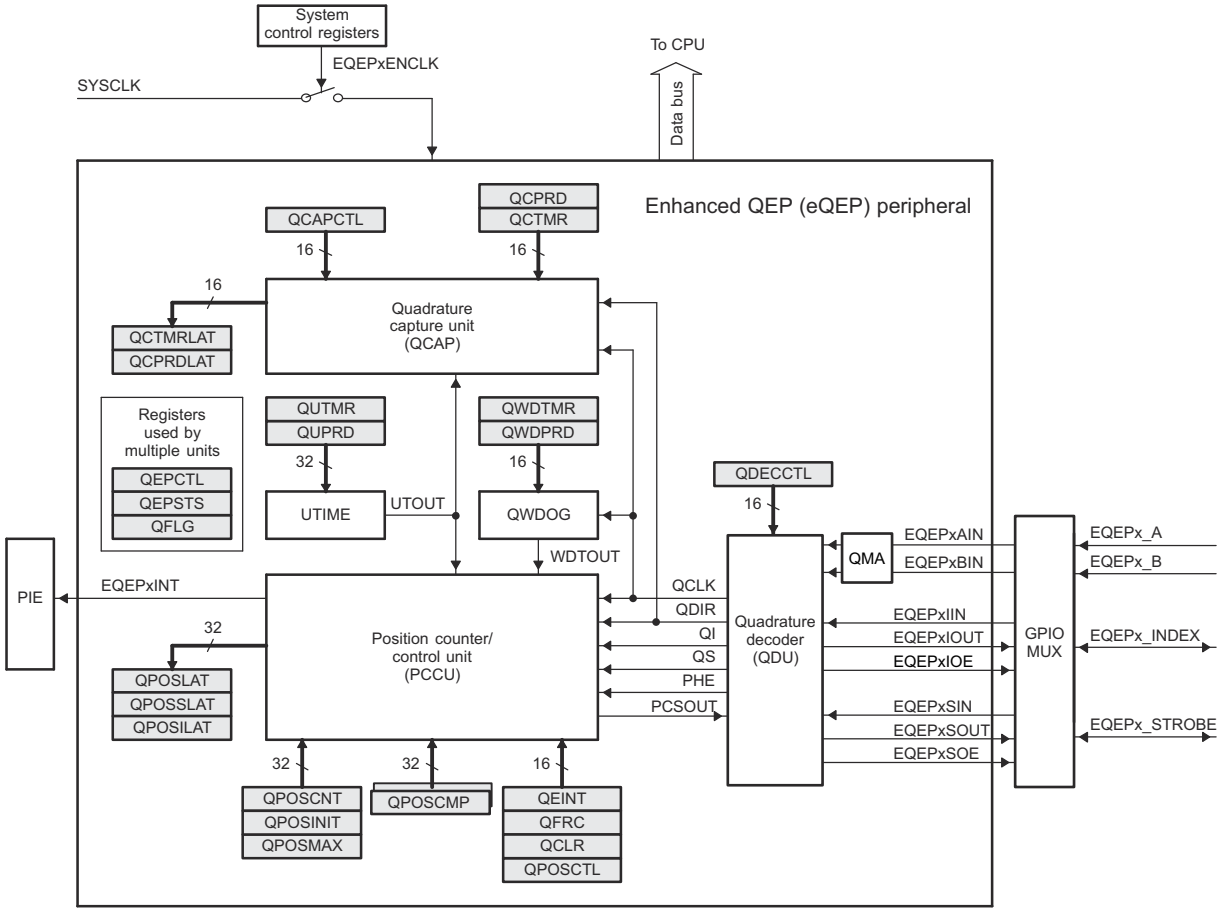
Copyright © 2023 Texas Instruments Incorporated

7.12.4 增强型正交编码器脉冲 (eQEP)

该器件上的 eQEP 模块为 2 类。eQEP 直接与线性或旋转增量编码器相连，以便从高性能运动和位置控制系统中使用的旋转机器中获得位置、方向和速度信息。

该 eQEP 外设包含以下主要功能单元（请参阅图 7-62）：

- 针对每个引脚的可编程输入鉴定（GPIO MUX 的一部分）
- 正交解码器单元 (QDU)
- 用于位置测量的位置计数器和控制单元 (PCCU)
- 用于低速测量的正交边沿捕捉单元 (QCAP)
- 用于速度/频率测量的单位时基 (UTIME)
- 用于检测失速的看门狗计时器 (QWDOG)
- 正交模式适配器 (QMA)



Copyright © 2017, Texas Instruments Incorporated

图 7-62. eQEP 方框图

7.12.4.1 eQEP 电气数据和时序

节 7.12.4.1.1 列出了 eQEP 时序要求。GPIO 异步模式不得用于 eQEP 输入引脚。有关输入限定符参数的说明，请参阅节 7.10.8.2.1。

节 7.12.4.1.2 列出了 eQEP 开关特性。

7.12.4.1.1 eQEP 时序要求

			最小值	最大值	单位
$t_{w(QEPP)}$	QEP 输入周期	同步[(1)]	$2t_{c(SYSCLK)}$		周期
		带输入限定符	$2[1t_{c(SYSCLK)} + t_{w(IQSW)}]$		
$t_{w(INDEXH)}$	QEP 索引输入高电平时间	同步[(1)]	$2t_{c(SYSCLK)}$		周期
		带输入限定符	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		
$t_{w(INDEXL)}$	QEP 索引输入低电平时间	同步[(1)]	$2t_{c(SYSCLK)}$		周期
		带输入限定符	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		
$t_{w(STROBH)}$	QEP 选通高电平时间	同步[(1)]	$2t_{c(SYSCLK)}$		周期
		带输入限定符	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		
$t_{w(STROBL)}$	QEP 选通输入低电平时间	同步[(1)]	$2t_{c(SYSCLK)}$		周期
		带输入限定符	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		

(1) GPIO GPxQSELn 异步模式不得用于 eQEP 模块输入引脚。

7.12.4.1.2 eQEP 开关特性

在建议运行条件下测得（除非另有说明）

参数		最小值	最大值	单位
$t_{d(CNTR)xin}$	延迟时间，外部时钟到计数器增量		$4t_{c(SYSCLK)}$	周期
$t_{d(PCS-OUT)QEP}$	延迟时间，QEP 输入边沿到位置比较同步输出		$6t_{c(SYSCLK)}$	周期

Copyright © 2023 Texas Instruments Incorporated

7.12.5 Σ-Δ 滤波器模块 (SDFM)

SDFM 是一种四通道数字滤波器，专为电机控制应用中的电流测量和旋转变压器位置解码而设计。每个输入通道都可以接收独立的 Σ-Δ 调制位流。位流由四个独立可编程的数字抽取滤波器进行处理。这组滤波器包括一个快速比较器（次级滤波器），用于过流和欠流监测的即时数字阈值比较以及过零检测。图 7-63 展示了 SDFM 的方框图。

SDFM 的特性包含：

- 每个 SDFM 模块八个外部引脚
  - 每个 SDFM 模块有四个 Σ-Δ 数据输入引脚（SD-Dx，其中 x = 1 至 4）
  - 每个 SDFM 模块有四个 Σ-Δ 时钟输入引脚（SD-Cx，其中 x = 1 至 4）
- 支持的可配置调制器时钟模式：
  - 模式 0：调制器时钟速率等于调制器数据速率。
- 每个 SDFM 模块有四个独立的可配置次级滤波器（比较器）单元：
  - 提供四个不同的滤波器类型选择 (Sinc1/Sinc2/Sincfast/Sinc3) 选项
  - 能够检测超值条件、低值条件和超限条件
    1. 两个独立的上限阈值比较器（用于检测超值条件）
    2. 两个独立的下限阈值比较器（用于检测低值条件）
    3. 一个独立的超限比较器（用于通过 eCAP 测量占空比/频率）
  - 比较器滤波器单元的 OSR 值 (COSR) 可编程为 1 至 32
- 每个 SDFM 模块有四个独立的可配置初级滤波器（数据滤波器）单元：
  - 提供四个不同的滤波器类型选择 (Sinc1/Sinc2/Sincfast/Sinc3) 选项
  - 数据滤波器单元的 OSR 值 (DOSR) 可编程为 1 至 256
  - 能够启用或禁用独立的滤波器模块（或全部两个模块）
  - 能够使用主滤波器使能 (MFE) 位或 PWM 信号来同步 SDFM 模块的所有四个独立滤波器
- 数据滤波器输出可以用 16 位或 32 位表示。
- 数据滤波器单元具有可编程模式 FIFO 来减少中断开销。该 FIFO 具有以下特性：
  - 初级滤波器（数据滤波器）具有一个 16 深 x 32 位 FIFO。
  - FIFO 可在达到可编程数量的数据就绪事件后中断 CPU。
  - FIFO 等待同步功能：能够忽略数据就绪事件，直至接收到 PWM 同步信号 (SDSYNC)。一旦接收到 SDSYNC 事件，就会在每个数据就绪事件时填充 FIFO。
  - 数据滤波器输出可以用 16 位或 32 位表示。
- 可根据每个数据滤波器通道将 PWMx.SOCA/SOCB 配置为 SDSYNC 源。
- 可使用 PWM 为 Σ-Δ 调制器生成调制器时钟。
- SD-Cx 和 SD-Dx 均可配置输入限定
- 能够使用一个滤波器通道时钟 (SD-C1) 为其他滤波器时钟通道提供时钟。
- 在发生比较器滤波器事件时可以使用可配置的数字滤波器来清除杂散噪声引起的比较器事件

备注

应注意避免在 SDx_Cy 输入端出现噪声。如果不满足最小脉冲宽度要求（例如，通过噪声干扰），则 SDFM 结果可能会变为不明状态。

图 7-63 所示为 SDFM 方框图。

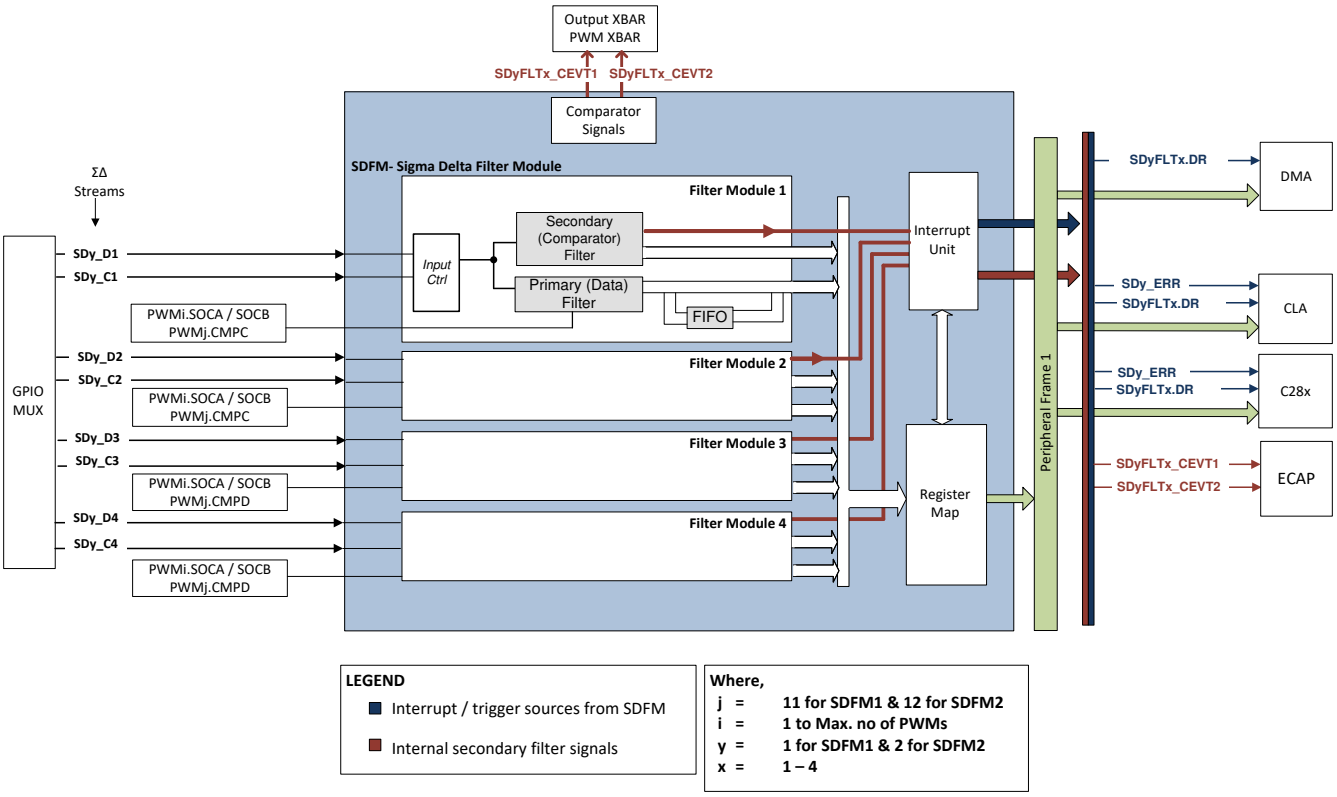


图 7-63. SDFM 方框图

Copyright © 2023 Texas Instruments Incorporated

7.12.5.1 SDFM 电气数据和时序（使用 ASYNC）

节 7.12.5.1.1 列出了 SDFM 时序要求。应进行以下配置：

- SDFM GPIO 引脚应仅配置为异步模式（使用 GPYQSELn = 0b11）。
- SDx-Cy 和 SDx-Dy 信号都需要与 PLLRAWCLK 同步（使用 SDCTLPARMx 寄存器）。

图 7-64 展示了 SDFM 时序图。

7.12.5.1.1 使用异步 GPIO (ASYNC) 选项时的 SDFM 时序要求

		最小值	最大值	单位
模式 0				
$t_{c(SDC)M0}$	周期时间，SDx_Cy	4 * tc(PLLRAWCLK)	256 个 SYSCLK 周期	ns
$t_{w(SDDHL)M0}$	脉冲持续时间，SDx_Dy（高电平/低电平）	2 * tc(PLLRAWCLK)		ns
$t_{su(SDDV-SDCH)M0}$	SDx_Cy 变为高电平之前 SDx_Dy 有效的设置时间	1 * tc(PLLRAWCLK) + 5		ns
$t_{h(SDCH-SDD)M0}$	SDx_Cy 变为高电平之后 SDx_Dy 等待的保持时间	1 * tc(PLLRAWCLK) + 5		ns

7.12.5.1.2 SDFM 时序图

WARNING

应该对 SD-Cx 和 SD-Dx 信号采取特殊的预防措施，确保信号干净且无干扰，满足 SDFM 时序要求。建议采取的预防措施包括对时钟驱动器的任何阻抗不匹配而导致的振铃噪声采用串联终端电阻，以及将布线与其他噪声信号隔离开来，等等。

备注

SDFM SD-Cx 和 SD-Dx 信号与 PLLRAWCLK 同步后可防止由于偶尔出现的随机噪声干扰（这些干扰可能造成比较器跳闸和滤波器输出错误）而导致的 SDFM 模块损坏。但是，这些信号对持续违反上述时序要求的情况不提供保护。时序违规将损坏与违反要求的数据位数成正比的数据。

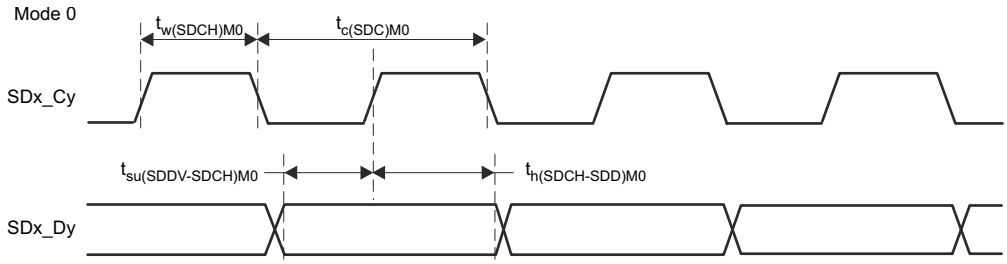


图 7-64. SDFM 时序图 - 模式 0

7.13 C28x 通信外设

备注

有关特定器件上每个外设的实际数量，请参阅“器件比较”表。

7.13.1 控制器局域网 (CAN)

此器件使用称为 DCAN 的 CAN IP。

CAN 模块根据 ISO 11898-1 执行 CAN 协议通信（与 Bosch® CAN 协议规范 2.0 A、B 相同）。比特率可以编程为最大 1Mbps 的值。与物理层（CAN 总线）的连接需要一个 CAN 收发器芯片。

对于 CAN 网络上的通信，可以配置单独的消息对象。消息对象和标识符掩码存储在消息 RAM 中。

所有与消息处理有关的功能均在消息处理器内实现。这些功能为：接收滤波；CAN 内核和消息 RAM 之间的消息传输；处理传输请求以及产生中断或 DMA 请求。

CPU 可以通过模块接口直接访问 CAN 的寄存器组。这些寄存器用于控制和配置 CAN 内核和消息处理程序，以及访问消息 RAM。

CAN 模块实现下列特性：

- 符合 ISO11898-1（Bosch® CAN 协议规范 2.0 A 和 B）
- 最高 1Mbps 的比特率
- 多个时钟源
- 32 个消息对象（邮箱），每个对象具有以下属性：
  - 可配置为接收或者发送
  - 可配置标准（11 位）或扩展（29 位）标识符
  - 支持可编程标识符接收掩码
  - 支持数据和远程帧
  - 保留 0 到 8 个字节的数据
  - 奇偶校验配置和数据 RAM
- 每个消息对象的单独标识符掩码
- 消息对象的可编程 FIFO 模式
- 自测试工作的可编程回路模式
- 调试支持的挂起模式
- 软件模块复位
- 由可编程 32 位计时器在总线关闭后自动开启总线
- 消息 RAM 奇偶校验机制
- 2 条中断线路
- DMA 支持

备注

对于 200MHz 的 CAN 位时钟，最小比特率可能为 7.8125kbps。

备注

片上零引脚振荡器的精度如节 7.10.3.5.1 所示。根据相关参数（如 CAN 位时序设置、比特率、总线长度和传播延迟），此振荡器的精度可能不符合 CAN 协议的要求。在这种情况下，必须使用外部时钟源。

Copyright © 2023 Texas Instruments Incorporated

图 7-65 展示了 CAN 功能方框图。

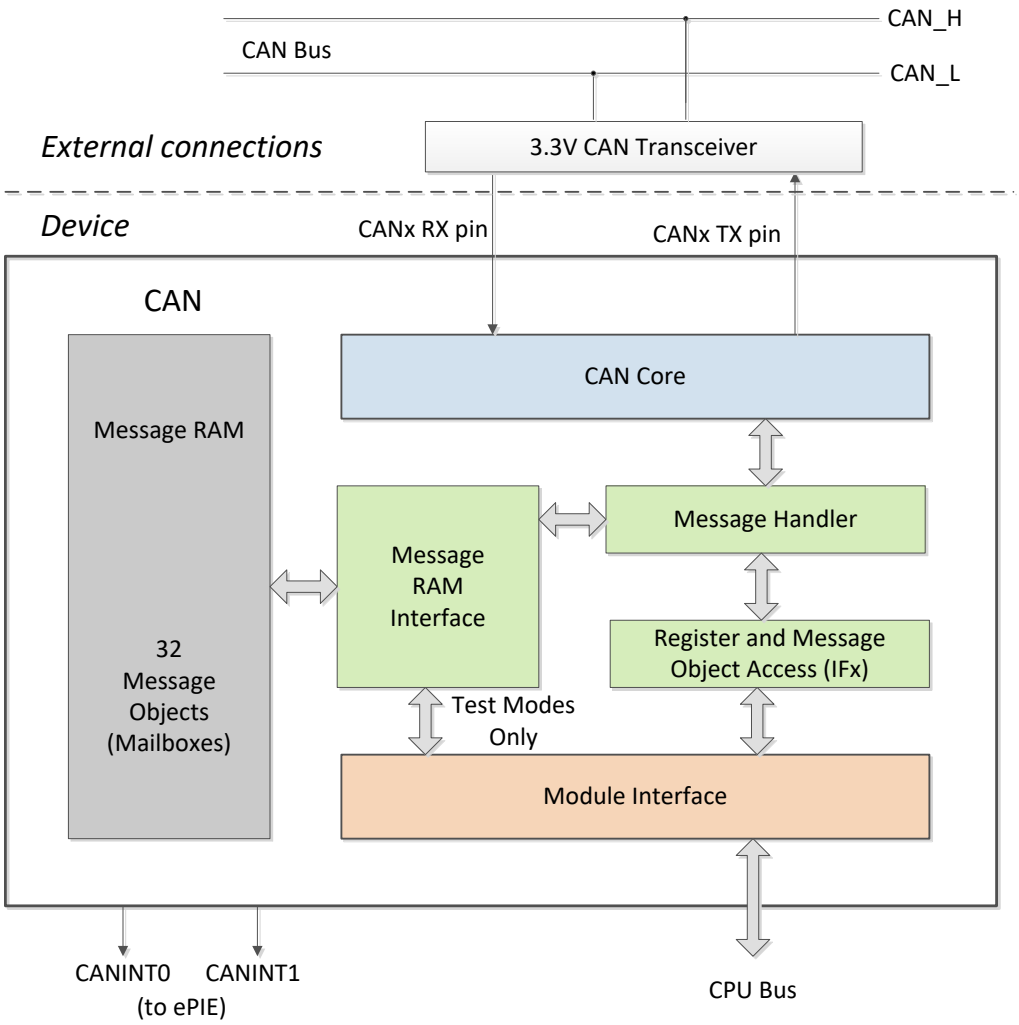


图 7-65. CAN 方框图

7.13.2 快速串行接口 (FSI)

快速串行接口 (FSI) 是一种能够进行可靠而稳健的高速通信的串行通信外设。FSI 旨在确保在芯片到芯片之间以及跨越隔离栅的板到板之间等诸多系统条件下实现数据稳健性。CRC、帧起始和结束模式以及用户定义的标签等有效载荷完整性检查在发送前进行编码，然后在接收后进行验证，无需额外的 CPU 交互。可以使用定期发送的方式检测线路中断，所有这些均由硬件管理和监控。FSI 还与器件上的其他控制外设紧密集成。为了确保提供最新的传感器数据或控制参数，可以在每个控制环路周期发送帧。为了处理由于各种因素而在时钟和数据信号之间可能出现的偏移（包括布线长度不匹配和隔离芯片引起的偏移），接收器上添加了一个集成的偏移补偿块。借助嵌入式数据稳健性检查、数据链路完整性检查、偏移补偿以及与控制外设的集成，FSI 可以在任何系统中实现高速、稳健的通信。FSI 除了这些特性，还有许多其他特性，如下所示。

FSI 模块包含以下特性：

- 独立的发送器和接收器内核
- 源同步发送
- 双倍数据速率 (DDR)
- 一条或两条数据线路
- 可编程数据长度
- 偏移调整块可针对电路板和系统延迟的不匹配部分进行补偿
- 帧错误检测
- 通过可编程的帧标记进行消息过滤
- 通过硬件 ping 检测通信期间的线路中断（ping 看门狗）
- 每个 FSI 内核对应两个中断
- 外部触发帧生成
- 由硬件或软件计算 CRC
- 嵌入式 ECC 计算模块
- 寄存器写保护
- DMA 支持
- CLA 任务触发
- SPI 信令模式（可用功能受限）

为了让 FSI 在双数据速率 (100Mbps) 下以最大速度 (50MHz) 运行，可能需要根据具体运行条件逐例配置集成的偏斜补偿块。*快速串行接口 (FSI) 偏斜补偿* 应用报告通过软件示例介绍了如何在快速串行接口上配置和设置集成偏斜补偿块。

FSI 包含独立发送器 (FSITX) 和接收器 (FSIRX) 内核。FSITX 和 FSIRX 内核是独立配置和运行的。节 7.13.2.1 和 节 7.13.2.2 分别介绍了 FSITX 和 FSIRX 上可用的功能。

Copyright © 2023 Texas Instruments Incorporated

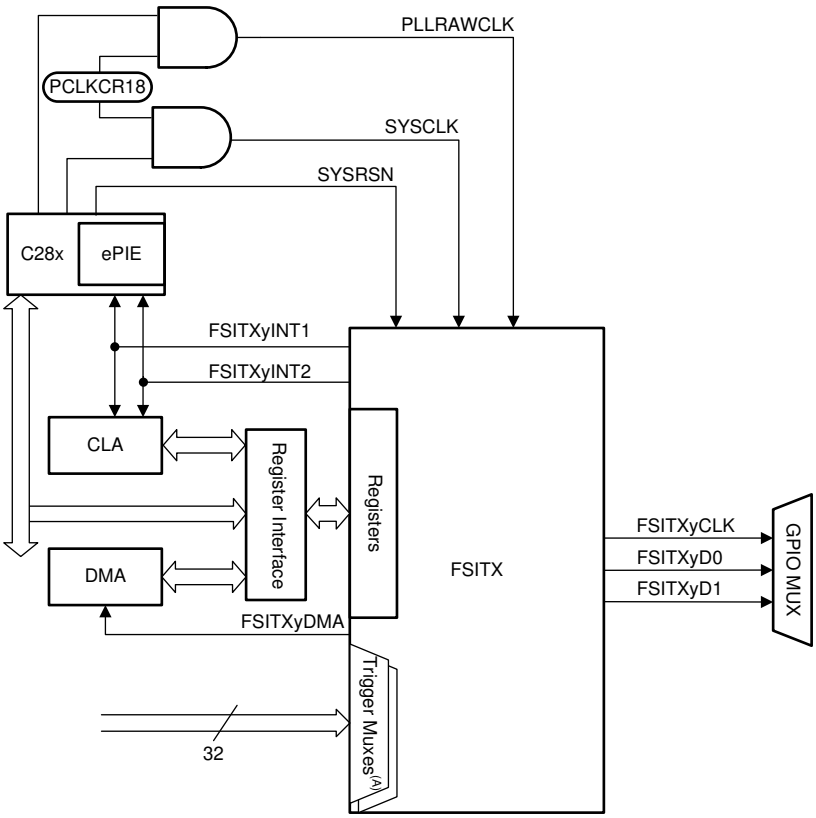
7.13.2.1 FSI 变送器

FSI 变送器模块会处理数据组帧、CRC 生成、TXCLK、TXD0 和 TXD1 的信号生成以及中断生成。变送器内核的运行通过可编程控制寄存器进行控制和配置。变送器控制寄存器可让 CPU（或 CLA）对 FSI 变送器的运行进行编程、控制和监控。CPU、CLA 和 DMA 均可访问发送数据缓冲器。

变送器具有以下特性：

- 自动生成 ping 帧
- 外部触发 ping 帧
- 外部触发数据帧
- 可通过软件配置帧长度
- 16 字数据缓冲器
- 数据缓冲器欠运转和溢出检测
- 硬件生成数据位 CRC
- 使用软件对选定数据进行 ECC 计算
- DMA 支持
- CLA 任务触发

图 7-66 所示为 FSITX CPU 接口。图 7-67 所示为 FSITX 的简要方框图。图中并未显示所有数据路径和内部连接。此图提供了 FSITX 中存在的内部模块的简要概览。



A. *TMS320F2838x 实时微控制器技术参考手册*“快速串行接口 (FSI)”一章中的“外部帧触发器多路复用器”一节介绍了连接到触发器多路复用器的信号。

图 7-66. FSITX CPU 接口

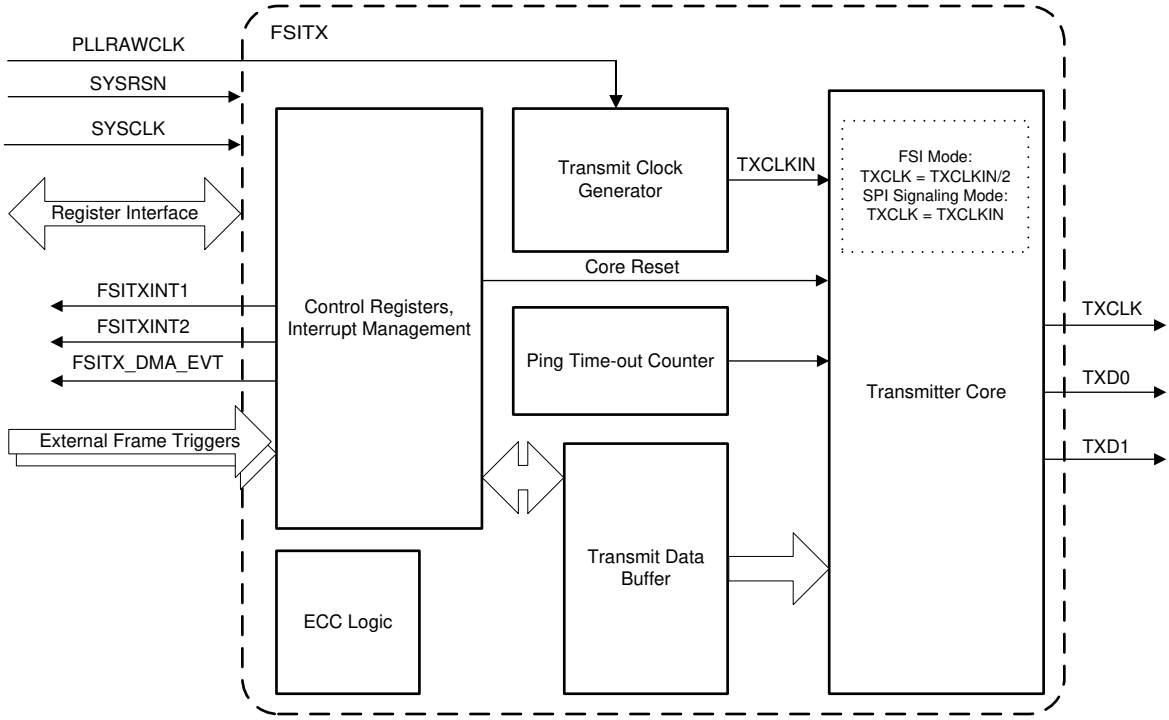


图 7-67. FSITX 方框图

7.13.2.1.1 FSITX 电气数据和时序

节 7.13.2.1.1.1 列出了 FSITX 开关特性。图 7-68 所示为 FSITX 时序。

7.13.2.1.1.1 FSITX 开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

编号	参数		最小值	最大值	单位
1	$t_{c(TXCLK)}$	TXCLK 周期时间	20		ns
2	$t_{w(TXCLK)}$	TXCLK 低电平或 TXCLK 高电平的脉冲宽度	$(0.5t_{c(TXCLK)})$ – 1	$(0.5t_{c(TXCLK)})$ + 1	ns
3	$t_{d(TXCLKL-TXD)}$	TXCLK 高电平或低电平之后数据有效的延迟时间	$(0.25t_{c(TXCLK)})$ – 2	$(0.25t_{c(TXCLK)})$ + 2.5	ns

7.13.2.1.1.2 FSITX 时序

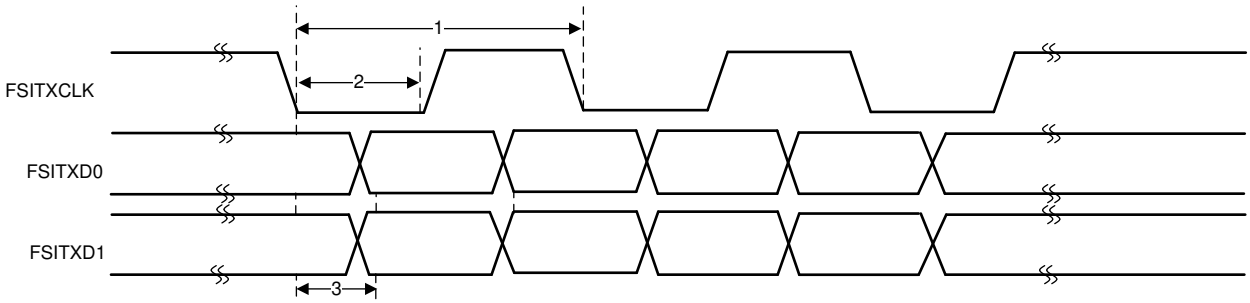


图 7-68. FSITX 时序

Copyright © 2023 Texas Instruments Incorporated

7.13.2.2 FSI 接收器

接收器模块在通过可编程延迟线路后连接到 FSI 时钟 (RXCLK) 和数据线路（RXD0 和 RXD1）。接收器内核会处理数据组帧、CRC 计算和与帧相关的错误检查。接收器位时钟和状态机由与器件系统时钟异步的 RXCLK 输入运行。

接收器控制寄存器可让 CPU（或 CLA）对 FSIRX 的运行进行编程、控制和监控。CPU、CLA 和 DMA 均可访问接收数据缓冲器。

接收器内核具有以下特性：

- 16 字数据缓冲器
- 支持多种帧类型
- Ping 帧看门狗
- 帧看门狗
- 在硬件中进行 CRC 计算和比较
- ECC 检测
- 针对输入信号的可编程延迟线路控制
- DMA 支持
- CLA 任务触发

图 7-69 所示为 FSIRX CPU 接口。图 7-70 提供了 FSIRX 中存在的内部模块的简要概览。图中并未显示所有数据路径和内部连接。

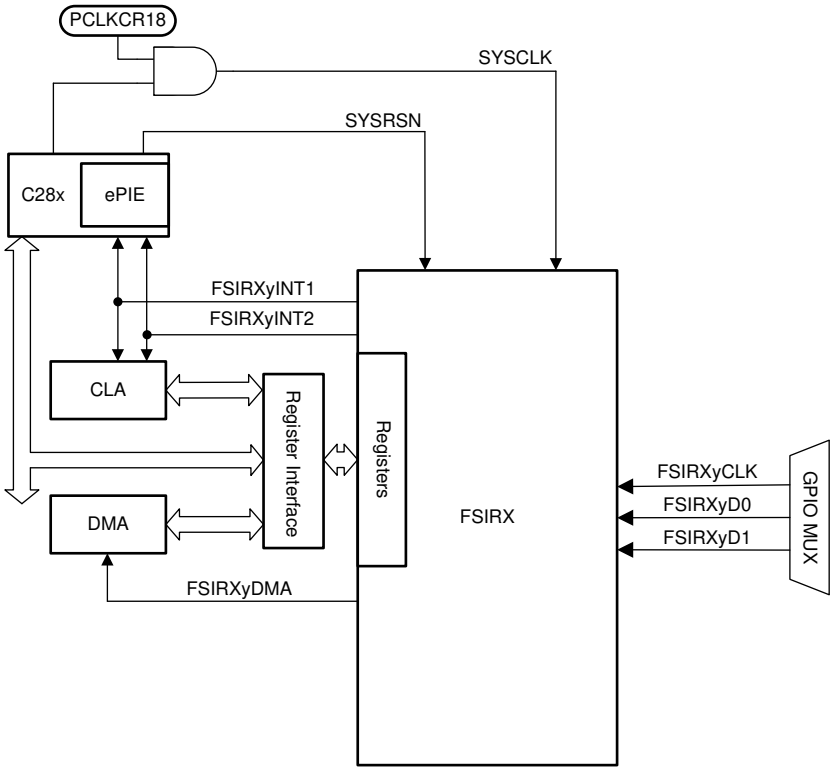


图 7-69. FSIRX CPU 接口

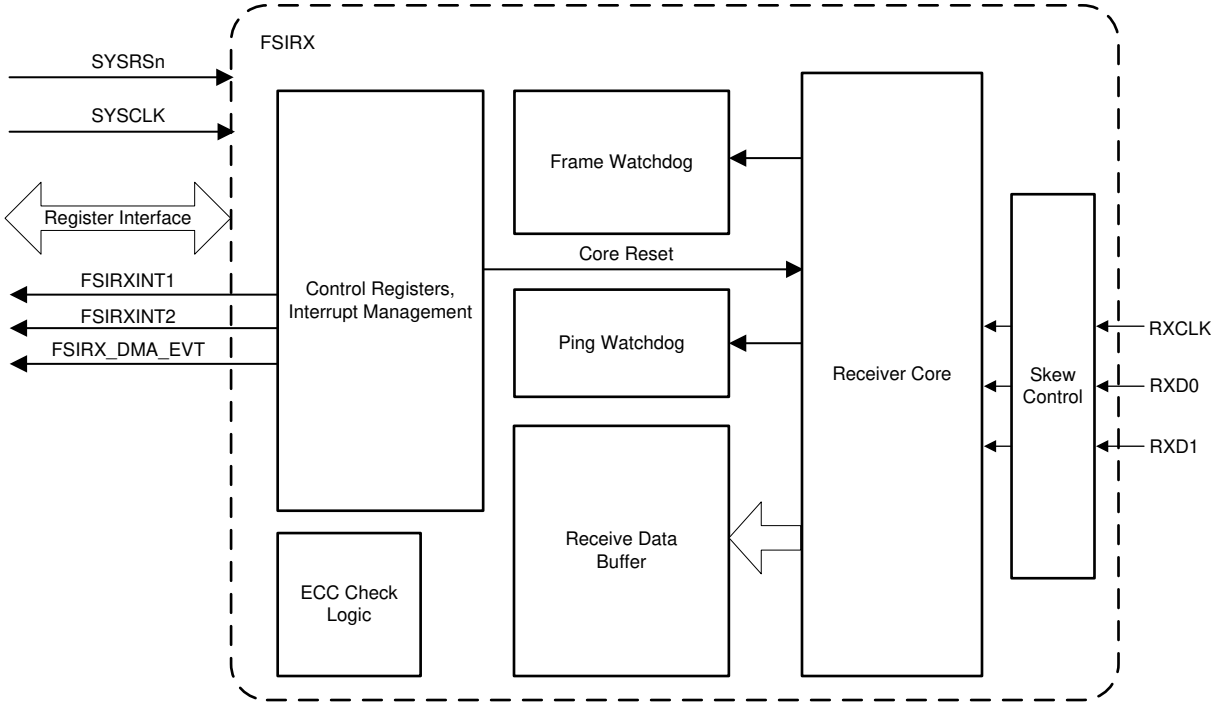


图 7-70. FSIRX 方框图

Copyright © 2023 Texas Instruments Incorporated

7.13.2.2.1 FSIRX 电气数据和时序

节 7.13.2.2.1.1 列出了 FSIRX 时序要求。节 7.13.2.2.1.2 列出了 FSIRX 电气特性。图 7-71 所示为 FSIRX 时序。

7.13.2.2.1.1 FSIRX 时序要求

编号			最小值	最大值	单位
1	$t_{c(RXCLK)}$	RXCLK 周期时间	20		ns
2	$t_{w(RXCLK)}$	RXCLK 低电平或 RXCLK 高电平的脉冲宽度。	$(0.5t_{c(RXCLK)})$ – 1	$(0.5t_{c(RXCLK)})$ + 1	ns
3	$t_{su(RXCLK-RXD)}$	相对于 RXCLK 的设置时间，应用于时钟的两个边沿	3		ns
4	$t_{h(RXCLK-RXD)}$	相对于 RXCLK 的保持时间，应用于时钟的两个边沿	2.5		ns

7.13.2.2.1.2 FSIRX 开关特性

编号	参数		最小值	最大值	单位
1	$t_{d(RXCLK)}$	RX_DLYLINE_CTRL[RXCLK_DLY]=31 时的 RXCLK 延迟补偿	10	30	ns
2	$t_{d(RXD0)}$	RX_DLYLINE_CTRL[RXD0_DLY]=31 时的 RXD0 延迟补偿	10	30	ns
3	$t_{d(RXD1)}$	RX_DLYLINE_CTRL[RXD1_DLY]=31 时的 RXD1 延迟补偿	10	30	ns
4	$t_{d(DELAY_ELEMENT)}$	每个延迟线路元件的 RXCLK、RXD0 和 RXD1 增量延迟	0.3	1	ns

7.13.2.2.1.3 FSIRX 时序图

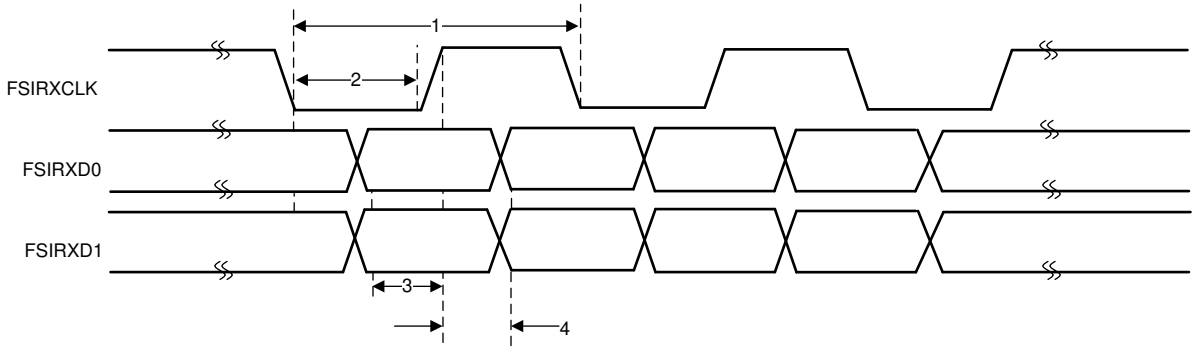


图 7-71. FSIRX 时序

7.13.2.3 SPI 信令模式

FSI 支持 SPI 信令模式以实现与可编程 SPI 器件的通信。在此模式下，FSI 发送数据的方式与 SPI 在单时钟配置模式下发送数据的方式相同。虽然 FSI 在此模式下能够通过物理方式连接 SPI，但外部器件必须能够对 FSI 帧进行编码和解码才能成功进行通信。这是因为 FSI 会发送除前同步码和后同步码之外的所有 SPI 帧相位。FSI 提供与标准 FSI 模式相同的数据验证和帧检查功能，从而在不占用 CPU 周期的情况下实现更稳健的通信。为此，需要使用外部 SPI 来发送所有相关信息，并可用于访问标准 FSI 功能，例如 FSIRX 上的 ping 帧看门狗、帧标记或自定义 CRC 值。SPI 信令模式的特性如下：

- 将在时钟的上升沿发送数据，并在下降沿接收数据。
- 仅支持 16 位字大小。
- TXD1 将像低电平有效片选信号一样被驱动。信号在整个帧发送期间将处于低电平。
- 无需接收器片选输入。不使用 RXD1。数据在每个有效时钟边沿转移到接收器中。
- 不会发送前同步码或后同步码时钟。帧相位结束后，所有信号都恢复到空闲状态。
- 由于 FSI TXCLK 不能采用外部时钟源，因此无法在 SPI 从器件配置下进行发送。

7.13.2.3.1 FSITX SPI 信令模式电气数据和时序

节 7.13.2.3.1.1 列出了 FSITX SPI 信令模式开关特性。图 7-72 所示为 FSITX SPI 信令模式时序。在 SPI 信令模式下，FSIRX 不需要特殊时序。节 7.13.2.2.1.1 中列出的 FSIRX 时序适用于 SPI 信令模式。设置和保持时间仅在 FSIRXCLK 的下降沿有效，因为这是 SPI 信令模式中的有效边沿。

7.13.2.3.1.1 FSITX SPI 信令模式开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

编号	参数		最小值	最大值	单位
1	$t_{c(TXCLK)}$	TXCLK 周期时间	20		ns
2	$t_{w(TXCLK)}$	TXCLK 低电平或 TXCLK 高电平的脉冲宽度	$(0.5t_{c(TXCLK)})$ – 1	$(0.5t_{c(TXCLK)})$ + 1	ns
3	$t_{d(TXCLKH-TXD0)}$	TXCLK 高电平之后 TXD0 有效的延迟时间		3	ns
4	$t_{d(TXD1-TXCLK)}$	TXD1 低电平之后 TXCLK 高电平的延迟时间	$t_{w(TXCLK)}$ – 3		ns
5	$t_{d(TXCLK-TXD1)}$	TXCLK 低电平之后 TXD1 高电平的延迟时间	$t_{w(TXCLK)}$ – 2		ns

7.13.2.3.1.2 FSITX SPI 信令模式时序

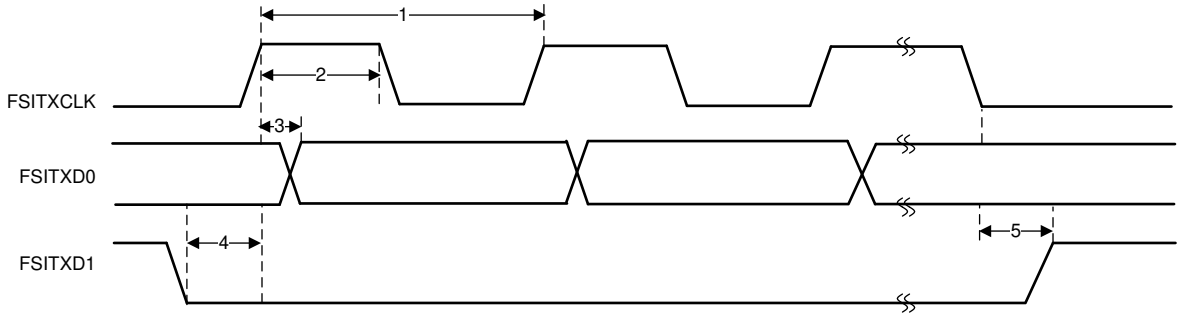


图 7-72. FSITX SPI 信令模式时序

Copyright © 2023 Texas Instruments Incorporated

7.13.3 内部集成电路 (I2C)

I2C 模块具有以下特性：

- 符合 NXP™ 半导体 I2C 总线规范（2.1 版）：
  - 支持 8 位格式传输
  - 7 位和 10 位寻址模式
  - 常规调用
  - START 字节模式
  - 支持多个主发送器和从接收器
  - 支持多个从发送器和主接收器
  - 组合主器件发送/接收和接收/发送模式
  - 数据传输速率从 10kbps 到 400kbps（快速模式）
- 接收 FIFO 和发送器 FIFO（16 深 x 8 位 FIFO）
- 支持两个 ePIE 中断：
  - I2Cx 中断 – 以下任何事件都可以配置为生成 I2Cx 中断：
    - 发送数据准备好
    - 接收数据准备就绪
    - 寄存器访问准备就绪
    - 接收到无应答
    - 仲裁丢失
    - 检测到停止条件
    - 被寻址为从器件
  - I2Cx_FIFO 中断：
    - 发送 FIFO 中断
    - 接收 FIFO 中断
- 模块启用/禁用能力
- 自由数据格式模式

图 7-73 显示了 I2C 功能方框图。

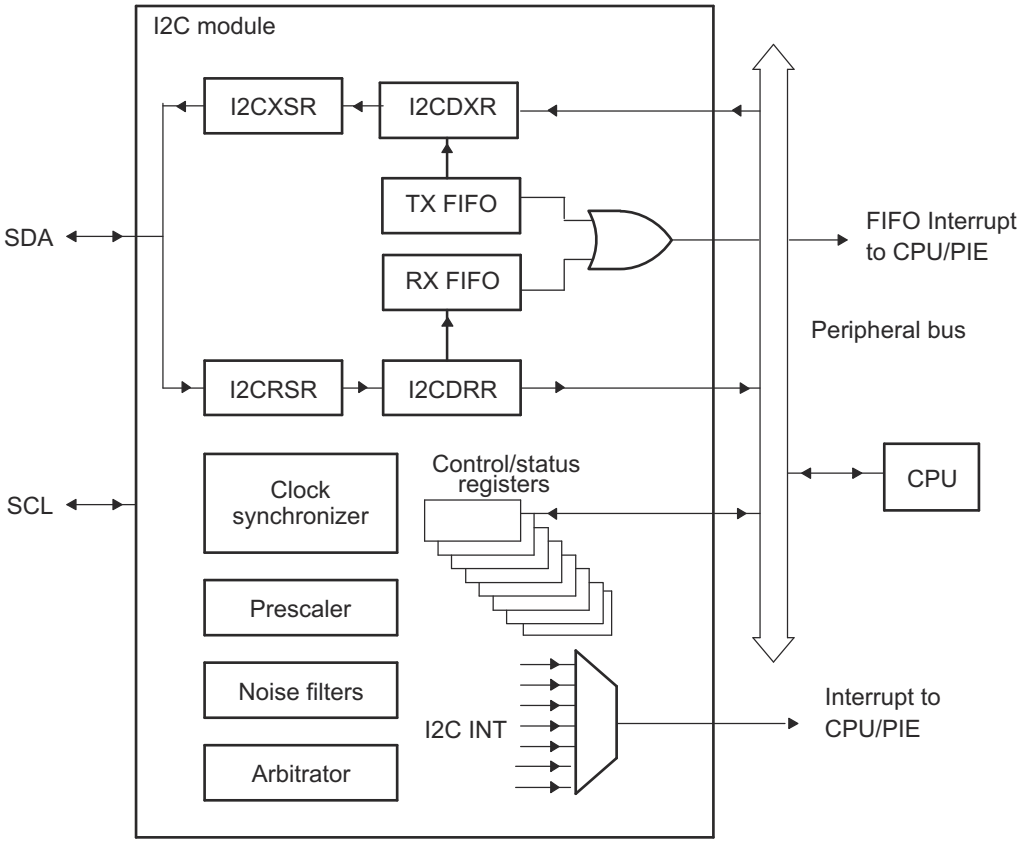


图 7-73. I2C 模块概念方框图

Copyright © 2023 Texas Instruments Incorporated

7.13.3.1 I2C 电气数据和时序

节 7.13.3.1.1 列出了 I2C 时序要求。节 7.13.3.1.2 列出了 I2C 开关特征。图 7-74 显示了 I2C 时序图。

备注

为了满足所有的 I2C 协议时序规范，I2C 模块时钟 (Fmod) 必须配置为 7MHz 至 12MHz。

7.13.3.1.1 I2C 时序要求

编号			最小值	最大值	单位
标准模式					
T0	f_{mod}	I2C 模块频率	7	12	MHz
T1	$t_{h(SDA-SCL)START}$	保持时间，启动条件，SDA 下降后 SCL 下降延迟	4.0		μs
T2	$t_{su(SCL-SDA)START}$	设置时间，重复启动，SDA 下降延迟之前 SCL 上升	4.7		μs
T3	$t_{h(SCL-DAT)}$	保持时间，SCL 下降后的数据	0		μs
T4	$t_{su(DAT-SCL)}$	设置时间，SCL 上升前的数据	250		ns
T5	$t_{r(SDA)}$	上升时间，SDA		1000	ns
T6	$t_{r(SCL)}$	上升时间，SCL		1000	ns
T7	$t_{f(SDA)}$	下降时间，SDA		300	ns
T8	$t_{f(SCL)}$	下降时间，SCL		300	ns
T9	$t_{su(SCL-SDA)STOP}$	设置时间，停止条件，SDA 上升延迟之前 SCL 上升	4.0		μs
T10	$t_{w(SP)}$	将由滤波器抑制的尖峰脉冲持续时间	0	50	ns
T11	C_b	每条总线上的电容负载		400	pF
快速模式					
T0	f_{mod}	I2C 模块频率	7	12	MHz
T1	$t_{h(SDA-SCL)START}$	保持时间，启动条件，SDA 下降后 SCL 下降延迟	0.6		μs
T2	$t_{su(SCL-SDA)START}$	设置时间，重复启动，SDA 下降延迟之前 SCL 上升	0.6		μs
T3	$t_{h(SCL-DAT)}$	保持时间，SCL 下降后的数据	0		μs
T4	$t_{su(DAT-SCL)}$	设置时间，SCL 上升前的数据	100		ns
T5	$t_{r(SDA)}$	上升时间，SDA	20	300	ns
T6	$t_{r(SCL)}$	上升时间，SCL	20	300	ns
T7	$t_{f(SDA)}$	下降时间，SDA	11.4	300	ns
T8	$t_{f(SCL)}$	下降时间，SCL	11.4	300	ns
T9	$t_{su(SCL-SDA)STOP}$	设置时间，停止条件，SDA 上升延迟之前 SCL 上升	0.6		μs
T10	$t_{w(SP)}$	将由滤波器抑制的尖峰脉冲持续时间	0	50	ns
T11	C_b	每条总线上的电容负载		400	pF

Copyright © 2023 Texas Instruments Incorporated

7.13.3.1.2 I2C 开关特征

在推荐的工作条件下（除非另有说明）

编号	参数		测试条件	最小值	最大值	单位
标准模式						
S1	f_{SCL}	SCL 时钟频率		0	100	kHz
S2	T_{SCL}	SCL 时钟周期		10		μs
S3	$t_{w(SCLL)}$	脉冲持续时间，SCL 时钟低电平		4.7		μs
S4	$t_{w(SCLH)}$	脉冲持续时间，SCL 时钟高电平		4.0		μs
S5	t_{BUF}	停止和启动条件之间的总线空闲时间		4.7		μs
S6	$t_{v(SCL-DAT)}$	有效时间，SCL 下降后的数据			3.45	μs
S7	$t_{v(SCL-ACK)}$	有效时间，SCL 下降后的确认			3.45	μs
S8	I_I	引脚上的输入电流	$0.1\ V_{bus} < V_i < 0.9\ V_{bus}$	-10	10	μA
快速模式						
S1	f_{SCL}	SCL 时钟频率		0	400	kHz
S2	T_{SCL}	SCL 时钟周期		2.5		μs
S3	$t_{w(SCLL)}$	脉冲持续时间，SCL 时钟低电平		1.3		μs
S4	$t_{w(SCLH)}$	脉冲持续时间，SCL 时钟高电平		0.6		μs
S5	t_{BUF}	停止和启动条件之间的总线空闲时间		1.3		μs
S6	$t_{v(SCL-DAT)}$	有效时间，SCL 下降后的数据			0.9	μs
S7	$t_{v(SCL-ACK)}$	有效时间，SCL 下降后的确认			0.9	μs
S8	I_I	引脚上的输入电流	$0.1\ V_{bus} < V_i < 0.9\ V_{bus}$	-10	10	μA

Copyright © 2023 Texas Instruments Incorporated

7.13.3.1.3 I2C 时序图

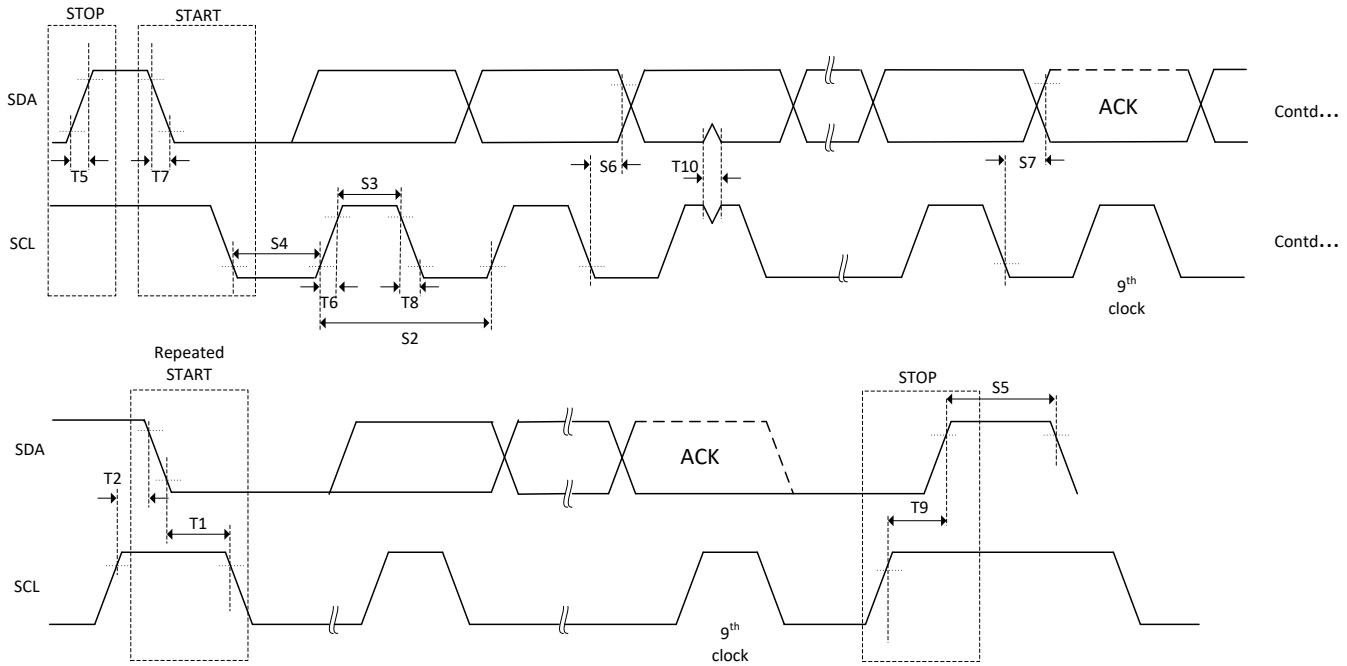


图 7-74. I2C 时序图

7.13.4 多通道缓冲串行端口 (McBSP)

McBSP 的特性包括：

- 全双工通信
- 双缓冲发送和三缓冲接收，支持连续数据流
- 为接收和发送提供独立的时钟和成帧
- 能够向 CPU 发送中断以及向 DMA 控制器发送 DMA 事件
- 可使用 128 个通道进行发送和接收
- 多通道选择模式可启用或禁用每个通道中的块传输
- 直接连接业界通用的编解码器、模拟接口芯片 (AIC) 和其他串行连接的模数和数模转换器
- 支持在外部生成时钟信号和帧同步信号
- 一个可编程采样率发生器用于在内部生成和控制时钟信号和帧同步信号
- 可编程帧同步脉冲和时钟信号的极性
- 直接连接至：
  - T1/E1 成帧器
  - 符合 IOM-2 的器件
  - 符合 AC97 标准的器件（提供所需的多相帧功能）
  - 符合 I2S 标准的器件
  - SPI 器件
- 多种数据大小可供选择：8、12、16、20、24 和 32 位

备注

所选数据大小的值在整个 McBSP 文档中被称为*串行字*或*字*。在其他地方，*字*用于描述 16 位值。

- μ 律和 A 率压缩
- 可选择以 LSB 优先的方式发送/接收 8 位数据
- 提供状态位来标记异常/错误情况
- 不支持 ABIS 模式

Copyright © 2023 Texas Instruments Incorporated

图 7-75 显示了 McBSP 模块的方框图。

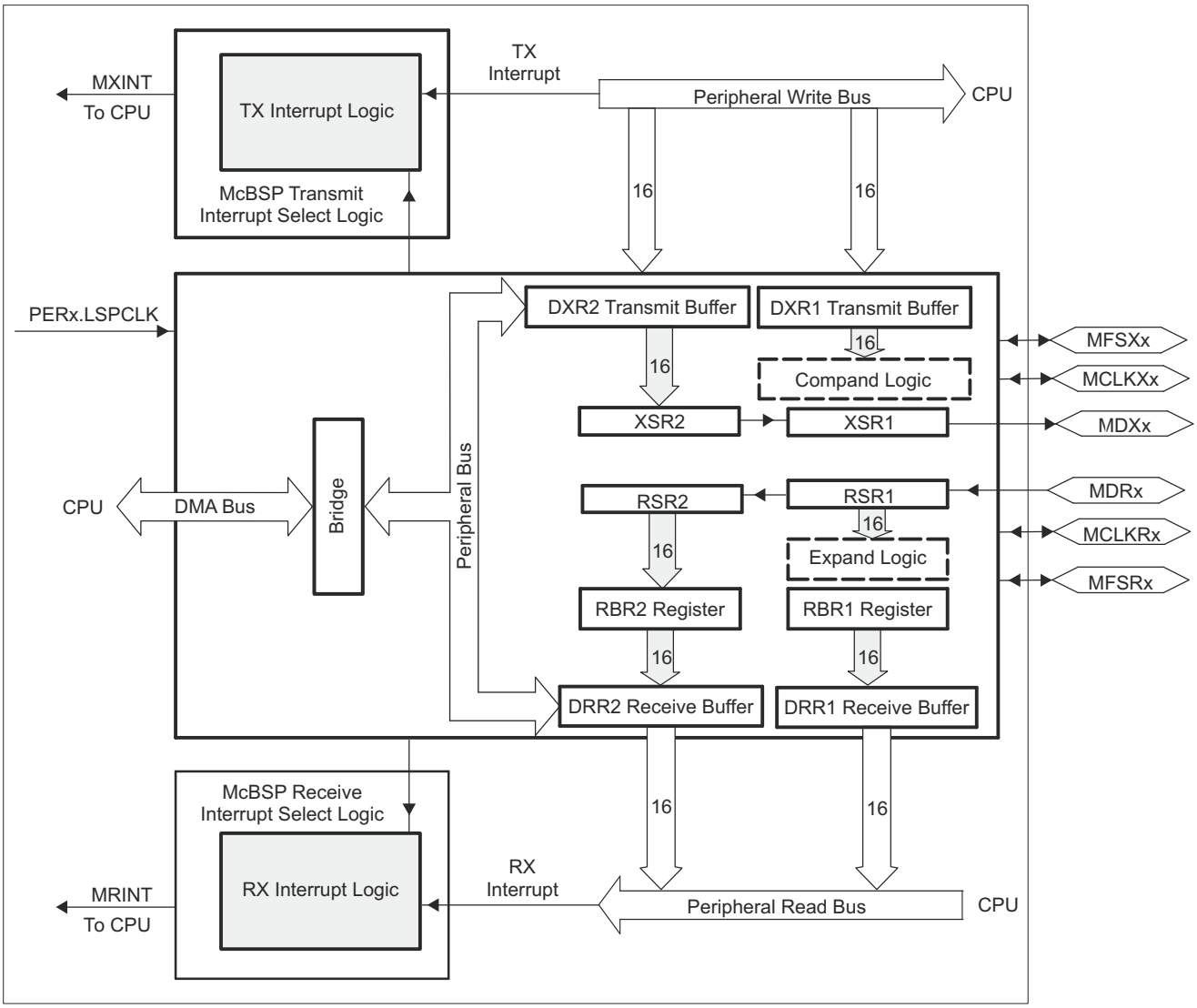


图 7-75. McBSP 方框图

7.13.4.1 McBSP 电气数据和时序

7.13.4.1.1 McBSP 传输和接收时序

节 7.13.4.1.1.1 列出了 McBSP 时序要求：

- 极性位 CLKRP=CLKXP=FSRP=FSXP=0。如果任一信号的极性被反转，那么该信号的时序基准也被反转。
- 2P=1/CLKG，单位为 ns。CLKG 是采样率发生器复用器的输出。CLKG=CLKSRG/(1+CLKGDV)。CLKSRG 可以是 LSPCLK，CLKX，CLKR 作为源。CLKSRG≤(SYSCLK/2)。

节 7.13.4.1.1.2 列出了 McBSP 开关特性：

- 极性位 CLKRP=CLKXP=FSRP=FSXP=0。如果任一信号的极性被反转，那么该信号的时序基准也被反转。
- 2P=1/CLKG，单位为 ns。

图 7-76 和图 7-77 显示了 McBSP 时序图。

7.13.4.1.1.1 McBSP 时序要求

编号				最小值	最大值	单位
		McBSP 模块时钟（CLKG、CLKX、CLKR）范围		1		kHz
					25	MHz
		McBSP 模块周期时间（CLKG、CLKX、CLKR）范围		40		ns
					1	ms
M11	$t_{c(CKRX)}$	周期时间，CLKR/X	CLKR/X 外部	2P		ns
M12	$t_{w(CKRX)}$	脉冲持续时间，CLKR/X 高电平或者 CLKR/X 低电平	CLKR/X 外部	P-7		ns
M13	$t_{r(CKRX)}$	上升时间，CLKR/X	CLKR/X 外部		7	ns
M14	$t_{f(CKRX)}$	下降时间，CLKR/X	CLKR/X 外部		7	ns
M15	$t_{su(FRH-CKRL)}$	在 CLKR 低电平之前外部 FSR 为高电平的建立时间	CLKR 内部	21		ns
			CLKR 外部	2		
M16	$t_{h(CKRL-FRH)}$	CLKR 低电平之后，外部 FSR 为高电平的保持时间	CLKR 内部	0		ns
			CLKR 外部	6		
M17	$t_{su(DRV-CKRL)}$	在 CLKR 低电平之前，DR 有效的保持时间	CLKR 内部	21		ns
			CLKR 外部	5		
M18	$t_{h(CKRL-DRV)}$	在 CLKR 低电平之后，DR 有效的保持时间	CLKR 内部	0		ns
			CLKR 外部	3		
M19	$t_{su(FXH-CKXL)}$	在 CLKX 低电平之前，外部 FSX 为高电平的建立时间	CLKX 内部	21		ns
			CLKX 外部	2		
M20	$t_{h(CKXL-FXH)}$	CLKX 低电平之后，外部 FSX 为高电平的保持时间	CLKX 内部	0		ns
			CLKX 外部	6		

Copyright © 2023 Texas Instruments Incorporated

7.13.4.1.1.2 McBSP 开关特征

在推荐的工作条件下（除非另有说明）

编号	参数				最小值	最大值	单位
M1	$t_{c(CKRX)}$	周期时间，CLKR/X		CLKR/X 内部	2P		ns
M2	$t_{w(CKRXH)}$	脉冲持续时间，CLKR/X 高电平		CLKR/X 内部	D-5 (1)	D+5 (1)	ns
M3	$t_{w(CKRXL)}$	脉冲持续时间，CLKR/X 低电平		CLKR/X 内部	C-5 (1)	C+5 (1)	ns
M4	$t_{d(CKRH-FRV)}$	CLKR 高电平到内部 FSR 有效的延迟时间		CLKR 内部	-3	4	ns
				CLKR 外部	3	27	
M5	$t_{d(CKXH-FXV)}$	CLKX 高电平到内部 FSX 有效的延迟时间		CLKX 内部	-3	4	ns
				CLKX 外部	3	27	
M6	$t_{dis(CKXH-DXHZ)}$	CLKX 高电平到 DX 在最后一个数据位后为高阻抗的禁用时间		CLKX 内部	–8	8	ns
				CLKX 外部	4	25	
M7	$t_{d(CKXH-DXV)}$	CLKX 高电平到 DX 有效的延迟时间。		CLKX 内部	-3	5	ns
		这应用于除传输的第一个位之外的所有位。		CLKX 外部	7	25	
		CLKX 高电平到 DX 有效的延迟时间	DXENA=0	CLKX 内部	-3	5	
				CLKX 外部	7	25	
		当处于数据延迟 1 或者 2（XDATDLY=01b 或者 10b）模式时，只应用于发送的第一个位。	DXENA=1	CLKX 内部	P–3	P+5	
				CLKX 外部	P+7	P+25	
M8	$t_{en(CKXH-DX)}$	CLKX 高电平待 DX 被驱动的使能时间	DXENA=0	CLKX 内部	–8		ns
				CLKX 外部	5		
		当处于数据延迟 1 或者 2（XDATDLY=01b 或者 10b）模式时，只应用于发送的第一个位。	DXENA=1	CLKX 内部	P–8		
				CLKX 外部	P+5		
M9	$t_{d(FXH-DXV)}$	FSX 高电平到 DX 有效的延迟时间	DXENA=0	FSX 内部		8	ns
				FSX 外部		18.5	
		当处于数据延迟 0（XDATDLY=00b）模式时，只应用于发送的第一个位。	DXENA=1	FSX 内部		P+8	
				FSX 外部		P+18.5	
M10	$t_{en(FXH-DX)}$	FSX 高电平到 DX 驱动的使能时间	DXENA=0	FSX 内部	-2		ns
				FSX 外部	6		
		当处于数据延迟 0（XDATDLY=00b）模式时，只应用于传输的第一个位	DXENA=1	FSX 内部	P–2		
				FSX 外部	P+6		

(1) C=CLKRX 低脉冲宽度=P
D=CLKRX 高脉冲宽度=P

7.13.4.1.1.3 McBSP 接收和发送时序图

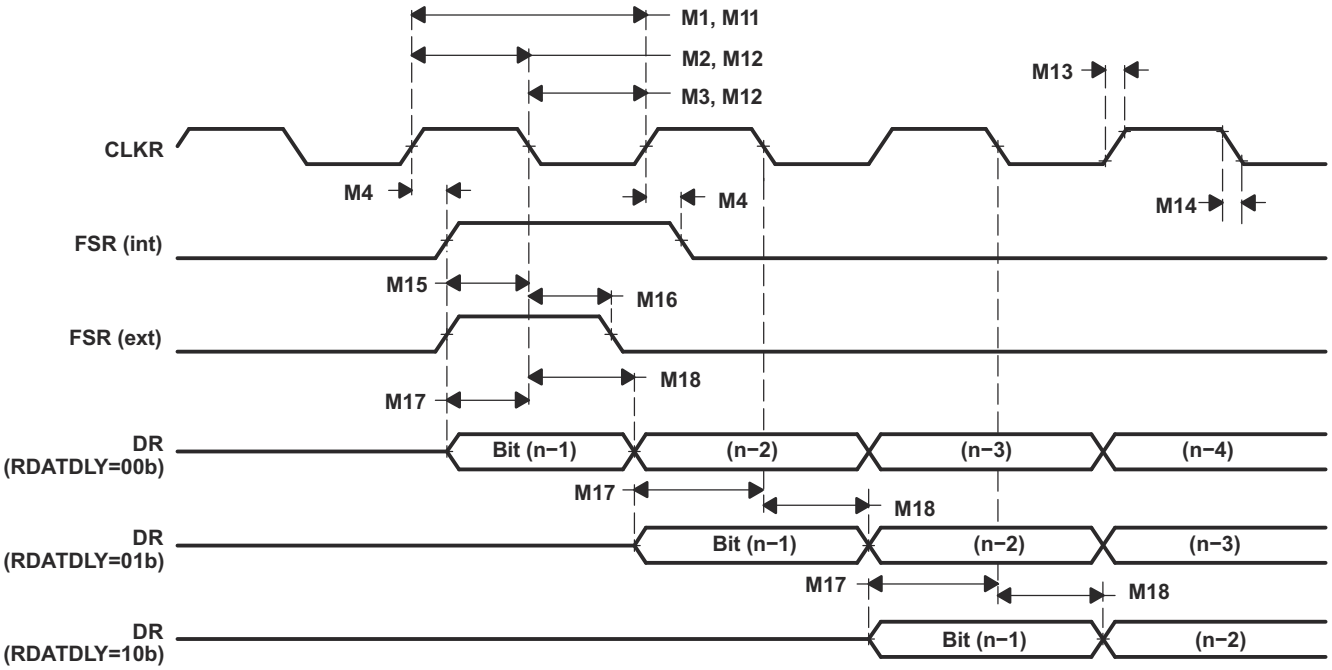


图 7-76. McBSP 接收时序

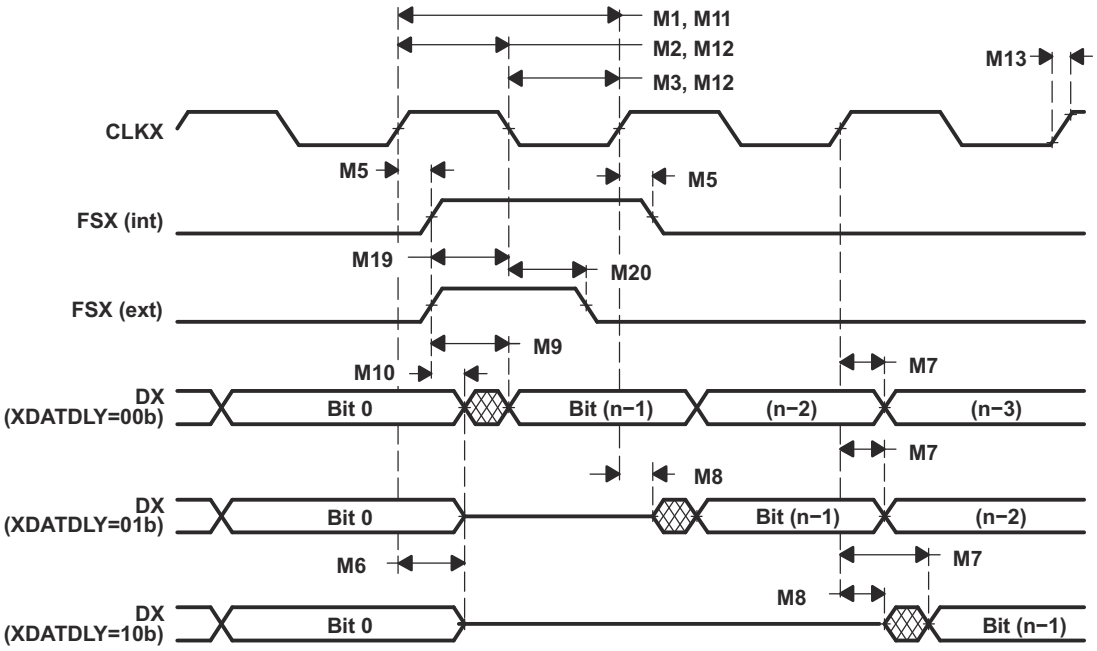


图 7-77. McBSP 传输时序

Copyright © 2023 Texas Instruments Incorporated

7.13.4.1.2 McBSP 作为 SPI 主器件或从器件时序

节 7.13.4.1.2.1 列出了 McBSP 作为 SPI 主器件时序要求。节 7.13.4.1.2.2 列出了 McBSP 作为 SPI 主器件开关特征。节 7.13.4.1.2.3 列出了 McBSP 作为 SPI 从器件时序要求。节 7.13.4.1.2.4 列出了 McBSP 作为 SPI 从器件开关特征。

图 7-78 至图 7-81 显示了 McBSP 作为 SPI 主器件或从器件计时示意图。

7.13.4.1.2.1 McBSP 作为 SPI 主器件的时序要求

编号			最小值	最大值	单位
时钟					
	$t_{c(CLKG)}$	周期时间，CLKG[(1)]	$2*t_{c(LSPCLK)}$		ns
	P	周期时间，LSPCLK[(1)]	$t_{c(LSPCLK)}$		ns
M33、M42、M52、M61	$t_{c(CKX)}$	周期时间，CLKX	2P		ns
CLKSTP=10b，CLKXP=0					
M30	$t_{su(DRV-CKXL)}$	在 CLKX 低电平之前，DR 有效的建立时间	30		ns
M31	$t_{h(CKXL-DRV)}$	在 CLKX 低电平之后，DR 有效的保持时间	1		ns
CLKSTP=11b，CLKXP=0					
M39	$t_{su(DRV-CKXH)}$	建立时间，CLKX 高电平前，DR 有效的建立时间	30		ns
M40	$t_{h(CKXH-DRV)}$	CLKX 高电平后，DR 有效的保持时间	1		ns
CLKSTP=10b，CLKXP=1					
M49	$t_{su(DRV-CKXH)}$	建立时间，CLKX 高电平前，DR 有效的建立时间	30		ns
M50	$t_{h(CKXH-DRV)}$	CLKX 高电平后，DR 有效的保持时间	1		ns
CLKSTP=11b，CLKXP=1					
M58	$t_{su(DRV-CKXL)}$	在 CLKX 低电平之前，DR 有效的建立时间	30		ns
M59	$t_{h(CKXL-DRV)}$	在 CLKX 低电平之后，DR 有效的保持时间	1		ns

(1) 通过设置 CLKSM=1 和 CLKGDV=1，应将 CLKG 配置为 LSPCLK/2

7.13.4.1.2.2 McBSP 作为 SPI 主器件开关特征

在自然通风条件下的工作温度范围内测得（除非另有说明）

编号		参数	最小值	典型值	最大值	单位
时钟						
M33	$t_{c(CLKG)}$	周期时间，CLKG[(1)] ($n*t_{c(LSPCLK)}$)	40			ns
	P	半个 CLKG 周期；$0.5*t_{c(CLKG)}$	20			ns
	n	LSPCLK 到 CLKG 分频器	2			ns
CLKSTP=10b，CLKXP=0						
M24	$t_{h(CKXL-FXL)}$	CLKX 低电平之后，FSX 高电平的保持时间	2P – 4			ns
M25	$t_{d(FXL-CKXH)}$	延迟时间，FSX 低电平到 CLKX 变为高电平的时间	P-4			ns
M26	$t_{d(CLKXH-DXV)}$	CLKX 高电平至 DX 有效的延迟时间	-3		5	ns
M28	$t_{dis(FXH-DXHZ)}$	从 CLKX 低电平到最后一个数据位后的 DX 高阻抗的禁用时间	P – 8			ns
M29	$t_{d(FXL-DXV)}$	FSX 低电平到 DX 有效的延迟时间	P – 3		P+6	ns
CLKSTP=11b，CLKXP=0						
M34	$t_{h(CKXL-FXH)}$	CLKX 低电平之后，FSX 高电平的保持时间	P – 4			ns
M35	$t_{d(FXL-CKXH)}$	延迟时间，FSX 低电平到 CLKX 变为高电平的时间	2P – 4			ns
M36	$t_{d(CLKXL-DXV)}$	CLKX 低电平至 DX 有效的延迟时间	-3		5	ns
M37	$t_{dis(CKXL-DXHZ)}$	禁用时间，从 CLKX 低电平到最后一个数据位后的 DX 高阻抗的时间	P – 8			ns
M38	$t_{d(FXL-DXV)}$	延迟时间，FSX 低电平到 DX 有效时间	-3		5	ns
CLKSTP=10b，CLKXP=1						
M43	$t_{h(CKXH-FXH)}$	CLKX 高电平之后，FSX 高电平的保持时间	2P – 4			ns
M44	$t_{d(FXL-CKXL)}$	延迟时间，FSX 低电平时间到 CLKX 低电平的时间	P – 4			ns
M45	$t_{d(CLKXL-DXV)}$	CLKX 低电平至 DX 有效的延迟时间	-3		5	ns
M47	$t_{dis(CKXH-DXHZ)}$	从 CLKX 高电平到最后一个数据位后的 DX 高阻抗的禁用时间	P – 8			ns
M48	$t_{d(FXL-DXV)}$	延迟时间，FSX 低电平到 DX 有效时间	-3		5	ns
CLKSTP=11b，CLKXP=1						
M53	$t_{h(CKXH-FXH)}$	，CLKX 高电平之后，FSX 高电平的保持时间	P – 4			ns
M54	$t_{d(FXL-CKXL)}$	延迟时间，FSX 低电平时间到 CLKX 低电平的时间	2P – 4			ns
M55	$t_{d(CLKXH-DXV)}$	延迟时间，CLKX 高电平到 DX 有效的时间	-3		5	ns
M56	$t_{dis(CKXH-DXHZ)}$	从 CLKX 高电平到最后一个数据位后的 DX 高阻抗的禁用时间	P – 8			ns
M57	$t_{d(FXL-DXV)}$	延迟时间，FSX 低电平到 DX 有效时间	-3		5	ns

(1) 通过设置 CLKSM=1 和 CLKGDV=1，应将 CLKG 配置为 LSPCLK/2。

Copyright © 2023 Texas Instruments Incorporated

7.13.4.1.2.3 McBSP 作为 SPI 从器件的时序要求

编号			最小值	最大值	单位
时钟					
	$t_{c(CLKG)}$	周期时间，CLKG[(1)]	$2*t_{c(LSPCLK)}$		ns
	P	周期时间，LSPCLK[(1)]	$t_{c(LSPCLK)}$		ns
M33、M42、M52、M61	$t_{c(CKX)}$	周期时间，CLKX[(2)]	16P		ns
CLKSTP=10b，CLKXP=0					
M30	$t_{su(DRV-CKXL)}$	在 CLKX 低电平之前，DR 有效的建立时间	8P-10		ns
M31	$t_{h(CKXL-DRV)}$	在 CLKX 低电平之后，DR 有效的保持时间	8P-10		ns
M32	$t_{su(BFXL-CKXH)}$	CLKX 高电平前，FSX 为低电平的建立时间	8P+10		ns
CLKSTP=11b，CLKXP=0					
M39	$t_{su(DRV-CKXH)}$	CLKX 高电平前，DR 有效的建立时间	8P-10		ns
M40	$t_{h(CKXH-DRV)}$	CLKX 高电平后，DR 有效的保持时间	8P-10		ns
M41	$t_{su(FXL-CKXH)}$	CLKX 高电平前，FSX 为低电平的建立时间	16P+10		ns
CLKSTP=10b，CLKXP=1					
M49	$t_{su(DRV-CKXH)}$	CLKX 高电平前，DR 有效的建立时间	8P-10		ns
M50	$t_{h(CKXH-DRV)}$	CLKX 高电平后，DR 有效的保持时间	8P-10		ns
M51	$t_{su(FXL-CKXL)}$	CLKX 低电平前，FSX 为低电平的建立时间	8P+10		ns
CLKSTP=11b，CLKXP=1					
M58	$t_{su(DRV-CKXL)}$	在 CLKX 低电平之前，DR 有效的建立时间	8P-10		ns
M59	$t_{h(CKXL-DRV)}$	在 CLKX 低电平之后，DR 有效的保持时间	8P-10		ns
M60	$t_{su(FXL-CKXL)}$	CLKX 低电平前，FSX 为低电平的建立时间	16P+10		ns

(1) 通过设置 CLKSM=1 和 CLKGDV=1，应将 CLKG 配置为 LSPCLK/2
(2) 对于 SPI 从模式，CLKX 必须至少为 8 个 CLKG 周期

Copyright © 2023 Texas Instruments Incorporated

7.13.4.1.2.4 McBSP 作为 SPI 从器件开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

编号	参数		最小值	典型值	最大值	单位
时钟						
	2P	周期时间，CLKG				ns
CLKSTP=10b，CLKXP=0						
M26	$t_{d(CLKXH-DXV)}$	延迟时间，CLKX 高电平到 DX 有效的时间	3P+6		5P+20	ns
M28	$t_{dis(CKXL-DXHZ)}$	禁用时间，从 CLKX 低电平到最后一个数据位后的 DX 高阻抗的时间	6P+6			ns
M29	$t_{d(FXL-DXV)}$	FSX 低电平到 DX 有效的延迟时间	4P+6			ns
CLKSTP=11b，CLKXP=0						
M36	$t_{d(CLKXL-DXV)}$	延迟时间，CLKX 低电平到 DX 有效时的时间	3P+6		5P+20	ns
M37	$t_{dis(CKXL-DXHZ)}$	禁用时间，从 CLKX 低电平到最后一个数据位后的 DX 高阻抗的时间	7P+6			ns
M38	$t_{d(FXL-DXV)}$	FSX 低电平到 DX 有效的延迟时间	4P+6			ns
CLKSTP=10b，CLKXP=1						
M45	$t_{d(CLKXL-DXV)}$	延迟时间，CLKX 低电平到 DX 有效时的时间	3P+6		5P+20	ns
M47	$t_{dis(CLKXH-DXHZ)}$	禁用时间，从 CLKX 高电平到最后一个数据位后的 DX 高阻抗的时间	6P+6			ns
M48	$t_{d(FXL-DXV)}$	FSX 低电平到 DX 有效的延迟时间	4P+6			ns
CLKSTP=11b，CLKXP=1						
M55	$t_{d(CLKXH-DXV)}$	延迟时间，CLKX 高电平到 DX 有效的时间	3P+6		5P+20	ns
M56	$t_{dis(CKXH-DXHZ)}$	从 CLKX 高电平到最后一个数据位后的 DX 高阻抗的禁用时间	7P+6			ns
M57	$t_{d(FXL-DXV)}$	FSX 低电平到 DX 有效的延迟时间	4P+6			ns

7.13.4.1.2.5 McBSP 作为 SPI 主器件或从器件时序图

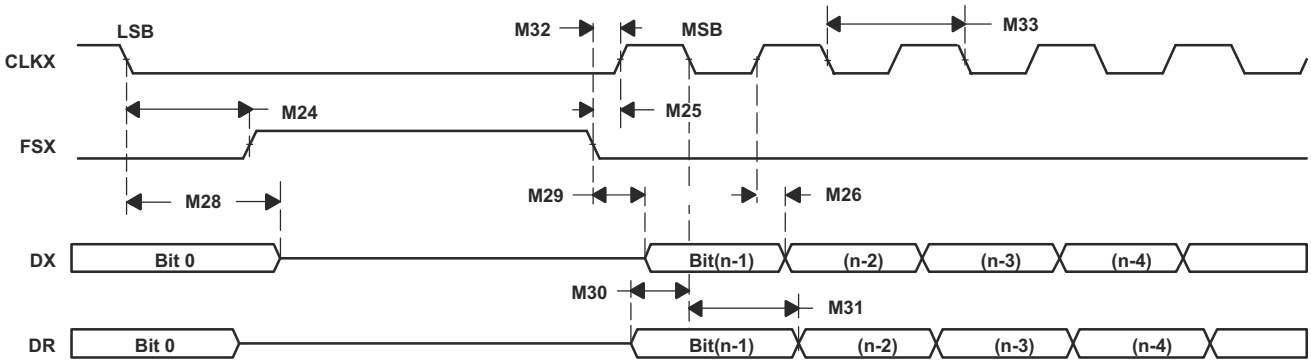


图 7-78. McBSP 作为 SPI 主器件或从器件：CLKSTP=10b，CLKXP=0

Copyright © 2023 Texas Instruments Incorporated

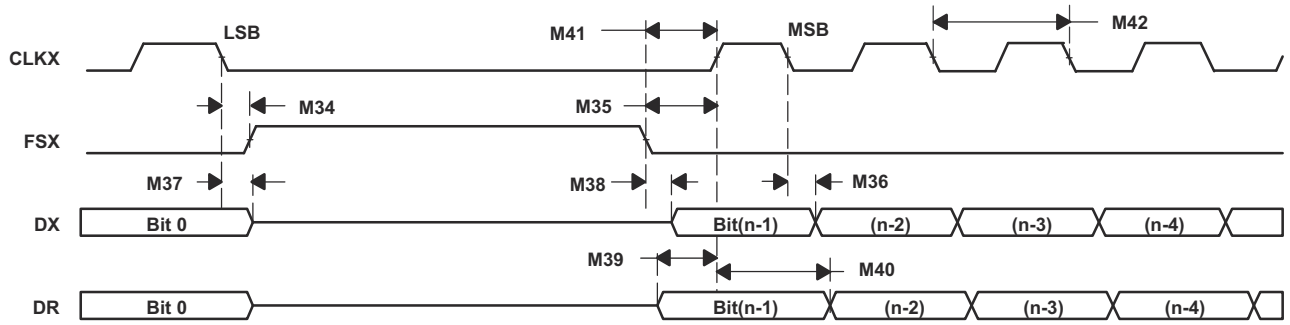


图 7-79. McBSP 作为 SPI 主器件或从器件：CLKSTP=11b，CLKXP=0

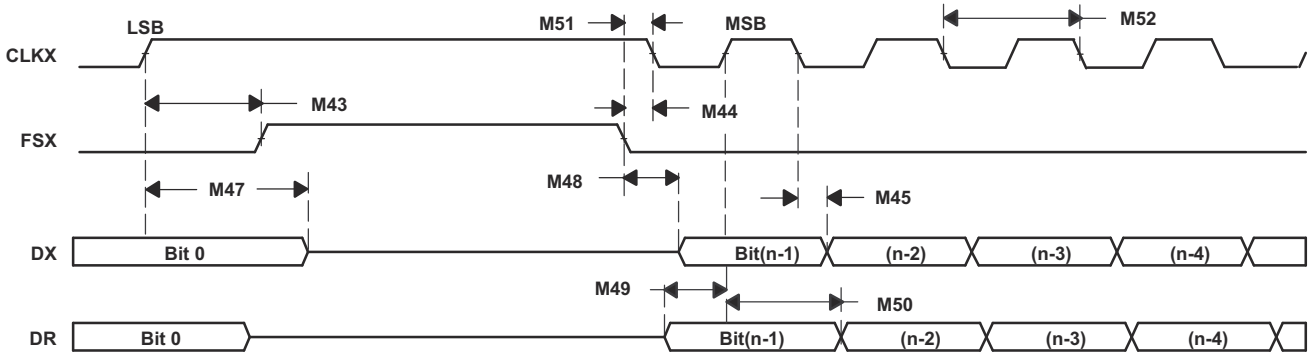


图 7-80. McBSP 作为 SPI 主器件或从器件：CLKSTP=10b，CLKXP=1

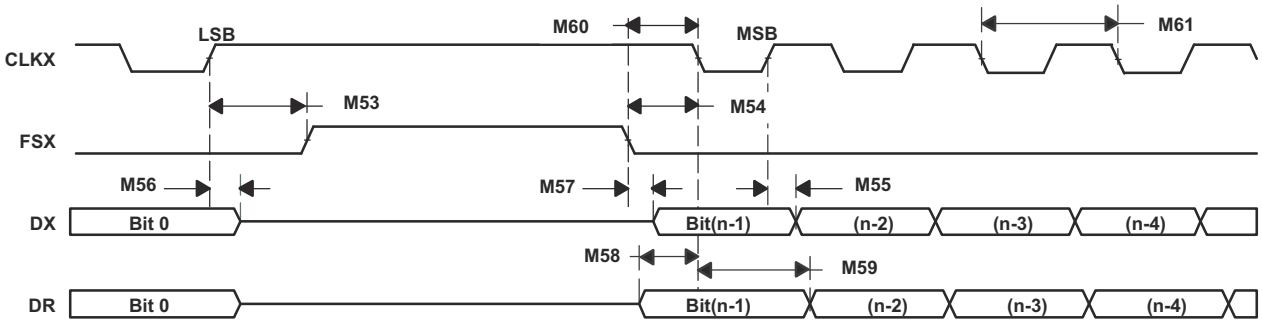


图 7-81. McBSP 作为 SPI 主器件或从器件：CLKSTP=11b，CLKXP=1

7.13.5 电源管理总线 (PMBus)

PMBus 模块提供了微控制器和器件之间的接口，该接口符合 SMI Forum PMBus 规范第 I 部分 1.0 版和第 II 部分 1.1 版的要求。PMBus 基于 SMBus，使用与 I2C 类似的物理层。

PMBus 模块具有以下特性：

- 符合 SMI Forum PMBus 规范（第 I 部分 v1.0 和第 II 部分 v1.1）
- 支持主模式和从模式
- 支持两种速度：
  - 标准模式：高达 100 kHz
  - 快速模式：高达 400 kHz
- 数据包错误检查
- 控制和警报信号
- 时钟高电平和低电平超时
- 四字节发送和接收缓冲器
- 一个可屏蔽中断，可由以下几个条件生成：
  - 接收数据就绪
  - 发送缓冲器为空
  - 接收到从器件地址
  - 消息结束
  - 警报输入被置为有效
  - 时钟低超时
  - 时钟高电平超时
  - 总线空闲

图 7-82 所示为 PMBus 方框图。

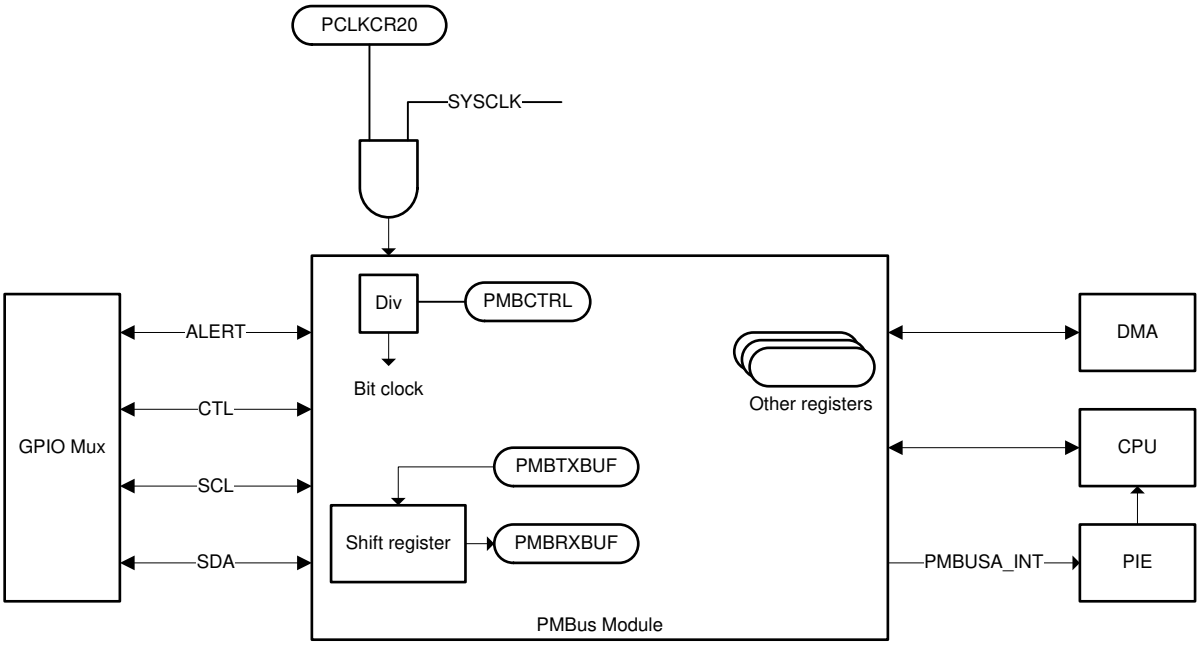


图 7-82. PMBus 方框图

Copyright © 2023 Texas Instruments Incorporated

7.13.5.1 PMBus 电气数据和时序

7.13.5.1.1 PMBus 电气特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_{IL}	有效低电平输入电压				0.8	V
V_{IH}	有效高电平输入电压		2.1		VDDIO	V
V_{OL}	低电平输出电压	在 I_{pullup} = 4mA 时			0.4	V
I_{OL}	低电平输出电流	V_{OL} ≤ 0.4V	4			mA
t_{SP}	必须由输入滤波器进行抑制的尖峰脉冲宽度		0		50	ns
I_i	每个引脚上的输入漏电流	0.1Vbus < Vi < 0.9Vbus	-10		10	μA
C_i	每个引脚上的电容				10	pF

7.13.5.1.2 PMBus 快速模式开关特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
F_{mod}	PMBus 模块时钟频率		f(SYSCLK) /32		10	MHz
f_{SCL}	SCL 时钟频率		10		400	kHz
t_{BUF}	停止和启动条件之间的总线空闲时间		1.3			μs
$t_{HD;STA}$	启动条件保持时间 - SDA 下降至 SCL 下降延迟		0.6			μs
$t_{SU;STA}$	重复启动设置时间 - SCL 上升至 SDA 下降延迟		0.6			μs
$t_{SU;STO}$	停止条件设置时间 - SCL 上升至 SDA 上升延迟		0.6			μs
$t_{HD;DAT}$	SCL 下降后的数据保持时间		300			ns
$t_{SU;DAT}$	SCL 上升前的数据设置时间		100			ns
$t_{Timeout}$	时钟低超时		25		35	ms
t_{LOW}	SCL 时钟的低电平周期		1.3			μs
t_{HIGH}	SCL 时钟的高电平周期		0.6		50	μs
$t_{LOW;SEXT}$	累计时钟低电平延长时间（从器件）	从启动到停止			25	ms
$t_{LOW;MEXT}$	累计时钟低电平延长时间（主器件）	在每个字节内			10	ms
t_r	SDA 和 SCL 的上升时间	5%至 95%	20		300	ns
t_f	SDA 和 SCL 的下降时间	95%至 5%	20		300	ns

7.13.5.1.3 PMBus 标准模式开关特性

在建议运行条件下测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
F_{mod}	PMBus 模块时钟频率		f(SYSCLK) /32		10	MHz
f_{SCL}	SCL 时钟频率		10		100	kHz
t_{BUF}	停止和启动条件之间的总线空闲时间		4.7			μs
$t_{HD;STA}$	启动条件保持时间 - SDA 下降至 SCL 下降延迟		4			μs
$t_{SU;STA}$	重复启动设置时间 - SCL 上升至 SDA 下降延迟		4.7			μs
$t_{SU;STO}$	停止条件设置时间 - SCL 上升至 SDA 上升延迟		4			μs
$t_{HD;DAT}$	SCL 下降后的数据保持时间		300			ns
$t_{SU;DAT}$	SCL 上升前的数据设置时间		250			ns
$t_{Timeout}$	时钟低超时		25		35	ms
t_{LOW}	SCL 时钟的低电平周期		4.7			μs
t_{HIGH}	SCL 时钟的高电平周期		4		50	μs
$t_{LOW;SEXT}$	累计时钟低电平延长时间（从器件）	从启动到停止			25	ms
$t_{LOW;MEXT}$	累计时钟低电平延长时间（主器件）	在每个字节内			10	ms
t_r	SDA 和 SCL 的上升时间				1000	ns
t_f	SDA 和 SCL 的下降时间				300	ns

Copyright © 2023 Texas Instruments Incorporated

7.13.6 串行通信接口 (SCI)

SCI 是一种双线制异步串行端口，通常称为 UART。SCI 模块支持 CPU 与其他异步外设之间使用标准非归零码 (NRZ) 格式的数字通信

SCI 发送器和接收器都有一个用于减少服务开销的 16 级深度 FIFO，且具有各自独立的使能位和中断位。两者都能独立进行半双工通信，或同时进行全双工通信。为了指定数据完整性，SCI 检查接收到的数据是否存在中断检测、奇偶校验、超限和成帧错误。比特率通过 16 位波特选择寄存器可编程为不同的速度。图 7-83 显示了 SCI 模块方框图。

SCI 模块的特性包括：

- 两个外部引脚：
  - SCITXD：SCI 发送-输出引脚
  - SCIRXD：SCI 接收-输入引脚
  - 波特率可编程为 64K 不同速率
- 数据字格式
  - 一个开始位
  - 数据字长度可在 1 至 8 位之间编程
  - 可选偶数/奇数/无奇偶校验位
  - 1 个或 2 个停止位
- 四个错误检测标志：奇偶校验、超限、成帧和中断检测
- 两种唤醒多处理器模式：空闲线和地址位
- 半双工或全双工操作
- 双缓冲接收和发送功能
- 发送器和接收器操作可通过带有状态标志的中断驱动或轮询算法来完成。
  - 发送器：TXRDY 标志（发送器缓冲寄存器已准备好接收另一个字符）和 TX EMPTY 标志（发送器移位寄存器为空）
  - 接收器：RXRDY 标志（接收器缓冲寄存器已准备好接收另一个字符）、BRKDT 标志（发生了中断条件）和 RX ERROR 标志（监测四个中断条件）
- 发送器和接收器中断的独立使能位（BRKDT 除外）
- NRZ 格式
- 自动波特检测硬件逻辑
- 16 级发送和接收 FIFO

备注

此模块中的所有寄存器均为 8 位寄存器。当寄存器被访问时，寄存器数据位于低位字节（位 7-0），高位字节（位 15-8）读取为零。对高字节进行写入无效。

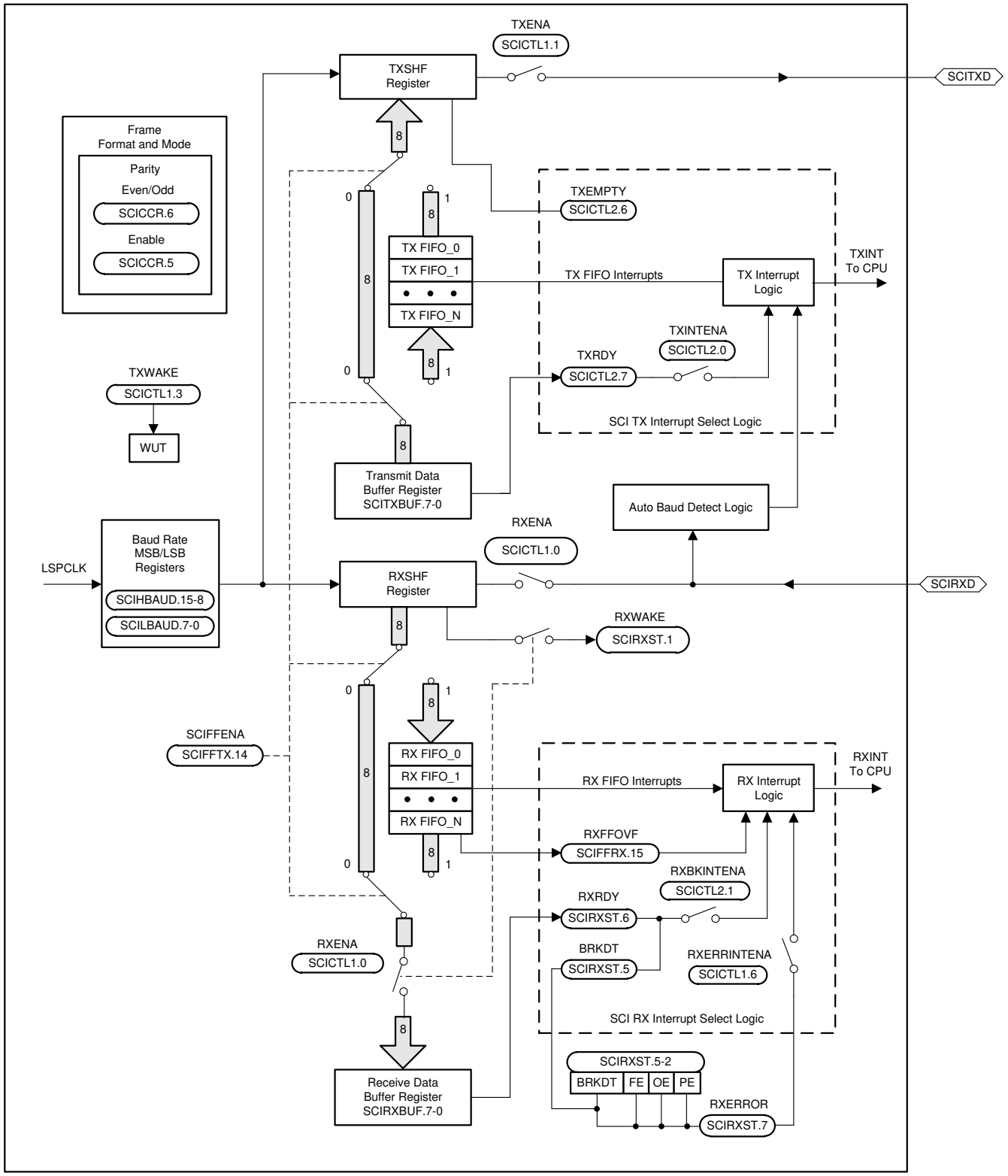


图 7-83. SCI 方框图

Copyright © 2023 Texas Instruments Incorporated

7.13.7 串行外设接口 (SPI)

SPI 是一款高速同步串行输入/输出 (I/O) 端口，其允许以编程的比特传输速率将编程长度（1 至 16 位）的串行位流移入和移出器件。SPI 通常用于微控制器与外部外设或另一控制器之间的通信。典型应用包含通过移位寄存器、显示驱动器和 ADC 等器件进行外部 I/O 或外设扩展。多器件通信由 SPI 的主/从操作支持。该端口支持 16 级接收和发送 FIFO，以减少 CPU 服务开销。

SPI 模块的特性包括：

- SPISOMI：SPI 从器件输出/主器件输入引脚
- SPISIMO：SPI 从器件输入/主器件输出引脚
- $\overline{\text{SPISTE}}$：SPI 从器件发送使能引脚
- SPICLK：SPI 串行时钟引脚
- 两个运行模式：主模式和从模式
- 波特率：125 个不同的可编程速率
- 数据字长度：1 至 16 数据位
- 四种时钟方案（由时钟极性和时钟相位的位控制）包含：
  - 无相位延迟的下降沿：SPICLK 高电平有效。SPI 在 SPICLK 信号的下降沿上发送数据，在 SPICLK 信号的上升沿上接收数据。
  - 有相位延迟的下降沿：SPICLK 高电平有效。SPI 在 SPICLK 信号下降沿提前半个周期发送数据，在 SPICLK 信号的下降沿上接收数据。
  - 无相位延迟的上升沿：SPICLK 低电平无效。SPI 在 SPICLK 信号的上升沿上发送数据，在 SPICLK 信号的下降沿上接收数据。
  - 有相位延迟的上升沿：SPICLK 低电平无效。SPI 在 SPICLK 信号上升沿提前半个周期发送数据，在 SPICLK 信号的上升沿上接收数据。
- 同时接收和发送操作（可在软件中禁用发送功能）
- 发送器和接收器操作通过中断驱动或轮询算法完成。
- 16 级发送和接收 FIFO
- 延迟的发送控制
- 3 线 SPI 模式
- 在带有两个 SPI 模块的器件上实现数字音频接口接收模式的 $\overline{\text{SPISTE}}$ 反转
- DMA 支持
- 高速模式可实现高达 50MHz 全双工通信

图 7-84 显示了 SPI CPU 接口。

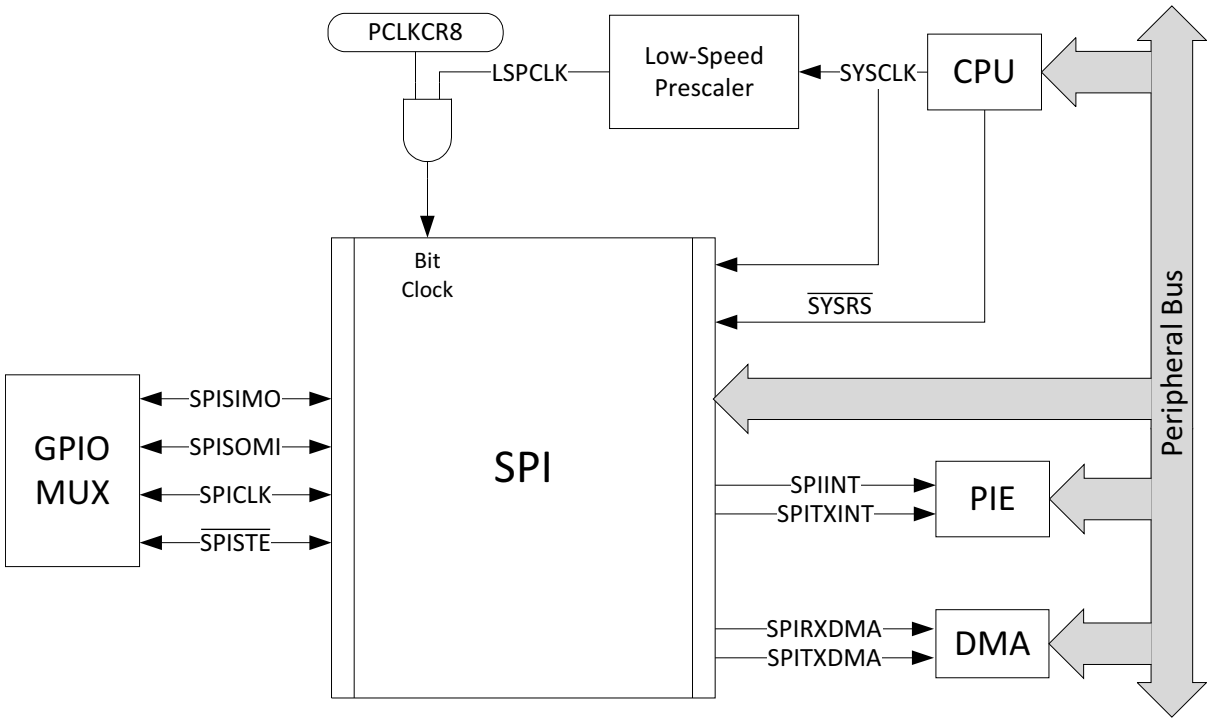


图 7-84. SPI CPU 接口

Copyright © 2023 Texas Instruments Incorporated

7.13.7.1 SPI 电气数据和时序

备注

SPI 高速模式的所有时序参数都假设 SPICLK、SPISIMO 和 SPISOMI 上的负载电容为 5pF。

更多有关高速模式下 SPI 的信息，请参阅 *TMS320F2838x 实时微控制器技术参考手册* 的“串行外设接口 (SPI)”一章。

为了在高速模式下使用 SPI，应用必须使用支持高速模式的 GPIO（请参阅节 6.5.5）。

7.13.7.1.1 SPI 主模式时序

节 7.13.7.1.1.1 列出了 SPI 主模式时序要求。节 7.13.7.1.1.2 列出了 SPI 主模式开关特性（时钟相位 = 0）。节 7.13.7.1.1.3 列出了 SPI 主模式开关特性（时钟相位 = 1）。图 7-85 显示了时钟相位 = 0 时的 SPI 主模式外部时序。图 7-86 显示了时钟相位 = 1 时的 SPI 主模式外部时序。

7.13.7.1.1.1 SPI 主模式时序要求

编号			(BRR + 1) 条件[(1)]	最小值	最大值	单位
高速模式						
8	$t_{su(SOMI)M}$	SPICLK 之前 SPISOMI 有效的设置时间	偶数，奇数	1		ns
9	$t_{h(SOMI)M}$	SPICLK 之后 SPISOMI 有效的保持时间	偶数，奇数	5		ns
正常模式						
8	$t_{su(SOMI)M}$	SPICLK 之前 SPISOMI 有效的设置时间	偶数，奇数	20		ns
9	$t_{h(SOMI)M}$	SPICLK 之后 SPISOMI 有效的保持时间	偶数，奇数	0		ns

(1) 当 (SPIBRR + 1) 为偶数或 SPIBRR 为 0 或 2 时，(BRR + 1) 条件为偶数。当 (SPIBRR + 1) 为奇数且 SPIBRR 大于 3 时，(BRR + 1) 条件为奇数。

7.13.7.1.1.2 SPI 主模式开关特性（时钟相位 = 0）

在建议运行条件下（除非另有说明）

编号	参数		(BRR + 1) 条件 (1)	最小值	最大值	单位
通用						
1	$t_{c(SPC)M}$	周期时间，SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
			奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPC1)M}$	脉冲持续时间，SPICLK，第一个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 1$	
3	$t_{w(SPC2)M}$	脉冲持续时间，SPICLK，第二个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 1$	
23	$t_{d(SPC)M}$	延迟时间，$\overline{SPISTE}$ 有效至 SPICLK 的时间	Even	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} - 3$	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} + 3$	ns
			奇数	$1.5t_{c(SPC)M} - 4t_{c(SYSCLK)} - 3$	$1.5t_{c(SPC)M} - 4t_{c(SYSCLK)} + 3$	
24	$t_{v(STE)M}$	有效时间，SPICLK 至 $\overline{SPISTE}$ 无效的时间	偶数	$0.5t_{c(SPC)M} - 3$	$0.5t_{c(SPC)M}+3$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 3$	
高速模式						
4	$t_{d(SIMO)M}$	延迟时间，SPICLK 至 SPISIMO 有效的时间	偶数，奇数		1	ns
5	$t_{v(SIMO)M}$	有效时间，SPICLK 之后 SPISIMO 有效的时间	偶数	$0.5t_{c(SPC)M} - 1$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$		
正常模式						
4	$t_{d(SIMO)M}$	延迟时间，SPICLK 至 SPISIMO 有效的时间	偶数，奇数		5	ns
5	$t_{v(SIMO)M}$	有效时间，SPICLK 之后 SPISIMO 有效的时间	偶数	$0.5t_{c(SPC)M} - 3$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$		

(1) 当 (SPIBRR + 1) 为偶数或 SPIBRR 为 0 或 2 时，(BRR + 1) 条件为偶数。当 (SPIBRR + 1) 为奇数且 SPIBRR 大于 3 时，(BRR + 1) 条件为奇数。

Copyright © 2023 Texas Instruments Incorporated

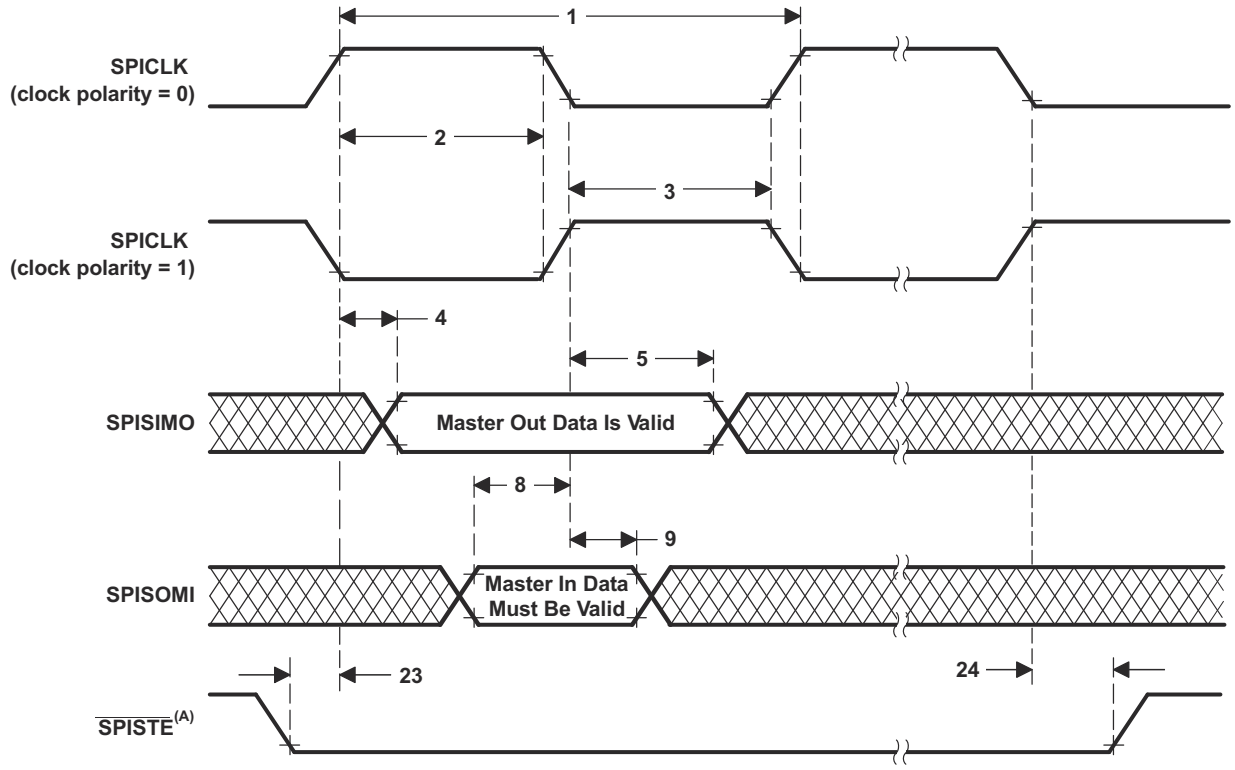
7.13.7.1.1.3 SPI 主模式开关特征（时钟相位 = 1）

在推荐的工作条件下（除非另有说明）

编号	参数		(BRR + 1) 条件 (1)	最小值	最大值	单位
通用						
1	$t_{c(SPC)M}$	周期时间，SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
			奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPCH)M}$	脉冲持续时间，SPICLK，第一个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 1$	
3	$t_{w(SPC2)M}$	脉冲持续时间，SPICLK，第二个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 1$	
23	$t_{d(SPC)M}$	延迟时间，$\overline{SPISTE}$ 有效至 SPICLK 的时间	偶数，奇数	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} - 3$	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} + 3$	ns
24	$t_{v(STE)M}$	有效时间，SPICLK 至 $\overline{SPISTE}$ 无效的时间	Even	–3	+3	ns
			奇数	–3	+3	
高速模式						
4	$t_{d(SIMO)M}$	延迟时间，SPISIMO 有效至 SPICLK 的时间	偶数	$0.5t_{c(SPC)M} - 1$		ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$		
5	$t_{v(SIMO)M}$	有效时间，SPICLK 之后 SPISIMO 有效的时间	偶数	$0.5t_{c(SPC)M} - 1$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$		
正常模式						
4	$t_{d(SIMO)M}$	延迟时间，SPISIMO 有效至 SPICLK 的时间	偶数	$0.5t_{c(SPC)M} - 5$		ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 5$		
5	$t_{v(SIMO)M}$	有效时间，SPICLK 之后 SPISIMO 有效的时间	偶数	$0.5t_{c(SPC)M} - 3$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$		

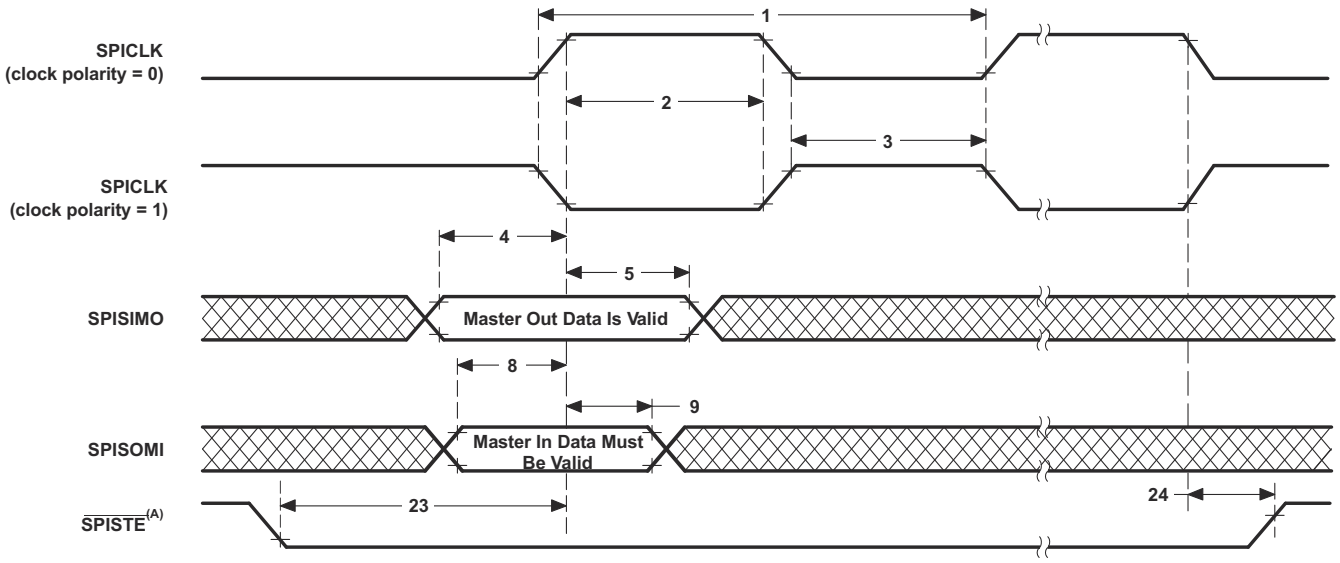
(1) 当 (SPIBRR + 1) 为偶数或 SPIBRR 为 0 或 2 时，(BRR + 1) 条件为偶数。当 (SPIBRR + 1) 为奇数且 SPIBRR 大于 3 时，(BRR + 1) 条件为奇数。

7.13.7.1.1.4 SPI 主模式外部时序



A. 除了在 FIFO 和非 FIFO 模式下的背对背传输字之间的情况外，在字的尾端，$\overline{\text{SPISTE}}$ 将变为停止状态。

图 7-85. SPI 主模式外部时序（时钟相位 = 0）



A. 除了在 FIFO 和非 FIFO 模式下的背对背传输字之间的情况外，在字的尾端，$\overline{\text{SPISTE}}$ 将变为停止状态。

图 7-86. SPI 主模式外部时序（时钟相位 = 1）

Copyright © 2023 Texas Instruments Incorporated

7.13.7.1.2 SPI 从模式时序

节 7.13.7.1.2.1 列出了 SPI 从模式时序要求。节 7.13.7.1.2.2 列出了 SPI 从模式开关特征。图 7-87 显示了时钟相位 = 0 时的 SPI 从模式外部时序。图 7-88 显示了时钟相位 = 1 时的 SPI 从模式外部时序。

7.13.7.1.2.1 SPI 从模式时序要求

编号			最小值	最大值	单位
12	$t_{c(SPC)S}$	周期时间，SPICLK	$4t_{c(SYSCLK)}$		ns
13	$t_{w(SPC1)S}$	脉冲持续时间，SPICLK，第一个脉冲	$2t_{c(SYSCLK)} - 1$		ns
14	$t_{w(SPC2)S}$	脉冲持续时间，SPICLK，第二个脉冲	$2t_{c(SYSCLK)} - 1$		ns
19	$t_{su(SIMO)S}$	SPICLK 之前 SPISIMO 有效的设置时间	$1.5t_{c(SYSCLK)}$		ns
20	$t_{h(SIMO)S}$	SPICLK 之后 SPISIMO 有效的保持时间	$1.5t_{c(SYSCLK)}$		ns
25	$t_{su(STE)S}$	SPICLK 之前 $\overline{SPISTE}$ 有效的设置时间（时钟相位 = 0）	$2t_{c(SYSCLK)} + 11$		ns
		SPICLK 之前 $\overline{SPISTE}$ 有效的设置时间（时钟相位 = 1）	$2t_{c(SYSCLK)} + 20$		ns
26	$t_{h(STE)S}$	SPICLK 之后 $\overline{SPISTE}$ 无效的保持时间	$1.5t_{c(SYSCLK)}$		ns

7.13.7.1.2.2 SPI 从模式开关特性

在建议运行条件下（除非另有说明）

编号	参数		最小值	最大值	单位
高速模式					
15	$t_{d(SOMI)S}$	延迟时间，SPICLK 至 SPISOMI 有效的时间		9	ns
16	$t_{v(SOMI)S}$	有效时间，SPICLK 之后 SPISOMI 有效的时间	0		ns
正常模式					
15	$t_{d(SOMI)S}$	延迟时间，SPICLK 至 SPISOMI 有效的时间		20	ns
16	$t_{v(SOMI)S}$	有效时间，SPICLK 之后 SPISOMI 有效的时间	0		ns

7.13.7.1.2.3 SPI 从模式外部时序

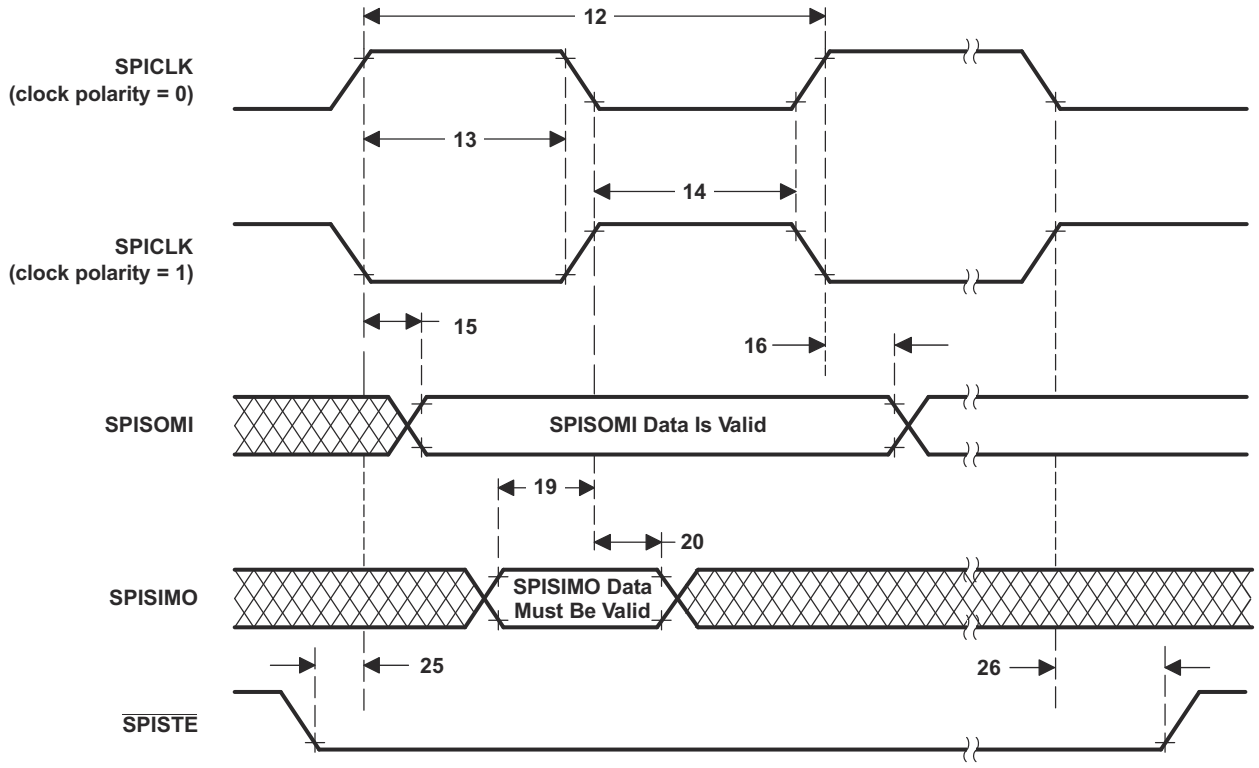


图 7-87. SPI 从模式外部时序（时钟相位 = 0）

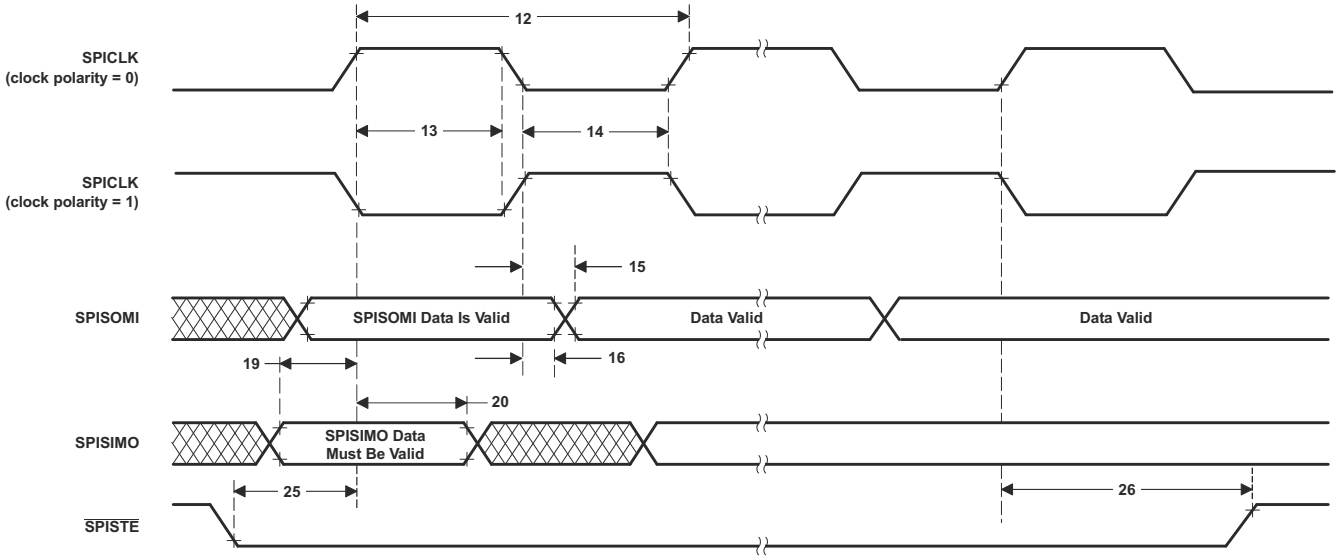


图 7-88. SPI 从模式外部时序（时钟相位 = 1）

Copyright © 2023 Texas Instruments Incorporated

7.13.8 EtherCAT 从站控制器 (ESC)

用于控制自动化技术的以太网 (EtherCAT®) 是一种基于以太网的现场总线系统，由 Beckhoff Automation 发明，并在 IEC 61158 中进行了标准化。连接到总线的所有从节点均可快速解释、处理和修改发送给它们的数据，而无需在节点内缓冲帧。这种实时行为、帧处理和转发要求由 EtherCAT 从站控制器 (ESC) 硬件实现。EtherCAT 不需要软件交互即可在从器件内部进行数据传输。EtherCAT 仅定义 MAC 层，而更高层协议和堆栈在连接到 ESC 的微控制器上的软件中实现。

EtherCAT：

- 涉及主节点和从节点设置，其中的从节点在物理上采用菊花链式连接，但在逻辑上运行于环路中
- 专门用于从节点间的精确、低抖动同步
- 使用 IEEE 802.3 以太网物理层和标准以太网帧

7.13.8.1 ESC 特性

此 MCU 上的 ESC 具有以下功能：

- 最多 2 个 MII 端口，用于连接 EtherCAT PHY
- 通过 16 位异步接口处理数据接口
- 64 位分布式时钟
  - 同步器件事件的同步输出信号和支持事件时间戳的锁存输入信号
  - SYNC0/1 (o/ps) 和 LATCH0/1 的分布式时钟功能能够同步 GPIO，允许来自任何 GPIO 的输入以及用于内部器件事件的其他多路复用选项
- 8 个现场总线存储器管理单元 (FMMU)
  - 支持 RD/、WR/、RDWR 的所有本机类型以及位寻址和字节寻址的内置特性
- 8 个同步管理器
- I2C EEPROM 接口
- 多达 32 个通用输入 (GPI) 和 32 个通用输出 (GPO)
- 2 个 SYNC 信号和 2 个 LATCH 信号连接到 GPIO 焊盘
- 支持奇偶校验的 16KB RAM

7.13.8.2 ESC 子系统集成特性

除了 ESC 特性外，以下是通过集成 ESC 和 MCU 提供的特定于器件的特性：

- 在初始化期间向 CM 子系统或 CPU1 子系统分配 ESC 访问权限
- 来自主器件的 EtherCAT 复位请求可路由到 MCU 上的 NMI 或通用中断控制器
- RAM 奇偶校验错误路由到 MCU 上的 NMI
- DMA 访问 EtherCAT RAM
- 具有多达 32 个 GPI 和多达 32 个 GPO，可集成到 16 位异步 PDI 接口
- 用于连接 CLB 的接口
- SYNC0/1 的分布式时钟特性能够同步 PWM、产生中断/DMA 请求或触发 eCAP 捕捉，从而允许通过 GPIO 访问权限执行外部元件操作
- EtherCAT SYNC0/1 脉冲可以触发 CLA 任务
- LATCH0/1 的分布式时钟特性允许来自任何 GPIO 或 PWM 交叉开关触发器的输入

Copyright © 2023 Texas Instruments Incorporated

7.13.8.3 EtherCAT IP 方框图

图 7-89 展示了 EtherCAT IP 的一般功能。

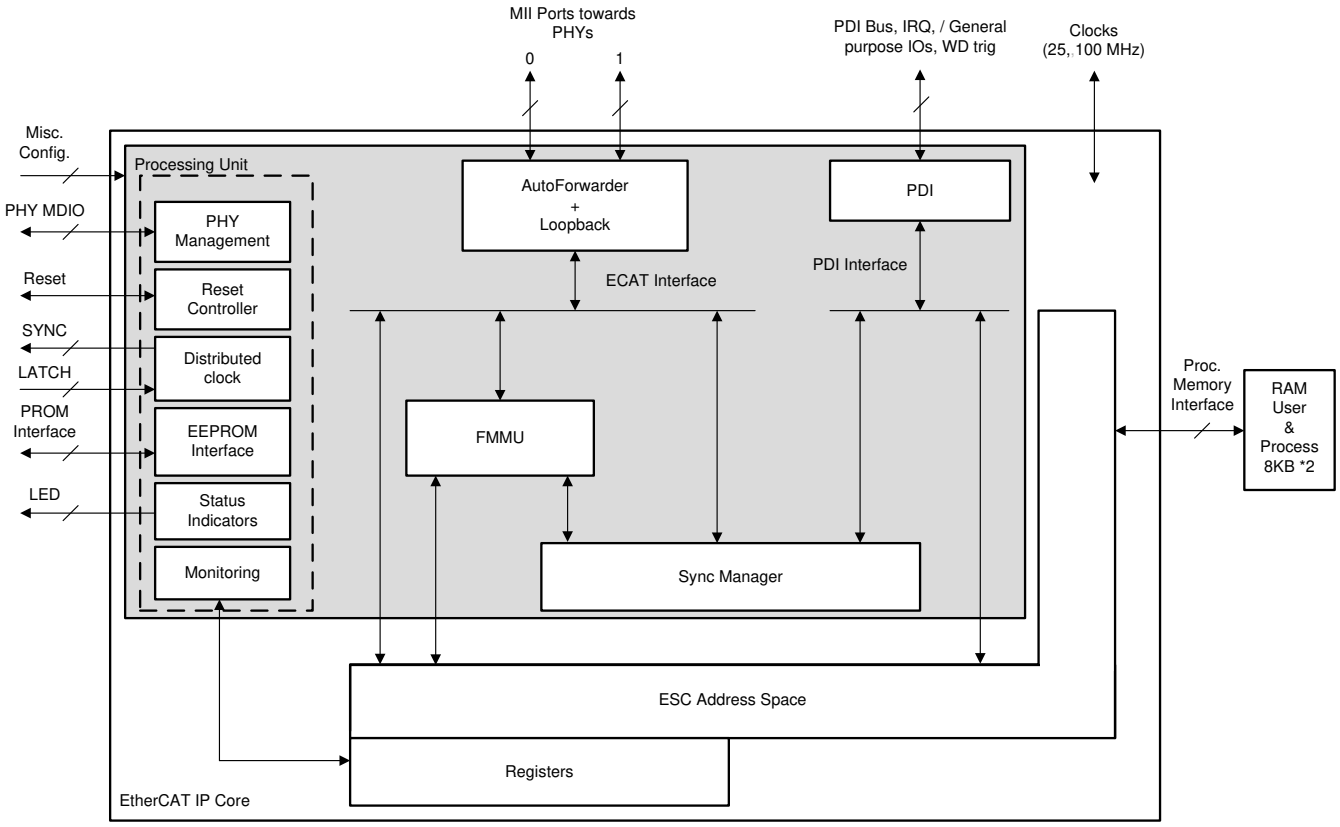


图 7-89. EtherCAT IP 方框图

Copyright © 2023 Texas Instruments Incorporated

7.13.8.4 EtherCAT 电气数据和时序

节 7.13.8.4.1 列出了 EtherCAT 时序要求。节 7.13.8.4.2 列出了 EtherCAT 开关特性。图 7-90 至图 7-94 展示了 EtherCAT 时序图。

7.13.8.4.1 EtherCAT 时序要求

编号			最小值	标称值	最大值	单位
EtherCAT						
	$t_{c(ECATCLK)}$	ECATCLK 周期时间		10		ns
MII1	$t_{c(TXCLK)}$	ESC_TXy_CLK 周期时间		40		ns
MII2/MII3	$t_{w(TXCK)}$	ESC_TXy_CLK 高电平或低电平的脉冲持续时间	16		24	ns
MII4	$t_{c(RXCK)}$	ESC_RXy_CLK 周期时间		40		ns
MII5/MII6	$t_{w(RXCK)}$	ESC_RXy_CLK 高电平或低电平的脉冲持续时间	16		24	ns
MII8	$t_{su(RXDV-RXCKH)}$	ESC_RXy_CLK 高电平之前接收信号有效的建立时间	10			ns
MII9	$t_{h(RXCKH-RXDV)}$	ESC_RXy_CLK 高电平之后接收信号有效的保持时间	2			ns
MDIO						
MDIO4	$t_{su(MDV-MCKH)}$	ESC_MDIO_CLK 高电平之前 ESC_MDIO_DATA 有效的建立时间	20			ns
MDIO5	$t_{h(MCKH-MDV)}$	ESC_MDIO_CLK 高电平之后 ESC_MDIO_DATA 有效的保持时间	-1			ns

7.13.8.4.2 EtherCAT 开关特性

在自然通风条件下的工作温度范围内测得 (除非另有说明)

编号	参数		最小值	典型值	最大值	单位
自动移位补偿						
MII7	$t_{d(TXCLK-TXDV)}$	ESC_TXy_CLK 至 ESC_TXy_DATA[3:0] 和 ESC_TXy_ENA 的延迟时间	20 + input_dly + output_dly + TX_SHIFT*$t_{c(CLK_100)}$		30 + input_dly + output_dly + TX_SHIFT*$t_{c(CLK_100)}$	ns
MDIO						
MDIO1	$t_{c(MCK)}$	ESC_MDIO_CLK 周期时间		400		ns
MDIO2/MDIO3	$t_{w(MCK)}$	ESC_MDIO_CLK 高电平或低电平的脉冲持续时间	160		240	ns
MDIO7	$t_{d(MCKH-MDV)}$	ESC_MDIO_CLK 高电平至 ESC_MDIO_DATA 有效的延迟时间			$0.5t_{c(MCK)}$ + 30	ns
	$t_{v(MCKH-MDV)}$	ESC_MDIO_CLK 高电平之后 ESC_MDIO_DATA 有效的有效时间	$0.5t_{c(MCK)}$ – 3.0			ns

7.13.8.4.3 EtherCAT 时序图

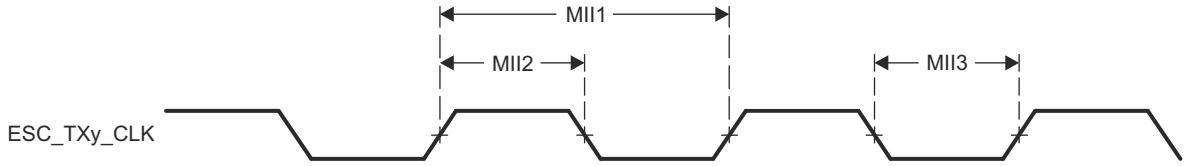


图 7-90. EtherCAT 发送时钟时序（MII 运行模式）

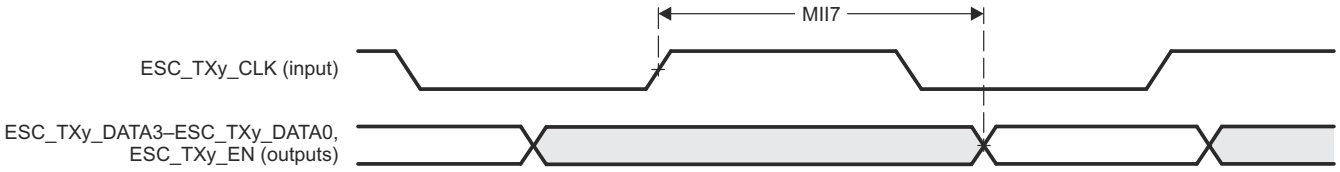


图 7-91. EtherCAT 发送接口时序（MII 运行模式）

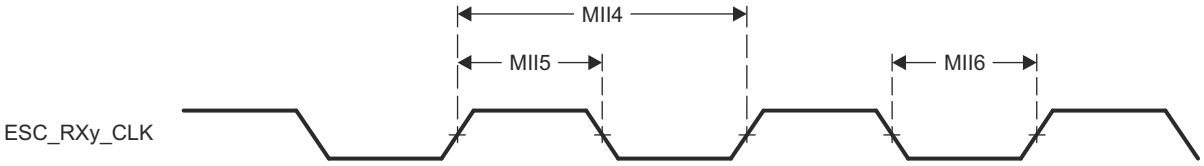


图 7-92. EtherCAT 接收时钟时序（MII 运行模式）

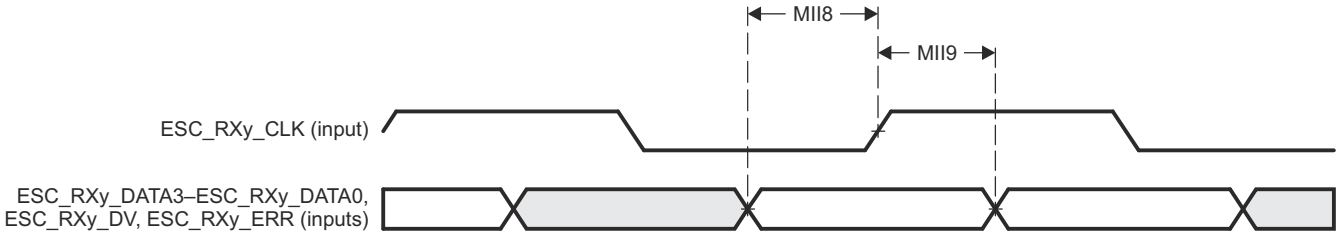


图 7-93. EtherCAT 接收接口时序（MII 运行模式）

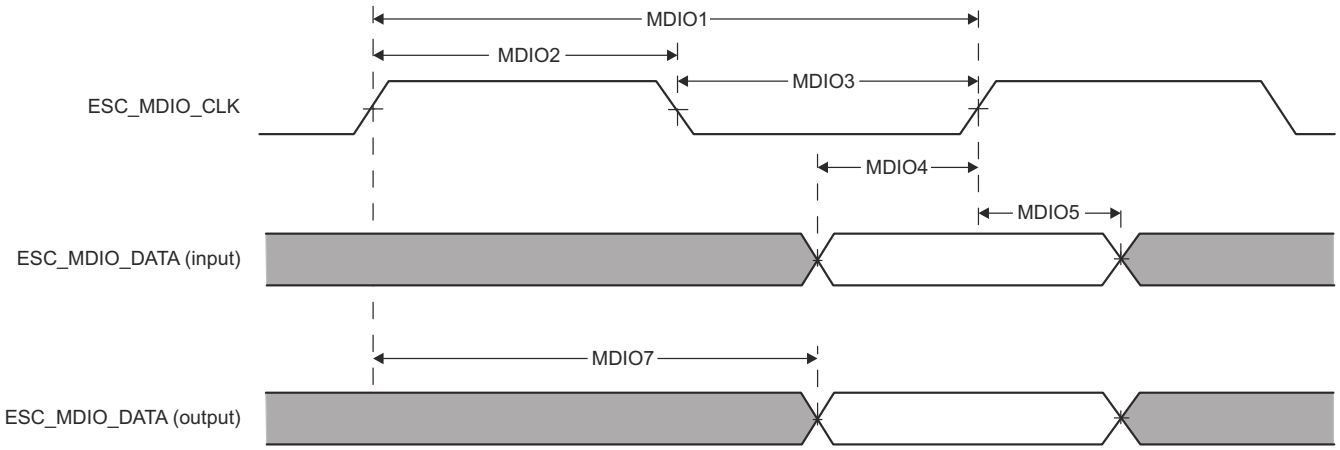


图 7-94. EtherCAT MDIO 时序图

Copyright © 2023 Texas Instruments Incorporated

7.13.9 通用串行总线(USB)控制器

在与 USB 主机或器件功能进行点对点通信过程中，USB 控制器作为全速或低速功能控制器工作。

USB 模块具有如下特性：

- USB 2.0 全速和低速运行
- 集成 PHY
- 三种传输类型：控制传输、中断传输和批量传输
- 32 个端点
  - 一个专用的控制输入端点和一个专用的控制输出端点
  - 15 个可配置输入端点和 15 个可配置输出端点
- 4KB 专用端点内存

图 7-95 显示了 USB 方框图。

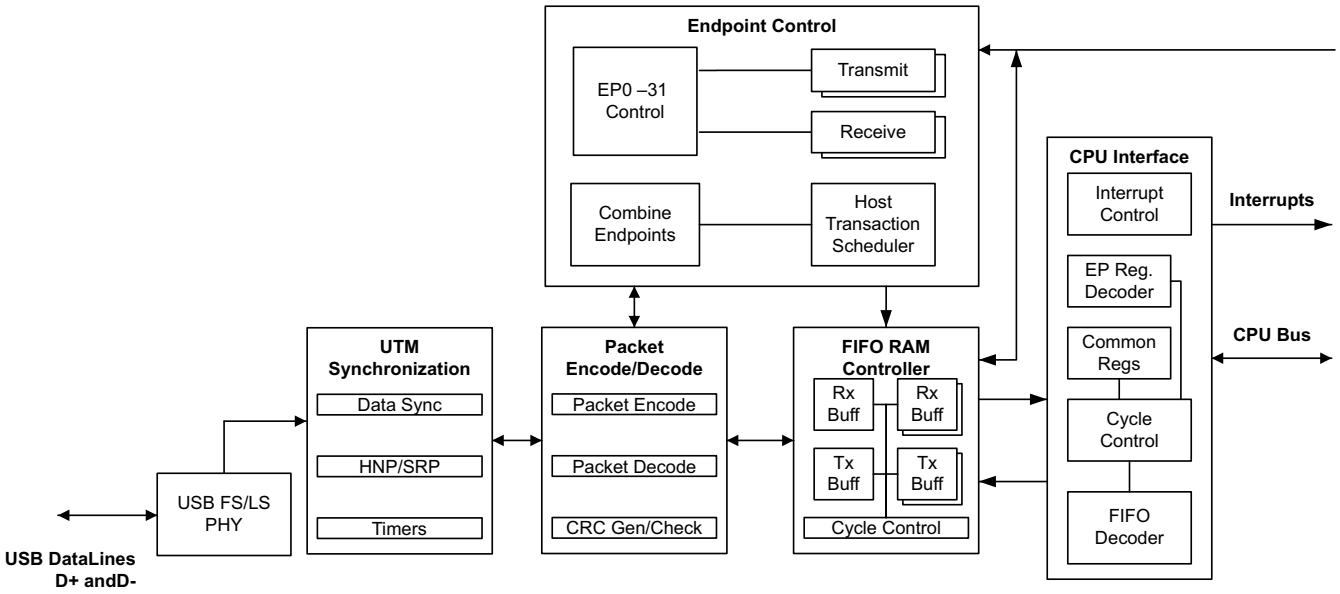


图 7-95. USB 方框图

备注

片上零引脚振荡器的精度（节 7.10.3.5.1“INTOSC 特性”）将无法满足 USB 协议的精度要求。对于使用 USB 的应用，必须使用外部时钟源。

7.13.9.1 USB 电气数据和时序

节 7.13.9.1.1 列出了 USB 输入端口 DP 和 DM 时序要求。节 7.13.9.1.2 列出了 USB 输出端口 DP 和 DM 开关特性。

7.13.9.1.1 USB 输入端口 DP 和 DM 时序要求

		最小值	最大值	单位
V(CM)	差分输入共模范围	0.8	2.5	V
Z(IN)	输入阻抗	300		kΩ
VCRS	交叉电压	1.3	2.0	V
V_{IL}	静态 SE 输入逻辑低电平	0.8		V
V_{IH}	静态 SE 输入逻辑高电平		2.0	V
VDI	差分输入电压		0.2	V

7.13.9.1.2 USB 输出端口 DP 和 DM 开关特性

在建议运行条件下（除非另有说明）

参数		测试条件	最小值	最大值	单位
V_{OH}	D+，D- 单端	USB 2.0 负载条件	2.8	3.6	V
V_{OL}	D+，D- 单端	USB 2.0 负载条件	0	0.3	V
Z(DRV)	D+，D- 阻抗		28	44	Ω
t_r	上升时间	全速，差分，C_L = 50pF，10%/90%，Rpu 处于 D+ 上	4	20	ns
t_f	下降时间	全速，差分，C_L = 50pF，10%/90%，Rpu 处于 D+ 上	4	20	ns

Copyright © 2023 Texas Instruments Incorporated

7.14 连接管理器 (CM) 外设

备注

有关特定器件上每个外设的实际数量，请参阅“器件比较”表。

7.14.1 模块化控制器局域网 (MCAN) [CAN FD]

控制器局域网 (CAN) 是一种串行通信协议，用于有效地为具有高可靠性的分布式实时控制提供支持。CAN 具有较高的抗电气干扰能力，并且能够检测各种类型的错误。在 CAN 中，许多较短的信息会广播到整个网络，从而在系统的每个节点中提供数据一致性。

MCAN 模块支持经典 CAN 和 CAN FD（具有灵活数据速率的 CAN）协议。CAN FD 特性可实现更高的吞吐量和增加每个数据帧的有效负载。经典 CAN 和 CAN FD 器件可以在同一网络上共存而不会发生任何冲突，前提是经典 CAN 器件使用部分网络收发器，其中该收发器可以检测和忽略 CAN FD，而不产生总线错误。MCAN 模块符合 ISO 11898-1:2015 标准。

MCAN 模块可实现以下特性：

- 符合 CAN 协议 2.0A、B 和 ISO 11898-1:2015 标准
- 完全支持 CAN FD（最多 64 个数据字节）
- 支持 AUTOSAR 和 SAE J1939
- 多达 32 个专用发送缓冲器
- 可配置的发送 FIFO，最多 32 个元素
- 可配置的发送队列，最多 32 个元素
- 可配置的发送事件 FIFO，最多 32 个元素
- 多达 64 个专用接收缓冲器
- 两个可配置的接收 FIFO，每个 FIFO 最多 64 个元素
- 多达 128 个滤波器元素
- 用于自检的环回模式
- 可屏蔽中断（两条可配置的中断线路、可纠正的 ECC、计数器溢出和时钟停止/唤醒）
- 不可屏蔽中断（不可纠正的 ECC）
- 两个时钟域（CAN 时钟/主机时钟）
- 针对消息 RAM 的 ECC 检查
- 支持时钟停止和唤醒
- 时间戳计数器

不支持的特性：

- 主机总线防火墙
- 未集成 GPIO，例如 DCAN
- 时钟校准
- 通过 CAN 进行调试

图 7-96 提供了 MCAN 模块的概览。

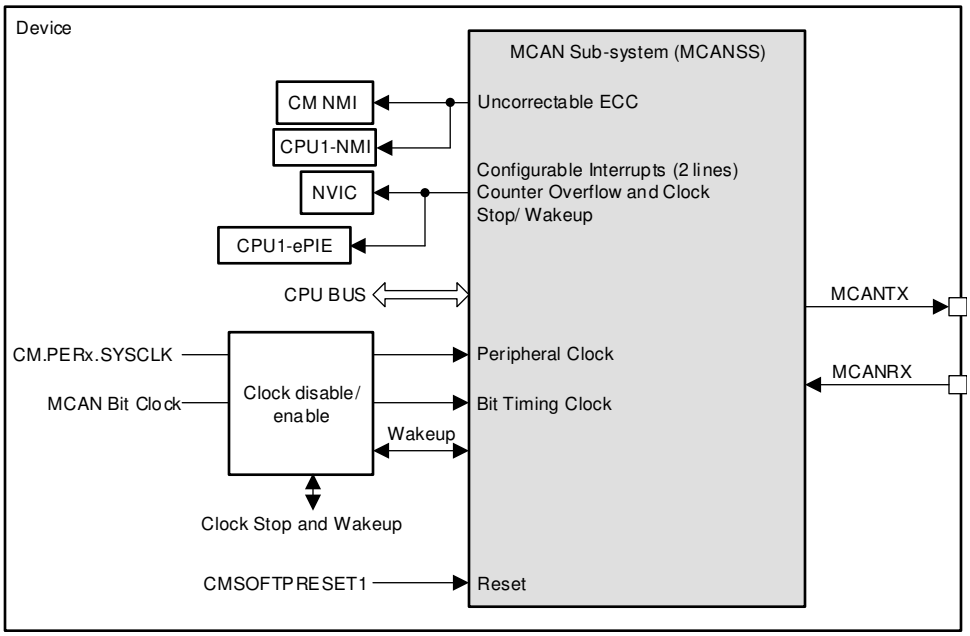


图 7-96. MCAN 模块概览

Copyright © 2023 Texas Instruments Incorporated

7.14.2 以太网介质访问控制器 (EMAC)

以太网模块使主机能够按照 IEEE 802.3-2015 通过以太网发送和接收数据。以太网模块包含以下特性：

- 适用于以太网 MAC、媒体独立接口 (MII) 的 IEEE 802.3-2015
- 适用于精确联网时钟同步的 IEEE 1588-2008
- 适用于节能以太网 (EEE) 的 IEEE 802.3az-2010
- RMII 协会提供的简化媒体独立接口 (RMII) 规范版本 1.2
- 反向媒体独立接口 (RevMII)

更多有关以太网模块的信息，请参阅 *TMS320F2838x 实时微控制器技术参考手册* 的“以太网”一章。

7.14.2.1 MAC 特性

以太网控制器支持多种 Tx 和 Rx MAC 特性。MAC 包含以下特性组：

- MAC Tx 和 Rx 特性
- MAC Tx 特性
- MAC Rx 特性

7.14.2.1.1 MAC Tx 和 Rx 特性

Tx 和 Rx 的组合特性如下：

- 针对应用的独立发送、接收和控制接口
- 为发送和接收路径提供小端字节序模式
- 通过以下 PHY 接口提供 10、100 的数据传输速率：
  - 符合 IEEE 802.3 标准的 MII（默认）接口，用于与外部以太网 PHY 通信
  - RMII 接口，用于与外部快速以太网 PHY 通信
  - RevMII 接口，用于直接与远程 MAC 通信
- 半双工运行模式：
  - 支持 CSMA/CD 协议
  - 支持使用背压进行流量控制（根据特定于实施方案的白皮书和 UNH 以太网第 4 条 MAC 测试套件 - 附录 D）
- 符合标准 IEEE 802.3az-2010 以支持 MII PHY 中的节能以太网。
- 全双工流量控制操作（IEEE 802.3x 暂停数据包和优先级流量控制）
- 使用 RMON 或 MIB 计数器提供网络统计信息 (RFC2819/RFC2665)
- 支持 IEEE 1588-2002 和 IEEE 1588-2008 所述的以太网数据包时间戳（PTP 数据包的 Tx 或 Rx 状态中给出的 64 位时间戳）。TX 方向支持一步和两步时间戳。
- 灵活控制每秒脉冲 (PPS) 输出信号
- 使用 MDIO（第 22 条和第 45 条）主接口进行 PHY 器件配置和管理

7.14.2.1.2 MAC Tx 特性

MAC Tx 特性如下：

- 前导码和起始包数据 (SFD) 插入
- 应用发送的每个数据包具有单独的 32 位状态
- 自动 CRC 和焊盘生成，可按数据包进行控制
- 可编程数据包长度，支持大小高达 16KB 的标准或巨型以太网数据包
- 可编程数据包间隙（40 – 96 位时间，步长为 8）
- 在流量控制输入从置位转换为取消置位状态时，IEEE 802.3x 流量控制可自动传输数量为零的暂停数据包（在全双工模式下）
- 源地址字段插入或替换，以及通过每个数据包或静态全局控制在所传输的数据包中插入、替换和删除 VLAN
- 插入、替换或删除最多两个 VLAN 标记
- 插入、替换或删除基于队列/通道的 VLAN 标记

7.14.2.1.3 MAC Rx 特性

MAC Rx 特性如下：

- 灵活的地址过滤模式：
  - 目标地址过滤器为每个字节都提供了掩码
  - 源地址与每个字节的掩码进行比较检查
  - 针对多播和单播 (DA) 地址提供了 64 位哈希过滤器
  - 可选择传递所有多播寻址数据包
  - 在混杂模式下传递所有数据包，不进行任何过滤，以便进行网络监控
  - 传递所有传入的数据包（根据过滤器），并提供状态报告
- 额外的数据包过滤：
  - 基于 VLAN 标记：完美匹配和基于哈希的过滤。可以根据外部或内部 VLAN 标记进行过滤。
  - 基于第 3 层和第 4 层：通过 IPv4 或 IPv6 传递的 TCP 或 UDP
  - 基于 VLAN 标记的扩展过滤：4 重过滤器选项
- 检测 IEEE 802.1Q VLAN 标记，并可选择在收到的数据包中删除 VLAN 标记
- 通过相应模块检测远程唤醒数据包和 AMD 魔术包
- 将收到的暂停数据包转发到应用程序（全双工模式）
- 通过接收模块为收到的数据包卸载第 3 层/第 4 层校验和
- 剥离最多两个 VLAN 标记并提供状态标签

Copyright © 2023 Texas Instruments Incorporated

7.14.2.2 以太网电气数据和时序

节 7.14.2.2.1 列出了以太网时序要求。节 7.14.2.2.2 列出了以太网开关特性。图 7-97 至图 7-103 展示了以太网时序图。

7.14.2.2.1 以太网时序要求

编号			最小值	标称值	最大值	单位
MII 100Mbps						
MII1	$t_{c(TXCK)}$	周期时间，ENET_MII_TX_CLK		40		ns
MII2/ MII3	$t_{w(TXCK)}$	脉冲持续时间，ENET_MII_TX_CLK 高电平或低电平	16		24	ns
MII4	$t_{c(RXCK)}$	周期时间，ENET_MII_RX_CLK		40		ns
MII5/ MII6	$t_{w(RXCK)}$	脉冲持续时间，ENET_MII_RX_CLK 高电平或低电平	16		24	ns
MII8	$t_{su(MRXDV-RXCKH)}$	ENET_MII_RX_CLK 高电平之前接收信号有效的建立时间	10			ns
MII9	$t_{h(RXCKH-MRXDV)}$	ENET_MII_RX_CLK 高电平之后接收信号有效的保持时间	2			ns
MII 10Mbps						
MII1	$t_{c(TXCK)}$	周期时间，ENET_MII_TX_CLK		400		ns
MII2/ MII3	$t_{w(TXCK)}$	脉冲持续时间，ENET_MII_TX_CLK 高电平或低电平	160		240	ns
MII4	$t_{c(RXCK)}$	周期时间，ENET_MII_RX_CLK		400		ns
MII5/ MII6	$t_{w(RXCK)}$	脉冲持续时间，ENET_MII_RX_CLK 高电平或低电平	160		240	ns
MII8	$t_{su(MRXDV-RXCKH)}$	ENET_MII_RX_CLK 高电平之前接收信号有效的建立时间	10			ns
MII9	$t_{h(RXCKH-MRXDV)}$	ENET_MII_RX_CLK 高电平之后接收信号有效的保持时间	2			ns
RMII（内部时钟）100Mbps						
RMII5	$t_{su(MRXDV-RCKH)}$	ENET_RMII_CLK 高电平之前接收信号有效的建立时间	4			ns
RMII6	$t_{h(RCKH-MRXDV)}$	ENET_RMII_CLK 高电平之后接收信号有效的保持时间	2			ns
RMII（内部时钟）10Mbps						
RMII5	$t_{su(MRXDV-RCKH)}$	ENET_RMII_CLK 高电平之前接收信号有效的建立时间	4			ns
RMII6	$t_{h(RCKH-MRXDV)}$	ENET_RMII_CLK 高电平之后接收信号有效的保持时间	2			ns
RMII（外部时钟）100Mbps						
RMII1	$t_{c(RCK)}$	周期时间，ENET_RMII_CLK		20		ns
RMII2/ RMII3	$t_{w(RCK)}$	脉冲持续时间，ENET_RMII_CLK 高电平或低电平	8		12	ns
RMII5	$t_{su(MRXDV-RCKH)}$	ENET_RMII_CLK 高电平之前接收信号有效的建立时间	4			ns
RMII6	$t_{h(RCKH-MRXDV)}$	ENET_RMII_CLK 高电平之后接收信号有效的保持时间	2			ns
RMII（外部时钟）10Mbps						
RMII1	$t_{c(RCK)}$	周期时间，ENET_RMII_CLK		200		ns
RMII2/ RMII3	$t_{w(RCK)}$	脉冲持续时间，ENET_RMII_CLK 高电平或低电平	80		120	ns
RMII5	$t_{su(MRXDV-RCKH)}$	ENET_RMII_CLK 高电平之前接收信号有效的建立时间	4			ns
RMII6	$t_{h(RCKH-MRXDV)}$	ENET_RMII_CLK 高电平之后接收信号有效的保持时间	2			ns
MDIO						
MDIO1	$t_{c(MCK)}$	周期时间，ENET_MDIO_CLK		400		ns
MDIO2/ MDIO3	$t_{w(MCK)}$	脉冲持续时间，ENET_MDIO_CLK 高电平或低电平	160		240	ns
MDIO4	$t_{su(MDV-MCKH)}$	ENET_MDIO_CLK 高电平之前 ENET_MDIO_DATA 有效的建立时间	20			ns

7.14.2.2.1 以太网时序要求 (continued)

编号			最小值	标称值	最大值	单位
MDIO5	$t_{h(MCKH-MDV)}$	ENET_MDIO_CLK 高电平之后 ENET_MDIO_DATA 有效的保持时间	-1			ns

7.14.2.2.2 以太网开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

编号	参数		最小值	典型值	最大值	单位
MII 100Mbps						
MII7	$t_{d(TXCKH-MTXDV)}$	ENET_MII_TX_CLK 高电平至发送信号有效的延迟时间	0		15	ns
MII 10Mbps 开关特性						
MII7	$t_{d(TXCKH-MTXDV)}$	ENET_MII_TX_CLK 高电平至发送信号有效的延迟时间	0		15	ns
RMII（内部时钟）100Mbps						
RMII7	$t_{c(RCK)}$	ENET_RMII_CLK 周期时间		20		ns
RMII8/ RMII9	$t_{w(RCK)}$	ENET_RMII_CLK 高电平或低电平的脉冲持续时间	8		12	ns
RMII11	$t_{d(RCKH-MTXDV)}$	ENET_RMII_CLK 高电平至发送信号有效的延迟时间			14	ns
RMII（内部时钟）10Mbps						
RMII7	$t_{c(RCK)}$	ENET_RMII_CLK 周期时间		200		ns
RMII8/ RMII9	$t_{w(RCK)}$	ENET_RMII_CLK 高电平或低电平的脉冲持续时间	80		120	ns
RMII11	$t_{d(RCKH-MTXDV)}$	ENET_RMII_CLK 高电平至发送信号有效的延迟时间	0		14	ns
RMII（外部时钟）100Mbps						
RMII11	$t_{d(RCKH-MTXDV)}$	ENET_RMII_TX_CLK 高电平至发送信号有效的延迟时间	0		14	ns
RMII（外部时钟）10Mbps						
RMII11	$t_{d(RCKH-MTXDV)}$	ENET_RMII_CLK 高电平至发送信号有效的延迟时间	0		14	ns
MDIO						
MDIO1	$t_{c(MCK)}$	ENET_MDIO_CLK 周期时间		400		ns
MDIO2/ MDIO3	$t_{w(MCK)}$	ENET_MDIO_CLK 高电平或低电平的脉冲持续时间	160		240	ns
MDIO7	$t_{d(MCKH-MDV)}$	ENET_MDIO_CLK 高电平至 ENET_MDIO_DATA 有效的延迟时间			$0.5t_{c(MCK)} + 30$	ns
	$t_{v(MCKH-MDV)}$	ENET_MDIO_CLK 高电平之后 ENET_MDIO_DATA 有效的有效时间	$0.5t_{c(MCK)}$			ns

Copyright © 2023 Texas Instruments Incorporated

7.14.2.2.3 以太网时序图

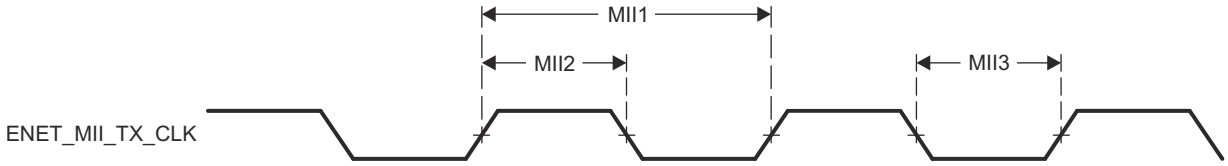


图 7-97. 发送时钟时序（MII 运行模式）

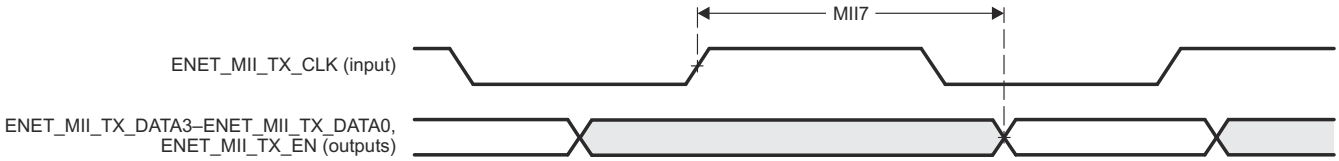


图 7-98. 发送接口时序（MII 运行模式）

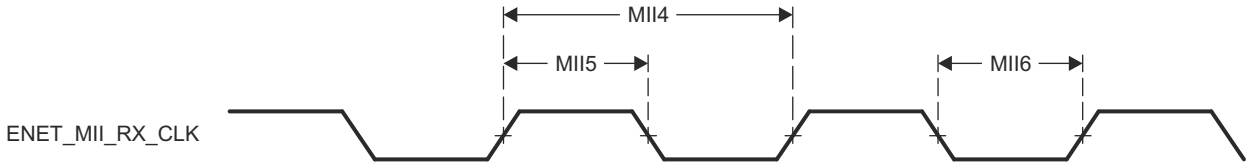


图 7-99. 接收时钟时序（MII 运行模式）

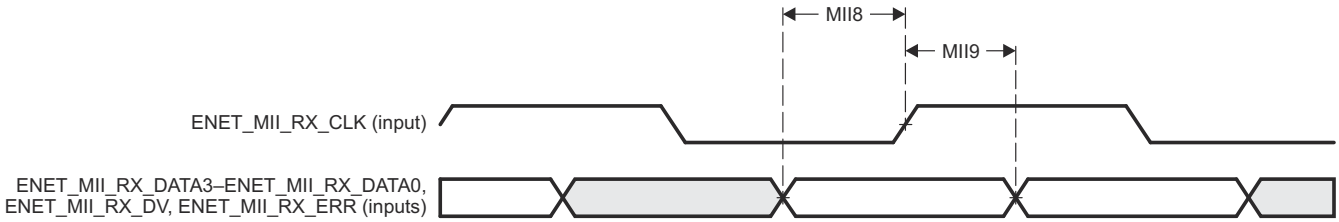


图 7-100. 接收接口时序（MII 运行模式）

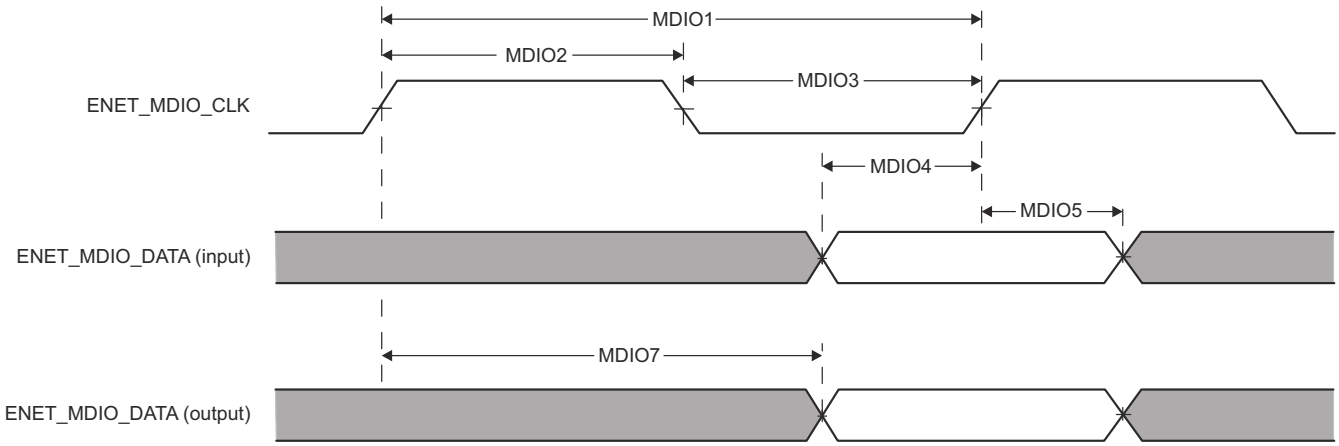


图 7-101. MDIO 时序图

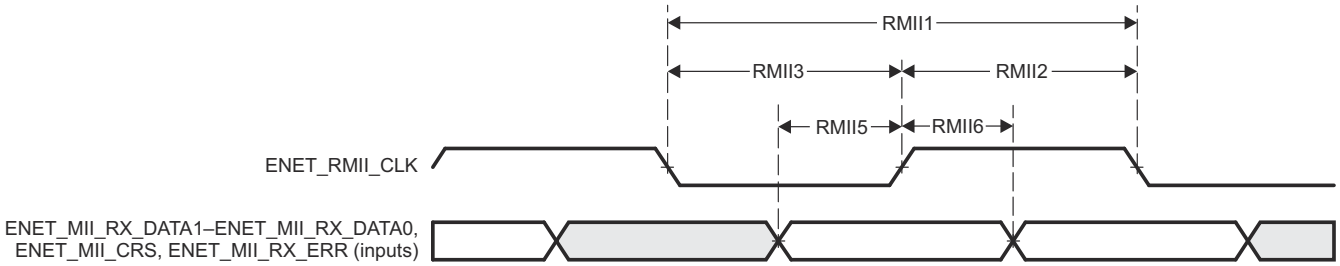


图 **7-102.** 接收接口时序（**RMII** 运行模式）

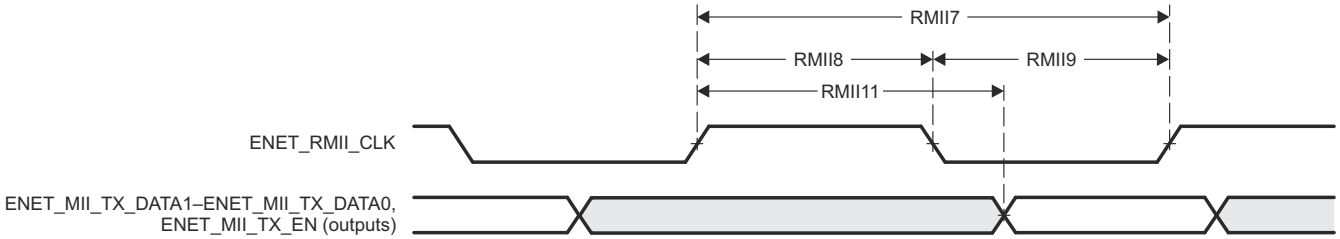


图 **7-103.** 发送接口时序（**RMII** 运行模式）

Copyright © 2023 Texas Instruments Incorporated

7.14.2.3 以太网 REVMII 电气数据和时序

节 7.14.2.3.1 列出了以太网 REVMII 时序要求。节 7.14.2.3.2 列出了以太网 REVMII 开关特性。

7.14.2.3.1 以太网 REVMII 时序要求

		最小值	标称值	最大值	单位
REVMII					
$t_{c(RXCK)}$	周期时间，ENET_MII_RX_CLK		40		ns
$t_{w(RXCK)}$	脉冲持续时间，ENET_MII_RX_CLK 高电平或低电平	16		24	ns
$t_{su(MRXDV-RXCKH)}$	ENET_MII_RX_CLK 高电平之前 ENET_MII_RX_DATA[3:0]、ENET_MII_RX_EN 有效的建立时间	15			ns
$t_{h(RXCKH-MRXDV)}$	保持时间，ENET_MII_RX_DATA[3:0]、ENET_MII_RX_EN 在 ENET_MII_RX_CLK 高电平之后的有效时间	0			ns
MDIO					
$t_{c(MCK)}$	周期时间，ENET_MDIO_CLK		400		ns
$t_{w(MCK)}$	脉冲持续时间，ENET_MDIO_CLK 高电平或低电平	160		240	ns
$t_{su(MDV-MCKH)}$	ENET_MDIO_CLK 高电平之前 ENET_MDIO_DATA 有效的建立时间	30			ns
$t_{h(MCKH-MDV)}$	ENET_MDIO_CLK 高电平之后 ENET_MDIO_DATA 有效的保持时间	3			ns

7.14.2.3.2 以太网 REVMII 开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		最小值	典型值	最大值	单位
REVMII					
$t_{c(TXCK)}$	ENET_MII_TX_CLK 周期时间		40		ns
$t_{w(TXCK)}$	ENET_MII_TX_CLK 高电平或低电平的脉冲持续时间	16		24	ns
$t_{d(TXCKH-DV)}$	ENET_MII_TX_CLK 高电平至 ENET_MII_TX_DATA[3:0]、ENET_MII_TX_DV、ENET_MII_TX_ERR 有效的延迟时间			10	ns
$t_{v(TXCKH-DV)}$	ENET_MII_TX_CLK 高电平至 ENET_MII_TX_DATA[3:0]、ENET_MII_TX_DV、ENET_MII_TX_ERR 无效的有效时间	1			ns
MDIO					
$t_{c(MCK)}$	ENET_MDIO_CLK 周期时间		400		ns
$t_{w(MCK)}$	ENET_MDIO_CLK 高电平或低电平的脉冲持续时间	160		240	ns
$t_{d(MCKH-MDV)}$	ENET_MDIO_CLK 高电平至 ENET_MDIO_DATA 有效的延迟时间			40	ns
$t_{v(MCKH-MDV)}$	ENET_MDIO_CLK 高电平之后 ENET_MDIO_DATA 有效的有效时间	1			ns

7.14.3 内部集成电路 (CM-I2C)

CM-I2C 总线通过两线设计（串行数据线 (SDA) 和串行时钟线 (SCL)）提供双向数据传输，并可与诸如串行存储器（RAM 和 ROM）、网络器件、LCD、音频发生器等外部 I2C 器件相连。在产品开发和制造过程中，CM-I2C 总线还可用于系统测试和诊断用途。

CM-I2C 模块支持以下特性：

- CM-I2C 总线上的器件可指定为主器件或从器件。
  - 支持作为主器件或从器件发送和接收数据
  - 同时支持主和从工作模式
- 四种 CM-I2C 模式：
  - 主机发送
  - 主机接收
  - 从机发送
  - 从机接收
- 接收 FIFO 和发送器 FIFO（8 深 x 8 位 FIFO）
  - FIFO 可以独立分配给主器件或从器件
- 三种传输速度：
  - 标准 (100kbps)
  - 快速模式 (400kbps)
  - 超快速 (1 Kbps)
- 故障抑制
- 通过软件支持 SMBus
  - 时钟低电平超时中断
  - 双从机地址功能
  - 快速命令功能
- 主机和从机产生中断
  - 主器件会在传送或接收操作完成时产生中断（或者是因为错误而中止）
  - 从机在主机向其发送数据或发出请求时，或检测到 START 或 STOP 信号时产生中断。
- 主器件具有仲裁和时钟同步、多主器件支持以及 7 位寻址模式
- 使用微型直接存储器存取 (μDMA) 控制器进行高效传输
  - 相互独立的发送通道和接收通道
  - 能够使用 CM-I2C 中的 RX 和 TX FIFO 执行单次数据传输或突发数据传输

图 7-104 展示了 CM-I2C 方框图。

Copyright © 2023 Texas Instruments Incorporated

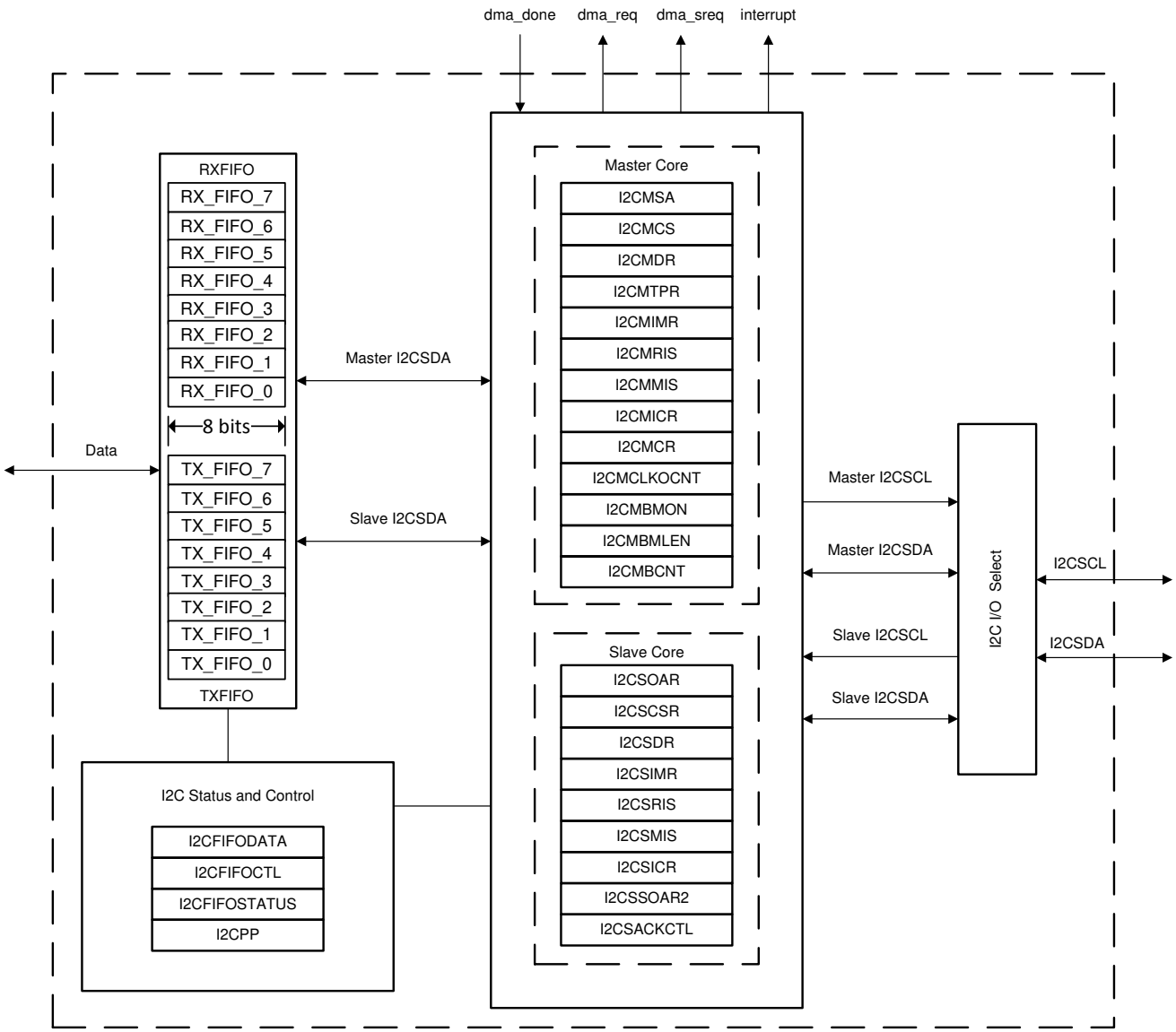


图 7-104. CM-I2C 方框图

7.14.3.1 CM-I2C 电气数据和时序

节 7.14.3.1.1 列出了 CM-I2C 时序要求。节 7.14.3.1.2 列出了 CM-I2C 开关特性。图 7-105 显示了 CM-I2C 时序图。

7.14.3.1.1 CM-I2C 时序要求

编号			最小值	最大值	单位
标准模式					
T1	$t_{h(SDA-SCL)START}$	保持时间，启动条件，SDA 下降后 SCL 下降延迟	4.0		μs
T2	$t_{su(SCL-SDA)START}$	设置时间，重复启动，SDA 下降延迟之前 SCL 上升	4.7		μs
T3	$t_{h(SCL-DAT)}$	保持时间，SCL 下降后的数据	0		μs
T4	$t_{su(DAT-SCL)}$	设置时间，SCL 上升前的数据	250		ns
T5	$t_{r(SDA)}$	上升时间，SDA		1000	ns
T6	$t_{r(SCL)}$	上升时间，SCL		1000	ns
T7	$t_{f(SDA)}$	下降时间，SDA		300	ns
T8	$t_{f(SCL)}$	下降时间，SCL		300	ns
T9	$t_{su(SCL-SDA)STOP}$	设置时间，停止条件，SDA 上升延迟之前 SCL 上升	4.0		μs
T10	$t_{w(SP)}$	将由滤波器抑制的尖峰脉冲持续时间	$t_{c(CMCLK)}$	31 * $t_{c(CMCLK)}$	ns
T11	C_b	每条总线上的电容负载		400	pF
快速模式					
T1	$t_{h(SDA-SCL)START}$	保持时间，启动条件，SDA 下降后 SCL 下降延迟	0.6		μs
T2	$t_{su(SCL-SDA)START}$	设置时间，重复启动，SDA 下降延迟之前 SCL 上升	0.6		μs
T3	$t_{h(SCL-DAT)}$	保持时间，SCL 下降后的数据	0		μs
T4	$t_{su(DAT-SCL)}$	设置时间，SCL 上升前的数据	100		ns
T5	$t_{r(SDA)}$	上升时间，SDA	20	300	ns
T6	$t_{r(SCL)}$	上升时间，SCL	20	300	ns
T7	$t_{f(SDA)}$	下降时间，SDA	11.4	300	ns
T8	$t_{f(SCL)}$	下降时间，SCL	11.4	300	ns
T9	$t_{su(SCL-SDA)STOP}$	设置时间，停止条件，SDA 上升延迟之前 SCL 上升	0.6		μs
T10	$t_{w(SP)}$	将由滤波器抑制的尖峰脉冲持续时间	$t_{c(CMCLK)}$	31 * $t_{c(CMCLK)}$	ns
T11	C_b	每条总线上的电容负载		400	pF
快速模式 +					
T1	$t_{h(SDA-SCL)START}$	保持时间，启动条件，SDA 下降后 SCL 下降延迟	0.26		μs
T2	$t_{su(SCL-SDA)START}$	设置时间，重复启动，SDA 下降延迟之前 SCL 上升	0.26		μs
T3	$t_{h(SCL-DAT)}$	保持时间，SCL 下降后的数据	0		μs
T4	$t_{su(DAT-SCL)}$	设置时间，SCL 上升前的数据	50		ns
T5	$t_{r(SDA)}$	上升时间，SDA		120	ns
T6	$t_{r(SCL)}$	上升时间，SCL		120	ns
T7	$t_{f(SDA)}$	下降时间，SDA	11.4	120	ns
T8	$t_{f(SCL)}$	下降时间，SCL	11.4	120	ns
T9	$t_{su(SCL-SDA)STOP}$	设置时间，停止条件，SDA 上升延迟之前 SCL 上升	0.26		μs
T10	$t_{w(SP)}$	将由滤波器抑制的尖峰脉冲持续时间	$t_{c(CMCLK)}$	31 * $t_{c(CMCLK)}$	ns
T11	C_b	每条总线上的电容负载		550	pF

Copyright © 2023 Texas Instruments Incorporated

7.14.3.1.2 CM-I2C 开关特性

在推荐的工作条件下（除非另有说明）

编号	参数		测试条件	最小值	最大值	单位
标准模式						
S1	f_{SCL}	SCL 时钟频率		0	100	kHz
S2	T_{SCL}	SCL 时钟周期		10		μs
S3	$t_{w(SCLL)}$	脉冲持续时间，SCL 时钟低电平		4.7		μs
S4	$t_{w(SCLH)}$	脉冲持续时间，SCL 时钟高电平		4.0		μs
S5	t_{BUF}	停止和启动条件之间的总线空闲时间		4.7		μs
S6	$t_{v(SCL-DAT)}$	有效时间，SCL 下降后的数据			3.45	μs
S7	$t_{v(SCL-ACK)}$	有效时间，SCL 下降后的确认			3.45	μs
S8	I_I	引脚上的输入电流	$0.1\ V_{bus} < V_i < 0.9\ V_{bus}$	-10	10	μA
快速模式						
S1	f_{SCL}	SCL 时钟频率		0	400	kHz
S2	T_{SCL}	SCL 时钟周期		2.5		μs
S3	$t_{w(SCLL)}$	脉冲持续时间，SCL 时钟低电平		1.3		μs
S4	$t_{w(SCLH)}$	脉冲持续时间，SCL 时钟高电平		0.6		μs
S5	t_{BUF}	停止和启动条件之间的总线空闲时间		1.3		μs
S6	$t_{v(SCL-DAT)}$	有效时间，SCL 下降后的数据			0.9	μs
S7	$t_{v(SCL-ACK)}$	有效时间，SCL 下降后的确认			0.9	μs
S8	I_I	引脚上的输入电流	$0.1\ V_{bus} < V_i < 0.9\ V_{bus}$	-10	10	μA
快速模式 +						
S1	f_{SCL}	SCL 时钟频率		0	1000	kHz
S2	T_{SCL}	SCL 时钟周期		1		μs
S3	$t_{w(SCLL)}$	脉冲持续时间，SCL 时钟低电平		0.5		μs
S4	$t_{w(SCLH)}$	脉冲持续时间，SCL 时钟高电平		0.26		μs
S5	t_{BUF}	停止和启动条件之间的总线空闲时间		0.5		μs
S6	$t_{v(SCL-DAT)}$	有效时间，SCL 下降后的数据			0.45	μs
S7	$t_{v(SCL-ACK)}$	有效时间，SCL 下降后的确认			0.45	μs
S8	I_I	引脚上的输入电流	$0.1\ V_{bus} < V_i < 0.9\ V_{bus}$	-10	10	μA

Copyright © 2023 Texas Instruments Incorporated

7.14.3.1.3 CM-I2C 时序图

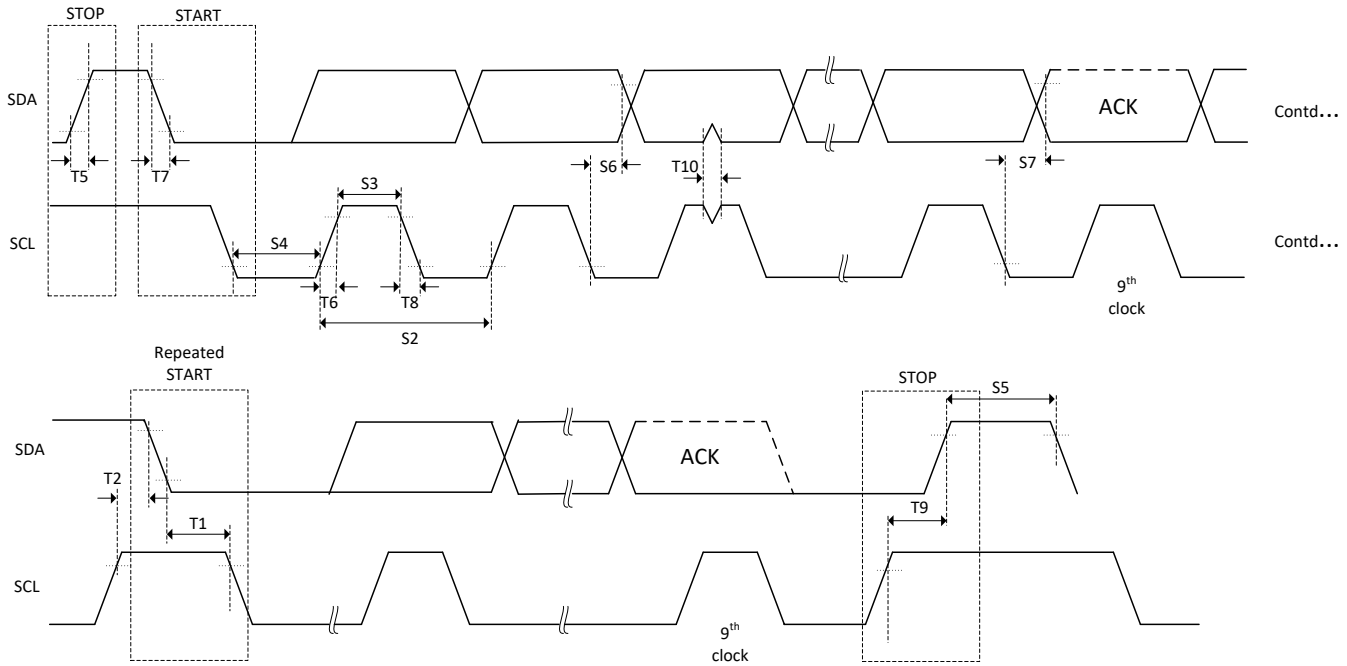


图 7-105. CM-I2C 时序图

Copyright © 2023 Texas Instruments Incorporated

7.14.4 同步串行接口 (SSI)

SSI 模块包含以下特性：

- Freescale® SPI 或德州仪器 (TI) 同步串行接口的可编程接口操作。在此 SSI 模块中，仅支持传统 SSI 模式。
- 主/从运行
- 可编程的时钟位速率以及预分频器；
- 相互独立的发送 FIFO 和接收 FIFO，二者均为 16 位宽、8 个单元深；
- 可编程的数据帧长度，4 位到 16 位可选；
- 内部环回测试模式，用于诊断和调试测试
- 标准 FIFO 中断以及发送结束中断；
- 用微型直接内存访问 (μDMA) 有效的传输数据
  - 相互独立的发送通道和接收通道
  - 当数据位于 FIFO 中时，接收单个请求被置为有效；当 FIFO 包含四个条目时，突发请求被置为有效
  - 当 FIFO 中有空间时，发送单个请求被置为有效；当 FIFO 包含四个或更多个可写入 FIFO 的条目时，突发请求被置为有效
  - 接收和发送完成的可屏蔽 μDMA 中断

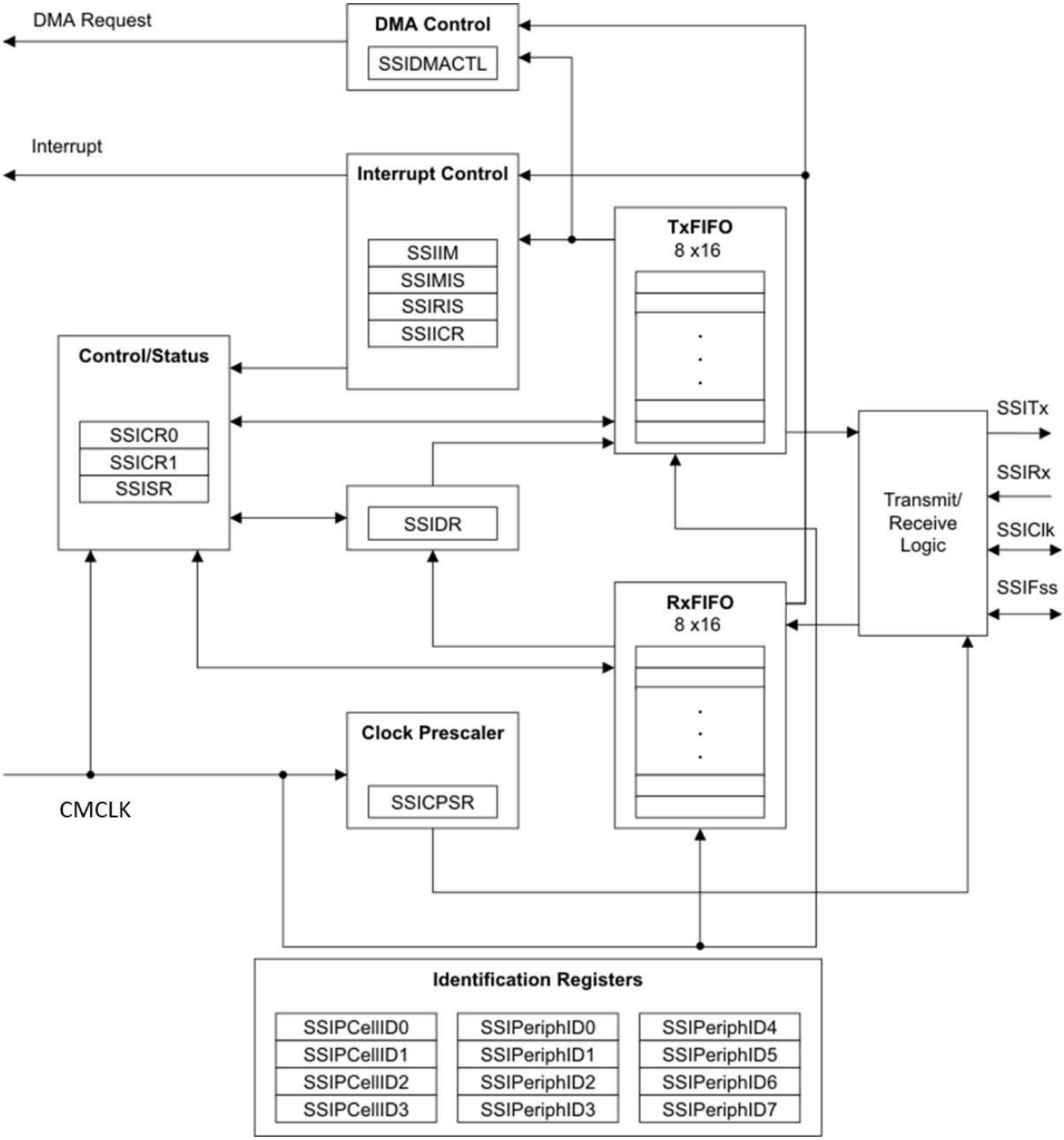


图 7-106. SSI 方框图

Copyright © 2023 Texas Instruments Incorporated

7.14.4.1 SSI 电气数据和时序

节 7.14.4.1.1 列出了 SSI 时序要求。节 7.14.4.1.2 列出了 SSI 开关特性。图 7-107 至图 7-109 显示了 SSI 时序图。

7.14.4.1.1 SSI 时序要求

编号			最小值	标称值	最大值	单位
主模式						
S8	t_{RXDMS}	Rx 数据设置时间（高速模式）	4			ns
S8	t_{RXDMS}	Rx 数据设置时间（正常模式）	14			ns
S9	t_{RXDMH}	Rx 数据保持时间	2			ns
从模式						
S1	t_{CLK_PER}	SSIClk 周期时间(1)	12 × $tc_{(CMCLK)}$			ns
S2	t_{CLK_HIGH}	SSIClk 高电平时间	0.4 × t_{CLK_PER}			ns
S3	t_{CLK_LOW}	SSIClk 低电平时间	0.4 × t_{CLK_PER}			ns
S12	t_{RXDSSU}	Rx 数据设置时间	0			ns
S13	t_{RXDSH}	Rx 数据保持时间	4 × $tc_{(CMCLK)}$			ns

(1) 在从模式下，SSICPSR 必须配置为将 SSICLK 设置为小于 CMCLK 的十二分之一。

7.14.4.1.2 SS 特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

编号		参数	最小值	典型值	最大值	单位
主模式						
S1	t_{CLK_PER}	SSIClk 周期时间(1)	2 × t_{CMCLK}			ns
S2	t_{CLK_HIGH}	SSIClk 高电平时间	0.4 × t_{CLK_PER}			ns
S3	t_{CLK_LOW}	SSIClk 低电平时间	0.4 × t_{CLK_PER}			ns
S6	t_{TXDMOV}	从 SSIClk 开始的 Tx 数据输出有效时间			6	ns
S7	t_{TXDMOH}	下一个 SSIClk 后的 Tx 数据输出保持时间	0			ns
从模式						
S10	t_{TXDSOV}	从 SSIClk 边沿开始的 Tx 数据输出有效时间			4 × t_{CMCLK}+14	ns
S11	t_{TXDSOH}	从下一个 SSIClk 开始的 Tx 数据输出保持时间	4 × t_{CMCLK} + 4			ns

(1) 在主模式下，SSICPSR 必须配置为将 SSICLK 设置为小于 CMCLK 的一半。对于主模式正常模式（非高速），可能需要一个更大的 SSICPSR 分频器来满足主控 RX 输入设置要求。

7.14.4.1.3 SSI 时序图

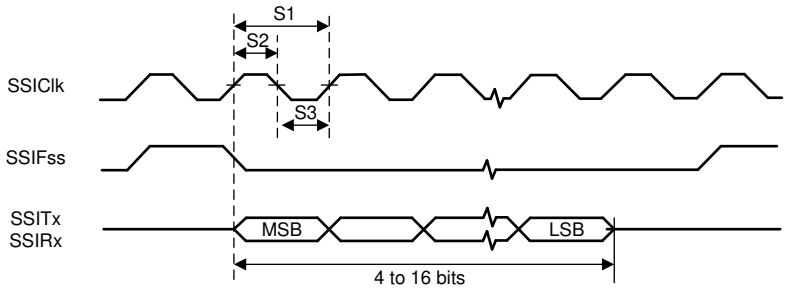


图 7-107. TI 帧格式 (FRF = 01) 的 SSI 时序，单次传输时序测量

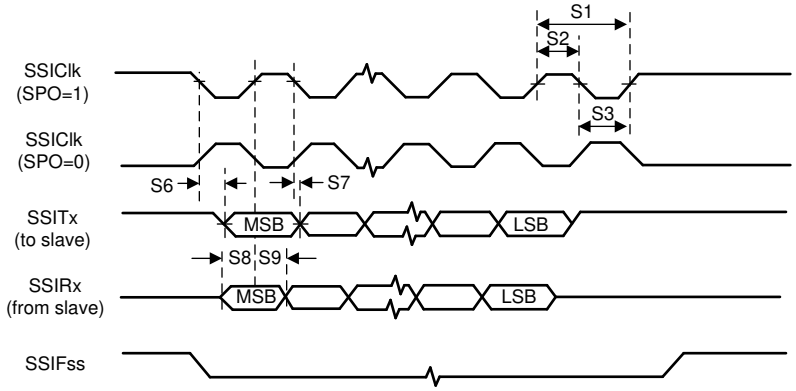


图 7-108. SPI 帧格式 (FRF = 00) 的主模式 SSI 时序，SPH = 1

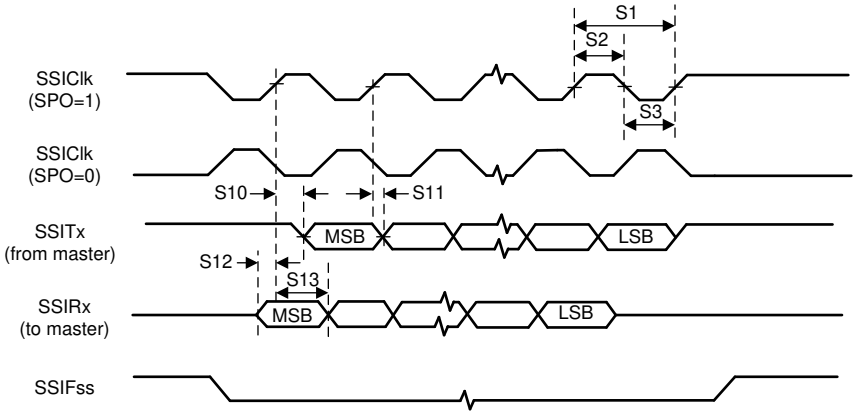


图 7-109. SPI 帧格式 (FRF = 00) 的从模式 SSI 时序，SPH = 1

Copyright © 2023 Texas Instruments Incorporated

7.14.5 通用异步接收器/发送器 (CM-UART)

此器件中的通用异步接收器/发送器 (UART) 模块包含以下特性：

- 可编程的波特率发生器，在常规模式（16 分频）下最高可达 7.8125Mbps，在高速模式（8 分频）下最高可达 15.625Mbps
- 独立的 16 级深度和 8 位宽发送 (TX) FIFO 和接收 (RX) FIFO 可减少 CPU 中断服务负载
- FIFO 长度可编程，包括提供传统双缓冲接口的 1 字节深的操作
- FIFO 触发级别有 ⅛、¼、½、¾ 和 ⅞
- 标准的异步通讯位：起始位、停止位、奇偶校验位；
- 线中止的产生与检测；
- 完全可编程的串行接口特性
  - 可包含 5、6、7 或 8 个数据位
  - 偶校验、奇校验、固定校验或无奇偶校验位生成与检测
  - 可产生 1 或 2 个停止位
- IrDA 串行 IR (SIR) 编码器和解码器提供：
  - 可编程使用 IrDA SIR 或 UART 输入/输出
  - 支持 IrDA SIR 编码器和解码器功能，半双工时数据传输率最高 115.2kbps
  - 支持正常 3/16 和低功耗（1.41 μs 至 2.23 μs）位持续时间
  - 可编程的内部时钟发生器，能够对参考时钟进行 1 至 256 分频，以实现低功耗模式位持续时间
- 支持 EIA-485（9 位）
- 提供标准的基于 FIFO 深度的中断以及发送结束 (EOT) 中断
- 使用微型直接存储器存取 (μDMA) 控制器进行高效传输
  - 相互独立的发送通道和接收通道
  - 当接收 FIFO 中有数据时产生单次请求；当接收 FIFO 到达预设的触发深度时产生猝发请求
  - 当发送 FIFO 中有空闲单元时产生单次请求；当发送 FIFO 到达预设的触发深度时产生猝发请求

图 7-110 展示了 CM-UART 模块方框图。

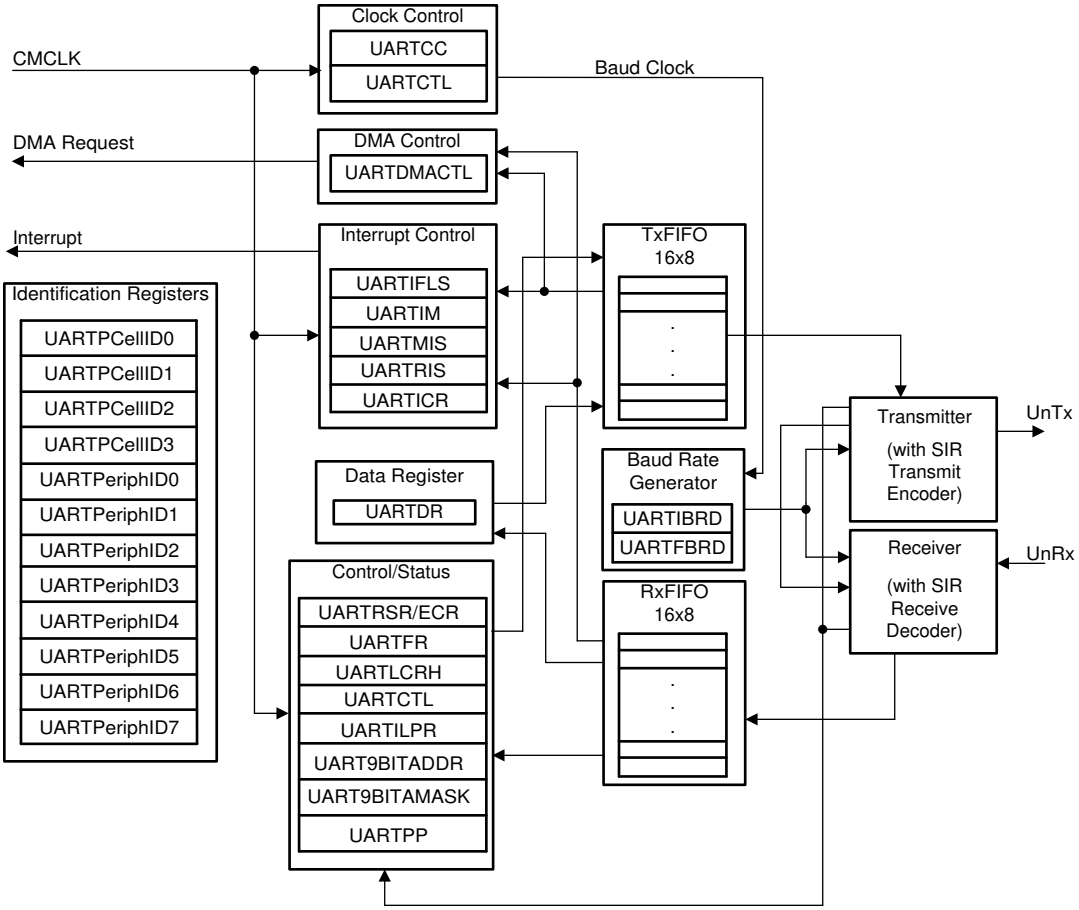


图 7-110. CM-UART 模块方框图

Copyright © 2023 Texas Instruments Incorporated

7.14.6 跟踪端口的接口单元（TPIU）

CM 子系统支持 Cortex-M4 的跟踪功能。

Cortex-M4 支持两个跟踪接口：

- 单线跟踪，遵循 UART 协议并且是异步的
- 五引脚（四个数据引脚和一个时钟引脚）和并行跟踪

此器件支持这两个选项。图 7-111 显示了与 TPIU 之间的高电平时钟和信号连接。

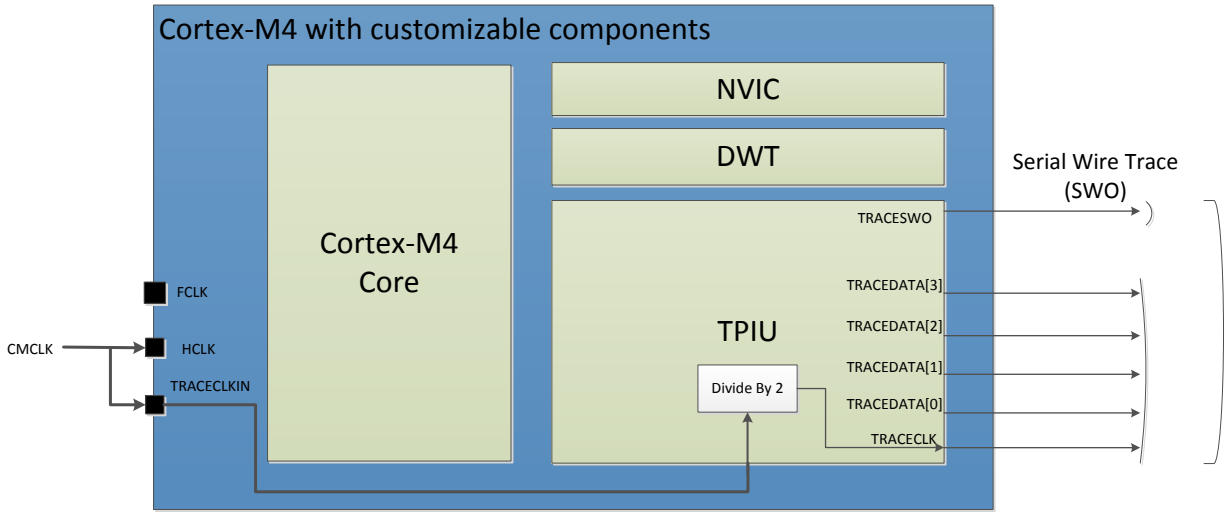


图 7-111. 调试跟踪

表 7-15 列出了两种跟踪数据导出机制的关键属性。有关 TPIU 和跟踪机制的更多详细信息，请参阅 *Arm 架构参考手册*。

表 7-15. 跟踪数据导出的关键属性

属性并行跟踪	串行跟踪	并行跟踪
协议	UART 协议/曼彻斯特编码数据流	TRACECLK 两个边沿上的跟踪数据变化。
数据吞吐率	Frequency(CMHCLK)/(TPIU_ACPR + 1)	Frequency(CMHCLK)/2

您必须配置 GPIO 多路复用器，以便在 GPIO 引脚上选择跟踪功能来使用它。

7.14.6.1 TPIU 电气数据和时序

节 7.14.6.1.1 列出了跟踪端口开关特性。

7.14.6.1.1 跟踪端口开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		最小值	典型值	最大值	单位
$t_{c(TRACE_CLK)}$	TRACE_CLK 周期时间		16		ns
$t_{w(TRACE_CLK)}$	TRACE_CLK 高电平或低电平的脉冲持续时间	6		10	ns
$t_{d(TRACE_DATA, TRACE_SWO)}$	TRACE_CLK 高电平至 TRACE_DATA 有效的延迟时间	-2		2	ns

8 详细说明

8.1 概述

TMS320F2838x 是一款功能强大的 32 位浮点实时微控制器单元 (MCU)，专为高级闭环控制应用（如工业驱动和伺服电机控制、光伏逆变器和转换器、数字电源、电动汽车以及 DSP 和传感应用）而设计。F2838x 支持双核 C28x 架构，并带有可减轻关键通信任务负担的新型连接管理器，显著提升了系统性能。此外，采用 EtherCAT 和以太网等高级连接外设的集成式模拟和控制外设还允许设计人员整合实时控制和实时通信架构，因此降低了对多控制器系统的要求。

双实时控制子系统基于 TI 的 32 位 C28x 浮点 CPU，每个内核均可提供 200MHz 的信号处理性能。C28x CPU 的性能通过 TMU 加速器得到了进一步提升，TMU 加速器可快速执行包含变换和转矩环路计算中常见的三角运算的算法。

F2838x 实时微控制器产品系列具有两个 CLA 实时控制协处理器。CLA 是一款独立的 32 位浮点处理器，运行速度与主 CPU 相同。该 CLA 对外设触发器作出响应，并与主 C28x CPU 同时执行代码。这种并行处理功能可以有效地将实时控制系统的计算性能提高一倍。通过利用 CLA 为时间关键型功能提供服务，主 C28x CPU 自由地执行其他任务，如通信和诊断。双路 C28x+CLA 架构可在各种系统任务之间实现智能分区。例如，一个 C28x+CLA 内核可用于跟踪速度和位置，而另一个 C28x+CLA 内核则可用于控制转矩和电流环路。

连接管理器子系统基于 Cortex-M4 CPU，并能够访问 EtherCAT、以太网、MCAN (CAN FD) 和 AES 等高级通信 IP。

TMS320F2838x 支持高达 1.5MB（每个 CPU 512KB）的闪存（含纠错码 (ECC)）以及高达 312KB（CPU1 和 CPU2 共 216KB，Cortex-M4 96KB）的 SRAM。此器件上还提供两个 128 位安全区，以实现代码保护。

F2838x MCU 上还集成了性能模拟和控制外设，进一步实现系统整合。四个独立的 16 位 ADC 可准确、高效地管理多个模拟信号，从而最终提高系统吞吐量。Σ-Δ 滤波器模块 (SDFM) 与 Σ-Δ 调制器配合使用，可实现隔离分流测量。包含窗口比较器的比较器子系统 (CMPSS) 可在超过或未满足电流限制条件的情况下保护功率级。其他模拟和控制外设包含 DAC、PWM、eCAP、eQEP 以及其他外设。

EMIF、CAN 模块（符合 ISO 11898-1/CAN 2.0B 标准）、EtherCAT、以太网和 MCAN (CAN FD) 等外设扩展了 F2838x 的连接能力。最后，具有 MAC 和 PHY 的 USB 2.0 端口使用户能够轻松地将通用串行总线 (USB) 连接到其应用中。

Copyright © 2023 Texas Instruments Incorporated

8.2 功能方框图

图 8-1 显示了 CPU 系统及相关外设。

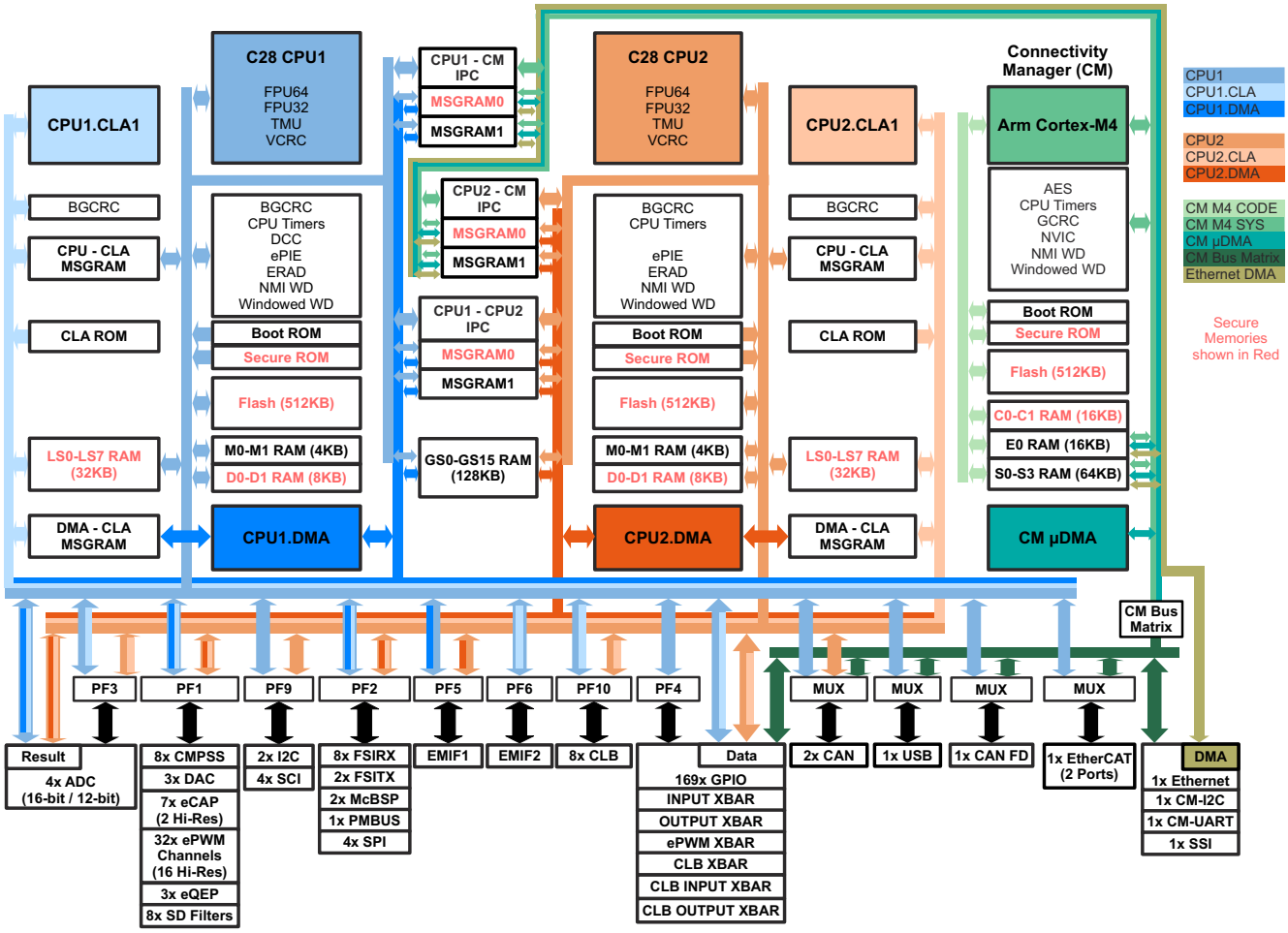


图 8-1. 功能方框图

8.3 存储器

8.3.1 C28x 存储器映射

除非“C28x 存储器映射”表中另有注明，否则器件上的两个 C28x CPU 具有相同的存储器映射。GSx_RAM（全局共享 RAM）应由 GSxMSEL 寄存器分配给任一 CPU。可由 CLA 或 DMA 访问的存储器（直接存储器访问）也被注明。

表 8-1. C28x 存储器映射

存储器	大小	起始地址	结束地址	CLA 存取	DMA 存取	ECC/ 奇偶校验	访问保护	安全
M0 RAM	1K x 16	0x0000 0000	0x0000 03FF			ECC	是	
M1 RAM	1K x 16	0x0000 0400	0x0000 07FF			ECC	是	
PieVectTable	512 x 16	0x0000 0D00	0x0000 0EFF					
CPUx.CLA1 至 CPUx MSGRAM	128 x 16	0x0000 1480	0x0000 14FF	是		奇偶校验		
CPUx 至 CPUx.CLA1 MSGRAM	128 x 16	0x0000 1500	0x0000 157F	是		奇偶校验		
CPUx.CLA1 至 CPUx.DMA MSGRAM	128 x 16	0x0000 1680	0x0000 16FF	是	是	奇偶校验		
CPUx.DMA 至 CPUx.CLA1 MSGRAM	128 x 16	0x0000 1700	0x0000 177F	是	是	奇偶校验		
LS0 RAM	2K x 16	0x0000 8000	0x0000 87FF	是		ECC	是	是
LS1 RAM	2K x 16	0x0000 8800	0x0000 8FFF	是		ECC	是	是
LS2 RAM	2K x 16	0x0000 9000	0x0000 97FF	是		ECC	是	是
LS3 RAM	2K x 16	0x0000 9800	0x0000 9FFF	是		ECC	是	是
LS4 RAM	2K x 16	0x0000 A000	0x0000 A7FF	是		ECC	是	是
LS5 RAM	2K x 16	0x0000 A800	0x0000 AFFF	是		ECC	是	是
LS6 RAM	2K x 16	0x0000 B000	0x0000 B7FF	是		ECC	是	是
LS7 RAM	2K x 16	0x0000 B800	0x0000 BFFF	是		ECC	是	是
D0 RAM	2K x 16	0x0000 C000	0x0000 C7FF			ECC	是	是
D1 RAM	2K x 16	0x0000 C800	0x0000 CFFF			ECC	是	是
GS0 RAM(1)	4K x 16	0x0000 D000	0x0000 DFFF		是	奇偶校验	是	
GS1 RAM(1)	4K x 16	0x0000 E000	0x0000 EFFF		是	奇偶校验	是	
GS2 RAM(1)	4K x 16	0x0000 F000	0x0000 FFFF	CLA 数据 ROM(5)	是	奇偶校验	是	
GS3 RAM(1)	4K x 16	0x0001 0000	0x0001 0FFF		是	奇偶校验	是	
GS4 RAM(1)	4K x 16	0x0001 1000	0x0001 1FFF		是	奇偶校验	是	
GS5 RAM(1)	4K x 16	0x0001 2000	0x0001 2FFF		是	奇偶校验	是	
GS6 RAM(1)	4K x 16	0x0001 3000	0x0001 3FFF		是	奇偶校验	是	
GS7 RAM(1)	4K x 16	0x0001 4000	0x0001 4FFF		是	奇偶校验	是	
GS8 RAM(1)	4K x 16	0x0001 5000	0x0001 5FFF		是	奇偶校验	是	
GS9 RAM(1)	4K x 16	0x0001 6000	0x0001 6FFF		是	奇偶校验	是	
GS10 RAM(1)	4K x 16	0x0001 7000	0x0001 7FFF		是	奇偶校验	是	

Copyright © 2023 Texas Instruments Incorporated

表 8-1. C28x 存储器映射 (continued)

存储器	大小	起始地址	结束地址	CLA 存取	DMA 存取	ECC/ 奇偶校验	访问保护	安全
GS11 RAM(1)	4K x 16	0x0001 8000	0x0001 8FFF		是	奇偶校验	是	
GS12 RAM(1)	4K x 16	0x0001 9000	0x0001 9FFF		是	奇偶校验	是	
GS13 RAM(1)	4K x 16	0x0001 A000	0x0001 AFFF		是	奇偶校验	是	
GS14 RAM(1)	4K x 16	0x0001 B000	0x0001 BFFF		是	奇偶校验	是	
GS15 RAM(1)	4K x 16	0x0001 C000	0x0001 CFFF		是	奇偶校验	是	
EtherCAT RAM（直接存取）(2)	8K x 16	0x0003 0800	0x0003 27FF		是	奇偶校验		
CM 至 CPUx MSGRAM0	1K x 16	0x0003 8000	0x0003 83FF		是	奇偶校验	是	是
CM 至 CPUx MSGRAM1	1K x 16	0x0003 8400	0x0003 87FF		是	奇偶校验	是	
CPUx 至 CM MSGRAM0	1K x 16	0x0003 9000	0x0003 93FF		是	奇偶校验	是	是
CPUx 至 CM MSGRAM1	1K x 16	0x0003 9400	0x0003 97FF		是	奇偶校验	是	
CPU1 至 CPU2 MSGRAM0	1K x 16	0x0003 A000	0x0003 A3FF		是	奇偶校验	是	是
CPU1 至 CPU2 MSGRAM1	1K x 16	0x0003 A400	0x0003 A7FF		是	奇偶校验	是	
CPU2 至 CPU1 MSGRAM0	1K x 16	0x0003 B000	0x0003 B3FF		是	奇偶校验	是	是
CPU2 至 CPU1 MSGRAM1	1K x 16	0x0003 B400	0x0003 B7FF		是	奇偶校验	是	
USB RAM(2)	2K x 16	0x0004 1000	0x0004 17FF		是			
CAN A 消息 RAM	2K x 16	0x0004 9000	0x0004 97FF			奇偶校验		
CAN B 消息 RAM	2K x 16	0x0004 B000	0x0004 B7FF			奇偶校验		
MCAN 消息 RAM	17K x 16	0x0005 8000	0x0005 C3FF			ECC		
TI OTP(4)	1K x 16	0x0007 0000	0x0007 03FF			ECC		
用户 OTP	1K x 16	0x0007 8000	0x0007 83FF					是(3)
闪存	256K x 16	0x0008 0000	0x000B FFFF			ECC		是
安全 ROM	32K x 16	0x003E 0000	0x003E 7FFF			奇偶校验		是
引导 ROM	96K x 16	0x003E 8000	0x003F FFFF			奇偶校验		
饼图向量获取错误（引导 ROM 的一部分）	1 x 16	0x003F FFBE	0x003F FFBF			奇偶校验		
默认向量（引导 ROM 的一部分）	64 x 16	0x003F FFC0	0x003F FFFF			奇偶校验		
CLA 数据 ROM	4K x 16	0x0100 1000	0x0100 1FFF					

(1) 在 CPU 子系统之间共享。
(2) 仅在 CPU1 子系统上。
(3) 只有 CPU1 用户 OTP 是安全的。CPU2 用户 OTP 不安全。
(4) TI OTP 仅供 TI 内部使用。
(5) CLA 在该地址空间映射了其数据 ROM。

8.3.2 C28x 闪存存储器映射

在 F28388D、F28386D 和 F28384D 器件上，每个 CPU 都具有自身的闪存存储体 [512KB (256KW)]，每个器件的总闪存为 1MB (512KW)。一次只能对一个存储体进行编程或擦除，并且对闪存进行编程和擦除的代码应在 RAM 外执行。

F28388S、F28386S 和 F28384S 器件具有一个 512KB (256KW) 的闪存存储体，用于对闪存进行编程的代码应在 RAM 外执行。有关闪存等待状态的详细信息，请参阅节 7.10.4。

“C28x 闪存存储器映射”表列出了闪存扇区的地址。

表 8-2. C28x 闪存存储器映射

扇区	大小	起始地址	结束地址
OTP 扇区			
TI OTP	1K x 16	0x0007 0000	0x0007 03FF
用户 OTP[(1)]	1K x 16	0x0007 8000	0x0007 83FF
扇区			
扇区 0	8K x 16	0x0008 0000	0x0008 1FFF
扇区 1	8K x 16	0x0008 2000	0x0008 3FFF
扇区 2	8K x 16	0x0008 4000	0x0008 5FFF
扇区 3	8K x 16	0x0008 6000	0x0008 7FFF
扇区 4	32K x 16	0x0008 8000	0x0008 FFFF
扇区 5	32K x 16	0x0009 0000	0x0009 7FFF
扇区 6	32K x 16	0x0009 8000	0x0009 FFFF
扇区 7	32K x 16	0x000A 0000	0x000A 7FFF
扇区 8	32K x 16	0x000A 8000	0x000A FFFF
扇区 9	32K x 16	0x000B 0000	0x000B 7FFF
扇区 10	8K x 16	0x000B 8000	0x000B 9FFF
扇区 11	8K x 16	0x000B A000	0x000B BFFF
扇区 12	8K x 16	0x000B C000	0x000B DFFF
扇区 13	8K x 16	0x000B E000	0x000B FFFF
闪存 ECC 位置			
TI OTP ECC	128 x 16	0x0107 0000	0x0107 007F
用户 OTP ECC	128 x 16	0x0107 1000	0x0107 107F
闪存 ECC（扇区 0）	1K x 16	0x0108 0000	0x0108 03FF
闪存 ECC（扇区 1）	1K x 16	0x0108 0400	0x0108 07FF
闪存 ECC（扇区 2）	1K x 16	0x0108 0800	0x0108 0BFF
闪存 ECC（扇区 3）	1K x 16	0x0108 0C00	0x0108 0FFF
闪存 ECC（扇区 4）	4K x 16	0x0108 1000	0x0108 1FFF
闪存 ECC（扇区 5）	4K x 16	0x0108 2000	0x0108 2FFF
闪存 ECC（扇区 6）	4K x 16	0x0108 3000	0x0108 3FFF
闪存 ECC（扇区 7）	4K x 16	0x0108 4000	0x0108 4FFF
闪存 ECC（扇区 8）	4K x 16	0x0108 5000	0x0108 5FFF

Copyright © 2023 Texas Instruments Incorporated

表 8-2. C28x 闪存存储器映射 (continued)

扇区	大小	起始地址	结束地址
闪存 ECC（扇区 9）	4K x 16	0x0108 6000	0x0108 6FFF
闪存 ECC（扇区 10）	1K x 16	0x0108 7000	0x0108 73FF
闪存 ECC（扇区 11）	1K x 16	0x0108 7400	0x0108 77FF
闪存 ECC（扇区 12）	1K x 16	0x0108 7800	0x0108 7BFF
闪存 ECC（扇区 13）	1K x 16	0x0108 7C00	0x0108 7FFF

(1) CPU1 用户 OTP 用于安全 (DCSM) 配置，因此不可用于通用用途。CPU2 用户 OTP 可用于通用用途。

8.3.3 外设寄存器存储器映射

表 8-3. 外设寄存器存储器映射

位字段名称		DriverLib 名称	基址	CPU 1	CPU 2	DMA	CLA	受流水线保护
实例	结构							
外设帧 0 (PF0)								
AdcaResultRegs	ADC_RESULT_REGS	ADCARESULT_BASE	0x0000_0B00	是	是	是	是	-
AdcbResultRegs	ADC_RESULT_REGS	ADCBRESULT_BASE	0x0000_0B20	是	是	是	是	-
AdccResultRegs	ADC_RESULT_REGS	ADCCRESULT_BASE	0x0000_0B40	是	是	是	是	-
AdcdResultRegs	ADC_RESULT_REGS	ADCDRESULT_BASE	0x0000_0B60	是	是	是	是	-
外设帧 1 (PF1)								
EPwm1Regs	EPWM_REGS	EPWM1_BASE	0x0000_4000	是	是	是	是	是
EPwm2Regs	EPWM_REGS	EPWM2_BASE	0x0000_4100	是	是	是	是	是
EPwm3Regs	EPWM_REGS	EPWM3_BASE	0x0000_4200	是	是	是	是	是
EPwm4Regs	EPWM_REGS	EPWM4_BASE	0x0000_4300	是	是	是	是	是
EPwm5Regs	EPWM_REGS	EPWM5_BASE	0x0000_4400	是	是	是	是	是
EPwm6Regs	EPWM_REGS	EPWM6_BASE	0x0000_4500	是	是	是	是	是
EPwm7Regs	EPWM_REGS	EPWM7_BASE	0x0000_4600	是	是	是	是	是
EPwm8Regs	EPWM_REGS	EPWM8_BASE	0x0000_4700	是	是	是	是	是
EPwm9Regs	EPWM_REGS	EPWM9_BASE	0x0000_4800	是	是	是	是	是
EPwm10Regs	EPWM_REGS	EPWM10_BASE	0x0000_4900	是	是	是	是	是
EPwm11Regs	EPWM_REGS	EPWM11_BASE	0x0000_4A00	是	是	是	是	是
EPwm12Regs	EPWM_REGS	EPWM12_BASE	0x0000_4B00	是	是	是	是	是
EPwm13Regs	EPWM_REGS	EPWM13_BASE	0x0000_4C00	是	是	是	是	是
EPwm14Regs	EPWM_REGS	EPWM14_BASE	0x0000_4D00	是	是	是	是	是
EPwm15Regs	EPWM_REGS	EPWM15_BASE	0x0000_4E00	是	是	是	是	是
EPwm16Regs	EPWM_REGS	EPWM16_BASE	0x0000_4F00	是	是	是	是	是
EQep1Regs	EQEP_REGS	EQEP1_BASE	0x0000_5100	是	是	是	是	是
EQep2Regs	EQEP_REGS	EQEP2_BASE	0x0000_5140	是	是	是	是	是
EQep3Regs	EQEP_REGS	EQEP3_BASE	0x0000_5180	是	是	是	是	是
ECap1Regs	ECAP_REGS	ECAP1_BASE	0x0000_5200	是	是	是	是	是
ECap2Regs	ECAP_REGS	ECAP2_BASE	0x0000_5240	是	是	是	是	是
ECap3Regs	ECAP_REGS	ECAP3_BASE	0x0000_5280	是	是	是	是	是
ECap4Regs	ECAP_REGS	ECAP4_BASE	0x0000_52C0	是	是	是	是	是
ECap5Regs	ECAP_REGS	ECAP5_BASE	0x0000_5300	是	是	是	是	是
ECap6Regs	ECAP_REGS	ECAP6_BASE	0x0000_5340	是	是	是	是	是
ECap7Regs	ECAP_REGS	ECAP7_BASE	0x0000_5380	是	是	是	是	是
DacaRegs	DAC_REGS	DACA_BASE	0x0000_5C00	是	是	是	是	是
DacbRegs	DAC_REGS	DACB_BASE	0x0000_5C10	是	是	是	是	是
DaccRegs	DAC_REGS	DACC_BASE	0x0000_5C20	是	是	是	是	是
Cmpss1Regs	CMPSS_REGS	CMPSS1_BASE	0x0000_5C80	是	是	是	是	是

表 8-3. 外设寄存器存储器映射 (continued)

位字段名称		DriverLib 名称	基址	CPU 1	CPU 2	DMA	CLA	受流水线保护
实例	结构							
Cmpss2Regs	CMPSS_REGS	CMPSS2_BASE	0x0000_5CA0	是	是	是	是	是
Cmpss3Regs	CMPSS_REGS	CMPSS3_BASE	0x0000_5CC0	是	是	是	是	是
Cmpss4Regs	CMPSS_REGS	CMPSS4_BASE	0x0000_5CE0	是	是	是	是	是
Cmpss5Regs	CMPSS_REGS	CMPSS5_BASE	0x0000_5D00	是	是	是	是	是
Cmpss6Regs	CMPSS_REGS	CMPSS6_BASE	0x0000_5D20	是	是	是	是	是
Cmpss7Regs	CMPSS_REGS	CMPSS7_BASE	0x0000_5D40	是	是	是	是	是
Cmpss8Regs	CMPSS_REGS	CMPSS8_BASE	0x0000_5D60	是	是	是	是	是
Sdfm1Regs	SDFM_REGS	SDFM1_BASE	0x0000_5E00	是	是	是	是	是
Sdfm2Regs	SDFM_REGS	SDFM2_BASE	0x0000_5E80	是	是	是	是	是
外设帧 2 (PF2)								
SpiaRegs	SPI_REGS	SPIA_BASE	0x0000_6100	是	是	是	是	是
SpibRegs	SPI_REGS	SPIB_BASE	0x0000_6110	是	是	是	是	是
SpicRegs	SPI_REGS	SPIC_BASE	0x0000_6120	是	是	是	是	是
SpidRegs	SPI_REGS	SPID_BASE	0x0000_6130	是	是	是	是	是
PmbusaRegs	PMBUS_REGS	PMBUSA_BASE	0x0000_6400	是	是	是	是	是
FsiTxaRegs	FSI_TX_REGS	FSITXA_BASE	0x0000_6600	是	是	是	是	是
FsiRxaRegs	FSI_RX_REGS	FSIRXA_BASE	0x0000_6680	是	是	是	是	是
FsiTxbRegs	FSI_TX_REGS	FSITXB_BASE	0x0000_6700	是	是	是	是	是
FsiRxbRegs	FSI_RX_REGS	FSIRXB_BASE	0x0000_6780	是	是	是	是	是
FsiRxcRegs	FSI_RX_REGS	FSIRXC_BASE	0x0000_6880	是	是	是	是	是
FsiRxdRegs	FSI_RX_REGS	FSIRXD_BASE	0x0000_6980	是	是	是	是	是
FsiRxeRegs	FSI_RX_REGS	FSIRXE_BASE	0x0000_6A80	是	是	是	是	是
FsiRxfRegs	FSI_RX_REGS	FSIRXF_BASE	0x0000_6B80	是	是	是	是	是
FsiRxgRegs	FSI_RX_REGS	FSIRXG_BASE	0x0000_6C80	是	是	是	是	是
FsiRxhRegs	FSI_RX_REGS	FSIRXH_BASE	0x0000_6D80	是	是	是	是	是
外设帧 3 (PF3)								
AdcaRegs	ADC_REGS	ADCA_BASE	0x0000_7400	是	是	-	是	是
AdcbRegs	ADC_REGS	ADCB_BASE	0x0000_7480	是	是	-	是	是
AdccRegs	ADC_REGS	ADCC_BASE	0x0000_7500	是	是	-	是	是
AdcdRegs	ADC_REGS	ADCD_BASE	0x0000_7580	是	是	-	是	是
外设帧 4 (PF4)								
InputXbarRegs	INPUT_XBAR_REGS	INPUTXBAR_BASE	0x0000_7900	是	-	-	-	是
XbarRegs	XBAR_REGS	XBAR_BASE	0x0000_7920	是	-	-	-	是
ClbInputXbarRegs	INPUT_XBAR_REGS	CLBINPUTXBAR_BASE	0x0000_7960	是	-	-	-	是
EPwmXbarRegs	EPWM_XBAR_REGS	EPWMXBAR_BASE	0x0000_7A00	是	-	-	-	是
CLBXbarRegs	CLB_XBAR_REGS	CLBXBAR_BASE	0x0000_7A40	是	-	-	-	是
OutputXbarRegs	OUTPUT_XBAR_REGS	OUTPUTXBAR_BASE	0x0000_7A80	是	-	-	-	是
ClbOutputXbarRegs	OUTPUT_XBAR_REGS	CLBOUTPUTXBAR_BASE	0x0000_7BC0	是	-	-	-	是
GpioCtrlRegs	GPIO_CTRL_REGS	GPIOCTRL_BASE	0x0000_7C00	是	-	-	-	是
外设帧 5 (PF5)								
Emif1ConfigRegs	EMIF1_CONFIG_REGS	EMIF1CONFIG_BASE	0x0005_F4C0	是	是	-	-	是
外设帧 6 (PF6)								
Emif2ConfigRegs	EMIF2_CONFIG_REGS	EMIF2CONFIG_BASE	0x0005_F4E0	是	-	-	-	是
外设帧 9 (PF9)								
SciaRegs	SCI_REGS	SCIA_BASE	0x0000_7200	是	是	-	-	是
ScibRegs	SCI_REGS	SCIB_BASE	0x0000_7210	是	是	-	-	是
ScicRegs	SCI_REGS	SCIC_BASE	0x0000_7220	是	是	-	-	是
ScidRegs	SCI_REGS	SCID_BASE	0x0000_7230	是	是	-	-	是

Copyright © 2023 Texas Instruments Incorporated

表 8-3. 外设寄存器存储器映射 (continued)

位字段名称		DriverLib 名称	基址	CPU 1	CPU 2	DMA	CLA	受流水线保护
实例	结构							
I2caRegs	I2C_REGS	I2CA_BASE	0x0000_7300	是	是	-	-	是
I2cbRegs	I2C_REGS	I2CB_BASE	0x0000_7340	是	是	-	-	是
外设帧 10 (PF10)								
Clb1LogicCfgRegs	CLB_LOGIC_CONFIG_REGS	CLB1_LOGICCFG_BASE	0x0000_3000	是	是	-	是	-
Clb1LogicCtrlRegs	CLB_LOGIC_CONTROL_REGS	CLB1_LOGICCTL_BASE	0x0000_3100	是	是	-	是	-
Clb1DataExchRegs	CLB_DATA_EXCHANGE_REGS	CLB1_DATAEXCH_BASE	0x0000_3180	是	是	-	是	-
Clb2LogicCfgRegs	CLB_LOGIC_CONFIG_REGS	CLB2_LOGICCFG_BASE	0x0000_3200	是	是	-	是	-
Clb2LogicCtrlRegs	CLB_LOGIC_CONTROL_REGS	CLB2_LOGICCTL_BASE	0x0000_3300	是	是	-	是	-
Clb2DataExchRegs	CLB_DATA_EXCHANGE_REGS	CLB2_DATAEXCH_BASE	0x0000_3380	是	是	-	是	-
Clb3LogicCfgRegs	CLB_LOGIC_CONFIG_REGS	CLB3_LOGICCFG_BASE	0x0000_3400	是	是	-	是	-
Clb3LogicCtrlRegs	CLB_LOGIC_CONTROL_REGS	CLB3_LOGICCTL_BASE	0x0000_3500	是	是	-	是	-
Clb3DataExchRegs	CLB_DATA_EXCHANGE_REGS	CLB3_DATAEXCH_BASE	0x0000_3580	是	是	-	是	-
Clb4LogicCfgRegs	CLB_LOGIC_CONFIG_REGS	CLB4_LOGICCFG_BASE	0x0000_3600	是	是	-	是	-
Clb4LogicCtrlRegs	CLB_LOGIC_CONTROL_REGS	CLB4_LOGICCTL_BASE	0x0000_3700	是	是	-	是	-
Clb4DataExchRegs	CLB_DATA_EXCHANGE_REGS	CLB4_DATAEXCH_BASE	0x0000_3780	是	是	-	是	-
Clb5LogicCfgRegs	CLB_LOGIC_CONFIG_REGS	CLB5_LOGICCFG_BASE	0x0000_3800	是	是	-	是	-
Clb5LogicCtrlRegs	CLB_LOGIC_CONTROL_REGS	CLB5_LOGICCTL_BASE	0x0000_3900	是	是	-	是	-
Clb5DataExchRegs	CLB_DATA_EXCHANGE_REGS	CLB5_DATAEXCH_BASE	0x0000_3980	是	是	-	是	-
Clb6LogicCfgRegs	CLB_LOGIC_CONFIG_REGS	CLB6_LOGICCFG_BASE	0x0000_3A00	是	是	-	是	-
Clb6LogicCtrlRegs	CLB_LOGIC_CONTROL_REGS	CLB6_LOGICCTL_BASE	0x0000_3B00	是	是	-	是	-
Clb6DataExchRegs	CLB_DATA_EXCHANGE_REGS	CLB6_DATAEXCH_BASE	0x0000_3B80	是	是	-	是	-
Clb7LogicCfgRegs	CLB_LOGIC_CONFIG_REGS	CLB7_LOGICCFG_BASE	0x0000_3C00	是	是	-	是	-
Clb7LogicCtrlRegs	CLB_LOGIC_CONTROL_REGS	CLB7_LOGICCTL_BASE	0x0000_3D00	是	是	-	是	-
Clb7DataExchRegs	CLB_DATA_EXCHANGE_REGS	CLB7_DATAEXCH_BASE	0x0000_3D80	是	是	-	是	-
Clb8LogicCfgRegs	CLB_LOGIC_CONFIG_REGS	CLB8_LOGICCFG_BASE	0x0000_3E00	是	是	-	是	-
Clb8LogicCtrlRegs	CLB_LOGIC_CONTROL_REGS	CLB8_LOGICCTL_BASE	0x0000_3F00	是	是	-	是	-
Clb8DataExchRegs	CLB_DATA_EXCHANGE_REGS	CLB8_DATAEXCH_BASE	0x0000_3F80	是	是	-	是	-
系统帧								
-	-	M0_RAM_BASE	0x0000_0000	是	是	-	-	-
-	-	M1_RAM_BASE	0x0000_0400	是	是	-	-	-
CpuTimer0Regs	CPUTIMER_REGS	CPUTIMER0_BASE	0x0000_0C00	是	是	-	-	-
CpuTimer1Regs	CPUTIMER_REGS	CPUTIMER1_BASE	0x0000_0C08	是	是	-	-	-
CpuTimer2Regs	CPUTIMER_REGS	CPUTIMER2_BASE	0x0000_0C10	是	是	-	-	-
PieCtrlRegs	PIE_CTRL_REGS	PIECTRL_BASE	0x0000_0CE0	是	是	-	-	-
PieVectTable	PIE_VECT_TABLE	PIEVECTTABLE_BASE	0x0000_0D00	是	是	-	-	-
DmaRegs	DMA_REGS	DMA_BASE	0x0000_1000	是	是	-	-	-
Dmach1Regs	DMA_CH_REGS	DMA_CH1_BASE	0x0000_1020	是	是	-	-	-
Dmach2Regs	DMA_CH_REGS	DMA_CH2_BASE	0x0000_1040	是	是	-	-	-
Dmach3Regs	DMA_CH_REGS	DMA_CH3_BASE	0x0000_1060	是	是	-	-	-
Dmach4Regs	DMA_CH_REGS	DMA_CH4_BASE	0x0000_1080	是	是	-	-	-
Dmach5Regs	DMA_CH_REGS	DMA_CH5_BASE	0x0000_10A0	是	是	-	-	-
Dmach6Regs	DMA_CH_REGS	DMA_CH6_BASE	0x0000_10C0	是	是	-	-	-
Cla1Regs	CLA_REGS	CLA1_BASE	0x0000_1400	是	是	-	-	-
-	-	CLATOCPU_RAM_BASE	0x0000_1480	是	是	-	是	-
-	-	CPUTOCLA_RAM_BASE	0x0000_1500	是	是	-	是	-
-	-	CLATODMA_RAM_BASE	0x0000_1680	是	是	是	是	-
-	-	DMATOCLA_RAM_BASE	0x0000_1700	是	是	-	是	-
HRCap6Regs	HRCAP_REGS	HRCAP6_BASE	0x0000_5360	是	是	是	是	是

Copyright © 2023 Texas Instruments Incorporated

表 8-3. 外设寄存器存储器映射 (continued)

位字段名称		DriverLib 名称	基址	CPU 1	CPU 2	DMA	CLA	受流水线保护
实例	结构							
HRCap7Regs	HRCAP_REGS	HRCAP7_BASE	0x0000_53A0	是	是	是	是	是
McbspaRegs	McBSP_REGS	MCBSPA_BASE	0x0000_6000	是	是	是	是	是
McbspbRegs	McBSP_REGS	MCBSPB_BASE	0x0000_6040	是	是	是	是	是
BgcrcCpuRegs	BGCRC_REGS	BGCRC_CPU_BASE	0x0000_6340	是	是	-	-	是
BgcrcCla1Regs	BGCRC_REGS	BGCRC_CLA1_BASE	0x0000_6380	是	是	-	是	是
WdRegs	WD_REGS	WD_BASE	0x0000_7000	是	是	-	-	是
NmiIntruptRegs	NMI_INTRUPT_REGS	NMI_BASE	0x0000_7060	是	是	-	-	是
XintRegs	XINT_REGS	XINT_BASE	0x0000_7070	是	是	-	-	是
SyncSocRegs	SYNC_SOC_REGS	SYNCSOC_BASE	0x0000_7940	是	-	-	-	是
DmaClaSrcSelRegs	DMA_CLA_SRC_SEL_REGS	DMACLASRCSEL_BASE	0x0000_7980	是	是	-	-	是
GpioDataRegs	GPIO_DATA_REGS	GPIODATA_BASE	0x0000_7F00	是	是	-	是	是
GpioDataReadRegs	GPIO_DATA_READ_REGS	GPIODATAREAD_BASE	0x0000_7F80	是	是	-	是	是
-	-	LS0_RAM_BASE	0x0000_8000	是	是	-	是	-
-	-	LS1_RAM_BASE	0x0000_8800	是	是	-	是	-
-	-	LS2_RAM_BASE	0x0000_9000	是	是	-	是	-
-	-	LS3_RAM_BASE	0x0000_9800	是	是	-	是	-
-	-	LS4_RAM_BASE	0x0000_A000	是	是	-	是	-
-	-	LS5_RAM_BASE	0x0000_A800	是	是	-	是	-
-	-	LS6_RAM_BASE	0x0000_B000	是	是	-	是	-
-	-	LS7_RAM_BASE	0x0000_B800	是	是	-	是	-
-	-	D0_RAM_BASE	0x0000_C000	是	是	-	-	-
-	-	D1_RAM_BASE	0x0000_C800	是	是	是	-	-
-	-	GS0_RAM_BASE	0x0000_D000	是	是	是	-	-
-	-	GS1_RAM_BASE	0x0000_E000	是	是	是	-	-
-	-	GS2_RAM_BASE	0x0000_F000	是	是	是	-	-
-	-	GS3_RAM_BASE	0x0001_0000	是	是	是	-	-
-	-	GS4_RAM_BASE	0x0001_1000	是	是	是	-	-
-	-	GS5_RAM_BASE	0x0001_2000	是	是	是	-	-
-	-	GS6_RAM_BASE	0x0001_3000	是	是	是	-	-
-	-	GS7_RAM_BASE	0x0001_4000	是	是	是	-	-
-	-	GS8_RAM_BASE	0x0001_5000	是	是	是	-	-
-	-	GS9_RAM_BASE	0x0001_6000	是	是	是	-	-
-	-	GS10_RAM_BASE	0x0001_7000	是	是	是	-	-
-	-	GS11_RAM_BASE	0x0001_8000	是	是	是	-	-
-	-	GS12_RAM_BASE	0x0001_9000	是	是	是	-	-
-	-	GS13_RAM_BASE	0x0001_A000	是	是	是	-	-
-	-	GS14_RAM_BASE	0x0001_B000	是	是	是	-	-
-	-	GS15_RAM_BASE	0x0001_C000	是	是	是	-	-
-	-	CMTOCPUXMSGRAM0_BASE	0x0003_8000	是	是	是	-	-
-	-	CMTOCPUXMSGRAM1_BASE	0x0003_8400	是	是	是	-	-
-	-	CPUXTOCMMSGRAM0_BASE	0x0003_9000	是	是	是	-	-
-	-	CPUXTOCMMSGRAM1_BASE	0x0003_9400	是	是	是	-	-
-	-	CPU1TOCPU2MSGRAM0_BASE	0x0003_A000	是	是	是	-	-
-	-	CPU1TOCPU2MSGRAM1_BASE	0x0003_A400	是	是	是	-	-

Copyright © 2023 Texas Instruments Incorporated

表 8-3. 外设寄存器存储器映射 (continued)

位字段名称		DriverLib 名称	基址	CPU 1	CPU 2	DMA	CLA	受流水线保护
实例	结构							
-	-	CPU2TOCPU1MSGRAM0_BASE	0x0003_B000	是	是	是	-	-
-	-	CPU2TOCPU1MSGRAM1_BASE	0x0003_B400	是	是	是	-	-
UsbRegs	USB_REGS	USBA_BASE	0x0004_0000	是	-	是	-	是
Emif1Regs	EMIF_REGS	EMIF1_BASE	0x0004_7000	是	是	-	-	是
Emif2Regs	EMIF_REGS	EMIF2_BASE	0x0004_7800	是	-	-	-	是
CanaRegs	CAN_REGS	CANA_BASE	0x0004_8000	是	是	是	-	是
CanbRegs	CAN_REGS	CANB_BASE	0x0004_A000	是	是	是	-	是
EscssRegs	ESCSS_REGS	ESC_SS_BASE	0x0005_7E00	是	-	-	-	是
EscssConfigRegs	ESCSS_CONFIG_REGS	ESC_SS_CONFIG_BASE	0x0005_7F00	是	-	-	-	是
-	-	MCANA_DRIVER_BASE	0x0005_8000	是	-	-	-	是
McanaSsRegs	MCANSS_REGS	MCANASS_BASE	0x0005_C400	是	-	-	-	是
McanaRegs	MCAN_REGS	MCANA_BASE	0x0005_C600	是	-	-	-	是
McanaErrRegs	MCAN_ERROR_REGS	MCANA_ERROR_BASE	0x0005_C800	是	-	-	-	是
Cpu2toCpu1IpcRegs	CPU1TOCPU2_IPC_REGS_CPU2VIEW	-	0x0005_CE00	-	是	-	-	是
Cpu1toCpu2IpcRegs	CPU1TOCPU2_IPC_REGS_CPU1VIEW	IPC_CPUXTOCPUX_BASE	0x0005_CE00	是	-	-	-	是
FlashPumpSemaphoreRegs	FLASH_PUMP_SEMAPHORE_REGS	FLASHPUMPSEMAPHORE_BASE	0x0005_CE24	是	是	-	-	是
Cpu2toCmIpcRegs	CPU2TOCM_IPC_REGS_CPU2VIEW	-	0x0005_CE40	-	是	-	-	是
Cpu1toCmIpcRegs	CPU1TOCM_IPC_REGS_CPU1VIEW	IPC_CPUXTOCM_BASE	0x0005_CE40	是	-	-	-	是
DevCfgRegs	DEV_CFG_REGS	DEVCFG_BASE	0x0005_D000	是	-	-	-	是
ClkCfgRegs	CLK_CFG_REGS	CLKCFG_BASE	0x0005_D200	是	是	-	-	是
CpuSysRegs	CPU_SYS_REGS	CPUSYS_BASE	0x0005_D300	是	是	-	-	是
SysStatusRegs	SYS_STATUS_REGS	SYSSTAT_BASE	0x0005_D400	是	是	-	-	是
SysPeriphAcRegs	CPU2_PERIPH_AC_REGS	PERIPHAC_BASE	0x0005_D500	-	是	-	-	是
SysPeriphAcRegs	CPU1_PERIPH_AC_REGS	PERIPHAC_BASE	0x0005_D500	是	-	-	-	是
AnalogSubsysRegs	ANALOG_SUBSYS_REGS	ANALOGSUBSYS_BASE	0x0005_D700	是	-	-	-	是
CmConfRegs	CM_CONF_REGS	CMCONF_BASE	0x0005_DC00	是	-	-	-	是
HwbistRegs	HWBIST_REGS	HWBIST_BASE	0x0005_E000	是	是	-	-	是
PbistRegs	PBIST_REGS	PBIST_BASE	0x0005_E200	是	-	-	-	是
Dcc0Regs	DCC_REGS	DCC0_BASE	0x0005_E700	是	-	-	-	是
Dcc1Regs	DCC_REGS	DCC1_BASE	0x0005_E740	是	-	-	-	是
Dcc2Regs	DCC_REGS	DCC2_BASE	0x0005_E780	是	-	-	-	是
EradGlobalRegs	ERAD_GLOBAL_REGS	ERAD_GLOBAL_BASE	0x0005_E800	是	是	-	-	是
EradHWBP1Regs	ERAD_HWBP_REGS	ERAD_HWBP1_BASE	0x0005_E900	是	是	-	-	是
EradHWBP2Regs	ERAD_HWBP_REGS	ERAD_HWBP2_BASE	0x0005_E908	是	是	-	-	是
EradHWBP3Regs	ERAD_HWBP_REGS	ERAD_HWBP3_BASE	0x0005_E910	是	是	-	-	是
EradHWBP4Regs	ERAD_HWBP_REGS	ERAD_HWBP4_BASE	0x0005_E918	是	是	-	-	是
EradHWBP5Regs	ERAD_HWBP_REGS	ERAD_HWBP5_BASE	0x0005_E920	是	是	-	-	是
EradHWBP6Regs	ERAD_HWBP_REGS	ERAD_HWBP6_BASE	0x0005_E928	是	是	-	-	是
EradHWBP7Regs	ERAD_HWBP_REGS	ERAD_HWBP7_BASE	0x0005_E930	是	是	-	-	是
EradHWBP8Regs	ERAD_HWBP_REGS	ERAD_HWBP8_BASE	0x0005_E938	是	是	-	-	是
EradCounter1Regs	ERAD_COUNTER_REGS	ERAD_COUNTER1_BASE	0x0005_E980	是	是	-	-	是
EradCounter2Regs	ERAD_COUNTER_REGS	ERAD_COUNTER2_BASE	0x0005_E990	是	是	-	-	是
EradCounter3Regs	ERAD_COUNTER_REGS	ERAD_COUNTER3_BASE	0x0005_E9A0	是	是	-	-	是
EradCounter4Regs	ERAD_COUNTER_REGS	ERAD_COUNTER4_BASE	0x0005_E9B0	是	是	-	-	是

Copyright © 2023 Texas Instruments Incorporated

表 8-3. 外设寄存器存储器映射 (continued)

位字段名称		DriverLib 名称	基址	CPU 1	CPU 2	DMA	CLA	受流水线保护
实例	结构							
EradCRCGlobalRegs	ERAD_CRC_GLOBAL_REGS	ERAD_CRC_GLOBAL_BASE	0x0005_EA00	是	是	-	-	是
EradCRC1Regs	ERAD_CRC_REGS	ERAD_CRC1_BASE	0x0005_EA10	是	是	-	-	是
EradCRC2Regs	ERAD_CRC_REGS	ERAD_CRC2_BASE	0x0005_EA20	是	是	-	-	是
EradCRC3Regs	ERAD_CRC_REGS	ERAD_CRC3_BASE	0x0005_EA30	是	是	-	-	是
EradCRC4Regs	ERAD_CRC_REGS	ERAD_CRC4_BASE	0x0005_EA40	是	是	-	-	是
EradCRC5Regs	ERAD_CRC_REGS	ERAD_CRC5_BASE	0x0005_EA50	是	是	-	-	是
EradCRC6Regs	ERAD_CRC_REGS	ERAD_CRC6_BASE	0x0005_EA60	是	是	-	-	是
EradCRC7Regs	ERAD_CRC_REGS	ERAD_CRC7_BASE	0x0005_EA70	是	是	-	-	是
EradCRC8Regs	ERAD_CRC_REGS	ERAD_CRC8_BASE	0x0005_EA80	是	是	-	-	是
DcsmZ1Regs	DCSM_Z1_REGS	DCSM_Z1_BASE	0x0005_F000	是	是	-	-	是
DcsmZ2Regs	DCSM_Z2_REGS	DCSM_Z2_BASE	0x0005_F080	是	是	-	-	是
DcsmCommonRegs	DCSM_COMMON_REGS	DCSMCOMMON_BASE	0x0005_F0C0	是	是	-	-	是
MemCfgRegs	MEM_CFG_REGS	MEMCFG_BASE	0x0005_F400	是	是	-	-	是
AccessProtectionRegs	ACCESS_PROTECTION_REGS	ACCESSPROTECTION_BASE	0x0005_F500	是	是	-	-	是
MemoryErrorRegs	MEMORY_ERROR_REGS	MEMORYERROR_BASE	0x0005_F540	是	是	-	-	是
RomWaitStateRegs	ROM_WAIT_STATE_REGS	ROMWAITSTATE_BASE	0x0005_F580	是	是	-	-	是
RomPrefetchRegs	ROM_PREFETCH_REGS	ROMPREFETCH_BASE	0x0005_F588	是	是	-	-	是
TestErrorRegs	TEST_ERROR_REGS	TESTERROR_BASE	0x0005_F590	是	是	-	-	是
Flash0CtrlRegs	FLASH_CTRL_REGS	FLASH0CTRL_BASE	0x0005_F800	是	是	-	-	是
Flash0EccRegs	FLASH_ECC_REGS	FLASH0ECC_BASE	0x0005_FB00	是	是	-	-	是
UidRegs	UID_REGS	UID_BASE	0x0007_0200	是	是	-	-	-
CpuIdRegs	CPU_ID_REGS	CPUID_BASE	0x0007_0223	是	是	-	-	-
DcsmZ1OtpRegs	DCSM_Z1_OTP	DCSM_Z1OTP_BASE	0x0007_8000	是	-	-	-	-
DcsmZ2OtpRegs	DCSM_Z2_OTP	DCSM_Z2OTP_BASE	0x0007_8200	是	-	-	-	-

Copyright © 2023 Texas Instruments Incorporated

8.3.4 EMIF 芯片选择存储器映射

EMIF1 存储器映射对于两个 CPU 子系统是相同的。EMIF2 仅在 CPU1 子系统上可用。“EMIF 芯片选择存储器映射”表中显示了 EMIF 存储器映射。

表 8-4. EMIF 芯片选择内存映射

EMIF CS	大小[3]	起始地址	结束地址	CLA 存取	DMA 存取
EMIF1 CS0n - 数据[1]	256M x 16	0x8000 0000	0x8FFF FFFF		是
EMIF1 CS0n - 程序 + 数据[1]	1M x 16	0x0020 0000	0x002F FFFF		是
EMIF1 CS2n - 程序 + 数据	2M x 16	0x0010 0000	0x002F FFFF		是
EMIF1 CS3n - 程序 + 数据	512K x 16	0x0030 0000	0x0037 FFFF		是
EMIF1 CS4n - 程序 + 数据	393K x 16	0x0038 0000	0x003D FFFF		是
EMIF2 CS0n - 数据[2]	32M x 16	0x9000 0000	0x91FF FFFF		
EMIF2 CS2n - 程序 + 数据[2]	4K x 16	0x0000 2000	0x0000 2FFF	是（仅数据）	

(1) 双映射 - 当 EMIF1 CS0n 映射到地址 0x2x_xxxx 时，只能提供从 0x10_0000 到 0x1F_FFFF (1M x 16) 的 EMIF1 CS2n。
(2) 仅在 CPU1 子系统上。
(3) 此表中列出的可用内存大小是假设 32 位内存的最大可能大小。由于引脚多路复用设置的原因，这可能不适用于其他内存大小。

8.3.5 CM 存储器映射

表 8-5. CM 存储器映射

存储器	大小	起始地址	结束地址	μDMA 访问	ENET DMA 访问	ECC/ 奇偶校验	访问保护	安全
引导 ROM	64K x 8	0x0000 0000	0x0000 FFFF			奇偶校验	是(1)	
安全 ROM	32K x 8	0x0001 0000	0x0001 7FFF			奇偶校验	是(1)	是
闪存	512K x 8	0x0020 0000	0x0027 FFFF			ECC	是(1)	是
TI OTP(2)	2K x 8	0x0038 0000	0x0038 07FF			ECC	是(1)	
用户 OTP	2K x 8	0x003C 0000	0x003C 07FF			ECC	是(1)	
C1 RAM	8K x 8	0x1FFF C000	0x1FFF DFFF			奇偶校验	是(1)	是
C0 RAM	8K x 8	0x1FFF E000	0x1FFF FFFF			奇偶校验	是(1)	是
S0 RAM	16K x 8	0x2000 0000	0x2000 3FFF	是	是	奇偶校验	是(1)	
S1 RAM	16K x 8	0x2000 4000	0x2000 7FFF	是	是	奇偶校验	是(1)	
S2 RAM	16K x 8	0x2000 8000	0x2000 BFFF	是	是	奇偶校验	是(1)	
S3 RAM	16K x 8	0x2000 C000	0x2000 FFFF	是	是	奇偶校验	是(1)	
E0 RAM	16K x 8	0x2001 0000	0x2001 3FFF	是	是	ECC	是(1)	
CPU1 至 CM MSGRAM0	2K x 8	0x2008 0000	0x2008 07FF	是	是	奇偶校验	是(1)	是
CPU1 至 CM MSGRAM1	2K x 8	0x2008 0800	0x2008 0FFF	是	是	奇偶校验	是(1)	
CM 至 CPU1 MSGRAM0	2K x 8	0x2008 2000	0x2008 27FF	是	是	奇偶校验	是(1)	是
CM 至 CPU1 MSGRAM1	2K x 8	0x2008 2800	0x2008 2FFF	是	是	奇偶校验	是(1)	
CPU2 至 CM MSGRAM0	2K x 8	0x2008 4000	0x2008 47FF	是	是	奇偶校验	是(1)	是
CPU2 至 CM MSGRAM1	2K x 8	0x2008 4800	0x2008 4FFF	是	是	奇偶校验	是(1)	
CM 至 CPU2 MSGRAM0	2K x 8	0x2008 6000	0x2008 67FF	是	是	奇偶校验	是(1)	是
CM 至 CPU2 MSGRAM1	2K x 8	0x2008 6800	0x2008 6FFF	是	是	奇偶校验	是(1)	
位带 RAM 区域	32M x 8	0x2200 0000	0x23FF FFFF	是	是	奇偶校验	是(1)	
CAN A 消息 RAM	4K x 8	0x4007 2000	0x4007 2FFF			奇偶校验	是(1)	
CAN B 消息 RAM	4K x 8	0x4007 6000	0x4007 6FFF			奇偶校验	是(1)	
MCAN 消息 RAM	17K x 8	0x4007 8000	0x4007 C3FF			ECC	是(1)	
EtherCAT RAM（直接访问）	16K x 8	0x400A 1000	0x400A 4FFF	是		奇偶校验	是(1)	

(1) 通过 MPU 实现访问保护。
(2) TI OTP 仅供 TI 内部使用。

Copyright © 2023 Texas Instruments Incorporated

8.3.6 CM 闪存存储器映射

“CM 闪存存储器映射”表显示了 CM 闪存存储器映射。

表 8-6. CM 闪存存储器映射

扇区	大小	起始地址	结束地址
OTP 扇区			
TI OTP	2K x 8	0x0038 0000	0x0038 07FF
用户 OTP[(1)]	2K x 8	0x003C 0000	0x003C 07FF
扇区			
扇区 0	16K x 8	0x0020 0000	0x0020 3FFF
扇区 1	16K x 8	0x0020 4000	0x0020 7FFF
扇区 2	16K x 8	0x0020 8000	0x0020 BFFF
扇区 3	16K x 8	0x0020 C000	0x0020 FFFF
扇区 4	64K x 8	0x0021 0000	0x0021 FFFF
扇区 5	64K x 8	0x0022 0000	0x0022 FFFF
扇区 6	64K x 8	0x0023 0000	0x0023 FFFF
扇区 7	64K x 8	0x0024 0000	0x0024 FFFF
扇区 8	64K x 8	0x0025 0000	0x0025 FFFF
扇区 9	64K x 8	0x0026 0000	0x0026 FFFF
扇区 10	16K x 8	0x0027 0000	0x0027 3FFF
扇区 11	16K x 8	0x0027 4000	0x0027 7FFF
扇区 12	16K x 8	0x0027 8000	0x0027 BFFF
扇区 13	16K x 8	0x0027 C000	0x0027 FFFF
闪存 ECC 位置			
TI OTP ECC	256 x 8	0x0088 0000	0x0088 00FF
用户 OTP ECC	256 x 8	0x0088 8000	0x0088 80FF
闪存 ECC（扇区 0）	2K x 8	0x0080 0000	0x0080 07FF
闪存 ECC（扇区 1）	2K x 8	0x0080 0800	0x0080 0FFF
闪存 ECC（扇区 2）	2K x 8	0x0080 1000	0x0080 17FF
闪存 ECC（扇区 3）	2K x 8	0x0080 1800	0x0080 1FFF
闪存 ECC（扇区 4）	8K x 8	0x0080 2000	0x0080 3FFF
闪存 ECC（扇区 5）	8K x 8	0x0080 4000	0x0080 5FFF
闪存 ECC（扇区 6）	8K x 8	0x0080 6000	0x0080 7FFF
闪存 ECC（扇区 7）	8K x 8	0x0080 8000	0x0080 9FFF
闪存 ECC（扇区 8）	8K x 8	0x0080 A000	0x0080 BFFF
闪存 ECC（扇区 9）	8K x 8	0x0080 C000	0x0080 DFFF
闪存 ECC（扇区 10）	2K x 8	0x0080 E000	0x0080 E7FF
闪存 ECC（扇区 11）	2K x 8	0x0080 E800	0x0080 EFFF
闪存 ECC（扇区 12）	2K x 8	0x0080 F000	0x0080 F7FF

Copyright © 2023 Texas Instruments Incorporated

表 8-6. CM 闪存存储器映射 (continued)

扇区	大小	起始地址	结束地址
闪存 ECC (扇区 13)	2K x 8	0x0080 F800	0x0080 FFFF

(1) CM 用户 OTP 可用于通用用途。

8.3.7 外设寄存器存储器映射 (CM)

表 8-7. 外设寄存器存储器映射 (CM)

DriverLib 名称	基址
AES_SS_BASE	0x4004_AC00
AES_BASE	0x4004_A000
NVIC_BASE	0xE000_E000
CPUTIMER0_BASE	0x4008_4000
CPUTIMER1_BASE	0x4008_4010
CPUTIMER2_BASE	0x4008_4020
NMI_BASE	0x4008_1000
WD_BASE	0x4008_0000
CMSYSCTL_BASE	0x400F_C000
DMPU_BASE	0x400C_C000
EMPU_BASE	0x400C_D000
CMMEMCFG_BASE	0x400F_E000
CMMEMORYERROR_BASE	0x400F_E400
CMMEMORYDIAGERROR_BASE	0x400F_E800
GCRC_BASE	0x4004_0000
UDMA_BASE	0x400F_F000
GPIODATA_BASE	0x4008_3000
GPIODATAREAD_BASE	0x4008_3100
I2C0_BASE	0x4002_0000
SSI0_BASE	0x4000_8000
UART0_BASE	0x4000_C000
IPC_CMTOCPU1_BASE	0x400F_D000
IPC_CMTOCPU2_BASE	0x400F_D080
FLASH0CTRL_BASE	0x400F_A000
FLASH0ECC_BASE	0x400F_A600
FLASHPUMPSEMAPHORE_BASE	0x400F_D048
EMAC_BASE	0x400C_0000
EMAC_SS_BASE	0x400C_2000
CANA_BASE	0x4007_0000
CANB_BASE	0x4007_4000
MCAN_SS_BASE	0x4007_C400
MCAN_BASE	0x4007_C600
MCAN_ERROR_BASE	0x4007_C800
MCAN0_BASE	0x4007_8000
DCSM_Z1_BASE	0x4008_5000
DCSM_Z2_BASE	0x4008_5100
DCSMCOMMON_BASE	0x4008_5180
ESC_BASE	0x400A_0000

Copyright © 2023 Texas Instruments Incorporated

表 8-7. 外设寄存器存储器映射 (CM) (continued)

DriverLib 名称	基址
ESC_SS_BASE	0x400A_FC00
ESC_SS_CONFIG_BASE	0x400A_FE00
USB0_BASE	0x4005_0000

8.3.8 存储器类型

8.3.8.1 专用 RAM（Mx 和 Dx RAM）

CPU 子系统有四个支持 ECC 功能的专用 RAM 模块：M0、M1、D0 和 D1。M0/M1 存储器是与 CPU 紧密耦合的小型非安全块（那就是只有 CPU 可以访问这些存储器）。D0/D1 存储器是安全块，还具有访问保护功能（CPU 写入/CPU 获取保护）。

8.3.8.2 本地共享 RAM (LSx RAM)

专用于每个子系统且仅对其 CPU 和 CLA 进行访问的 RAM 块被称为本地共享 RAM (LSx RAM)。

所有 LSx RAM 块都具有 ECC。这些存储器都是安全的，且具有访问保护（CPU 写入/CPU 获取）特性。

默认情况下，这些存储器仅供 CPU 使用，用户可以通过适当地配置 LSxMSEL 寄存器中的 MSEL_LSx 位字段来选择与 CLA 共享这些存储器。

表 8-8 列出了主器件对 LSx RAM 的访问权限。

表 8-8. 主器件对 LSx RAM 的访问权限
（假设禁用所有其他访问保护）

MSEL_LSx	CLAPGM_LSx	CPU 允许访问	CLA 允许访问	注释
00	X	全部	–	LSx 存储器被配置为 CPU 专用 RAM。
01	0	全部	数据读取 数据写入	LSx 存储器在 CPU 和 CLA1 之间共享。
01	1	仿真读取 仿真写入	仅获取	LSx 存储器是 CLA1 程序存储器。

8.3.8.3 全局共享 RAM (GSx RAM)

可从 CPU 和 DMA 访问的 RAM 块被称为全局共享 RAM (GSx RAM)。每个共享 RAM 块可由任一 CPU 子系统拥有，具体取决于 GSxMSEL 寄存器中各个位的配置。

所有 GSx RAM 块都具有奇偶校验功能。

当 CPU 子系统拥有 GSx RAM 块时，CPUx 和 CPUx.DMA 将拥有对该 RAM 块的完全访问权限，而 CPUy 和 CPUy.DMA 将仅拥有读取访问权限（无获取/写入访问权限）。

表 8-9 列出了主器件对 GSx RAM 的访问权限。

Copyright © 2023 Texas Instruments Incorporated

表 8-9. 主器件对 GSx RAM 的访问权限
（假设禁用所有其他访问保护）

GSxMSEL	CPU	指令获取	读取	写入	CPUx.DMA 读取	CPUx.DMA 写入
0	CPU1	是	是	是	是	是
	CPU2	-	支持	-	支持	-
1	CPU1	-	支持	-	支持	-
	CPU2	是	是	是	是	是

GSx RAM 具有访问保护（CPU 写入/CPU 获取/DMA 写入）。

8.3.8.4 CPU 消息 RAM (CPU MSGRAM)

这些 RAM 块可用于在 CPU1 和 CPU2 之间共享数据。由于这些 RAM 用于处理器间的通信，因此也被称为 IPC RAM。CPU MSGRAM 具有源自其自身 CPU 子系统的 CPU/DMA 读取/写入访问权限，以及源自其他子系统的 CPU/DMA 只读权限。

该 RAM 具有奇偶校验功能。

8.3.8.5 CLA 消息 RAM (CLA MSGRAM)

这些 RAM 块可用于在 CPU 和 CLA 之间共享数据。CLA 具有对“CLA 到 CPU MSGRAM”的读写访问权限。CPU 具有对“CPU 到 CLA MSGRAM”的读写访问权限。CPU 和 CLA 都具有对两个 MSGRAM 的读取权限。该 RAM 具有奇偶校验功能。

8.3.8.6 CLA - DMA 消息 RAM (CLA-DMA MSGRAM)

这些 RAM 块可用于在 DMA 和 CLA 之间共享数据。CLA 具有对“CLA 到 DMA MSGRAM”的读写访问权限。DMA 具有对“DMA 到 CLA MSGRAM”的读写访问权限。DMA 和 CLA 都具有对两个 MSGRAM 的读取权限。该 RAM 具有奇偶校验功能。

8.3.8.7 CPUx - CM 消息 RAM (CPUx-CM MSGRAM)

这些 RAM 块可用于在 CPU1/CPU2 和 CM 之间共享数据。CPU1/CPU2 具有对“CPUx 到 CM MSGRAM”的读写访问权限。CM 具有对“CM 到 CPUx MSGRAM”的读写访问权限。CPUx 和 CM 都具有对两个 MSGRAM 的读取权限。该 RAM 具有奇偶校验功能。

8.3.8.8 专用 RAM (C0/C1 RAM)

CM 子系统有两个专用 RAM 块：C0 和 C1。这些 RAM 块与 Cortex-M4 紧密耦合（也就是说，只有 CPU 能够访问它们），并通过 ICODE/DCODE 总线进行连接。这些 RAM 块具有可提高性能的交错功能。这些 RAM 具有奇偶校验功能。

8.3.8.9 共享 RAM（E0 和 Sx RAM）

CM 子系统具有可从 Cortex-M4 以及 µDMA 和以太网 DMA 等其他主器件访问的共享 RAM。这些 RAM 通过系统总线连接。这些 RAM 具有交错功能，因此可提高性能。有两种类型的共享 RAM：

- E0 – 此共享 RAM 块具有 ECC。
- Sx – 此共享 RAM 块具有奇偶校验功能。

8.4 标识

表 8-10 列出了器件标识寄存器。

表 8-10. 器件标识寄存器

名称	地址	大小 (x16)	说明
PARTIDH	0x0005 D00A	2	器件型号标识号 TMS320F28388D 0x03FF 0300 TMS320F28386D 0x03FD 0300 TMS320F28384D 0x03FB 0300 TMS320F28388S 0x03FF 0400 TMS320F28386S 0x03FD 0400 TMS320F28384S 0x03FB 0400
REVID	0x0005 D00C	2	器件修订版本号 修订版 0 0x0000 0000 修订版 A 0x0000 0001
UID_UNIQUE	0x0007 020C	2	唯一标识号。此编号在具有相同 PARTIDH 的每个单独器件上是不同的。这可以用作应用中的序列号。此编号仅存在于 TMS 器件上。
CPU ID	0x0007 0223	1	CPU 识别号 CPU1 0xXX01 CPU2 0xXX02
	0x0038 0446	1	CM 0xXX03
JTAGID	不适用	不适用	JTAG 器件 ID 0x0BB4 002F

Copyright © 2023 Texas Instruments Incorporated

8.5 总线架构 - 外设连接

“C28x 总线主器件对外设的访问”表总结了 C28x 上每个总线主器件对外设和配置寄存器的可访问性。外设可以单独分配给 CPU1 或 CPU2 子系统（例如，ePWM 可以分配给 CPU1，eQEP 可以分配给 CPU2）。

表 8-11. C28x 总线主器件对外设的访问

外设（按总线访问类型）	CPU1.DMA	CPU1.CLA1	CPU1	CPU2	CPU2.CLA1	CPU2.DMA
可分配给 CPU1 或 CPU2 且具有二级主控的外设						
外设帧 1： - ePWM - SDFM - eCAP[(1)] - eQEP[(1)] - CMPSS[(1)] - DAC[(1)] - HRPWM	是	是	是	是	是	是
外设帧 2： - SPI - McBSP - FSI - PMBus	是	是	是	是	是	是
可分配给 CPU1 或 CPU2 子系统的外设						
SCI			是	是		
I2C			是	是		
CAN[(5)]	是		是	是		是
ADC 配置		是	是	是	是	
EMIF1	是		是	是		是
仅在 CPU1 子系统上的外设和器件配置寄存器						
EMIF2		是	是			
USB[(5)]			是			
EtherCAT[(5)]	是	是	是			
DCC			Y			
器件功能、外设复位、外设 CPU 选择			Y			
GPIO 引脚映射和配置			Y			
模拟系统控制			Y			
复位配置			Y			
使用 Semaphore 一次只能由一个 CPU 访问						
时钟和 PLL 配置			是	是		
外设和寄存器，每个 CPU 和 CLA 主控都有唯一的寄存器副本[(2)]						
系统配置（WD、NMIWD、LPM、外设时钟门控）			是	是		
闪存配置[(3)]			是	是		
CPU 计时器			是	是		
DMA 和 CLA 触发源选择			是	是		
ERAD			是	是		

表 8-11. C28x 总线主器件对外设的访问 (continued)

外设（按总线访问类型）	CPU1.DMA	CPU1.CLA1	CPU1	CPU2	CPU2.CLA1	CPU2.DMA
GPIO 数据[(4)]		是	是	是	是	
ADC 结果	是	是	是	是	是	是

(1) 这些模块在具有 DMA 访问的外设帧上；然而，这些模块无法触发 DMA 传输。
(2) 每个 CPUx 和 CPUx.CLA1 只能访问自身的寄存器副本。
(3) 在任何给定时间，只有一个 CPU 可以对闪存执行编程或擦除操作。
(4) 每个 CPUx 和 CPUx.CLAx 的 GPIO 数据寄存器都是唯一的。当 GPIO 引脚映射寄存器配置为将 GPIO 分配给特定主控时，相应的 GPIO 数据寄存器将控制该 GPIO。
(5) 也可从 CM 访问。

Copyright © 2023 Texas Instruments Incorporated

“CM 总线主器件对外设的访问”表详细列出了 CPUx 和 CM 子系统之间的外设共享情况。此外，还详细列出了从 CM 子系统内不同主器件到仅可从 CM 子系统访问的外设的可访问性。外设可以单独分配给 CPUx 或分配给 CM 子系统（例如，CAN 可以分配给 CPUx，USB 可以分配给 CM）。

表 8-12. CM 总线主器件对外设的访问

外设（按总线访问类型）	以太网 DMA	µDMA	M4	CPU1 子系统	CPU2 子系统
可分配给 CM、CPU1 或 CPU2 子系统的外设					
CAN		是	是	是	是
可分配给 CM 或 CPU1 子系统的外设					
EtherCAT		是	是	是	
USB		Y	是	是	
MCAN (CAN FD)			是	是	
仅位于 CM 子系统上的外设和系统寄存器					
AES		是	是		
GCRC		是	是		
CM-I2C		是	是		
CM-UART		是	是		
SSI		是	是		
以太网		是	是		
GPIO 数据寄存器			是		
外设复位			是		
CM 系统配置（WD、NMIWD、LPM、外设时钟门控）			Y		
闪存配置			Y		
CPU 计时器			Y		
µDMA			是		

8.6 引导 ROM 和外设引导

每次复位时，该器件都会执行 ROM 中的引导序列，具体取决于复位类型和引导配置。这个序列会初始化器件以运行应用程序代码。对于 CPU1，引导 ROM 还包含可用于将应用程序加载到 RAM 中的外设引导加载程序。出于安全目的，可以禁用这些引导加载程序。

表 8-13 总结了 CPU1、CPU2 和 CM 上可用的引导特性。表 8-14 列出了器件上各种 ROM 的大小。

表 8-13. 引导系统概况

引导特性	CPU1（主）	CPU2	CM
启动引导过程	器件复位	CPU1 应用	CPU1 应用
引导模式选择	GPIO	IPC 寄存器	IPC 寄存器
支持的引导模式： • 闪存引导 • 安全闪存引导 • RAM 引导	是	是	是
引导至用户 OTP	否	是	是
从 IPC 消息 RAM 复制并引导至 RAM	否	是	是
支持外设引导加载程序	是	否	否

表 8-14. ROM 存储器

ROM	CPU1 大小	CPU2 大小	CM 大小
不安全引导 ROM	192KB	64KB	64KB
安全 ROM	64KB	64KB	32KB
CLA 数据 ROM	8KB	8KB	不适用

8.6.1 器件引导

本节介绍每次 CPU 内核复位时的一般引导 ROM 过程。CPU1 是主器件，始终首先引导。CPU1 引导至应用程序后，CPU1 中的用户应用程序代码即可配置 CPU2/CM 引导 IPC 寄存器并将 CPU2/CM 从复位状态释放到引导状态。表 8-15、表 8-16 和表 8-17 列出了每个内核的一般引导过程。

在引导期间，每个 CPU 的引导 ROM 代码会更新 RAM 中的引导状态位置，其中详细说明了在此过程中采取的操作。此外，CPU2 将引导状态写入 CPU2TOCPU1IPCBOOTSTS 寄存器，CM 将引导状态写入 CMTOCPU1IPCBOOTSTS 寄存器，以便将状态告知 CPU1。

更多详细信息，请参阅 *TMS320F2838x 实时微控制器技术参考手册* 的“引导状态信息”一节。

Copyright © 2023 Texas Instruments Incorporated

表 8-15. CPU1 引导 ROM 过程

STEP	CPU1 操作
1	复位后，检查是否有 HWBIST 复位。如果有 HWBIST 复位，则立即分支并返回到用户应用程序。如果没有 HWBIST 复位，则继续引导并检查 FUSE 错误寄存器是否存在任何错误并进行相应处理。
2	时钟配置和闪存上电
3	从 OTP 加载外设修整和器件配置寄存器。
4	上电复位 (POR) 时，初始化所有 CPU1 RAM。
5	启用不可屏蔽中断 (NMI) 处理，并执行 DCSM 初始化。
6	执行器件校准；使用设定的 OTP 值修整指定的外设。
7	确定是否需要轮询 GPIO 引脚以确定引导模式，如果需要，则读取引导模式 GPIO 引脚以确定要运行的引导模式。
8	根据引导模式和选项，执行相应的引导序列。有关 CPU1 引导序列的流程图，请参阅 *TMS320F2838x 实时微控制器技术参考手册* 中的“CPU1 器件引导流程”图。

表 8-16. CPU2 引导 ROM 过程

STEP	CPU2 操作
1	CPU1 应用程序将 CPU2 从复位状态释放。
2	设置 CPU1TOCPU2IPCFLG0 后，读取 CPU1TOCPU2IPCBOOTMODE 寄存器。如果未正确设置或具有无效值，则将 IPC 错误命令发送到 CPU1，而 CPU2 内核将进入无限循环，并且在用户校正寄存器值并复位 CPU2 之前不会继续引导。
3	闪存上电
4	在 POR 时，初始化所有 CPU2 RAM。
5	启用 NMI 处理。
6	根据 CPU1TOCPU2IPCBOOTMODE 寄存器中设置的引导模式，CPU2 进入“等待命令”模式以等待未来的 CPU1 引导模式命令，或 CPU2 执行请求的引导序列。有关 CPU2 引导序列的流程图，请参阅 *TMS320F2838x 实时微控制器技术参考手册* 中的“CPU2 引导流程”图。

表 8-17. CM 引导 ROM 过程

STEP	CM 操作
1	CPU1 应用程序将 CM 从复位状态释放。
2	设置 CPU1TOCMIPCFLG0 后，读取 CPU1TOCMIPCBOOTMODE 寄存器。如果未正确设置或具有无效值，则将 IPC 错误命令发送到 CPU1，而 CM 将进入无限循环，并且在用户校正寄存器值并复位 CM 之前不会继续引导。
3	闪存上电
4	在 POR 时，初始化所有 CM RAM。
5	启用 NMI 处理。
6	根据 CPU1TOCPU2IPCBOOTMODE 寄存器中设置的引导模式，CM 进入“等待命令”模式以等待未来的 CPU1 引导模式命令，或 CM 执行请求的引导序列。有关 CM 引导序列的流程图，请参阅 *TMS320F2838x 实时微控制器技术参考手册* 中的“CM 引导流程”图。

8.6.2 器件引导模式

本节介绍了默认引导模式以及该器件支持的所有可用引导模式。CPU1 引导 ROM 使用引导模式选择、通用输入/输出 (GPIO) 引脚来确定引导模式配置。CPU2 引导 ROM 使用 CPU1TOCPU2IPCBOOTMODE 寄存器来确定引导模式配置。CM 引导 ROM 使用 CPU1TOCMIPCBOOTMODE 寄存器来确定引导模式配置。

表 8-18 列出了可供默认引导模式选择引脚选择的 CPU1 引导模式选项。用户可以选择对器件进行编程，以自定义引导表中可选的引导模式以及使用的引导模式选择引脚 GPIO。

表 8-20 中列出了器件上所有可用的引导模式。

表 8-18. CPU1 的器件默认引导模式

引导模式	GPIO72 （默认引导模式选择引脚 1）	GPIO84 （默认引导模式选择引脚 0）
并行 IO	0	0
SCI/等待引导[(1)]	0	1
CAN	1	0
闪存/USB[(2)]	1	1

(1) 只要 SCI 在 SCI 自动波特率锁定过程中继续等待“A”或“a”，SCI 引导模式就可用作等待引导模式。
(2) 在未编程的器件上，如果在未编程默认闪存入口地址时选择闪存引导，则会将引导模式从闪存引导切换到 USB 引导。如需了解更多详情，请参阅表 8-19。

表 8-19. CPU1 闪存至 USB 引导决策表

闪存入口点地址处的值	出现该值的原因	实现的引导模式
0x00000000	闪存被锁定/保护	引导至闪存
0xFFFFFFFF	闪存未编程	USB 引导
任何其他值	闪存已编程	引导至闪存

备注

当闪存被锁定/保护或未编程时从闪存引导模式切换到 USB 引导模式的功能*仅*在未编程器件上的默认引导模式表中提供。在 OTP 或 RAM 中对自定义引导表进行编程后，即使未对闪存进行编程，选择闪存引导模式也*不会*切换到 USB 引导。

Copyright © 2023 Texas Instruments Incorporated

表 8-20. 所有可用的引导模式

引导模式	CPU 支持	详细信息
并行 IO	CPU1	有关引导模式的功能详细信息，请参阅 *TMS320F2838x 实时微控制器技术参考手册* 的“引导模式”一节。 有关不同引导模式的引导表值和 GPIO，请参阅节 8.6.4。
SCI/等待	CPU1	
CAN	CPU1	
闪存	CPU1、CPU2、CM	
等待	CPU1、CPU2、CM	
RAM	CPU1、CPU2、CM	
SPI	CPU1	
I2C	CPU1	
USB(1)	CPU1	
安全闪存	CPU1、CPU2、CM	
用户 OTP	CPU2、CM	
IPC 消息复制到 RAM	CPU2、CM	

(1) USB 引导加载程序将时钟源切换到外部晶体振荡器（X1 和 X2 引脚）。如果选择了这种引导模式，电路板上应该有 20MHz 的晶体。

备注

所有支持的外设引导模式都使用外设模块（SCIA、SPIA、I2CA、CANA 等）的第一个实例。凡是本节提到的这些引导模式（例如 SCI 引导），实际均指第一个模块实例，即 SCIA 端口上的 SCI 引导。这同样适用于其他外设引导。

8.6.3 器件引导配置

该器件支持 0 个引导模式选择引脚到最多 3 个引导模式选择引脚，以及 1 种配置的引导模式到最多 8 种配置的引导模式。

要更改器件并将其从默认设置配置为适合具体应用程序的自定义设置，请执行以下步骤：

1. 确定您希望应用程序能够引导的所有各种方式（例如：用于主应用程序的闪存引导的初级引导选项、用于固件更新的 CAN 引导的次级引导选项、用于调试的 SCI 引导的三级引导选项，等等）。
2. 根据所需引导模式的数量，确定需要多少个引导模式选择引脚 (BMSP) 来在所选的引导模式之间进行选择（例如：需要 2 个 BMSP 来在 3 个引导模式选项之间进行选择）。
3. 将所需的 BMSP 分配到物理 GPIO 引脚（例如，BMSP0 到 GPIO50，BMSP1 到 GPIO51，BMSP2 保留为默认禁用状态）。有关执行这些配置的详细信息，请参阅 *TMS320F2838x 实时微控制器技术参考手册* 的“为 CPU1 配置引导模式引脚”一节。
4. 将确定的引导模式定义分配给自定义引导表中与 BMSP 的解码值相关的索引（例如，BOOTDEF0 = 引导至闪存，BOOTDEF1 = 引导，BOOTDEF2 = SCI 引导；所有其他 BOOTDEFx 保留为默认值/无）。有关设置和配置自定义引导模式表的详细信息，请参阅 *TMS320F2838x 实时微控制器技术参考手册* 的“为 CPU1 配置引导模式表选项”一节。

有关如何配置 BMSP 和自定义引导表的示例用例，请参阅 *TMS320F2838x 实时微控制器技术参考手册* 的“引导模式示例用例”一节。

8.6.4 CPU1 的 GPIO 分配

本节详细介绍了用于在位于 Z1-OTP-BOOTDEF-LOW/Z2-OTP-BOOTDEF-LOW 和 Z1-OTP-BOOTDEF-HIGH/Z2-OTP-BOOTDEF-HIGH 的 BOOT_DEF 存储器位置中设置每个 CPU1 引导模式的 GPIO 和引导选项值。请参阅 *TMS320F2838x 实时微控制器技术参考手册* 的“为 CPU1 配置引导模式表选项”一节，了解如何配置 BOOT_DEF。选择引导模式选项时，请确认所用特定器件封装的引脚多路复用选项中提供了必要的引脚。

备注

这些配置仅适用于 CPU1。有关配置 CPU2 和 CM 引导模式的详细信息，请参阅 *TMS320F2838x 实时微控制器技术参考手册* 的“引导 CPU2 和 CM”一节。

表 8-21. SCI 引导选项

选项	BOOTDEF 值	SCITXDA GPIO	SCIRXDA GPIO
0（默认值）	0x01	GPIO29	GPIO28
1	0x21	GPIO84	GPIO85
2	0x41	GPIO36	GPIO35
3	0x61	GPIO42	GPIO43
4	0x81	GPIO65	GPIO64
5	0xA1	GPIO135	GPIO136
6	0xC1	GPIO8	GPIO9

表 8-22. CAN 引导选项

选项	BOOTDEF 值	CANTXA GPIO	CANRXA GPIO
0（默认值）	0x02	GPIO37	GPIO36
1	0x22	GPIO71	GPIO70
2	0x42	GPIO63	GPIO62
3	0x62	GPIO19	GPIO18
4	0x82	GPIO4	GPIO5
5	0xA2	GPIO31	GPIO30

表 8-23. I2C 引导选项

选项	BOOTDEF 值	SDAA GPIO	SCLA GPIO
0	0x07	GPIO91	GPIO92
1	0x27	GPIO32	GPIO33
2	0x47	GPIO42	GPIO43
3	0x67	GPIO0	GPIO1
4	0x87	GPIO104	GPIO105

表 8-24. USB 引导选项

选项	BOOTDEF 值	USBDM GPIO	USBDP GPIO
0（默认值）	0x09	GPIO42	GPIO43

表 8-25. RAM 引导选项

选项	BOOTDEF 值	RAM 入口点（地址）
0	0x05	0x0000 0000

Copyright © 2023 Texas Instruments Incorporated

表 8-26. 闪存引导选项

选项	BOOTDEF 值	闪存入口点（地址）	闪存扇区
0（默认值）	0x03	0x0008 0000	CPU1 存储体 0 扇区 0
1	0x23	0x0008 8000	CPU1 存储体 0 扇区 4
2	0x43	0x000A 8000	CPU1 存储体 0 扇区 8
3	0x63	0x000B E000	CPU1 存储体 0 扇区 13

表 8-27. 安全闪存启动选项

选项	BOOTDEF 值	闪存入口点（地址）	闪存扇区
0	0x0A	0x0008 0000	CPU1 存储体 0 扇区 0
1	0x2A	0x0008 8000	CPU1 存储体 0 扇区 4
2	0x4A	0x000A 8000	CPU1 存储体 0 扇区 8
3	0x6A	0x000B E000	CPU1 存储体 0 扇区 13

表 8-28. 等待引导选项

选项	BOOTDEF 值	看门狗
0	0x04	被启用
1	0x24	禁用

表 8-29. SPI 引导选项

选项	BOOTDEF 值	SPISIMOA	SPISOMIA	SPICLKA	SPISTEA
0	0x06	GPIO58	GPIO59	GPIO60	GPIO61
1	0x26	GPIO16	GPIO17	GPIO18	GPIO19
2	0x46	GPIO32	GPIO33	GPIO34	GPIO35
3	0x66	GPIO16	GPIO17	GPIO56	GPIO57
4	0x86	GPIO54	GPIO55	GPIO56	GPIO57

表 8-30. 并行引导选项

选项	BOOTDEF 值	D0-D7 GPIO	DSP 控制 GPIO	主机控制 GPIO
0（默认值）	0x0	D0 - GPIO89	GPIO91	GPIO92
		D1 - GPIO90		
		D2 - GPIO58		
		D3 - GPIO59		
		D4 - GPIO60		
		D5 - GPIO61		
		D6 - GPIO62		
		D7 - GPIO88		

8.7 双代码安全模块 (DCSM)

双代码安全模块 (DCSM) 是该器件中包含的安全特性。它可防止未经授权的人员访问和查看片上安全存储器（和其他安全资源）。它还可防止对专有代码进行复现和反向工程。“安全”一词的意思是阻止对片上安全存储器和资源的访问。“不安全”一词的意思是允许进行该访问；也就是说，可以通过任何方法（例如，通过诸如 Code Composer Studio™ 之类的调试工具）读取存储器的内容。

有两个安全区域：Zone1 (Z1) 和 Zone2 (Z2)。与之前每个 CPU 子系统都有两个安全区域的 C2000 器件不同，在此器件上，两个安全区域由每个 CPU 子系统共享。这意味着来自每个 CPU 子系统的安全资源会分配给 Zone1 或 Zone2。所有安全配置仅由 CPU1 子系统进行控制（在 CPU1 用户 OTP 中进行编程），但其他 CPU 子系统可以通过自己的存储器映射寄存器访问这些配置。

每个区域的安全性都由自身的 128 位密码（CSM 密码）确保。每个区域的密码根据区域专用链接指针存储在 CPU1 用户 OTP 存储器位置中。可以更改链接指针值，以在 OTP 中编程一组不同的安全设置（包括密码）。

Code Security Module Disclaimer

本器件所包含的代码安全模块 (CSM) 旨在对存储在相关存储器中的数据进行密码保护，并且由德州仪器 (TI) 根据其标准条款和条件保证以符合 TI 发布的适用于本器件的保修期规范。

然而，TI 不保证或承诺 CSM 不会受到损坏或破坏，也不保证或承诺存储在相关存储器中的数据不能通过其他方式访问。此外，除上述内容外，TI 也未对本器件的 CSM 或运行做任何保证或表示，包括对适销性或特定用途适用性的任何暗示保证。

在任何情况下，TI 对以任何方法使用 CSM 或本器件产生的任何必然、特殊、间接、偶然或惩罚性损害概不负责，无论 TI 是否已告知上述损害。排除的损害包括但不限于数据丢失、信誉损失、使用损失、业务中断或其他经济损失。

Copyright © 2023 Texas Instruments Incorporated

8.8 C28x (CPU1/CPU2) 子系统

8.8.1 C28x 处理器

CPU 是 32 位定点处理器。该器件借鉴了数字信号处理的最佳特性；精简指令集计算 (RISC)；以及微控制器架构、固件和工具集。

CPU 的特性包含修改后的 Harvard 架构和循环寻址。RISC 特性是单周期指令执行、寄存器到寄存器操作和修改后的 Harvard 架构。微控制器特性包含通过直观的指令集、字节打包和解包以及位操作来实现易用性。CPU 修改后的 Harvard 架构使指令和数据获取能够并行执行。CPU 可以读取指令和数据，同时写入数据以在整个流水线中保持单周期指令操作。CPU 通过六条独立的地址/数据总线完成此操作。

有关 CPU 架构和指令集的更多信息，请参阅 *TMS320C28x CPU 和指令集参考指南*。有关 C28x 浮点单元 (FPU)、三角函数加速器和循环冗余校验 (VCRC) 指令集的更多信息，请参阅 *TMS320C28x 扩展指令集技术参考手册*。此处提供了 FPU、TMU 和 VCRC 的简要概述。

8.8.1.1 浮点单元

C28x 加浮点 (C28x+FPU64) 处理器通过增加支持 IEEE 单精度和双精度浮点运算的寄存器和指令来扩展 C28x 定点 CPU 的功能。

具有 C28x+FPU64 的器件包含标准 C28x 寄存器集以及一组额外的浮点单元寄存器。额外的浮点单元寄存器如下：

- 八个浮点结果寄存器，RnH（其中 n=0 – 7）
- 浮点状态寄存器 (STF)
- 重复块寄存器 (RB)

除重复块寄存器外，所有浮点寄存器都被隐藏。这种隐藏可用于高优先级中断，以实现浮点寄存器的快速上下文保存和恢复。

8.8.1.2 三角函数加速器

TMU 通过增加指令和利用可加速执行常见三角函数和表 8-31 中所列算术运算的现有 FPU 指令来扩展 C28x+FPU64 的功能。

表 8-31. TMU 支持的指令

指令	C 等效运算	流水线周期
MPY2PIF32/64 RaH,RbH	a = b * 2 π	2/3
DIV2PIF32/64 RaH,RbH	a = b / 2 π	2/3
DIVF32/64 RaH,RbH,RcH	a = b/c	5
SQRTF32/64 RaH,RbH	a = sqrt(b)	5
SINPUF32/64 RaH,RbH	a = sin(b*2 π)	4
COSPUF32/64 RaH,RbH	a = cos(b*2 π)	4
ATANPUF32/64 RaH,RbH	a = atan(b)/2 π	4
QUADF32/64 RaH,RbH,RcH,RdH	用于协助计算 ATANPU2 的运算	5

对现有指令、流水线或内存总线架构均未做任何更改。所有 TMU 指令都使用现有的 FPU 寄存器集（R0H 至 R7H）来执行运算。

8.8.1.3 快速整数除法单元

C28x CPU 的快速整数除法 (FINTDIV) 单元独特地支持三种类型的整数除法（截断、模数、欧几里德），这些整数除法具有不同的数据类型大小（16/16、32/16、32/32、64/32、64/64），采用无符号或有符号格式。

- C 语言天然支持截断整数除法（/、% 运算符）。
- 模数除法和欧几里德除法是更高效的控制算法，并受 C 内在函数支持。

所有三种类型的整数除法都会产生商和余数分量，具有可中断特性，并在最小数量的确定性周期内执行（32/32 除法为 10 个周期）。此外，C28x CPU 的快速除法功能独特地支持浮点 32 位（5 个周期内）和 64 位（20 个周期内）除法的快速执行。

更多有关快速整数除法的信息，请参阅*快速整数除法 – C2000™ 产品系列特性应用报告*。

8.8.1.4 VCRC 单元

循环冗余校验 (CRC) 算法提供了一种简单的方法来验证大型数据块、通信数据包或代码段上的数据完整性。C28x+VCRC 可执行 8 位、16 位、24 位和 32 位 CRC。例如，VCRC 可以在 10 个周期内计算出块长度为 10 字节的 CRC。 CRC 结果寄存器包含当前 CRC,每次执行 CRC 指令时,该 CRC 都会更新。

以下是 VCRC 的 CRC 计算逻辑使用的 CRC 多项式：

- CRC8 多项式 = 0x07
- CRC16 多项式 1 = 0x8005
- CRC16 多项式 2 = 0x1021
- CRC24 多项式 = 0x5d6dcb
- CRC32 多项式 1 = 0x04c11db7
- CRC32 多项式 2 = 0x1edc6f41

该模块可以在单个周期内为一个字节的数据计算 CRC。CRC8、CRC16、CRC24 和 CRC32 的 CRC 计算是按字节完成的（而不是计算 C28x 内核读取的完整 16 位或 32 位数据），以便与各种标准规定的按字节计算要求保持一致。

VCRC 单元还允许用户提供任何多项式的大小 (1b-32b) 和值，来满足自定义 CRC 要求。使用自定义多项式时，CRC 执行时间会增加到三个周期。

Copyright © 2023 Texas Instruments Incorporated

8.8.2 嵌入式实时分析和诊断 (ERAD)

ERAD 模块增强了器件的调试和系统分析功能。ERAD 模块提供的调试和系统分析增强功能在 CPU 之外完成。ERAD 模块由增强型总线比较器单元和系统事件计数器单元组成。

- 增强型总线比较器单元用于生成硬件断点、硬件观察点和其他输出事件。
- 系统事件计数器单元用于分析和评测系统。ERAD 模块可由调试器和应用软件访问。

这显著提高了许多实时系统的调试功能。在 TMS320F2838x 器件中，ERAD 模块包含八个增强型总线比较器单元（将硬件断点数量从 2 个增加到 10 个）和四个系统事件计数器单元。图 8-2 展示了 ERAD 模块。

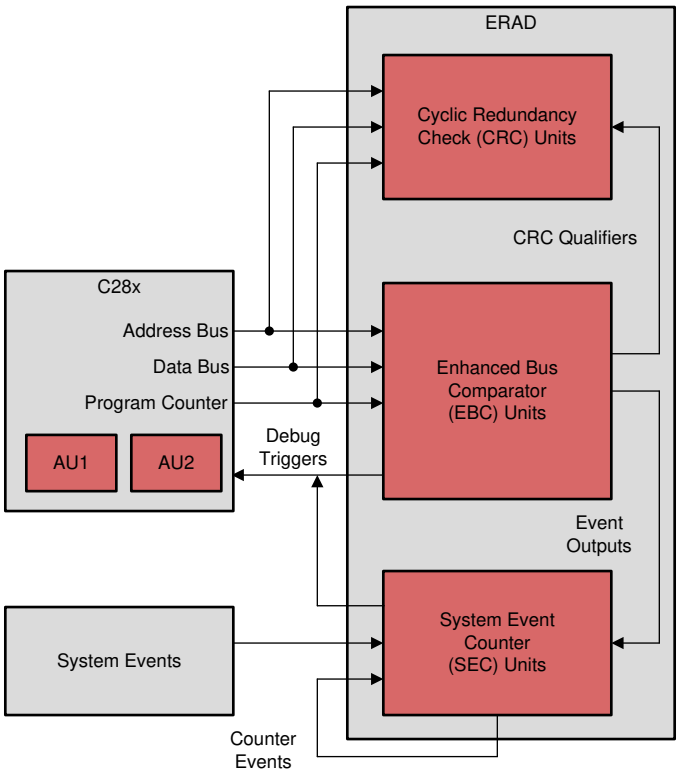


图 8-2. ERAD 概览

8.8.3 背景 CRC-32 (BGCRC)

背景 CRC (BGCRC) 模块在可配置的存储器块上计算 CRC-32。这是通过在 CPU、CLA 或 DMA 不存取指定的存储块的空闲周期中获取该存储块来实现的。计算出的 CRC-32 值与黄金 CRC-32 值进行比较以指示通过还是未通过。本质上，BGCRC 有助于识别内存故障和损坏。每个 CPU 子系统有两个 BGCRC 模块（CPU_CRC 和 CLA_CRC）。这两个 BGCRC 模块仅在它们测试的存储器上有所不同。

BGCRC 模块具有以下特性：

- 关于 32 位数据的一个周期 CRC-32 运算
- 对于零等待状态存储器，CPU 带宽不受影响
- 对非零等待状态存储器，CPU 带宽受到的影响极小
- 双工作模式（CRC-32 模式和清理模式）
- 通过看门狗计时器对 CRC-32 完成时间进行计时
- 能够暂停和恢复 CRC-32 计算

图 8-3 展示了 BGCRC 模块的存储器映射。

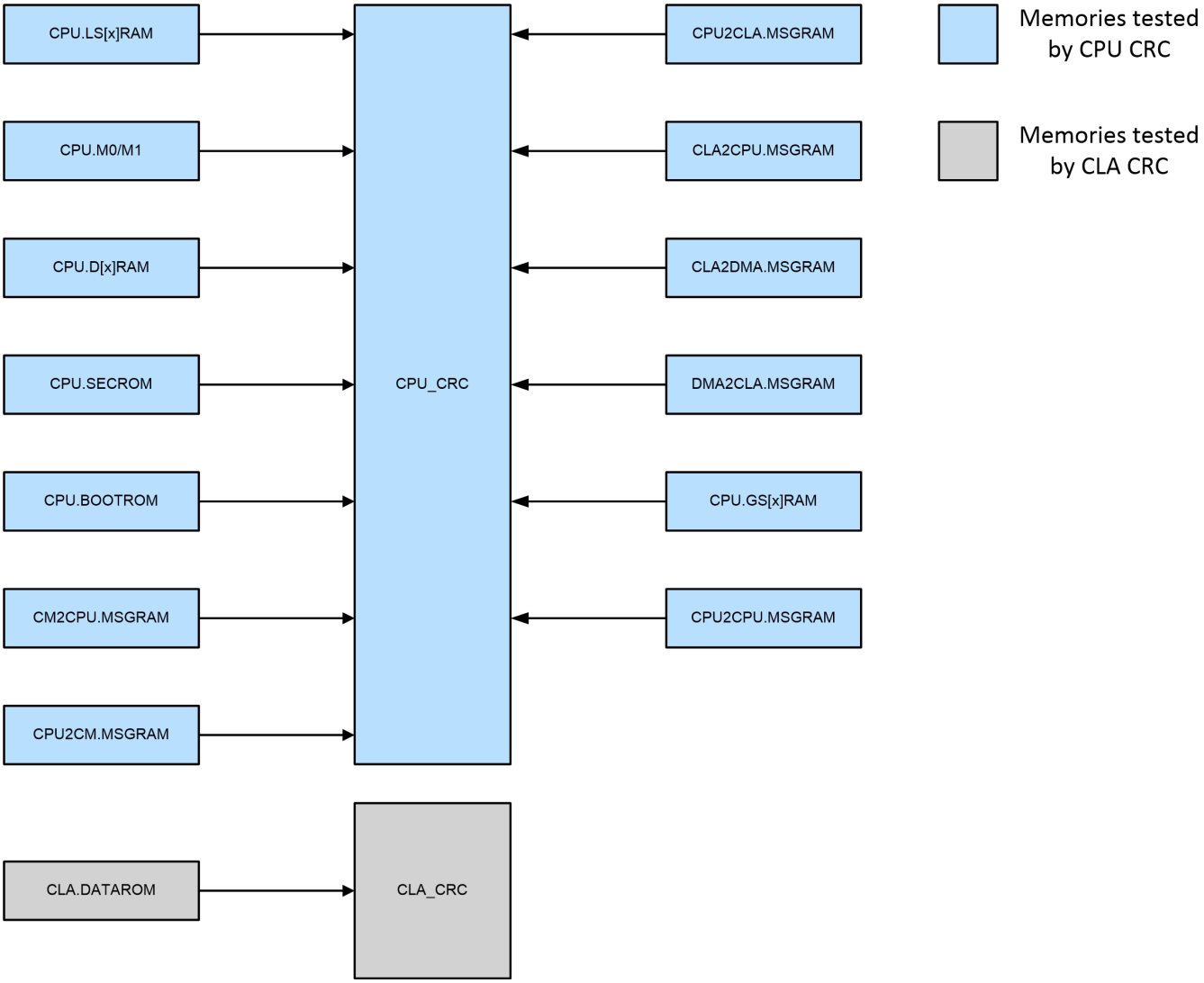


图 8-3. BGCRC 存储器映射

Copyright © 2023 Texas Instruments Incorporated

8.8.4 控制律加速器 (CLA)

CLA 2 类是一款独立、完全可编程的 32 位浮点数学处理器，为 C28x 系列实现了并发控制环路执行。CLA 的低中断延迟使其能够“及时”读取 ADC 样本。这显著降低了 ADC 采样到输出延迟，从而实现了更快的系统响应和更高频率的控制环路。通过利用 CLA 为时间关键型控制环路提供服务，可腾出主 CPU 来执行其他系统任务，如通信和诊断。

控制律加速器通过添加并行处理来扩展 C28x CPU 的功能。CLA 处理的时间关键控制环路可实现低 ADC 采样输出延迟。因此，CLA 支持更快速的系统响应和可高频率的控制环路。将 CLA 用于时间关键型任务可释放主 CPU 以同时执行其他系统和通信功能。

以下是 CLA 主要特性的列表。

- 可使用 C 语言编译器进行 CLA 软件开发。
- 时钟速率与主 CPU 一致 (SYSCLKOUT)。
- 一个独立的架构使得 CLA 能够独立于主 C28x CPU 之外执行算法。
  - 完整的总线架构：
    - 程序地址总线 (PAB) 和程序数据总线 (PDB)
    - 数据读取地址总线 (DRAB)、数据读取数据总线 (DRDB)、数据写入地址总线 (DWAB) 和数据写入数据总线 (DWDB)
  - 独立的 8 级流水线
  - 16 位程序计数器 (MPC)
  - 四个 32 位结果寄存器（MR0 至 MR3）
  - 两个 16 位辅助寄存器（MAR0、MAR1）
  - 状态寄存器 (MSTF)
- 指令集包括：
  - IEEE 单精度（32 位）浮点数学运算
  - 涉及并行载入或者存储的浮点数学
  - 涉及并行加法或者减法的浮点乘法
  - 1/X 和 1/sqrt(X) 估值
  - 数据类型转换
  - 条件分支指令和调用
  - 数据载入/存储操作
- CLA 程序代码可包含多达 8 个任务或中断处理例程，或者 7 个任务和一个主后台任务。
  - 每一个任务的起始地址由 MVECT 寄存器指定。
  - 只要任务适合可配置的 CLA 程序内存空间，任务大小就没有限制。
  - 每次处理并完成一个任务。无任务嵌套。
  - 任务完成时，在 PIE 内标志一个任务专用中断。
  - 当一个任务结束时，下一个具有最高优先级的等待任务自动开始。
  - 2 类 CLA 可以有一个在后台连续运行的主任务，而其他高优先级事件则触发前台任务。
- 任务触发机制：
  - 借助于 IACK 指令的 C28x CPU
  - 任务 1 到任务 8：最多 256 个可能的触发源，来自连接到共享总线的外设，CLA 在共享总线上承担二级所有权
  - 任务 8 可以设置为后台任务，而任务 1 至 7 采用外设触发。

- 内存和共用外设：
  - 两个专用消息 RAM 用于 CLA 和主 CPU 间的通信。
  - 两个专用消息 RAM 用于 CLA 和 DMA 间的通信。
  - C28x CPU 能够将 CLA 程序和数据存储器映射到主 CPU 空间或者 CLA 空间。

图 8-4 显示了 CLA 功能方框图。

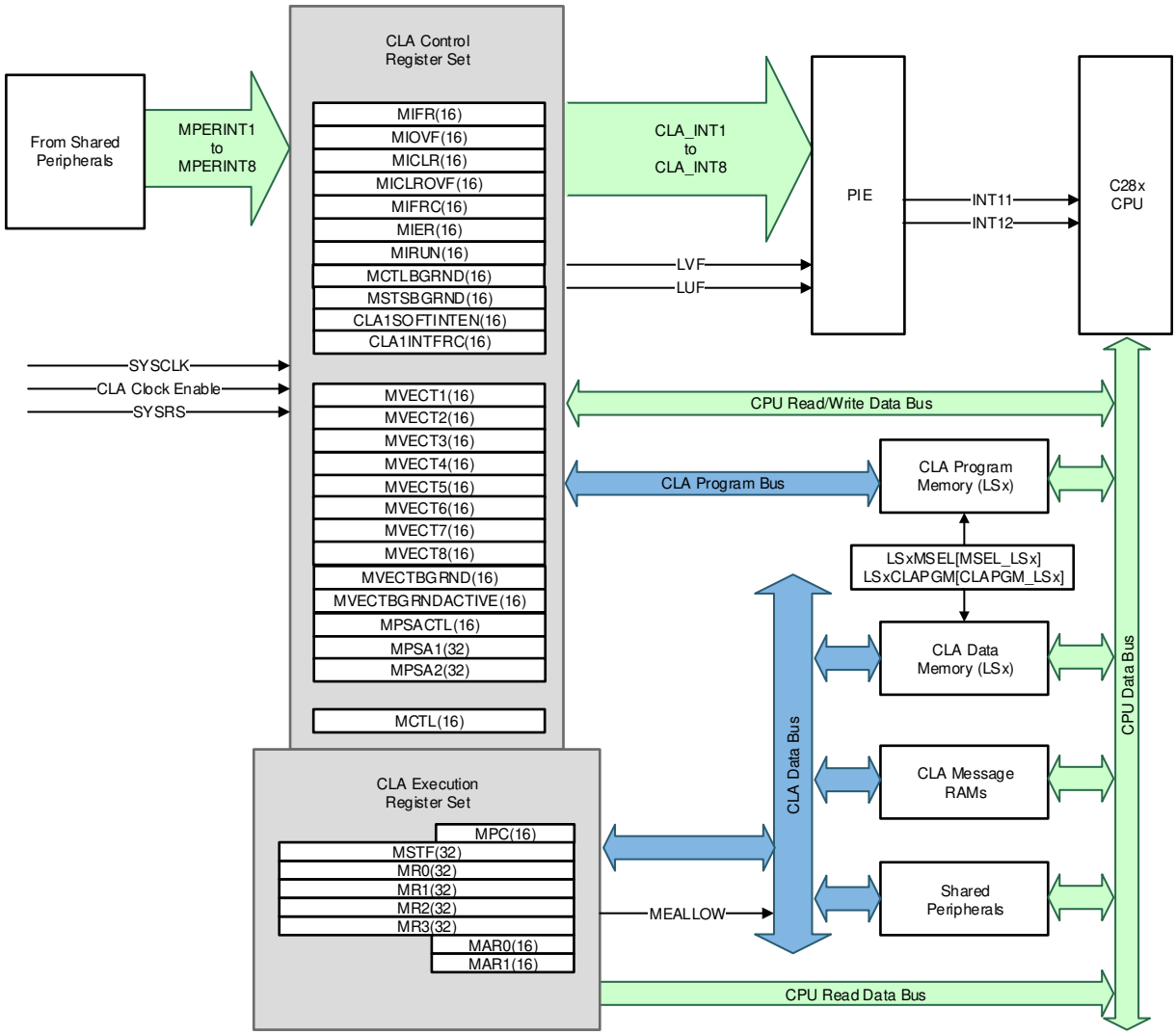


图 8-4. CLA 方框图

Copyright © 2023 Texas Instruments Incorporated

8.8.5 直接存储器访问 (DMA)

每个 CPU 都有自身的 6 通道 DMA 模块。DMA 模块提供了一种在外设和/或存储器之间传输数据的硬件方法，无需 CPU 干预，从而为其他系统功能释放带宽。此外，DMA 还能够在数据传输时对其进行正交重排，以及在缓冲器之间对数据执行“乒乓”操作。这些特性对于将数据结构化为模块以实现最优 CPU 处理非常有用。

DMA 模块是基于事件的机器，这意味着，该模块需要借助外设或软件触发才能启动 DMA 传输。尽管可以通过配置计时器作为 DMA 触发源使其成为定期时间驱动机器，但模块本身并没有机制来定期启动存储器传输。DMA 模块有六个可单独配置的独立 DMA 通道。每个通道都包含自己的独立 PIE 中断，以便让 CPU 知道 DMA 传输的开始或结束时间。6 个通道中的 5 个通道完全相同，只有通道 1 能够配置成优先级高于其他通道。DMA 的核心是状态机和紧密耦合的地址控制逻辑。正是这种地址控制逻辑允许在传输期间重新排列数据块以及缓冲区之间的循环数据处理。

DMA 特性包括：

- 六个具有独立 PIE 中断的通道
- 可从多个外设触发源独立触发每个 DMA 通道。
- 字大小：16 位或 32 位（SPI 限制到 16 位）
- 数据率：3 个周期/字，无仲裁

图 8-5 显示了 DMA 的器件级方框图。

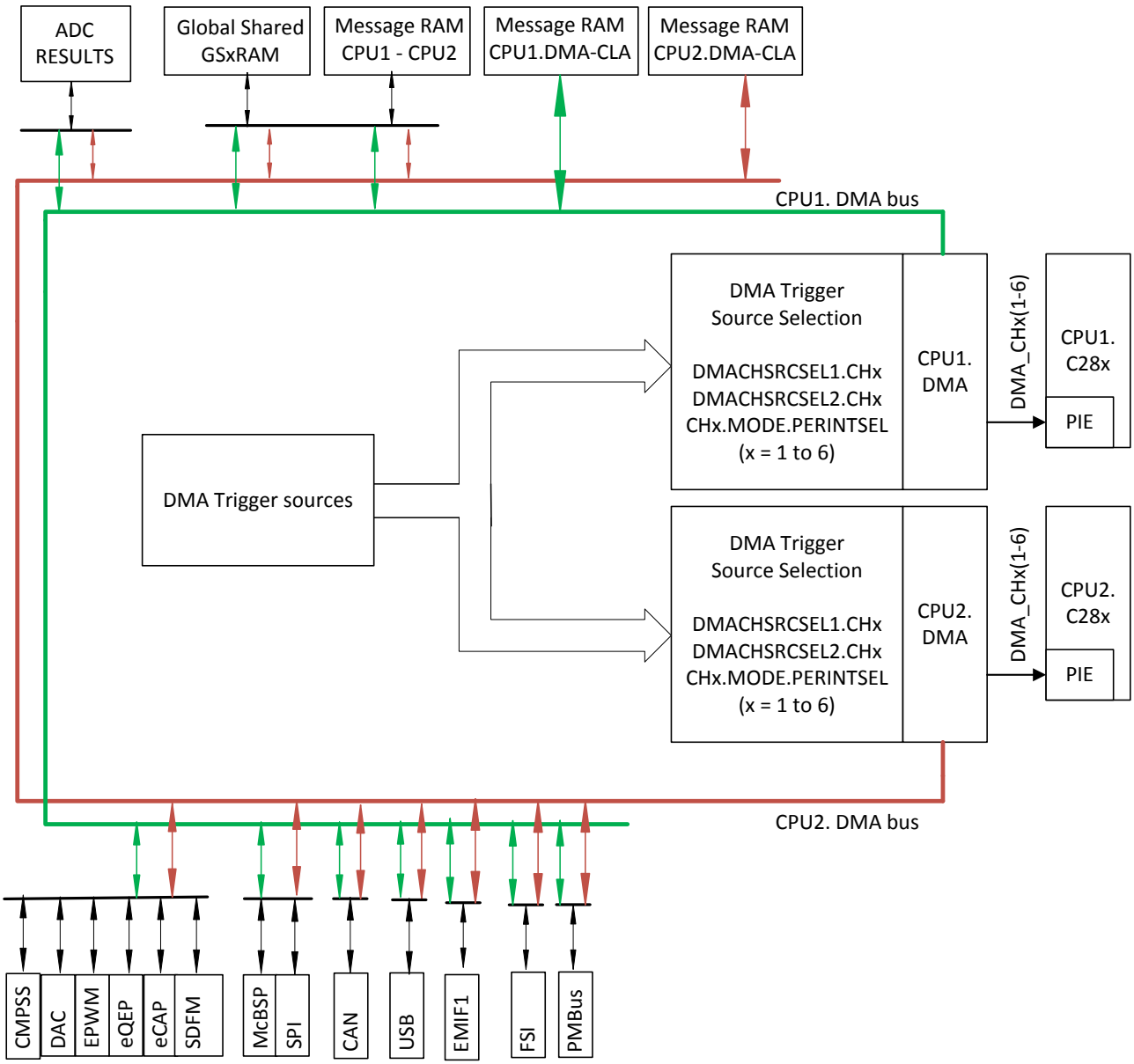


图 8-5. DMA 方框图

Copyright © 2023 Texas Instruments Incorporated

8.8.6 处理器间通信 (IPC) 模块

处理器间通信 (IPC) 模块可实现 CPU 子系统之间的通信。

IPC 的特性包括：

- 消息 RAM
- IPC 标志和中断
- IPC 命令寄存器
- 闪存泵信标
- 时钟配置信标
- 自由运行的计数器

所有 IPC 特性彼此独立，大多数不需要任何特定的数据格式。还有两个用于引导模式和状态通信的寄存器。有关这些寄存器的更多信息，请参阅 *TMS320F2838x 实时微控制器技术参考手册* 的“ROM 代码和外设引导”一章。

该器件具有三个内核 [一个 Cortex-M4 内核和两个 C28x 内核（CPU1、CPU2）] 和三个不同的 IPC 模块：

- CPU1_TO_CPU2 IPC 架构（请参阅图 8-6）
- CPUx_TO_CM IPC 架构（其中 x = 1、2）（请参阅图 8-7）

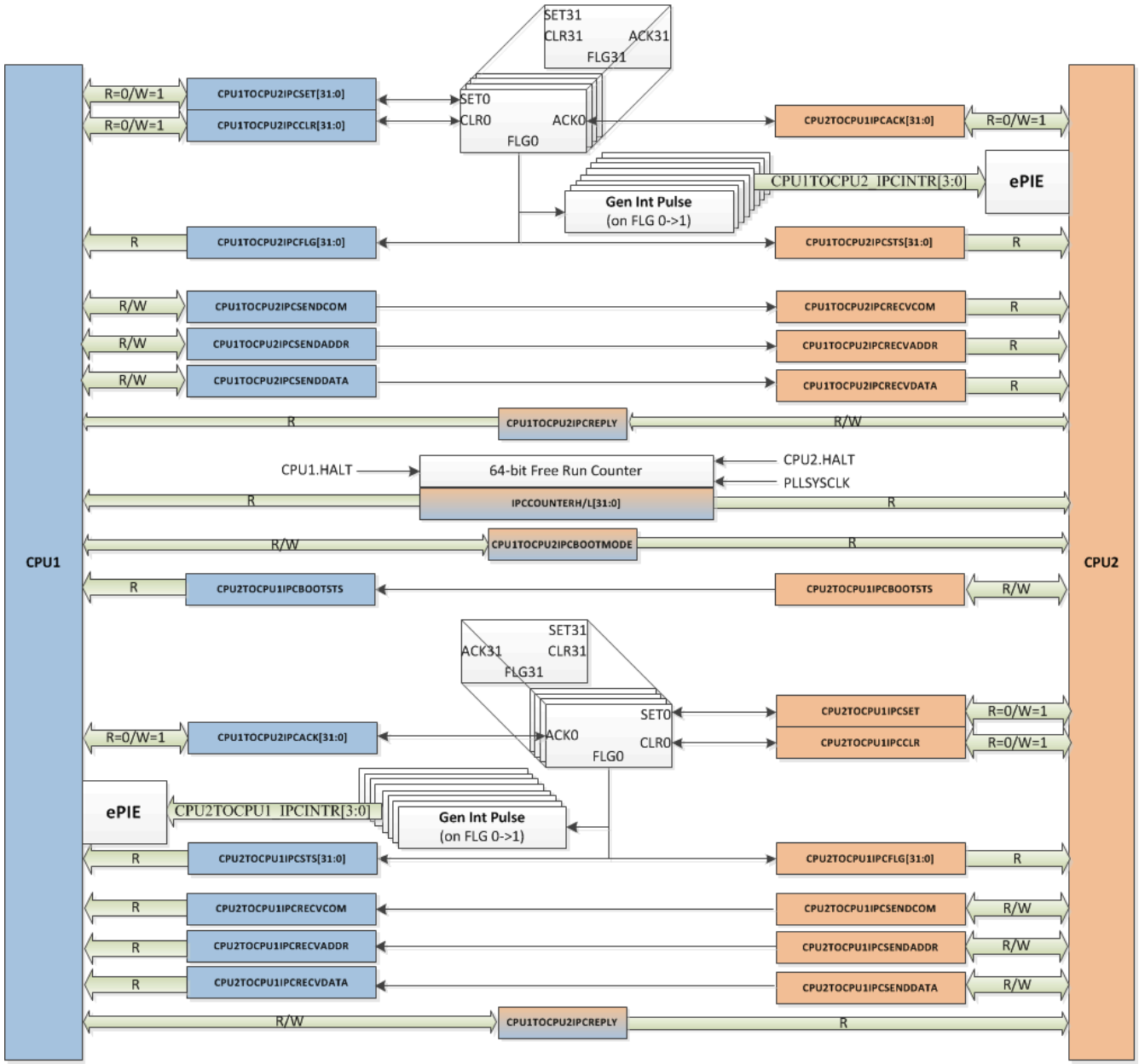


图 8-6. CPU1_TO_CPU2 IPC 模块

Copyright © 2023 Texas Instruments Incorporated

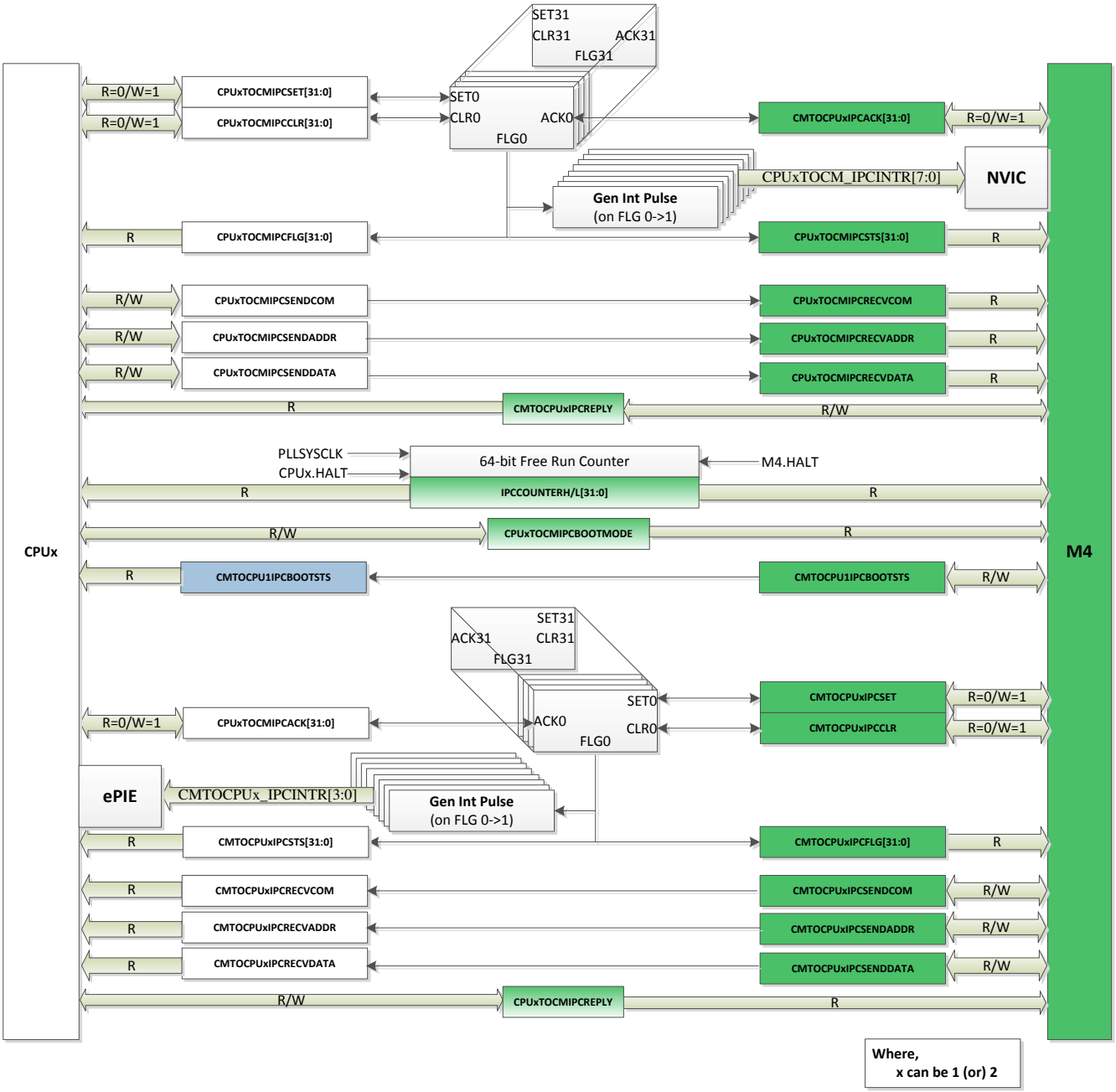


图 8-7. CPUx_to_CM IPC 模块

8.8.7 C28x 计时器

CPU 计时器 0，1，和 2 是完全一样的 32 位计时器，具有可预设定周期和 16 位时钟预分频。此计时器具有 32 位递减计数寄存器，该寄存器在计数器达到 0 时生成一中断。计数器以 CPU 时钟速度除以预分频值设置形式递减。当计数器达到 0 时，则自动重新加载 32 位周期值。

CPU 计时器 0 用于普通用途并连接至 PIE 块。CPU 计时器 1 也用于普通用途，并连接至 CPU 的 INT13。CPU 计时器 2 为 TI-RTOS 保留。该计时器连接至 CPU 的 INT14。如果未使用 TI-RTOS ，CPU 计时器 2 也可用于普通用途。

CPU 计时器 2 可由下列任一器件计时：

- SYSCLK（默认）
- 内部零引脚振荡器 1 (INTOSC1)
- 内部零引脚振荡器 2 (INTOSC2)
- X1 (XTAL)
- AUXPLLCLK

8.8.8 双路时钟比较器 (DCC)

该器件上有三个双路时钟比较器（DCC0、DCC1 和 DCC2）。所有三个 DCC 只能通过 CPU1 访问。DCC 模块用于根据第二个时钟评估和监测时钟输入，第二个时钟可以是更准确和可靠的版本。该仪器用于检测时钟源或时钟结构中的故障，从而增强系统的安全性指标。

8.8.8.1 特性

DCC 具有以下特性：

- 允许应用确保两个时钟信号的频率之间保持固定的比率。
- 支持根据参考时钟周期数定义可编程公差窗口。
- 支持连续监视，而无需应用干预。
- 支持单序列模式进行点测量。
- 允许为每个计数器选择一个时钟源，从而产生几种特定的用例。

8.8.8.2 DCCx（DCC0、DCC1 和 DCC2）时钟源输入映射

表 8-32. DCCx 时钟源 0 表

DCCxCLKSRC0[3:0]	时钟名称
0x0	XTAL/X1
0x1	INTOSC1
0x2	INTOSC2
0x5	CPU1.SYSCLK
0x6	CPU2.SYSCLK
0xC	INPUT XBAR（输入 xbar 的输出 16）
其它	保留

Copyright © 2023 Texas Instruments Incorporated

表 8-33. DCCx 时钟源 1 表

DCCxCLKSRC1[4:0]	时钟名称
0x0	PLLRAWCLK
0x1	AUXPLLRAWCLK
0x2	INTOSC1
0x3	INTOSC2
0x5	CMCLK
0x6	CPU1.SYSCLK
0x7	以太网 RX 时钟 (ENET_MII_RX_CLK)
0x8	CPU2.SYSCLK
0x9	输入 XBAR（输入 xbar 的输出 15）
0xA	AUXCLKIN
0xB	EPWMCLK
0xC	LSPCLK
0xD	Ethercat MII0 RX 时钟 (ESC_RX0_CLK)
0xE	WDCLK
0xF	CAN0BITCLK
0x17	Ethercat MII1 RX 时钟 (ESC_RX1_CLK)
其它	保留

8.8.9 带有看门狗计时器的非可屏蔽中断 (NMIWD)

NMIWD 模块用于处理系统级错误。每个 CPU 都有一个 NMIWD 模块。监测的条件为：

- 由于振荡器故障导致系统时钟丢失
- CPU 访问闪存时出现不可纠正的 ECC 错误
- CPU、CLA 或 DMA 访问 RAM 时出现不可纠正的 ECC 错误或奇偶校验错误
- CPU 访问 ROM 时出现奇偶校验错误
- 另一个 CPU 上的矢量获取错误
- 来自 BGCRC 模块的 CRC 故障错误
- 来自 EtherCAT 主站的复位请求或访问 EtherCAT RAM 时出现不可纠正的错误
- CPU1/CPU2 HWBIST 错误
- 来自 ERAD 模块的 NMI
- 仅 CPU1：看门狗或 NMI 看门狗在 CPU2 上复位
- 仅 CPU1：CM 上的 NMIWD 复位（可配置）

如果 CPU 未对锁存错误条件做出响应，NMI 看门狗将在一个可编程时间间隔后触发复位。默认时间为 65536 个 SYSCLK 周期。

8.8.10 看门狗

该看门狗模块与之前的 TMS320C2000 器件上的模块相同，但针对计数器的软件复位之间的时间提供了一个可选的下限。默认情况下禁用此窗口倒计时，因此看门狗完全向后兼容。

看门狗生成复位或中断。看门狗使用可选分频器通过内部振荡器计时。

图 8-8 显示了看门狗模块内的各种功能块。

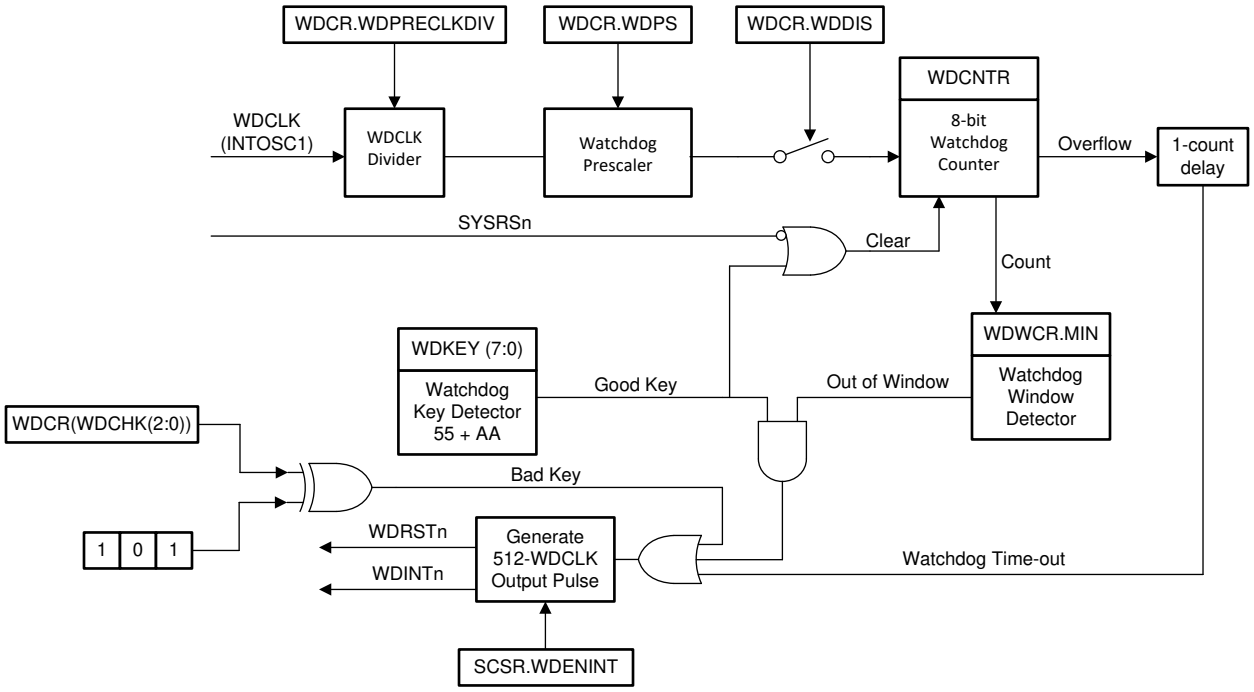


图 8-8. 窗口看门狗

Copyright © 2023 Texas Instruments Incorporated

8.8.11 可配置逻辑块 (CLB)

C2000 可配置逻辑块 (CLB) 是一组模块的集合，这些模块使用软件进行互连，以实现自定义数字逻辑功能或增强现有的片上外设。CLB 能够通过一组交叉开关互连来增强现有的外设，为现有的控制外设（例如增强型脉宽调制器 (ePWM)、增强型采集模块 (eCAP) 和增强型正交编码器脉冲模块 (eQEP)）提供高度连接性。交叉开关还允许将 CLB 连接到外部 GPIO 引脚。通过这种方式，CLB 可以配置为与器件外设交互以执行小型逻辑功能（例如比较器），或实现自定义串行数据交换协议。通过 CLB，原本需要使用外部逻辑器件实现的功能现在可在 MCU 内实现。

在正常运行情况下，CLB 外设的时钟频率源自器件 SYSCLK，并且可在 100MHz 的最大频率下运行。如果需要更高的频率，则可以启用 CLB 流水线模式，从而使 CLB 时钟能够在高达 150MHz 的频率下运行。（此流水线模式需要将 SYSCLK 降低至 150MHz 的最大频率以支持该 CLB 操作）。HLC 被视为 CLB 的一个组成部分，并具有一组相同的频率规则。工作频率不随同步器或边缘认证而变化。没有为 CLB 输入和输出提供延迟。是否需要打开输入端的同步器或流水线滤波器路径，完全取决于器件级联接表，其中的输入标记为需要同步或不需要同步。

CLB 外设是通过 CLB 工具进行配置的。有关 CLB 工具、可用示例、应用报告和用户指南的更多信息，请参阅 C2000Ware 软件包（C2000Ware_2_00_00_03 及更高版本）中的以下位置：

C2000WARE_INSTALL_LOCATION\utilities\clb_tool\clb_syscfg\doc

- **C2000WARE_INSTALL_LOCATION\utilities\clb_tool\clb_syscfg\doc**
- *CLB 工具用户指南*
- *“使用 C2000™ 可配置逻辑块 (CLB) 进行设计”应用报告*
- *“如何将自定义逻辑从 FPGA/CPLD 迁移到 C2000™ 微控制器”应用报告*

CLB 模块及其互连如图 8-9 所示。

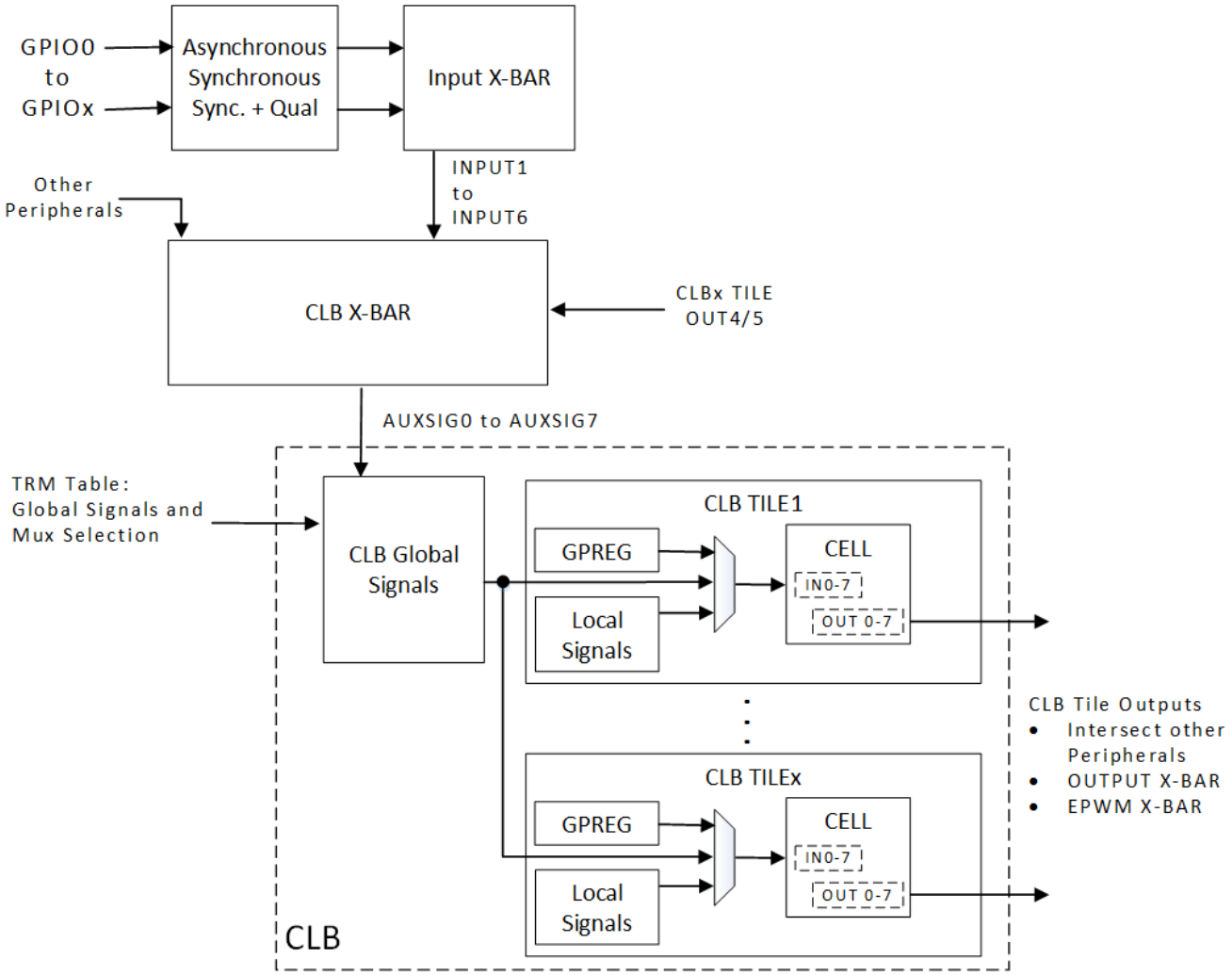


图 8-9. CLB 概述

绝对编码器协议接口现在作为 C2000Ware MotorControl SDK 中的 位置管理器 解决方案提供。C2000Ware MotorControl SDK 提供了此类解决方案的配置文件、应用程序接口 (API) 和使用示例。在某些解决方案中，TI 配置的 CLB 与其他片上资源（例如 SPI 端口或 C28x CPU）一起使用，以执行更复杂的功能。

Copyright © 2023 Texas Instruments Incorporated

8.9 连接管理器 (CM) 子系统

TMS320F2838x 支持双核 C28x 架构以及新的连接管理器子系统。CM 子系统基于业界通用的 32 位 Arm® Cortex®-M4 CPU，并且具有多种通信外设，其中包括 EtherCAT、以太网、USB、MCAN (CAN FD)、DCAN、UART、SSI、I2C 等等。CM 基于 125MHz Cortex-M4 架构，旨在实现高性能和灵活性，并提供各种集成存储器以及多个可编程 GPIO。

8.9.1 Arm Cortex-M4 处理器

Arm Cortex-M4 处理器作为一种高性能、低成本的平台，能够满足系统对于减小存储器、减少引脚数以及降低功耗的要求，与此同时，还能提供出色的计算性能和优越的系统中断响应能力。

Arm Cortex-M4 处理器具有以下特性：

- 针对小型嵌入式应用进行优化的 32 位 Arm Cortex-M4 架构
- Arm Cortex-M4 CPU 可在 125MHz 的最大频率下运行
- Arm® Thumb®-2 混合 16 位/32 位指令集提供 32 位 Arm 内核所能提供的高性能，但采用了通常在 8 位和 16 位器件中才会用到的更小存储器，特别是在微控制器级应用中采用的几千字节大小的存储器
  - 单周期乘法指令和硬件除法器
  - 精确的位操作（bit-banding），不仅最大限度的利用了存储器空间而且还改良了对外设的控制
  - 非对齐式数据访问，使数据能够更为有效的安置到存储器中
- 快速代码执行允许更低的处理器时钟和增加休眠模式时间
- Harvard 结构 - 将数据和指令所使用的总线进行了分离
- 高效的处理器内核，系统和存储器
- 对时间苛刻的应用提供可确定的, 高性能的中断处理
- 存储器保护单元为操作系统机能提供特权操作模式
- 增强的系统调试提供全方位的断点和跟踪能力

8.9.2 嵌套矢量中断控制器 (NVIC)

NVIC 将来自各种外设的中断多路复用到 CM 中断线路中。本质上，NVIC 是与 CM 等效的 PIE（外设中断扩展）。NVIC 支持的特性如下：

- 80 个中断。
- 每个中断的优先级均可编程，取值范围 0~7。优先级数字越大则其优先级越低，也就是说 0 代表最高优先级。
- 可实现异常及中断的快速响应处理。
- 中断信号可以是电平检测或脉冲检测。
- 动态重设中断优先级。
- 优先级可分组，划分为分组优先级域以及子优先级域。
- 支持咬尾中断。
- 外部不可屏蔽中断。

有关 NVIC 的更多信息，请参阅 *TMS320F2838x 实时微控制器技术参考手册* 的“嵌套矢量中断控制器 (NVIC)”一节。

8.9.3 高级加密标准 (AES) 加速器

AES 模块可基于二进制密钥提供硬件加速的数据加密和解密操作。AES 是一种对称的密码模块，支持用于加密和解密的 128 位、192 位或 256 位硬件密钥。AES 模块基于对称算法，这表示加密与解密密钥相同。加密数据意味着将数据从明文转换为难以理解的形式，即所谓密文。密文解密是将之前加密的数据转换回其原始形式，即明文。下面介绍了 AES 加速器的主要特性。

基本的 AES 加密和解密操作受到以下各项的支持：

- 带基本 GHASH 操作的伽罗瓦/计数器模式 (GCM)
- 带 CBC-MAC 的计数器模式 (CCM)
- XTS 模式

以下反馈工作模式可用：

- 电子源码书模式 (ECB)
- 密码块链接 (CBC)
- 计数器模式 (CTR)
- 密码反馈模式 (CFB)，128 位
- F8 模式
- 密钥大小：128、192 和 256 位
- 支持 CBC_MAC 和 Fedora 9 (F9) 验证模式
- 基本的 GHASH 操作（选择不加密时）
- 硬件中的密钥调度
- 支持 μDMA 传输
- 全同步设计

图 8-10 展示了 AES 方框图。

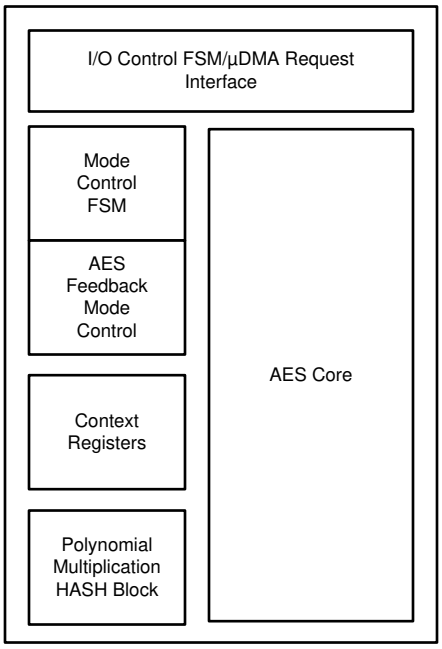


图 8-10. AES 方框图

有关 AES 加速器的更多信息，请参阅 *TMS320F2838x 实时微控制器技术参考手册* 的“高级加密标准加速器 (AES)”一章。

Copyright © 2023 Texas Instruments Incorporated

8.9.4 通用循环冗余校验 (GCRC) 模块

通用 CRC (GCRC) 是一个指定用于计算可配置存储器块上的 CRC 值的连接管理器模块。该模块通过获取指定的存储器块并使用集成的 CRC 引擎来实现这一目的。计算出的 CRC 值可与软件中的黄金 CRC 值进行比较以指示通过还是未通过。本质上，GCRC 可帮助识别连接管理器可访问的原始数据中的存储器故障和损坏情况。

通用 CRC (GCRC) 模块具有以下特性：

- 支持 1 到 32 之间任意顺序的可编程多项式
- 计算字节（8 位）、半字（16 位）和字（32 位）数据块的 CRC
- 定义源数据的字节序和数据类型
- 反转位顺序
- 选择哪些数据位参与 CRC 计算

图 8-11 展示了 GCRC 模块的方框图。

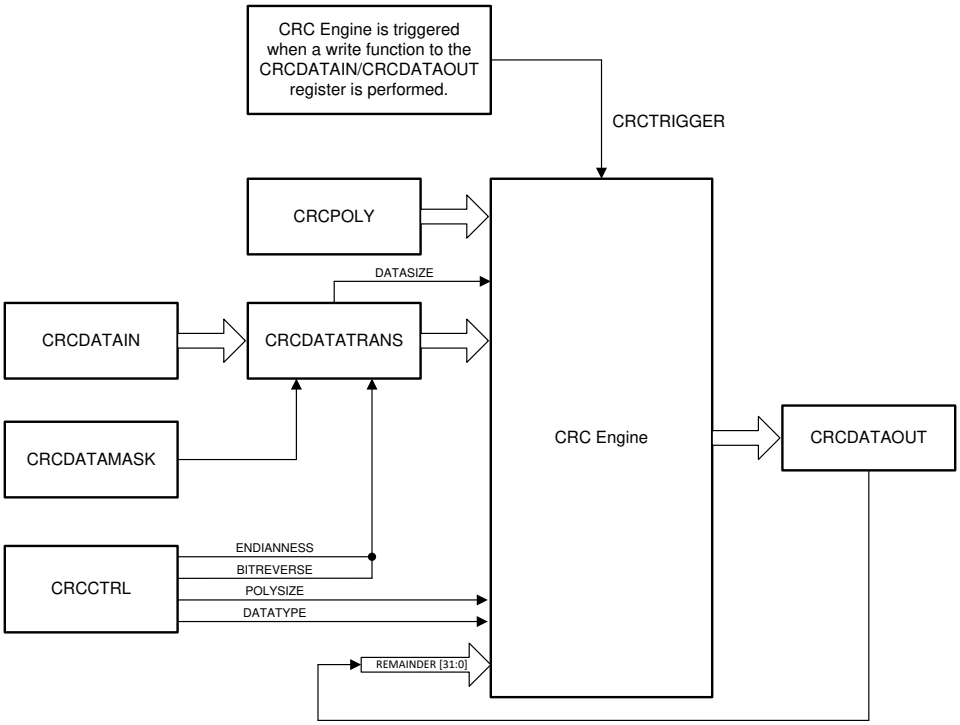


图 8-11. GCRC 方框图

8.9.5 CM 不可屏蔽中断 (CMNMI) 模块

CM 子系统能够检测整个系统（包括所有子系统）中可能发生的所有严重错误，并将这些错误告知主 CPU 内核。仅当至少一个或多个以下 NMI 错误源生效时，CM 子系统上的 Cortex-M4 CPU 才会生成 NMI 异常。有关每个 NMI 错误源的更多详细信息，请参阅 *TMS320F2838x 实时微控制器技术参考手册* 的“CM 子系统 NMI 源”一节。

1. RAM/ROM 不可纠正的错误
2. 来自 EtherCAT 的复位请求
3. 时钟故障
4. MCAN 不可纠正的错误
5. CM 窗口式看门狗超时
6. 闪存不可纠正的错误

所有这些 NMI 源进行“或”运算以生成 Cortex-M4 NVIC 的 NMI 输入。NMI 会触发以 CM 子系统频率运行的 CMNMIWD 计数器。仅当通过清除 CMNMIFLG 寄存器中的挂起标志确认了所有挂起的 NMI 时，CMNMIWD 计数器才会停止计数。如果在 CMNMIWD 计数器达到 NMI 看门狗周期寄存器 (CMNMIWDPRD) 中编程的值之前未确认挂起的 NMI，则会向 CM 子系统生成 NMIWD 复位以复位整个器件。

图 8-12 展示了可对 CM 子系统 Cortex-M4 触发 NMI 的不同源以及相关的寄存器。

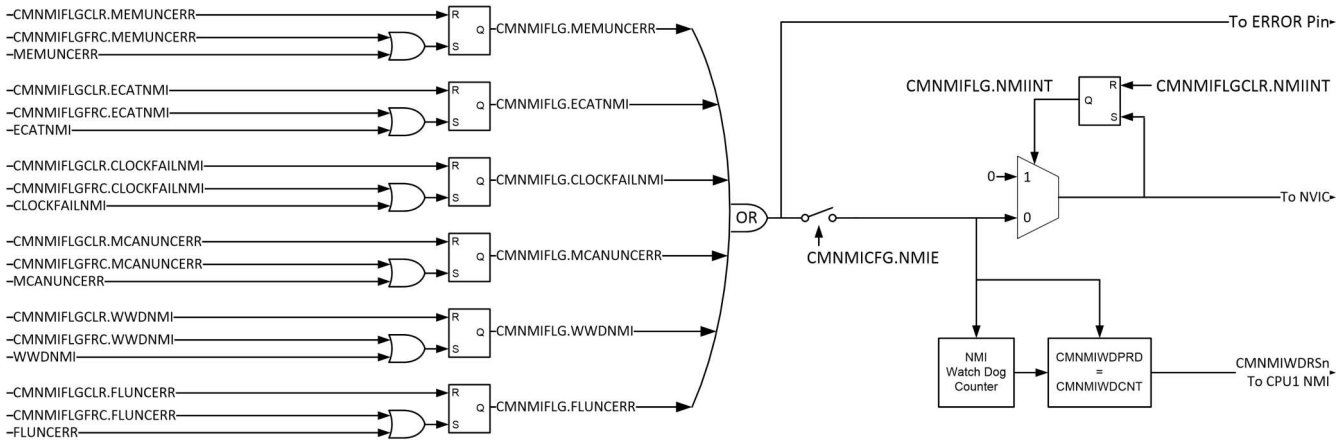


图 8-12. CM 子系统 NMI 源和 NMIWD

图 8-12 中显示的所有 NMI 源在复位时默认启用。CMNMICFG.NMIE 在复位时被禁用，需要通过将其设置为 1 来启用。

有关 CMNMI 的更多信息，请参阅 *TMS320F2838x 实时微控制器技术参考手册* 的“CM 子系统不可屏蔽中断 (CMNMI) 模块”一节。

Copyright © 2023 Texas Instruments Incorporated

8.9.6 存储器保护单元 (MPU)

CM 子系统具有多个访问存储器块和外设的主器件。以下是 CM 子系统上的主器件列表：

- Cortex-M4
- µDMA
- 以太网 DMA

在多主系统中，必须有一个保护机制来防止从不同主器件或线程对关键代码、数据或外设的未经授权访问。这种保护机制可以：

- 阻止进程或任务访问未分配给它的存储器。
- 防止 CM 子系统上的其他总线主器件意外损坏 Cortex-M4 代码。
- 防止 CM 系统上的其他总线主器件损坏堆栈。

Cortex-M4 具有提供此类保护功能的 ARM 本机 MPU (Cortex-M4 MPU)（请参阅 *ARM® Cortex®-M4 处理器技术参考手册* 的“存储器保护单元”一章）。对于其他主器件（µDMA 和以太网 DMA），提供了通用存储器保护单元 (CM-MPU)，用户可以根据用例对其进行配置以启用保护功能。基本上，为每个主器件提供了一个 MPU 来保护来自该主器件的访问。更多详细信息，请参阅 *TMS320F2838x 实时微控制器技术参考手册* 的“存储器控制器模块”一节。

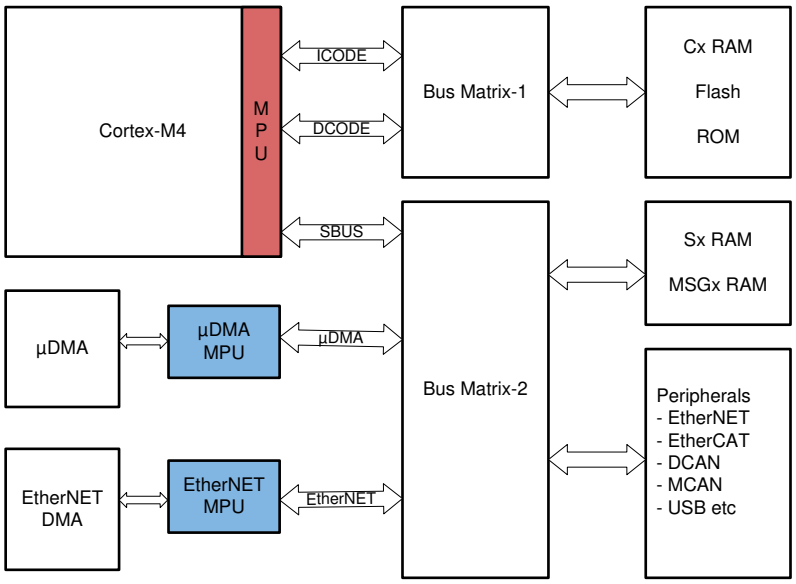


图 8-13. CM 方框图

8.9.7 微型直接存储器访问 (µDMA)

µDMA 控制器以某种方式减少 Arm Cortex-M4 处理器参与的数据传输任务，从而更加高效地使用处理器以及可用的总线带宽。µDMA 控制器能够执行存储器与外设之间的数据传输。它为每个支持的片上模块提供专用的通道，并且经编程可在外设准备好传输更多数据时自动执行外设和存储器之间的数据传输。

µDMA 控制器具有以下特性：

- Arm® PrimeCell® 32 通道可配置 µDMA 控制器
- 支持存储器到存储器、存储器到外设以及外设到存储器的多种传输模式：
  - 基本模式
  - Ping-pong 模式
  - 存储器散聚模式
  - 外设散聚模式
  - 自动请求模式
- 高度灵活的可配置的通道配置；
  - 各通道均可独立配置、独立操作
  - 每个支持 µDMA 功能的片上模块都有其专用通道
  - 灵活的通道分配
  - 对于双向模块，为其接收和发送各提供一个通道
  - 专用的软件通道，可由软件启动 µDMA 传输
  - 每通道都可分别配置优先级
  - 可选配置：任一通道均可用作软件启动传输
- 优先级分为两级；
- 支持 8 位、16 位或 32 位数据宽度
- 二进制步长为 1 到 1024 的可编程传输大小
- 源地址和目标地址可递增，递增单位可以是字节、半字、字或不递增
- 可屏蔽的外设请求
- 支持两个中断：
  - µDMA 软件中断：在软件通道完成所有传输时，µDMA 会产生中断
  - µDMA 错误中断：在 DMA 传输中检测到错误时，µDMA 会产生中断
- 由外设事件触发的 DMA 传输会在 DMA 完成所有传输时产生相应的外设中断。

图 8-14 展示了 µDMA 方框图。

Copyright © 2023 Texas Instruments Incorporated

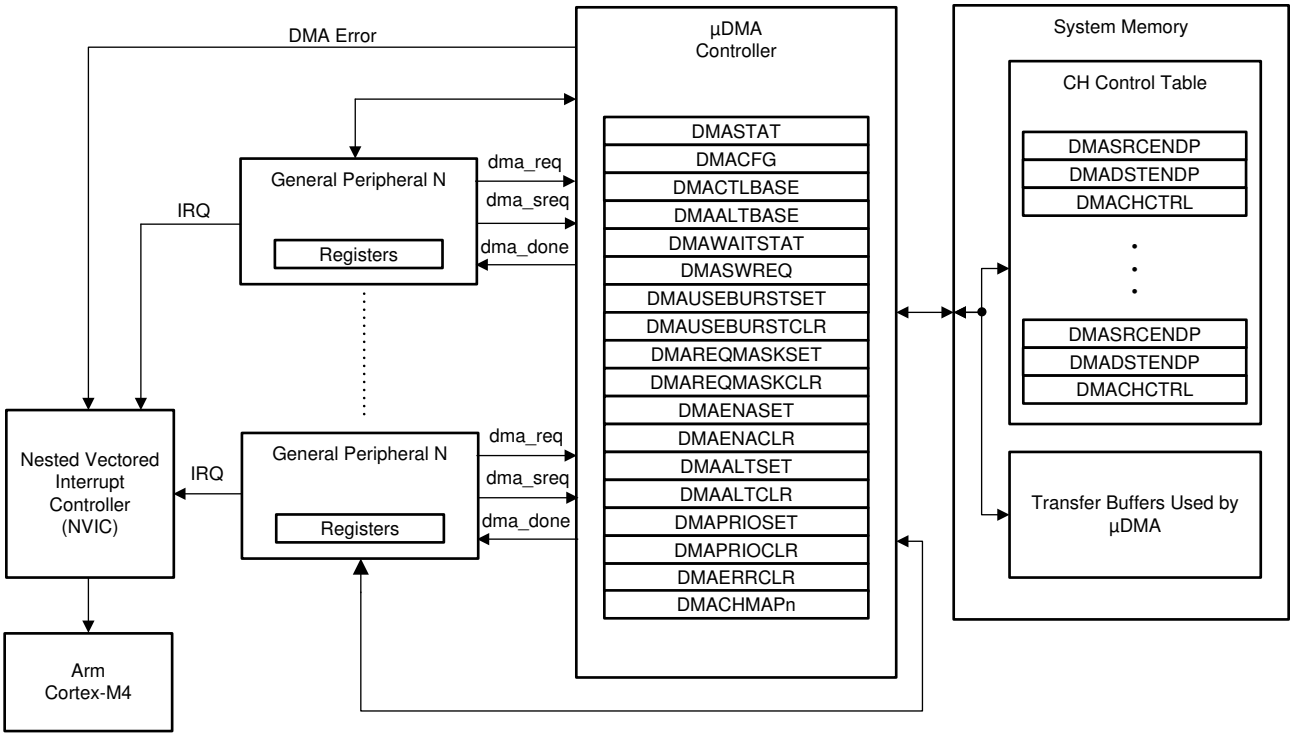


图 8-14. µDMA 方框图

8.9.8 看门狗

连接管理器 (CM) 有一个看门狗（也称为窗口式看门狗）计时器。此看门狗计时器的功能与 CPUx 子系统上使用的看门狗计时器的功能相同。有关该模块的详细信息，请参阅 *TMS320F2838x 实时微控制器技术参考手册* 的“系统控制”一章中的“看门狗计时器”一节。以下是 CM 与 CPUx 上的看门狗计时器配置的一些差异：

- CM 上的看门狗计时器默认处于禁用状态。软件需要清除 WDCR 寄存器中的 WDDIS 位才能启用看门狗。
- 每当看门狗计数器 (WDCR) 溢出或向 WDCR[WDCHK] 写入不正确的值时，便会向 CMNMIWD 模块产生 NMI（非复位或中断，例如 CPUx 看门狗计时器）。如果软件无法处理 NMI，则 NMIWD 模块将触发 CM 复位。

当 Cortex-M4 在调试会话期间暂停时，CM 看门狗计时器计数器将停止递增。

8.9.9 CM 时钟

8.9.9.1 CM 时钟源

表 8-34 列出了四种可能的时钟源。图 8-15 展示了器件时钟系统的概览。

表 8-34. 可能的基准时钟源

时钟源	模块已计时	注释
INTOSC1	可用于为以下模块提供时钟： • 看门狗模块 • 主 PLL • CPU 计时器 2	内部振荡器 1。 零引脚开销 10MHz 内部振荡器。
INTOSC2[(1)]	可用于为以下模块提供时钟： • 主 PLL • 辅助 PLL • CPU 计时器 2	内部振荡器 2。 零引脚开销 10MHz 内部振荡器。
XTAL	可用于为以下模块提供时钟： • 主 PLL • 辅助 PLL • CPU 计时器 2	X1 和 X2 引脚之间连接的外部晶体或谐振器，或连接到 X1 引脚的单端时钟。
AUXCLKIN	可用于为以下模块提供时钟： • 辅助 PLL • CPU 计时器 2	单端 3.3V 电平时钟源。GPIO133/AUXCLKIN 引脚应用于提供输入时钟。

(1) 复位时，内部振荡器 2 (INTOSC2) 为系统 PLL (OSCCLK) 和辅助 PLL (AUXOSCCLK) 的默认时钟源。

Copyright © 2023 Texas Instruments Incorporated

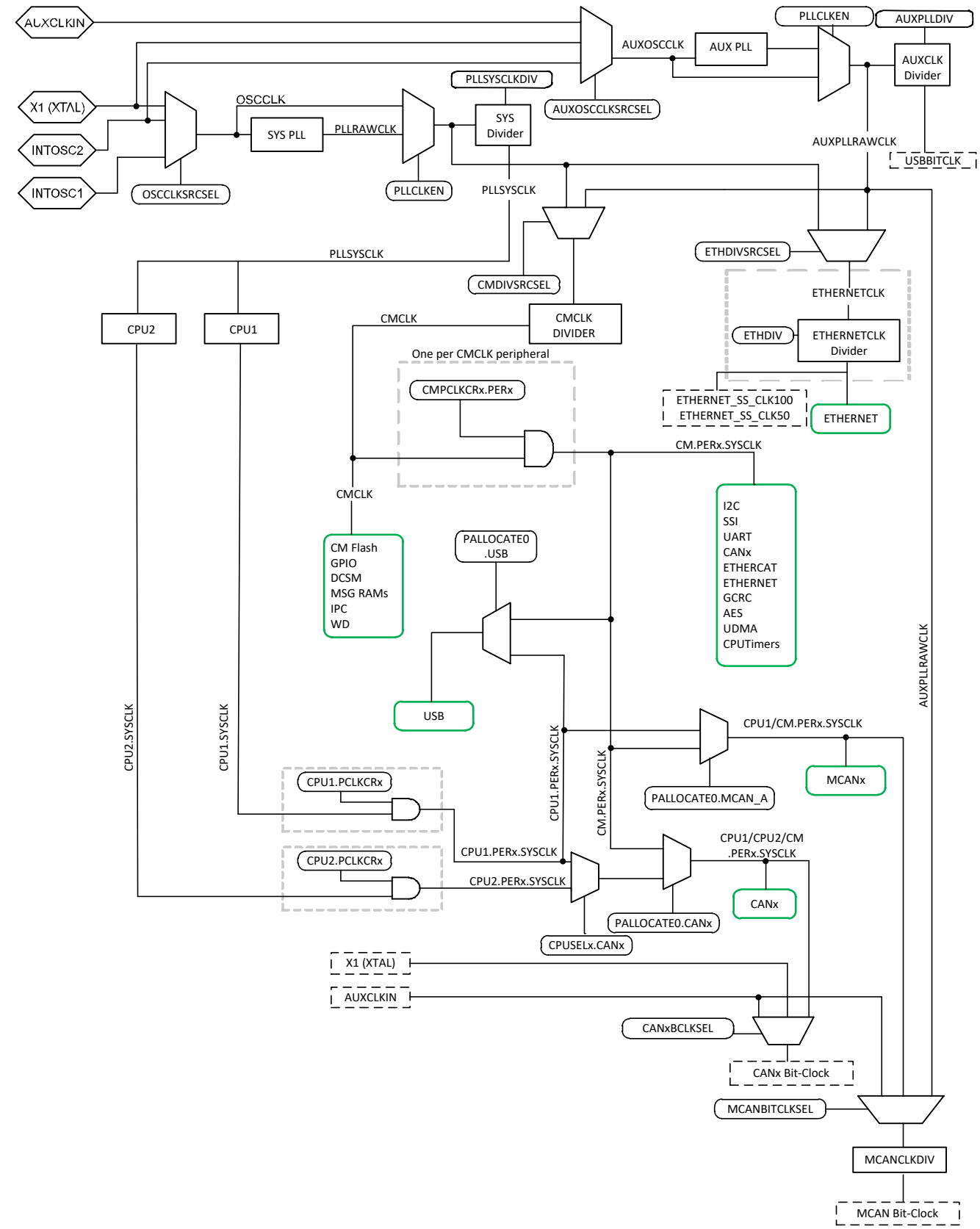

AUXCLKIN
X1 (XTAL)
INTOSC2
INTOSC1
OSCCLKSRCSEL
OSCCLK
SYS PLL
PLLRAWCLK
PLLCLKEN
PLLSYSCLKDIV
SYS Divider
PLLSYSCLK
AUXOSCCLK
AUXOSCCLKSRCSEL
AUX PLL
PLLCLKEN
AUXPLLDIV
AUXCLK Divider
AUXPLLRAWCLK
USBBITCLK
PLLSYSCLK
CMDIVSRCSEL
CPU2
CPU1
CMCLK
CMCLK DIVIDER
ETHDIVSRCSEL
ETHERNETCLK
ETHDIV
ETHERNETCLK Divider
ETHERNET_SS_CLK100
ETHERNET_SS_CLK50
ETHERNET
One per CMCLK peripheral
CMPCLKCRx.PERx
CM.PERx.SYSCLK
CMCLK
CM Flash
GPIO
DCSM
MSG RAMs
IPC
WD
PALLOCATE0 .USB
I2C
SSI
UART
CANx
ETHERCAT
ETHERNET
GCRC
AES
UDMA
CPUTimers
USB
CPU2.SYSCLK
CPU1.SYSCLK
CPU1.PERx.SYSCLK
CM.PERx.SYSCLK
CPU1/CM.PERx.SYSCLK
MCANx
PALLOCATE0.MCAN_A
AUXPLLRAWCLK
CPU1.PCLKCRx
CPU2.PCLKCRx
CPU1.PERx.SYSCLK
CPU2.PERx.SYSCLK
CPU1/CPU2/CM .PERx.SYSCLK
CANx
PALLOCATE0.CANx
CPUSELx.CANx
X1 (XTAL)
AUXCLKIN
CANxBCLKSEL
CANx Bit-Clock
MCANBITCLKSEL
MCANCLKDIV
MCAN Bit-Clock

图 8-15. CM 时钟系统

8.9.10 CM 计时器

连接管理器 (CM) 有三个完全相同并带有 16 位时钟预分频功能的 32 位计时器。这些计时器在 CMCLK 上运行。此计时器具有 32 位递减计数寄存器，该寄存器在计数器达到 0 时生成一中断。计数器以 CPU 时钟速度除以预分频值设置形式递减。当计数器达到 0 时，则自动重新加载 32 位周期值。

Copyright © 2023 Texas Instruments Incorporated

8.10 功能安全

功能安全合规型产品是使用符合 ISO 26262/IEC 61508 标准的硬件开发流程开发的，这些硬件经过单独评估和认证，满足 ASIL D/SIL 3 系统功能的要求（参阅证书）。TMS320F2838x 已通过认证，满足 ASIL B 和 SIL 2 的元件级随机硬件功能要求（参阅证书）。

描述了所有硬件和软件功能安全机制的功能安全手册。请参阅 *TMS320F2838x 实时微控制器的功能安全手册*。

一个详细的、可调、故障注入、定量的 FMEDA，能够计算随机硬件指标（如国际标准化组织 ISO 26262 和国际电工委员会 IEC 61508 分别针对汽车和工业应用的规定）。必须申请这种可调 FMEDA；请参阅*适用于汽车和工业实时微控制器的 C2000™ 安全包用户指南*。

- 提供了一份概述可调 FMEDA 的价值（或优势）的白皮书。请参阅*功能安全：适用于 C2000™ MCU 的可调 FMEDA* 出版物。
- 由五部分组成的 FMEDA 调优培训的第 1 部分和第 2 部分可从 TI 视频库中获取。第 1 部分是 *FMEDA 的基础知识及其在系统级安全分析中的作用*。第 2 部分是 *C2000™ 可调 FMEDA 简介*。第 3、4 和 5 部分与可调 FMEDA 整理在一起，因此必须申请。

专为 F2838x 系列器件设计的两个诊断库可用于协助开发功能安全系统：CLA 自检库 (CLA_STL) 和软件诊断库 (SDL)。CLA_STL 提供 CLA 的软件测试，并经过独立评估和认证。该库是应要求提供的，详情请参阅*适用于汽车和工业实时微控制器的 C2000™ 安全包用户指南*。SDL 包含一组参考软件，提供器件安全手册中描述的多种安全机制的实施示例，例如 HWBIST、SRAM 的软件测试、时钟丢失检测功能的软件测试、使用 CPU 计时器进行的时钟完整性检查以及其他几个主要特性。SDL 作为 C2000Ware 的一部分提供。

C2000 实时 MCU 还配备有基于 TI 版本验证的 C28x 和 CLA 编译器认证套件 (CQKIT)，该套件可免费获得，您可以在安全编译器认证套件网页上申请。

更多有关如何使用 C2000 实时 MCU 开发功能安全系统的详细信息，请参阅以下文档：

- *适用于 C2000™ 实时微控制器的汽车功能安全* 汇总了可用于协助进行 ISO 26262 认证过程的功能安全产品、文档、软件和支持。
- *适用于 C2000™ 实时微控制器的工业功能安全* 汇总了可用于协助进行 IEC 61508 认证过程的功能安全产品、文档、软件和支持。
- *C2000™ 硬件内置自检* 讨论了 C2000™ 实时微控制器中的硬件内置自检 (HWBIST) 特性。HWBIST 提供了一种在 C28x CPU 上达到高水平诊断覆盖率的方法，这通常是满足安全标准所必需的。
- *SRAM 中的错误检测应用报告* 提供了有关 SRAM 位单元和位阵列的性质以及 SRAM 故障来源的技术信息。然后提出了管理电子系统中存储器故障的方法。本讨论旨在为那些有兴趣提高嵌入式 SRAM 的稳健性的电子系统开发人员或集成商。
- *C2000™ CPU 存储器内置自检* 描述了在主动控制循环期间使用 C28x 中央处理单元 (CPU) 进行的嵌入式存储器验证。该文档讨论了存储器验证的系统挑战，以及 C2000 器件和软件提供的不同解决方案。最后，还介绍了用于存储器测试的软件诊断库功能。

Copyright © 2023 Texas Instruments Incorporated

9 应用、实施和布局

9.1 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.2 器件主要特性

表 9-1. 器件主要特性

模块	特性	系统优势
C28x 处理		
实时控制 CPU	高达 800MIPS 两个 C28x 内核：400MIPS (2 x 200MIPS) 两个 CLA 内核：400MIPS (2 x 200MIPS) 闪存：高达 1MB（每个 C28x CPU 为 512KB） RAM：高达 216 KB 64 位浮点单元 (FPU64) 三角法数学单元 (TMU) CRC 引擎和指令 (VCRC) 快速整数除法 (FINTDIV)	TI 的两个 32 位 C28x DSP 内核可为从片上闪存或 SRAM 运行的浮点或定点代码提供 400MHz 的信号处理性能。 为从片上闪存或 SRAM 运行的浮点或定点代码提供 400 MHz 的信号处理性能。 **CLA：**允许用户与主 CPU 同时执行时间关键型控制环路 **FPU64：**原生硬件支持 IEEE-754 双精度浮点运算 **TMU：**使用加速器加快三角函数和算术运算执行速度，从而提高控制应用的计算速度（例如 PLL 和 DQ 变换）。有助于实现更快的控制环路，从而提高效率和优化元件尺寸。 特殊指令支持非线性 PID 控制算法 **VCRC：** 提供了一种简单的方法来验证大型数据块、通信数据包或代码段上的数据完整性。 **FINTDIV：**支持线性除法运算，例如控制算法中使用的欧几里得和模数除法 请参阅展示 C2000™ 控制 MCU 优化信号链的实时基准测试。
毫米波和 AVDS		
模数转换器 (ADC)（可配置 12 位或 16 位）	四个 ADC 模块 16 位模式：(1.1MSPS) 单端模式：高达 24 通道 差分模式：高达 12 通道 12 位模式：(3.5MSPS) 单端模式：高达 24 通道	ADC 对全部三相电流和直流总线进行精准并行采样，且具有零抖动。 ADC 后处理 - 片上硬件将降低 ADC ISR 复杂度并缩短电流环路周期。 增加 ADC 数量在多相应用中很有用。提供更高的有效 MSPS（过采样）和典型 ENOB 以实现更好的控制环路性能。
比较器子系统 (CMPSS)	**CMPSS** 8 个窗口比较器 三个 12 位 DAC 60ns 跳闸检测时间 DAC 斜坡生成 外部引脚上提供低 DAC 输出 数字滤波器 斜率补偿	**系统保护无误报：** 比较器子系统 (CMPSS) 模块适用于峰值电流模式控制、开关模式电源、功率因数校正和电压跳闸监控等应用。 借助模拟比较器子系统提供的消隐窗口和滤波功能，PWM 跳闸触发和消除不必要噪声变得非常容易。 提供更出色的控制精度。无需进一步的 CPU 配置即可通过比较器和 12 位 DAC (CMPSS) 控制 PWM。 使用同一引脚实现保护和控制。
Σ-Δ 滤波器模块 (SDFM)	多达 8 个独立可配置的数字比较器滤波器通道 多达 8 个独立可配置的数字数据滤波器通道	通过增强型 Δ-Σ 调制器实现电隔离。 SDFM 与外部 Δ-Σ 调制器 ADC 相连接，非常适合需要隔离的信号。 比较器滤波器支持过流和欠流保护，但无需 CPU 干预即可使 PWM 跳闸。 数字数据滤波器可提供更高的 ENOB，从而实现更好的控制环路性能。

Copyright © 2023 Texas Instruments Incorporated

表 9-1. 器件主要特性 (continued)

模块	特性	系统优势
增强型正交编码器脉冲 (eQEP)	3 个 eQEP 模块	用于与线性或旋转增量编码器进行直接连接，以便获得高性能运动和位置控制系统中使用的旋转机器的位置、方向和速度信息。另外，也可以在其他应用中用于对来自外部器件（例如传感器）的输入脉冲进行计数。
增强型捕捉 (eCAP)/高分辨率增强型捕捉 (HRCAP)	7 个 eCAP 模块（2 个具有 HRCAP 功能） 测量事件之间经过的时间（最多 4 个带时间戳的事件）。 通过输入 X-BAR 连接到任何 GPIO。 当未用于采集模式时，eCAP 模块可配置为单通道 PWM 输出 (APWM)。	**eCAP 的应用包含：** 旋转机械的速度测量（例如，通过霍尔传感器感应齿状链轮） 位置传感器脉冲之间的持续时间测量 脉冲序列信号的周期和占空比测量 对来自占空比编码电流/电压传感器的电流或电压幅度进行解码
	2 个 HRCAP 通道 能够以 300ps 的典型分辨率测量外部脉冲的宽度。	**HRCAP 的应用包括：** 脉冲序列周期的高分辨率周期和占空比测量 瞬时速度测量 瞬时频率测量 在一个隔离边界上的电压测量 距离/声纳测量和扫描 流量测量 电容式触控应用

表 9-1. 器件主要特性 (continued)

模块	特性	系统优势
驱动		
增强型脉宽调制 (ePWM)/高分辨率脉宽调制 (HRPWM)	多达 32 个 ePWM 通道 能够生成具有死区的高侧/低侧 PWM 支持谷底开关（能够在谷点切换 PWM 输出）以及消隐窗口等特性	灵活的 PWM 波形生成功能，具有出色的电源拓扑覆盖范围。 影子化死区本身和影子化动作限定器可实现自适应 PWM 生成和保护，从而提高控制精度并降低功率损耗。 可改善功率因数 (PF) 和总谐波失真 (THD)，这在功率因数校正 (PFC) 应用中尤为重要。可提高轻载效率。
	HRPWM 功能： 所有 16 个通道均提供高分辨率功能 (150ps) 为占空比、周期、死区以及相位偏移提供 150ps 的步长，精度提高 99%	有利于精确控制并实现性能更佳的高频功率转换。 实现更干净的波形并避免输出端产生振荡/限制周期。
	一次性和全局重新加载功能	对于变频和多相直流/直流应用至关重要，有助于实现高频控制环路 (>2MHz)。 能够在高频下控制交错式 LLC 拓扑
	针对逐周期 (CBC) 跳闸事件和一次性跳闸 (OST) 跳闸事件进行独立 PWM 操作	提供逐周期保护并在故障条件下完全关闭 PWM。有助于实现多相 PFC 或直流/直流控制。
	在 SYNC 时加载（支持在发生 SYNC 事件时的“影子到活动”加载）	支持变频应用（允许在功率转换中进行 LLC 控制）。
	无需软件干预即可关闭 PWM（无 ISR 延迟）	在出现故障时提供快速保护
	延迟跳闸功能	有助于利用峰值电流模式控制 (PCMC) 相移全桥 (PSFB) 直流/直流转换器轻松实现死区，无需占用大量 CPU 资源（即使发生基于比较器、跳闸或同步输入事件的触发事件时也是如此）。
	死区发生器 (DB) 子模块	通过向 PWM 信号上升沿 (RED) 和下降沿 (FED) 添加可编程延迟，防止高侧和低侧栅极同时导通。
	灵活的 PWM 相位关系和计时器同步	每个 ePWM 模块都能与其他 ePWM 模块或其他外设同步。可使 PWM 边沿与特定事件完全保持同步。 支持采用特定采样窗口实现灵活的 ADC 调度，与功率器件切换保持同步。
CONNECTIVITY		
快速串行接口 (FSI)	最多 2 个 FSI 变送器和 8 个 FSI 接收器 串行通信外设能够跨隔离器件进行可靠的高速通信（高达 200MHz）	更灵活的通信选项。快速串行接口可用于低引脚数的高速通信，甚至能够以高达 200Mbps 的速度跨越隔离边界进行通信。
串行外设接口 (SPI)	4 个高速 SPI 端口	支持 50MHz
串行通信接口 (SCI)	4 个 SCI (UART) 模块	与控制器连接
控制器局域网 (CAN/DCAN)	2 个 DCAN 模块 （可分配给连接管理器 (M4)）	能够兼容经典 CAN 模块
控制器局域网 (CAN FD/MCAN)	1 个 CAN FD/MCAN 模块 [可分配给连接管理器 (M4)]	CAN FD（灵活数据速率）是经典 CAN 协议的增强版本。CAN FD 有助于动态切换到数据段的更高比特率 (>1Mbps)，并允许最多 64 个字节，而经典 CAN 只允许 8 个字节。这是在无需更改物理层的情况下实现的。因此与传统 CAN 相比，该协议具有更高带宽增益。使用 CAN FD 的系统受益于更快的现场闪存更新。
内部集成电路 (I2C)	2 个 I2C 模块	与外部 EEPROM、传感器或控制器连接
多通道缓冲串行端口 (McBSP)	多达 2 个 McBSP 模块	连接高速外部 ADC 或其他 SPI 外设
电源管理总线 (PMBus)	1 个 PMBus 模块 符合 SMI Forum PMBus 规范（第 I 部分 v1.0 和第 II 部分 v1.1）	基于硬件的无缝主机通信

Copyright © 2023 Texas Instruments Incorporated

表 9-1. 器件主要特性 (continued)

模块	特性	系统优势
支持 ASRAM 和 SDRAM 的外部存储器接口 (EMIF)	两个 EMIF 模块，为每个 CPU 子系统提供专用的 EMIF。	连接外部 ASRAM 和 SDRAM
其他系统特性		
可配置逻辑块 (CLB)	一组可配置的块，可使用软件互连这些块以实现自定义数字逻辑功能	用户自定义的 PWM 保护特性，用于减少复杂算法/状态机的自定义逻辑，自定义外设，以及在伺服驱动器中实现绝对编码器。 用户还用于保护多级逆变器/PFC 或多级直流/直流转换器。 提供围绕现有 IP（如 ETPWM、ECAP、QEP 和 GPIO）来构建逻辑的功能。 支持开发独特的 IP（例如 PWM 安全模块、编码器引擎等）。
安全增强功能	双区域代码安全模块 (DCSM) 安全启动 JTAGLOCK AES 加速 背景 CRC (BGCRC) 通用 CRC (GCRC) 看门狗 寄存器受写保护 丢失时钟检测逻辑 (MCD) 纠错码 (ECC) 和奇偶校验 双路时钟比较器 (DCC)	**DCSM：**防止对专有代码进行复制和逆向工程 **安全启动：**使用 AES128 CMAC 算法来确保器件上运行的代码真实可靠 **JTAGLOCK：**能够阻止器件仿真 **AES 加速：**硬件加速器显著缩短了处理加密消息的周期时间，同时释放了 CPU 带宽 **BGCRC：**在无 CPU 开销且不影响系统性能的情况下检查存储器完整性 **GCRC：**指定连接管理器模块用于计算可配置存储器块上的 CRC 值 **看门狗：**如果 CPU 陷入无休止的执行循环，则会产生复位 **寄存器受写保护：** 针对系统配置寄存器进行锁定保护 防止虚假 CPU 写入 **MCD：**自动时钟故障检测 **ECC 和奇偶校验：**single-bit 纠错和 double-bit 错误检测 **DCC：**用于检测时钟源故障
交叉开关 (XBAR)	可灵活连接各种配置中的器件输入、输出和内部资源。 • 输入 X-BAR • 输出 X-BAR • ePWM X-BAR • CLB 输入 X-BAR • CLB 输出 X-BAR • CLB X-BAR	**增强硬件设计的通用性：** **输入 X-BAR：**将信号从任何 GPIO 路由到芯片内的多个 IP 块 **输出 XBAR：**将内部信号路由到指定的 GPIO 引脚上 **ePWM X-BAR：**将内部信号从各种 IP 块路由到 ePWM **CLB 输入 X-BAR：**允许用户将信号直接从任何 GPIO 路由到可配置逻辑块 (CLB) **CLB 输出 X-BAR：**允许用户将信号从 CLB 逻辑块传输到指定的 GPIO 引脚 **CLB X-BAR：**允许用户将信号从各种 IP 块传输到 CLB
M4 处理		
实时连接	专用、完全可编程 通信子系统 Arm® Cortex®-M4 高达 125MIPS 闪存：512KB RAM：96KB	实现与实时控制系统的并行通信。这在不影响实时控制子系统内关键时序的情况下提高了总体系统性能。
微型直接存储器访问 (μDMA) 控制器	32 通道	直接存储器访问 (DMA) 模块提供了一种在外设和/或存储器之间传输数据而无需 CPU 干预的硬件方法，从而释放 CPU 带宽供其他系统功能使用。
以太网 MAC		支持工业网络和工厂自动化
EtherCAT	Beckhoff Automation™ 发明的集成 EtherCAT® 从站控制器 (ESC) IP	开发具有低延迟和较短周期时间的基于工业以太网的现场总线系统。利用 EtherCAT 硬件的“动态”帧处理和转发特性。运行 EtherCAT 从站堆栈和应用软件以实现 EtherCAT 从站节点。

表 9-1. 器件主要特性 (continued)

模块	特性	系统优势
USB		可用于系统数据记录以及引导至 USB 以更新片上闪存

Copyright © 2023 Texas Instruments Incorporated

9.3 应用信息

9.3.1 典型应用

典型应用 一节将详细介绍该器件的一些应用。如需查看更详细的应用列表，请参阅本数据表的*应用* 一节。

9.3.1.1 高压牵引逆变器

牵引驱动子系统旨在驱动交流感应电机或者驱动内置永磁同步电机 (IPMSM) 与同步磁阻电机 (SynRM) 的某种组合。具有动态解耦功能的高带宽磁场定向控制 (FOC) 方案通过将 C2000 实时控制 MCU 与弱磁和过调制技术结合在一起来实现，将电机驱动至高达 20,000RPM 的超高转速，这可以降低牵引电机的成本和重量。

牵引驱动系统通常使用与电机极数匹配的可变磁阻 (VR) 旋转变压器来直接测量转子的电角。使用旋转变压器信号测量位置和速度时需要用到旋转变压器数字转换 (RDC)。传统的 RDC，例如 PGA411-Q1，采用单独的 IC 进行处理。有了 C2000 MCU，高速牵引逆变器的 RDC 可以集成到主控 MCU 中，在其中可以使用 DMA 来处理励磁的产生，无需 CPU 参与，而反馈通过 ADC 读取并使用 CPU 进行解码。

相移全桥 (PSFB) 拓扑允许开关器件以零电压开关 (ZVS) 进行开关，从而降低开关损耗并提高效率。峰值电流模式控制 (PCMC) 是电源转换器非常需要的控制方案，因为它具有固有的电压前馈、自动逐周期限流、磁通平衡和其他优点，这需要生成复杂的 PWM 驱动波形以及快速高效的控制环路计算。借助于诸如 PWM 模块、带有 DAC 和斜率补偿硬件的模拟比较器以及与高效 32 位 CPU 耦合的 12 位高速 ADC 等先进片上控制外设，可在 C2000 微控制器上实现这一目标。

图 9-1 展示了单个 TMS320F28388D C2000™ 实时 MCU 的简要方框图。该 MCU 同时控制混合动力汽车/电动汽车 (HEV/EV) 牵引逆变器和双向直流/直流转换器。

9.3.1.1.1 系统方框图

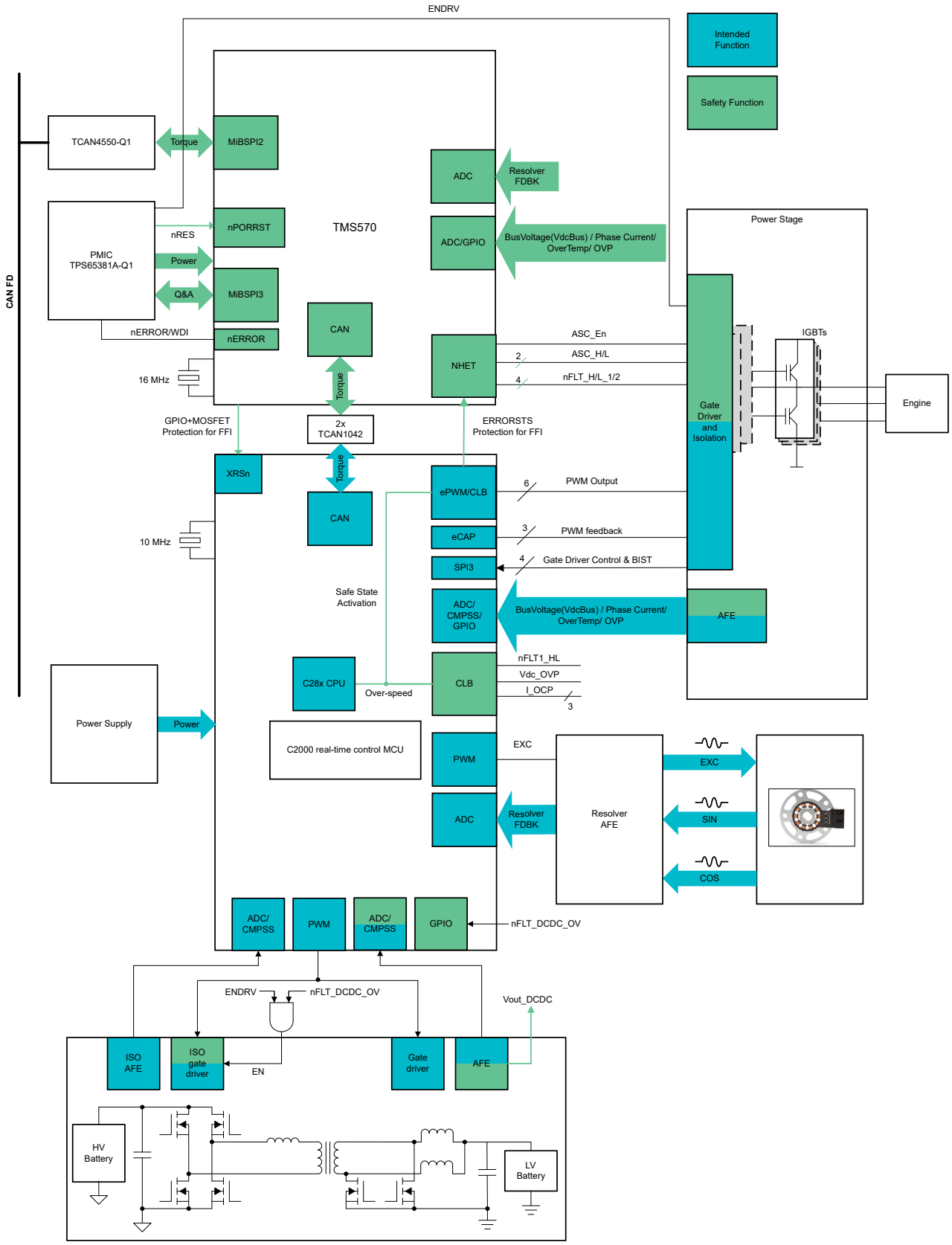


图 9-1. 牵引逆变器（高压）

Copyright © 2023 Texas Instruments Incorporated

9.3.1.1.2 高压牵引逆变器资源

参考设计和相关培训视频

TIDM-02009 经过 ASIL D 等级功能安全认证的高速牵引和双向直流/直流转换参考设计
此参考设计演示了如何通过一个 TMS320F28388D 实时 C2000™ MCU 控制混合动力汽车/电动汽车牵引逆变器和双向直流/直流转换器。牵引控制利用基于软件的旋转变压器数字转换器 (RDC)，使电机转速高达 20,000RPM。直流/直流转换器结合了峰值电流模式控制 (PCMC) 技术、相移全桥 (PSFB) 拓扑以及同步整流 (SR) 机制。牵引逆变器级采用碳化硅 (SiC) 功率级，由 UCC5870-Q1 智能栅极驱动器驱动。利用比较器子系统 (CMPSS) 中先进的 PWM 模块和内置斜坡补偿功能，可生成 PCMC 波形。该系统基于 ASIL 分解的功能安全概念已通过 TÜV SÜD 认证，说明整个系统的安全完整性等级可达 ISO 26262 ASIL D 等级，符合典型的安全目标。

C2000™ MCU - 电动汽车 (EV) | 德州仪器 TI.com.cn 培训系列 (视频)
此 C2000™ MCU 视频集介绍了电动汽车 (EV) 的英语和中文专项培训。

“使用 C2000 微控制器实现 PSFB 控制”应用报告
此应用报告介绍了在德州仪器 (TI) 高压移相全桥 (HVPSFB) 套件上实施的数控 PSFB 系统的实施细节。这个套件将一个 400V DC 输入电压转换为一个经稳压的 12V DC 输出，并且适用于高达 600W 的运行。对峰值电流模式控制 (PCMC) 和电压模式控制 (VMC) 实施进行了说明。

TIDA-BIDIR-400-12 *双向直流/直流转换器*
此文档详细介绍了这种基于微控制器的隔离式双向直流/直流转换器实施方案。具有同步整流功能的相移全桥 (PSFB) 在降压模式下控制从 400V 总线或电池到 12V 电池的能流，而推挽级在升压模式下控制从低压电池到高压总线或电池的反向能流。此设计在任一模式下的额定输出功率均高达 300W。

9.3.1.2 车载充电器 (OBC)

车载充电器 (OBC) 由两个功率级组成：一个交流/直流电源转换器和一个后续直流/直流电源转换器级。OBC 可通过使用单个 MCU 来控制交流/直流和直流/直流电源转换器来实现。例如：可以通过使用三个 3.7kW 单相 OBC 模块来实现 11kW OBC，如图 9-2 所示。这种方法使我们能够轻松支持单相 240 交流（北美）和三相交流（世界其他地区）。

OBC 充电设计要求如下：

- 高性能快速数字控制环路，可实现高效的功率变换并提高功率密度。
- 通过高带宽和快速响应电流检测，在过流情况下实现精确控制和快速关断。
- 安全高效地控制和保护电源开关 [绝缘栅双极晶体管/碳化硅 (IGBT/SiC)]。

9.3.1.2.1 系统方框图

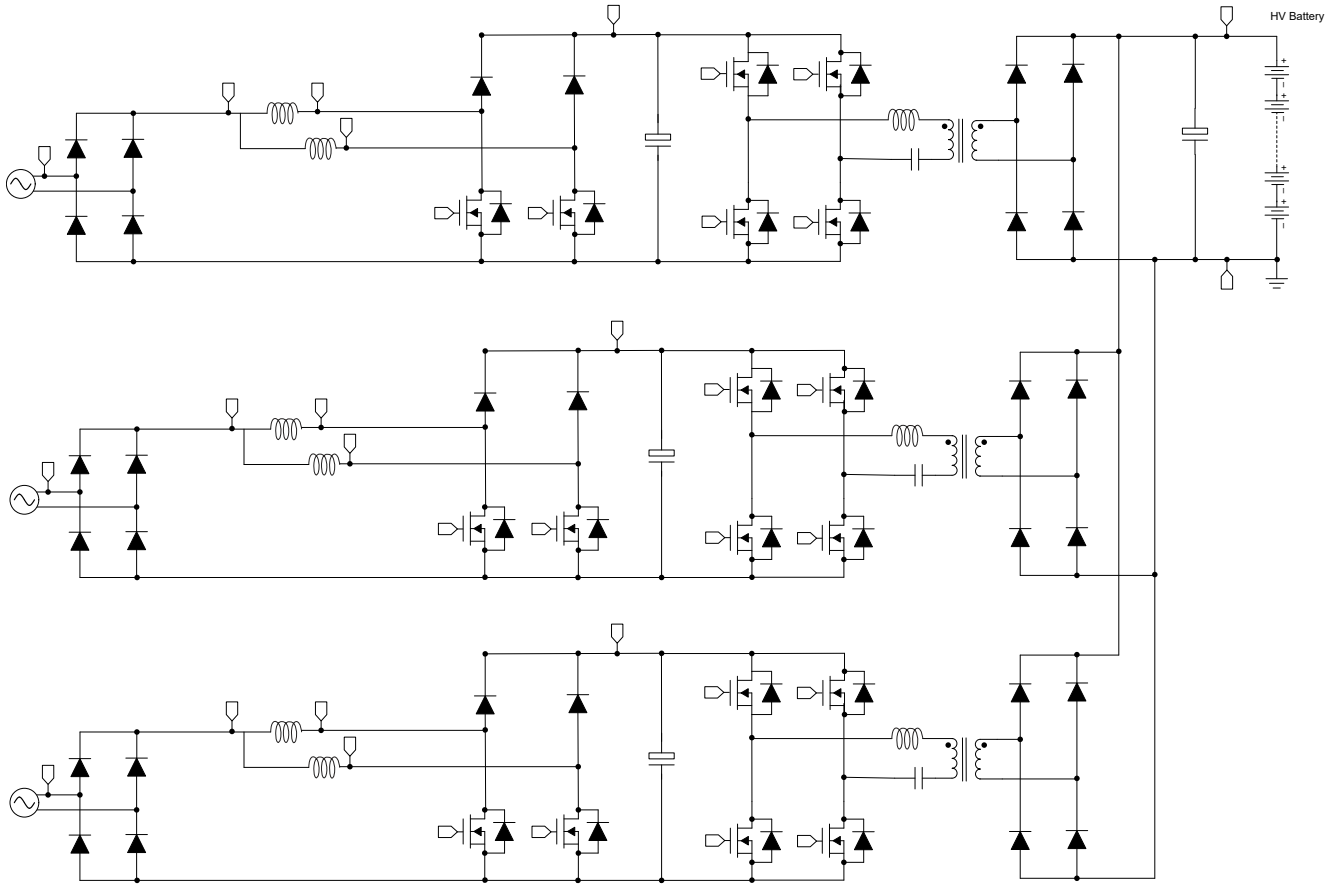


图 9-2. 11kW 模块化 OBC 电源拓扑（单向、桥式 PFC）

Copyright © 2023 Texas Instruments Incorporated

9.3.1.2.2 OBC 资源

参考设计和相关培训视频

C2000 数字电源培训系列视频
此培训系列介绍了数字电源控制的基础知识以及如何在 C2000™ 微控制器上实施数字电源控制。

C2000™ MCU - 电动汽车 (EV) 培训视频（视频）
此 C2000™ MCU 视频集介绍了电动汽车 (EV) 的英语和中文专项培训。

PMP22650 基于 GaN 的 6.6kW 双向车载充电器参考设计
PMP22650 参考设计是 6.6kW 双向车载充电器。该设计采用两相图腾柱 PFC 和带有同步整流功能的全桥 CLLLC 转换器。CLLLC 采用频率和相位调制在所需的调节范围内调节输出。该设计采用 TMS320F28388D 微控制器内的单个处理内核来控制 PFC 和 CLLLC。使用配有 Rogowski 线圈电流传感器的相同微控制器来实现同步整流。通过高速 GaN 开关 (LMG3522) 实现高密度。PFC 的工作频率为 120kHz，而 CLLLC 在 200kHz 至 800kHz 的可变频率范围内运行。峰值系统效率为 96.5%，该数值在 3.8kW/L 开放式框架功率密度下实现。虽然该设计是针对 6.6kW 输出功率进行计算，但也可以将此设计作为基础，设计出额定功率为 7.xkW（如 7.2kW 至 7.4kW）、工作输入电压为 240V 并配有 32A 断路器的 OBC。

TIDUEG2C TIDM-02002 针对 HEV/EV 车载充电器的双向 CLLLC 谐振双有源电桥 (DAB) 参考设计
具有双向功率流功能和软开关特性的 CLLLC 谐振 DAB 是混合动力电动汽车/电动汽车 (HEV/EV) 车载充电器和能量存储应用的理想候选器件。此设计演示了在闭合电压和闭合电流环路模式中使用 C2000™ MCU 控制此电源拓扑。采用此设计的硬件和软件可帮助您缩短产品上市时间。

TIDUEG3A TIDM-1022 谷底开关升压功率因数校正 (PFC) 参考设计
该参考设计说明了一种数字控制方法，可显著提高升压功率因数校正 (PFC) 转换器性能，例如难以满足效率和总谐波失真 (THD) 标准的轻负载条件下的效率和总谐波失真 (THD)。这是通过 C2000™ 微控制器 (MCU) 的集成数字控制功能实现的。此设计支持不同负载和瞬时输入电压条件下的切相、谷底开关、谷底跳跃和零电压开关 (ZVS)。可供此参考设计使用的软件可缩短上市时间。

9.3.1.3 伺服驱动器控制模块

伺服驱动器需要高精度电流和电压检测功能以实现精确的扭矩控制，并且通常支持用于多种编码器类型的接口以及通信接口。F2838x 既可用作独立伺服驱动器的单芯片解决方案（如图 9-3 所示），也可用于分散式系统（如图 9-4 所示）。在后一种情况下，F2838x 充当控制器，对所有电压和电流输入进行采样并为逆变器生成正确的 PWM 信号。每个 F2838x 器件均作为目标轴的实时控制器，用于控制电机的电流控制环。通过使用快速串行接口 (FSI) 外设，一个 F2838x 最多可管理 16 个轴。F2838x 作为外部环路控制器执行主轴电机控制，控制通过 FSI 与所有副轴的数据交换，并通过 EtherCAT 与主机或 PLC 进行通信。

9.3.1.3.1 系统方框图

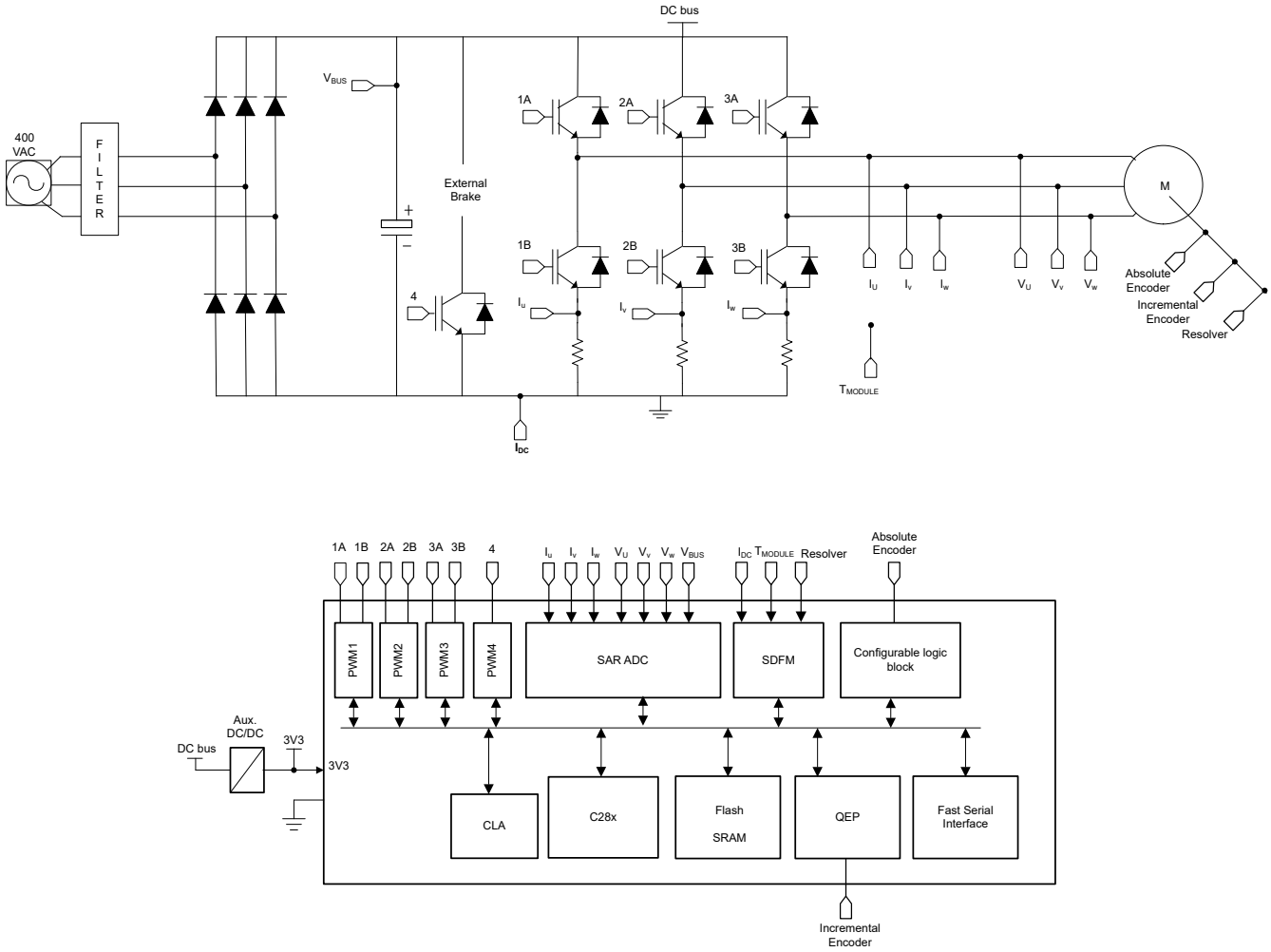


图 9-3. 伺服驱动器控制模块

Copyright © 2023 Texas Instruments Incorporated

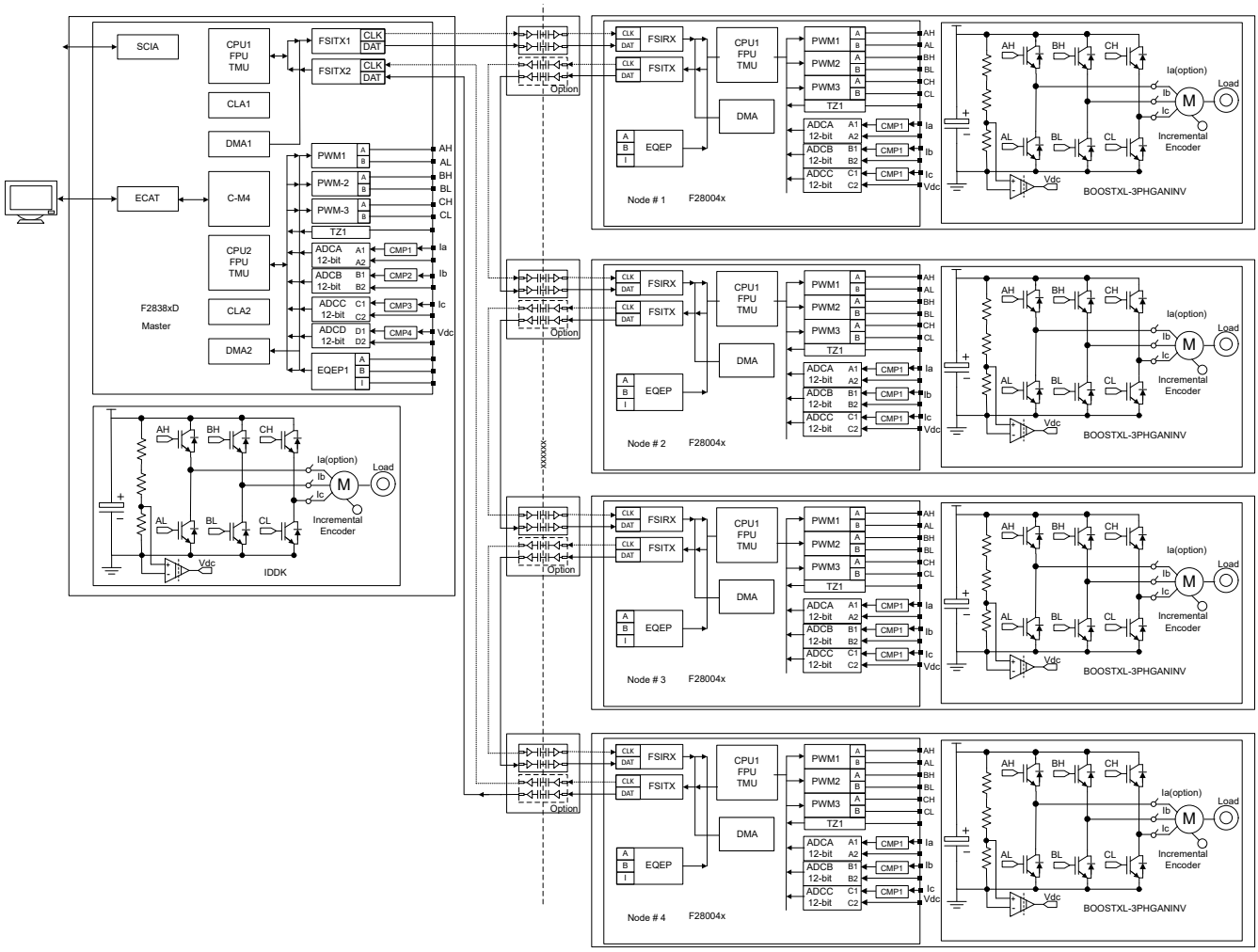


图 9-4. 分布式多轴伺服驱动器

9.3.1.3.2 伺服驱动器控制模块资源

参考设计和相关培训视频

具有基于采样电阻的内嵌式电机相电流采样的 48V 三相逆变器评估模块

BOOSTXL-3PHGANINV 评估模块采用 48V/10A 三相 GaN 逆变器，具备基于分流器的精密直列式相电流检测功能，从而对精密驱动器（例如，伺服驱动器）进行精准控制。

用于工业电机控制的 C2000 DesignDRIVE 开发套件

DesignDRIVE 开发套件 (IDDK) 硬件提供了可驱动高电压三相电机的全功率级集成伺服驱动器设计，并简化了对各种位置反馈、电流检测和控制拓扑的评估。

C2000 DesignDRIVE Position Manager BoosterPack™ 插件模块

PositionManager BoosterPack 是一个用于评估绝对编码器和模拟传感器（如旋转变压器和 SinCos 传感器）接口的灵活低电压平台。与 DesignDRIVE Position Manager 软件解决方案结合使用时，这种低成本评估模块成为用于将许多流行的位置编码器类型（如 EnDat、BiSS 和 T-Format）与 C2000 实时控制器件连接的强大工具。C2000 Position Manager 技术将流行的数字和模拟位置传感器接口集成到 C2000 实时控制器上，因此无需外部 FPGA 来实现这些功能。

C2000Ware MotorControl SDK
适用于 C2000™ 微控制器 (MCU) 的 MotorControl SDK 包含一套全面的软件基础架构、工具和文档，旨在尽可能缩短基于 C2000 实时控制器的电机控制系统开发时间，适用于各种三相电机控制应用。该软件包括在 C2000 电机控制评估模块 (EVM) 和针对工业驱动器、机器人、电器和汽车应用的 TI Designs (TID) 上运行的固件。MotorControl SDK 包含高性能电机控制应用在开发和评估等各阶段所需的所有资源。

TIDM-02006 基于快速串行接口 (FSI) 的分布式多轴伺服驱动器参考设计
此参考设计展示了使用 C2000™ 实时控制器通过快速串行接口 (FSI) 实现的分布式或分散式多轴伺服驱动器示例。多轴伺服驱动器用于工厂自动化和机器人等多种应用。凭借每轴成本、性能和易用性等特性，该驱动器受到上述系统的高度青睐。FSI 是一种可靠的成本优化型高速通信接口，具有低抖动，能以菊花链形式连接多个 C2000 微控制器。在此设计中，每个 TMS320F280049 或 TMS320F280025 实时控制器均作为分布式轴的实时控制器，控制电机的电流控制环。单个 TMS320F28388D 控制各轴的位置和速度控制环。上述 F2838x 还通过充分利用多个内核，执行集中式电机控制轴和 EtherCAT 通信。该设计采用我们的现有 EVM 套件，软件随附 C2000WARE MotorControl SDK 发布。

TIDM-02007 在单个 MCU 上使用快速电流环路 (FCL) 和 SFRA 的双轴电机驱动器参考设计
此参考设计展示了在单个 C2000 控制器上使用快速电流环路 (FCL) 和软件频率响应分析器 (SFRA) 技术的双轴电机驱动器。FCL 可利用双核（CPU、CLA）并行处理技术来显著改善控制带宽和相位裕度，降低反馈采样和 PWM 更新之间的延迟，实现更高的控制带宽和最大调制指数，提高驱动器的直流总线利用率和电机的转速范围。开发人员可通过集成的 SFRA 工具快速测量应用的频率响应，以调整转速和电流控制器。鉴于 C2000 系列 MCU 的系统级集成和高性能，此系列器件能够同时支持双轴电机驱动器要求，以更高的性能提供非常强大的位置控制。相关软件在 C2000Ware MotorControl SDK 中发布。

EtherCAT 协议：C2000™ TMS320F2838x 器件系列上的 EtherCAT（视频）
此视频详细介绍了 TMS320F2838x 器件 EtherCAT 从站控制器特性、TMS320F2838x 器件 EtherCAT 从站控制器子系统和器件集成，以及 TMS320F2838x 器件 EtherCAT IP 与 Beckhoff Automation ET1100 EtherCAT ASIC 的比较。

“PMSM 上使用快速电流环路、基于 EtherCAT 的互联伺服驱动器”应用报告
此应用报告有助于评估 EtherCAT® 通信，并使用 TI 的 TMS320F28388D 实时控制器对互联伺服驱动器中启用了快速电流环路 (FCL) 的控制环路执行频率响应分析。

9.3.1.4 微型光伏逆变器

微型光伏逆变器包含直流/交流逆变器功率级和最大功率点跟踪 (MPPT) 直流/直流功率级。逆变器（直流/交流）的典型开关频率介于 20kHz-50kHz 之间，而直流/直流侧的开关频率范围可在 100kHz-200kHz 之间。可以使用各种功率级来实现这一目的，该图仅描述了典型的功率级以及控制和通信要求。C2000 微控制器采用片上 EPWM、ADC 和模拟比较器模块来实现此类微型逆变器系统的完全数字控制。

Copyright © 2023 Texas Instruments Incorporated

9.3.1.4.1 系统方框图

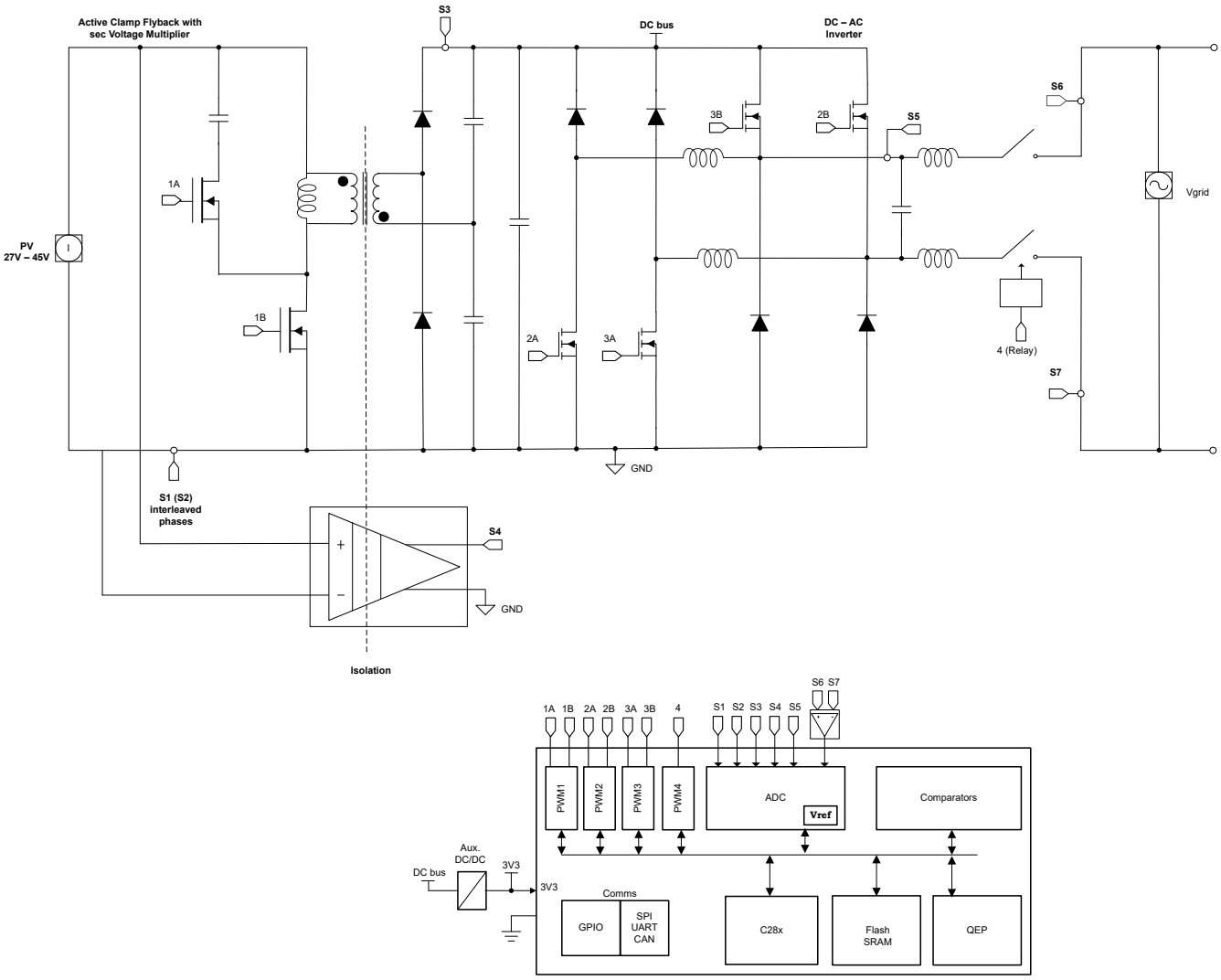


图 9-5. 微型光伏逆变器

9.3.1.4.2 微型光伏逆变器资源

参考设计和相关培训视频

C2000™ 数字电源培训系列（视频）
此培训系列介绍了数字电源控制的基础知识以及如何在 C2000 微控制器上实施数字电源控制。

向太阳能电网添加储能系统的四大设计注意事项
此白皮书探讨了并网太阳能装置集成储能系统的设计注意事项

C2000WARE-DIGITALPOWER-SDK
适用于 C2000™ 微控制器 (MCU) 的 DigitalPower SDK 包含一套全面的软件基础架构、工具和文档，旨在尽可能缩短基于 C2000 MCU 的数字电源系统开发时间，适用于各种交流/直流、直流/直流和直流/交流电源应用。该软件包含可运行于 C2000 数字电源评估模块 (EVM) 的固件和适用于太阳能、电信、服务器、电动汽车充电器和工业电力输送应用的 TI Designs (TID)。DigitalPower SDK 包含数字电源应用在开发和评估等各阶段所需的所有资源

使用 C2000™ Piccolo 微控制器的数字控制微型光伏逆变器设计

本文档介绍了使用 C2000 微控制器的数字控制微型光伏逆变器的实现细节。250W 隔离式微型逆变器设计采用 Piccolo-B (F28035) 控制卡提供所有必要的 PV 逆变器功能。此文档介绍了微型逆变器电路板上的功率级，以及一个通过验证开环运行情况和闭环运行情况来构建软件的增量式构建级别系统。此指南介绍了用于控制功率流、最大化 PV 电池板功率 (MPPT) 以及使用锁相环 (PLL) 锁定到电网的控制结构和算法，同时还介绍了德州仪器 (TI) 微型光伏逆变器套件 (TMDSOLARUINVKIT) 的硬件详细信息

TIDU405B 具有 MPPT 功能的并网微型光伏逆变器

此 C2000 微型光伏逆变器 EVM 硬件包含两个级。分别是：(1) 具有次级倍压器的有源钳位反激式直流/直流转换器和 (2) 直流/交流逆变器。该系统的方框图如图 1b 所示。此直流/直流转换器从 PV 电池板汲取直流电流，这样，此电池板运行在其最大功率传输点上。这要求将电池板输出（即直流/直流转换器输入）保持在一个由 MPPT 算法确定的电平上。MPPT 算法可以确定用于最大功率传输的电池板输出电流（基准电流）。然后，反激式转换器的电流控制环路可确保转换器输入电流会跟踪 MPPT 基准电流。反激式转换器还为直流/直流级提供高频隔离。反激式级的输出是一条可驱动直流/交流逆变器的高压直流总线。逆变器级将直流总线保持在所需的设定点，并将受控的正弦波电流注入电网。逆变器还实现电网同步，以便保持其电流波形锁定到电网电压的相位和频率。一个具有片上 PWM、ADC 和模拟比较器模块的 C2000 Piccolo 微控制器能够实现这种微型逆变器系统的完全数字控制。

适用于单相并网逆变器并采用 C2000™ 微控制器的软件锁相环设计应用报告

并网应用需要准确估算电网角度才能将电力同步馈入电网。为此需要使用一个软件锁相环 (PLL)。此应用报告讨论了软件锁相环设计中的不同挑战，并介绍了使用 C2000 控制器为单相并网应用设计锁相环的方法。

Copyright © 2023 Texas Instruments Incorporated

10 器件和文档支持

10.1 入门和后续步骤

C2000™ 实时控制微控制器 (MCU) 入门指南 涵盖了 C2000 器件开发中从硬件到支持资源的所有方面。除了主要的参考文档外，每个部分还提供了相关链接和资源，可帮助用户进一步了解相关信息。

10.2 器件和开发支持工具命名规则

为了标示产品开发周期所处的阶段，TI 为所有 TMS320 MCU 器件和支持工具的器件型号分配了前缀。每个 TMS320™ MCU 商用产品系列成员都具有以下三个前缀之一：TMX、TMP 或 TMS（例如，**TMS**320F28386D）。德州仪器 (TI) 为其支持工具推荐使用三种可能的前缀指示符中的两个：TMDX 和 TMDS。这些前缀代表了产品从工程原型（其中 TMX 针对器件，而 TMDX 针对工具）直到完全合格的生产器件和工具（其中 TMS 针对器件，而 TMDS 针对工具）的产品开发演变阶段。

Device development evolutionary flow:

TMX Experimental device that is not necessarily representative of the final device's electrical specifications and may not use production assembly flow.

TMP Prototype device that is not necessarily the final silicon die and may not necessarily meet final electrical specifications.

TMS Production version of the silicon die that is fully qualified.

Support tool development evolutionary flow:

TMDX Development-support product that has not yet completed Texas Instruments internal qualification testing.

TMDS Fully-qualified development-support product.

TMX and TMP devices and TMDX development-support tools are shipped against the following disclaimer:

"Developmental product is intended for internal evaluation purposes."

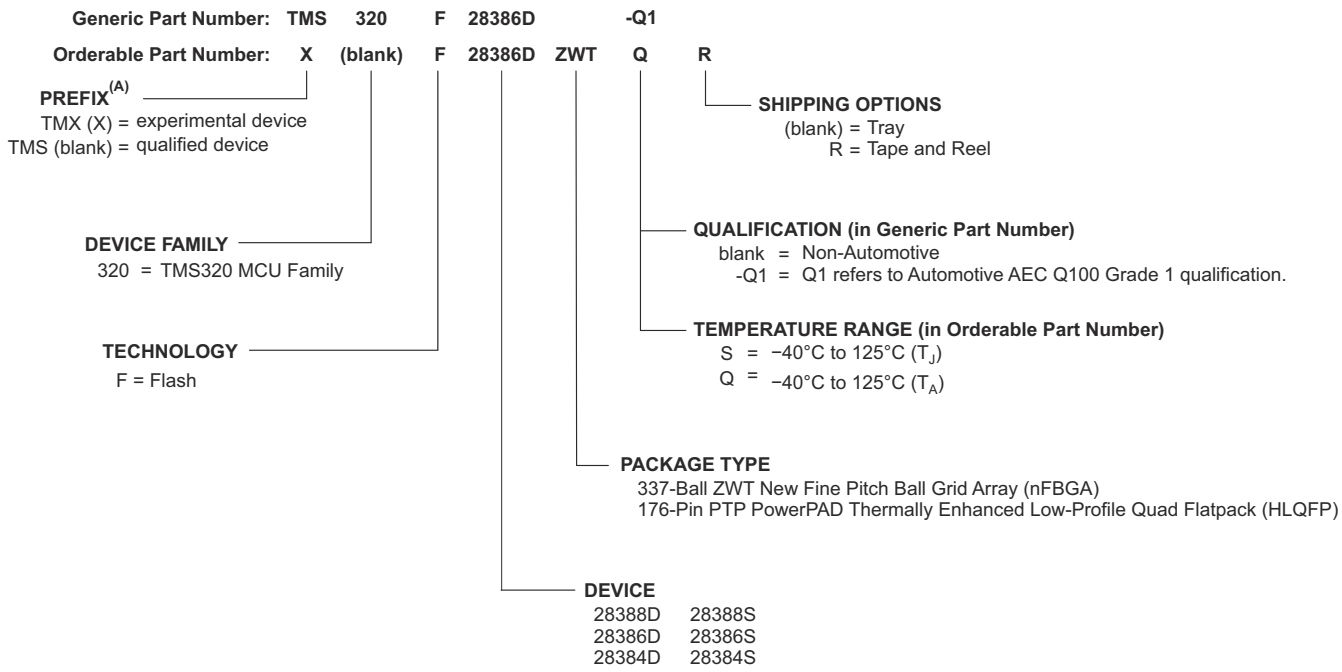
Production devices and TMDS development-support tools have been characterized fully, and the quality and reliability of the device have been demonstrated fully. TI's standard warranty applies.

Predictions show that prototype devices (X or P) have a greater failure rate than the standard production devices. Texas Instruments recommends that these devices not be used in any production system because their expected end-use failure rate still is undefined. Only qualified production devices are to be used.

TI 器件的命名规则还包括一个带有器件系列名称的后缀。此后缀表示封装类型（例如 ZWT）和温度范围（例如 S）。图 10-1 提供了解读任一系列产品成员完整器件名称的图例。

若要获取器件型号以及更多订购信息，请访问 TI 网站 (www.ti.com.cn) 或者联系您的 TI 销售代表。

有关芯片上器件命名规则标记的其他说明，请参阅 *TMS320F2838x 实时 MCU 器件勘误表*。



A. 可订购器件型号使用前缀 X。

图 10-1. 器件命名规则

10.3 标识

图 10-2 显示了封装编号法，表 10-1 列出了器件修订版本代码。

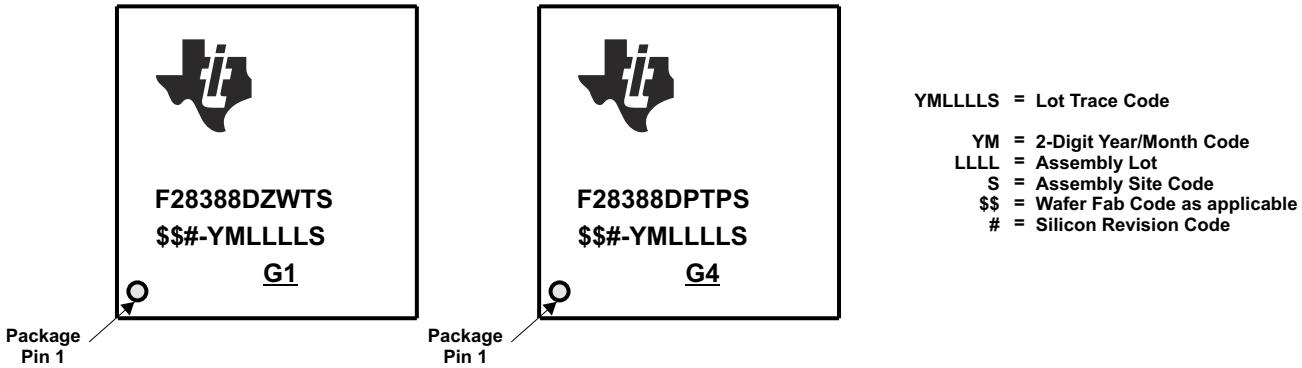


图 10-2. 封装编号法

表 10-1. 版本标识

器件修订版本代码	器件修订版本	REVID(1) 地址：0x5D00C	备注
空白	0	0x0000 0000	该器件修订版本以 TMX 形式提供。
A	A	0x0000 0001	该器件修订版本的代码为 TMX 和 TMS。

(1) 器件修订版本 ID

Copyright © 2023 Texas Instruments Incorporated

10.4 工具与软件

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的部分工具和软件。若要查看 C2000™ 实时控制 MCU 的所有可用工具和软件，请访问 C2000 实时控制 MCU - 设计和开发页面。

开发工具

适用于 C2000 实时控制开发套件的 F28388D controlCARD
适用于 F2838xD 和 F2838xS 系列的 HSEC180 controlCARD 开发工具。controlCARD 非常适合用于进行初始评估和系统原型设计。它们都是完整的板级模块，提供了薄型单板控制器解决方案。

F28388D 实验套件
此实验套件是一个评估捆绑包，包含一个 controlCARD 和一个 TMDSHSECDOCK 基板扩展坞。此集线站可为附带的 controlCARD 供电，并提供用于进行原型设计的电路板区域。可通过一系列排针引脚访问控制器的关键信号。

软件工具

用于 C2000 MCU 的 C2000Ware
用于 C2000 微控制器的 C2000Ware 是一套有凝聚力的开发软件和文档，旨在最在程度地缩短软件开发时间。从器件专用驱动程序和库到器件外设示例，C2000Ware 能够为开始开发和评估提供坚实的基础。与 controlSUITE™ 相对， C2000Ware 目前是推荐的内容交付工具。

用于 C2000 微控制器的 Code Composer Studio（代码调试器）™ (CCS) 集成开发环境 (IDE)
Code Composer Studio（代码调试器）是支持 TI 微控制器和嵌入式处理器产品系列的集成开发环境 (IDE)。Code Composer Studio（代码调试器）包含一整套用于开发和调试嵌入式应用的工具。它包含优化的 C/C++ 编译器、源代码编辑器、项目构建环境、调试器、分析器以及多种其他功能。直观的 IDE 提供了单一用户界面，带领用户完成应用开发流程的每个步骤。熟悉的工具和界面使用户能够比以前更快地上手。Code Composer Studio 将 Eclipse 软件框架的优势和 TI 高级嵌入式调试功能相结合，为嵌入式开发人员提供了一种极具吸引力且功能丰富的开发环境。

引脚多路复用工具
引脚多路复用实用程序是一款软件工具，可提供图形用户界面，用于配置引脚多路复用设置、解决冲突以及指定 TI MPU 的 I/O 单元特性。

F021 闪存应用编程接口 (API)
F021 闪存应用编程接口 (API) 提供的软件功能库用于对 F021 片上闪存执行编程、擦除和验证操作。

UniFlash 独立闪存工具
UniFlash 是一款独立工具，用于通过 GUI、命令行或脚本接口对片上闪存进行编程。

C2000 第三方搜索工具 TI 与多家公司携手推出适用于 TI C2000 器件的各种解决方案和服务。这些公司可使用 C2000 器件加速量产流程。下载此搜索工具，快速浏览第三方详细信息，并寻找合适的第三方来满足您的需求。

模型

您可以从产品的“设计与开发”页面下载各种模型。这些模型包括 I/O 缓冲器信息规范 (IBIS) 模型和边界扫描描述语言 (BSDL) 模型。若要查看所有可用模型，请访问每个器件的“设计与开发”页面的“设计工具与仿真”部分。

为帮助设计工程师充分利用 C2000 微控制器的特性和性能，TI 开发了各种培训资源。通过利用在线培训资料和可下载的实际操作技术讲座，可方便地获得关于 C2000 微控制器系列的全方位的实际知识。这些培训资源旨在简化学习过程，同时缩短开发时间并加快产品上市速度。有关各种培训资源的更多信息，请访问 C2000™ 实时控制 MCU - 支持和培训站点。

10.5 文档支持

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*订阅更新* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

下面列出了介绍处理器、相关外设以及其他配套技术资料的最新文档。

勘误

TMS320F2838x 实时 MCU 器件勘误表介绍了有关器件的已知公告，并给出了权变措施。

技术参考手册

TMS320F2838x 实时微控制器技术参考手册详述了 2838x 微控制器中每个外设和子系统的集成、环境、功能说明和编程模型。

CPU 用户指南

TMS320C28x CPU 和指令集参考指南介绍了 TMS320C28x 定点数字信号处理器 (DSP) 的中央处理器 (CPU) 和汇编语言指令。此参考指南还介绍了这些 DSP 上可用的仿真特性。

TMS320C28x 扩展指令集技术参考手册介绍了 TMU、VCU-II 和 FPU 加速器的架构、流水线和指令集。

外设指南

C2000 实时控制外设参考指南介绍了 28x DSP 的外设参考指南。

工具指南

TMS320C28x 汇编语言工具 v22.6.0.LTS 用户指南介绍了用于 TMS320C28x 器件的汇编语言工具（用于开发汇编语言代码的汇编器和其他工具）、汇编器指令、宏、通用目标文件格式和符号调试指令。

TMS320C28x 优化 C/C++ 编译器 v22.6.0.LTS 用户指南介绍了 TMS320C28x C/C++ 编译器。此编译器接受 ANSI 标准 C/C++ 源代码，并为 TMS320C28x 器件生成 TMS320 DSP 汇编语言源代码。

应用报告

SMT 和封装应用手册网站列出了有关 TI Surface Mount Technology (SMT) 的文档以及涵盖各种封装相关主题的应用手册。

半导体包装方法介绍了向终端用户发货时对半导体器件所用的包装方法。

计算嵌入式处理器的有效使用寿命提供了一种如何计算 TI 嵌入式处理器 (EP) 在电子系统中运行时的有效使用寿命的方法。本文档的目标读者为希望确定 TI EP 的可靠性是否符合终端系统可靠性要求的总工程师。

IBIS（I/O 缓冲器信息规范）建模简介讨论了 IBIS 的各个方面，包括其历史、优势、兼容性、模型生成流程、输入/输出结构建模中的数据要求以及未来趋势。

C2000™ 微控制器的串行闪存编程介绍了使用闪存内核和 ROM 加载程序对器件进行串行编程。

快速整数除法 – C2000™ 产品系列特性概述了不同的除法和模（余数）运算及其相关属性。

C2000™ 关键技术指南更深入探究了哪些元件能够让与实时控制系统相关的 C2000 微控制器 (MCU) 脱颖而出。

10.6 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

Copyright © 2023 Texas Instruments Incorporated

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

10.7 商标

PowerPAD™, C2000™, Code Composer Studio™, TMS320™, controlSUITE™, Code Composer Studio（代码调试器）™, and TI E2E™ are trademarks of Texas Instruments.
NXP™ is a trademark of NXP B.V.
Arm®, Cortex®, Thumb®, and PrimeCell® are registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere.
EtherCAT® is a registered trademark of Beckhoff Automation GmbH, Germany.
Bosch® is a registered trademark of Robert Bosch GmbH.
Freescale® is a registered trademark of NXP USA, INC.
is a registered trademark of Beckhoff Automation GmbH.
所有商标均为其各自所有者的财产。

10.8 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.9 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

11 机械、封装和可订购信息

11.1 封装信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

要了解关于 TI 封装的更多信息，请访问封装信息网站。

Copyright © 2023 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
F28384DPTPQR	ACTIVE	HLQFP	PTP	176	200	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28384DPTPQ	Samples
F28384DPTPS	ACTIVE	HLQFP	PTP	176	40	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28384DPTPS	Samples
F28384DZWTQR	ACTIVE	NFBGA	ZWT	337	1000	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28384DZWTQ	Samples
F28384DZWTS	ACTIVE	NFBGA	ZWT	337	90	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28384DZWTS	Samples
F28384SPTPQR	ACTIVE	HLQFP	PTP	176	200	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28384SPTPQ	Samples
F28384SPTPS	ACTIVE	HLQFP	PTP	176	40	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28384SPTPS	Samples
F28384SZWTS	ACTIVE	NFBGA	ZWT	337	90	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28384SZWTS	Samples
F28386DPTPQ	ACTIVE	HLQFP	PTP	176	40	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28386DPTPQ	Samples
F28386DPTPQR	ACTIVE	HLQFP	PTP	176	200	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28386DPTPQ	Samples
F28386DPTPS	ACTIVE	HLQFP	PTP	176	40	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28386DPTPS	Samples
F28386DZWTQ	ACTIVE	NFBGA	ZWT	337	90	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28386DZWTQ	Samples
F28386DZWTQR	ACTIVE	NFBGA	ZWT	337	1000	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28386DZWTQ	Samples
F28386DZWTS	ACTIVE	NFBGA	ZWT	337	90	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28386DZWTS	Samples
F28386SPTPQR	ACTIVE	HLQFP	PTP	176	200	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28386SPTPQ	Samples
F28386SPTPS	ACTIVE	HLQFP	PTP	176	40	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28386SPTPS	Samples
F28386SZWTS	ACTIVE	NFBGA	ZWT	337	90	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28386SZWTS	Samples
F28388DPTPS	ACTIVE	HLQFP	PTP	176	40	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28388DPTPS	Samples
F28388DPTPSR	ACTIVE	HLQFP	PTP	176	200	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28388DPTPS	Samples
F28388DZWTS	ACTIVE	NFBGA	ZWT	337	90	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28388DZWTS	Samples
F28388DZWTSR	ACTIVE	NFBGA	ZWT	337	1000	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28388DZWTS	Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
F28388SPTPS	ACTIVE	HLQFP	PTP	176	40	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28388SPTPS	Samples
F28388SPTPSR	ACTIVE	HLQFP	PTP	176	200	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28388SPTPS	Samples
F28388SZWTS	ACTIVE	NFBGA	ZWT	337	90	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28388SZWTS	Samples
F28388SZWTSR	ACTIVE	NFBGA	ZWT	337	1000	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28388SZWTS	Samples
F28P650DK6PZP	ACTIVE	HTQFP	PZP	100	90	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK6 PZP	Samples
F28P650DK9NMR	ACTIVE	NFBGA	NMR	169	260	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK9 NMR	Samples
F28P650DK9NMRR	ACTIVE	NFBGA	NMR	169	1000	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK9 NMR	Samples
F28P650DK9PTP	ACTIVE	HLQFP	PTP	176	40	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P650DK9 PTP	Samples
F28P650DK9ZEJ	ACTIVE	NFBGA	ZEJ	256	119	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650DK9 ZEJ	Samples
F28P650SH6NMRR	ACTIVE	NFBGA	NMR	169	1000	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SH6 NMR	Samples
F28P650SH7NMRR	ACTIVE	NFBGA	NMR	169	1000	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SH7 NMR	Samples
F28P650SK6NMRR	ACTIVE	NFBGA	NMR	169	1000	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SK6 NMR	Samples
F28P650SK7NMRR	ACTIVE	NFBGA	NMR	169	1000	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P650SK7 NMR	Samples
F28P659DK8PTPQ1	ACTIVE	HLQFP	PTP	176	40	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659DK8 PTPQ	Samples
F28P659DK8PZPQ1	ACTIVE	HTQFP	PZP	100	90	RoHS & Green	NIPDAU	Level-3-260C-168 HR	-40 to 125	F28P659DK8 PZPQ	Samples
F28P659DK8ZEJQ1	ACTIVE	NFBGA	ZEJ	256	119	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P659DK8 ZEJQ	Samples
F28P659DK8ZEJRQ1	ACTIVE	NFBGA	ZEJ	256	1000	RoHS & Green	SNAGCU	Level-3-260C-168 HR	-40 to 125	F28P659DK8 ZEJQ	Samples
XF28P650DK6PZP	ACTIVE	HTQFP	PZP	100	90	TBD	Call TI	Call TI	-40 to 125		Samples

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
XF28P650DK9PTP	ACTIVE	HLQFP	PTP	176	40	TBD	Call TI	Call TI	-40 to 125		Samples
XF28P650DK9ZEJ	ACTIVE	NFBGA	ZEJ	256	119	TBD	Call TI	Call TI	-40 to 125		Samples
XF28P659DK8PTPQ1	ACTIVE	HLQFP	PTP	176	40	TBD	Call TI	Call TI	-40 to 125		Samples
XF28P659DK8PZPRQ1	ACTIVE	HTQFP	PZP	100	1000	TBD	Call TI	Call TI	-40 to 125		Samples
XF28P659DK8ZEJRQ1	ACTIVE	NFBGA	ZEJ	256	1000	TBD	Call TI	Call TI	-40 to 125		Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and

continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TMS320F28384D, TMS320F28384D-Q1, TMS320F28384S, TMS320F28384S-Q1, TMS320F28386D, TMS320F28386D-Q1, TMS320F28386S, TMS320F28386S-Q1 :

- Catalog : TMS320F28384D, TMS320F28384S, TMS320F28386D, TMS320F28386S

- Automotive : TMS320F28384D-Q1, TMS320F28384S-Q1, TMS320F28386D-Q1, TMS320F28386S-Q1

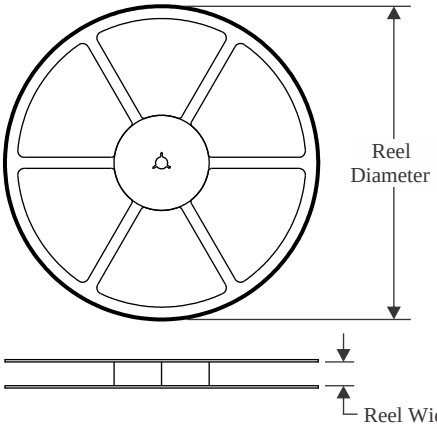
NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

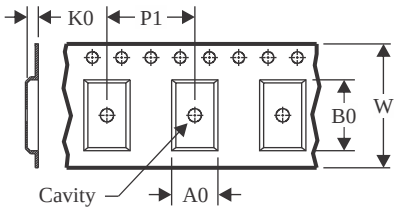
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

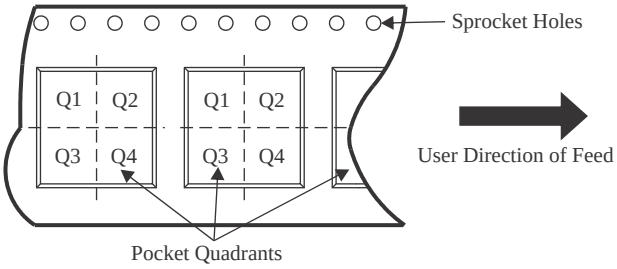


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

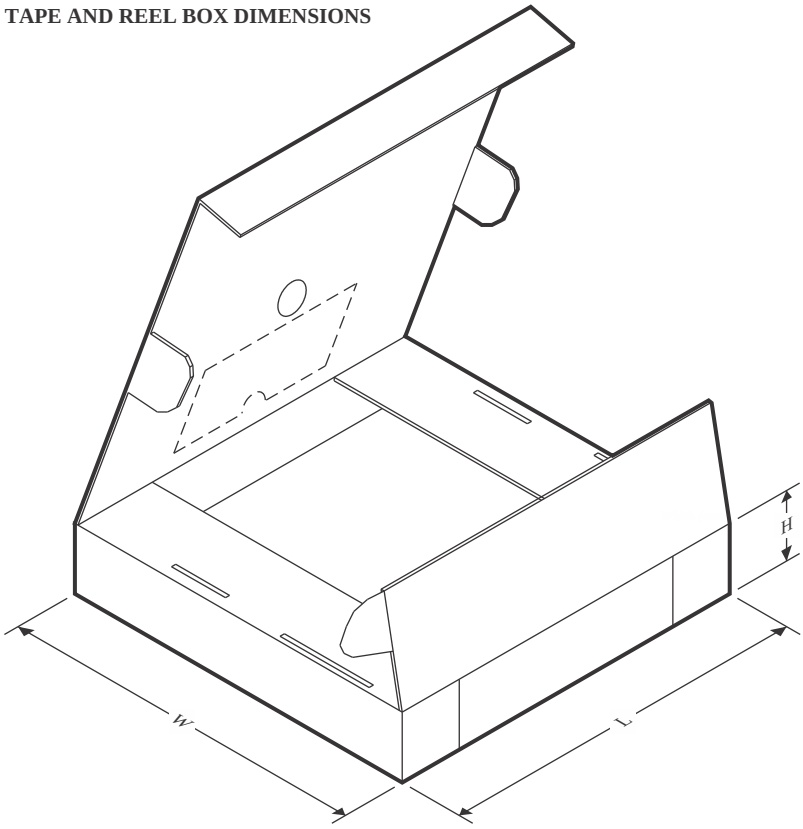
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
F28384DPTPQR	HLQFP	PTP	176	200	330.0	44.4	26.6	26.6	2.2	36.0	44.0	Q2
F28384DZWTQR	NFBGA	ZWT	337	1000	330.0	24.4	16.35	16.35	2.35	20.0	24.0	Q1
F28384SPTPQR	HLQFP	PTP	176	200	330.0	44.4	26.6	26.6	2.2	36.0	44.0	Q2
F28386DPTPQR	HLQFP	PTP	176	200	330.0	44.4	26.6	26.6	2.2	36.0	44.0	Q2
F28386DZWTQR	NFBGA	ZWT	337	1000	330.0	24.4	16.35	16.35	2.35	20.0	24.0	Q1
F28386SPTPQR	HLQFP	PTP	176	200	330.0	44.4	26.6	26.6	2.2	36.0	44.0	Q2
F28388DPTPSR	HLQFP	PTP	176	200	330.0	44.4	26.6	26.6	2.2	36.0	44.0	Q2
F28388DZWTSR	NFBGA	ZWT	337	1000	330.0	24.4	16.35	16.35	2.35	20.0	24.0	Q1
F28388SPTPSR	HLQFP	PTP	176	200	330.0	44.4	26.6	26.6	2.2	36.0	44.0	Q2
F28388SZWTSR	NFBGA	ZWT	337	1000	330.0	24.4	16.35	16.35	2.35	20.0	24.0	Q1
F28P659DK8ZEJRQ1	NFBGA	ZEJ	256	1000	330.0	24.4	13.35	13.35	2.6	16.0	24.0	Q1

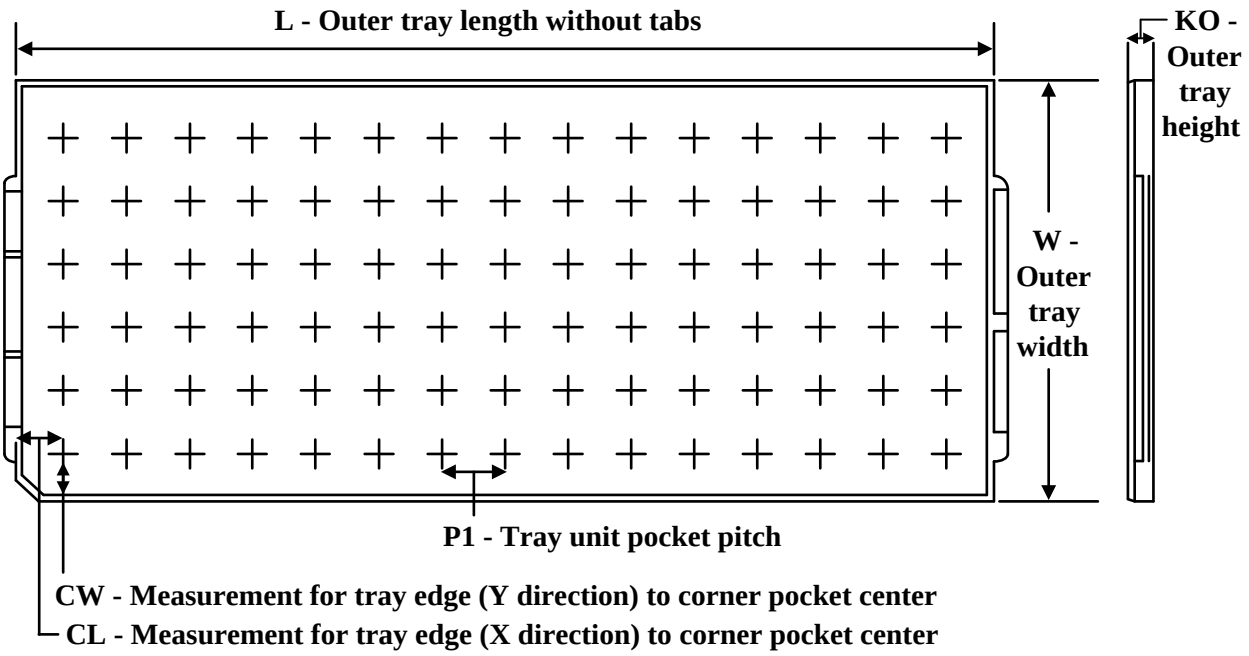
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
F28384DPTPQR	HLQFP	PTP	176	200	367.0	367.0	67.0
F28384DZWTQR	NFBGA	ZWT	337	1000	336.6	336.6	41.3
F28384SPTPQR	HLQFP	PTP	176	200	367.0	367.0	67.0
F28386DPTPQR	HLQFP	PTP	176	200	367.0	367.0	67.0
F28386DZWTQR	NFBGA	ZWT	337	1000	336.6	336.6	41.3
F28386SPTPQR	HLQFP	PTP	176	200	367.0	367.0	67.0
F28388DPTPSR	HLQFP	PTP	176	200	367.0	367.0	67.0
F28388DZWTSR	NFBGA	ZWT	337	1000	336.6	336.6	41.3
F28388SPTPSR	HLQFP	PTP	176	200	367.0	367.0	67.0
F28388SZWTSR	NFBGA	ZWT	337	1000	336.6	336.6	41.3
F28P659DK8ZEJRQ1	NFBGA	ZEJ	256	1000	336.6	336.6	41.3

TRAY

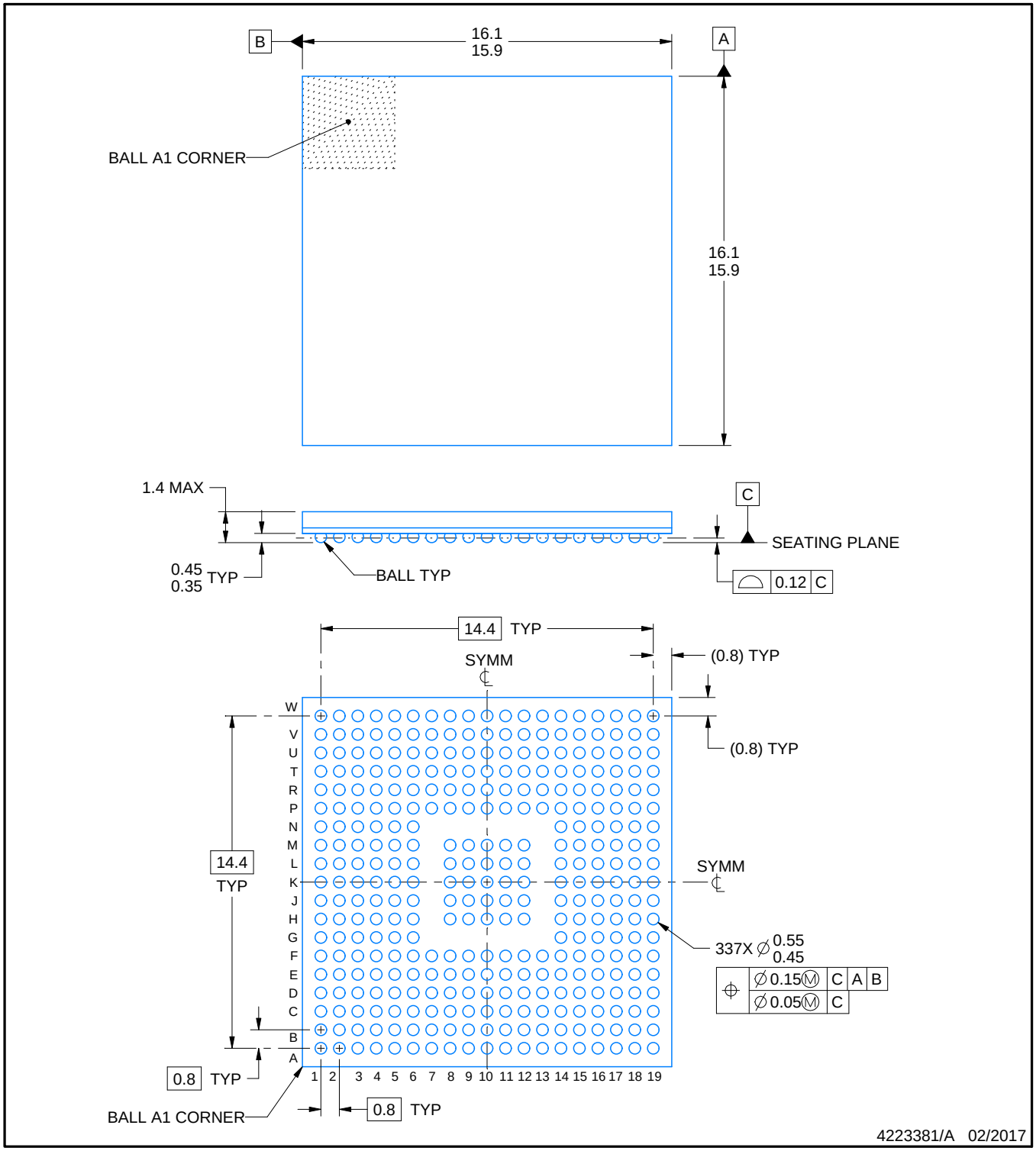


Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

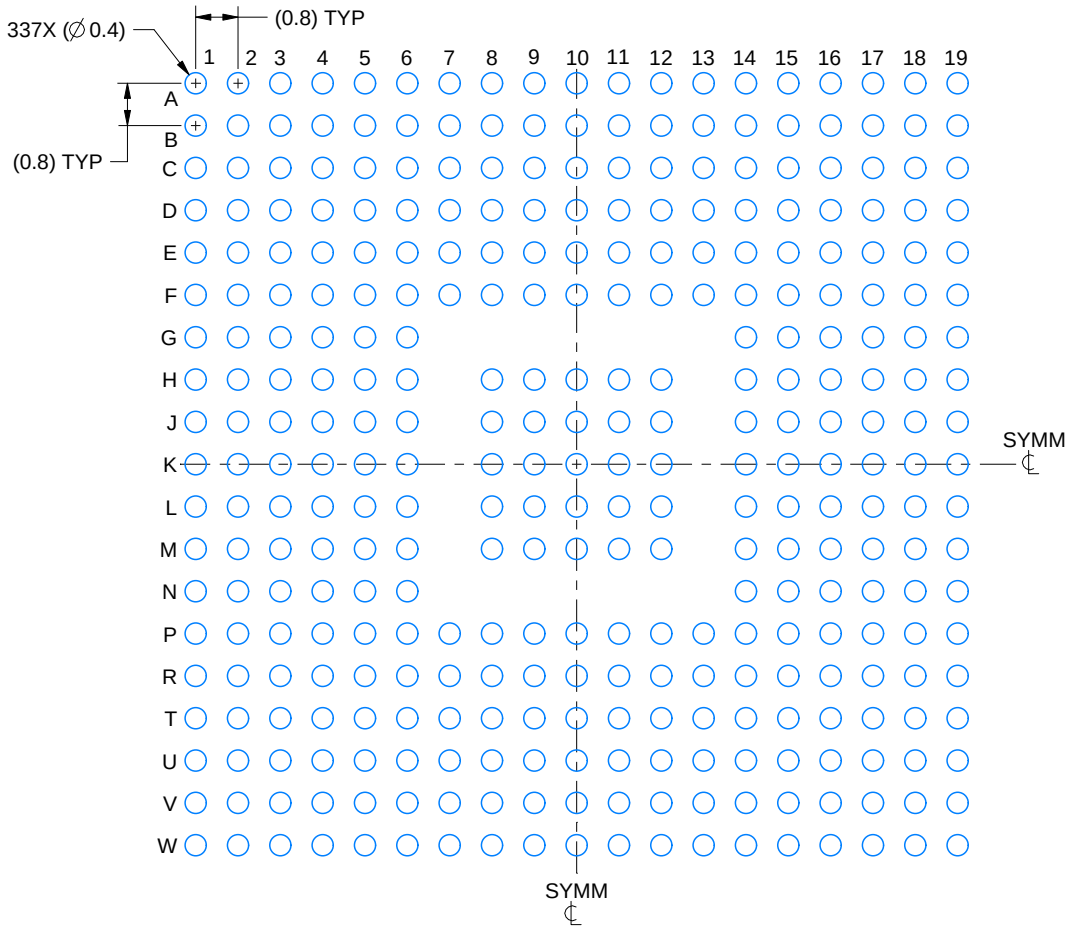
Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
F28384DPTPS	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28384DZWTS	ZWT	NFBGA	337	90	6 X 15	150	315	135.9	7620	20	17.5	15.45
F28384SPTPS	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28384SZWTS	ZWT	NFBGA	337	90	6 X 15	150	315	135.9	7620	20	17.5	15.45
F28386DPTPQ	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28386DPTPS	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28386DZWTQ	ZWT	NFBGA	337	90	6 X 15	150	315	135.9	7620	20	17.5	15.45
F28386DZWTS	ZWT	NFBGA	337	90	6 X 15	150	315	135.9	7620	20	17.5	15.45
F28386SPTPS	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28386SZWTS	ZWT	NFBGA	337	90	6 X 15	150	315	135.9	7620	20	17.5	15.45
F28388DPTPS	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28388DZWTS	ZWT	NFBGA	337	90	6 X 15	150	315	135.9	7620	20	17.5	15.45
F28388SPTPS	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28388SZWTS	ZWT	NFBGA	337	90	6 X 15	150	315	135.9	7620	20	17.5	15.45
F28P650DK6PZP	PZP	HTQFP	100	90	6 X 15	150	315	135.9	7620	15.4	20.3	21
F28P650DK9NMR	NMR	NFBGA	169	260	10 X 26	150	315	135.9	7620	11.8	10	10.35
F28P650DK9PTP	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7

Device	Package Name	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	CL (mm)	CW (mm)
F28P650DK9ZEJ	ZEJ	NFBGA	256	119	07x17	150	315	135.9	7620	18.1	12.7	12.9
F28P659DK8PTPQ1	PTP	HLQFP	176	40	4x10	150	315	135.9	7620	20.7	30.4	20.7
F28P659DK8PZPQ1	PZP	HTQFP	100	90	6 X 15	150	315	135.9	7620	15.4	20.3	21
F28P659DK8ZEJQ1	ZEJ	NFBGA	256	119	07x17	150	315	135.9	7620	18.1	12.7	12.9

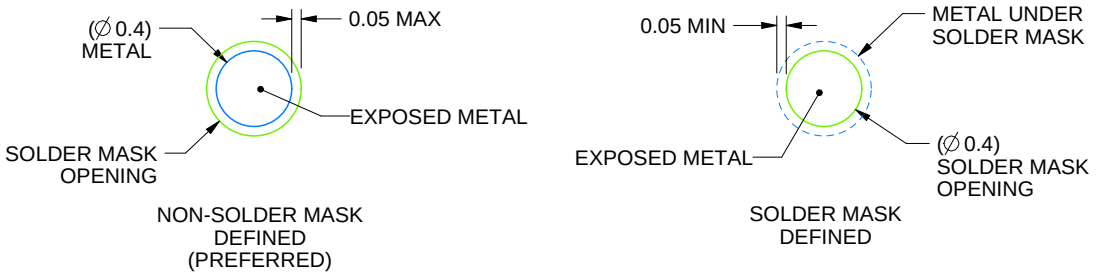


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:7X

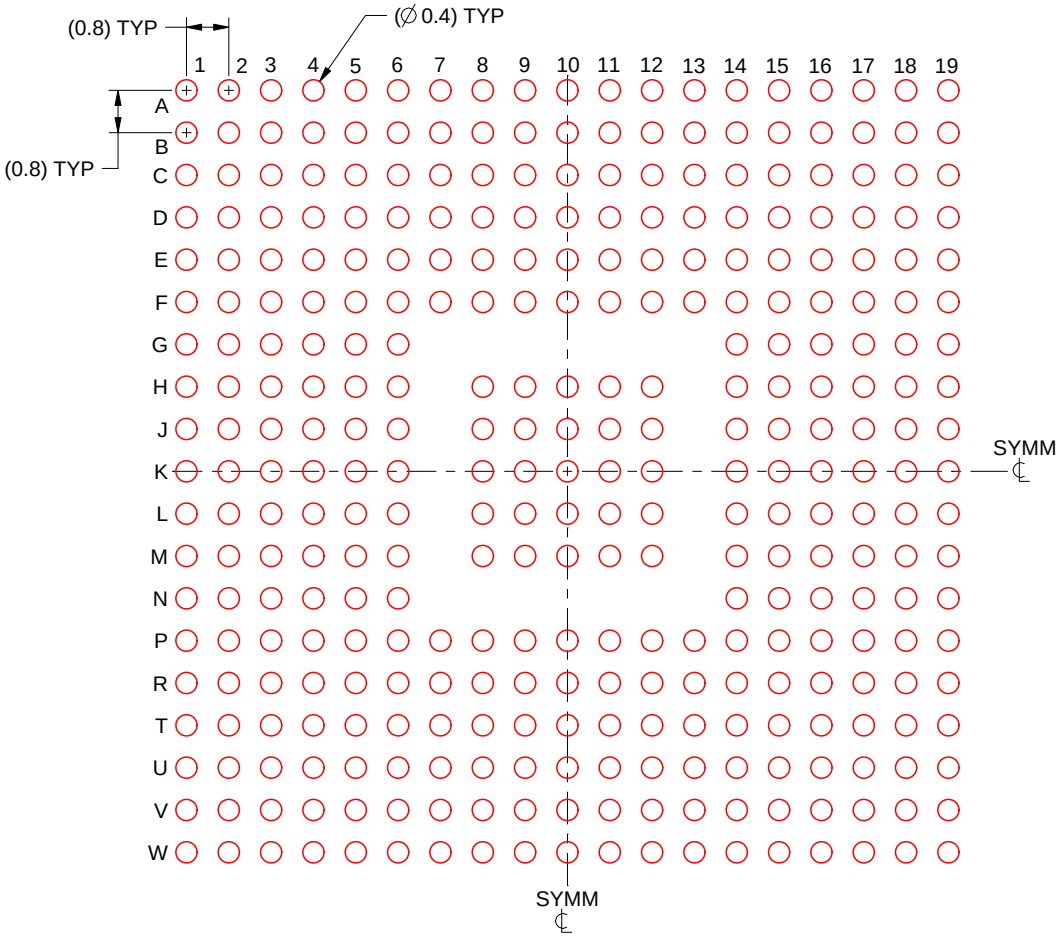


SOLDER MASK DETAILS
NOT TO SCALE

4223381/A 02/2017

NOTES: (continued)

3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
For information, see Texas Instruments literature number SPRAA99 (www.ti.com/lit/spraa99).



SOLDER PASTE EXAMPLE
BASED ON 0.15 mm THICK STENCIL
SCALE:7X

4223381/A 02/2017

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司