

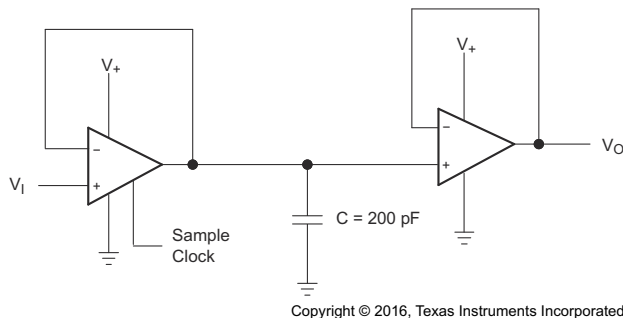
具有关断状态的 TLV34xx 低电压轨到轨输出 CMOS 运算放大器

1 特性

- 1.8V 和 5V 性能
- 低失调电压 (A 级)
 - 最大值 1.25mV (25°C)
 - 最大值 1.7mV (- 40°C 至 125°C)
- 轨到轨输出摆幅
- 宽共模输入电压范围: - 0.2V 至 ($V_+ - 0.5V$)
- 输入偏置电流: 1pA (典型值)
- 输入失调电压: 0.3mV (典型值)
- 低电源电流: 70 μ A/通道
- 低关断电流:
 - 每通道 10pA (典型值)
- 增益带宽: 2.3MHz (典型值)
- 压摆率: 0.9V/ μ s (典型值)
- 关断后的导通时间: 5 μ s (典型值)
- 输入参考电压噪声 (10kHz 时): 20nV/ $\sqrt{\text{Hz}}$
- ESD 保护性能超过 JESD 22 规范要求:
 - 2000V 人体放电模式 (HBM)
 - 750V 充电器件模型 (CDM)

2 应用

- 手机
- 消费类电子产品 (笔记本电脑)
- 语音音频前置放大器
- 便携式和电池供电类电子设备
- 电源电流监控
- 电池监测
- 缓冲器
- 滤波器



使用两个 TLV341 的采样保持电路

3 说明

TLV34xx 器件分别为单和双 CMOS 运算放大器, 具有低电压、低功耗和轨到轨输出摆幅功能。PMOS 输入级提供 1pA (典型值) 的超低输入偏置电流和 0.3mV (典型值) 的失调电压。对于需要出色直流精度的应用, A 级 (TLV34xA) 在 25°C 时具有 1.25mV (最大值) 的低失调电压。

这些单电源放大器专为超低电压 (1.5V 至 5V) 工作而设计, 其共模输入电压范围通常介于与正电源轨的 - 0.2V 至 0.5V。

采用 RUG 封装的 TLV341 (单) 和 TLV342 (双) 还提供了一个关断 (SHDN) 引脚, 可用于禁用器件。在关断模式下, 电源电流降至 45pA (典型值)。TLV341 采用 SOT-23 和更小的 SC70 封装, 非常适合大多数空间受限的应用。双 TLV342 采用标准的 SOIC、VSSOP 和 X2QFN 封装。

TLV34xx 具有从 - 40°C 到 125°C 的扩展工业温度范围, 因此能够灵活用于各种商业和工业应用。

封装信息

器件型号 ⁽¹⁾	封装	本体尺寸 (标称值)
TLV341	(SOT-23, 6)	2.90mm × 1.60mm
	(SC70, 6)	2.00mm × 1.25mm
	SOT (6)	1.60mm × 1.20mm
TLV342	SOIC (8)	4.90mm × 3.91mm
	VSSOP (8)	3.00mm × 3.00mm
	(X2QFN, 10)	1.50mm × 2.00mm
TLV342S	(X2QFN, 10)	1.50mm × 2.00mm

(1) 如需了解所有可用封装, 请参阅数据表末尾的可订购产品附录。



内容

1 特性	1	6.1 概述	16
2 应用	1	6.2 功能方框图	16
3 说明	1	6.3 特性说明	16
4 引脚配置和功能	3	6.4 器件功能模式	16
5 规格	5	7 应用和实施	17
5.1 绝对最大额定值.....	5	7.1 应用信息.....	17
5.2 ESD 等级.....	5	7.2 典型应用.....	17
5.3 建议运行条件.....	5	7.3 电源相关建议.....	18
5.4 热性能信息：TLV341.....	5	7.4 布局.....	18
5.5 热性能信息：TLV342.....	6	8 器件和文档支持	20
5.6 热性能信息：TLV342S.....	6	8.1 接收文档更新通知.....	20
5.7 电气特性：V ₊ = 1.8V.....	7	8.2 支持资源.....	20
5.8 电气特性：V ₊ = 5V.....	8	8.3 商标.....	20
5.9 关断特性：V ₊ = 1.8V.....	9	8.4 静电放电警告.....	20
5.10 关断特性：V ₊ = 5V.....	9	8.5 术语表.....	20
5.11 典型特性.....	10	9 修订历史记录	20
6 详细说明	16	10 机械、封装和可订购信息	20

4 引脚配置和功能

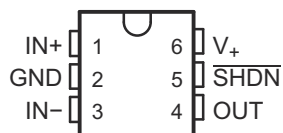


图 4-1. TLV341 DBV 或 DCK 封装，6 引脚 SOT-23 或 SC70（顶视图）

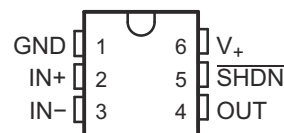


图 4-2. TLV341 DRL 封装，6 引脚 SOT（顶视图）

表 4-1. 引脚功能：TLV341

引脚			I/O	说明
名称	SOT-23、SC70	SOT		
1IN+	1	2	I	通道 1 上的同相输入
1IN -	3	3	I	通道 1 上的反相输入
1OUT	4	4	O	通道 1 的输出
GND	2	1	—	接地
SHDN	5	5	I	关断低电平有效
V+	6	6	—	正电源

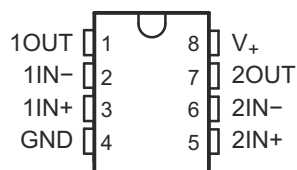


图 4-3. TLV342 D 或 DGK 封装；10 引脚 SOIC 或 VSSOP（顶视图）

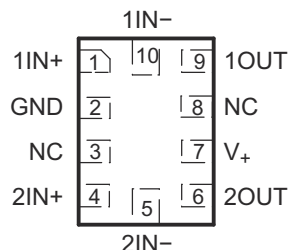


图 4-4. TLV342 RUG 封装，10 引脚 X2QFN（顶视图）

表 4-2. 引脚功能：TLV342

引脚			I/O	说明
名称	SOIC、VSSOP	X2QFN		
1IN+	3	1	I	通道 1 上的同相输入
1IN -	2	10	I	通道 1 上的反相输入
1OUT	1	9	O	通道 1 的输出
2IN+	5	4	I	通道 2 上的同相输入
2IN -	6	5	I	通道 2 上的反相输入
2OUT	7	6	O	通道 2 的输出
GND	4	2	—	接地
NC ⁽¹⁾	—	3、8	—	未连接
V+	8	7	—	正电源

(1) NC - 无内部连接

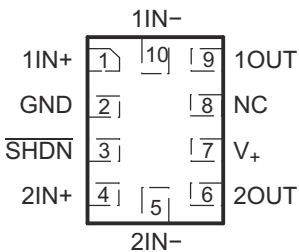


图 4-5. TLV342S RUG 封装，10 引脚 X2QFN（顶视图）

表 4-3. 引脚功能：TLV342S

引脚		I/O	说明
名称	编号		
1IN+	1	I	通道 1 上的同相输入
1IN -	10	I	通道 1 上的反相输入
1OUT	9	O	通道 1 的输出
2IN+	4	I	通道 2 上的同相输入
2IN -	5	I	通道 2 上的反相输入
2OUT	6	O	通道 2 的输出
GND	2	—	接地
NC ⁽¹⁾	8	—	未连接
SHDN	3	I	关断低电平有效
V ₊	7	—	正电源

(1) NC - 无内部连接

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
V ₊	电源电压 ⁽²⁾	-0.3	5.5	V
V _{ID}	差分输入电压 ⁽³⁾		±5.5	V
V _I	输入电压（输入或关断）	-0.3	5.5	V
V _O	输出电压	-0.3	V _{CC} + 0.3	V
T _J	运行虚拟结温		150	°C
T _{stg}	贮存温度	-65	150	°C

- (1) 应力超出绝对最大额定值下列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 除差分电压外的所有电压值都是相对于网络 GND 而言。
- (3) 差分电压是相对于 IN⁻ 的 IN⁺ 上的值。

5.2 ESD 等级

		值	单位
V _(ESD)	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101 ⁽²⁾	±750

- (1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

		最小值	最大值	单位
V ₊	电源电压（单电源运行）	1.5	5.5	V
T _A	自然通风条件下的工作温度范围	-40	125	°C

5.4 热性能信息：TLV341

热指标 ⁽¹⁾		TLV341			单位
		DBV (SOT-23)	DCK (SC70)	DRL (SOT)	
		6 引脚	6 引脚	6 引脚	
R _{θJA}	结至环境热阻	193.4	196.8	221.1	°C/W
R _{θJC(top)}	结至外壳（顶部）热阻	145.6	82.4	109.1	°C/W
R _{θJB}	结至电路板热阻	44.1	95.2	111.4	°C/W
ψ _{JT}	结至顶部特征参数	34.1	1.8	6.2	°C/W
ψ _{JB}	结至电路板特征参数	43.4	93.2	109.8	°C/W

- (1) 有关新旧热指标的更多信息，请参阅《半导体和 IC 封装热指标》应用报告 [SPRA953](#)。

5.5 热性能信息：TLV342

热指标 ⁽¹⁾		TLV342			单位
		D (SOIC)	DGK (MSOP)	RUG (X2QFN)	
		8 引脚	8 引脚	10 引脚	
$R_{\theta JA}$	结至环境热阻	123.6	192.3	167	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	69.8	78.2	56.5	°C/W
$R_{\theta JB}$	结至电路板热阻	63.9	112.6	94.3	°C/W
ψ_{JT}	结至顶部特征参数	24.4	15.2	4.1	°C/W
ψ_{JB}	结至电路板特征参数	63.4	111.2	94	°C/W

(1) 有关新旧热指标的更多信息，请参阅《半导体和 IC 封装热指标》应用报告 [SPRA953](#)。

5.6 热性能信息：TLV342S

热指标 ⁽¹⁾		TLV342S	单位
		RUG (X2QFN)	
		10 引脚	
$R_{\theta JA}$	结至环境热阻	158.3	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	52.6	°C/W
$R_{\theta JB}$	结至电路板热阻	87.9	°C/W
ψ_{JT}	结至顶部特征参数	1	°C/W
ψ_{JB}	结至电路板特征参数	87	°C/W

(1) 有关新旧热指标的更多信息，请参阅《半导体和 IC 封装热指标》应用报告 [SPRA953](#)。

5.7 电气特性：V₊ = 1.8V

V₊ = 1.8V，GND = 0V，V_{IC} = V_O = V₊/2，R_L > 1MΩ（除非另有说明）。请参阅 节 5.9。

参数	测试条件	T _A	最小值	典型值 (1)	最大值	单位
V _{IO} 输入失调电压	标准等级	25°C		0.3	4	mV
		完整范围			4.5	
	A 级	25°C		0.3	1.25	
		0°C 至 125°C		0.3	1.5	
		-40°C 至 125°C		0.3	1.7	
α _{VIO} 输入失调电压的平均温度系数		完整范围		1.9		μV/°C
I _{IB} 输入偏置电流		25°C		1	100	pA
		-40°C 至 85°C			375	
		-40°C 至 125°C			3000	
I _{IO} 输入失调电流		25°C		6.6		fA
CMRR 共模抑制比	0 ≤ V _{ICR} ≤ 1.2V	25°C	60	85		dB
		完整范围	50			
K _{SVR} 电源电压抑制比	1.8V ≤ V ₊ ≤ 5V	25°C	75	95		dB
		完整范围	65			
V _{ICR} 共模输入电压范围	CMRR ≥ 60dB	25°C	0		1.2	V
A _V 大信号电压增益(2)	R _L = 10kΩ (连接至 1.35V)	25°C	70	110		dB
		完整范围	60			
	R _L = 2kΩ (连接至 1.35V)	25°C	65	100		
		完整范围	55			
V _O 输出摆幅 (相对于电源轨的偏差)	R _L = 2kΩ (连接至 1.35V)	低电平	25°C	22	50	mV
		完整范围			75	
		高电平	25°C	25	50	
		完整范围			75	
	R _L = 10kΩ (连接至 1.35V)	低电平	25°C	14	20	
		完整范围			25	
		高电平	25°C	7	20	
		完整范围			25	
I _{CC} 电源电流 (每通道)		25°C		150	200	μA
		完整范围			210	
I _{OS} 输出短路电流	拉电流	25°C	6	12		mA
	灌电流		10	20		
SR 压摆率	R _L = 10kΩ(3)	25°C		0.9		V/ μs
GBW 单位增益带宽	R _L = 10kΩ，C _L = 200pF	25°C		2.2		MHz
Φ _m 相位裕度	R _L = 100kΩ，C _L = 200pF	25°C		55		°
G _m 增益裕度	R _L = 100kΩ，C _L = 200pF	25°C		15		dB
V _n 等效输入噪声电压	f = 1kHz	25°C		33		nV/ √ Hz
I _n 等效输入噪声电流	f = 1kHz	25°C		0.001		pA/ √ Hz
THD 总谐波失真	f = 1kHz，A _V = 1，R _L = 600Ω，V _I = 1V _{PP}	25°C		0.015%		

(1) 典型值表示最可能的参数标准。

(2) GND + 0.2V ≤ V_O ≤ V₊ - 0.2V

(3) 作为电压跟随器连接，具有 $2V_{PP}$ 阶跃输入。指定的数字是正负压摆率中较低的值。

5.8 电气特性： $V_+ = 5V$

$V_+ = 5V$ ， $GND = 0V$ ， $V_{IC} = V_O = V_+/2$ ， $R_L > 1M\Omega$ (除非另有说明)。请参阅 [节 5.10](#)。

参数	测试条件	T_A	最小值	典型值 (1)	最大值	单位
V_{IO} 输入失调电压	标准等级	25°C		0.3	4	mV
		完整范围			4.5	
	A 级	25°C		0.3	1.25	
		0°C 至 125°C		0.3	1.5	
		-40°C 至 125°C		0.3	1.7	
α_{VIO} 输入失调电压的平均温度系数		完整范围		1.9		$\mu V/^\circ C$
I_{IB} 输入偏置电流		25°C		1	200	pA
		-40°C 至 85°C			375	
		-40°C 至 125°C			3000	
I_{IO} 输入失调电流		25°C		6.6		fA
CMRR 共模抑制比	$0 \leq V_{ICR} \leq 4.4V$	25°C	75	90		dB
		完整范围	70			
k_{SVR} 电源电压抑制比	$1.8V \leq V_+ \leq 5V$	25°C	75	95		dB
		完整范围	65			
V_{ICR} 共模输入电压范围	$CMRR \geq 70dB$	25°C	0		4.4	V
A_V 大信号电压增益(2)	$R_L = 10k\Omega$ (连接至 2.5V)	25°C	80	110		dB
		完整范围	70			
	$R_L = 2k\Omega$ (连接至 2.5V)	25°C	75	105		
		完整范围	60			
V_O 输出摆幅 (相对于电源轨的偏差)	$R_L = 2k\Omega$ (连接至 2.5V)	低电平	25°C	40	60	mV
		完整范围			85	
		高电平	25°C	25	60	
		完整范围			85	
	$R_L = 10k\Omega$ (连接至 2.5V)	低电平	25°C	18	30	
		完整范围			40	
		高电平	25°C	7	15	
		完整范围			20	
I_{CC} 电源电流 (每通道)		25°C		150	200	μA
		完整范围			215	
I_{OS} 输出短路电流	拉电流	25°C	60	113		mA
	灌电流		80	115		
SR 压摆率	$R_L = 10k\Omega$ (3)	25°C		1		V/ μs
GBW 单位增益带宽	$R_L = 10k\Omega$ ， $C_L = 200pF$	25°C		2.3		MHz
ϕ_m 相位裕度	$R_L = 100k\Omega$ ， $C_L = 200pF$	25°C		55		°
G_m 增益裕度	$R_L = 100k\Omega$ ， $C_L = 200pF$	25°C		15		dB
V_n 等效输入噪声电压	$f = 1kHz$	25°C		33		nV/ $\sqrt{Hz}$
I_n 等效输入噪声电流	$f = 1kHz$	25°C		0.001		pA/ $\sqrt{Hz}$
THD 总谐波失真	$f = 1kHz$ ， $A_V = 1$ ， $R_L = 600\Omega$ ， $V_I = 1V_{PP}$	25°C		0.012%		

5.9 关断特性 : $V_+ = 1.8V$

$V_+ = 1.8V$, $GND = 0V$, $V_{IC} = V_O = V_+/2$, $R_L > 1M\Omega$ (除非另有说明)

参数	测试条件	T_A	最小值	典型值	最大值	单位
$I_{CC(SHDN)}$ 关断模式下的电源电流	$V_{SD} = 0V$	25°C		0.01	1	μA
		完整范围			1.5	
$t_{(on)}$ 放大器导通时间		25°C		5		μs
V_{SD} 建议的关断引脚电压范围	导通模式	25°C	1.5		1.8	V
	关断模式		0		0.2	

5.10 关断特性 : $V_+ = 5V$

$V_+ = 5V$, $GND = 0V$, $V_{IC} = V_O = V_+/2$, $R_L > 1M\Omega$ (除非另有说明)

参数	测试条件	T_A	最小值	典型值	最大值	单位
$I_{CC(SHDN)}$ 关断模式下的电源电流	$V_{SD} = 0V$	25°C		0.01	1	μA
		完整范围			1.5	
$t_{(on)}$ 放大器导通时间		25°C		5		μs
V_{SD} 建议的关断引脚电压范围	导通模式	25°C	4.5		5	V
	关断模式		0		0.2	

5.11 典型特性

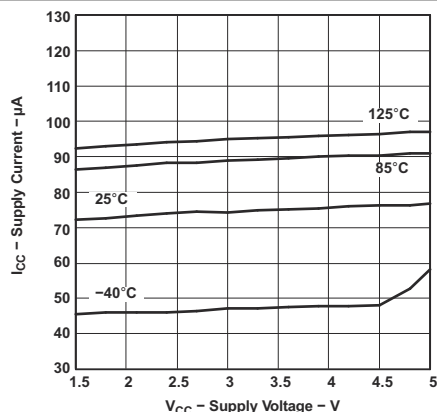


图 5-1. 电源电流与
电源电压间的关系

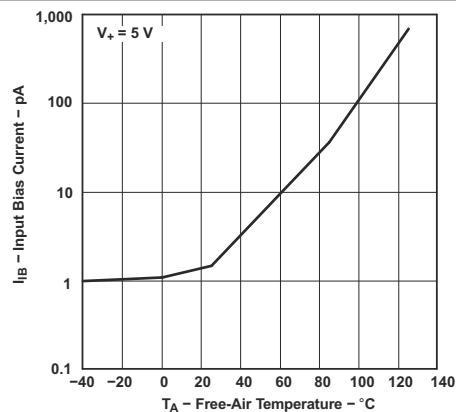


图 5-2. 输入偏置电流与
温度间的关系

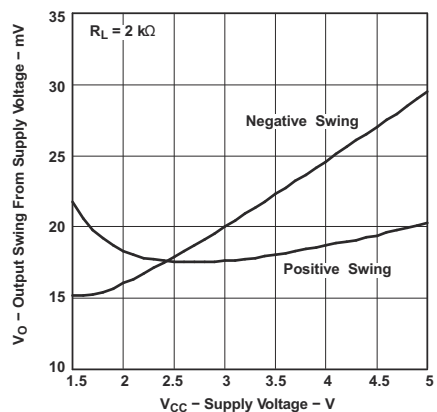


图 5-3. 输出电压摆幅与
电源电压间的关系

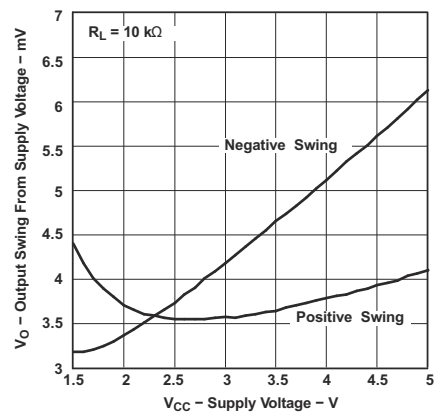


图 5-4. 输出电压摆幅与
电源电压间的关系

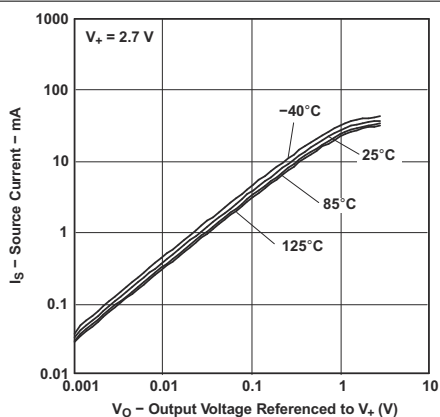


图 5-5. 源电流与输出
电压间的关系

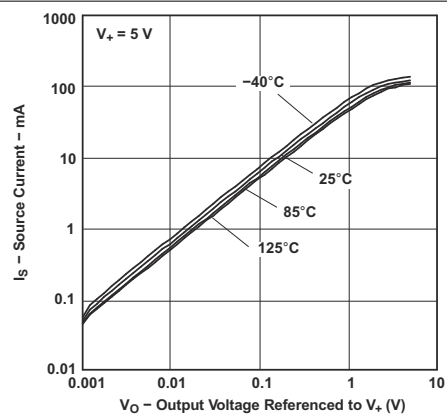


图 5-6. 源电流与输出
电压间的关系

5.11 典型特性 (续)

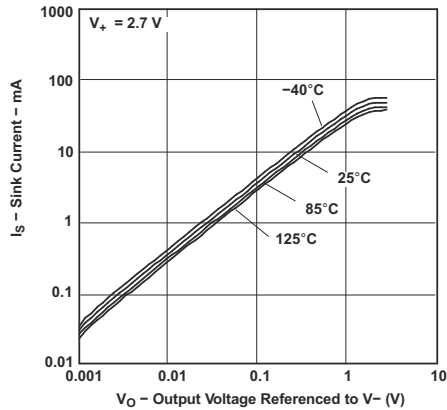


图 5-7. 灌电流与输出电压间的关系

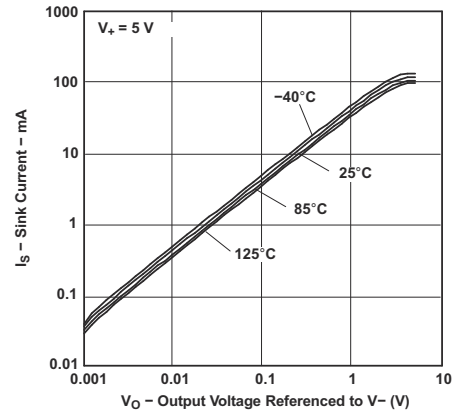


图 5-8. 灌电流与输出电压间的关系

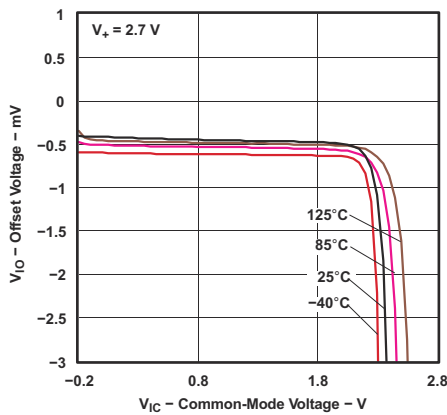


图 5-9. 失调电压与共模电压间的关系

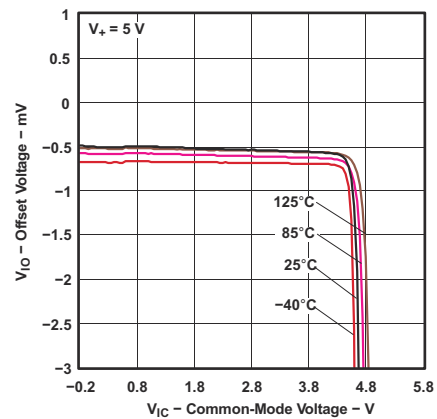


图 5-10. 失调电压与共模电压间的关系

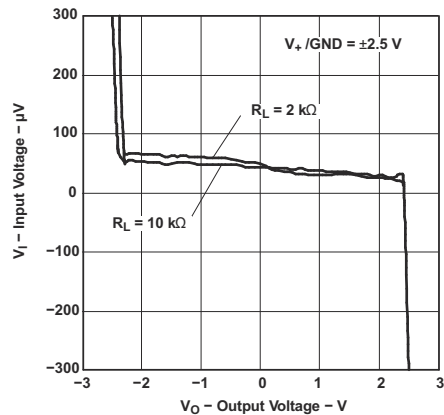


图 5-11. 输入电压与输出电压间的关系

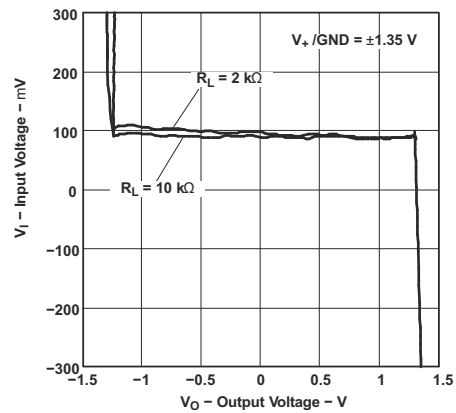


图 5-12. 输入电压与输出电压间的关系

5.11 典型特性 (续)

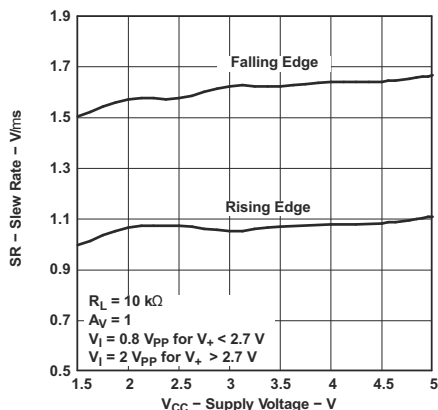


图 5-13. 压摆率与电源电压间的关系

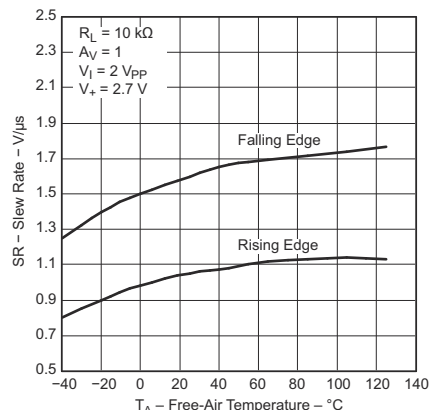


图 5-14. 压摆率与温度间的关系

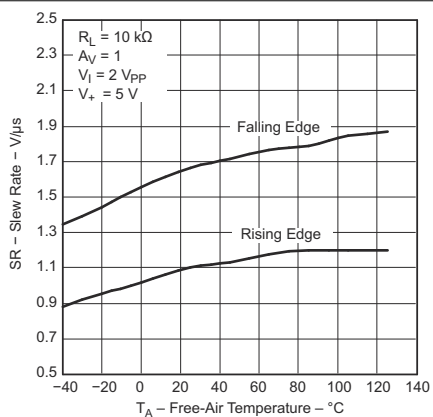


图 5-15. 压摆率与温度间的关系

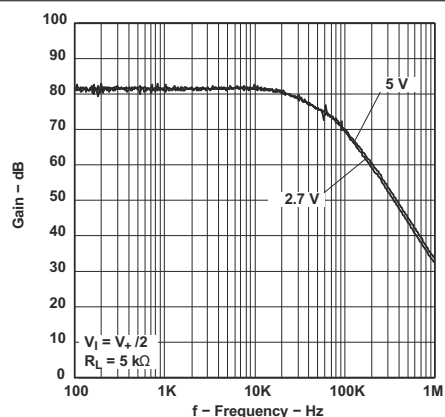


图 5-16. CMRR 与频率间的关系

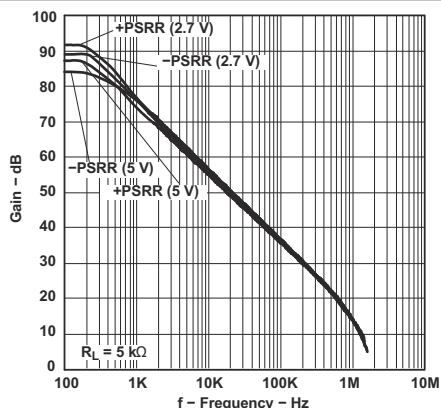


图 5-17. PSRR 与频率间的关系

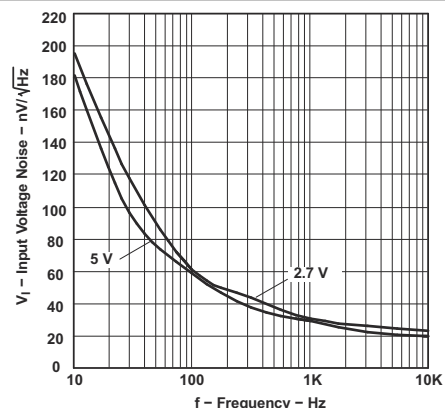


图 5-18. 输入电压噪声与频率间的关系

5.11 典型特性 (续)

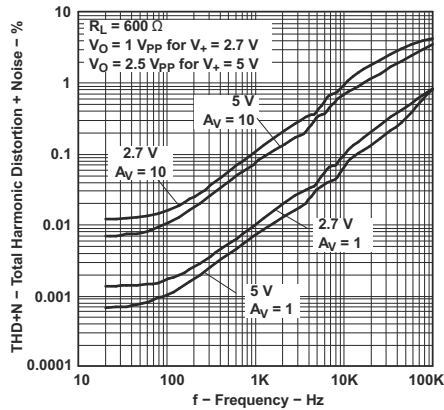


图 5-19. 总谐波失真 + 噪声
与频率间的关系

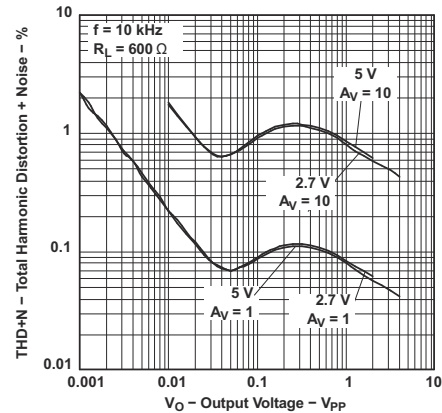


图 5-20. 总谐波失真 + 噪声
与输出电压间的关系

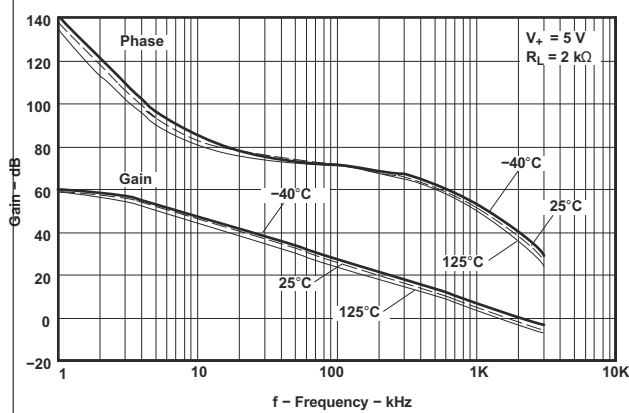


图 5-21. 频率响应与
温度间的关系

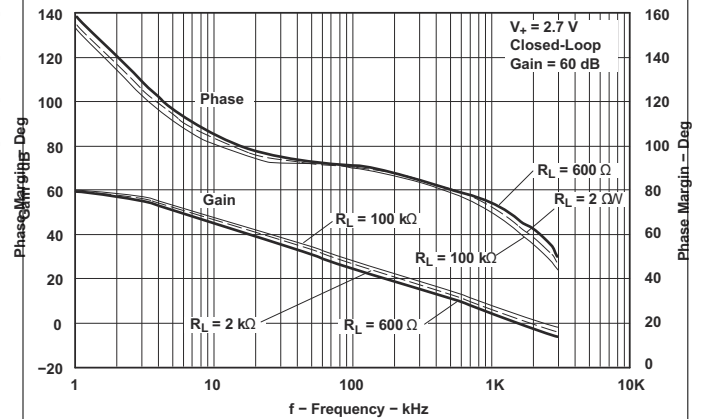


图 5-22. 频率响应与 R_L 间的关系

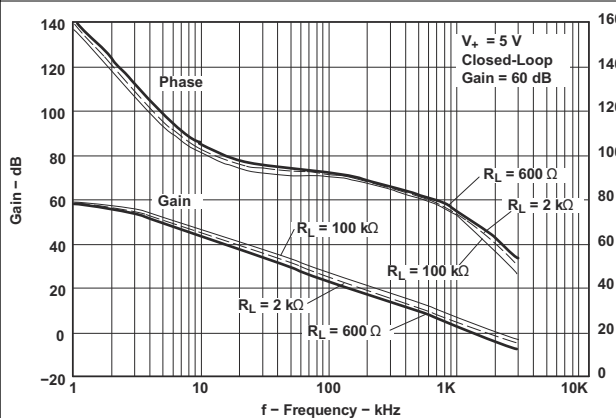


图 5-23. 频率响应与 R_L 间的关系

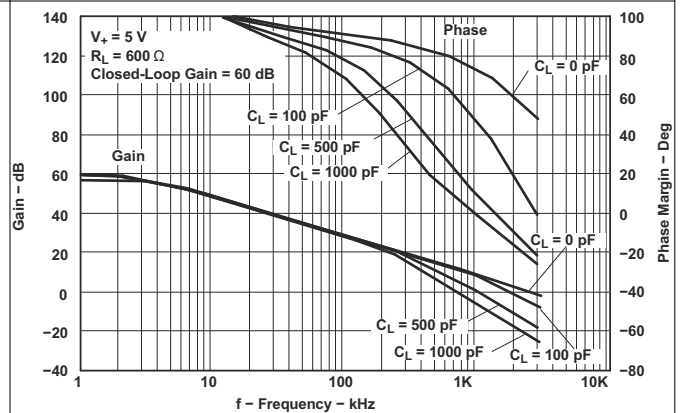


图 5-24. 频率响应与 C_L 间的关系

5.11 典型特性 (续)

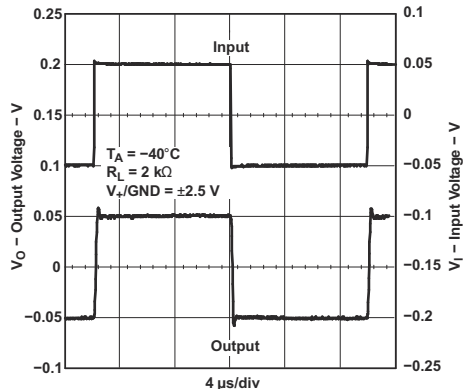


图 5-25. 小信号同相响应

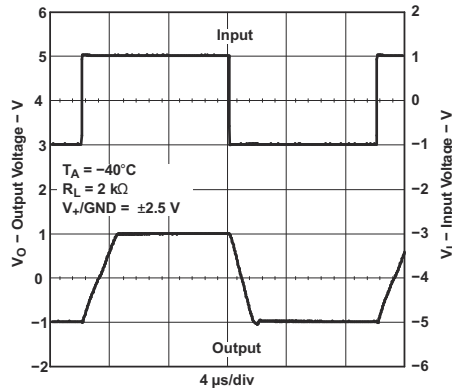


图 5-26. 大信号同相响应

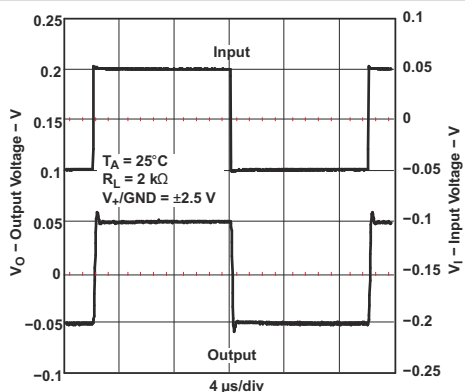


图 5-27. 小信号同相响应

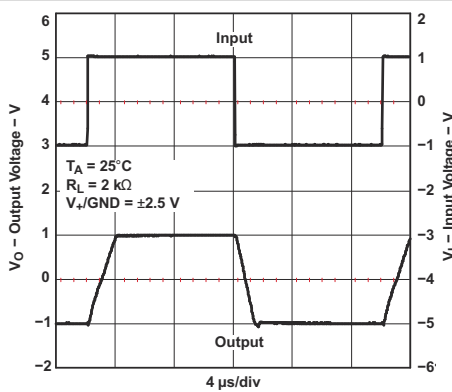


图 5-28. 大信号同相响应

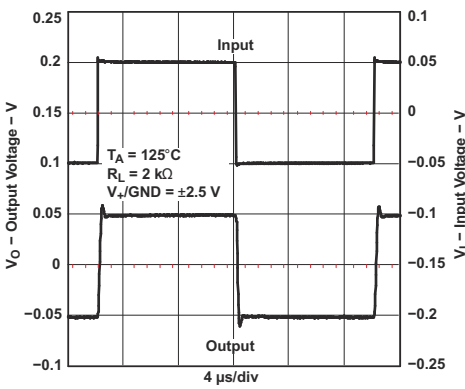


图 5-29. 小信号同相响应

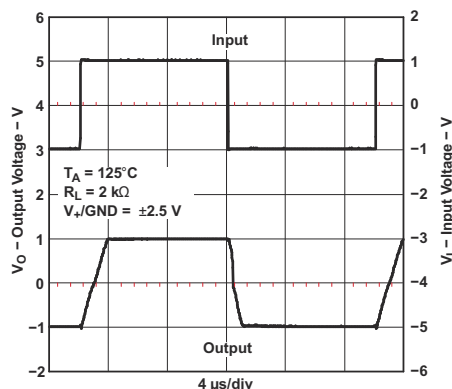


图 5-30. 大信号同相响应

5.11 典型特性 (续)

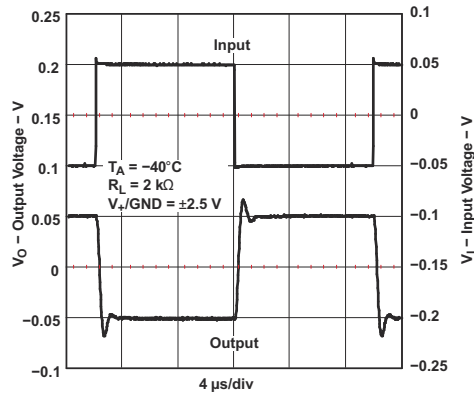


图 5-31. 小信号同相响应

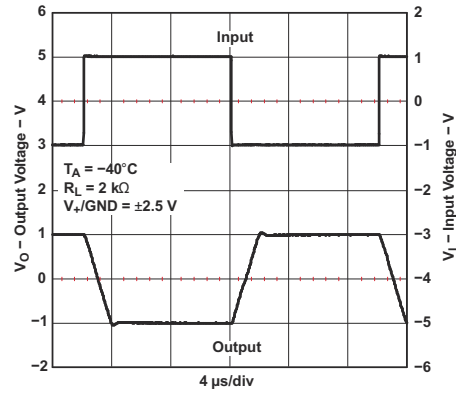


图 5-32. 大信号反相响应

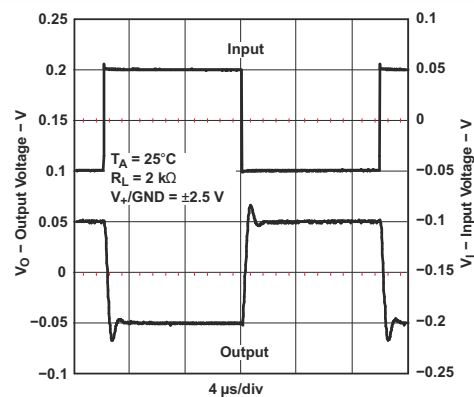


图 5-33. 小信号反相响应

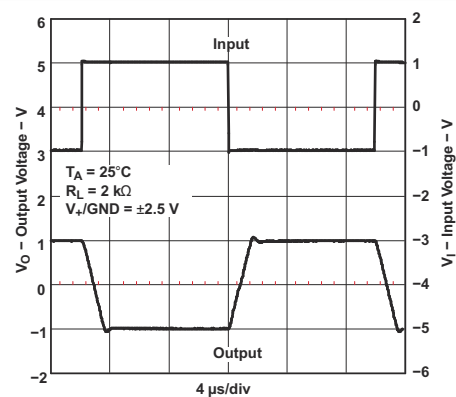


图 5-34. 大信号反相响应

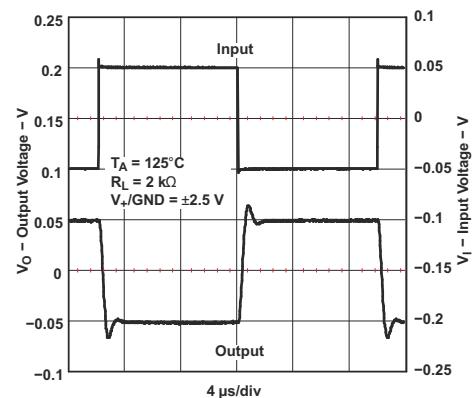


图 5-35. 小信号反相响应

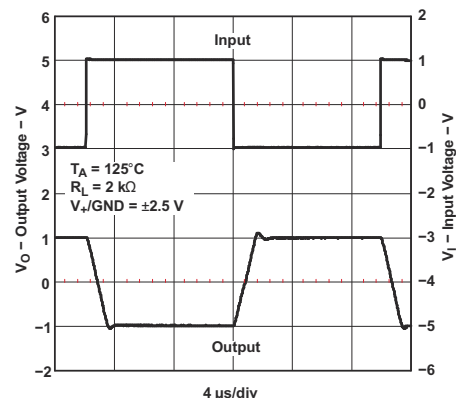


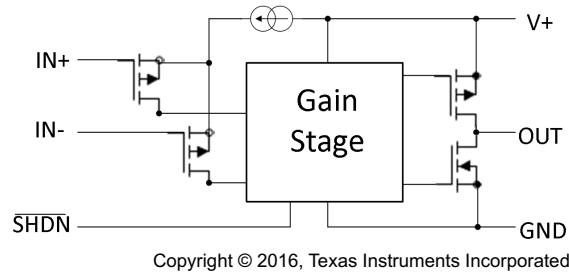
图 5-36. 大信号反相响应

6 详细说明

6.1 概述

TLV34xx 器件是具有 CMOS 输入的精密运算放大器，可实现非常低的输入偏置电流。A 级器件可提供较低的 V_{IO} ，以在直接耦合的应用中实现高精度。输出为轨到轨，而输入共模包括接地。TLV341 和 TLV342S 具有关断模式，可实现极低的电源电流。

6.2 功能方框图



6.3 特性说明

6.3.1 PMOS 输入级

PMOS 输入级支持包括接地在内的较低输入范围。范围上限为 $V_{CC} - 0.6V$ 。

6.3.2 CMOS 输出级

CMOS 漏极输出拓扑支持轨到轨输出摆幅。

6.3.3 关断

TLV341 和 TLV342S 包含一个关断引脚。关断期间， I_{CC} 接近零，且输出变为高阻抗。关断后的典型导通时间为 $5\mu s$ 。

6.4 器件功能模式

TLV34xx 器件有两种工作模式：

- 当 $\overline{SHDN}$ 引脚处于 V_+ 电平或 $\overline{SHDN}$ 引脚不存在时，正常运行
- $\overline{SHDN}$ 处于 GND 电平时处于关断模式； I_{CC} 非常低且输出为高阻抗。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

TLV34xx 器件配有轨到轨输出，输入范围从接地至 $V_{CC} - 0.6V$ 。CMOS 输入提供非常低的输入电流。关断功能是双放大器版本中的一个选项。可在 1.5V 至 5.5V 范围内工作。

7.2 典型应用

运算放大器的典型应用是反相放大器。该放大器在输入端接受正电压，然后使输出变为同样幅度的负电压。该放大器还会以相同的方式将负电压变为正电压。

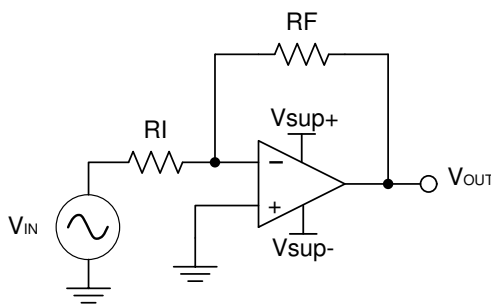


图 7-1. 应用原理图

7.2.1 设计要求

选择的电源电压必须大于输入电压范围和输出电压范围。例如，此应用将 $\pm 0.5V$ 的信号扩展到 $\pm 1.8V$ 。将电源设置在 $\pm 2V$ 就足以适应此应用。电源可以按任何顺序上电；但是，两个电源在任何时候都不能具有相对于接地相反的极性；否则，流过输入 ESD 二极管电流可能会较大。TI 强烈建议在接地输入端添加一个串联电阻，以在这种情况下限制电流。Vsop+ 必须始终比 Vsop- 更加正向；否则，可能会有较大的反向电源电流流动。

7.2.2 详细设计过程

使用 [方程式 1](#) 和 [方程式 2](#) 来确定反相放大器需要的增益：

$$A_v = \frac{V_{OUT}}{V_{IN}} \quad (1)$$

$$A_v = \frac{1.8}{-0.5} = -3.6 \quad (2)$$

确定所需增益后，选择 R_I 或 R_F 的阻值。由于放大器电路使用 mA 级电流，因此需要选择 k Ω 级阻值。这样可以保持该器件不会消耗过多电流。对于此示例，选择 R_I 为 10k Ω ，这意味着对 R_F 使用 36k Ω 。这是由 [方程式 3](#) 确定的。

$$A_v = -\frac{R_F}{R_I} \quad (3)$$

7.2.3 应用曲线

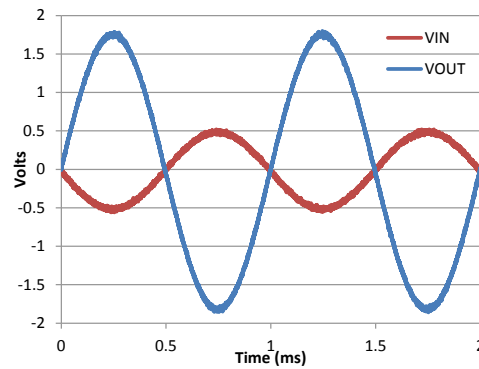


图 7-2. 反相放大器的输入和输出电压

7.3 电源相关建议

小心

单个电源的电源电压超过 5.5V 可能会对器件造成损坏 (请参阅 节 5.1) 。

将 0.1 μ F 旁路电容器置于电源引脚附近, 以减少来自高噪声电源或高阻抗电源的耦合误差。

7.4 布局

7.4.1 布局指南

为了实现器件的出色工作性能, 请采用良好的 PCB 布局实践, 包括:

- 噪声可通过全部电路电源引脚以及运算放大器自身传入模拟电路。旁路电容用于通过为局部模拟电路提供低阻抗电源, 以降低耦合噪声。
 - 在每个电源引脚和接地端之间连接低等效串联电阻 (ESR) 0.1 μ F 陶瓷旁路电容器, 并尽量靠近器件放置。针对单电源应用, V_+ 与接地端之间可以接入单个旁路电容器。
- 将电路中模拟和数字部分单独接地是最简单和最有效的噪声抑制方法之一。多层 PCB 上的一层或多层通常专门用于作为接地平面。接地平面有助于散热和减少 EMI 噪声拾取。确保对数字接地和模拟接地进行物理隔离, 同时应注意接地电流的流动。
- 为了减少寄生耦合, 应让输入走线尽可能远离电源或输出走线。如果这些走线不能保持分离状态, 请让敏感走线与有噪声的走线垂直相交, 而不是平行相交。
- 外部元件应尽量靠近器件放置。如 节 7.4.1 中所示, 使 R_F 和 R_G 接近反相输入可尽可能减小寄生电容。
- 尽可能缩短输入走线的长度。切记, 输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。这样可显著减少附近走线在不同电势下产生的漏电流。

7.4.2 布局示例

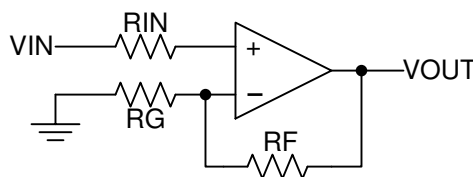


图 7-3. 布局原理图

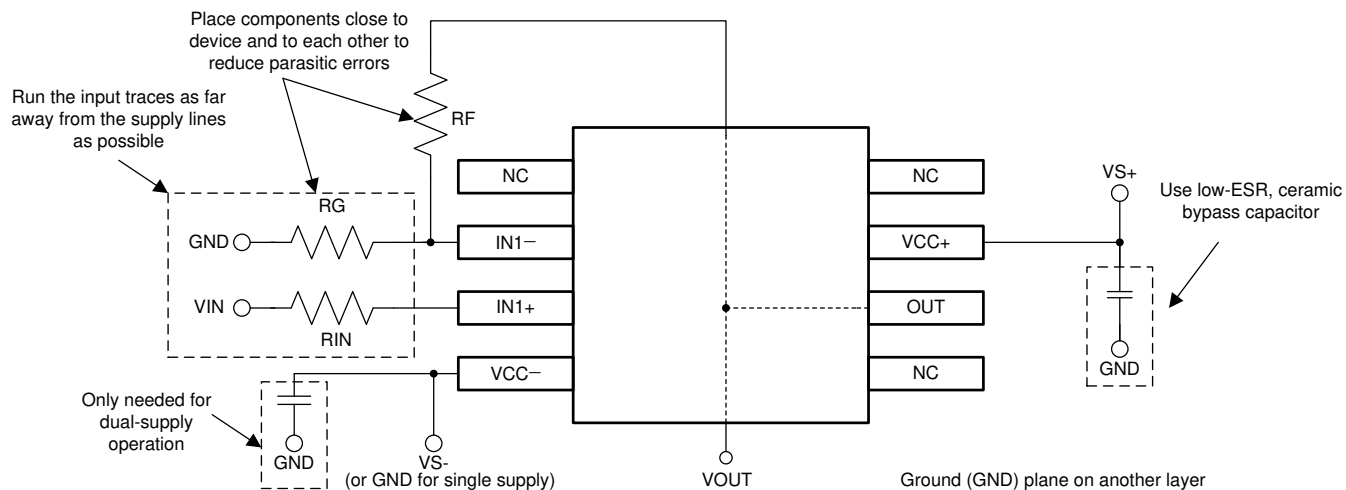


图 7-4. 同相配置的运算放大器原理图

8 器件和文档支持

8.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.2 支持资源

TI E2E™ 中文支持论坛 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.3 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.5 术语表

TI 术语表

本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision D (February 2016) to Revision E (June 2025)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 将 25°C 时 $V_+ = 1.8V$ 和 $V_+ = 5V$ 电源电压的典型电源电流 (每通道) 从 70 μA 更改为 150 μA	7
• 将 25°C 时 $V_+ = 1.8V$ 和 $V_+ = 5V$ 电源电压的最大电源电流 (每通道) 从 150 μA 更改为 200 μA	7
• 将全温度范围且 $V_+ = 1.8V$ 时的最大电源电流 (每通道) 从 200 μA 更改为 210 μA	7
• 将全温度范围且 $V_+ = 5V$ 时的最大电源电流 (每通道) 从 200 μA 更改为 215 μA	8
• 对于 $V_+ = 1.8V$ 和 $V_+ = 5V$ 电源电压，将最大建议关断引脚电压从 0.5V 更改为 0.2V.....	9

Changes from Revision C (November 2007) to Revision D (February 2016)	Page
• 添加了 ESD 等级表、特性说明部分、器件功能模式、应用和实现部分、电源相关建议部分、布局部分、器件和文档支持部分以及机械、封装和可订购信息部分.....	1
• 从 引脚配置和功能 表中删除了 DPK 封装和 TLV344 器件.....	3

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV341AIDBVR	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	YCGE
TLV341AIDBVR.A	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	YCGE
TLV341AIDBVT	Obsolete	Production	SOT-23 (DBV) 6	-	-	Call TI	Call TI	-40 to 125	YCGE
TLV341AIDCKR	Active	Production	SC70 (DCK) 6	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	Y5E
TLV341AIDCKR.A	Active	Production	SC70 (DCK) 6	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	Y5E
TLV341AIDCKT	Obsolete	Production	SC70 (DCK) 6	-	-	Call TI	Call TI	-40 to 125	Y5E
TLV341IDBVR	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	YC9E
TLV341IDBVR.A	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	YC9E
TLV341IDCKR	Active	Production	SC70 (DCK) 6	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	Y4E
TLV341IDCKR.A	Active	Production	SC70 (DCK) 6	3000 LARGE T&R	Yes	Call TI	Level-1-260C-UNLIM	-40 to 125	Y4E
TLV341IDCKRG4	Active	Production	SC70 (DCK) 6	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	Y4E
TLV341IDCKRG4.A	Active	Production	SC70 (DCK) 6	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	Y4E
TLV341IDCKT	Obsolete	Production	SC70 (DCK) 6	-	-	Call TI	Call TI	-40 to 125	Y4E
TLV341IDRLR	Active	Production	SOT-5X3 (DRL) 6	4000 LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	(Y4A, Y4W)
TLV341IDRLR.A	Active	Production	SOT-5X3 (DRL) 6	4000 LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	(Y4A, Y4W)
TLV342AID	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 125	TY342A
TLV342AIDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TY342A
TLV342AIDR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TY342A
TLV342ID	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 125	TY342
TLV342IDGKR	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	Y6A
TLV342IDGKR.A	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	Y6A
TLV342IDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TY342
TLV342IDR.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TY342
TLV342IRUGR	Active	Production	X2QFN (RUG) 10	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(1S8, Y6E)
TLV342IRUGR.A	Active	Production	X2QFN (RUG) 10	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(1S8, Y6E)
TLV342IRUGRG4	Active	Production	X2QFN (RUG) 10	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1S8
TLV342IRUGRG4.A	Active	Production	X2QFN (RUG) 10	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1S8
TLV342SIRUGR	Active	Production	X2QFN (RUG) 10	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(10A, 2YE)
TLV342SIRUGR.A	Active	Production	X2QFN (RUG) 10	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	(10A, 2YE)

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV342SIRUGRG4	Active	Production	X2QFN (RUG) 10	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	10A
TLV342SIRUGRG4.A	Active	Production	X2QFN (RUG) 10	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	10A

- ⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).
- ⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- ⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- ⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- ⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- ⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV341AIDBVR	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV341AIDCKR	SC70	DCK	6	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV341IDBVR	SOT-23	DBV	6	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV341IDCKR	SC70	DCK	6	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV341IDCKRG4	SC70	DCK	6	3000	179.0	8.4	2.2	2.5	1.2	4.0	8.0	Q3
TLV341IDRLR	SOT-5X3	DRL	6	4000	180.0	8.4	1.98	1.78	0.69	4.0	8.0	Q3
TLV342AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV342AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV342IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
TLV342IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV342IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV342IRUGR	X2QFN	RUG	10	3000	180.0	8.4	1.75	2.25	0.55	4.0	8.0	Q1
TLV342IRUGRG4	X2QFN	RUG	10	3000	180.0	8.4	1.75	2.25	0.55	4.0	8.0	Q1
TLV342SIRUGR	X2QFN	RUG	10	3000	180.0	8.4	1.75	2.25	0.55	4.0	8.0	Q1
TLV342SIRUGRG4	X2QFN	RUG	10	3000	180.0	8.4	1.75	2.25	0.55	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV341AIDBVR	SOT-23	DBV	6	3000	210.0	185.0	35.0
TLV341AIDCKR	SC70	DCK	6	3000	180.0	180.0	18.0
TLV341IDBVR	SOT-23	DBV	6	3000	210.0	185.0	35.0
TLV341IDCKR	SC70	DCK	6	3000	180.0	180.0	18.0
TLV341IDCKRG4	SC70	DCK	6	3000	200.0	183.0	25.0
TLV341IDRLR	SOT-5X3	DRL	6	4000	202.0	201.0	28.0
TLV342AIDR	SOIC	D	8	2500	353.0	353.0	32.0
TLV342AIDR	SOIC	D	8	2500	353.0	353.0	32.0
TLV342IDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
TLV342IDR	SOIC	D	8	2500	353.0	353.0	32.0
TLV342IDR	SOIC	D	8	2500	353.0	353.0	32.0
TLV342IRUGR	X2QFN	RUG	10	3000	210.0	185.0	35.0
TLV342IRUGRG4	X2QFN	RUG	10	3000	210.0	185.0	35.0
TLV342SIRUGR	X2QFN	RUG	10	3000	210.0	185.0	35.0
TLV342SIRUGRG4	X2QFN	RUG	10	3000	210.0	185.0	35.0

DGK0008A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4214862/A 04/2023

NOTES:

PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

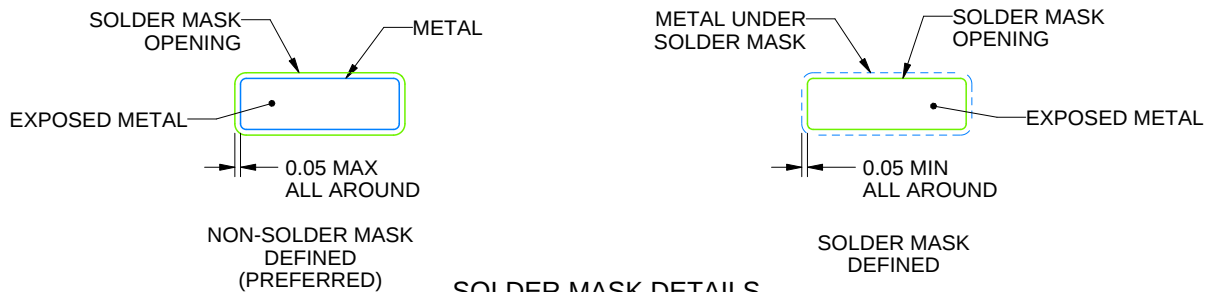
DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE

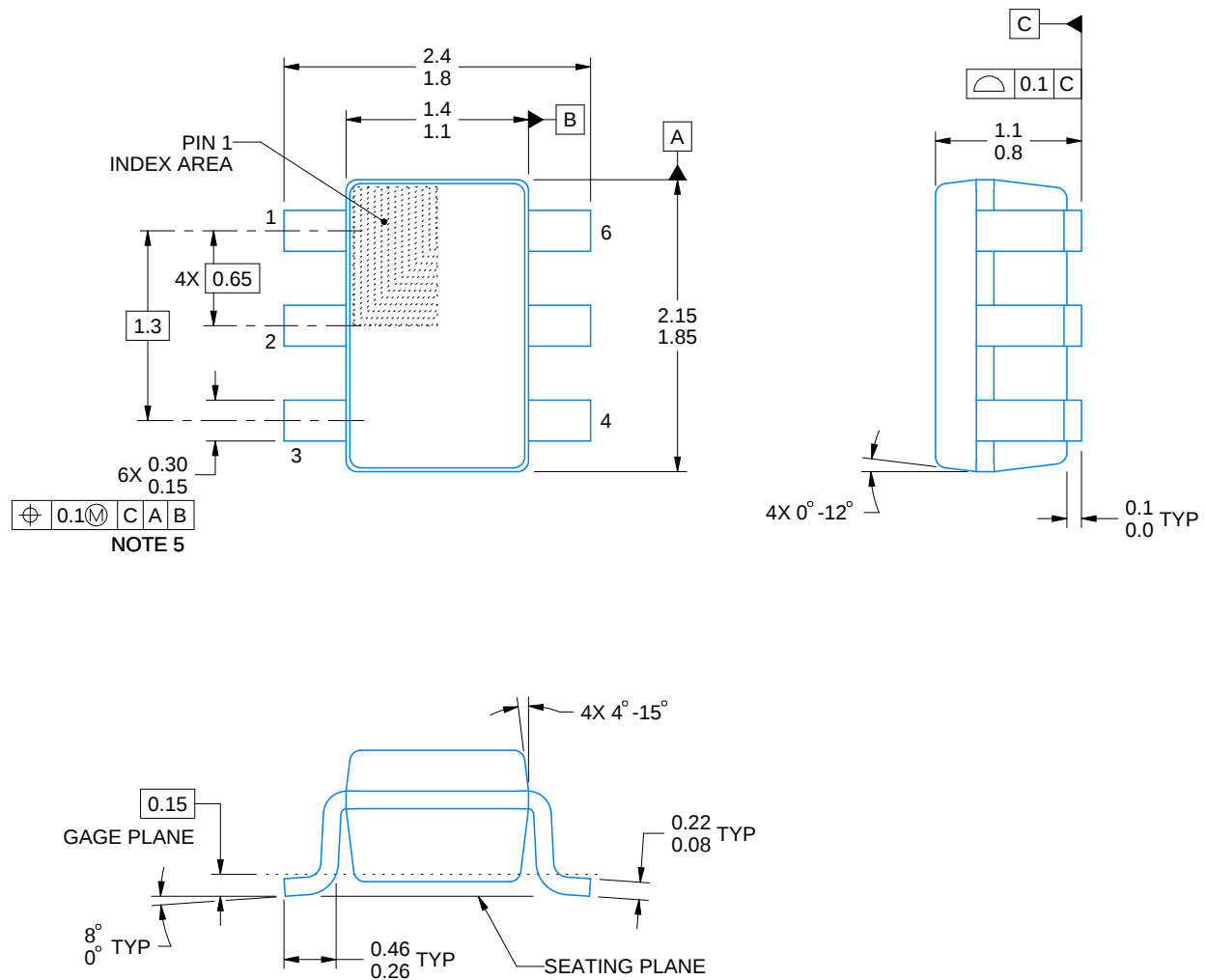


SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

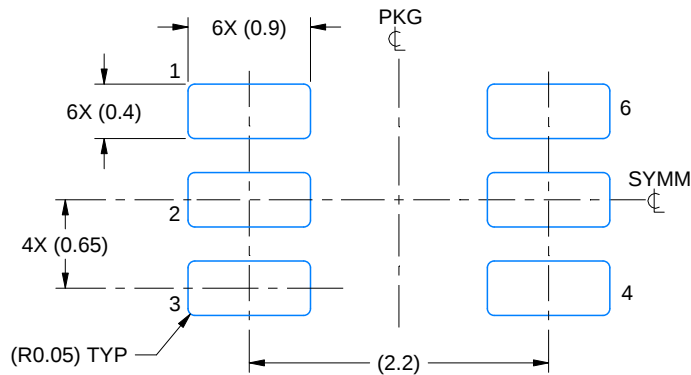
11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.



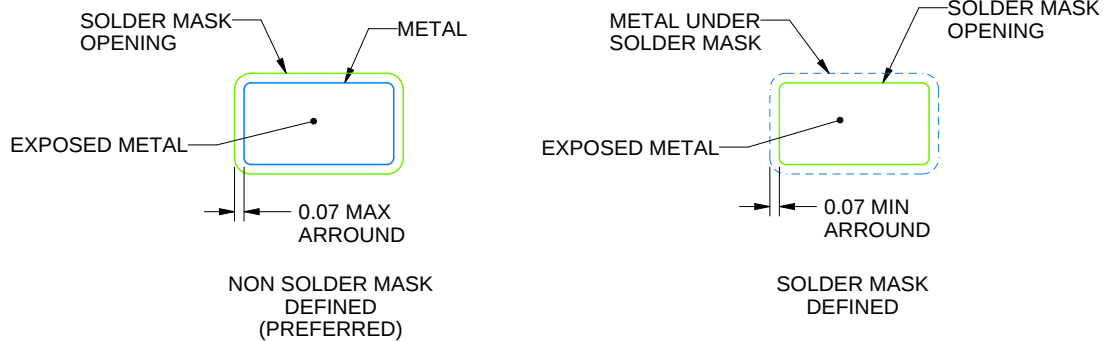
4214835/D 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
4. Falls within JEDEC MO-203 variation AB.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

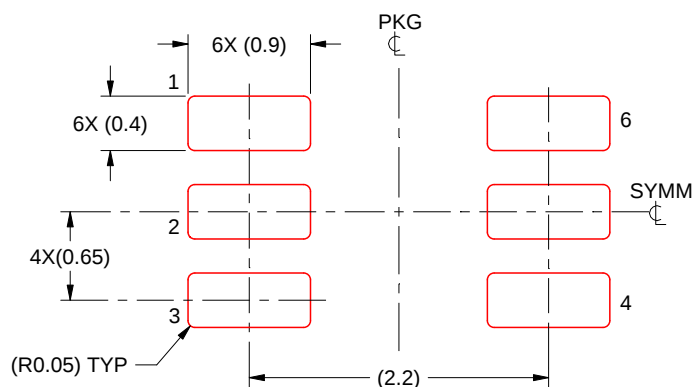


SOLDER MASK DETAILS

4214835/D 11/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214835/D 11/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

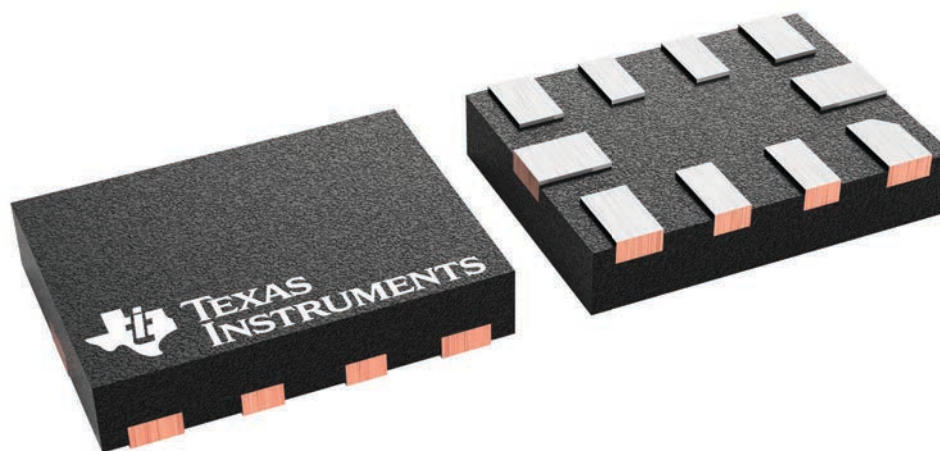
RUG 10

X2QFN - 0.4 mm max height

1.5 x 2, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

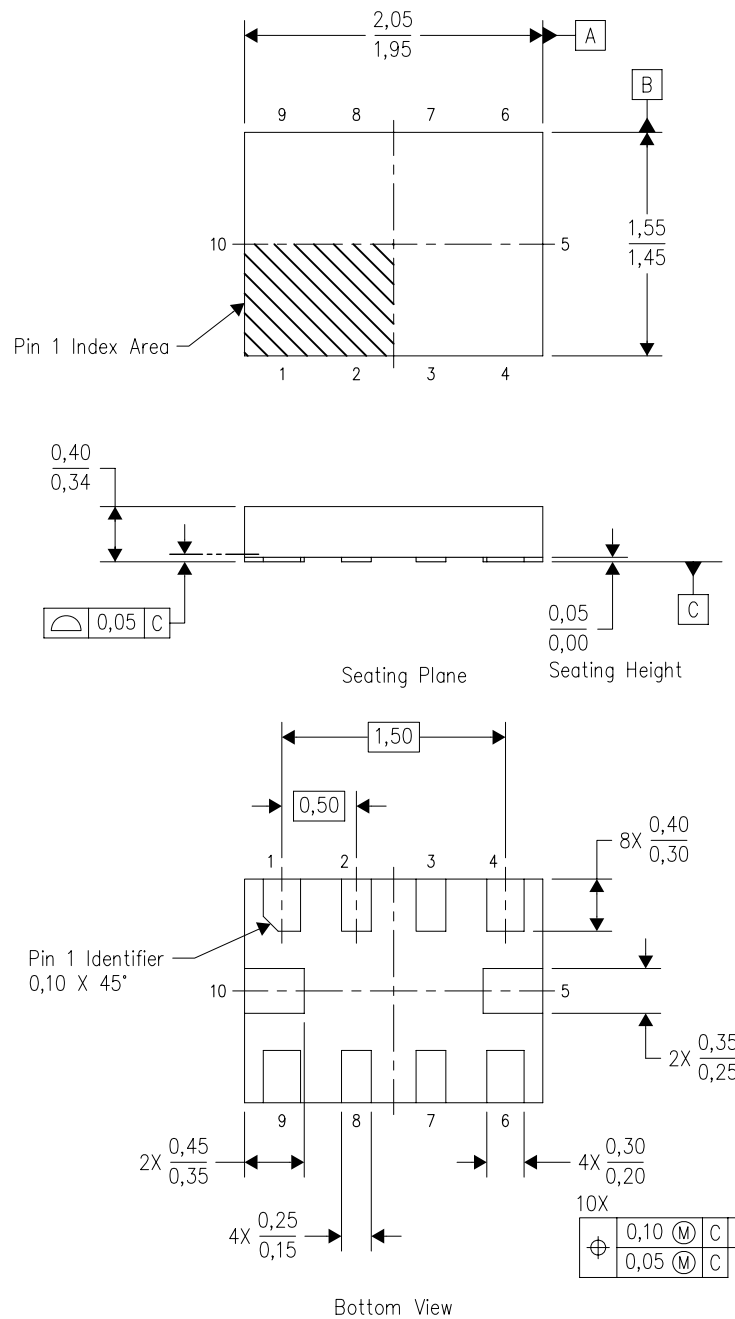
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4231768/A

RUG (R-PQFP-N10)

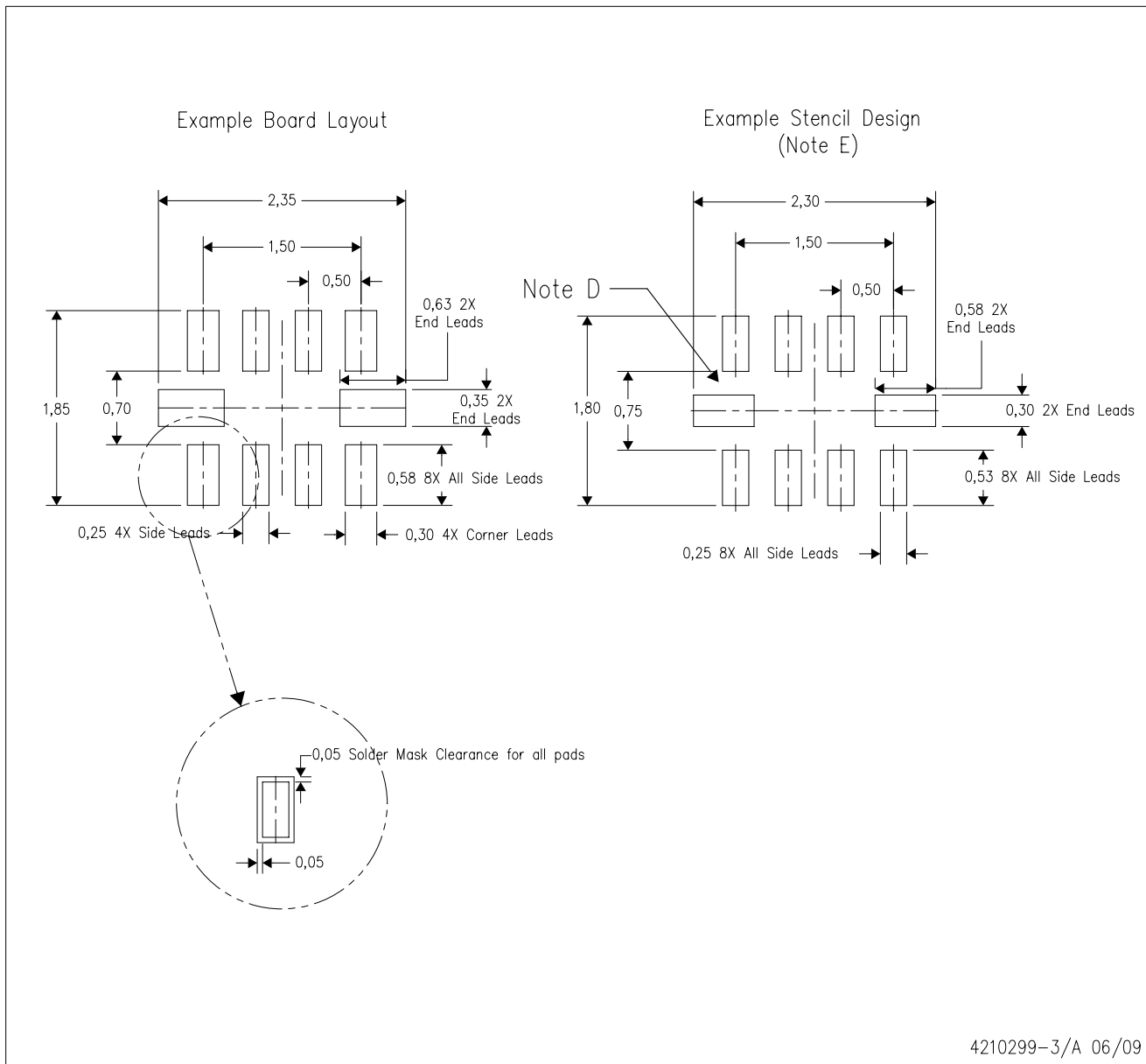
PLASTIC QUAD FLATPACK



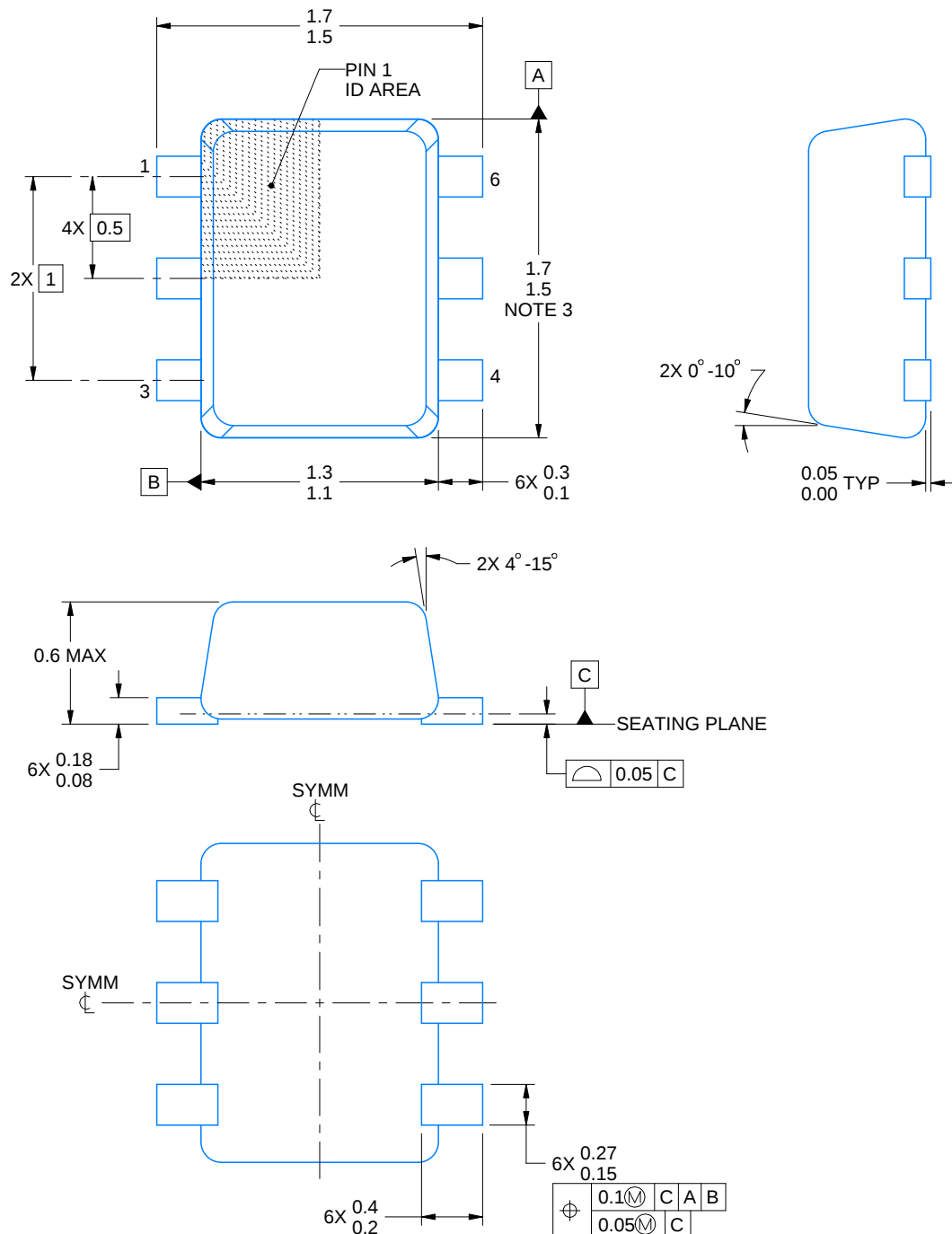
4208528-3/B 04/2008

- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - B. This drawing is subject to change without notice.
 - C. QFN (Quad Flatpack No-Lead) package configuration.
 - D. This package complies to JEDEC MO-288 variation X2EFD.

RUG (R-PQFP-N10)



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Publication IPC-7351 is recommended for alternate designs.
 - D. Customers should contact their board fabrication site for minimum solder mask web tolerances between signal pads.
 - E. Maximum stencil thickness 0,127 mm (5 mils). All linear dimensions are in millimeters.
 - F. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
 - G. Side aperture dimensions over-print land for acceptable area ratio > 0.66. Customer may reduce side aperture dimensions if stencil manufacturing process allows for sufficient release at smaller opening.



4223266/F 11/2024

NOTES:

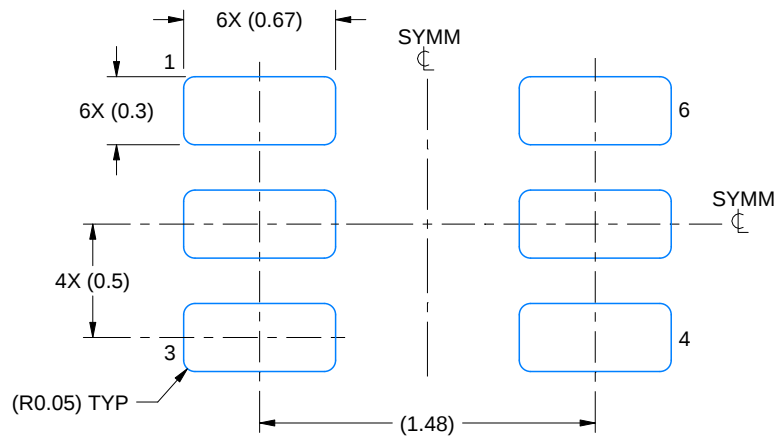
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- Reference JEDEC registration MO-293 Variation UAAD

EXAMPLE BOARD LAYOUT

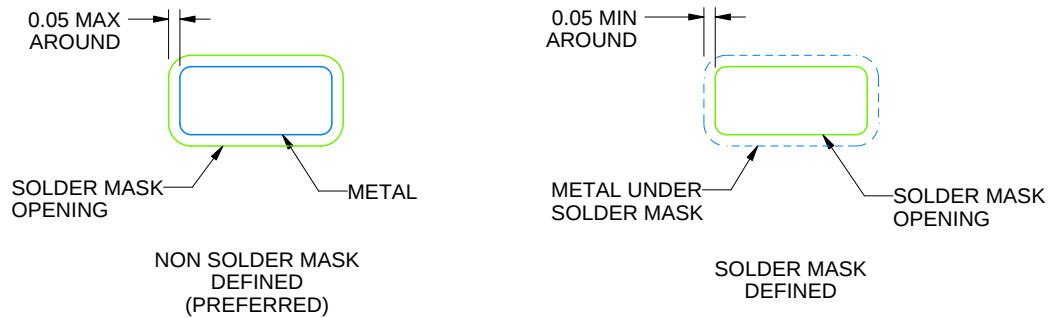
DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:30X



SOLDERMASK DETAILS

4223266/F 11/2024

NOTES: (continued)

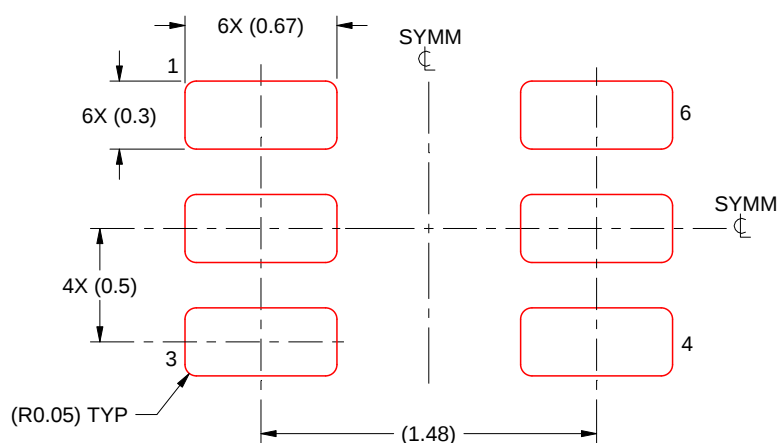
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. Land pattern design aligns to IPC-610, Bottom Termination Component (BTC) solder joint inspection criteria.

EXAMPLE STENCIL DESIGN

DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:30X

4223266/F 11/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

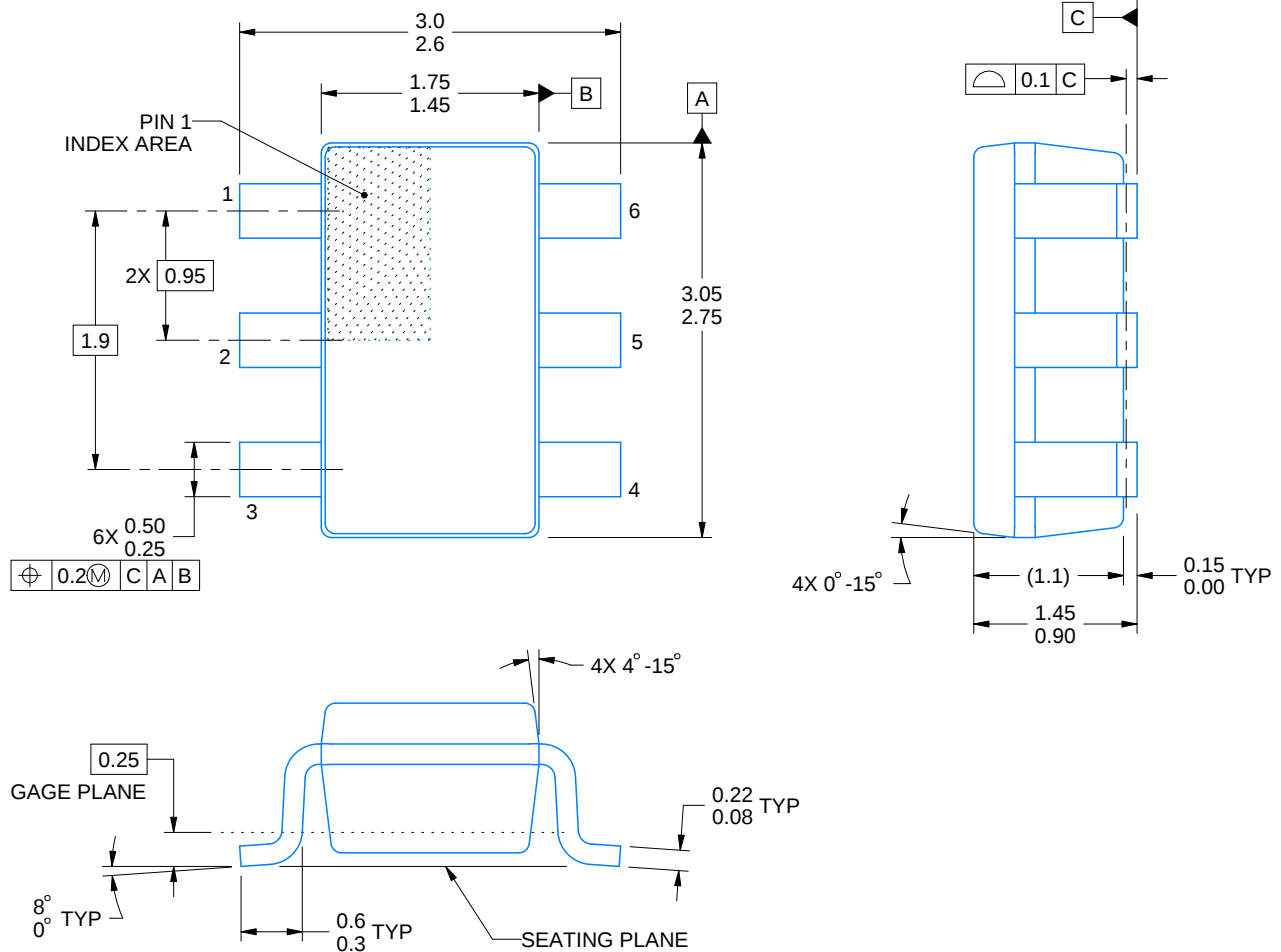
4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

DBV0006A**PACKAGE OUTLINE****SOT-23 - 1.45 mm max height**

SMALL OUTLINE TRANSISTOR



4214840/G 08/2024

NOTES:

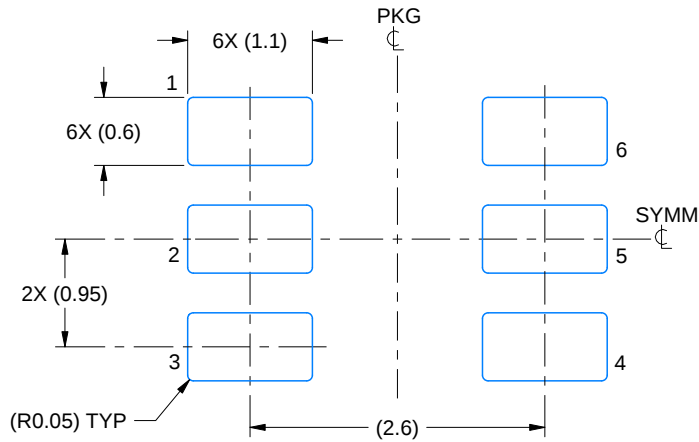
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Reference JEDEC MO-178.

EXAMPLE BOARD LAYOUT

DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

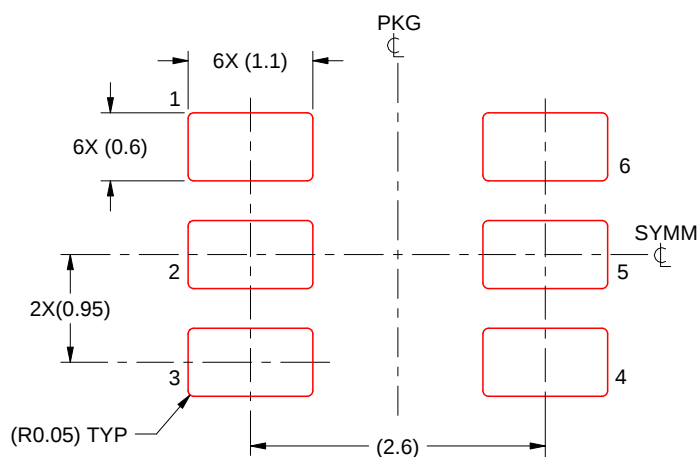
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214840/G 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月