TLVx314 3MHz、低功耗、内部 EMI 滤波器、RRIO 运算放大器

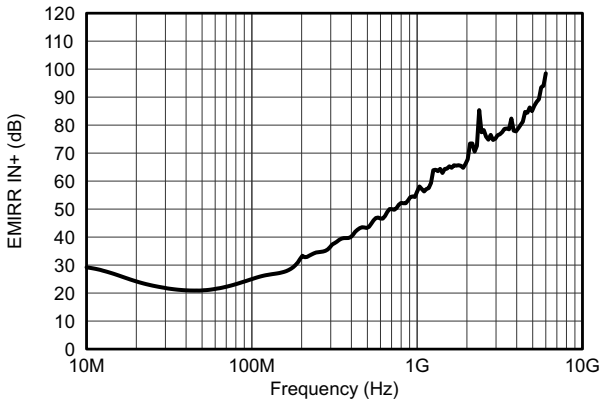
1 特性

- 低偏移电压：0.75mV（典型值）
- 低输入偏置电流：1pA（典型值）
- 宽电源电压范围：1.8V 至 5.5V
- 轨到轨输入和输出
- 增益带宽：3MHz
- 低 I_Q：250µA/通道（最大值）
- 低噪声：1kHz 时为 16nV/√Hz
- 内部射频 (RF) / 电磁干扰 (EMI) 滤波器
- 扩展温度范围： -40°C 至 +125°C

2 应用

- 白色家电
- 手持测试设备
- 便携式血糖仪
- 远程感测
- 有源滤波器
- 工业自动化
- 电池供电型电子产品

电磁干扰抑制比 **(EMIRR)** 与频率间的关系



3 说明

TLV314 系列单通道、双通道和四通道运算放大器代表了新一代的低功耗、通用运算放大器。该系列器件具有轨到轨输入和输出摆幅 (RRIO)、低静态电流（5V 时的典型值为 150µA/通道）以及 3MHz 的高带宽等特性。对于电池供电应用而言，一般要求性能和成本良好均衡， 此类放大器非常具有吸引力。此外，TLV314 系列架构可实现低至 1pA 的输入偏置电流，因此适用于源阻抗 高达兆欧姆级别的应用。

TLV314 器件采用稳健耐用的设计，方便电路设计人员使用：单位增益稳定，具有 RRIO 和集成的 RF/EMI 抑制滤波器，容性负载最高达 300 pF，在过驱情况下不出现反相，并且带有高静电放电 (ESD) 保护（4kV HBM）。

此类器件经过优化，适合在 1.8V (±0.9V) 至 5.5V (±2.75V) 的低电压状态下工作并可在 -40°C 至 +125°C 的扩展工业温度范围内额定运行。

TLV314（单通道）采用 5 引脚 SC70 和小外形尺寸晶体管 (SOT)-23 封装。TLV2314（双通道）采用 8 引脚小外形尺寸集成电路 (SOIC) 和超薄小外形尺寸 (VSSOP) 封装。四通道 TLV4314 采用 14 引脚薄型小外形尺寸 (TSSOP) 封装。

器件信息(1)

器件型号	封装	封装尺寸（标称值）
TLV314	SOT-23 (5)	2.90mm × 1.60mm
	SC70 (5)	2.00mm × 1.25mm
TLV2314	VSSOP (8)	3.00mm × 3.00mm
	SOIC (8)	4.90mm x 3.91mm
TLV4314	薄型小外形尺寸封装 (TSSOP) (14)	5.00mm x 4.40mm

(1) 要了解所有可用封装，请见数据表末尾的可订购产品附录。

An IMPORTANT NOTICE at the end of this data sheet addresses availability, warranty, changes, use in safety-critical applications, intellectual property matters and other important disclaimers. PRODUCTION DATA.

目录

1 特性 ... 1
2 应用 ... 1
3 说明 ... 1
4 修订历史记录 ... 2
5 器件比较表 ... 3
6 引脚配置和功能 ... 3
7 技术规格 ... 6
7.1 绝对最大额定值 ... 6
7.2 ESD 额定值 ... 6
7.3 建议的工作条件 ... 6
7.4 热性能信息：TLV314 ... 7
7.5 热性能信息：TLV2314 ... 7
7.6 热性能信息：TLV4314 ... 7
7.7 电气特性 ... 8
7.8 典型特性 ... 9
7.9 典型特性 ... 10
8 详细 说明 ... 13
8.1 概述 ... 13
8.2 功能框图 ... 13
8.3 特性 说明 ... 14
8.4 器件功能模式 ... 15
9 应用和实现 ... 16
9.1 应用信息 ... 16
9.2 典型应用 ... 16
9.3 系统示例 ... 17
10 电源相关建议 ... 18
10.1 输入和 ESD 保护 ... 18
11 布局布线 ... 19
11.1 布局布线指南 ... 19
11.2 布局示例 ... 19
12 器件和文档支持 ... 20
12.1 器件支持 ... 20
12.2 文档支持 ... 20
12.3 相关链接 ... 20
12.4 社区资源 ... 20
12.5 商标 ... 20
12.6 静电放电警告 ... 20
12.7 Glossary ... 20
13 机械、封装和可订购信息 ... 20

4 修订历史记录

注：之前版本的页码可能与当前版本有所不同。

Changes from Original (March 2016) to Revision A	Page
• 已发布为量产数据	1

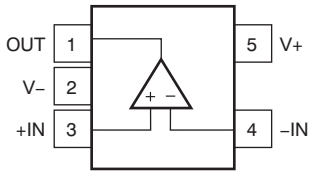
版权 © 2016, Texas Instruments Incorporated

5 器件比较表

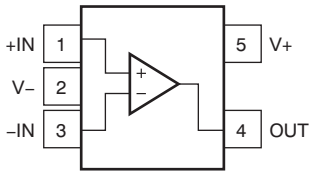
器件	通道数	封装-引线				
		SOT-23	SC70	SOIC	VSSOP	TSSOP
TLV314	1	5	5	—	—	—
TLV2314	2	—	—	8	8	—
TLV4314	4	—	—	—	—	14

6 引脚配置和功能

DBV 封装：TLV314
5 引脚 SOT-23
顶视图



DCK 封装：TLV314
5 引脚 SC70
顶视图

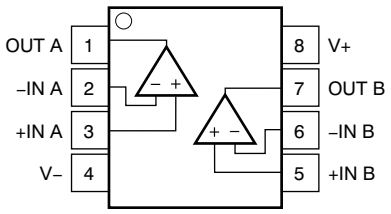


引脚功能：**TLV314**

引脚			I/O	说明
名称	编号			
	DBV	DCK		
–IN	4	3	I	反相输入
+IN	3	1	I	同相输入
OUT	1	4	O	输出
V–	2	2	—	负（最低）电源
V+	5	5	—	正（最高）电源

版权 © 2016, Texas Instruments Incorporated

D、DGK 封装：TLV2314
8 引脚 SOIC 或 VSSOP
顶视图

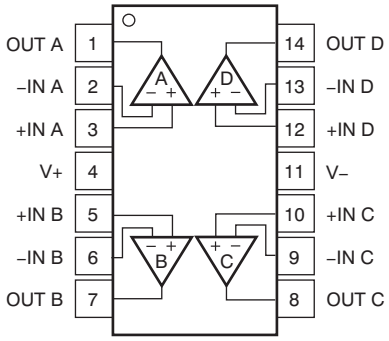


引脚功能：**TLV2314**

引脚		I/O	说明
名称	编号		
–IN A	2	I	反相输入，通道 A
+IN A	3	I	同相输入，通道 A
–IN B	6	I	反相输入，通道 B
+IN B	5	I	同相输入，通道 B
OUT A	1	O	输出，通道 A
OUT B	7	O	输出，通道 B
V–	4	—	负（最低）电源
V+	8	—	正（最高）电源

版权 © 2016, Texas Instruments Incorporated

PW 封装：TLV4314
14 引脚 TSSOP
顶视图



引脚功能：**TLV4314**

引脚		I/O	说明
名称	编号		
–IN A	2	I	反相输入，通道 A
+IN A	3	I	同相输入，通道 A
–IN B	6	I	反相输入，通道 B
+IN B	5	I	同相输入，通道 B
–IN C	9	I	反相输入，通道 C
+IN C	10	I	同相输入，通道 C
–IN D	13	I	反相输入，通道 D
+IN D	12	I	同相输入，通道 D
OUT A	1	O	输出，通道 A
OUT B	7	O	输出，通道 B
OUT C	8	O	输出，通道 C
OUT D	14	O	输出，通道 D
V–	11	—	负（最低）电源
V+	4	—	正（最高）电源

版权 © 2016, Texas Instruments Incorporated

7 技术规格

7.1 绝对最大额定值

在自然通风温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电源电压			7	V
信号输入引脚	电压(2)	(V–) – 0.5	(V+) + 0.5	V
	电流(2)	-10	10	mA
输出短路(3)		连续		mA
温度	指定温度，T_A	-40	125	°C
	结温，T_J		150	
	存储温度，T_{stg}	-65	150	

(1) 超过这些额定值的应力有可能造成永久损坏。长时间处于最大绝对额定情况下会降低设备的可靠性。这些只是应力额定值，在这些值或者任何超过那些所标明的条件下的功能运行并未注明。
(2) 输入引脚被二极管钳制至电源轨。摆幅超过电源轨 0.5V 的输入信号的电流必须限制在 10mA 或者更少。
(3) 对地短路，每个封装对应一个放大器。

7.2 ESD 额定值

			值	单位
$V_{(ESD)}$	静电放电	人体放电模式 (HBM)，符合 ANSI/ESDA/JEDEC JS-001(1)	±4000	V
		充电器件模式 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±1000	

(1) JEDEC 文档 JEP155 规定：500V HBM 能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 规定：250V CDM 能够在标准 ESD 控制流程下安全生产。

7.3 建议的工作条件

在自然通风条件下的工作温度范围内（除非另有说明）

			最小值	标称值	最大值	单位
V_S	电源电压	单电源	1.8		5.5	V
		双电源	±0.9		±2.75	
	指定温度范围		-40		125	°C

版权 © 2016, Texas Instruments Incorporated

7.4 热性能信息：TLV314

热指标(1)		TLV314		单位
		DBV (SOT-23)	DCK (SC70)	
		5 引脚	5 引脚	
$R_{\theta JA}$	结至环境热阻	228.5	281.4	°C/W
$R_{\theta JC(top)}$	结至芯片外壳（顶部）热阻	99.1	91.6	°C/W
$R_{\theta JB}$	结至电路板热阻	54.6	59.6	°C/W
ψ_{JT}	结至顶部的特征参数	7.7	1.5	°C/W
ψ_{JB}	结至电路板的特征参数	53.8	58.8	°C/W

(1) 有关传统和新热指标的更多信息，请参见《*半导体和 IC 封装热指标*》应用报告，SPRA953。

7.5 热性能信息：TLV2314

热指标(1)		TLV2314		单位
		D (SOIC)	DGK (VSSOP)	
		8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	138.4	191.2	°C/W
$R_{\theta JC(top)}$	结至芯片外壳（顶部）热阻	89.5	61.9	°C/W
$R_{\theta JB}$	结至电路板热阻	78.6	111.9	°C/W
ψ_{JT}	结至顶部的特征参数	29.9	5.1	°C/W
ψ_{JB}	结至电路板的特征参数	78.1	110.2	°C/W

(1) 有关传统和新热指标的更多信息，请参见《*半导体和 IC 封装热指标*》应用报告，SPRA953。

7.6 热性能信息：TLV4314

热指标(1)		TLV4314		单位
		D (SOIC)	PW (TSSOP)	
		14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	93.2	121	°C/W
$R_{\theta JC(top)}$	结至芯片外壳（顶部）热阻	51.8	49.4	°C/W
$R_{\theta JB}$	结至电路板热阻	49.4	62.8	°C/W
ψ_{JT}	结至顶部的特征参数	13.5	5.9	°C/W
ψ_{JB}	结至电路板的特征参数	42.2	62.2	°C/W

(1) 有关传统和新热指标的更多信息，请参见《*半导体和 IC 封装热指标*》应用报告，SPRA953。

版权 © 2016, Texas Instruments Incorporated

7.7 电气特性

V_S = 1.8V 至 5.5V；T_A = 25°C 时，R_L = 10kΩ 连接至 V_S/2，V_{CM} = V_S/2，且 V_{OUT} = V_S/2（除非另外注明）(1)

参数			测试条件	最小值	典型值	最大值	单位
偏移电压							
V_{OS}	输入失调电压		V_{CM} = (V_S+) – 1.3V，T_A = 25°C		±0.75	±3	mV
dV_{OS}/dT	V_{OS} 与温度间的关系		T_A=-40°C 至 +125°C		2		µV/°C
PSRR	电源抑制比		V_{CM} = (V_S+) – 1.3V，T_A = 25°C		±30	±135	µV/V
	通道分离，直流		直流时，T_A = 25°C		100		dB
输入电压范围							
V_{CM}	共模电压范围		T_A = 25°C	(V-)-0.2		(V+)+0.2	V
CMRR	共模抑制比		V_S = 5.5V，(V_S–) – 0.2V < V_{CM} < (V_S+) – 1.3V，T_A = 25°C	72	96		dB
			V_S=5.5V，V_{CM}=–0.2V 至 5.7V(2)，T_A = 25°C		75		
输入偏置电流							
I_B	输入偏置电流		T_A = 25°C		±1.0		pA
I_{OS}	输入失调电流		T_A = 25°C		±1.0		pA
噪声							
	输入电压噪声（峰值至峰值）		f=0.1Hz 至 10Hz，T_A = 25°C		5		μV_{PP}
e_n	输入电压噪声密度		f=10kHz，T_A = 25°C		15		nV/√Hz
			f = 1kHz，T_A = 25°C		16		
i_n	输入电流噪声密度		f=1kHz，T_A = 25°C		6		fA/√Hz
输入电容值							
C_{IN}	输入电容	差动	V_S = 5V，T_A = 25°C		1		pF
		共模	V_S = 5V，T_A = 25°C		5		
开环增益							
A_{OL}	开环电压增益		V_S = 1.8V 至 5.5V，0.2V < V_O < (V+) – 0.2V，R_L = 10kΩ，T_A = 25°C	85	115		dB
			V_S = 1.8V 至 5.5V，0.5V < V_O < (V+) – 0.5V，R_L = 2kΩ(2)，T_A = 25°C	85	100		
	相补角		V_S = 5V，G = 1，R_L = 10kΩ，T_A = 25°C		65		°
频率响应							
GBW	带宽增益产品		V_S=1.8V，R_L=10kΩ，C_L=10pF，T_A = 25°C		2.7		MHz
			V_S = 5V，R_L = 10kΩ，C_L = 10pF，T_A = 25°C		3		
SR	转换速率(3)		V_S = 5V，G = 1，T_A = 25°C		1.5		V/µs
t_S	稳定时间		至 0.1%，V_S = 5V，2V 步进，G = 1，T_A = 25°C		3		µs
	过载恢复时间		V_S = 5V，V_{IN} × 增益 > V_S，T_A = 25°C		8		µs
THD+N	总谐波失真 + 噪声(4)		V_S = 5V，V_O = 1V_{RMS}，G = 1，f = 1kHz，R_L = 10kΩ，T_A = 25°C		0.005%		
输出							
V_O	自电源轨的电压输出摆幅		V_S = 1.8V 至 5.5V，R_L = 10kΩ，T_A = 25°C		5	25	mV
			V_S = 1.8V 至 5.5V，R_L = 2kΩ，T_A = 25°C		22	45	
I_{SC}	短路电流		V_S = 5V，T_A = 25°C		±20		mA
R_O	开环输出阻抗		V_S=5.5V，f=100Hz，T_A = 25°C		570		Ω
电源							
V_S	额定电压范围			1.8		5.5	V
I_Q	每个放大器的静态电流，过热		V_S = 5V，I_O = 0mA，T_A = –40°C 至 +125°C		150	250	µA
温度							
	额定温度范围			-40		125	°C
T_{stg}	储存温度			-65		150	°C

(1) 除非另外注明，否则具有最大或最小规格限值的参数均在 25ºC 下经过 100% 生产检测。过热限值基于特性和统计分析。
(2) 由设计和特性指定；未经生产测试。
(3) 表示正或负转换率的较低值。
(4) 三阶滤波器；-3dB 时的带宽 = 80kHz。

版权 © 2016, Texas Instruments Incorporated

7.8 典型特性

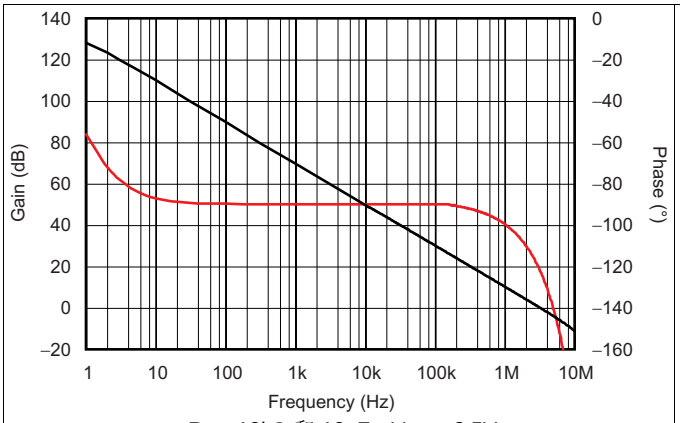
表 **1.** 图形列表

标题	图表
开环增益和相位与频率间的关系	图 1
静态电流与电源电压间的关系	图 2
偏移电压产品分布	图 3
偏移电压与共模电压间的关系（最大电源）	图 4
输入电压噪声频谱密度与频率间的关系 (1.8V，5.5V)	图 5
输入偏置和偏移电流与温度间的关系	图 6
输出电压摆幅与输出电流间的关系（过热）	图 7
小信号过冲与负载电容间的关系	图 8
小信号阶跃响应，同相 (1.8V)	图 9
大信号阶跃响应，同相 (1.8V)	图 10
无相位反转	图 11
通道分离与频率间的关系（双路）	图 12
电磁干扰抑制比 (EMIRR)	图 13

版权 © 2016, Texas Instruments Incorporated

7.9 典型特性

T_A = 25°C 时，R_L = 10kΩ 连接至 V_S/2，V_{CM} = V_S/2，且 V_{OUT} = V_S/2（除非另外注明）



R_L = 10kΩ 和 10pF，V_S = ±2.5V

图 1. 开环增益和相位与频率间的关系

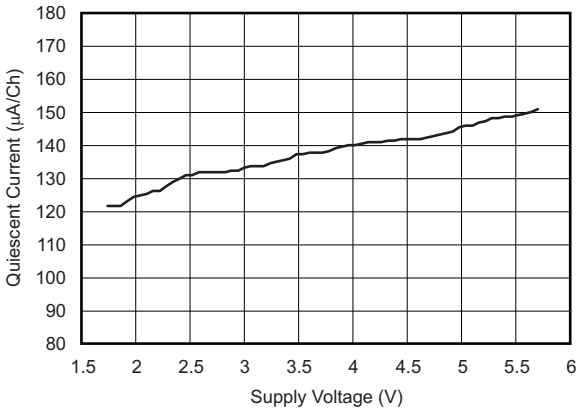


图 2. 静态电流与电源间的关系

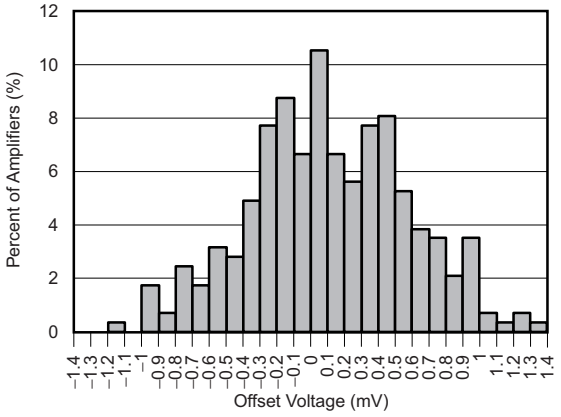
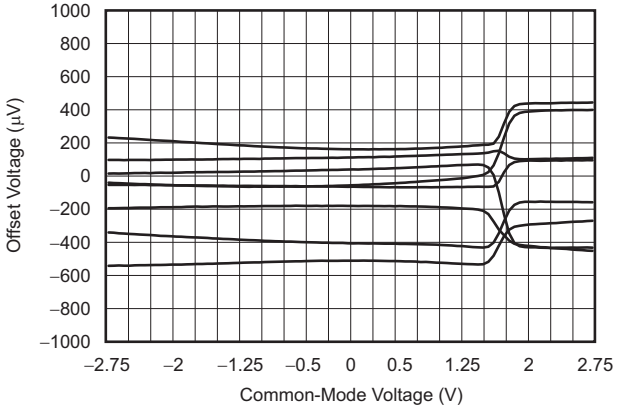


图 3. 偏移电压产品分布



典型单位，V_S = ±2.75V

图 4. 偏移电压与共模电压间的关系

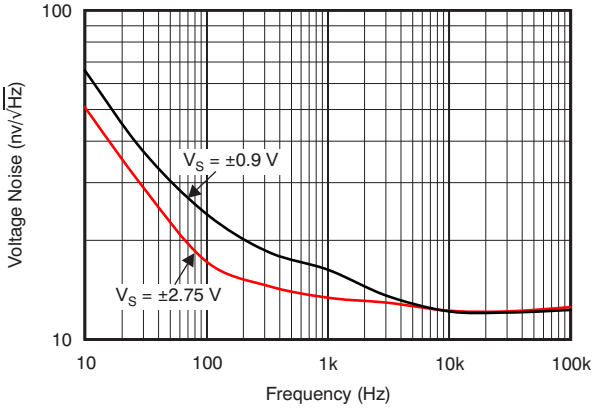


图 5. 输入电压噪声频谱密度与频率间的关系

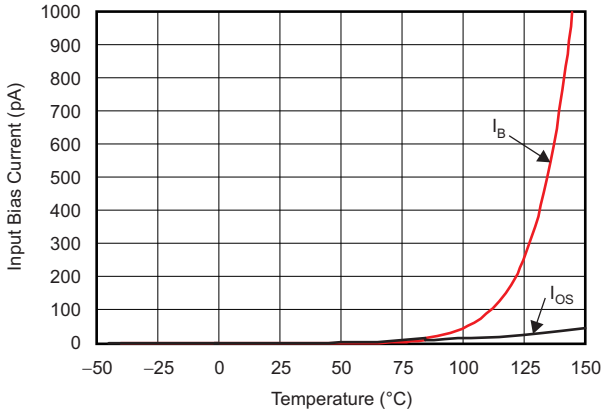
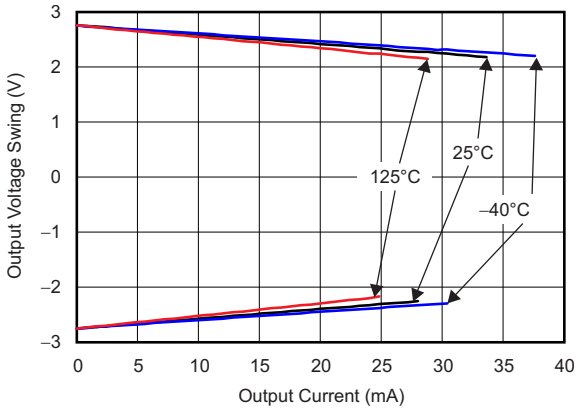


图 6. 输入偏置和偏移电流与温度间的关系

版权 © 2016, Texas Instruments Incorporated

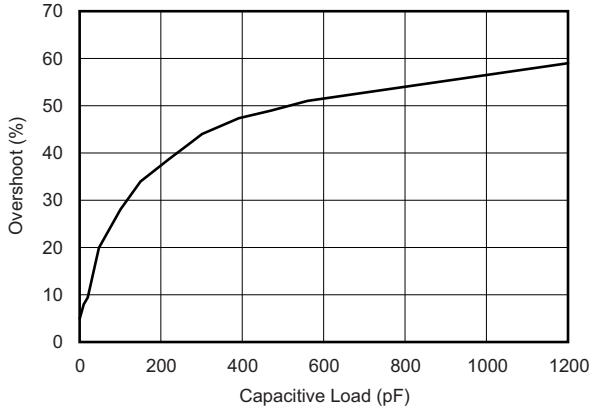
典型特性 (接下页)

T_A = 25°C 时，R_L = 10kΩ 连接至 V_S/2，V_{CM} = V_S/2，且 V_{OUT} = V_S/2（除非另外注明）



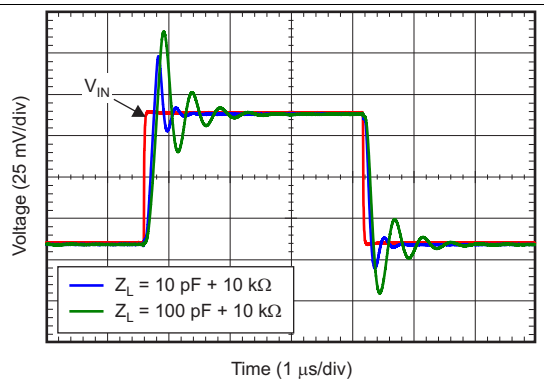
V_S = ±2.75V

图 7. 输出电压摆幅与输出电流间的关系（过热）



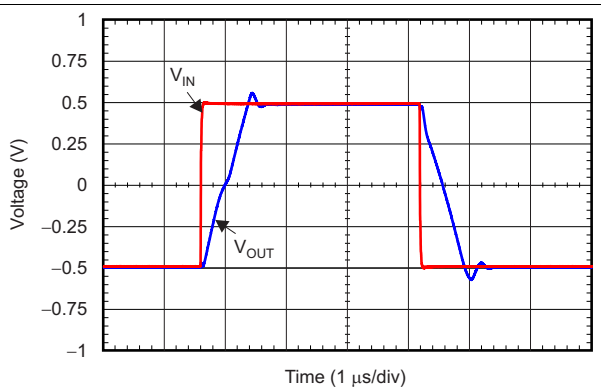
V_S = ±2.75V，增益 = 1V/V，R_L = 10kΩ

图 8. 小信号过冲与负载电容间的关系



V_S = ±0.9V，增益 = 1V/V，R_F = 10kΩ

图 9. 小信号脉冲响应（同相）



V_S = ±0.9V，增益 = 1V/V，R_L = 10kΩ

图 10. 大信号脉冲响应（同相）

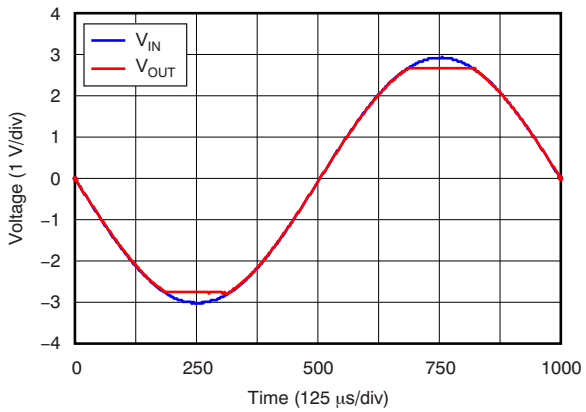
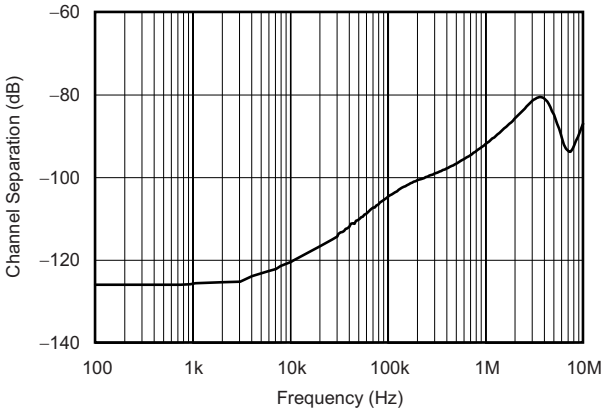


图 11. 无相位反转

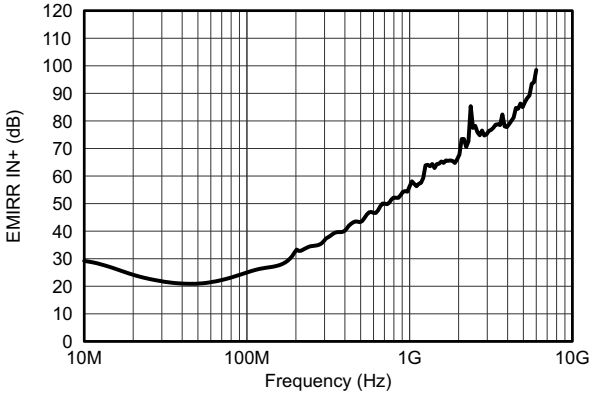


V_S = ±2.75V

图 12. 通道分离与频率间的关系 **(TLV2314)**

典型特性 (接下页)

T_A = 25°C 时，R_L = 10kΩ 连接至 V_S/2，V_{CM} = V_S/2，且 V_{OUT} = V_S/2（除非另外注明）



P_{RF} = –10dBm，V_S = ±2.5V，V_{CM} = 0V

图 **13.** 以同相输入为参考的
电磁干扰抑制比 **(EMIRR IN+)** 与频率间的关系

版权 © 2016, Texas Instruments Incorporated

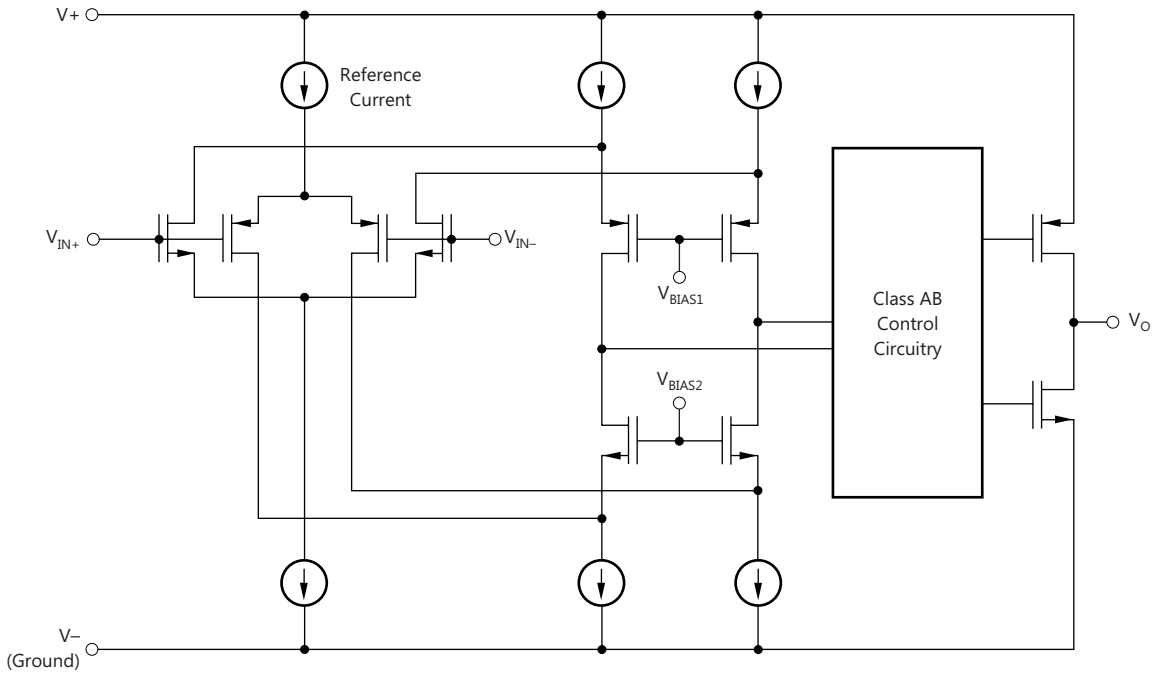
8 详细 说明

8.1 概述

TLV314 是专为便携式应用而设计的一系列低功耗、轨至轨输入和输出运算 放大器。这些器件的工作电压介于 1.8V 至 5.5V，单位增益稳定，并且适合广泛的通用 应用。AB 类输出级能够驱动连接至 V+ 和接地间任一点的小于或等于 10kΩ 的负载。输入共模电压范围包括两个电源轨，并支持将 TLV314 系列器件用于几乎任何单电源应用。轨至轨输入和输出摆幅会显著增大动态范围（尤其在低电源 应用中），因此这些器件是驱动采样模数转换器 (ADC) 的理想器件。

TLV314 具有 3MHz 带宽和 1.5V/μs 转换率，且每个通道仅有 150μA 的电源电流，从而在功耗极低的情况下提供良好的交流性能。在直流 应用 中也具有良好性能，其输入噪声电压极低（在 1kHz 时为 14nV/√Hz），输入偏置电流低 (0.2pA)，且输入偏移电压为 0.5mV（典型值）。

8.2 功能框图



Copyright © 2017, Texas Instruments Incorporated

8.3 特性 说明

8.3.1 工作电压

TLV314 系列运算放大器在 1.8V 至 5.5V 的额定电压范围内可安全无虞地运行。此外，许多规格在 –40°C 至 +125°C 温度下适用。*典型特性* 部分中提供了随工作电压或温度而显著变化的参数。用 0.01µF 陶瓷电容器旁路电源引脚。

8.3.2 轨至轨输入

TLV314 系列的输入共模电压范围在电源轨基础上向外扩展了 200mV。此性能由一个互补输入级实现：与 P 通道差分对并联的 N 通道输入差分对；请参阅*功能框图* 部分。当输入电压靠近正轨（通常为 (V+) – 1.3V 到高于正电源电压 200mV）时，N 通道对有效；当输入为低于负电源电压 200mV 到大约 (V+) – 1.3V 范围时，P 通道对打开。在一个通常介于 (V+) – 1.4V 到 (V+) – 1.2V 的小转换区域内，两个对都打开。借助于过程变化，这个 200mV 转换区域的变化可高达 300mV。 因此，此转换区域（两个级都打开）在低端上的范围介于 (V+)-1.7V 至 (V+)-1.5V 之间，在高端上的范围高达 (V+)-1.1V 至 (V+)-0.9V 之间。在此转换区域内，与器件在该区域外运行相比，PSRR、CMRR、偏移电压和 THD 会降级。

8.3.3 轨至轨输出

TLV314 设计为一种微功耗、低噪声运算放大器，可提供强大的输出驱动能力。它采用一个具有共源晶体管的 AB 类输出级来实现完全的轨至轨输出摆幅功能。对于高达 10kΩ 的电阻负载，无论施加的电源电压是多少，输出摆幅通常在两个电源轨的 5mV 以内。不同的负载情况会改变放大器在靠近电源轨范围内摆动的能力；请参阅图 7。

8.3.4 共模抑制比 (CMRR)

TLV314 的 CMRR 是以多种方式指定的，因此对于给定的应用可以使用最佳匹配项；请参阅*电气特性* 表。首先，给出了低于转换区域 [V_{CM} < (V+) – 1.3 V] 的共模范围内的器件 CMRR。当应用需要使用差分输入对之一时，此规格是器件功能的最佳指标。其次，指定了在（V_{CM} = –0.2V 至 5.7V）时整个共模范围内的 CMRR。最后的这个值包含转换区域内测出的变化（请参阅图 4）。

版权 © 2016, Texas Instruments Incorporated

特性 说明 (接下页)

8.3.5 电容负载和稳定性

TLV314 旨在用于 需要驱动 电容负载的应用。与所有运算放大器一样，可能存在会使 TLV314 变得不稳定的特定情况。在确定放大器的运行是否稳定时，需要考虑特定的运算放大器电路配置、布局、增益和输出负载等因素。与增益更高的放大器相比，
在单位增益 (1V/V) 缓冲器配置下驱动电容负载的运算放大器更容易出现不稳定的情况。电容负载与运算放大器输出电阻相结合后，在反馈环路内产生一个使相补角降级的极点。当电容负载增加时，相补角的降级会增大。
TLV314 在单位增益配置下运行时，在纯电容负载达到大约 1nF 时仍然保持稳定。某些超大电容器（C_L大于 1μF）的等效串联电阻足够改变反馈环路内的相位特性，从而使放大器保持稳定。增加放大器闭环增益使得放大器能够驱动更大的电容。如果在电压增益更高时测量放大器的过冲响应，可发现此能力的增长十分明显；请参阅 图 8。

放大器在单位增益配置下运行时增大电容负载驱动能力的一种方法就是串行插入一个小电阻器（一般为 10Ω 到 20Ω），与输出串联（如 图 14 中所示）。这个电阻器大大减少了与大电容负载相关的过冲和振铃。然而，这个技巧的一个可能问题是这个增加的串联电阻和任一与负载电容并联的连接电阻会生成一个分压器。此分压器在输出上引入一个减少输出摆幅的增益误差。

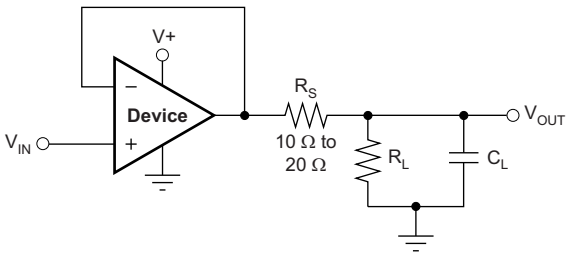


图 **14.** 改进电容负载驱动

8.3.6 EMI 易感性和输入滤波

运算放大器随着器件对于电磁干扰 (EMI) 的易感性而发生变化。如果传导 EMI 进入运算放大器，放大器输出中观察到的直流偏移值在有 EMI 时可能偏离其标称值。这个偏离是由与内部半导体结相关的信号修整引起的。虽然所有的运算放大器引脚功能都会受到 EMI 的影响，但是信号输入引脚可能是最易受影响的。TLV314 运算放大器系列整合了内部输入低通滤波器，该滤波器可减少放大器对 EMI 的响应。这个滤波器提供共模和差分模式滤波。此滤波器针对大约 80MHz (-3dB) 的截止频率而设计，具有每十倍频 20dB 的下降率。

德州仪器 (TI) 已经开发出在 10MHz 至 6GHz 扩展宽频谱范围内准确测量和量化运算放大器抗扰度的功能。EMI 抑制比 (EMIRR) 指标允许按 EMI 抗扰性直接比较运算放大器。图 13 说明了针对 TLV314 执行的此测试的结果。还可以在应用报告《*运算放大器的 EMI 抑制比*》(SBOA128) 中找到详细信息；请从 www.ti.com 下载此报告。

8.4 器件功能模式

TLV314 系列拥有单功能模式。只要电源电压在 1.8V (±0.9V) 与 5.5V (±2.75V) 之间，这些器件就处于通电状态。

版权 © 2016, Texas Instruments Incorporated

9 应用和实现

注

以下 应用 部分的信息不属于 TI 组件规范，TI 不担保其准确性和完整性。客户应负责确定 TI 组件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

9.1 应用信息

TLV314 器件是专为便携式应用设计的一种低功耗、轨至轨输入和输出运算 放大器。这些器件的工作电压介于 1.8V 至 5.5V，单位增益稳定，并且适合广泛的通用 应用。AB 类输出级能够驱动连接至 V+ 和接地间任一点的小于或等于 10kΩ 的负载。输入共模电压范围包括两个电源轨，并允许将 TLV314 器件用于几乎任何单电源应用。轨至轨输入和输出摆幅会显著增大动态范围（尤其在低电源 应用中），因此该器件是驱动采样模数转换器 (ADC) 的理想器件。

TLV314 系列器件 具有 3MHz 带宽和 1.5V/μs 转换率，且每个通道仅有 150μA 的电源电流，从而在功耗极低的情况下提供良好的交流性能。在直流 应用 中也具有良好性能，其输入噪声电压极低（在 1kHz 时为 14nV/$\sqrt{Hz}$），输入偏置电流低 (0.2pA)，且输入偏移电压为 0.5mV（典型值）。

9.2 典型应用

运算放大器的典型应用是反相放大器（如 图 15 中所示）。反相放大器在输入端采用正电压，然后输出与输入端反相的信号，生成相同幅度的负电压。这种放大器还以相同方式使负输入电压在输出端变为正电压。此外，通过选择输入电阻器 R_I 和反馈电阻器 R_F，可以增加放大效果。

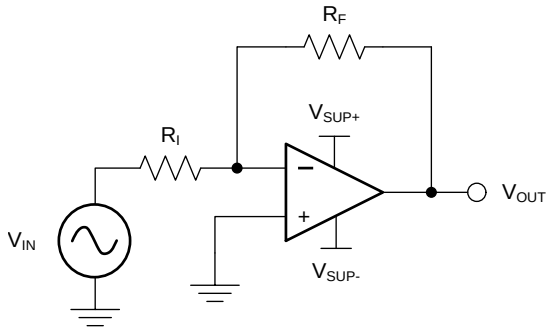


图 **15.** 应用电路原理图

9.2.1 设计要求

选择的电源电压必须大于输入电压范围和期望输出范围。还必须考虑输入共模范围的限值 (V_{CM}) 以及相对于电源轨的输出电压摆幅 (V_O)。例如，此应用将 ±0.5V (1V) 的信号扩展到 ±1.8V (3.6V)。将电源设置在 ±2.5V 就足以适应此应用。

9.2.2 详细设计流程

使用 公式 1 和 公式 2 来确定反相放大器需要的增益：

$$A_V = \frac{V_{OUT}}{V_{IN}} \quad (1)$$

$$A_V = \frac{1.8}{-0.5} = -3.6 \quad (2)$$

版权 © 2016, Texas Instruments Incorporated

典型应用 (接下页)

确定所需增益后，请选择 R_I 或 R_F 的值。由于放大器电路使用毫安级的电流，因此通用 应用 需要选择千欧姆级的值。此毫安级的电流确保了该器件不会消耗过多电流。需要权衡的一点是，极大的电阻器（十万欧姆级别）消耗的电流最小，但生成的噪声最大。极小的电阻器（百欧姆级别）生成的噪声小，但消耗电流大。此示例使用的 R_I 为 10kΩ，这意味着对 R_F 使用的值为 36kΩ。这些值是通过 公式 3 确定的：

$$A_V = -\frac{R_F}{R_I} \tag{3}$$

9.2.3 应用曲线

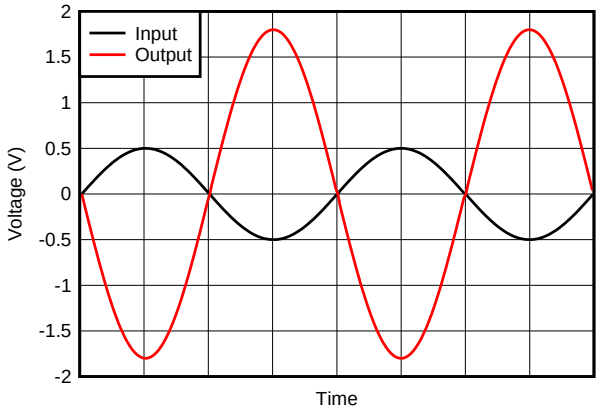
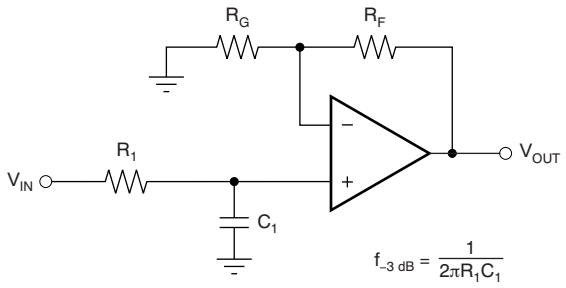


图 16. 反相放大器输入和输出

9.3 系统示例

当接收到低电平信号时，经常需要限制即将进入系统的信号的带宽。建立这个受限带宽的最简单的方法是在放大器的同相端子上放置一个 RC 滤波器，如 图 17中所示。



$$\frac{V_{OUT}}{V_{IN}} = \left(1 + \frac{R_F}{R_G}\right)\left(\frac{1}{1 + sR_1C_1}\right)$$

图 17. 单极低通滤波器

系统示例 (接下页)

如果需要更多的衰减，需要多个极点滤波器。Sallen-Key 滤波器可被用于完成此项工作，如 图 18所示。为了获得最佳结果，放大器的带宽必须是滤波器频率带宽的八到十倍。不遵守这一准则可能导致放大器出现相移。

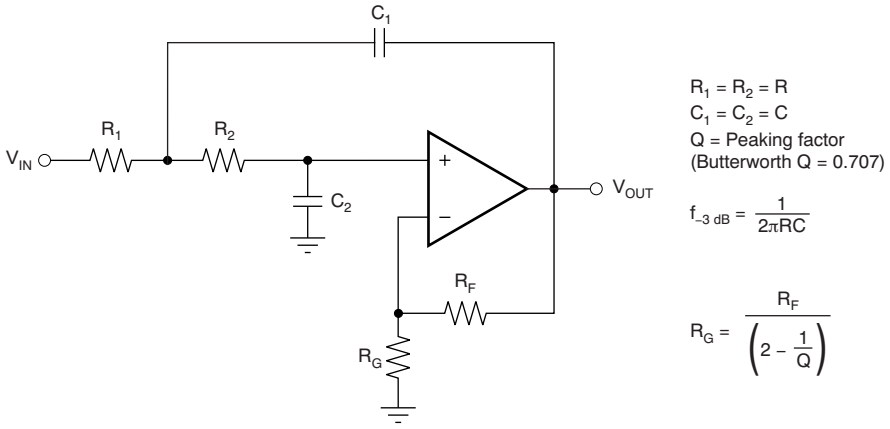


图 **18.** 两极低通 **Sallen-Key** 滤波器

10 电源相关建议

TLV314 系列的额定工作电压范围是 1.8V 至 5.5V（±0.9V 至 ±2.75V）；许多规格在 –40°C 至 +125°C 的温度下适用。*典型特性* 部分提供的参数可能随工作电压或温度出现显著变化。

CAUTION

电源电压大于 7V 可能对器件造成永久损坏（请参阅*绝对最大额定值* 表）。

将 0.1µF 旁路电容器放置于电源引脚附近，可减少高噪声电源或高阻抗电源中出现的误差。有关旁路电容器放置的更多详细信息，请参阅*布局布线指南* 部分。

10.1 输入和 ESD 保护

TLV314 系列在所有引脚上均整合了内部静电放电 (ESD) 保护电路。在输入和输出引脚的情况下，这种保护主要包括连接在输入和电源引脚间的导流二极管。只要电流如*绝对最大额定值* 表中所述限制为 10mA，这些 ESD 保护二极管还能提供电路内的输入过驱保护。图 19 显示了如何通过将串联输入电阻器添加到被驱动的输入端来限制输入电流。添加的电阻器会增加放大器输入端的热噪声；在对噪声敏感的应用中，该噪声必须保持在最低 水平。

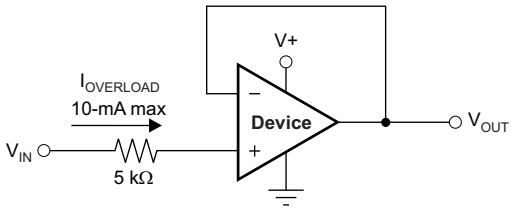


图 **19.** 输入电流保护

版权 © 2016, Texas Instruments Incorporated

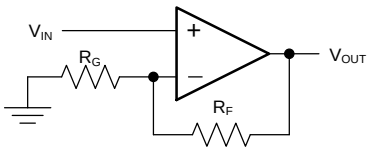
11 布局布线

11.1 布局布线指南

为使器件表现出最佳工作性能，需采用效果较好的印刷电路板 (PCB) 布局规范，包括：

- 噪声可通过全部电路电源引脚以及运算放大器传入模拟电路。通过使用旁路电容器提供模拟电路的本地低阻抗电源，可减少耦合噪声。
  - 在每个电源引脚和接地端之间连接低 ESR 0.1µF 陶瓷旁路电容器，放置位置尽量靠近器件。从 V+ 到接地端的单个旁路电容器适用于单电源 应用。
- 将电路的模拟和数字部分单独接地是最简单和最有效的噪声抑制方法之一。多层 PCB 中通常将一层或多层专门作为接地层。接地层有助于散热和降低电磁干扰 (EMI) 噪声拾取。确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流。有关更多详细信息，请参阅*《电路板布局技巧》*(SLOA089)。
- 为了减少寄生耦合，请让输入走线尽可能远离电源或输出走线。如果这些走线不能保持分离状态，让敏感走线与有噪声的走线垂直相交比平行相交好得多。
- 外部组件的位置应尽量靠近器件。请让 R_F 和 R_G 接近反相输入，以便最大限度减小寄生电容（如 图 20 中所示）。
- 尽可能缩短输入走线。切记：输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。这样可显著减少附近走线在不同电势下产生的泄漏电流。

11.2 布局示例



(Schematic Representation)

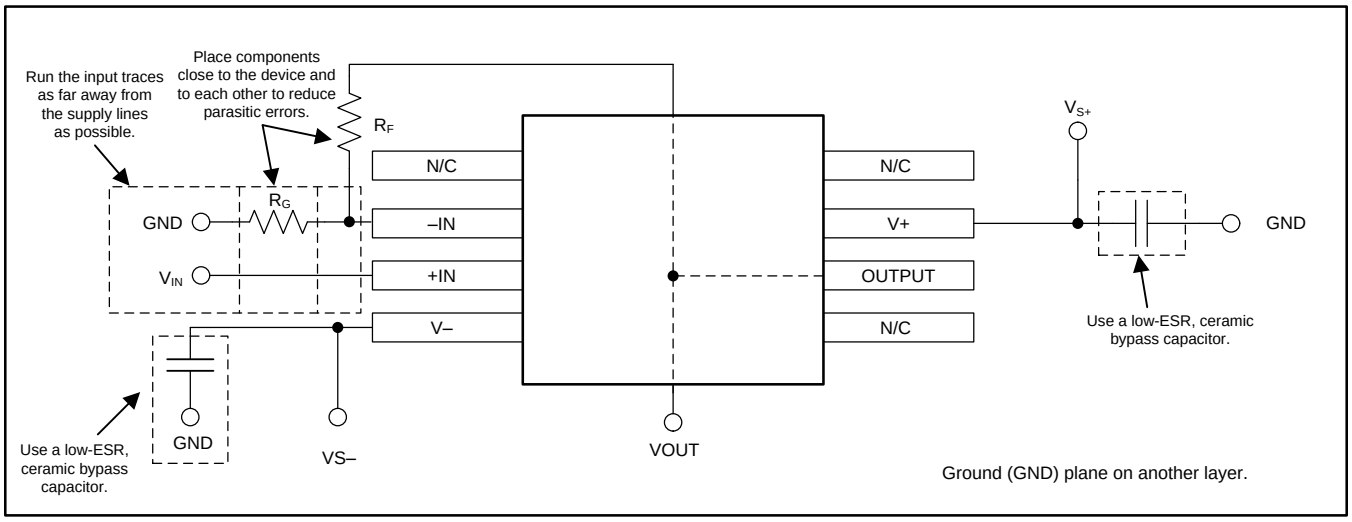


图 **20.** 同相配置的运算放大器电路板布局

12 器件和文档支持

12.1 器件支持

12.2 文档支持

12.2.1 相关文档

相关文档如下：

- *《运算放大器的电磁干扰 (EMI) 抑制比》*，SBOA128
- *《电路板布局布线技巧》*，SLOA089
- *《QFN/SON PCB 连接》*，SLUA271
- *《四方扁平无引线逻辑器件封装》*，SCBA017

12.3 相关链接

表 2 列出了快速访问链接。类别包括技术文档、支持与社区资源、工具和软件，以及申请样片或购买产品的快速链接。

表 2. 相关链接

器件	产品文件夹	样片与购买	技术文档	工具和软件	支持和社区
TLV314	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
TLV2314	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
TLV4314	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处

12.4 社区资源

The following links connect to TI community resources. Linked contents are provided "AS IS" by the respective contributors. They do not constitute TI specifications and do not necessarily reflect TI's views; see TI's Terms of Use.

TI E2E™ Online Community ***TI's Engineer-to-Engineer (E2E) Community.*** Created to foster collaboration among engineers. At e2e.ti.com, you can ask questions, share knowledge, explore ideas and help solve problems with fellow engineers.

Design Support ***TI's Design Support*** Quickly find helpful E2E forums along with design support tools and contact information for technical support.

12.5 商标

E2E is a trademark of Texas Instruments.
All other trademarks are the property of their respective owners.

12.6 静电放电警告



这些装置包含有限的内置 ESD 保护。 存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

12.7 Glossary

SLYZ022 — *TI Glossary*.

This glossary lists and explains terms, acronyms, and definitions.

13 机械、封装和可订购信息

以下页面包括机械、封装和可订购信息。这些信息是指定器件的最新可用数据。这些数据发生变化时，我们可能不会另行通知或修订此文档。如欲获取此产品说明书的浏览器版本，请参见左侧的导航栏。

版权 © 2016, Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
TLV2314IDGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAU | SN | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	13E7	Samples
TLV2314IDGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	NIPDAU | SN | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	13E7	Samples
TLV2314IDR	ACTIVE	SOIC	D	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	V2314	Samples
TLV314IDBVR	ACTIVE	SOT-23	DBV	5	3000	RoHS & Green	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	12H	Samples
TLV314IDBVT	ACTIVE	SOT-23	DBV	5	250	RoHS & Green	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	12H	Samples
TLV314IDCKR	ACTIVE	SC70	DCK	5	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	12I	Samples
TLV314IDCKT	ACTIVE	SC70	DCK	5	250	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	12I	Samples
TLV4314IPWR	ACTIVE	TSSOP	PW	14	2000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	V4314	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV2314, TLV314, TLV4314 :

- Automotive : TLV2314-Q1, TLV314-Q1, TLV4314-Q1

NOTE: Qualified Version Definitions:

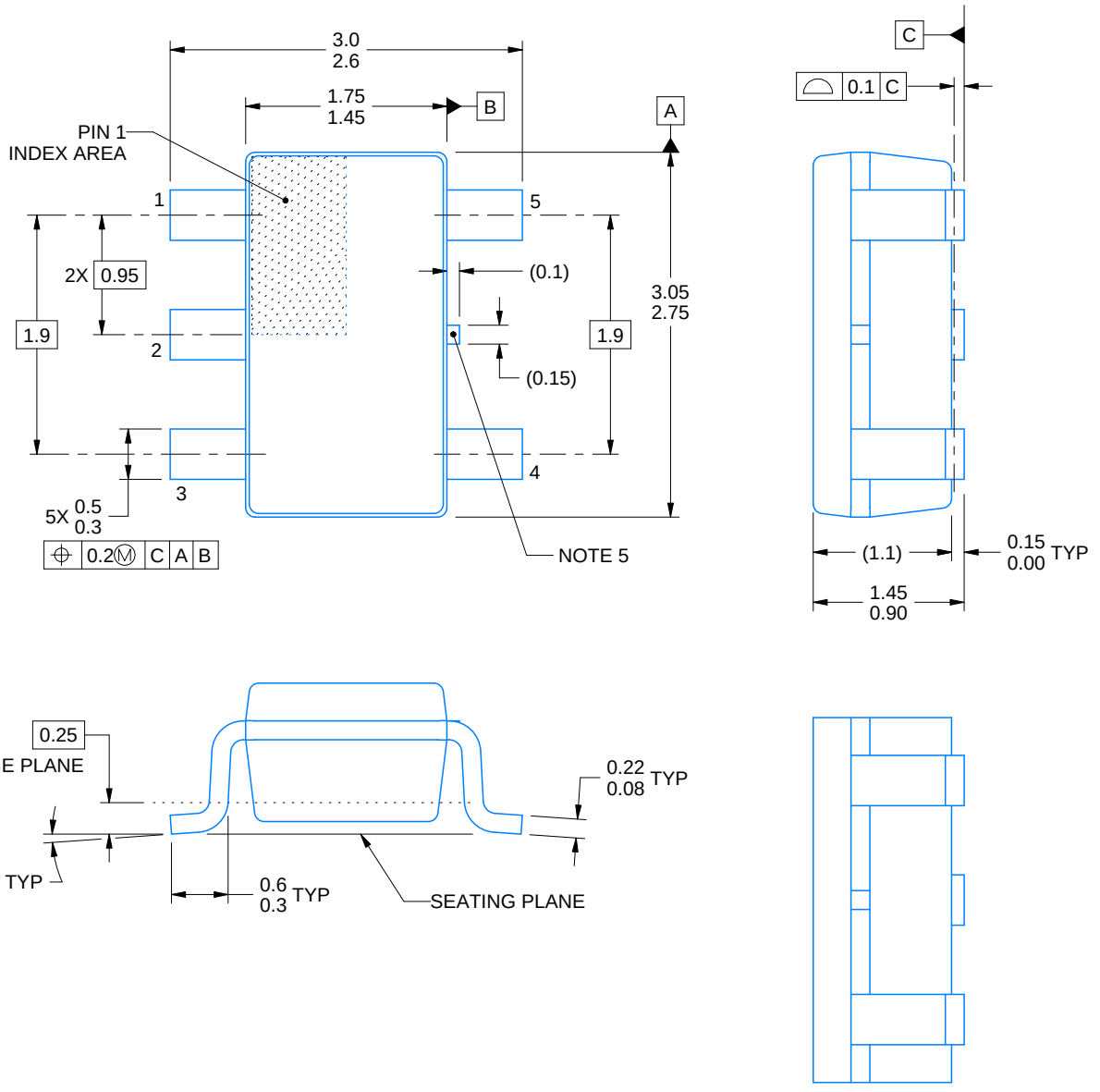
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR

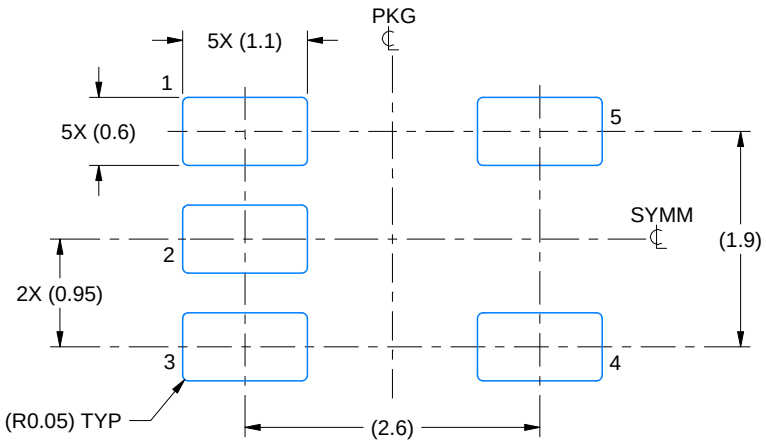


ALTERNATIVE PACKAGE SINGULATION VIEW

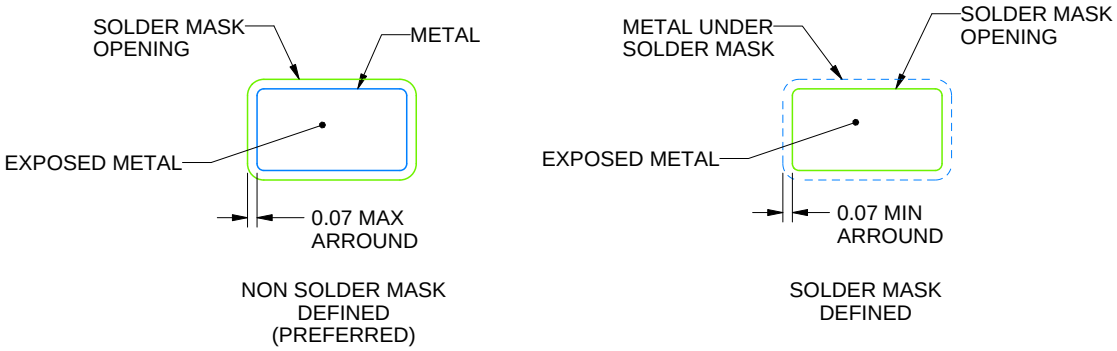
4214839/J 02/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

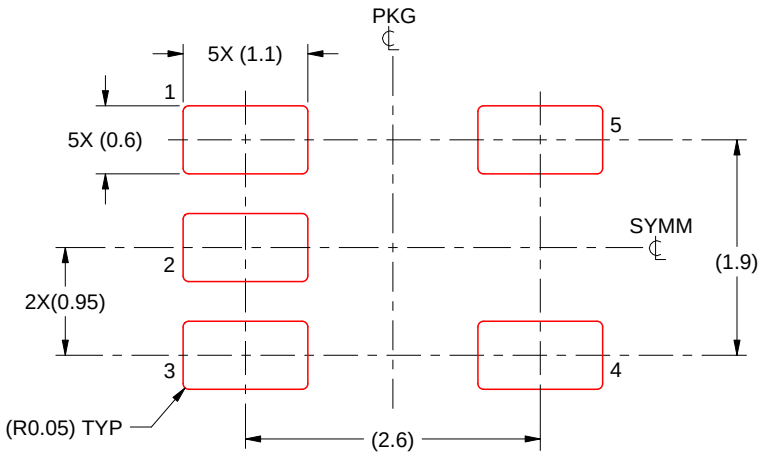


SOLDER MASK DETAILS

4214839/J 02/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/J 02/2024

NOTES: (continued)

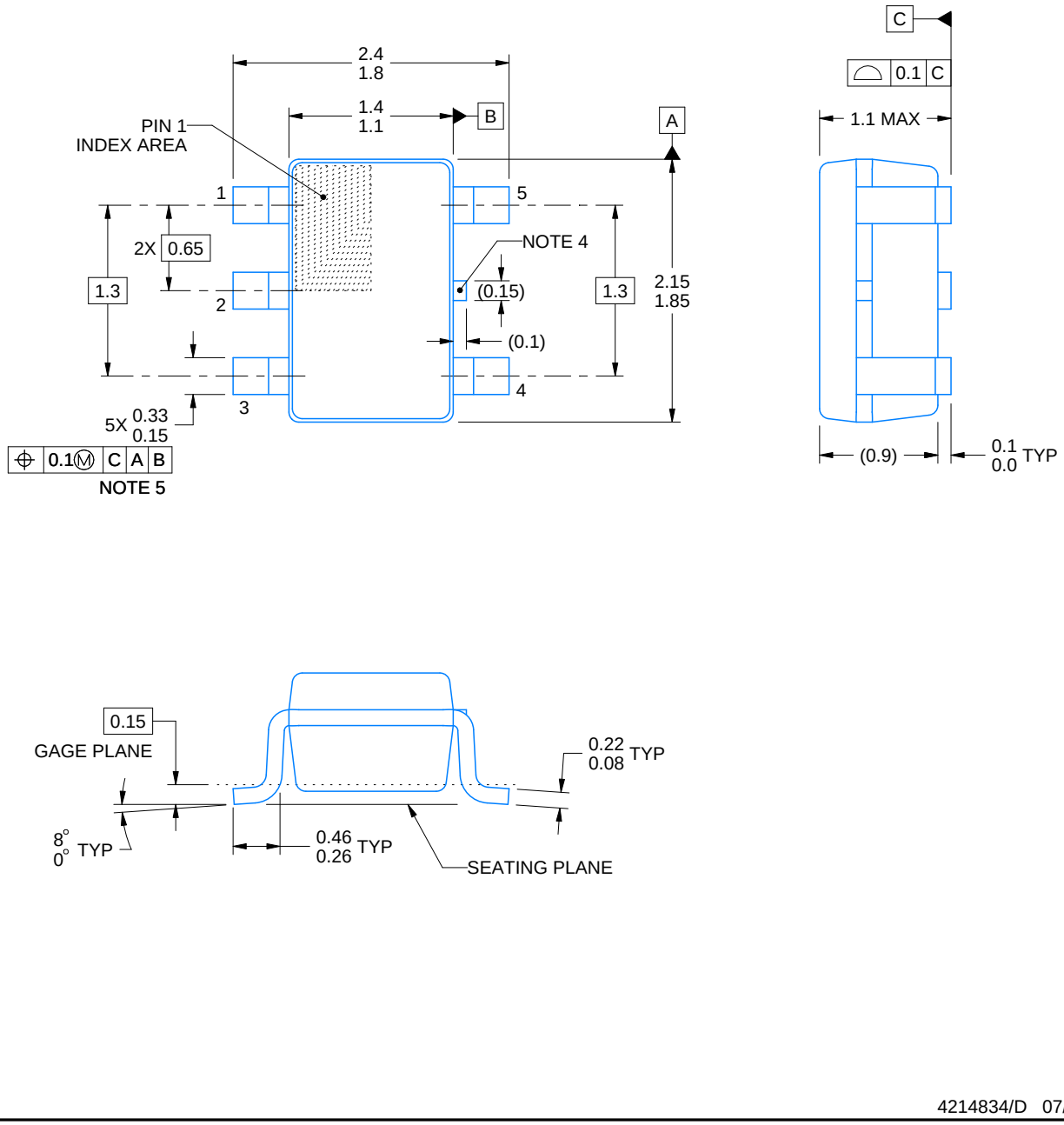
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

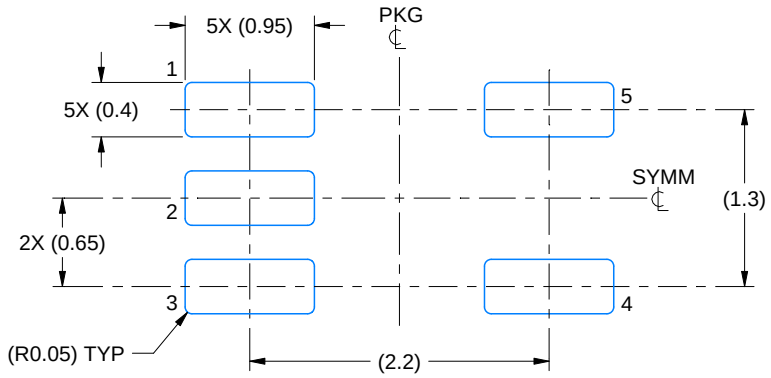
SMALL OUTLINE TRANSISTOR



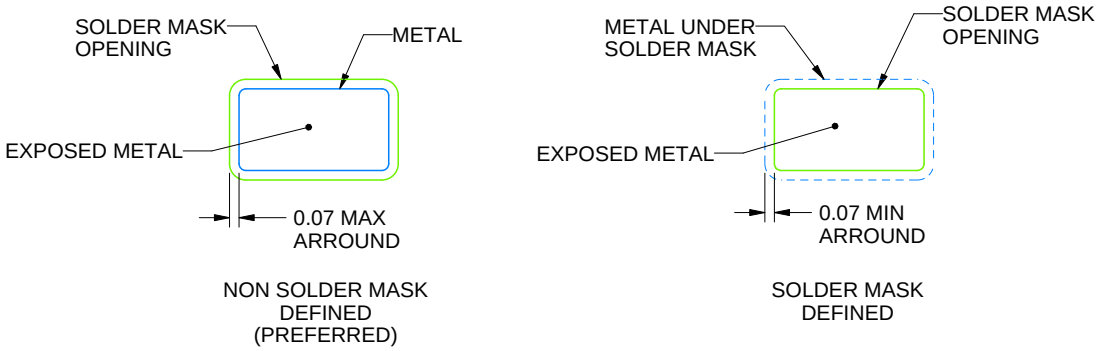
4214834/D 07/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

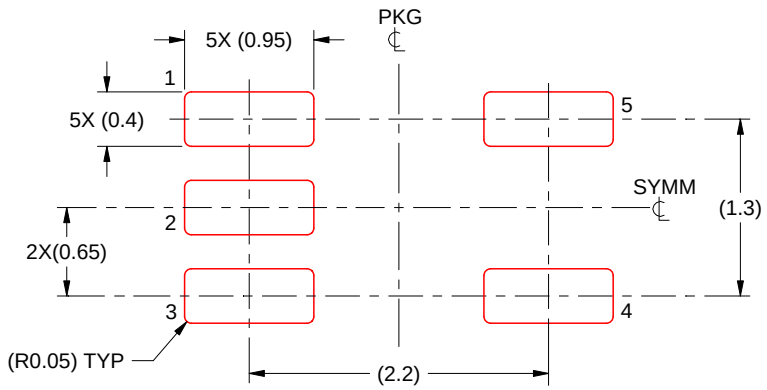


SOLDER MASK DETAILS

4214834/D 07/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



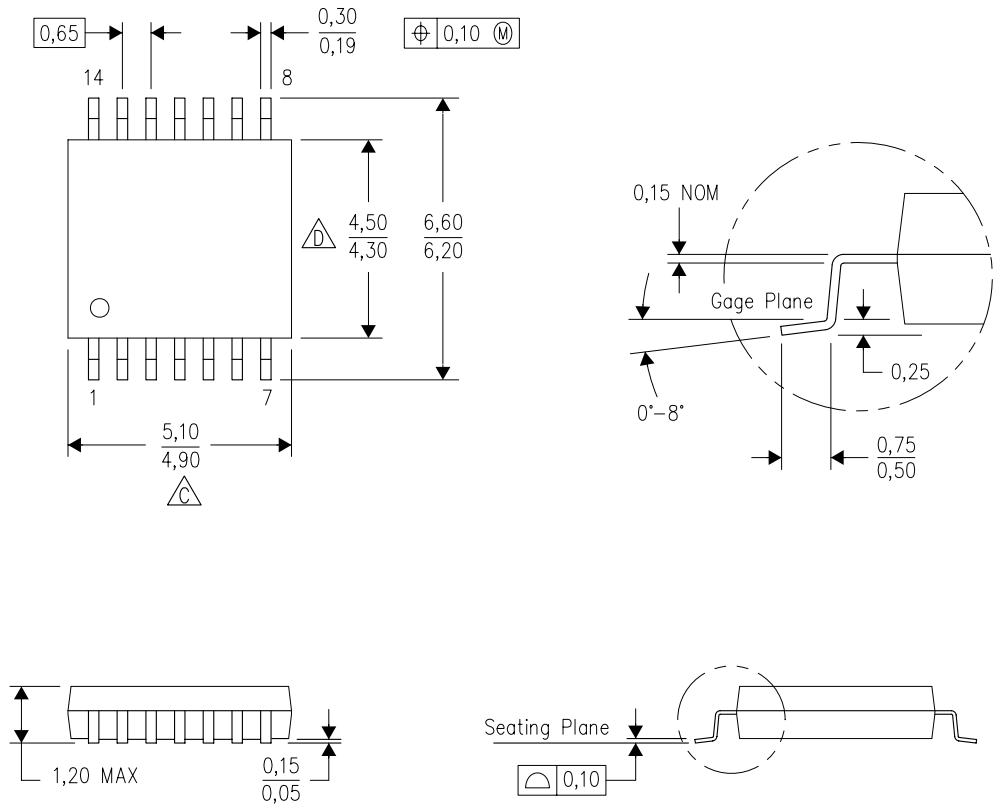
SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/D 07/2023

NOTES: (continued)

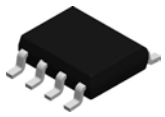
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PW (R–PDSO–G14) PLASTIC SMALL OUTLINE



4040064–3/G 02/11

NOTES:
A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0,15 each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0,25 each side.
E. Falls within JEDEC MO–153

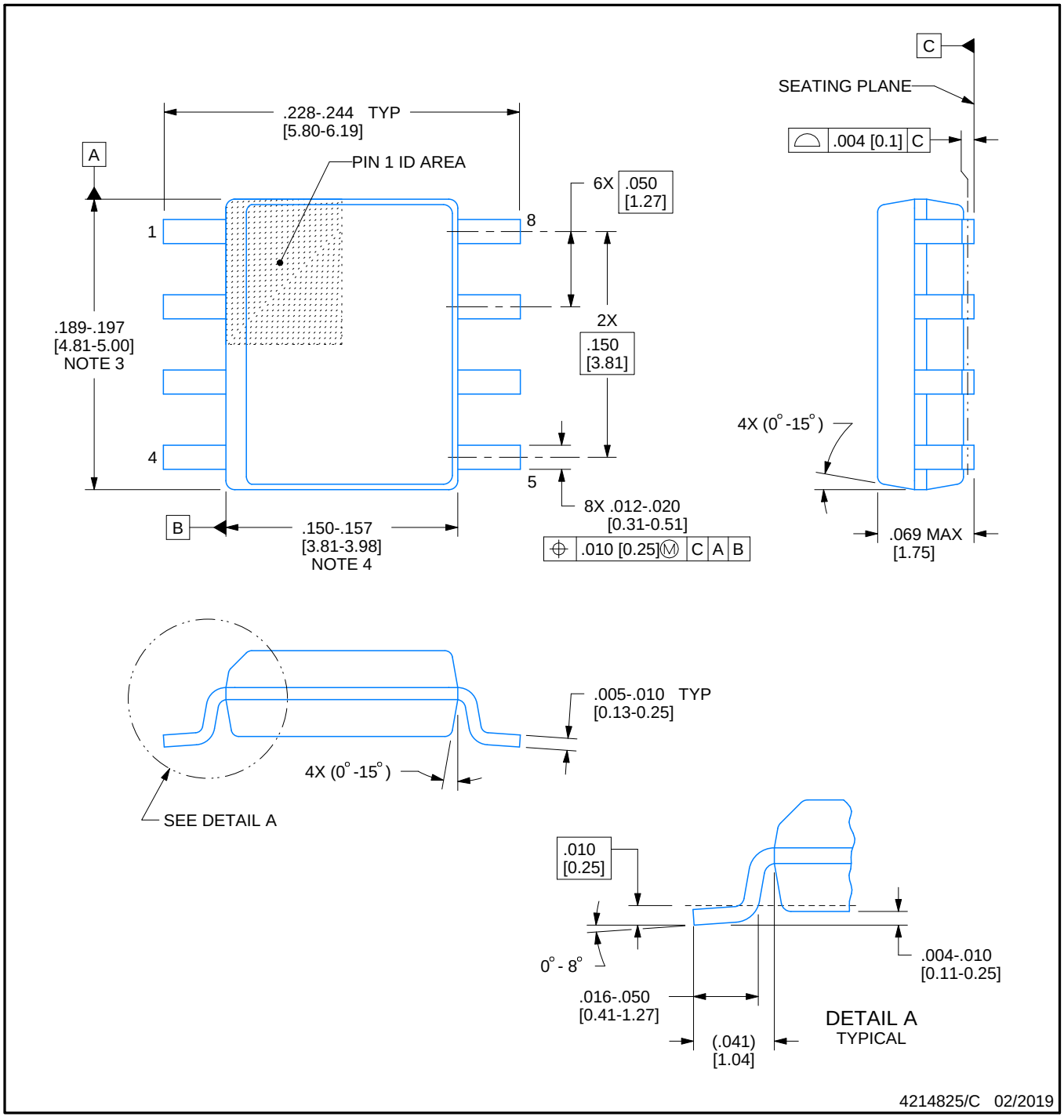


PACKAGE OUTLINE

D0008A

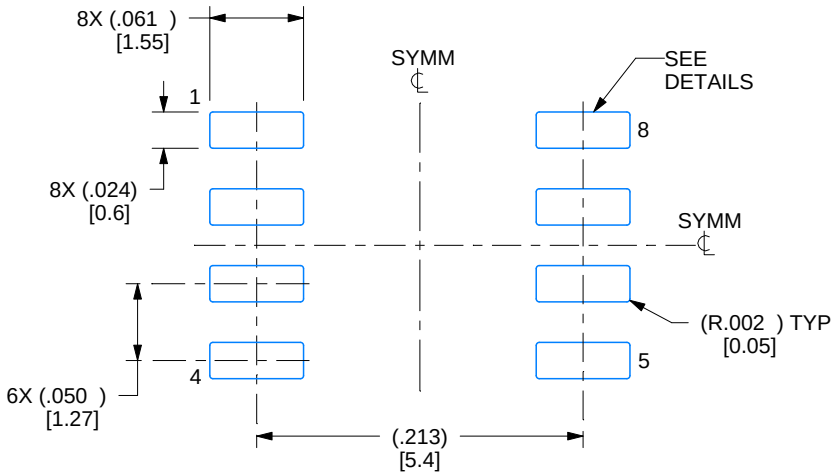
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

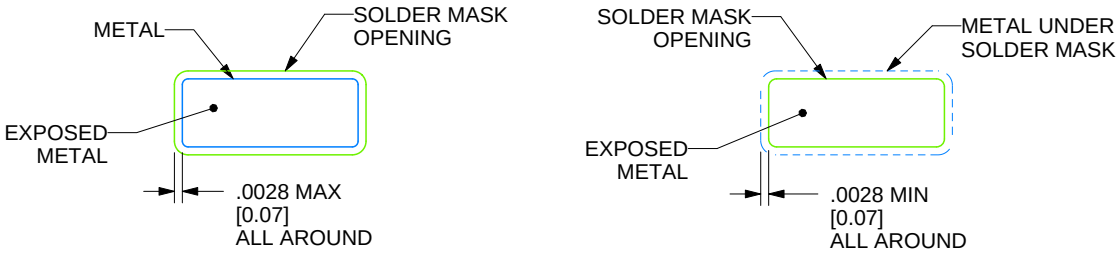


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

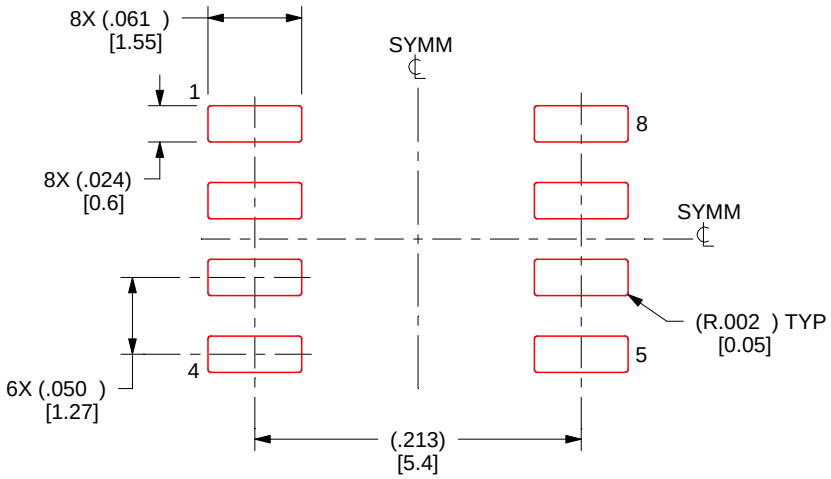
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



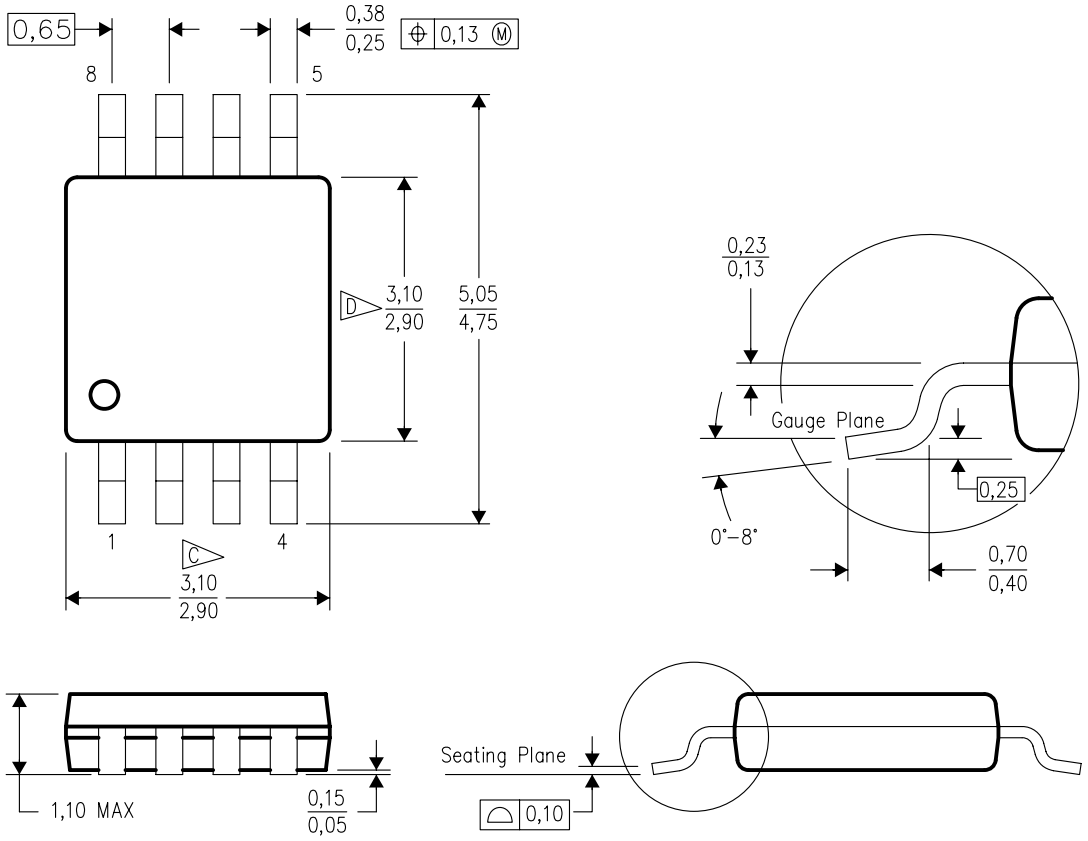
SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

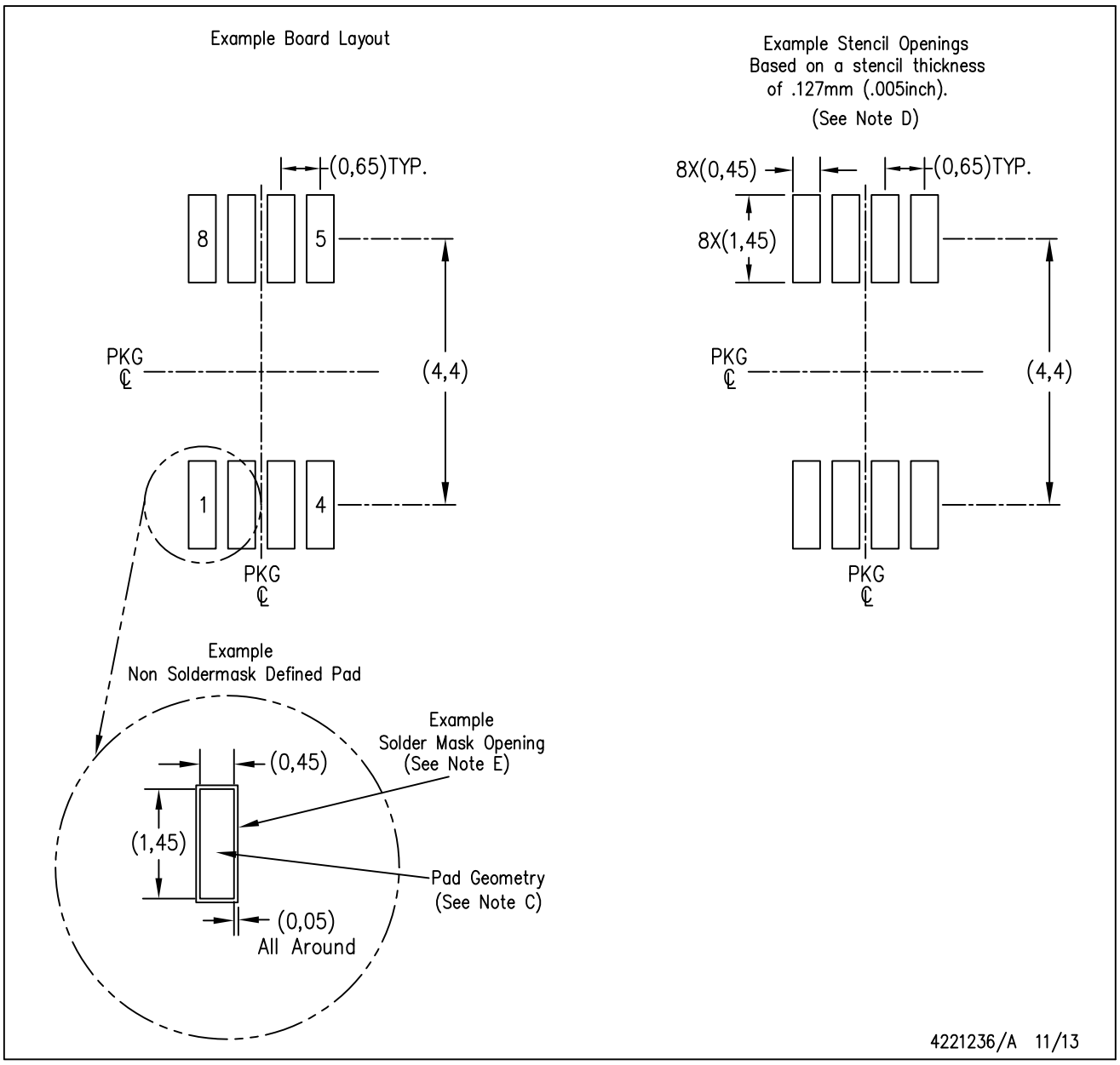
DGK (S–PDSO–G8) PLASTIC SMALL–OUTLINE PACKAGE



4073329/E 05/06

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per end.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
E. Falls within JEDEC MO–187 variation AA, except interlead flash.

DGK (S–PDSO–G8) PLASTIC SMALL OUTLINE PACKAGE



NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate designs.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司