

四通道 XAUI/10GBASE-KR 收发器

查询样品: [TLK10034](#)

特性

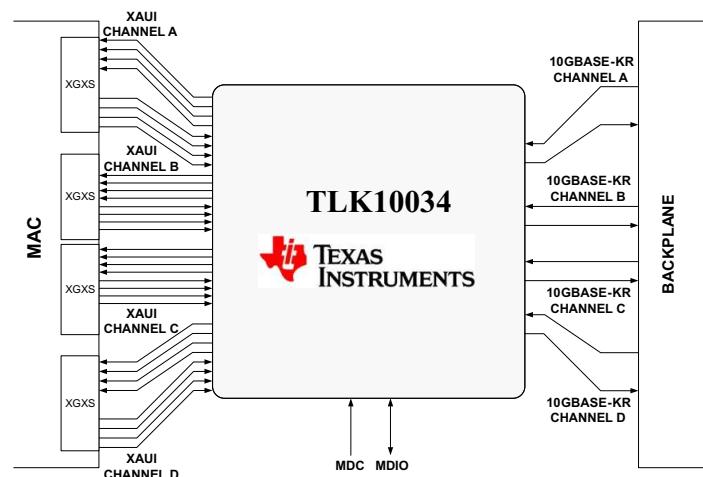
- 四通道多速率收发器
- 支持 **10GBASE-KR**, **XAUI**, 和 **1GBASE-KX** 以太网标准
- 支持所有数据速率高达 **10Gbps** 通用公共无线接口 (**CPRI**) 和开放基站架构协议 (**OBSAI**)
- 在高速端支持数据速率高达 **10.3125Gbps** 的多速率串行解串器 (**SERDES**) 运行, 在低速端支持的数据速率高达 **5Gbps**
- 高速端和低速端上的差分电流模式逻辑 (**CML**) I/O 接口
- 到背板、无源和有源铜线缆、或者小尺寸可插拔 (**SFP**)+ 光模块的接口
- 可选基准时钟每通道 (带有多输出时钟选项)
- 高速端和低速端上的回路功能
- 支持数据重新定时操作
- 支持伪随机二进制序列 (**PRBS**), 随机测试兼容模板 (**CRPAT**), 长连续抖动测试图案 (**CJPAT**), 高/低/混频模式, 和 **KR** 伪随机模式生成以及验证, 方波生成
- 双电源: 标称值 **1.0V**, 和 **1.5V** 或者 **1.8V**
- 无需电源排序
- 发送去加重功能和接收自适应均衡可允许扩展背板/

线缆达到高速端和低速端

- 高速端和低速端上的可编程发送输出摆动
- 信号损失 (**LOS**) 检测
- 支持 **10G-KR** 链路协商、前向纠错、自动协商
- 超大数据包支持
- **JTAG; IEEE 1149.1 /1149.6** 测试接口
- 业界标准数据管理输入输出 (**MDIO**) 条款 **45** 和 **22** 控制接口
- **65nm** 高级 **CMOS** 技术
- 工业用环境运行温度 (-40°C 至 85°C)
- 功耗: 每通道 **825mW** (标称值)
- 器件封装: **19mm x 19mm, 324 引脚塑料球状引脚栅格阵列封装 (PBGA)**, **1mm 焊球间距**

应用范围

- **10GBASE-KR** 兼容背板连接
- **10** 兆位以太网交换机、路由器、和网络接口卡
- **10** 兆位以太网刀片式服务器
- 私有线缆/背板连接
- 高速点到点传输系统



说明

TLK10034 是一款四通道多速率收发器, 此收发器用于高速双向点到点数据传输系统中。这个器件支持三个主模式。它可被用作一个 XAUI 到 10GBASE-KR 的收发器、一个通用 8b/10b 多速率 4:1, 2:1, 1:1 串行器/解串器, 或者被用在 1G-KX 模式中。



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

运行在 10GBASE-KR 模式中时，TLK10034 将出现在其低速 (LS) 端数据输入上的 8B/10B 编码 XAUI 数据流串行化。经串行化的 8B/10B 编码数据以 64B/66B 编码格式出现在高速 (HS) 端输出上。相似的，TLK10034 将出现在其高速端数据输入上的 64B/66B 编码数据流串行化。格式为 8B/10B 的经解串行化 64B/66B 出现在低侧端输出上。这个模式支持链路以及针对扩展长度应用的前向纠错 (FEC)。

当运行在通用 SERDES 模式时，TLK10034 将出现在其低速 (LS) 端数据输入上的 8B/10B 经编码数据流进行 2:1 和 4:1 串化。经串化的 8B/10B 编码数据出现在高速 (HS) 输出上。相似的，TLK10034 将出现在其高速端数据输入上的 8B/10B 编码数据流进行 1:2 和 1:4 解串化。经解串化的 8B/10B 编码数据出现在低速端输出上。根据串化/解串化比率，低速端数据传输速率范围介于 0.5Gbps 至 5Gbps 之间，而高速端数据传输速率介于 1Gbps 至 10Gbps 之间。还支持 1:1 重整形模式，但是速率限制在 1Gbps 至 5Gbps。

TLK10034 还支持具有 PCS (CTC) 功能的 1G-KX (1.25Gbps) 模式。通过软件服务开通或者自动协商可启用这个模式。如果使用了软件服务开通，那么支持的数据传输速率可高达 3.125Gbps。

低速端和高速端数据输入和输出是具有集成端接电阻器的差分电流模式逻辑 (CML) 类型。

为了支持不同操作，TLK10034 提供了灵活的计时方案。这些方案包括对使用一个从高速端恢复的外部抖动清除时钟进行计时的支持。此器件还能够在 10GBASE-KR 和 1G-KX 模式下执行时钟容限补偿 (CTC)，从而实现异步计时。

TLK10034 为自检和系统诊断用途提供低速端和高速端回路模式。

TLK10034 具有针对系统测试的内置模式生成器和验证器。此器件支持不同 PRBS，高，低，混合，CRPAT 长/短，CJPAT，和 KR 伪随机测试模式的生成和方波生成。低速端和高速端上支持的模式类型取决于所选择的操作模式。

TLK10034 在高速端和低速端都具有一个集成信号损失 (LOS) 检测功能。在输入差分电压摆幅少于 LOS 有效阈值的条件下，LOS 被置为有效。

在 10GBASE-KR 模式下，通过标准 XAUI 通道对齐可实现针对每个通道的通道对齐。在通用 SERDES 模式下，通过一个私有通道对齐机制可实现针对每个通道的低速端通道对齐。为了实现正确链路运行，上行链路合作方器件需要执行通道对齐机制。正常链路运行只有在实现通道对齐之后才会重新开始。

四个 TLK10034 通道完全独立。它们可以在不同的基准时钟、不同的数据速率、和不同的串化/解串化比率下运行。

TLK10034 的低速端是与一个能够处理低速率串行数据流的现场可编程栅极阵列 (FPGA) 或者特定用途集成电路 (ASIC) 进行对接的理想选择。高速端非常适合通过光纤、电缆、或者背板接口与远程系统对接。TLK10034 支持 SFP 和 SFP+ 光模块，以及 10GBASE-KR 兼容背板系统的运行。

物理特性

方框图

图 1 中显示了 TLK10034 器件用于通道 A 的不同接口。所有四个通道的实现方法是一样的。图 2 显示了针对发送和数据路径的方框图。这个低功耗收发器由两个串行/解串行器 (SERDES) 块，一个在低速端，而另外一个在高速端组成。位于两个 SERDES 块之间的内核逻辑块执行逻辑功能，其中包括通道同步、通道对齐、8B/10B 和 64B/66B 编码/解码，以及测试模式生成和验证。

TLK10034 提供一个数据管理输入/输出 (MDIO) 接口以及一个用于器件配置、控制、和监视的 JTAG 接口。TLK10034 数据手册中有 TLK10034 引脚功能的详细说明。

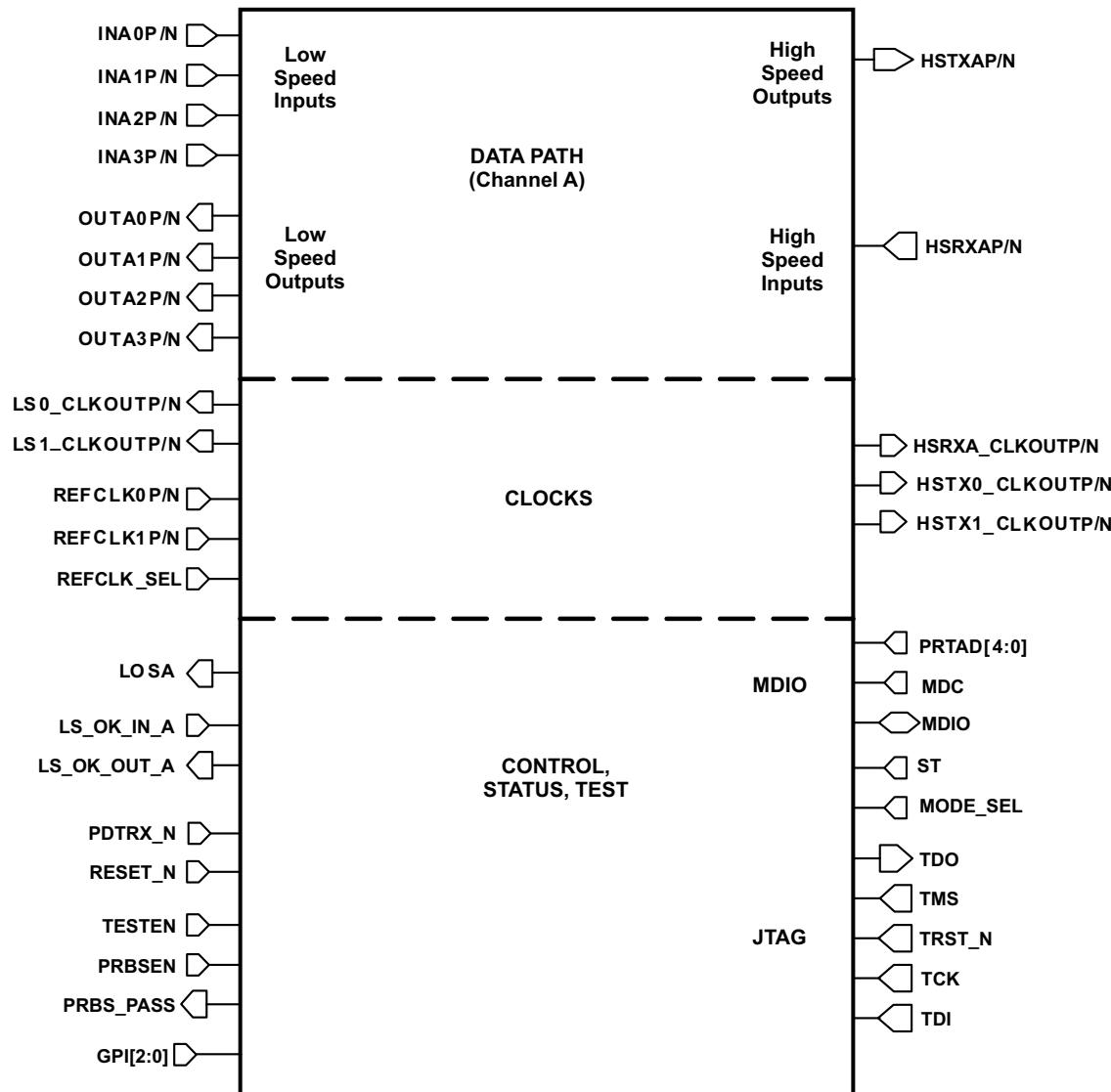


图 1. TLK10034 接口

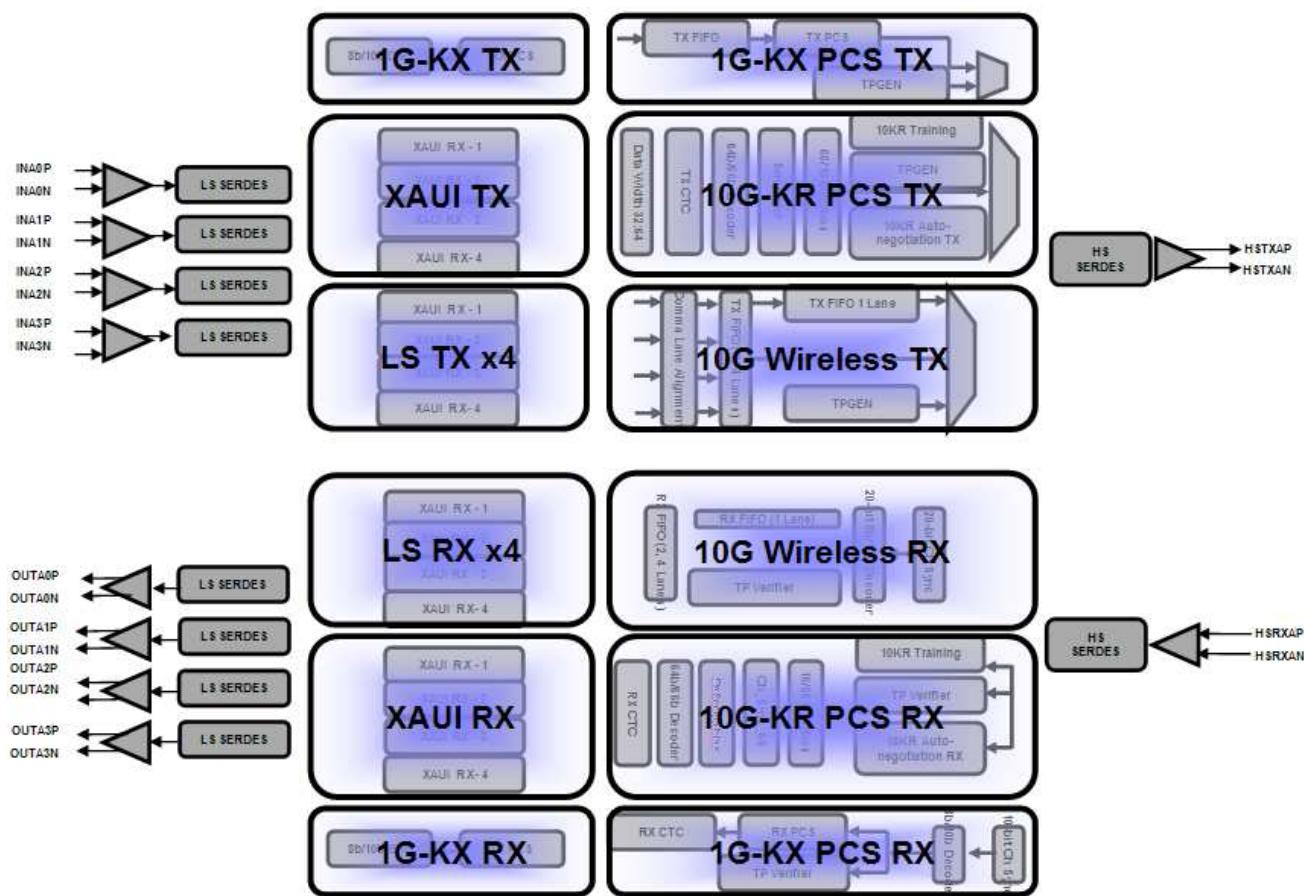


图 2. TLK10034 数据路径的简化单通道方框图

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLK10034AAJ	Active	Production	FCBGA (AAJ) 324	84 JEDEC TRAY (5+1)	Yes	SNAGCU	Level-4-260C-72 HR	-40 to 85	TLK10034
TLK10034AAJ.A	Active	Production	FCBGA (AAJ) 324	84 JEDEC TRAY (5+1)	Yes	SNAGCU	Level-4-260C-72 HR	-40 to 85	TLK10034

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

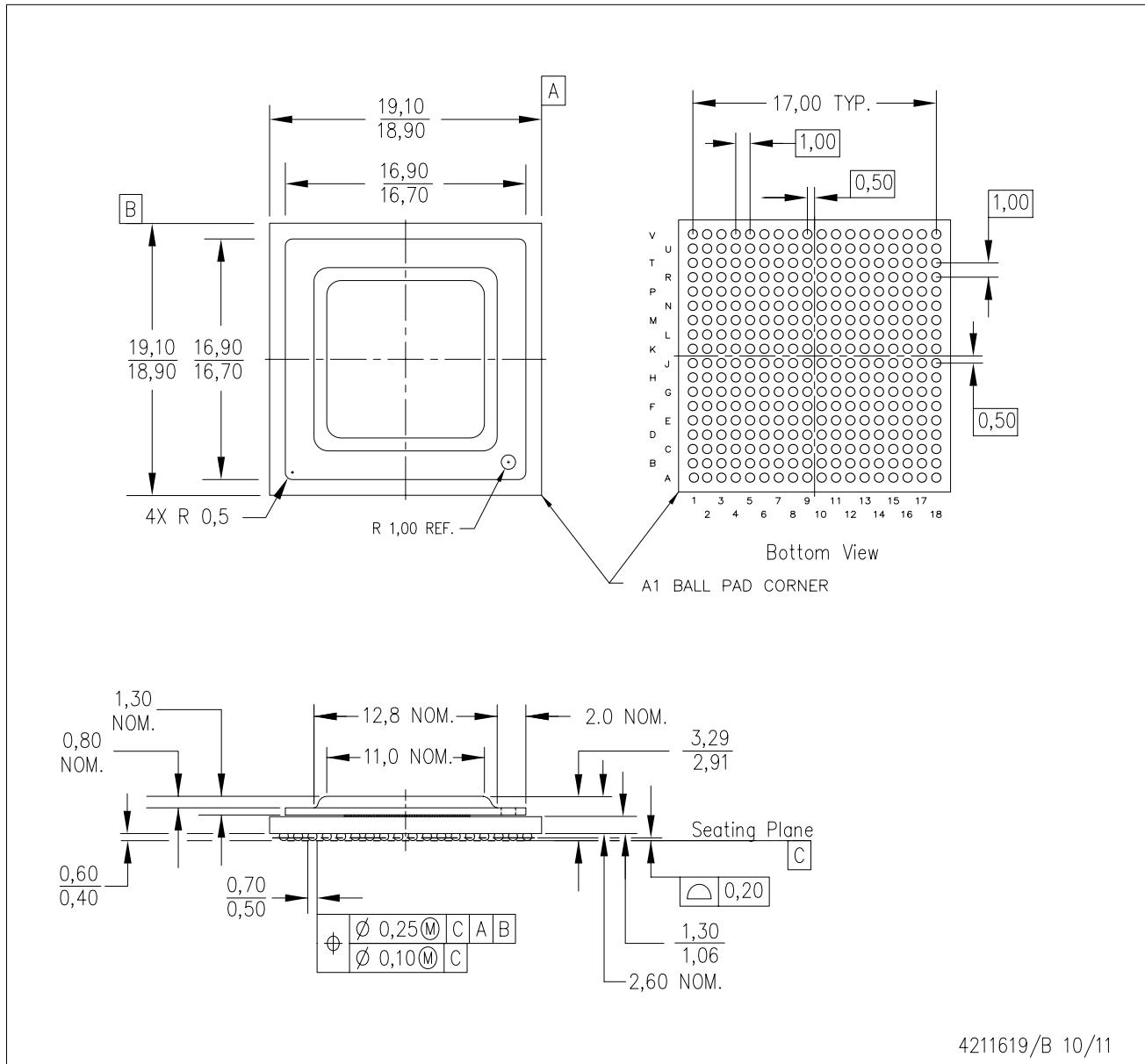
Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

MECHANICAL DATA

AAJ (S-PBGA-N324)

PLASTIC BALL GRID ARRAY



4211619/B 10/11

- NOTES:
- All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - This drawing is subject to change without notice.
 - Flip chip application only.
 - Pb-free die bump and solder ball.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#))、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025 , 德州仪器 (TI) 公司

最后更新日期 : 2025 年 10 月