

TLIN1124A-Q1 汽车四通道本地互连网络 (LIN) 收发器，集成了主机上拉电阻和禁止功能

1 特性

- 符合面向汽车应用的 AEC-Q100 标准
- 符合 LIN2.0、LIN2.1、LIN2.2、LIN2.2A 和 ISO 17987-4 电气物理层 (EPL) 规格标准
- 符合 SAE J2602-1 面向汽车应用的 LIN 网络标准
- 功能安全型
 - 可提供用于功能安全系统设计的文档
- 宽工作输入电压范围
 - V_{SUP} 范围为 5V 至 28V
- LIN 传输数据速率高达 20kbps
- LIN 接收数据速率高达 100kbps
- 工作模式：正常、待机和睡眠
- 通过源识别提供低功耗模式唤醒支持
 - 通过 LIN 总线实现远程唤醒
 - 通过 SLP 引脚实现本地唤醒
- 单封装集成四路 LIN 通道，内置二极管和主机上拉电阻（正常模式下上拉电阻容差为 $\pm 6\%$ ）
- 所有四路 LIN 通道均集成更严格的从机上拉电阻（27k 至 48k）
- INHN 引脚用于控制外部电源稳压器
- 支持 2.97V 至 5.5V 的 V_{IO} 逻辑接口
- 在 LIN 总线和 RXD 输出上实现上电/断电无干扰运行
- 保护特性：
 - 总线故障保护 $\pm 40V$
 - V_{SUP} 和 V_{IO} 欠压保护
 - TXD 显性超时保护，防止故障通道长时间占用总线
 - LIN 显性超时保护，防止片上功率耗散过大
 - 热关断保护
 - 系统级未供电节点或接地断开失效防护。
- 结温范围为 -40°C 至 150°C
- 3.5mm \times 5.5mm QFN 封装，提高了自动光学检测 (AOI) 能力

2 应用

- 车身电子装置和照明
- 汽车信息娱乐系统与仪表组
- 混合动力电动汽车和动力总成系统
- 工业运输

3 说明

TLIN1124A-Q1 器件是一款四通道本地互连网络 (LIN) 物理层收发器，集成了主机和从机终端、禁止、唤醒和保护功能，符合 LIN 2.0、LIN 2.1、LIN 2.2、LIN 2.2A、ISO/DIS 17987-4 和 SAE J2602-1 标准。

LIN 是一种单线双向总线，通常用于数据传输速率最高为 20kbps 的低速车载网络。LIN 接收器支持高达 100kbps 的数据传输速率，可用于执行内联编程。

TLIN1124A-Q1 器件支持 12V 电池应用，具有更宽的工作电压范围（5V 至 28V）和扩展的 LIN 总线故障保护（ $\pm 40V$ ）。该器件通过使用可降低电磁发射 (EME) 的限流波形整形驱动器，将 TXDx 输入上的 LIN 协议数据流转化为 LINx 总线信号。接收器将数据流转化为逻辑电平信号，这些信号通过推挽式 RXD 输出引脚发送到微处理器。睡眠模式可实现超低电流消耗，该模式允许通过 LIN 总线或 SLP 引脚实现唤醒。

集成主机和从机二极管及电阻、静电放电 (ESD) 保护以及故障保护功能，有助于设计人员节省系统布板空间。若发生接地漂移或电源电压断开的情况，该器件可防止反馈电流经 LIN 流向电源。

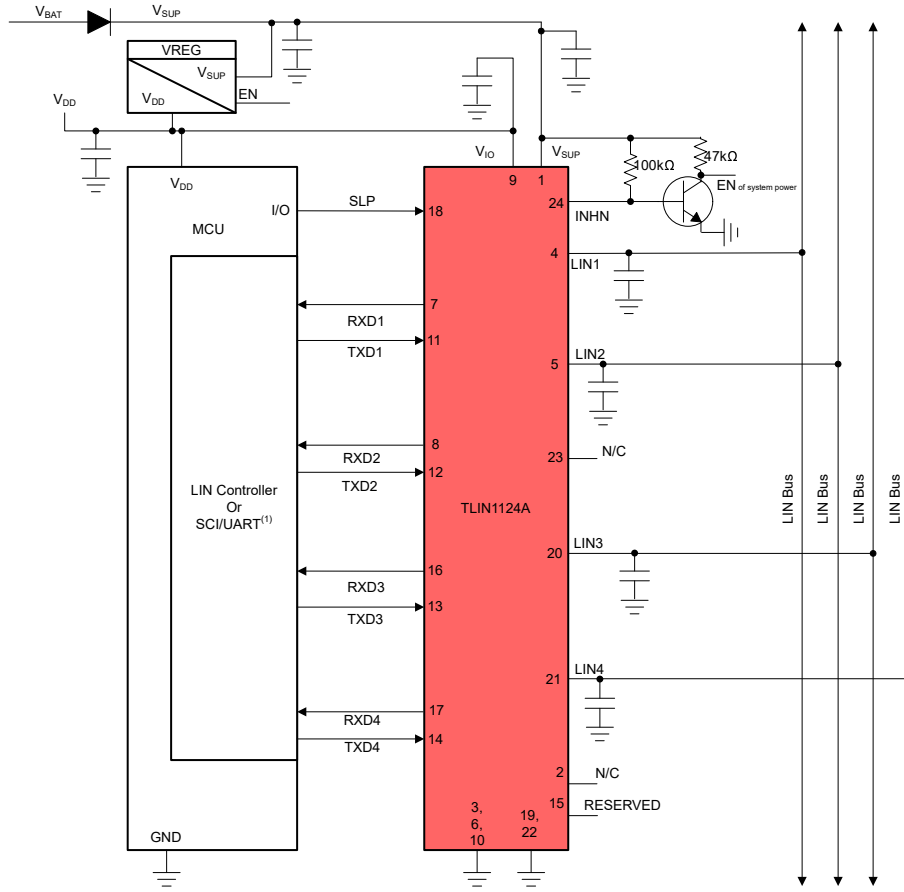
封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TLIN1124A-Q1	VQFN (24)	5.5mm \times 3.5mm

(1) 有关更多信息，请参阅节 11。

(2) 封装尺寸（长 \times 宽）为标称值，并包括引脚（如适用）。





Decoupling capacitor values are system dependent but usually have 100nF, 1μF and ≥10μF

简化版原理图

ADVANCE INFORMATION

内容

1 特性	1	7.4 器件功能模式	20
2 应用	1	8 应用和实施	23
3 说明	1	8.1 应用信息.....	23
4 引脚配置和功能	4	8.2 典型应用.....	23
5 规格	6	8.3 电源相关建议.....	24
5.1 绝对最大额定值.....	6	8.4 布局.....	24
5.2 ESD 等级.....	6	9 器件和文档支持	26
5.3 ESD 等级 - IEC 规格.....	6	9.1 文档支持.....	26
5.4 建议运行条件.....	7	9.2 接收文档更新通知.....	26
5.5 热性能信息.....	7	9.3 支持资源.....	26
5.6 电源特性.....	8	9.4 商标.....	26
5.7 电气特性.....	9	9.5 静电放电警告.....	26
5.8 AC 开关特性.....	12	9.6 术语表.....	26
5.9 典型特性.....	12	10 修订历史记录	26
6 参数测量信息	13	11 机械、封装和可订购信息	26
7 详细说明	15	11.1 封装选项附录.....	27
7.1 概述.....	15	11.2 卷带包装信息.....	28
7.2 功能方框图.....	16	11.3 机械数据.....	30
7.3 特性说明.....	16		

4 引脚配置和功能

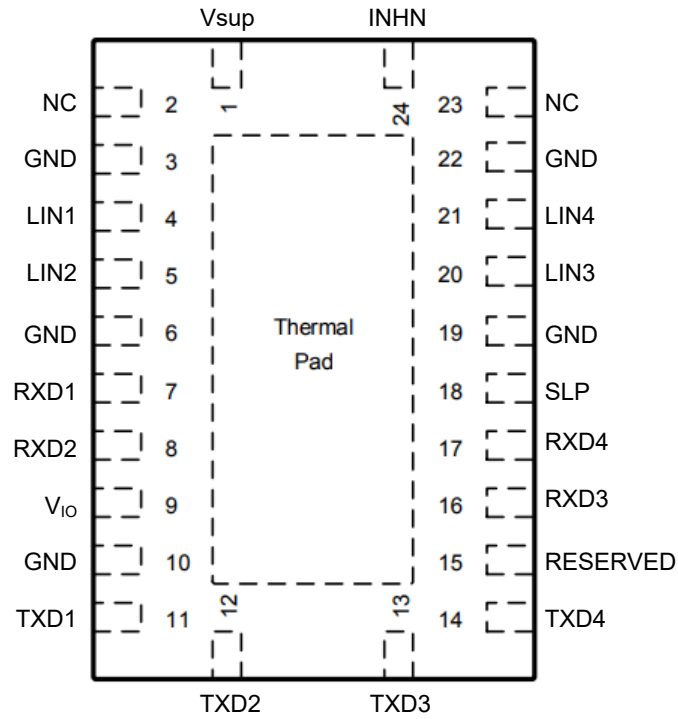


图 4-1. RGY 封装，24 引脚 (VQFN)
顶视图

表 4-1. 引脚功能

引脚 ⁽¹⁾		类型	说明
编号	名称		
1	V _{SUP}	电源	来自电池的高压电源
2	NC	-	未连接
3	GND	GND	接地
4	LIN1	总线 I/O	通道 1 LIN 总线单线发送器和接收器
5	LIN2	总线 I/O	通道 2 LIN 总线单线发送器和接收器
6	GND	GND	接地
7	RXD1	数字输出	通道 1 RXD 输出 (推挽) 接口, 用于报告 LIN1 总线状态
8	RXD2	数字输出	通道 2 RXD 输出 (推挽) 接口, 用于报告 LIN2 总线状态
9	V _{IO}	电源	逻辑接口电源电压
10	GND	GND	接地
11	TXD1	数字输入	通道 1 TXD 输入接口, 用于控制 LIN1 输出状态; 集成弱下拉和弱上拉;
12	TXD2	数字输入	通道 2 TXD 输入接口, 用于控制 LIN2 输出状态; 集成弱下拉和弱上拉;
13	TXD3	数字输入	通道 3 TXD 输入接口, 用于控制 LIN3 输出状态; 集成弱下拉和弱上拉;
14	TXD4	数字输入	通道 4 TXD 输入接口, 用于控制 LIN4 输出状态; 集成弱下拉和弱上拉;
15	RESERVED	数字输入	用于确保正常工作。该引脚必须拉低或接地
16	RXD3	数字输出	通道 3 RXD 输出 (推挽) 接口, 用于报告 LIN3 总线状态
17	RXD4	数字输出	通道 4 RXD 输出 (推挽) 接口, 用于报告 LIN4 总线状态
18	SLP	数字输入	逻辑输入, 用于控制 LIN 通道状态, 集成上拉至 V _{IO}
19	GND	GND	接地
20	LIN3	总线 I/O	通道 3 LIN 总线单线发送器和接收器
21	LIN4	总线 I/O	通道 4 LIN 总线单线发送器和接收器
22	GND	GND	接地
23	NC	-	未连接
24	INH	高压输出	禁止输出, 用于控制系统电压, 高压。低电平有效, 开漏。
PAD	散热焊盘	-	为实现出色热性能, 必须在 PCB 上接地

(1) 引脚 3、6、10、19 和 22 : 所有 GND 引脚均内部短接。

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) (1) (2)

		最小值	最大值	单位
V_{SUP}	电源电压范围	-0.3	40	V
V_{IO}	电源电压 I/O 电平转换器	-0.3	6	V
V_{LIN}	LIN 总线输入电压	-40	40	V
V_{INHn}	INHn 引脚输出电压	-0.3	$V_{SUP} + 0.3$	V
V_{LOGIC_INPUT}	逻辑输入电压 (TXDx、SLP)	-0.3	$V_{IO} + 0.3$	V
V_{LOGIC_OUTPUT}	逻辑输出电压 (RXDx)	-0.3	$V_{IO} + 0.3$	V
I_O	数字引脚输出电流 (RXDx)		8	mA
$I_{O(INHn)}$	禁止端子输入电流		4	mA
T_J	结温	-40	165	°C
T_{slg}	贮存温度	-65	150	°C

- 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- 所有电压值都是以接地端子为基准。

5.2 ESD 等级

		值	单位
V_{ESD}	静电放电	人体放电模型 (HBM) 分级等级 3B : V_{SUP} 、LIN、INHn 以地为基准	V
		人体放电模型 (HBM) 分级等级 3A : 所有其他引脚, 符合 AEC Q100-002 标准 ⁽¹⁾	
		充电器件模型 (CDM) 分级等级 C5, 符合 AEC Q100-011 标准	
	所有引脚	± 750	

- AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.3 ESD 等级 - IEC 规格

		值	单位
$V_{(ESD)}$	静电放电, 符合 IEC 62228-2 (适用于 LIN) ⁽¹⁾	LIN、 V_{SUP} 引脚对 GND 的接触放电	± 8000
		LIN 引脚的间接 ESD 放电	± 15000
$V_{(ESD)}$	静电放电, 符合 SAE J2962-1 (适用于 LIN) ⁽²⁾	LIN 引脚的接触放电	± 8000
		LIN 引脚的气隙放电	± 25000
V_{TRAN}	IEC 62228-2 脉冲瞬态测试, 符合 IEC 62215-3 12V 电气系统 LIN、 V_{SUP} 端子对地 ⁽¹⁾	脉冲 1	-100
		脉冲 2	75
		脉冲 3a	-150
		Pulse 3b	100
	LIN 端子对地 ⁽²⁾	依据 ISO 7637-3 标准, 适配 SAE J2962-1 规范 直接耦合电容器 - 慢速瞬态脉冲	± 30

- 此处给出的结果特定于 IEC 62228-2 标准。测试由经 OEM 认可的独立第三方执行
- 此处给出的结果特定于 SAE J2962-1 标准。测试由经 OEM 认可的独立第三方执行

5.4 建议运行条件

参数在 $-40^{\circ}\text{C} \leq T_J \leq 150^{\circ}\text{C}$ 范围内有效 (除非另有说明)

		最小值	标称值	最大值	单位
V_{SUP}	电源电压	5		28	V
V_{IO}	逻辑接口电源电压	2.97		5.5	V
V_{LIN}	LIN 总线输入电压	0		28	V
V_{LOGIC}	逻辑引脚电压 (TXDx、RXDx、SLP)	0		V_{IO}	V
$I_{\text{OH}}(\text{DO})$	数字输出 (RXDx) 高电平电流, $V_{\text{IO}} = 3\text{V}$ 至 3.6V、4.5V 至 5.5V	-4			mA
$I_{\text{OL}}(\text{DO})$	数字输出 (RXDx) 低电平电流, $V_{\text{IO}} = 3\text{V}$ 至 3.6V、4.5V 至 5.5V			4	mA
$I_{\text{O}}(\text{INH})$	禁止引脚输入电流			2	mA
T_J	工作等效结温范围	-40		150	$^{\circ}\text{C}$
T_{SDR}	热关断上升	160			$^{\circ}\text{C}$
T_{SDF}	热关断下降			140	$^{\circ}\text{C}$
$T_{\text{SD}}(\text{HYS})$	热关断迟滞		25		$^{\circ}\text{C}$

5.5 热性能信息

热指标 ⁽¹⁾		TLIN1124ARGYRQ1		单位
		VQFN		
		24 引脚		
$R_{\theta \text{JA}}$	结至环境热阻	待定		$^{\circ}\text{C}/\text{W}$
$R_{\theta \text{JC}}(\text{top})$	结至外壳 (顶部) 热阻	待定		$^{\circ}\text{C}/\text{W}$
$R_{\theta \text{JB}}$	结至电路板热阻	待定		$^{\circ}\text{C}/\text{W}$
Ψ_{JT}	结至顶部特征参数	待定		$^{\circ}\text{C}/\text{W}$
Ψ_{JB}	结至电路板特征参数	待定		$^{\circ}\text{C}/\text{W}$
$R_{\theta \text{JC}}(\text{bot})$	结至外壳 (底部) 热阻	待定		$^{\circ}\text{C}/\text{W}$

(1) 有关新旧热指标的更多信息, 请参阅[半导体和 IC 封装热指标应用报告](#)。

5.6 电源特性

参数在以下条件下有效： $-40^{\circ}\text{C} \leq T_J \leq 150^{\circ}\text{C}$ ， $V_{\text{SUP}} = 5\text{V}$ 至 28V ， $V_{\text{IO}} = 2.97\text{V}$ 至 5.5V ；典型值对应的条件为 $V_{\text{SUP}} = 12\text{V}$ 、 $V_{\text{IO}} = 3.3\text{V}$ （除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电源电压和电流						
V_{SUP}	工作电压范围	LIN 信号：10kHz 方波，占空比 50%，摆幅为 28V。	5		28	V
I_{SUP}	电源电流 总线显性	TLIN1124A 正常模式 LIN1 (显性) = 0V，其他三通道隐性， $V_{\text{SLP}} = 0\text{V}$ ， $\text{INH} = \text{悬空}$ ， $V_{\text{TXDx}} = V_{\text{IO}}$		待定	38	mA
I_{SUP}	电源电流 总线显性	TLIN1124A 正常模式 所有 LIN 总线 (显性) = 0V， $V_{\text{SLP}} = 0\text{V}$ ， $\text{INH} = \text{悬空}$ ， $V_{\text{TXDx}} = V_{\text{IO}}$		80	150	mA
	电源电流，器件显性	TLIN1124A 正常模式 $V_{\text{TXD1}} = 0\text{V}$ ，其他通道隐性， $V_{\text{SLP}} = 0\text{V}$ ， $\text{INH} = \text{悬空}$		待定	40	mA
	电源电流，器件显性	TLIN1124A 正常模式 $V_{\text{TXDx}} = 0\text{V}$ ，所有通道驱动显性， $V_{\text{SLP}} = 0\text{V}$ ， $\text{INH} = \text{悬空}$		待定	150	mA
I_{SUP}	电源电流 总线隐性	TLIN1124A，正常模式， $V_{\text{TXDx}} = V_{\text{IO}}$ ， $V_{\text{SLP}} = 0\text{V}$ ， $V_{\text{LINx}} = V_{\text{SUP}}$ ， $\text{INH} = \text{悬空}$		待定	1.7	mA
I_{SUP}	电源电流 总线隐性	TLIN1124A，待机模式 $\text{INH} = \text{悬空}$ ， $V_{\text{LINx}} = V_{\text{SUP}}$		待定	150	μA
I_{SUP}	电源电流 睡眠模式	TLIN1124A， $T_J \leq 125^{\circ}\text{C}$ $V_{\text{SLP}} = V_{\text{IO}}$ ， $V_{\text{LINx}} = V_{\text{SUP}}$		待定	20	μA
I_{IO}	电源电流，逻辑引脚 V_{IO}	睡眠模式， TXDx 悬空， $T_J \leq 85^{\circ}\text{C}$		5	6	μA
		睡眠模式， TXDx 悬空， $T_J \leq 125^{\circ}\text{C}$		待定	9	μA
		正常模式， $V_{\text{TXDx}} = V_{\text{IO}}$		待定	125	μA
$UV_{\text{SUP-rising}}$	V_{SUP} 欠压阈值	上升		4.6	4.9	V
$UV_{\text{SUP-falling}}$	V_{SUP} 欠压阈值	下降	4.1	4.45		V
$UV_{\text{SUP-falling_sleep}}$	睡眠模式下的 V_{SUP} 欠压阈值。从睡眠模式转换至低压睡眠模式 (退出低压睡眠模式需要 $650 \mu\text{s}$ 的恢复时间)	下降	4.1	4.45		V
$UV_{\text{SUP-falling_LVsleep}}$	睡眠模式下的 V_{SUP} 欠压阈值。从低压睡眠模式转换至关断模式	下降	1.9	2.4	3.1	V
$UV_{\text{SUP-hys}}$	V_{SUP} 欠压阈值下的迟滞电压		80	130		mV
$UV_{\text{VIO-rising}}$	V_{IO} 上的欠压	上升	2.5	2.65	2.8	V
$UV_{\text{VIO-falling}}$	V_{IO} 上的欠压	下降	2.4	2.5	2.6	V
$UV_{\text{VIO-hys}}$	V_{IO} 欠压阈值下的迟滞电压		80	100		mV

5.7 电气特性

参数在 V_{SUP} 、 V_{IO} 和结温的整个建议范围内均有效 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
RXDx 输出端口						
V_{OH}	高电平输出电压	$I_O = -4\text{mA}$, 正常模式, $V_{IO} = 2.97\text{V}$ 至 3.6V , 4.5V 至 5.5V	$V_{IO} + -0.4$			V
V_{OL}	低电平电压	$I_O = 4\text{mA}$, 正常模式, $V_{IO} = 2.97\text{V}$ 至 3.6V , 4.5V 至 5.5V			0.4	V
R_{PU}	上拉电阻器	低功耗模式	38	60	88	k Ω
I_{LKG}	关断状态漏电流	$V_{SUP} = 0$, $V_{RXDx} = V_{IO}$	-5		5	μA
TXDx 输入端口						
V_{IL}	低电平输入电压				$0.3 \cdot V_{IO}$	V
V_{IH}	高电平输入电压		$0.7 \cdot V_{IO}$		V_{IO}	V
I_{IH}	高电平输入漏电流	$TXD = V_{IO} = 5.5\text{V}$		16	50	μA
I_{IL}	低电平输入漏电流	$TXD = 0\text{V}$, $V_{IO} = 5.5\text{V}$	-2		2	μA
$I_{LKG(OFF)}$	关断状态输入漏电流	$TXD = 5.5\text{V}$, $V_{SUP} = V_{IO} = 0\text{V}$			120	μA
R_{TXD_PD}	内部下拉电阻器值	$V_{TXD} < 0.25 V_{IO}$	38	60	88	k Ω
R_{TXD_PU}	内部上拉电阻器值	$V_{TXD} > 0.75 V_{IO}$	38	60	88	k Ω
SLP 输入终端						
V_{IL}	低电平输入电压				$0.3 \cdot V_{IO}$	V
V_{IH}	高电平输入电压		$0.7 \cdot V_{IO}$		V_{IO}	V
I_{IH}	高电平输入漏电流	$SLP = V_{IO} = 5.5\text{V}$	-2		2	μA
I_{IL}	低电平输入漏电流	$SLP = 0\text{V}$, $V_{IO} = 5.5\text{V}$	-125			μA
R_{SLP}	SLP 引脚接至 V_{IO} 的内部上拉电阻		38	60	88	k Ω
LINx 端子						
$V_{SUP_NON_OP}$	对 LIN 总线隐性电平影响小于 5% 的 V_{SUP} 范围 ⁽²⁾	$V_{TXDx} = V_{IO}$, $5\text{V} \leq V_{LIN} \leq 28\text{V}$, 正常模式	-0.3		40	V
V_{OH}	LIN 隐性高电平输出电压 ⁽²⁾	$V_{TXDx} = V_{IO}$, 正常模式 $5\text{V} \leq V_{SUP} < 7\text{V}$ $R_{COMMANDER}$ 关闭, $R_{RESPONDER}$ 开启	3			V
V_{OH}	LIN 隐性高电平输出电压 ⁽²⁾	$V_{TXDx} = V_{IO}$, $7\text{V} \leq V_{SUP} \leq 28\text{V}$, 正常模式 $R_{COMMANDER}$ 关闭, $R_{RESPONDER}$ 开启	0.85			V_{SUP}
V_{OH}	LIN 隐性高电平输出电压 ⁽¹⁾	$V_{TXDx} = V_{IO}$, $7\text{V} \leq V_{SUP} \leq 28\text{V}$, 正常模式 TLIN1124A (主机终端启用)	0.8			V_{SUP}
V_{OH}	LIN 隐性高电平输出电压	$V_{TXDx} = V_{IO}$, $7\text{V} \leq V_{SUP} \leq 28\text{V}$, 正常模式 $R_{COMMANDER}$ 关闭, $R_{RESPONDER}$ 开启	0.8			V_{SUP}
V_{OL}	LIN 显性低电平输出电压 ⁽²⁾	$V_{TXDx} = 0\text{V}$, 正常模式 $5\text{V} \leq V_{SUP} < 7\text{V}$ $R_{COMMANDER}$ 关闭, $R_{RESPONDER}$ 开启			1.2	V
V_{OL}	LIN 显性低电平输出电压 ⁽²⁾	$V_{TXDx} = 0\text{V}$, 正常模式 $7\text{V} \leq V_{SUP} \leq 28\text{V}$ $R_{COMMANDER}$ 关闭, $R_{RESPONDER}$ 开启			0.2	V_{SUP}
V_{OL}	LIN 显性低电平输出电压 ⁽¹⁾	$V_{TXDx} = 0\text{V}$, 正常模式 $7\text{V} \leq V_{SUP} \leq 28\text{V}$ TLIN1124A (主机终端启用)			0.2	V_{SUP}
V_{OL}	LIN 显性低电平输出电压	$R_{COMMANDER}$ 关闭, $R_{RESPONDER}$ 开启			0.2	V_{SUP}
V_{BUSdom}	接收器低电平输入电压	接收器显性状态 (包括用于唤醒的 LIN 显性状态)			0.4	V_{SUP}
V_{BUSrec}	接收器高电平输入电压	接收器隐性状态	0.6			V_{SUP}
V_{IH}	接收器高电压 (隐性) 输入阈值 ⁽¹⁾	$5\text{V} \leq V_{SUP} \leq 28\text{V}$	0.47		0.6	V_{SUP}
V_{IL}	接收器低电压 (显性) 输入阈值 ⁽¹⁾	$5\text{V} \leq V_{SUP} \leq 28\text{V}$	0.4		0.53	V_{SUP}
V_{BUS_CNT}	接收器中心阈值 ⁽³⁾	$V_{BUS_CNT} = (V_{th_dom} + V_{th_rec})/2$, 正常模式, $7\text{V} \leq V_{SUP} \leq 28\text{V}$	0.475	0.5	0.525	V_{SUP}

参数在 V_{SUP} 、 V_{IO} 和结温的整个建议范围内均有效 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
V_{BUS_CNT}	接收器中心阈值 ⁽³⁾	$V_{BUS_CNT} = (V_{th_dom} + V_{th_rec})/2$, 正常模式, $5V \leq V_{SUP} \leq 7V$	0.45	0.5	0.55	V_{SUP}
V_{BUS_CNT}	接收器中心阈值 ⁽³⁾	$5V \leq V_{SUP} \leq 28V$, $V_{BUS_CNT} = (V_{th_dom} + V_{th_rec})/2$	0.47	0.5	0.54	V_{SUP}
V_{HYS}	迟滞电压 (ISO 17987) ⁽³⁾	$5V \leq V_{SUP} \leq 28V$, $V_{HYS} = V_{th_rec} - V_{th_dom}$			0.175	V_{SUP}
V_{HYS}	磁滞电压 (SAE J2602)	$5V \leq V_{SUP} \leq 28V$, $V_{HYS} = V_{IH} - V_{IL}$	0.07		0.175	V_{SUP}
V_{SERIAL_DIODE}	串联二极管 LIN 主机与从机终端上拉路径 ⁽⁵⁾	$I_{SERIAL_DIODE} = 10\mu A$ (用于 $R_{RESPONDER}$), $1mA$ (用于 $R_{COMMANDER}$)	0.4	0.7	1.0	V
$I_{BUS(LIM)}$	针对驱动器显性状态的电流限制	$V_{TXD} = 0V$, $V_{LIN} = 18V$, $V_{SUP} = 18V$, $R_{COMMANDER}$ 关闭, $R_{RESPONDER}$ 开启	40	90	200	mA
$I_{BUS_PAS_dom}$	总线显性时包括上拉电阻在内的接收器输入漏电流	驱动器关闭, $V_{LIN} = 0V$, $R_{COMMANDER}$ 关闭, $R_{RESPONDER}$ 开启 $V_{SUP} = 12V$	-1			mA
$I_{BUS_PAS_dom}$	总线显性时包括上拉电阻在内的接收器输入漏电流	驱动器关闭, $V_{LIN} = 0V$, $R_{COMMANDER}$ 关闭, $R_{RESPONDER}$ 开启 $V_{SUP} = 28V$	-1.5			mA
$I_{BUS_PAS_rec}$	总线隐性时的接收器输入漏电流	驱动器关闭, $V_{LIN} \geq V_{SUP}$ $5V \leq V_{SUP} \leq 28V$, $5V \leq V_{LIN} \leq 28V$			30	μA
$I_{BUS_PAS_rec}$	总线隐性时的接收器输入漏电流	驱动器关闭, $V_{LIN} \geq V_{SUP}$ $5V \leq V_{SUP} \leq 18V$, $5V \leq V_{LIN} \leq 18V$			20	μA
$I_{BUS_NO_GND}$	接地失效期间的总线电流	$GND_{Device} = V_{SUP} = 12V$ $R_{Meas} = 1k\Omega$ $0V < V_{LIN} < 18V$	-1		1	mA
$I_{BUS_NO_GND}$	接地失效期间的总线电流	$GND_{Device} = V_{SUP} = 12V$ $R_{Meas} = 1k\Omega$ $0V < V_{LIN} < 28V$	-1.5		1.5	mA
$I_{leak\ gnd(dom)}$	接地断开、总线显性时的器件总线漏电流 ⁽⁴⁾	$V_{SUP} = 8V$, $GND =$ 开路; $V_{SUP} = 28V$, $GND =$ 开路 $LIN =$ 显性,	-1		1	mA
$I_{leak\ gnd(rec)}$	接地断开、总线隐性时的器件总线漏电流 ⁽⁴⁾	$V_{SUP} = 8V$, $GND =$ 开路; $V_{SUP} = 28V$, $GND =$ 开路 $LIN =$ 隐性,	-100		100	μA
$I_{leak\ batt}$	电池电源断开时的器件总线漏电流	$V_{SUP} = 8V$ 或 $V_{SUP} = 28V$	-30		30	μA
$I_{BUS_NO_BAT}$	电源丢失时的总线电流	$V_{SUP} = GND$ $0V \leq V_{LIN} \leq 28V$			30	μA
$R_{commander}$	内部主机上拉电阻接至 V_{SUP}	正常模式和待机模式	900		1010	Ω
		睡眠模式	900	1200	1500	Ω
$R_{responder}$	内部从机上拉电阻接至 V_{SUP}	数据表中描述的所有工作模式	27.66	37	48	k Ω
C_{LIN}	LIN 引脚的电容 ⁽⁵⁾	$V_{SUP} = 5V$ 至 $28V$,			25	pF
INHN 输出端						
V_{OL}	低电平输出电压	$I_{OL} = 0.2mA$			0.4	V
$I_{LKG(INH)}$	睡眠模式下的漏电流	全 V_{SUP} 范围	-1		1	μA
占空比特性						
D1	占空比 1 ^{(1) (2)} ISO 17987 参数 27/SAE J2602 主机	$TH_{REC(MAX)} = 0.744 \times V_{SUP}$, $TH_{DOM(MAX)} = 0.581 \times V_{SUP}$, $V_{SUP} = 7V$ 至 $28V$, $t_{BIT} = 50\mu s/52\mu s$ $D1 = t_{BUS_rec(min)}/(2 \times t_{BIT})$ 内部主机终端禁用	0.396			
D1 _{LB}	低电池电压下的占空比 1 ^{(1) (2) (5)} ISO 17987 参数 88/SAE J2602 主机	$TH_{REC(MAX)} = 0.665 \times V_{SUP}$, $TH_{DOM(MAX)} = 0.499 \times V_{SUP}$, $V_{SUP} = 5V$ 至 $7V$, $t_{BIT} = 50\mu s/52\mu s$ 内部主机终端禁用	0.396			
D2	占空比 2 ^{(1) (2)} ISO 17987 参数 28/SAE J2602 主机	$TH_{REC(MIN)} = 0.422 \times V_{SUP}$, $TH_{DOM(MIN)} = 0.284 \times V_{SUP}$, $V_{SUP} = 7.6V$ 至 $28V$, $t_{BIT} = 50\mu s/52\mu s$ $D2 = t_{BUS_rec(MAX)}/(2 \times t_{BIT})$ 内部主机终端禁用			0.581	

参数在 V_{SUP} 、 V_{IO} 和结温的整个建议范围内均有效 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
D2 _{LB}	低电池电压下的占空比 2 ^{(1) (2) (5)} ISO 17987 参数 89/SAE J2602 主机	$TH_{REC(MAX)} = 0.496 \times V_{SUP}$ $TH_{DOM(MAX)} = 0.361 \times V_{SUP}$ $V_{SUP} = 5.6V$ 至 $7.6V$, $t_{BIT} = 50\mu s/52\mu s$ 内部主机终端启用			0.581	
D3	占空比 3 ^{(1) (2)} ISO 17987 参数 29/SAE J2602 主机	$TH_{REC(MAX)} = 0.778 \times V_{SUP}$ $TH_{DOM(MAX)} = 0.616 \times V_{SUP}$ $V_{SUP} = 7V$ 至 $28V$, $t_{BIT} = 96\mu s$ $D3 = t_{BUS_rec(min)}/(2 \times t_{BIT})$ 内部主机终端禁用	0.417			
D3 _{LB}	低电池电压下的占空比 3 ^{(1) (2) (5)} ISO 17987 参数 90/SAE J2602 主机	$TH_{REC(MAX)} = 0.665 \times V_{SUP}$, $TH_{DOM(MAX)} = 0.499 \times V_{SUP}$, $V_{SUP} = 5V$ 至 $7V$, $t_{BIT} = 96\mu s$ 内部主机终端启用	0.417			
D4	占空比 4 ^{(1) (2)} ISO 17987 参数 30/SAE J2602 主机	$TH_{REC(MIN)} = 0.389 \times V_{SUP}$ $TH_{DOM(MIN)} = 0.251 \times V_{SUP}$ $V_{SUP} = 7.6V$ 至 $28V$, $t_{BIT} = 96\mu s$ $D4 = t_{BUS_rec(MAX)}/(2 \times t_{BIT})$ 内部主机终端禁用			0.59	
D4 _{LB}	低电池电压下的占空比 4 ^{(1) (2) (5)} ISO 17987 参数 91/SAE J2602 主机	$TH_{REC(MAX)} = 0.496 \times V_{SUP}$ $TH_{DOM(MAX)} = 0.361 \times V_{SUP}$ $V_{SUP} = 5.6V$ 至 $7.6V$, $t_{BIT} = 96\mu s$ 内部主机终端启用			0.59	
T _{r-d max}	发送器传播延迟时序 (针对占空比) ⁽¹⁾ 隐性状态至显性状态 SAE J2602	$TH_{REC(MAX)} = 0.744 \times V_{SUP}$, $TH_{DOM(MAX)} = 0.581 \times V_{SUP}$ $7V \leq V_{SUP} \leq 28V$, $t_{BIT} = 52\mu s$ $t_{REC(MAX)_D1} - t_{DOM(MIN)_D1}$			10.8	μs
T _{d-r max}	发送器传播延迟时序 (针对占空比) ⁽¹⁾ 显性状态至隐性状态 SAE J2602	$TH_{REC(MAX)} = 0.422 \times V_{SUP}$, $TH_{DOM(MAX)} = 0.284 \times V_{SUP}$ $7.6V \leq V_{SUP} \leq 28V$, $t_{BIT} = 52\mu s$ $t_{DOM(MAX)_D2} - t_{REC(MIN)_D2}$			8.4	μs
T _{r-d max}	发送器传播延迟时序 (针对占空比) ⁽¹⁾ 隐性状态至显性状态 SAE J2602	$TH_{REC(MAX)} = 0.778 \times V_{SUP}$ $TH_{DOM(MAX)} = 0.616 \times V_{SUP}$ $7V \leq V_{SUP} \leq 28V$, $t_{BIT} = 96\mu s$ $t_{REC(MAX)_D3} - t_{DOM(MIN)_D3}$			15.9	μs
T _{d-r max}	发送器传播延迟时序 (针对占空比) ⁽¹⁾ 显性状态至隐性状态 SAE J2602	$TH_{REC(MIN)} = 0.389 \times V_{SUP}$ $TH_{DOM(MIN)} = 0.251 \times V_{SUP}$ $7.6V \leq V_{SUP} \leq 28V$, $t_{BIT} = 96\mu s$ $t_{DOM(MAX)_D4} - t_{REC(MIN)_D4}$			17.28	μs
T _{r-d max_low}	低电池电压下占空比相关的发送器传播延迟时序 ^{(1) (5)} 隐性状态至显性状态 SAE J2602	$TH_{REC(MAX)} = 0.665 \times V_{SUP}$, $TH_{DOM(MAX)} = 0.499 \times V_{SUP}$ $5V \leq V_{SUP} \leq 7V$, $t_{BIT} = 52\mu s$ $t_{REC(MAX)_low} - t_{DOM(MIN)_low}$			10.8	μs
T _{d-r max_low}	低电池电压下占空比相关的发送器传播延迟时序 ^{(1) (5)} 显性状态至隐性状态 SAE J2602	$TH_{REC(MAX)} = 0.496 \times V_{SUP}$ $TH_{DOM(MAX)} = 0.361 \times V_{SUP}$ $5.6V \leq V_{SUP} \leq 7.6V$, $t_{BIT} = 52\mu s$ $t_{DOM(MAX)_low} - t_{REC(MIN)_low}$			8.4	μs

- (1) SAE 2602 指挥官节点负载条件: $5.5nF/4k\Omega$ 和 $889pF/20k\Omega$; $t_{BIT} = 52\mu s/96\mu s$
- (2) ISO 17987 总线负载条件 (C_{LINBUS} 、 R_{LINBUS}) 包括 $1nF/1k\Omega$ 、 $6.8nF/660\Omega$ 、 $10nF/500\Omega$; $t_{BIT} = 50\mu s/96\mu s$
- (3) $V_{HYS} = (V_{th_rec} - V_{th_dom})$, 其中 V_{th_rec} 和 V_{th_dom} 是来自 V_{BUSrec} 和 V_{BUSdom} 的实际电压值
- (4) $I_{leak\ gnd} = (V_{BAT} - V_{LIN})/R_{Load}$
- (5) 由设计保证, 未经生产测试

5.8 AC 开关特性

参数在 V_{SUP} 、 V_{IO} 和结温的整个建议范围内均有效（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
器件开关特性						
t_{rx_pdr} t_{rx_pdf}	接收器上升/下降传播延迟时间 ISO 17987 参数 31	$5V \leq V_{SUP} < 7V$, $V_{IO} = 2.97V$ 至 $5.5V$, $C_{RXD} = 20pF$			6.5	μs
t_{rx_pdr} t_{rx_pdf}	接收器上升/下降传播延迟时间 ISO 17987 参数 31	$7V \leq V_{SUP} < 28V$, $V_{IO} = 2.97V$ 至 $5.5V$, $C_{RXD} = 20pF$			6	μs
t_{rx_sym}	接收器传播延迟对称性 ISO 17987 参数 32	上升沿相对于下降沿 $t_{rx_sym} = t_{rx_pdf} - t_{rx_pdr}$ $5V \leq V_{SUP} < 28V$, $V_{IO} = 2.97V$ 至 $5.5V$, $C_{RXD} = 20pF$	-2		2	μs
t_{LINBUS}	LIN 总线唤醒所需最小显性时间		25	65	150	μs
t_{MODE_CHANGE}	模式转换延迟时间	通过 SLP 引脚从正常模式切换到睡眠模式所需的时间 通过 SLP 引脚从睡眠/待机模式切换到正常模式所需的时间	10		30	μs
t_{NOMINT}	正常模式初始化时间	正常模式初始化、RXD 引脚数据达到有效状态所需的时间，包括待机/睡眠模式切换到正常模式的模式切换时序 t_{MODE_CHANGE} 。			100	μs
t_{STBINT}	待机模式初始化时间	收到唤醒信号后，由睡眠模式转换至待机模式的转换时间			80	μs
t_{SLP}	进入低功耗睡眠模式的时间	从正常模式完全转换至低功耗睡眠模式的时间（包括 t_{MODE_CHANGE} ）			60	μs
t_{TXD_DTO}	显性状态超时（计时器从正常模式下 TXDx 引脚下降沿开始计时）		6	10	14	ms
t_{LIN_DTO}	LIN 显性超时时间（计时器从正常/待机/睡眠模式下 LINx 引脚下降沿开始计时）		17	25	37	ms
t_{UV_SLP}	从 V_{IO} 欠压至低功耗睡眠模式的延迟时间			200	225	ms
t_{UVD}	V_{IO} 欠压检测时间			10	30	μs
t_{UVR}	V_{IO} 欠压恢复时间			550	660	μs
t_{PWR}	上电时间	上电后正常模式下 RXD 数据达到有效电平所需的时间			1.5	ms

5.9 典型特性

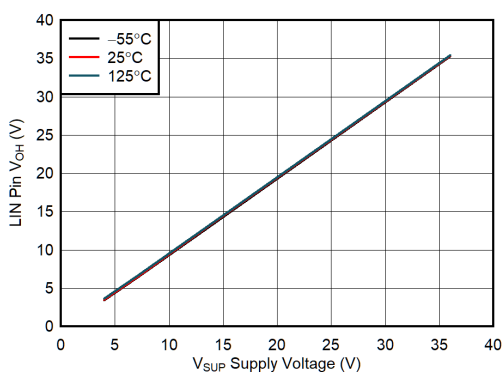


图 5-1. V_{OH} 与 V_{SUP} 和温度间的关系

6 参数测量信息

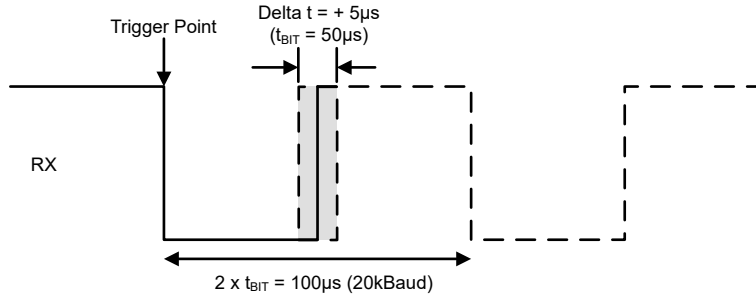


图 6-1. RX 响应：工作电压范围

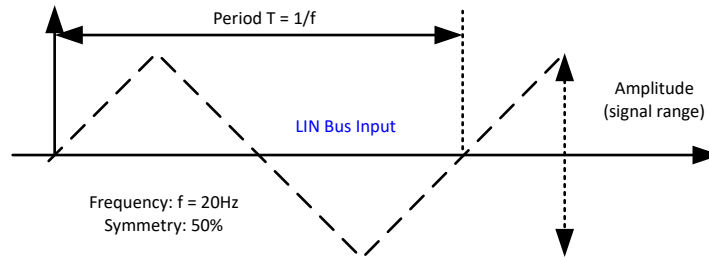


图 6-2. LIN 总线输入信号

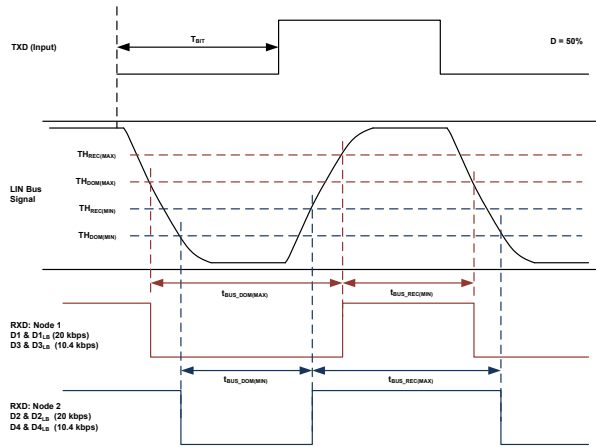


图 6-3. 总线时序参数的定义

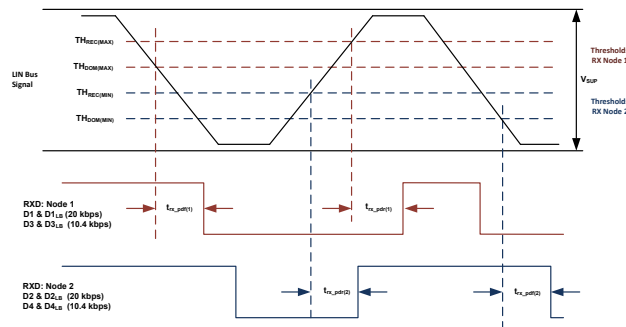


图 6-4. 接收器传播延迟

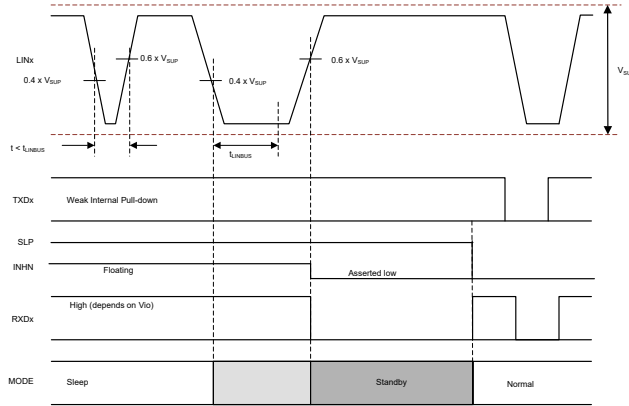


图 6-5. 通过 LIN 唤醒

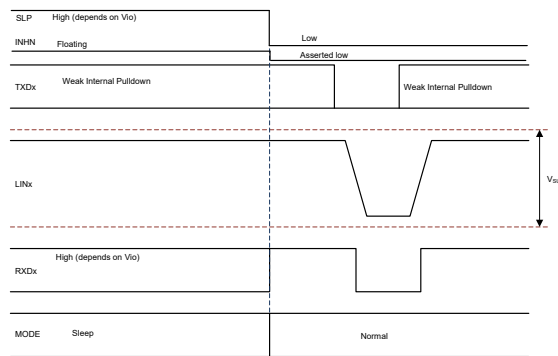


图 6-6. 通过 SLP 唤醒

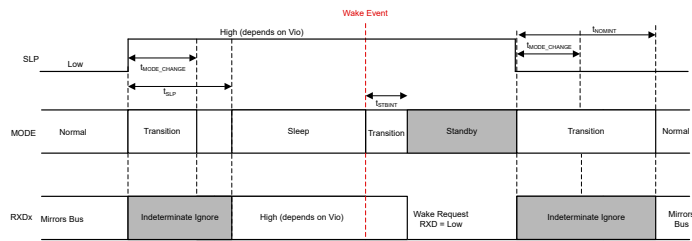


图 6-7. 代码转换

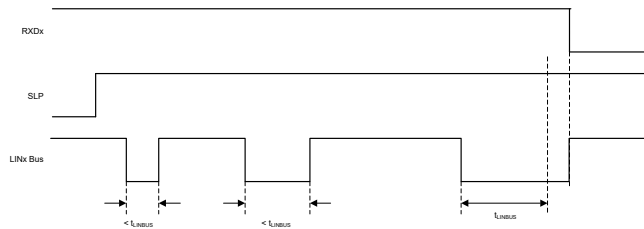


图 6-8. 在总线隐性状态和唤醒的情况下进入睡眠模式

7 详细说明

7.1 概述

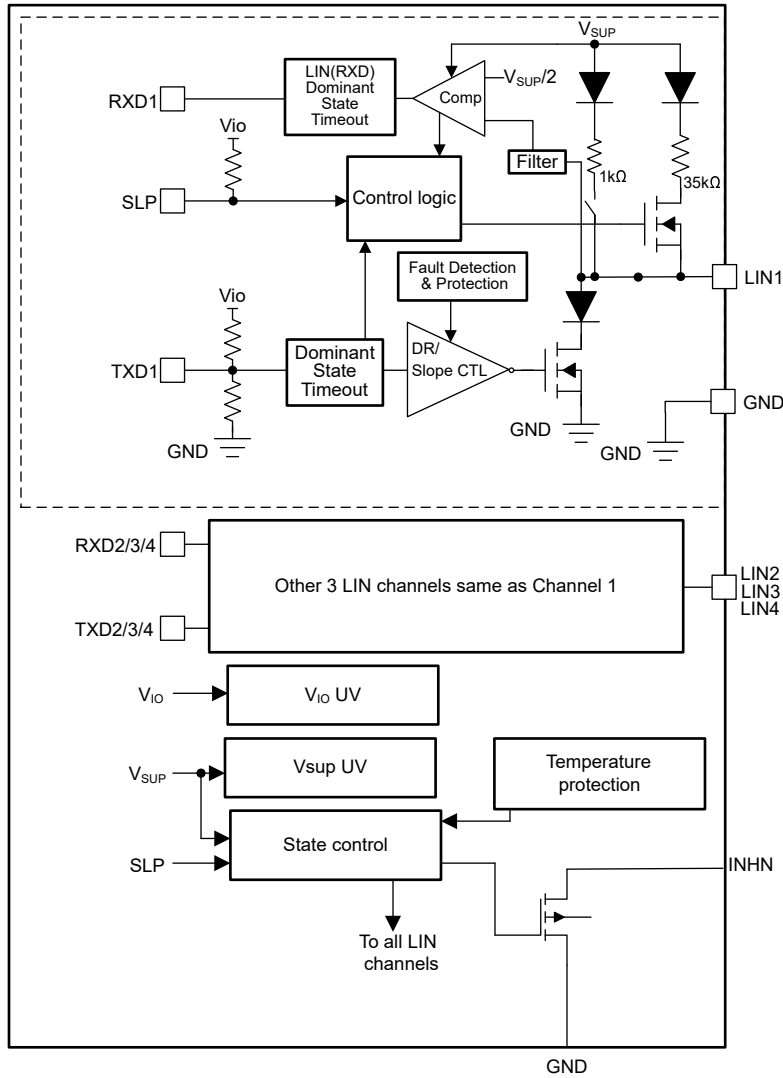
TLIN1124A-Q1 器件是一款四通道本地互连网络 (LIN) 物理层收发器，符合 LIN 2.0、LIN 2.1、LIN 2.2、LIN 2.2A、ISO/DIS 17987-4 和 SAE J2602-1 标准，集成了主机和从机终端二极管与电阻，并具备唤醒和保护功能。LIN 是一种单线双向总线，通常用于数据传输速率最高为 20kbps 的低速车载网络。LIN 接收器支持高达 100kbps 的数据传输速率，可用于执行内联编程。该器件支持 12V 电池应用，具有更宽的工作电压范围 (5V 至 28V) 和扩展的 LIN 总线故障 ($\pm 40V$) 保护功能。该器件通过使用可降低电磁发射 (EME) 的限流波形整形驱动器，将 TXD_x 输入上的 LIN 协议数据流转化为 LIN_x 总线信号。接收器将数据流转化为逻辑电平信号，这些信号通过推挽式 RXD 输出引脚发送到微处理器。睡眠模式可实现超低电流消耗，该模式允许通过 LIN 总线或 SLP 引脚实现唤醒。集成的主机和从机二极管与电阻、静电放电 (ESD) 保护及故障保护功能，有助于设计人员在其应用中节省电路板空间。一旦发生接地漂移或电源电压断开的情况，该器件可防止反馈电流经 LIN 流向电源。

LIN 总线共有两种状态：显性状态 (电压接近接地) 和隐性状态 (电压接近电池)。在隐性状态下，LIN 总线通过内部上拉电阻串联二极管拉高。该器件在所有四个 LIN 通道上均集成了电阻和串联二极管，用于控制器节点，因此无需外部上拉元件。

TLIN1124A-Q1 支持宽工作范围： V_{SUP} 为 5V 至 28V，LIN 总线故障保护，结温范围为 $-40^{\circ}C$ 至 $150^{\circ}C$ 。睡眠模式下可实现超低功耗。从睡眠模式唤醒器件有两种方法：通过 LIN 总线唤醒，以及通过 SLP 引脚进行本地唤醒。

该器件提供多种保护功能，如 HBM ESD 保护、IEC ESD 保护、 V_{SUP} 和 V_{IO} 欠压保护、TXD 显性超时保护 (TXD DTO)、LIN 显性超时保护 (LIN DTO)、热关断保护，以及系统级未供电节点或接地断开失效防护。

7.2 功能方框图



7.3 特性说明

7.3.1 LIN (本地互连网络) 总线

这些高压输入/输出引脚为单线 LIN 总线发送器和接收器。LIN 引脚可承受高达 ±40V 的直流过压和瞬态电压。通过阻断二极管可以更大程度降低从 LIN 引脚到电源 (VSUP) 的反向电流，即使在接地漂移或电源失效 (VSUP) 的情况下也是如此。

7.3.1.1 LIN 发送器特性

该发送器完全符合 ISO 17987-4 和 SAE J2602-1 物理层 LIN 规范。发送器是具有内部电流限制和热关断功能的低侧晶体管。在热关断情况下，会禁用发送器来保护器件。其内部集成了带串联二极管的上拉电阻，连接至 VSUP，同时支持主机和从机应用，因此任何 LIN 应用均无需外部上拉元件。

7.3.1.2 LIN 接收器特性

根据 LIN 规范，接收器的特性阈值与器件电源引脚成比例。

接收器可以接收比 LIN 或 SAE J2602 规范所支持的速率更高的数据速率（高达 100kbps）。这样就可以使用 TLIN1124A-Q1 在末端生产环节或其他应用中进行高速下载。可实现的实际数据速率取决于系统时间常数（总线电容和上拉电阻）以及系统中使用的驱动器特性。

7.3.1.2.1 端接

由于集成了主机和从机上拉电阻以及接至 V_{SUP} 的串联二极管，使用 TLIN1124A-Q1 时 LIN 总线上无需外部上拉元件。

表 7-1 显示了这些上拉端接在器件各种工作模式下的状态。

表 7-1. 各种模式下的集成端接

器件	睡眠 ⁽¹⁾	待机	正常模式, TXD DTO	VIO UV	过热	关断	LIN DTO
TLIN1124A-Q1	RT = 关断、CT = 开启	RT = 关断、CT = 开启	RT = 关断、CT = 开启	RT = 关断、CT = 开启	RT = 开启、CT = 关断	RT = 关断、CT = 关断	RT = 开启、CT = 关断

(1) RT = 从机终端电阻（典型值为 35k Ω ），CT = 主机终端电阻（典型值为 1k Ω ）

7.3.2 TXDx (发送输入和输出)

TXD 是连接 MCU LIN 协议控制器或 SCI 和 UART 的接口，用于控制 LIN 输出的状态。当 TXD 为低电平时，LIN 输出为显性（接近地）；当 TXD 为高电平时，LIN 输出为隐性（接近 V_{SUP} ）。TXDx 位于 V_{IO} 域（具有 CMOS 输入阈值），其输入结构与 3.3V 和 5V 微控制器兼容。TXD 还集成了弱下拉和弱上拉电阻。LIN 总线借助显性状态超时计时器受到保护，避免卡滞在显性状态（因系统故障将 TXD 拉低所致）。

每次转换至正常模式时，LIN 发送器都会被封锁，直到 TXDx 变为高电平（隐性电平），以防止因 TXDx 内部下拉而发送显性电平。

7.3.3 RXDx (接收输出)

RXD 是连接 MCU LIN 协议控制器的接口，用于报告 LIN 总线电压的状态。LIN 隐性状态（接近 V_{SUP} ）由 RXD 上的高电平表示，LIN 显性状态（接近地电平）由 RXD 引脚上的低电平表示。RXD 是 V_{IO} 域中的推挽输出缓冲器。在待机模式下，如果转换是通过睡眠模式进行的，则 RXD 引脚会被驱动为低电平，以指示唤醒请求。在睡眠模式下，只要 V_{IO} 存在，RXD 就会上拉至高电平。

7.3.4 V_{SUP} (电源电压)

V_{SUP} 是电源电压引脚。 V_{SUP} 通过外部反向阻断二极管连接到电池。如果在 ECU 电平发生功率损耗，器件 LINx 引脚的漏电流超低，不会使总线负载下降。这非常适合 LIN 系统，在这种系统中，某些节点未供电（点火供电），而网络的其余部分仍保持供电（电池供电）。

7.3.5 V_{IO} (逻辑接口电源电压)

V_{IO} 是芯片上 I/O 接口缓冲器（SLP、TXDx 和 RXDx）的电源电压。 V_{IO} 和 V_{SUP} 是相互独立的电源。因此，即使在 V_{SUP} 处于欠压锁定状态时，某些应用也可独立提供 V_{IO} 。使用 INHN 控制 V_{IO} 生成的应用，总是先使 V_{SUP} 上电，随后再使 V_{IO} 上电。

7.3.6 GND (接地)

GND 是器件接地连接。只要接地偏移不会使 V_{SUP} 降低到最低工作电压以下，该器件就可以在存在接地偏移的情况下运行。如果在 ECU 电平下发生接地失效，器件 LIN 引脚的漏电流较低，不会使总线负载下降。

7.3.7 SLP (睡眠输入)

SLP 控制器件的工作模式。当 SLP 为低电平时，器件处于正常工作模式（假设 V_{IO} 存在），允许从 TXD_x 到 LIN_x 以及从 LIN_x 到 RXD_x 的传输路径。当 SLP 为高电平时（假设 V_{IO} 存在），器件会进入睡眠模式，此时无传输路径可用。SLP 有一个连接到 V_{IO} 的内部上拉电阻。

7.3.8 INHN (高压输出禁止端子)

INHN 为高压输出。该可选功能用于系统电源管理控制，可在应用处于睡眠模式时显著降低电池静态电流消耗。INHN 引脚有两种状态：强制低电平和高阻抗（悬空）。INHN 引脚在正常模式和待机模式下为低电平，在睡眠模式下为悬空状态。可在 INHN 输出引脚上添加一个 $100k\Omega$ 的上拉电阻连接至 V_{SUP} ，以实现从强制低电平状态到高电平状态的快速转换，并确保引脚在悬空时为高电平。

INHN 端子应属于高压逻辑端子，而非电源输出。因此，应使用该端子来驱动系统电源管理器件的 EN 端子。该端子不受电池反向保护，因此不应连接到系统模块外部。

7.3.9 保护特性

TLIN1124A-Q1 具有多种保护功能，如下所述。

7.3.9.1 TXD 显性超时 (TXD DTO)

当 LIN 驱动器处于正常（活动）模式时，TXD DTO 电路可防止本地节点在发生硬件或软件故障（TXD 保持显性状态的时间超过超时周期 t_{TXD_DTO} ）时阻塞网络通信。TLIN1124A-Q1 在所有 LIN 通道上均具有 TXD DTO 功能。TXD DTO 电路由 TXD 上的下降沿触发。如果在超时时间 t_{TXD_DTO} 到期之前未检测到上升沿，LIN 驱动器将被禁用，从而使总线线路释放为隐性电平。这样可释放总线，供网络上的其他节点进行通信。LIN_x 驱动器会在 TXD_x 端子上的下一次显性到隐性转换时重新激活，从而清除显性超时。在此故障期间，收发器保持正常模式，集成 LIN 总线上拉端保持导通，LIN 接收器和 RXD 端子保持活动状态，以反映 LIN 总线数据。

7.3.9.2 LIN 显性超时 (LIN DTO)

TLIN1124A-Q1 在所有 LIN 通道上均具有 LIN 显性超时功能。如果 LIN_x 总线保持显性状态的时间超过 t_{LIN_DTO} ，该功能将关闭 LIN_x 主机终端电阻 $R_{COMMANDER}$ 。响应器端接电阻 $R_{RESPONDER}$ 保持导通状态。此举旨在防止因某种故障导致 LIN 总线对地短路时，片上功率耗散过大而损坏器件。一旦 LIN_x 总线电平恢复为隐性，LIN 主机终端电阻即重新导通，且 t_{LIN_DTO} 计时器复位。

如果在进入正常/待机模式或睡眠模式时总线处于显性状态，则 LIN DTO 计时器会在转换至相应模式后立即启动。

7.3.9.3 热关断

在故障情况下，该器件通过限制片上功率耗散来实现保护。若器件的结温 T_J 超过热关断阈值上升阈值 T_{SDR} ，器件将根据当前状态做出响应（见下文）。一旦过热故障条件消除且结温冷却至迟滞温度以下，器件将转换至热关断 (TSD) 发生前的原有状态。

正常模式

在 TSD 事件发生期间，控制逻辑会将所有 LIN_x 发送器置于隐性状态，并关断所有通道的主机终端电阻 $R_{COMMANDER}$ 。INHN 保持与进入 TSD 前相同的逻辑状态，而 TXD_x、SLP 引脚则被忽略。

待机模式

在 TSD 事件发生期间，控制逻辑会将所有 LIN_x 发送器置于隐性状态，并关断所有通道的主机终端电阻 $R_{COMMANDER}$ 。INHN 保持与进入 TSD 前相同的逻辑状态，而 TXD_x、SLP 引脚则被忽略。在过热状态下，已接收的唤醒事件会被清除（RXD_x 被置为高电平，），。

睡眠模式

在睡眠模式下，过热监视器会关闭以降低功耗。

7.3.9.4 V_{SUP} 和 V_{IO} 欠压

该器件在 V_{SUP} 和 V_{IO} 上均包含欠压检测电路，以免在欠压条件下出现错误的总线消息或未知行为。当器件启动后达到这些电平时，它会根据哪一路电源轨达到欠压下降电平而转换至两种工作模式之一。

未供电（关断）状态：当 V_{SUP} 达到 $UV_{SUP_falling}$ 阈值时，器件进入未供电状态，并确保未供电的 ECU 对总线上的持续通信呈现无源（无负载）状态——这符合汽车应用的要求。系统中的某些 LIN 节点可能未供电（点火供电），而网络中的其他节点仍由电池供电。从任何节点来看，若 V_{SUP} 降至 $UV_{SUP_falling}$ 阈值以下，器件将转换至未供电（关断）状态。在此状态下，SLP 和 TXDx 会被忽略，所有通道的驱动器、主机/从机的集成上拉端接电路以及接收器均关闭，且 INHN 呈悬空状态。

V_{IO} 欠压模式：当 V_{SUP} 处于正常工作范围内，但 V_{IO} 低于 $UV_{VIO_falling}$ 阈值时，器件将从正常模式或待机模式转换至 V_{IO} UV 模式。在此模式下，所有 LIN 通道驱动器均关闭。 V_{IO} 域信号 TXDx 和 SLP 将被忽略，RXDx 呈悬空状态，而 INHN 保持置为低电平。在此模式下，不会识别新的唤醒事件，但如果器件因唤醒事件而进入待机模式，则会保留之前发生的唤醒事件。器件可以通过两种方式退出此模式。

- 当 $V_{IO} > UV_{VIO_rising}$ 时，器件会根据 SLP 引脚的状态转换至正常模式或待机模式。
- 如果在 t_{UV_SLP} 计时器超时之前 V_{IO} 未超过 UV_{VIO_rising} 阈值，器件将转换至睡眠模式。发生这种情况时，会清除所有现有的唤醒事件。

若器件处于睡眠模式时 V_{IO} 存在，则 UV_{VIO} 事件不会引起模式变化。

7.3.9.5 未供电器件和 LIN 总线

在汽车应用中，系统中的某些 LIN 节点可能未供电（点火供电），而网络中的其他节点仍由电池供电。TLIN1124A-Q1 具有较低的总线未供电漏电流，因此未供电的节点不会影响网络或使其负载下降。

7.4 器件功能模式

TLIN1124A-Q1 具有三种主要工作模式：正常模式、待机模式和低功耗睡眠模式。除此之外，还有三种针对故障/电源事件的状态：过热保护模式、无电（关断）模式和 V_{IO} 欠压 (V_{IO} UV) 模式。有关更多详细信息，请参阅图 7-1。

表 7-2. 工作模式

模式	SLP	TXD	RXD	INHN	发送器	接收器
关断	X	X	上拉	高阻抗	关断	关断
睡眠	高	弱下拉/上拉	上拉	高阻抗	关断	开启
待机	高	若为 LIN 总线唤醒，	若从睡眠模式或唤醒事件进入，则为低电平；若从过热或 V_{IO} 欠压模式转换而来，则保持与前一状态相同	低	关断	开启
正常	低	若为高电平，则总线为隐性；若为低电平，则总线为显性	LIN 总线	低	开启	开启
过热	X	X	上拉	与上一状态相同	关断	开启
UV V_{IO}	X	X	上拉	低	关断	开启
TXD DTO	低	计时器在 TXD 高到低边沿启动，计时器超时后触发 DTO	LIN 总线	低	关断（仅特定通道）	开启
LIN DTO	低电平（正常模式）或高电平（待机/睡眠模式）	X	与上一状态相同	与模式相关	与模式相关	开启

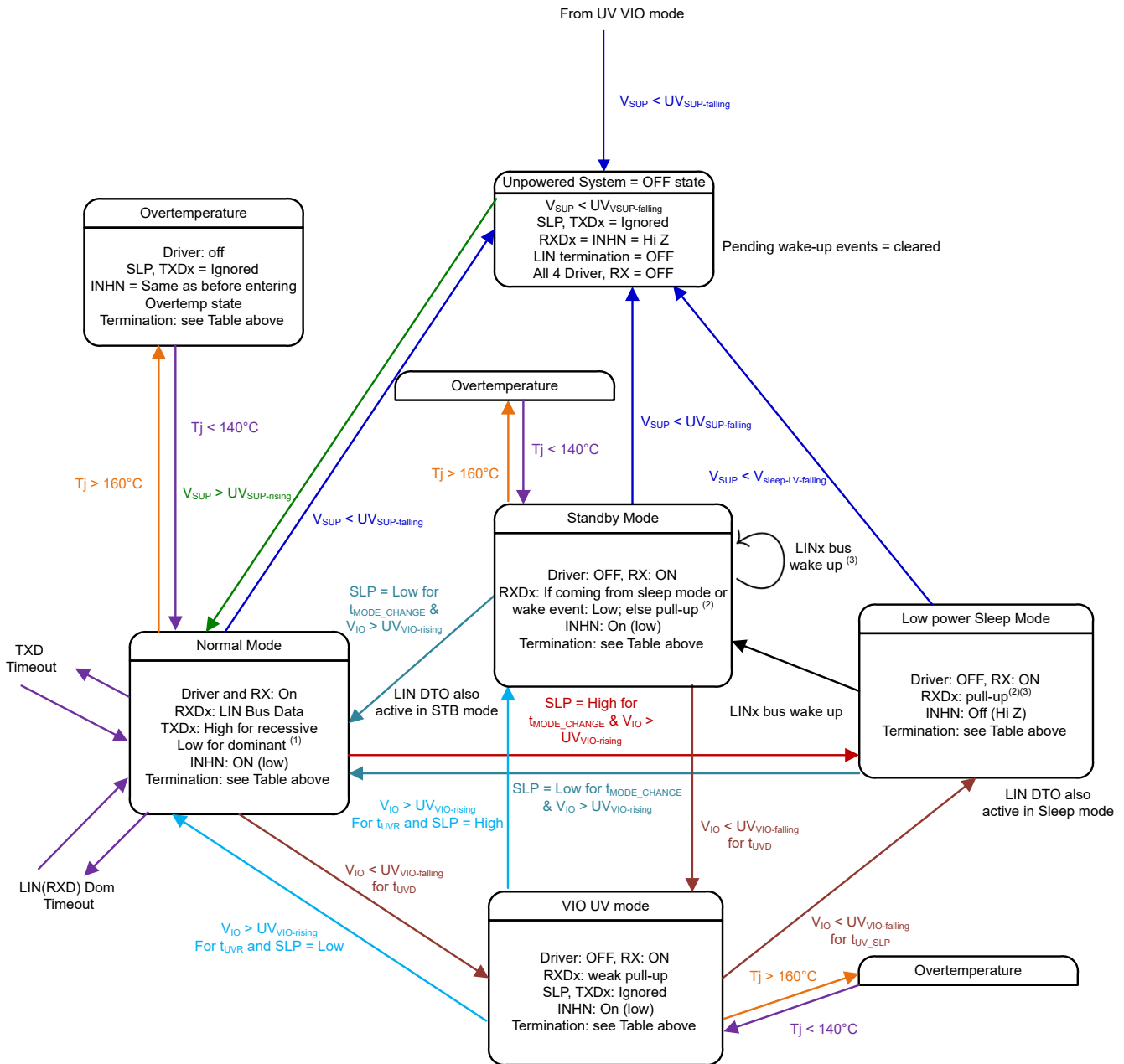


图 7-1. 运行状态图

备注

1. 如果在进入正常模式时 TXD 引脚为显性，LIN 发送器会保持关闭状态，直到 TXD 接收到隐性电平为止
2. 假设 V_{IO} 高于 $UV_{V_{IO}\text{-rising}}$
3. 如果 V_{IO} 在睡眠模式下处于导通状态且发生 $UV_{V_{IO}}$ 事件，器件将维持睡眠模式。

7.4.1 正常模式

一旦 V_{SUP} 超过 $UV_{SUP-rising}$ 阈值，器件将在正常模式下上电。仅在转换至正常模式后才会检测 V_{IO} 。如果 V_{IO} 高于 $UV_{VIO-rising}$ ，器件将检测 SLP 引脚。如果 SLP 引脚保持高电平的时间至少为 t_{MODE_CHANGE} ，则器件会转换至睡眠模式。如果 SLP 引脚为低电平，则器件会维持正常模式。但如果在进入正常模式后 V_{IO} 低于 $UV_{VIO-falling}$ ，器件将进入中间状态 V_{IO} UV 模式，在该模式下等待 V_{IO} 启动。

在正常模式下，所有 LIN 通道的驱动器、上拉端接电路和接收器均完全正常工作。INHN 置为低电平。TXDx 引脚可用于在 LINx 总线上发送数据，RXDx 引脚同步反馈 LINx 总线数据。

7.4.2 睡眠模式

这是器件的最低功耗模式。所有通道接收器均保持开启状态，以检测 LIN 总线唤醒。TLIN1124A-Q1 在此状态下无法发送或接收 LIN 总线数据，但可以检测 LIN 总线唤醒。 V_{IO} 是否存在对于器件是否处于此模式无关紧要。所有 LIN 通道驱动器均关闭。RXDx 被上拉至 V_{IO} 。INHN 为悬空状态，因此当 INHN 用于系统电源管理控制时，ECU 上的所有元件均关闭，只有 LIN 器件保持工作，其可在唤醒时开启模块。

如果 V_{IO} 存在，SLP 从高电平转换为低电平并保持低电平状态至少 t_{MODE_CHANGE} 时间，将使器件进入正常模式。

7.4.3 待机模式

当器件在睡眠模式下接收到 LIN 总线唤醒时，器件将转换至待机模式。在待机模式下，所有 LIN 通道的驱动器均关闭，接收器开启，但 RXDx 锁存为低电平。如果转换至待机模式是由于 LIN 总线唤醒引起的，则只有接收到 LIN 唤醒的相应 LIN 通道的 RXD 会锁存为低电平。如果 INHN 用于控制系统电源管理，则可将 INHN 置为低电平以使 V_{IO} 上电。若 MCU 将 SLP 从高电平转换为低电平，且 SLP 保持低电平至少 t_{MODE_CHANGE} 时间，器件将转换至正常模式。器件在正常模式下初始化需要 t_{NOMINT} 时间。

如果器件因唤醒事件而转换至待机模式，则在待机模式下再次发生唤醒事件时，器件将保持待机模式，直到 MCU 使用 SLP 引脚强制器件进入正常模式。

如果器件在 SLP 为高电平时从 V_{IO} 欠压模式转换至待机模式，则 RXDx 为高电平，因为唤醒事件并未强制器件进入待机模式。

7.4.4 唤醒事件

TLIN1124A-Q1 支持三种从睡眠模式唤醒的方法：

- 通过 LIN 唤醒接收器经 LIN 总线唤醒：由 LIN 总线上隐性至显性状态转换的下降沿发起的远程唤醒，其中显性状态的持续时间需超过 t_{LINBUS} 滤波时间。在满足 t_{LINBUS} 滤波时间后，LIN 总线上由显性跳转为隐性的上升沿会发起远程唤醒事件。LIN 唤醒所使用的模式及 t_{LINBUS} 滤波时间可防止噪声和总线卡滞显性故障导致错误的唤醒请求。
- 对于通过 SLP 引脚进行的本地唤醒，必须将 SLP 引脚置为低电平且持续时间 $t > t_{MODE_CHANGE}$ ，才能在 t_{NOMINT} 时间内唤醒器件并使其完全转换至正常模式。

7.4.4.1 唤醒请求 (RXD)

当 TLIN1124A-Q1 检测到的唤醒事件时，RXDx 输出被驱动为低电平。该输出保持低电平，直到 SLP 被置为低电平使器件进入正常模式。一旦器件进入正常模式，会清除唤醒事件并释放 RXDx 输出。RXDx 输出完全正常工作，并反映来自 LINx 总线的接收器输出。

7.4.4.2 代码转换

当 TLIN1124A-Q1 在不同模式之间转换时，器件需要一定的时间 t_{MODE_CHANGE} ，以确保状态变化通过器件从 SLP 引脚完全传播到新的状态。从睡眠模式或待机模式转换至正常模式时，转换时间为 t_{MODE_CHANGE} 与 t_{NOMINT} 之和。同样，当器件通过 SLP 引脚从正常模式转换至睡眠模式时，转换时间为 t_{MODE_CHANGE} 与 t_{SLP} 之和。

8 应用和实例

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

TLIN1124A-Q1 是用于 LIN 网络的主机器件，集成了主机上拉电阻。

8.2 典型应用

该器件集成了 37kΩ 和 1kΩ 的上拉电阻及串联二极管，适用于主机应用。图 8-1 展示了该器件用作主机的应用。

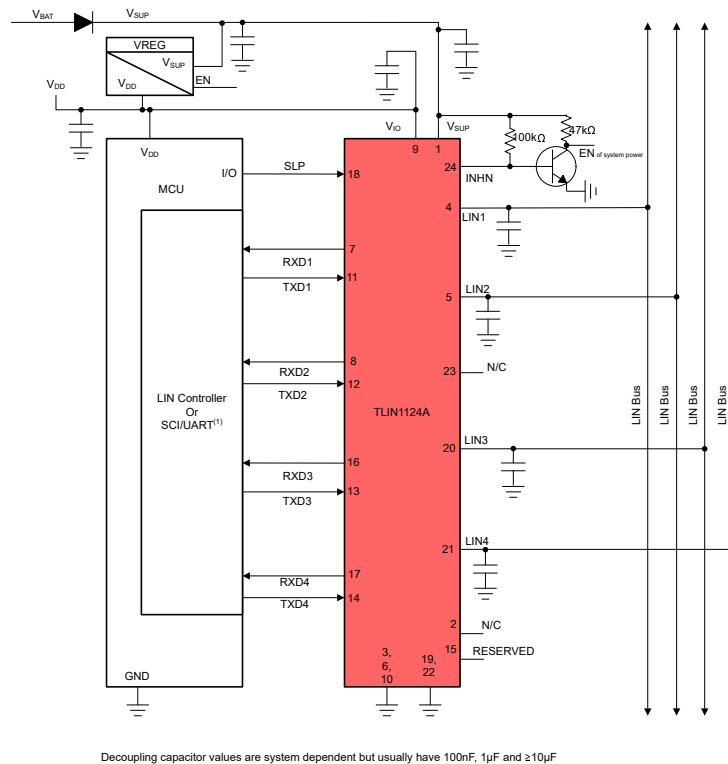


图 8-1. 典型 LIN 总线

8.2.1 设计要求

1. TLIN1124A-Q1 的 RXD 输出为推挽类型；无需在 RXD 与 V_{IO} 之间外接上拉电阻。
2. V_{SUP} 和 V_{IO} 上的去耦电容值取决于系统，但通常建议在每个端子上放置一个 100nF 的电容器，并尽可能靠近器件封装引脚。

8.2.1.1 详细设计过程

RXD 输出结构为 V_{IO} 域内的推挽式输出级。 V_{IO} 支持 2.97V 至 5.5V 的供电范围，使得 TLIN1124A-Q1 能够轻松连接 3.3V 或 5V I/O 微控制器。

器件的 V_{SUP} 和 V_{IO} 引脚应使用 100nF 电容器进行去耦，此电容器应尽可能靠近器件电源引脚放置。

8.3 电源相关建议

TLIN1124A-Q1 设计为直接使用汽车电池或 5V 至 28V 范围内的任何其他直流电源供电。应尽可能靠近器件的 V_{SUP} 和 V_{IO} 引脚放置一个 100nF 的去耦电容器。大多数应用会包含 1 μ F 和 $\geq 10\mu$ F 的去耦电容器。

8.4 布局

为确保 PCB 设计成功，应首先从保护和滤波电路的设计入手。因为 ESD 和 EFT 瞬态的频率带宽较宽（大约 3MHz 至 3GHz），因此在 PCB 设计过程中必须应用高频布局技术。在连接器上放置保护器件还能防止这类噪声事件进一步传送至 PCB 和系统。

8.4.1 布局指南

- **引脚 7、8、16 和 17 (RXD) :** 这些引脚为开漏输出，需要外接 1k Ω 至 10k Ω 范围内的上拉电阻才能正常工作。如果与收发器配对的微处理器没有集成上拉电阻，则须在 RXD 和微处理器的稳压电源之间放置一个外部电阻。
- **引脚 11、12、13 和 14 (TXD) :** TXD 引脚是从微处理器输入到器件的发送器输入信号。可以放置一个串联电阻，以便在此引脚上发生过压的情况下限制流向器件的输入电流。可以在靠近器件输入引脚的位置放置一个接地电容器，以滤除噪声。
- **引脚 18 (SLP) :** SLP 是一个输入引脚，可启用器件的可选睡眠模式。SLP 可直接连接到 MCU 的 I/O。
- **引脚 24 (INH) :** INH 为开漏输出引脚。必须连接一个 100k Ω 的上拉电阻至 V_{SUP} ，以实现从强制低电平状态到高电平状态的快速转换，并确保该引脚在悬空时为高电平。
- **引脚 4、5、20 和 21 (LIN) :** 此引脚连接至 LIN 总线。对于从机节点应用，实施 220pF 电容器接地。对于主机节点应用，必须在 LIN 引脚与 V_{SUP} 引脚之间放置一个附加的串联电阻和阻塞二极管。对于主机应用，通常在 LIN 引脚对地配置 680pF 电容器。
- **引脚 3、6、10、15、19 和 22 (GND 和 RSVD) :** 此为器件的接地连接。此引脚须通过短布线连接至接地平面，并使用两个过孔来限制总返回电感
- **引脚 1 和 9 (V_{SUP} 和 V_{IO}) :** 这些是器件的电源引脚。必须尽可能靠近器件放置一个 100nF 的去耦电容器
- **引脚 2 和 23 (NC) :** 未连接

备注

所有接地和电源连接均须尽可能短，并至少使用两个过孔来更大限度地减小总环路电感。

8.4.2 布局示例

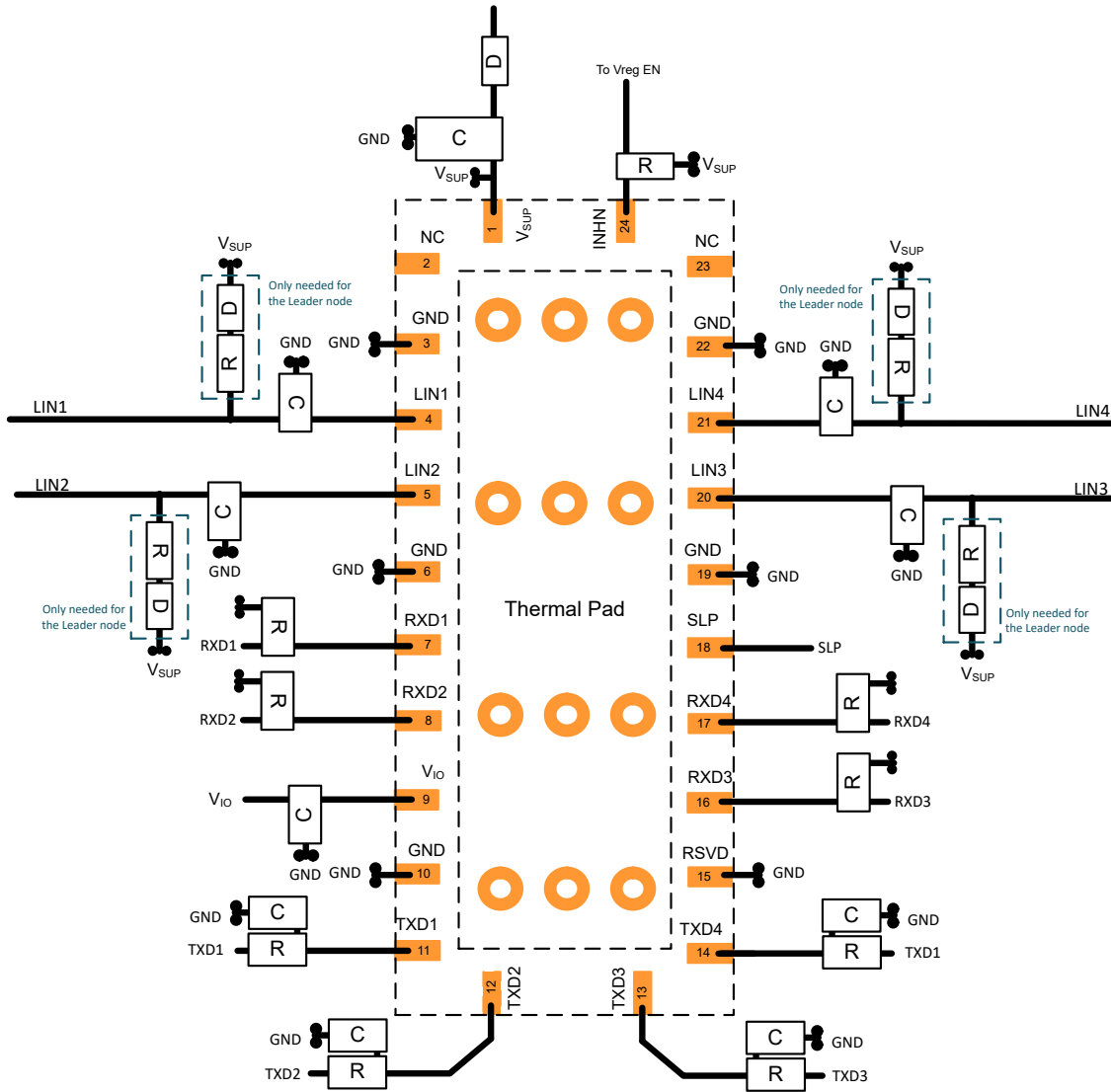


图 8-2. 布局示例

ADVANCE INFORMATION

9 器件和文档支持

9.1 文档支持

该器件将遵循以下 LIN 标准。本系统规格中涵盖了所有核心必要内容；但是，应为这些标准提供参考，并指出和探讨所有不符之处。本文档应提供所有基本必要内容。

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com.cn 上的器件产品文件夹。点击右上角的 *提醒我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
March 2026	*	初始发行版

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

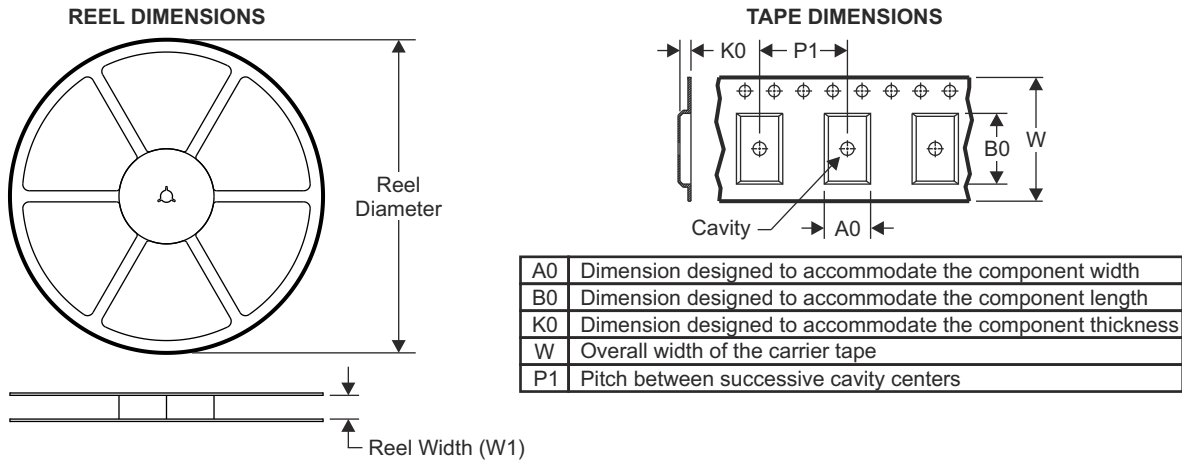
11.1 封装选项附录

表 11-1. 封装信息

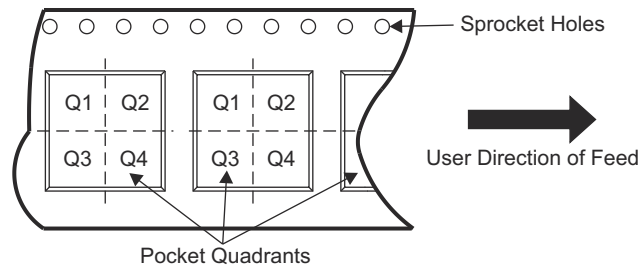
可订购器件	状态 ⁽¹⁾	封装类型	封装图	引脚	包装数量	环保计划 ⁽²⁾	铅/焊球镀层 ⁽⁴⁾	MSL 峰值温度 ⁽³⁾	工作温度 (°C)	器件标识 ^{(5) (6)}
TLIN1124ARGYRQ1	运行	VQFN	RGY	24	3000	绿色环保 (RoHS, 无 锡/溴)	CU NIPDAU	2 级-260C-1 年	-40 至 125	TL124

- (1) 销售状态值定义如下：
正在供货：建议用于新设计的产品器件。
限期购买：TI 已宣布器件即将停产，但仍在购买期限内。
NRND：不推荐用于新设计。为支持现有客户，器件仍在生产，但 TI 不建议在新设计中使用此器件。
PRE_PROD：器件未发布，尚未量产，未向大众市场供货，也未在网络上供应，未提供样片。
预发布：器件已发布，但未量产。可能提供样片，也可能无法提供样片。
已停产：TI 已停止生产该器件。
- (2) 环保计划 - 规划的环保分级包括：无铅 (RoHS)，无铅 (RoHS 豁免) 或绿色环保 (RoHS, 无锡/溴) - 如需了解最新供货信息及更多产品内容详情，请访问 <http://www.ti.com/productcontent>。
待定：无铅/绿色环保转换计划尚未确定。
无铅 (RoHS)：TI 所说的“无铅”或“无 Pb”是指半导体产品符合针对所有 6 种物质的现行 RoHS 要求，包括要求铅的重量不超过同质材料总重量的 0.1%。因在设计时就考虑到了高温焊接要求，因此 TI 的无铅产品适用于指定的无铅作业。
无铅 (RoHS 豁免)：该元件在以下两种情况下可享受 RoHS 豁免：1) 芯片和封装之间使用铅基倒装芯片焊接凸点；2) 芯片和引线框之间使用铅基芯片粘合剂。否则，元件将根据上述规定视为无铅 (符合 RoHS)。
绿色环保 (RoHS, 无锡/溴)：TI 将“绿色环保”定义为无铅 (符合 RoHS 标准)、无溴 (Br) 和无锡 (Sb) 基阻燃剂 (Br 或 Sb 在同质材料中的质量不超过总质量的 0.1%)
- (3) MSL, 峰值温度-- 湿敏等级额定值 (符合 JEDEC 工业标准分级) 和峰值焊接温度。
- (4) 铅/焊球镀层 - 可订购器件可能有多种镀层材料选项。各镀层选项用垂直线隔开。如果铅/焊球镀层值超出最大列宽，则会折为两行。
- (5) 器件上可能还有与标识、批次跟踪代码信息或环境分级相关的标记
- (6) 如有多个器件标识，将用括号括起来。不过，器件上仅显示括号中以“~”隔开的其中一个器件标识。如果某一行缩进，说明该行续接上一行，这两行合在一起表示该器件的完整器件标识。

11.2 卷带包装信息



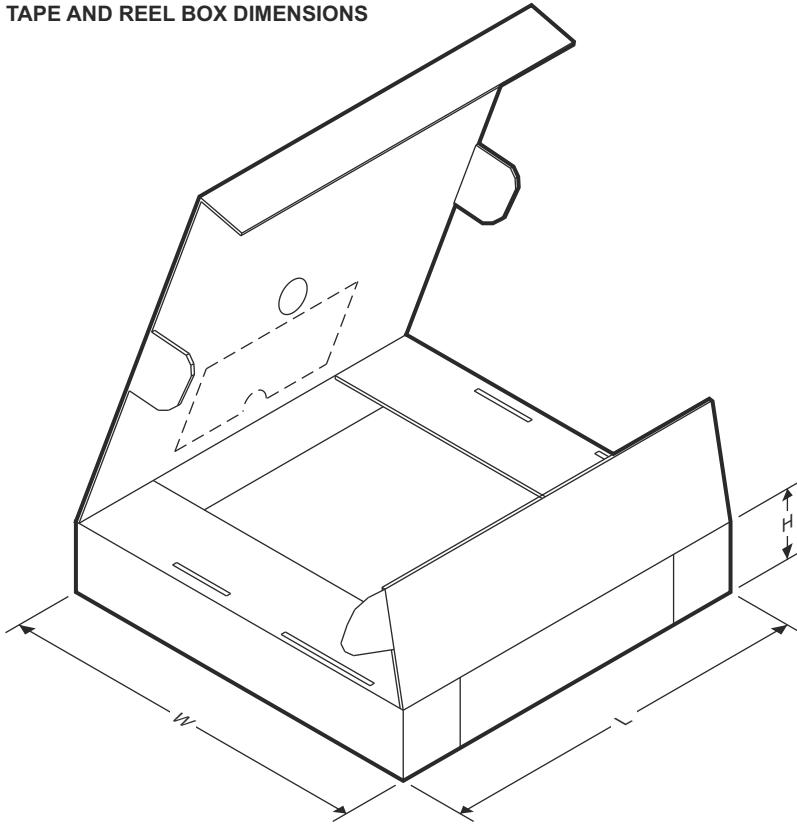
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 象限
TLIN1124ARGYRQ1	VSON	RGY	24	3000	330.0	12.4	3.8	5.8	1.2	8.0	12.0	Q1

ADVANCE INFORMATION

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
TLIN1124RGYRQ1	VSON	RGY	24	3000	367.0	367.0	35.0

ADVANCE INFORMATION

11.3 机械数据

ADVANCE INFORMATION

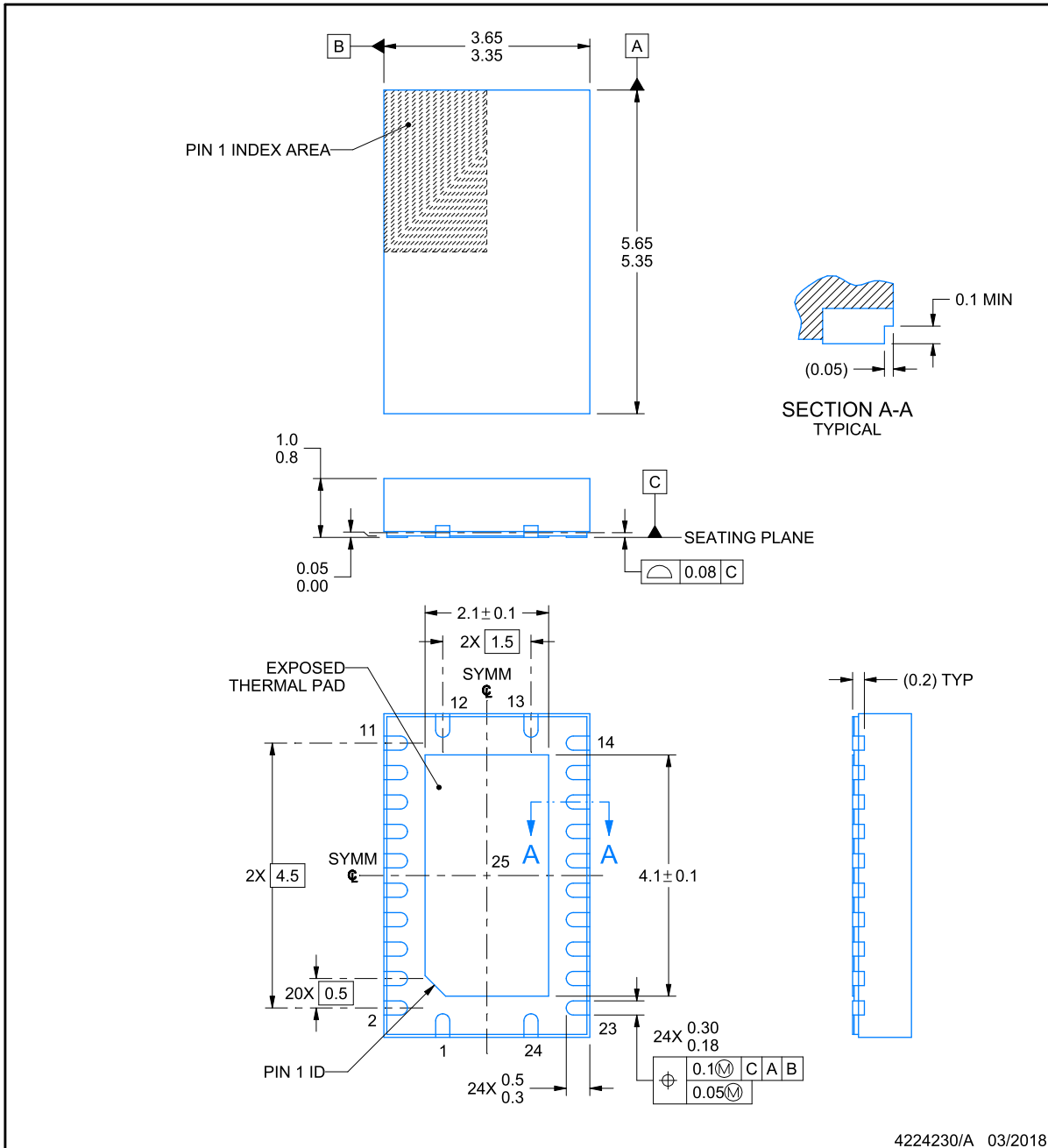


RGY0024C

PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

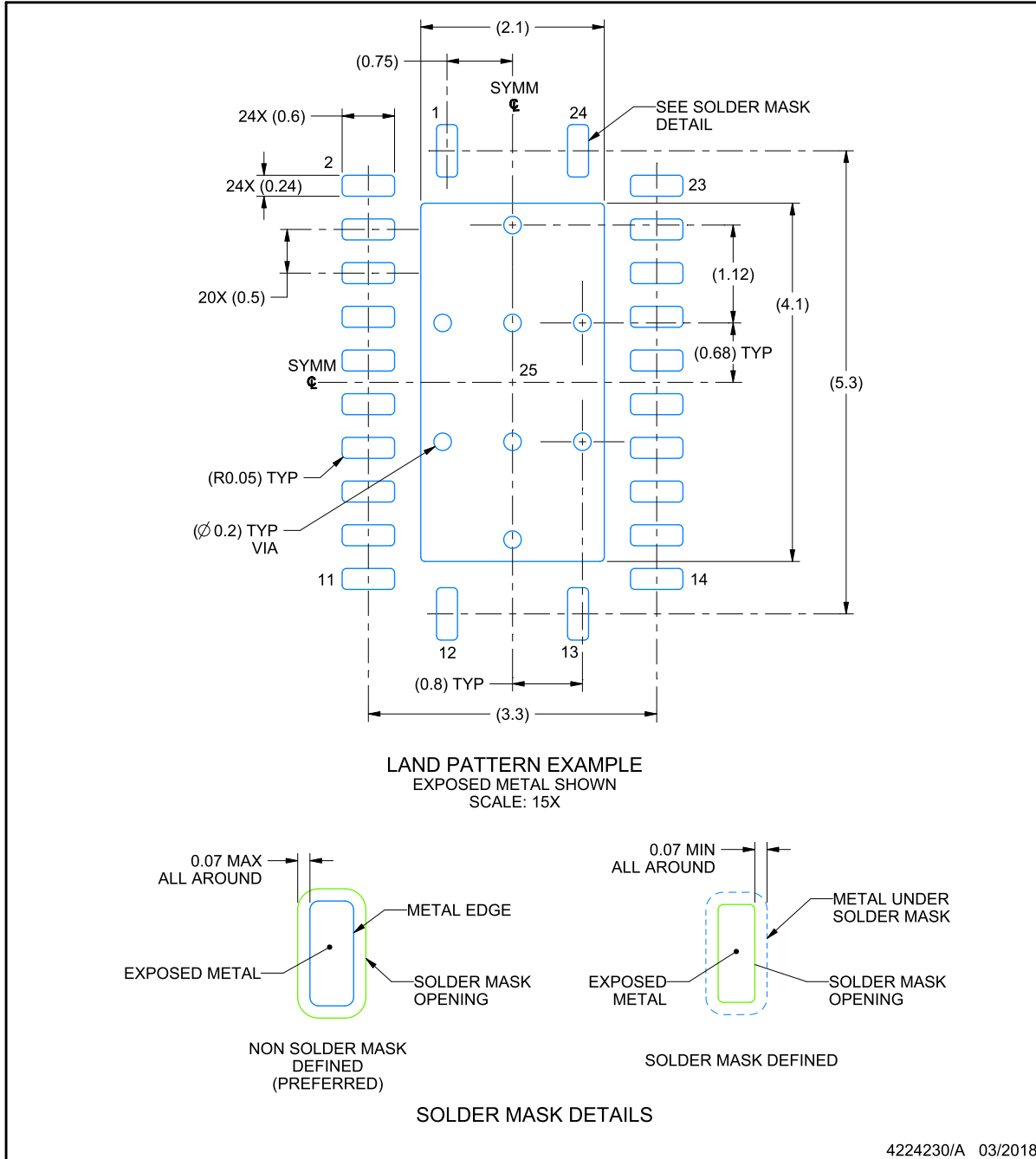
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RGY0024C

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

ADVANCE INFORMATION

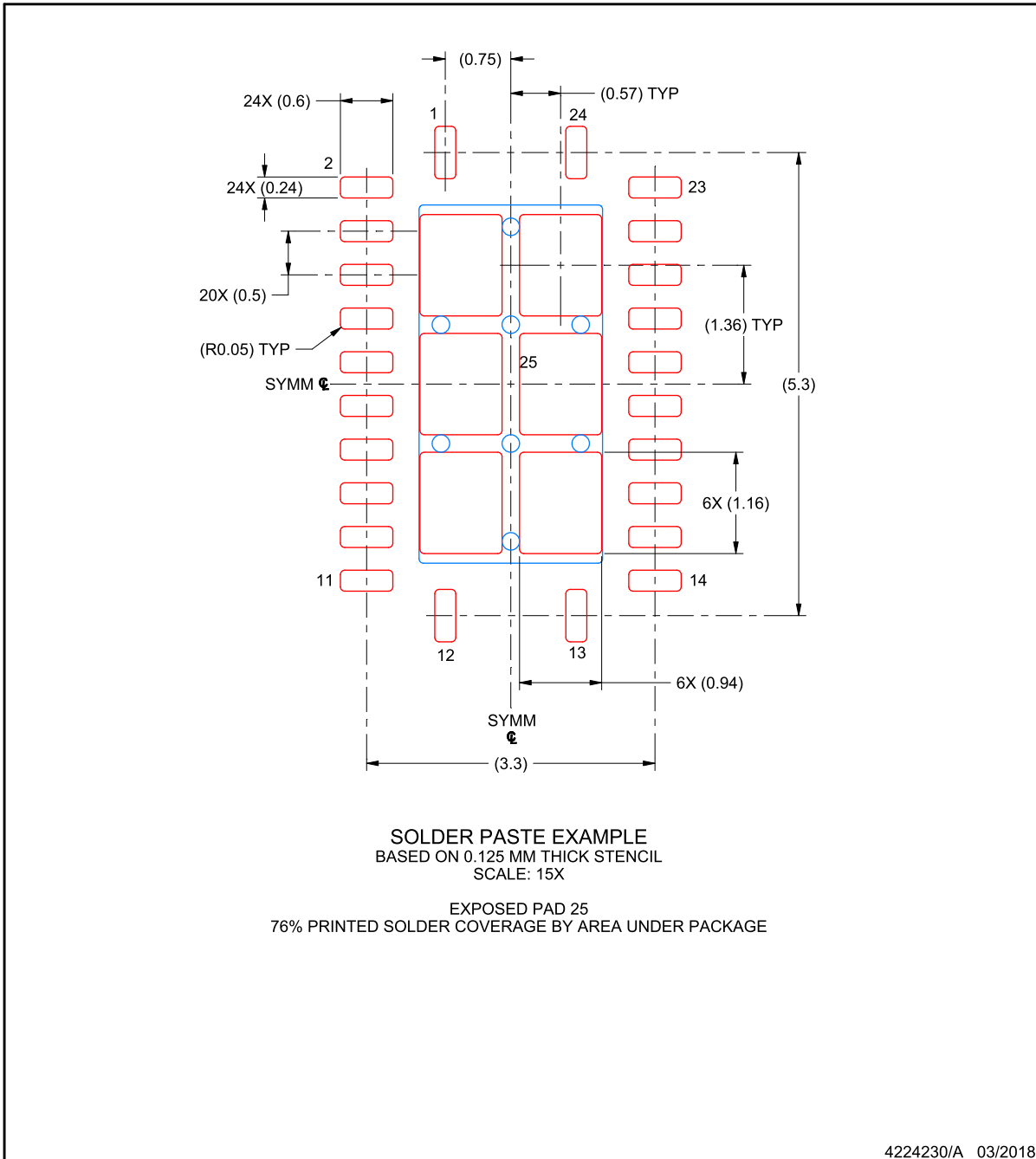
EXAMPLE STENCIL DESIGN

RGY0024C

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

ADVANCE INFORMATION



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTLIN1124ARGYRQ1	Active	Preproduction	VQFN (RGY) 24	5000 LARGE T&R	-	Call TI	Call TI	-40 to 125	

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

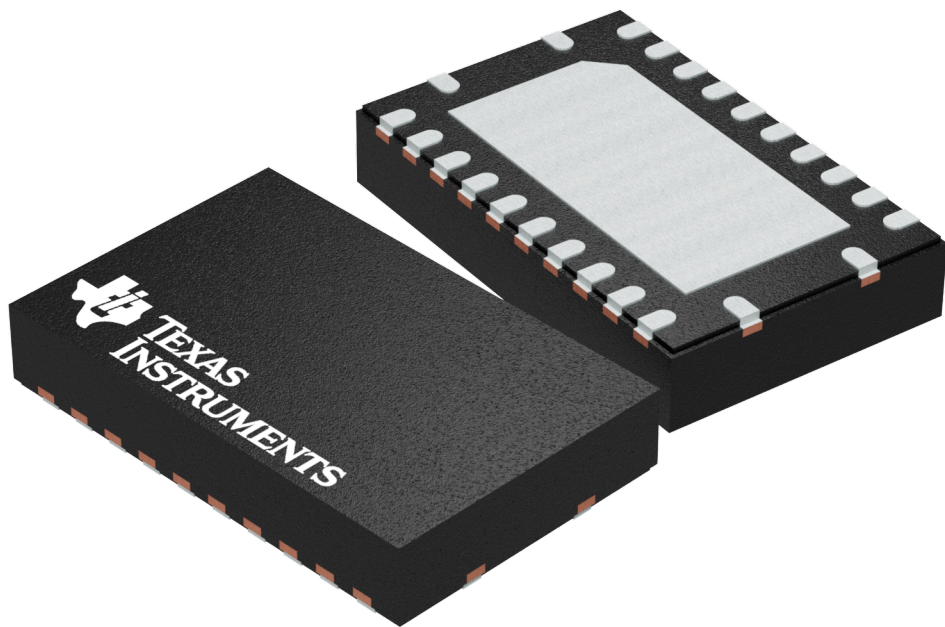
GENERIC PACKAGE VIEW

RGY 24

VQFN - 1 mm max height

5.5 x 3.5 mm, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4203539-5/J

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月