

# THVD9491-SP 具有灵活的 I/O 电源和 IEC ESD 保护功能的耐辐射 $\pm 40V$ 故障保护、3V 至 5.5V RS-485 收发器

## 1 特性

- 符合或超出 TIA/EIA-485A 和 TIA/EIA-422B 标准的要求
- 3V 至 5.5V 的电源电压
- 差分输出超过 2.1V，在 5V 电源下与 PROFIBUS 兼容
- 电离辐射总剂量 (TID) 特性
  - 耐辐射保障 (RHA) 高达 100krad(Si) 总电离剂量 (TID)
- 确定了单粒子效应 (SEE)
  - 125°C 时单粒子锁定 (SEL) 对于线性能量传递 (LET) 的抗扰度 = 75MeV·cm<sup>2</sup>/mg
- SMD# 5962R2522201PXE
- 航天级塑料 (SP)
  - 受控基线
  - 一个封装测试厂
  - 一个制造基地
  - 金键合线
  - NiPdAu 铅涂层
  - 军用级温度范围 (-55°C 至 125°C)
  - 延长了产品生命周期
  - 产品可追溯性
  - 符合 NASA ASTM E595 释气规格要求
- 1.65V 至 5.5V 数据和使能信号电源
- SLR 引脚可选数据速率：
  - 20Mbps 和 50Mbps
- 总线 I/O 保护
  - $\pm 40V$  直流总线故障
  - $\pm 16kV$  HBM ESD
  - $\pm 12kV$  IEC 61000-4-2 接触放电
  - $\pm 12kV$  IEC 61000-4-2 气隙放电
  - $\pm 4kV$  IEC 61000-4-4 快速瞬态突发
- 适用于热插拔功能的无干扰上电和断电
- 开路、短路和空闲总线失效防护
- 热关断
- 1/8 单位负载 (多达 256 个总线节点)
- 采用可实现快插兼容性的 14 引脚 SOIC 封装

## 2 应用

- 地球静止轨道 (GEO) 航天应用
- [命令和数据处理](#)
- [通信有效载荷系统](#)
- 光学和[成像雷达有效载荷](#)

## 3 说明

THVD9491-SP 是具有  $\pm 40V$  故障保护功能的半双工和全双工 RS-422/RS-485 收发器，对数据和使能逻辑信号使用 1.65V 至 5.5V 逻辑电源，对总线侧使用 3V 至 5.5V 电源。器件具有压摆率选择功能，因此可在两种最大速度 (基于 SLR 引脚设置) 下使用这些器件

这些器件具有集成式 IEC ESD 保护，无需外部系统级保护元件。在更长的电缆敷设长度和/或存在大接地环路电压的情况下，对称的  $\pm 12V$  输入共模范围可实现可靠的数据通信。增强型 250mV 接收器迟滞可提供高噪声抑制。此外，当输入同时开路或短路时，接收器失效防护功能可确保逻辑高电平。

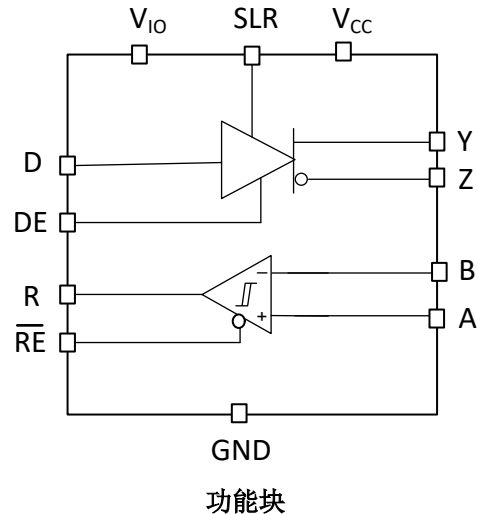
半双工器件采用小型 VSON 封装，适用于空间受限型应用。半双工器件采用标准 14-SOIC 封装。

### 封装信息

器件型号	封装 <sup>(1)</sup>	封装尺寸 <sup>(2)</sup>
THVD9491-SP	SOIC (14)	8.65mm × 6mm

(1) 有关更多信息，请参阅节 11。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



## 内容

<b>1 特性</b> .....	1	7.2 功能方框图.....	11
<b>2 应用</b> .....	1	7.3 特性说明.....	11
<b>3 说明</b> .....	1	7.4 器件功能模式.....	12
<b>4 引脚配置和功能</b> .....	3	<b>8 应用和实施</b> .....	14
<b>5 规格</b> .....	4	8.1 典型应用.....	14
5.1 绝对最大额定值.....	4	8.2 电源相关建议.....	16
5.2 ESD 等级.....	4	8.3 布局.....	17
5.3 ESD 等级 [IEC].....	4	<b>9 器件和文档支持</b> .....	18
5.4 建议运行条件.....	5	9.1 接收文档更新通知.....	18
5.5 热性能信息.....	5	9.2 支持资源.....	18
5.6 功率耗散.....	5	9.3 商标.....	18
5.7 电气特性.....	6	9.4 静电放电警告.....	18
5.8 开关特性：20Mbps.....	7	9.5 术语表.....	18
5.9 开关特性：50Mbps.....	8	<b>10 修订历史记录</b> .....	18
<b>6 参数测量信息</b> .....	9	<b>11 机械、封装和可订购信息</b> .....	18
<b>7 详细说明</b> .....	11	11.1 卷带包装信息.....	20
7.1 概述.....	11	11.2 机械数据.....	22

## 4 引脚配置和功能

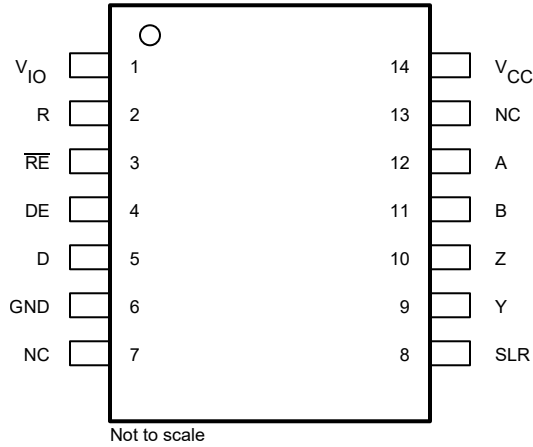


图 4-1. THVD9491-SP  
14 引脚 D 封装 (SOIC)  
(顶视图)

表 4-1. 引脚功能

名称	编号	类型	说明
V <sub>IO</sub>	1	逻辑电源	用于逻辑 I/O 信号 ( R、 $\overline{RE}$ 、D、DE 和 SLR ) 的 1.65V 至 5.5V 电源
R	2	数字输出	接收数据输出
$\overline{RE}$	3	数字输入	接收器使能输入
DE	4	数字输入	驱动器使能输入
D	5	数字输入	传输数据输入
GND	6	基准电位	本地器件接地
NC	7,13	无连接	内部未连接。
SLR	8	数字输入	压摆率选择引脚：低电平 = 50Mbps，高电平 = 20Mbps。如果悬空，则默认为 50Mbps。
Y	9	总线输出	RS-485 总线输出，Y
Z	10	总线输出	RS-485 总线输出，Z
B	11	总线输入	RS-485 总线输入，B
A	12	总线输入	RS-485 总线输入，A
V <sub>CC</sub>	14	总线电源	A 和 B 总线的 3V 至 5.5V 电源

## 5 规格

### 5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）<sup>(1)</sup>

		最小值	最大值	单位
逻辑电源电压	$V_{IO}$	-0.5	$V_{CC} + 0.2$	V
总线电源电压	$V_{CC}$	-0.5	6.5	V
总线电压	以 GND 为基准的任何总线引脚（A 或 B）的差模或共模范围	-40	40	V
输入电压	任何逻辑引脚（D、DE、SLR 或 $\overline{RE}$ ）上的电压范围	-0.3	$V_{IO} + 0.2$	V
接收器输出电流	$I_O$	-24	24	mA
贮存温度	$T_{stg}$	-65	170	°C

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

### 5.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 <sup>(1)</sup>	总线端子和 GND	$\pm 16,000$	V
			除总线端子和 GND 外的所有引脚	$\pm 4,000$	V
		充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 <sup>(2)</sup>	$\pm 1,500$	V	

- (1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。  
 (2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

### 5.3 ESD 等级 [IEC]

				值	单位
$V_{(ESD)}$	静电放电	接触放电, 符合 IEC 61000-4-2 <sup>(1)</sup>	总线端子和 GND	$\pm 8,000$	V
		空气间隙放电, 符合 IEC 61000-4-2 标准 <sup>(1)</sup>	总线端子和 GND	$\pm 8,000$	
$V_{(EFT)}$	电气快速瞬变	符合 IEC 61000-4-4 标准	总线终端	$\pm 4,000$	V

- (1) 为优化 IEC ESD 性能，建议在所有直接连接到电源或地的逻辑输入上连接串联电阻 ( $\geq 50 \Omega$ )，以最大限度地减少流入或流出逻辑引脚的瞬态电流。

## 5.4 建议运行条件

在自然通风条件下的工作温度范围内（除非另有说明）

		最小值	标称值	最大值	单位
V <sub>CC</sub>	电源电压	3		5.5	V
V <sub>IO</sub>	I/O 电源电压	1.65		V <sub>CC</sub>	V
V <sub>I</sub>	任何总线端子上的输入电压（独立或共模） <sup>(1)</sup>	-12		12	V
V <sub>IH</sub>	高电平输入电压（驱动器、驱动器使能和压摆率选择输入）	0.7*V <sub>IO</sub>		V <sub>IO</sub>	V
V <sub>IL</sub>	低电平输入电压（驱动器、驱动器使能和压摆率选择输入）	0		0.3*V <sub>IO</sub>	V
V <sub>ID</sub>	差分输入电压	-12		12	V
I <sub>O</sub>	驱动器输出电流	-60		60	mA
I <sub>OR</sub>	接收器输出电流		V <sub>IO</sub> = 1.8V 或 2.5V	4	mA
I <sub>OR</sub>	接收器输出电流		V <sub>IO</sub> = 3.3V 或 5V	8	mA
R <sub>L</sub>	差分负载电阻	54	60		Ω
1/t <sub>UI</sub>	信令速率	SLR = V <sub>IO</sub>		20	Mbps
		SLR = 0 或悬空		50	Mbps
T <sub>A</sub>	工作环境温度	-55		125	°C
T <sub>J</sub>	结温	-55		150	°C

(1) 本数据表采用将最小正值（最大负值）指定为最小值的代数约定。

## 5.5 热性能信息

热指标 <sup>(1)</sup>		THVD9491-SP		单位
		D (SOIC)		
		14 引脚		
R <sub>θJA</sub>	结至环境热阻	87.5		°C/W
R <sub>θJB</sub>	结至电路板热阻	43.7		°C/W
R <sub>θJC(top)</sub>	结至外壳（顶部）热阻	41.8		°C/W
Ψ <sub>JT</sub>	结至顶部特征参数	8.1		°C/W
Ψ <sub>JB</sub>	结至电路板特征参数	43.3		°C/W
R <sub>θJC(bot)</sub>	结至外壳（底部）热阻	不适用		°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用手册。

## 5.6 功率耗散

参数		测试条件		值	单位
P <sub>D</sub>	驱动器和接收器被启用，针对全双工器件的环回（通过 A 连接至 Y、B 连接至 Z） V <sub>CC</sub> = 5.5V，T <sub>A</sub> = 125°C， 占空比为 50% 的方波	未端接 R <sub>L</sub> = 300 Ω、C <sub>L</sub> = 50pF（驱动器）	20Mbps	335	mW
			50Mbps	571	
		RS-422 负载 R <sub>L</sub> = 100 Ω、C <sub>L</sub> = 50pF（驱动器）	20Mbps	325	mW
			50Mbps	522	
		RS-485 负载 R <sub>L</sub> = 54 Ω、C <sub>L</sub> = 50pF（驱动器）	20Mbps	355	mW
			50Mbps	526	

## 5.7 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）。除非另有说明，否则所有典型值均在温度为 25°C、电源电压  $V_{CC} = 5V$ 、 $V_{IO} = 3.3V$  的条件下测得。(2)

参数		测试条件	最小值	典型值	最大值	单位
<b>驱动器</b>						
V <sub>OD</sub>	驱动器差分输出电压幅度	$R_L = 60\ \Omega$ 、 $-12V \leq V_{test} \leq 12V$ 。请参阅图 6-1	1.5	2.8		V
		$R_L = 60\ \Omega$ 、 $-12V \leq V_{test} \leq 12V$ 、 $4.5V \leq V_{CC} \leq 5.5V$ 。请参阅图 6-1	2.1	3.3		V
		$R_L = 100\ \Omega$ 。请参阅图 6-2	2	4		V
		$R_L = 54\ \Omega$ 。请参阅图 6-2	1.5	3.3		V
$\Delta V_{OD} $	差分输出电压的变化	$R_L = 54\ \Omega$ 或 $100\ \Omega$ 。请参阅图 6-2	-200		200	mV
V <sub>OC</sub>	共模输出电压	$R_L = 54\ \Omega$ 或 $100\ \Omega$ ( 请参阅图 6-2 )	1	$V_{CC}/2$	3	V
$\Delta V_{OC(SS)}$	稳态共模输出电压的变化	$R_L = 54\ \Omega$ 或 $100\ \Omega$ 。请参阅图 6-2	-50		50	mV
I <sub>OS</sub>	短路输出电流	$DE = V_{IO}$ 、 $-40V \leq (V_A \text{ 或 } V_B) \leq 40V$ ，或 Y 短接至 Z	-250		250	mA
<b>接收器</b>						
I <sub>I</sub>	总线输入电流	$DE = 0V$ ， $V_{CC}$ 和 $V_{IO} = 0V$ 或 $5.5V$	$V_I = 12V$	75	125	$\mu A$
			$V_I = -7V$	-100	-60	$\mu A$
V <sub>TH+</sub>	正向输入阈值电压 <sup>(1)</sup>	$\pm 12V$ 的共模范围以外	40	125	200	mV
V <sub>TH-</sub>	负向输入阈值电压 <sup>(1)</sup>		-200	-125	-40	mV
V <sub>HYS</sub>	输入迟滞		250			mV
V <sub>TH_FSH</sub>	输入失效防护阈值		-40		40	mV
C <sub>A,B</sub>	输入差分电容	在 A 和 B 之间测量， $f = 1MHz$		50		pF
V <sub>OH</sub>	输出高电压	$I_{OH} = -8mA$ ， $V_{IO} = 3V$ 至 $3.6V$ 或 $4.5V$ 至 $5.5V$	$V_{IO} - 0.4$	$V_{IO} - 0.2$		V
V <sub>OL</sub>	输出低电压	$I_{OL} = 8mA$ ， $V_{IO} = 3V$ 至 $3.6V$ 或 $4.5V$ 至 $5.5V$		0.2	0.4	V
V <sub>OH</sub>	输出高电压	$I_{OH} = -4mA$ ， $V_{IO} = 1.65V$ 至 $1.95V$ 或 $2.25V$ 至 $2.75V$	$V_{IO} - 0.4$	$V_{IO} - 0.2$		V
V <sub>OL</sub>	输出低电压	$I_{OL} = 4mA$ ， $V_{IO} = 1.65V$ 至 $1.95V$ 或 $2.25V$ 至 $2.75V$		0.2	0.4	V
I <sub>OZ</sub>	输出高阻抗电流，R 引脚	$V_O = 0V$ 或 $V_{IO}$ ， $\overline{RE} = V_{IO}$	-1		1	$\mu A$
<b>逻辑</b>						
I <sub>IN</sub>	输入电流 ( DE, SLR )	$1.65V \leq V_{IO} \leq 5.5V$ ， $0V \leq V_{IN} \leq V_{IO}$			5	$\mu A$
I <sub>IN</sub>	输入电流 ( D, $\overline{RE}$ )	$1.65V \leq V_{IO} \leq 5.5V$ ， $0V \leq V_{IN} \leq V_{IO}$	-5			$\mu A$
<b>过热保护</b>						
T <sub>SHDN</sub>	热关断阈值	温度上升	150	180		°C
T <sub>HYS</sub>	热关断迟滞			10		°C
<b>电源</b>						
I <sub>CC</sub>	电源电流 ( 静态 )， $V_{CC} = 4.5V$ 至 $5.5V$	驱动器和接收器已启用	$\overline{RE} = 0V$ ， $DE = V_{IO}$ ，空载	4	7.2	mA
		驱动器被启用，接收器被禁用	$\overline{RE} = V_{IO}$ ， $DE = V_{IO}$ ，空载	4	6	mA
		驱动器被禁用，接收器被启用	$\overline{RE} = 0V$ 、 $DE = 0V$ ，空载	4	6	mA
		驱动器和接收器被禁用	$\overline{RE} = V_{IO}$ ， $DE = 0V$ ，D = 开路，空载	2	4	mA
I <sub>CC</sub>	电源电流 ( 静态 )， $V_{CC} = 3V$ 至 $3.6V$	驱动器和接收器已启用	$\overline{RE} = 0V$ ， $DE = V_{IO}$ ，空载	3.5	6	mA
		驱动器被启用，接收器被禁用	$\overline{RE} = V_{IO}$ ， $DE = V_{IO}$ ，空载	3	5	mA
		驱动器被禁用，接收器被启用	$\overline{RE} = 0V$ 、 $DE = 0V$ ，空载	3	5	mA
		驱动器和接收器被禁用	$\overline{RE} = V_{IO}$ ， $DE = 0V$ ，D = 开路，空载	2	4	mA

## 5.7 电气特性 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明)。除非另有说明, 否则所有典型值均在温度为 25°C、电源电压  $V_{CC} = 5V$ 、 $V_{IO} = 3.3V$  的条件下测得。(2)

参数		测试条件		最小值	典型值	最大值	单位
$I_{IO}$	逻辑电源电流 (静态), $V_{IO} = 3V$ 至 $3.6V$	驱动器被禁用, 接收器被启用, $SLR = GND$	$DE = 0V$ , $RE = 0V$ , 空载	45	100	100	$\mu A$
		驱动器被禁用, 接收器被启用, $SLR = V_{IO}$					
		驱动器被禁用, 接收器被禁用, $SLR = GND$	$DE = 0V$ , $RE = V_{IO}$ , 空载	45	100	100	$\mu A$
		驱动器被禁用, 接收器被禁用, $SLR = V_{IO}$					

- (1) 在任何特定条件下, 都确保  $V_{TH+}$  至少比  $V_{TH-}$  高  $V_{HYS}$ 。  
 (2) 对于该器件, A 和 B 为接收器输入端子, Y 和 Z 为驱动器输出端子

## 5.8 开关特性: 20Mbps

20Mbps ( $SLR = V_{IO}$ ), 在建议运行条件下测得。除非另有说明, 否则所有典型值均在温度为 25°C、电源电压  $V_{CC} = 5V$ 、 $V_{IO} = 3.3V$  的条件下测得。(2)

参数		测试条件		最小值	典型值	最大值	单位
<b>驱动器</b>							
$t_r, t_f$	差分输出上升/下降时间 (1)	$R_L = 54 \Omega$ , $C_L = 50pF$	请参阅图 6-3	4	8	15	ns
$t_{PHL}, t_{PLH}$	传播延迟 (1)			6	15	30	ns
$t_{SK(P)}$	脉冲偏斜, $ t_{PHL} - t_{PLH} $ (1)			1	3	ns	
$t_{PHZ}, t_{PLZ}$	禁用时间 (1)	$RE = X$	请参阅图 6-4 和图 6-3	17	35	ns	
$t_{PZH}, t_{PZL}$	启用时间 (1)	$RE = 0V$		14	39	ns	
		$RE = V_{IO}$		3	4.5	$\mu s$	
$t_{SHDN}$	到关断的时间 (1)	$RE = V_{IO}$	50	300	500	ns	
<b>接收器</b>							
$t_r, t_f$	输出上升/下降时间 (1)	$C_L = 15pF$	请参阅图 6-6	1.5	6	ns	
$t_{PHL}, t_{PLH}$	传播延迟 (1)			25	35	60	ns
$t_{SK(P)}$	脉冲偏斜, $ t_{PHL} - t_{PLH} $ (1)			1	5	ns	
$t_{PHZ}, t_{PLZ}$	禁用时间 (1)	$DE = X$	12	25	ns		
$t_{PZH(1)}, t_{PZL(1)}$	启用时间 (1)	$DE = V_{IO}$	50	82	ns		
$t_{PZH(2)}, t_{PZL(2)}$	启用时间 (1)	$DE = 0V$	2.8	5	$\mu s$		
$t_{D(OFS)}$	延迟进入失效防护操作 (1)	$C_L = 15pF$	请参阅图 6-9	7	11	18	$\mu s$
$t_{D(FSO)}$	延迟退出失效防护操作 (1)			19	32	50	ns
$t_{SHDN}$	到关断的时间 (1)	$DE = 0V$	50	300	500	ns	

- (1) 取决于具体的设计和特性  
 (2) 对于该器件, A 和 B 为接收器输入端子, Y 和 Z 为驱动器输出端子

## 5.9 开关特性：50Mbps

50Mbps (SLR = 0)，在建议运行条件下测得。除非另有说明，否则所有典型值均在温度为 25°C、电源电压  $V_{CC} = 5V$ 、 $V_{IO} = 3.3V$  的条件下测得。(2)

参数		测试条件		最小值	典型值	最大值	单位
<b>驱动器</b>							
$t_r, t_f$	差分输出上升/下降时间 (1)	$R_L = 54 \Omega, C_L = 50pF$	请参阅 图 6-3	1	5	7	ns
$t_{PHL}, t_{PLH}$	传播延迟 (1)			7	12	22	ns
$t_{SK(P)}$	脉冲偏斜, $ t_{PHL} - t_{PLH} $ (1)				1	3	ns
$t_{PHZ}, t_{PLZ}$	禁用时间 (1)	$RE = X$	请参阅 图 6-4 和 图 6-3		14	30	ns
$t_{PZH}, t_{PZL}$	启用时间 (1)	$RE = 0V$			20	35	ns
		$RE = V_{IO}$			2.5	4.5	$\mu s$
$t_{SHDN}$	到关断的时间 (1)	$RE = V_{IO}$			50	300	500
<b>接收器</b>							
$t_r, t_f$	输出上升/下降时间 (1)	$C_L = 15pF$	请参阅 图 6-6		1.5	6	ns
$t_{PHL}, t_{PLH}$	传播延迟 (1)			25	35	60	ns
$t_{SK(P)}$	脉冲偏斜, $ t_{PHL} - t_{PLH} $ (1)				1	5	ns
$t_{PHZ}, t_{PLZ}$	禁用时间 (1)	$DE = X$		12	25	ns	
$t_{PZH(1)}, t_{PZL(1)}$	启用时间 (1)	$DE = V_{IO}$	请参阅 图 6-7		50	82	ns
		$DE = 0V$	请参阅 图 6-8		3	5	$\mu s$
$t_{D(OFS)}$	延迟进入失效防护操作 (1)	$C_L = 15pF$	请参阅 图 6-9	7	10	18	$\mu s$
$t_{D(FSO)}$	延迟退出失效防护操作 (1)			19	35	50	ns
$t_{SHDN}$	到关断的时间 (1)	$DE = 0V$	请参阅 图 6-8	50	300	500	ns

(1) 取决于具体的设计和特性

(2) 对于该器件，A 和 B 为接收器输入端子，Y 和 Z 为驱动器输出端子

## 6 参数测量信息

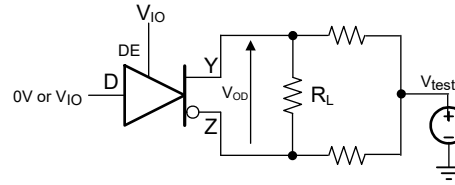


图 6-1. 具有共模负载的驱动器差分输出电压的测量

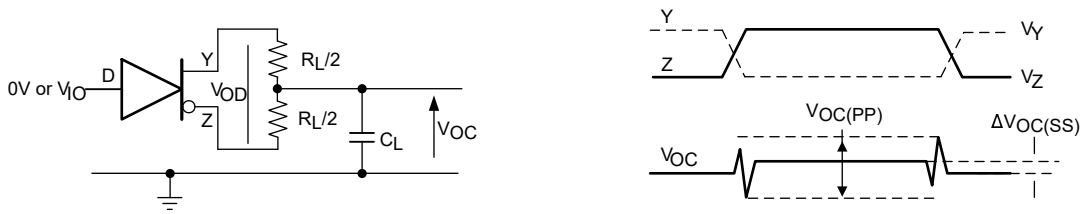


图 6-2. 具有 RS-485 负载的驱动器差分 and 共模输出的测量

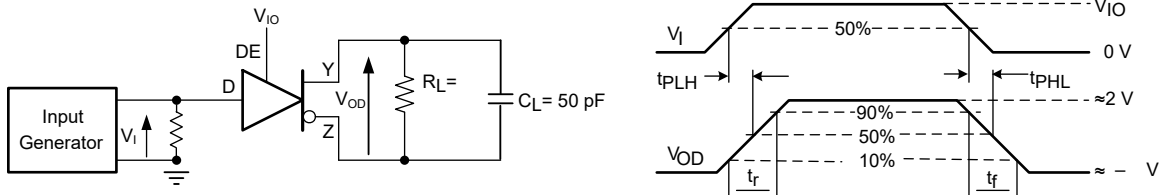
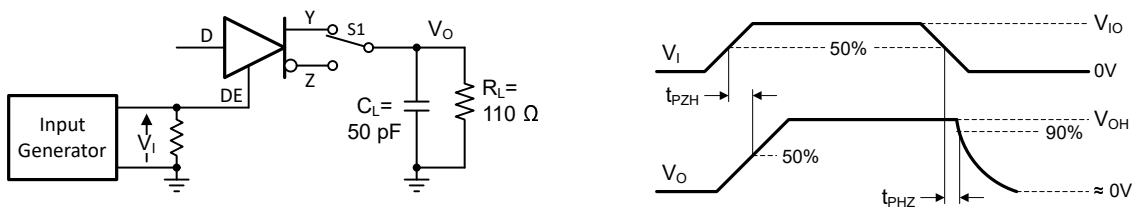
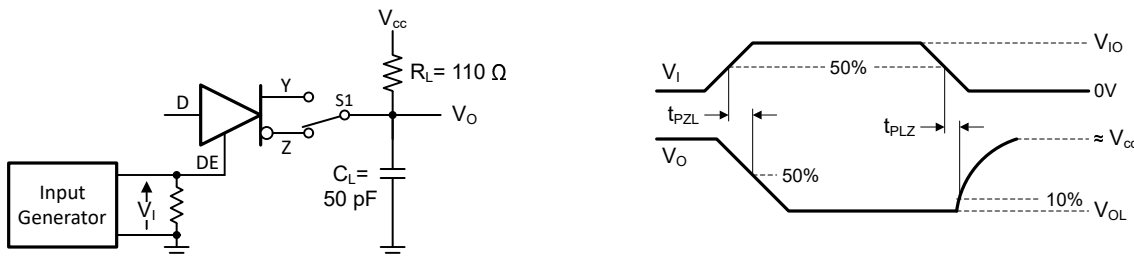


图 6-3. 驱动差分输出上升和下降次数以及传播延迟的测量



Copyright © 2017, Texas Instruments Incorporated

图 6-4. 具有高电平有效输出和下拉负载的驱动器启用和禁用次数的测量



Copyright © 2017, Texas Instruments Incorporated

图 6-5. 具有低电平有效输出和上拉负载的驱动器启用和禁用次数的测量

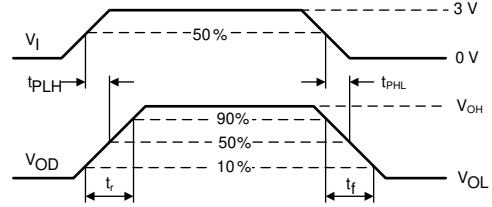
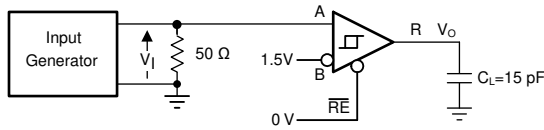


图 6-6. 接收器输出上升和下降时间以及传播延迟的测量

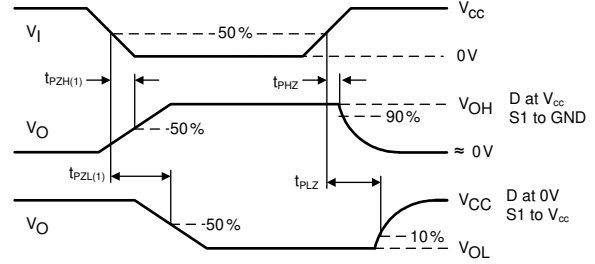
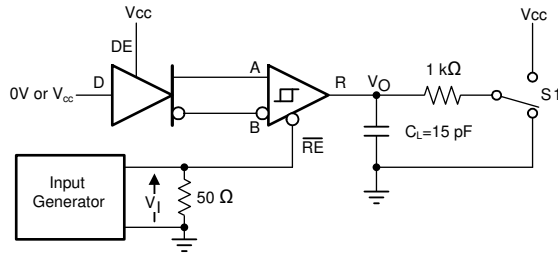
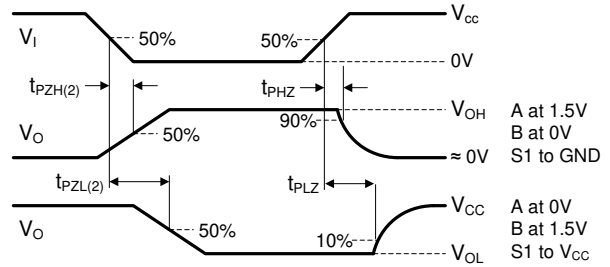
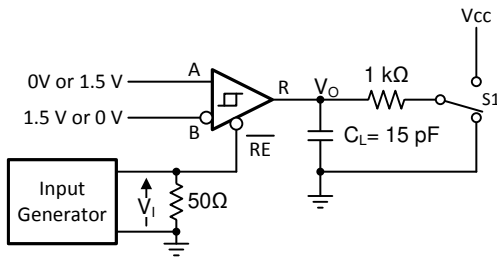
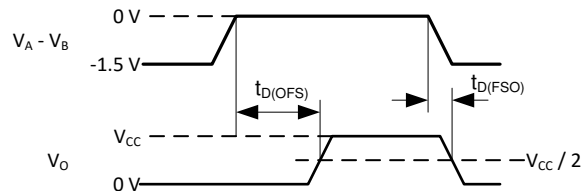
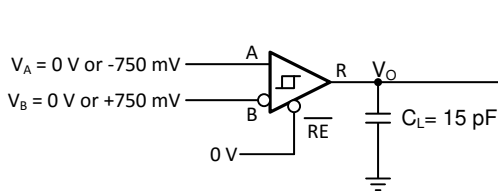


图 6-7. 驱动器已启用情况下接收器启用/禁用次数的测量



Copyright © 2017, Texas Instruments Incorporated

图 6-8. 驱动器被禁用情况下接收器启用时间的测量



Copyright © 2017, Texas Instruments Incorporated

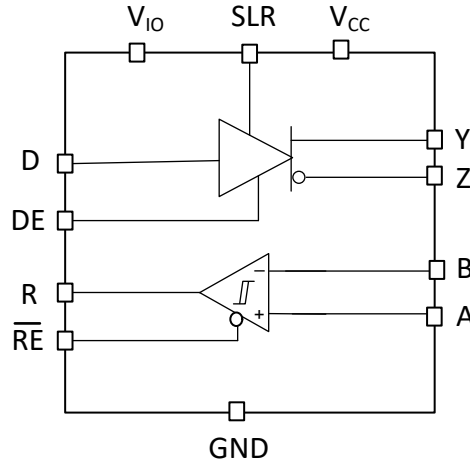
图 6-9. 失效防护延迟测量

## 7 详细说明

### 7.1 概述

THVD9491-SP 是具有故障保护功能的半双工 RS-485 收发器，提供两种速度等级，分别适用于速率高达 500kbps 和 50Mbps 的数据传输。这些器件均具有高电平有效的驱动器使能引脚和低电平有效的接收器使能引脚。禁用驱动器和接收器后可获得低于 1 $\mu$ A 的关断电流。

### 7.2 功能方框图



### 7.3 特性说明

#### 7.3.1 总线故障保护

与标准 RS-485 器件相比，THVD9491-SP 收发器加强了总线故障保护。在恶劣工业环境中运行的收发器经常承受超过 TIA/EIA-485A 标准定义 -7V 至 +12V 的电压瞬变。为了防止在这种情况下受到损坏，具有较低绝对最大额定值的通用 RS-485 器件需要成本高昂的外部保护元件。为了简化系统设计并降低整体系统成本，该器件无需任何外部元件即可在高达  $\pm 40$ V 的电压下受到保护。

#### 7.3.2 集成 IEC ESD 和 EFT 保护

内部 ESD 保护电路可根据高达  $\pm 12$ kV 的 IEC 61000-4-2 标准，保护收发器免受静电放电 (ESD) 的影响，并根据高达  $\pm 4$ kV 的 IEC 61000-4-4 标准保护收发器免受电气快速瞬变 (EFT) 的影响。ESD 保护电路有助于限制电压偏移并快速从中恢复，允许系统级的 EFT 标准 A (有瞬态噪声时不会丢失数据)。

#### 7.3.3 驱动器过压和过流保护

THVD9491-SP 驱动器可防止 -40V 至 +40V 范围内的任何直流电源短路。这些器件在内部将短路电流限制为  $\pm 250$ mA，以符合 TIA/EIA-485A 标准。此外，如果输出故障电压超过  $|\pm 25$ V|，折返式限流电路可进一步将驱动器短路电流降至  $\pm 5$ mA 以下。

所有器件都具有热关断保护功能，如果结温超过  $T_{SHDN}$ ，则会因过多功率损耗而禁用驱动器和接收器。

#### 7.3.4 增强型接收器抗噪性能

THVD9491-SP 的差分接收器具有完全对称的阈值，即使在输入振幅很小的情况下也能保持信号的占空比。此外，250mV (典型值) 迟滞可提供出色的抗噪性能。

### 7.3.5 接收器失效防护状态运行

接收器因以下原因而失效防护，导致无效总线状态：

- 出现总线开路，例如连接器断开
- 出现总线短路，例如电缆损坏，将双绞线短路在一起
- 当总线上的驱动器没有进行有源驱动时，出现总线空闲

其中任一种情况下，如果输入振幅停留时间超过  $t_{D(OFs)}$  至少  $|V_{TH\_FSH}|$ ，接收器将输出失效防护逻辑高电平状态。

### 7.3.6 低功耗关断模式

如果驱动  $\overline{DE}$  低电平和  $\overline{RE}$  高电平的时间多于 500ns，则器件进入关断模式。如果  $\overline{DE}$  变为高电平或  $\overline{RE}$  变为低电平，计数器复位。如果使能引脚处于禁用状态的时间少于 50ns，则器件不会进入关断模式。此功能可防止器件由于  $\overline{DE}$  和  $\overline{RE}$  之间的偏差而意外进入关断模式。

## 7.4 器件功能模式

当驱动器使能引脚  $\overline{DE}$  为逻辑高电平时，差分输出 A 和 B 跟随数据输入 D 的逻辑状态。D 处的逻辑高电平会导致 Y 变为高电平，Z 变为低电平。在这种情况下，定义为  $V_{OD} = V_Y - V_Z$  的差分输出电压为正。当 D 为低电平时，输出状态反转：Z 变为高电平，Y 为低电平， $V_{OD}$  是负数。

当  $\overline{DE}$  为低电平时，两个输出都变为高阻态。在这种情况下，与 D 处的逻辑状态无关。 $\overline{DE}$  引脚有一个内部下拉电阻接地；因此，当处于开路状态时，驱动器默认禁用（高阻抗）。D 引脚有一个连接到  $V_{IO}$  的内部上拉电阻器，因此，当启用驱动器且处于开路状态时，输出 Y 变为高电平，Z 变为低电平。

表 7-1. 驱动器功能表

输入	ENABLE	输出		功能
		Y	Z	
H	H	H	L	有源驱动总线高电平
L	H	L	H	有源驱动总线低电平
X	L	Z	Z	驱动器被禁用
X	断开	Z	Z	默认情况下, 驱动器被禁用
断开	H	H	L	默认情况下, 有源驱动总线为高电平

当接收器使能引脚  $\overline{RE}$  为逻辑低电平时, 接收器被启用。当通过  $V_{ID} = V_A - V_B$  公式计算的差分输入电压高于正输入阈值  $V_{TH+}$  时, 接收器输出 R 变为高电平。当  $V_{ID}$  低于负输入阈值  $V_{TH-}$  时, 接收器输出 R 变为低电平。如果  $V_{ID}$  介于  $V_{TH+}$  和  $V_{TH-}$  之间, 则输出是不确定的。

当  $\overline{RE}$  为逻辑高电平或处于开路时, 接收器输出为高阻抗, 与  $V_{ID}$  的幅度和极性无关。当收发器与总线断开 (开路)、总线与其他线路短接 (短路) 或未对总线进行有源驱动 (空闲总线) 时, 接收器输入的内部偏置会导致输出失效防护高电平。

表 7-2. 接收器功能表

差分输入	ENABLE	输出	功能
$V_{ID} = V_A - V_B$	$\overline{RE}$	R	
$V_{TH+} < V_{ID}$	L	H	接收有效总线高电平
$V_{TH-} < V_{ID} < V_{TH+}$	L	?	待定总线状态
$V_{ID} < V_{TH-}$	L	L	接收有效总线低电平
X	H	Z	接收器被禁用
X	断开	Z	默认情况下, 接收器被禁用
开路总线	L	H	失效防护高电平输出
短路总线	L	H	失效防护高电平输出
闲置 (终止) 总线	L	H	失效防护高电平输出

表 7-3 展示了 SLR (压摆率选择) 引脚功能。SLR 具有集成下拉功能, 因此器件保持在高速模式, 直到 SLR 被拉至高电平, 这会限制压摆率并将器件置于低速模式。

表 7-3. SLR 引脚控制

器件	以 SLR 引脚为基准的功能
THVD9491-SP	SLR = 低电平或悬空: 发送器 (TX) 和接收器 (RX) 最大速度均为 50Mbps SLR = 高: TX 和 RX 最大速度都限制为 20Mbps

## 8 应用和实施

### 备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

### 8.1 典型应用

RS-485 总线包含多个并联到总线电缆的收发器。为了消除线路反射，每个电缆末端都用一个端接电阻  $R_T$ ，其值与电缆的特征阻抗  $Z_0$  匹配。这种方法称为并行端接，通常允许在更长的电缆长度上实现更高的数据速率。

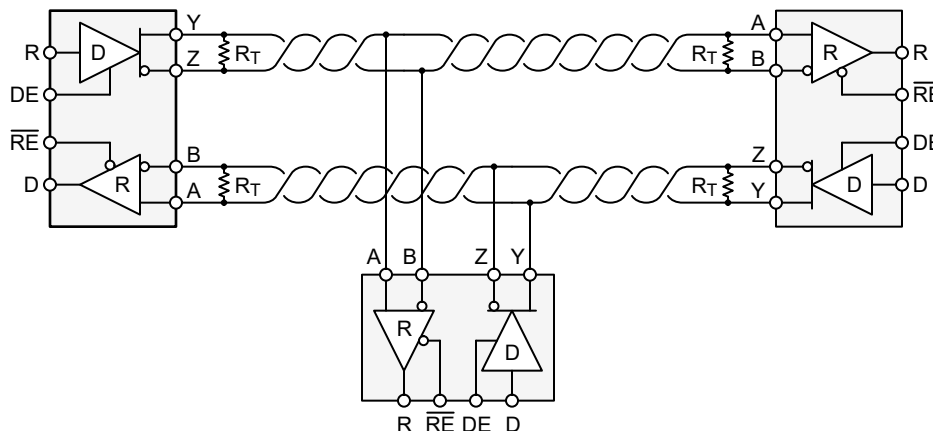


图 8-1. 具有全双工收发器的典型 RS-485 网络

#### 8.1.1 设计要求

RS-485 是一种稳健的电气标准，适用于长距离网络，可用于具有不同要求（例如距离、数据速率和节点数量）的各种应用。

### 8.1.2 详细设计过程

图 8-2 建议使用保护电路来抵御 1kV 浪涌 (IEC 61000-4-5) 瞬变。表 8-1 展示了相关的物料清单。SMAJ30CA TVS 二极管的额定工作电压高达 30V。这可以确保在直接 RS-485 总线与 24V 直流工业电源轨短路时，保护二极管不会导通。

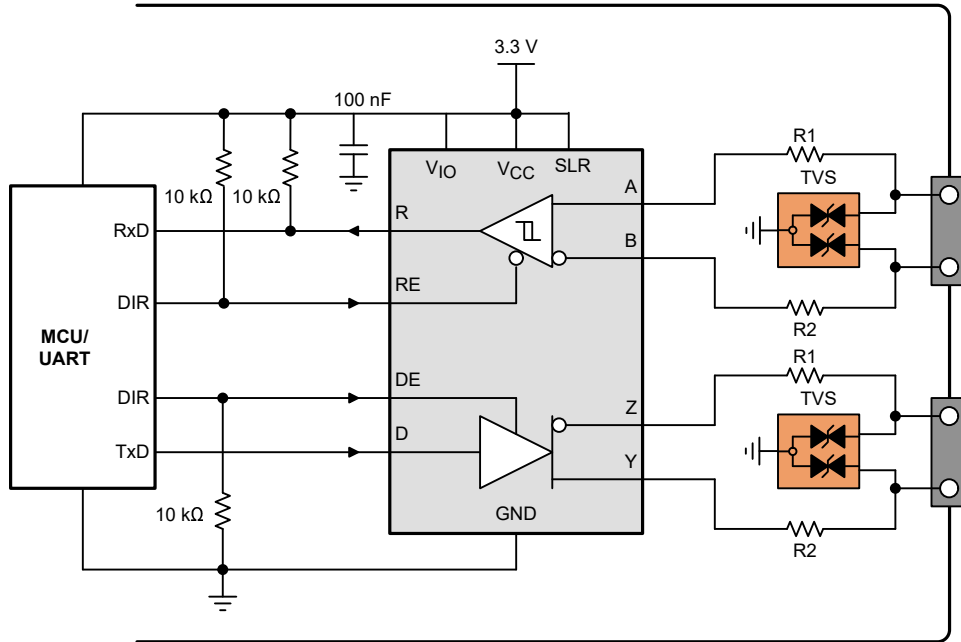


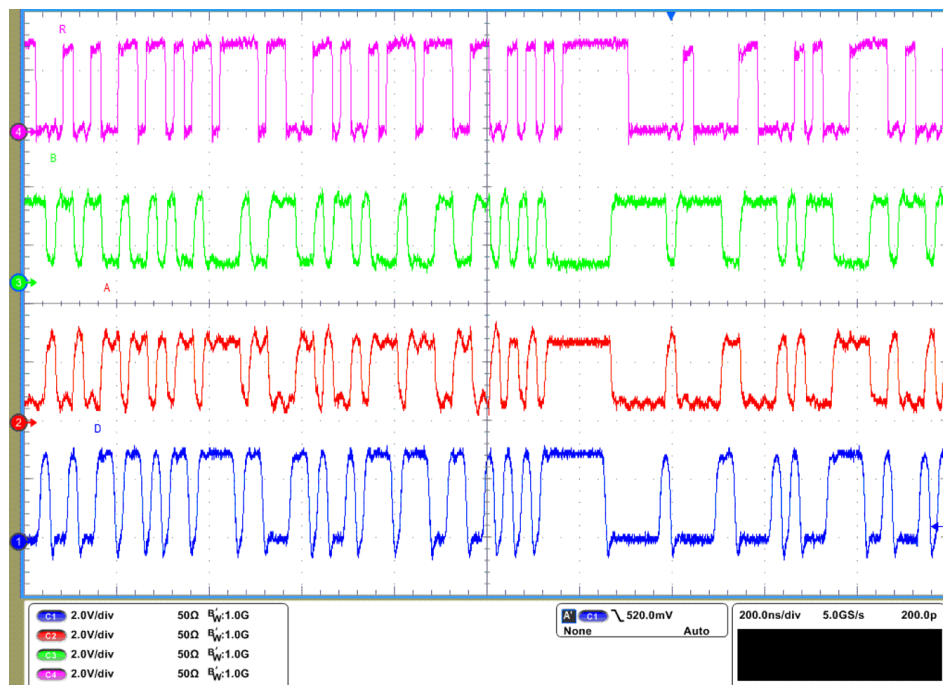
图 8-2. 针对全双工器件的浪涌瞬变的瞬态保护

表 8-1. 元件列表

器件	功能	订货编号	制造商 <sup>(1)</sup>
收发器	RS-485 收发器	THVD9491-SP	TI
TVS	双向 400W 瞬态抑制器	SMAJ30CA	Littelfuse

(1) 请参阅第三方产品免责声明。

### 8.1.3 应用曲线



50Mbps 时的 PRBS 数据

$V_{CC} = V_{IO} = 3.3V$

SLR = GND

$R_L = 50\Omega$

图 8-3. 驱动器输入 (D)、总线 (A/Y、B/Z) 和接收器输出 (R) 波形

### 8.2 电源相关建议

为确保在所有数据速率和电源电压下可靠运行，必须使用 100nF 陶瓷电容对各个电源进行去耦，该电容的位置应尽可能靠近电源引脚。这样有助于减少开关模式电源输出中出现的电源电压波纹，并且有助于补偿 PCB 电源层的电阻和电感。

## 8.3 布局

### 8.3.1 布局指南

稳健而可靠的总线节点设计通常需要使用外部瞬态保护器件，以抑制工业环境中可能出现的浪涌瞬变。因为这些瞬变的频率带宽较宽（大约 3MHz 至 300MHz），因此在 PCB 设计过程中应用了高频布局技术。

1. 将保护电路放置在靠近总线连接器的位置，以防止噪声瞬变在电路板上传播。
2. 使用  $V_{CC}$  和接地平面来提供低电感。请注意，高频电流会选择阻抗最小的路径，而非电阻最小的路径。
3. 将保护元件设计成信号路径的方向。不得将瞬态电流从信号路径强行转移至保护器件。
4. 尽可能靠近电路板上收发器、UART 和/或控制器 IC 的  $V_{CC}$  引脚放置 100nF 至 220nF 的去耦电容器。
5. 当去耦电容器和保护器件连接  $V_{CC}$  和地时，应至少使用两个过孔以更大限度减小实际过孔电感。
6. 使用  $1k\Omega$  至  $10k\Omega$  的上拉和下拉电阻用于使能线路，从而在瞬态事件期间限制这些线路中的噪声电流。
7. 如果 TVS 钳位电压高于收发器总线引脚的指定最大电压，则在 A、B、Y 和 Z 总线线路中插入防脉冲电阻器。这些电阻器可限制进入收发器的剩余钳位电流并防止其锁存。

### 8.3.2 布局示例

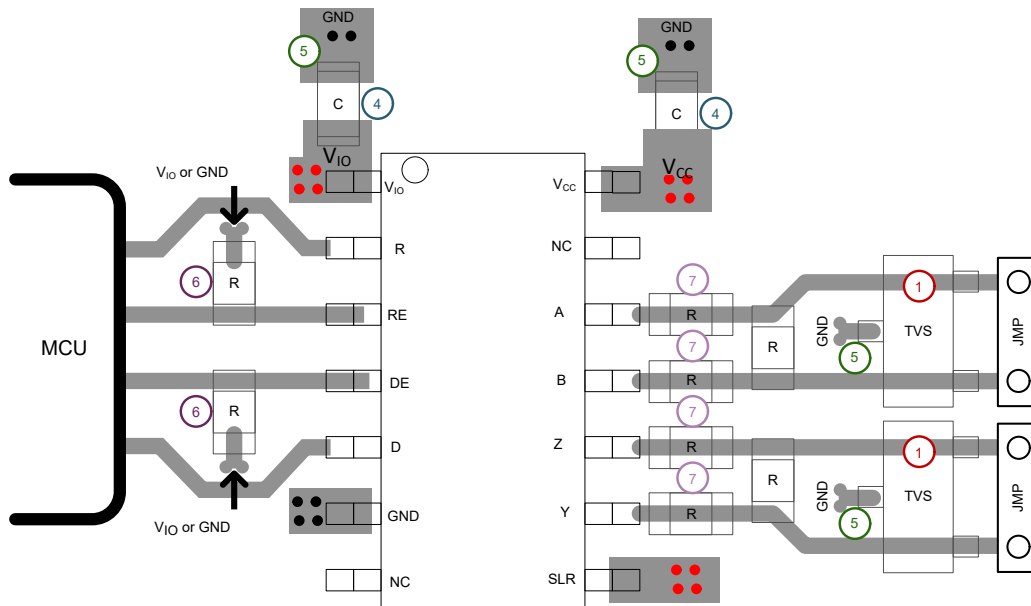


图 8-4. 全双工布局示例

## 9 器件和文档支持

### 9.1 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

### 9.2 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

### 9.3 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

### 9.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

### 9.5 术语表

#### TI 术语表

本术语表列出并解释了术语、首字母缩略词和定义。

## 10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
April 2026	*	初始发行版

## 11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

## 封装选项附录

### 封装信息

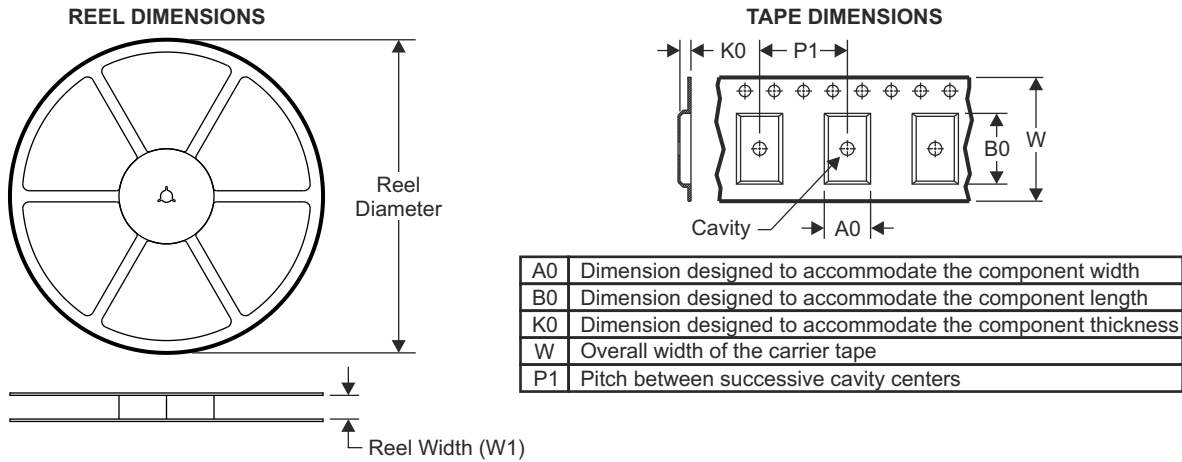
可订购器件型号	状态 <sup>(1)</sup>	材料类型 <sup>(2)</sup>	封装   引脚	包装数量   包装	RoHS <sup>(3)</sup>	引脚镀层/焊球材料 <sup>(4)</sup>	MSL 等级/回流焊峰值温度 <sup>(5)</sup>	工作温度 (°C)	器件标识 <sup>(6)</sup>
PTHVD9491DTSP	运行	预量产	SOIC (D)  14	250   小型 T&R	是	NIPDAU	Level-3-260C-168 HR	-55 至 125	PT9491SP

- (1) **状态**：有关状态的详细信息，请参阅我们的 [产品生命周期](#)。
- (2) **材料类型**：指定时，预量产器件是原型/试验器件，尚未获批或发布以进行全面生产。测试和最终工艺（包括但不限于质量保证、可靠性测试以及/或工艺鉴定）可能尚未完成，并且本器件可能会进一步更改，也可能中断研发。即使可供订购，所购器件仍将可能在结算时被取消，并且所购器件仅可用于早期内部评估。这些器件一经售出，概不提供任何保修。
- (3) **RoHS 值**：是、否、RoHS 豁免。有关更多信息和值定义，请参阅“[TI RoHS 声明](#)”。
- (4) **引脚镀层/焊球材料**：器件可能有多种材料镀层选项。各镀层选项用垂直线隔开。如果铅镀层/焊球值超出最大列宽，则会折为两行。
- (5) **MSL 等级/回流焊峰值温度**：湿敏等级等级和峰值焊接（回流焊）温度。如果器件具有多个湿敏等级，则仅显示符合 JEDEC 标准的最低等级。有关将器件安装到印刷电路板上时采用的实际回流焊温度，请参阅装运标签。
- (6) **器件标识**：器件上可能还有与徽标、批次跟踪代码信息或环境分类相关的其他标识。如有多个器件标识，将用括号括起来。不过，器件上仅显示括号中以“~”隔开的其中一个器件标识。如果某一行缩进，说明该行续接上一行，这两行合在一起表示该器件的完整器件标识。

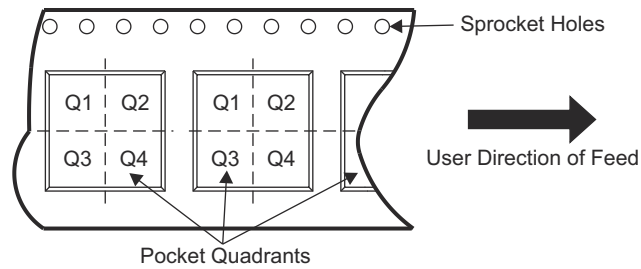
**重要信息和免责声明**：本页面上提供的信息代表 TI 在提供该信息之日的认知和观点。TI 的认知和观点基于第三方提供的信息，TI 不对此类信息的正确性做任何声明或保证。TI 正在致力于更好地整合第三方信息。TI 已经并将继续采取合理的措施来提供有代表性且准确的信息，但是可能尚未对引入的原料和化学制品进行破坏性测试或化学分析。TI 和 TI 供应商认为某些信息属于专有信息，因此可能不会公布其 CAS 编号及其他受限制的信息。

在任何情况下，TI 因此类信息产生的责任决不超过 TI 每年向客户销售的本文档所述 TI 器件的总购买价。

### 11.1 卷带包装信息



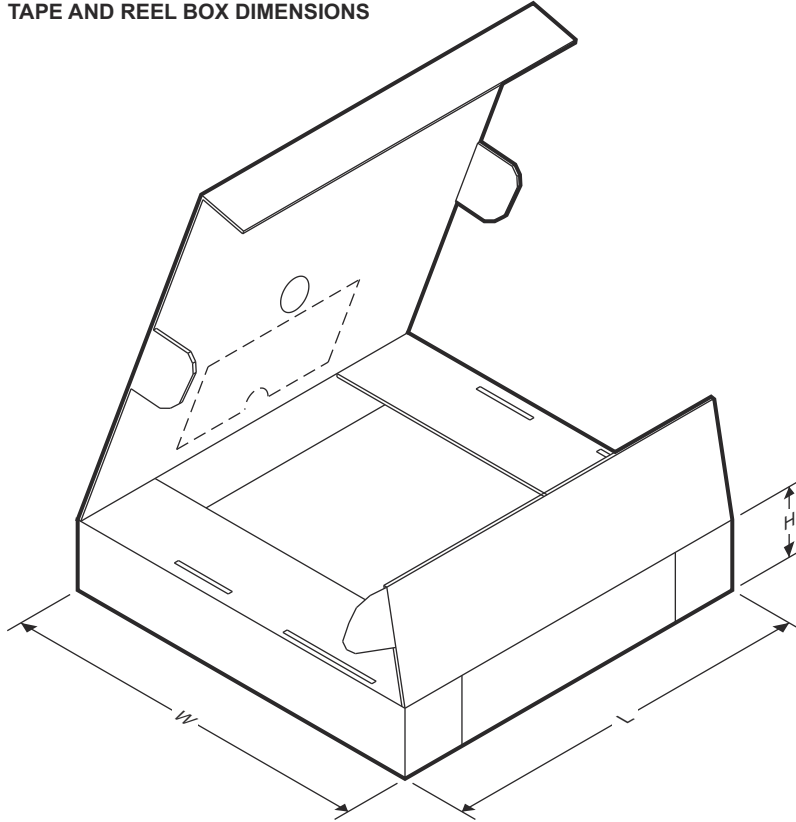
#### QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 象限
PTHVD9491DTSP	SOIC	D	14	250	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

ADVANCE INFORMATION

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
PTHVD9491DTSP	SOIC	D	14	250	353.0	353.0	32.0

ADVANCE INFORMATION

11.2 机械数据

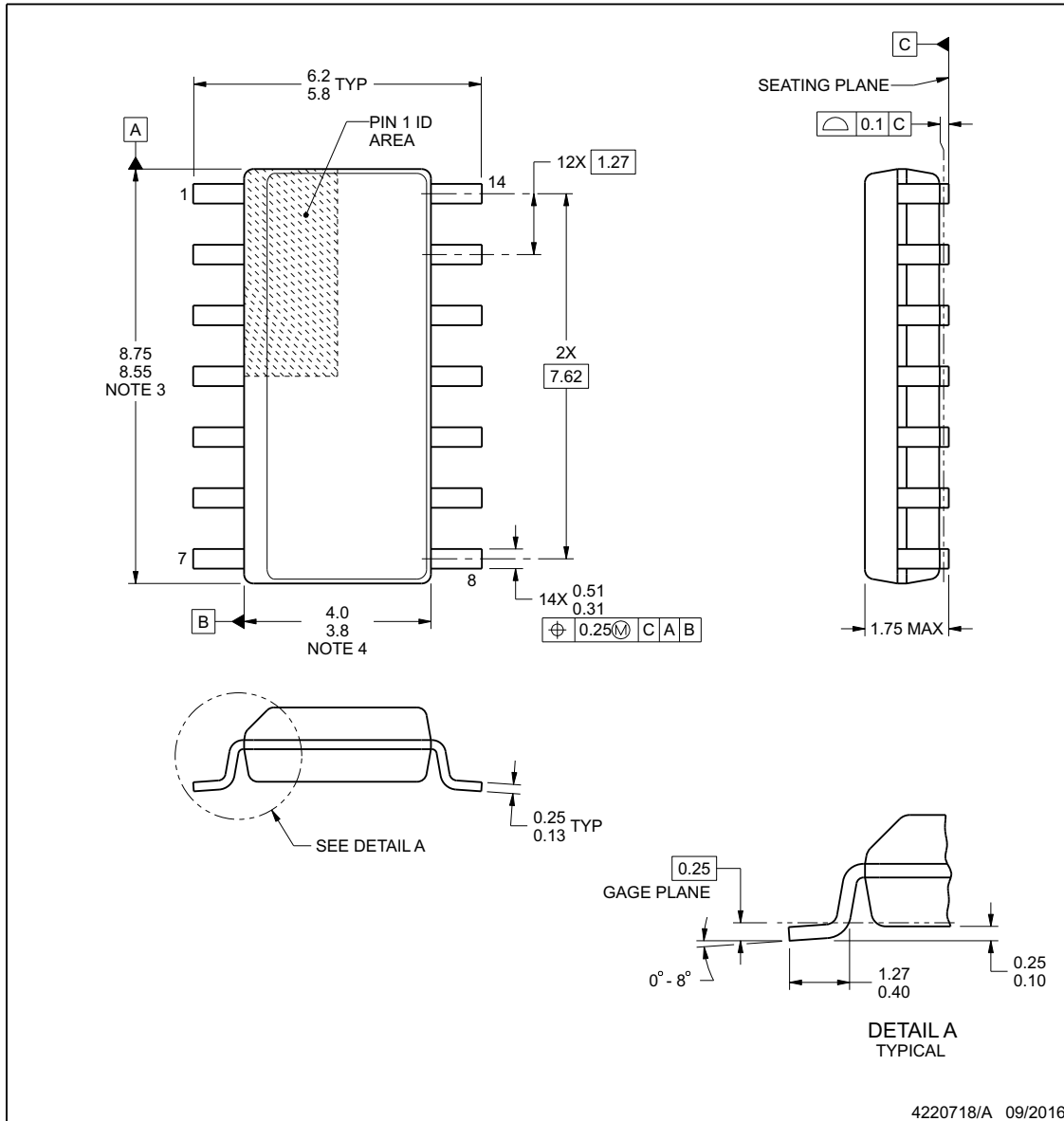
ADVANCE INFORMATION



**D0014A**

**PACKAGE OUTLINE**  
**SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

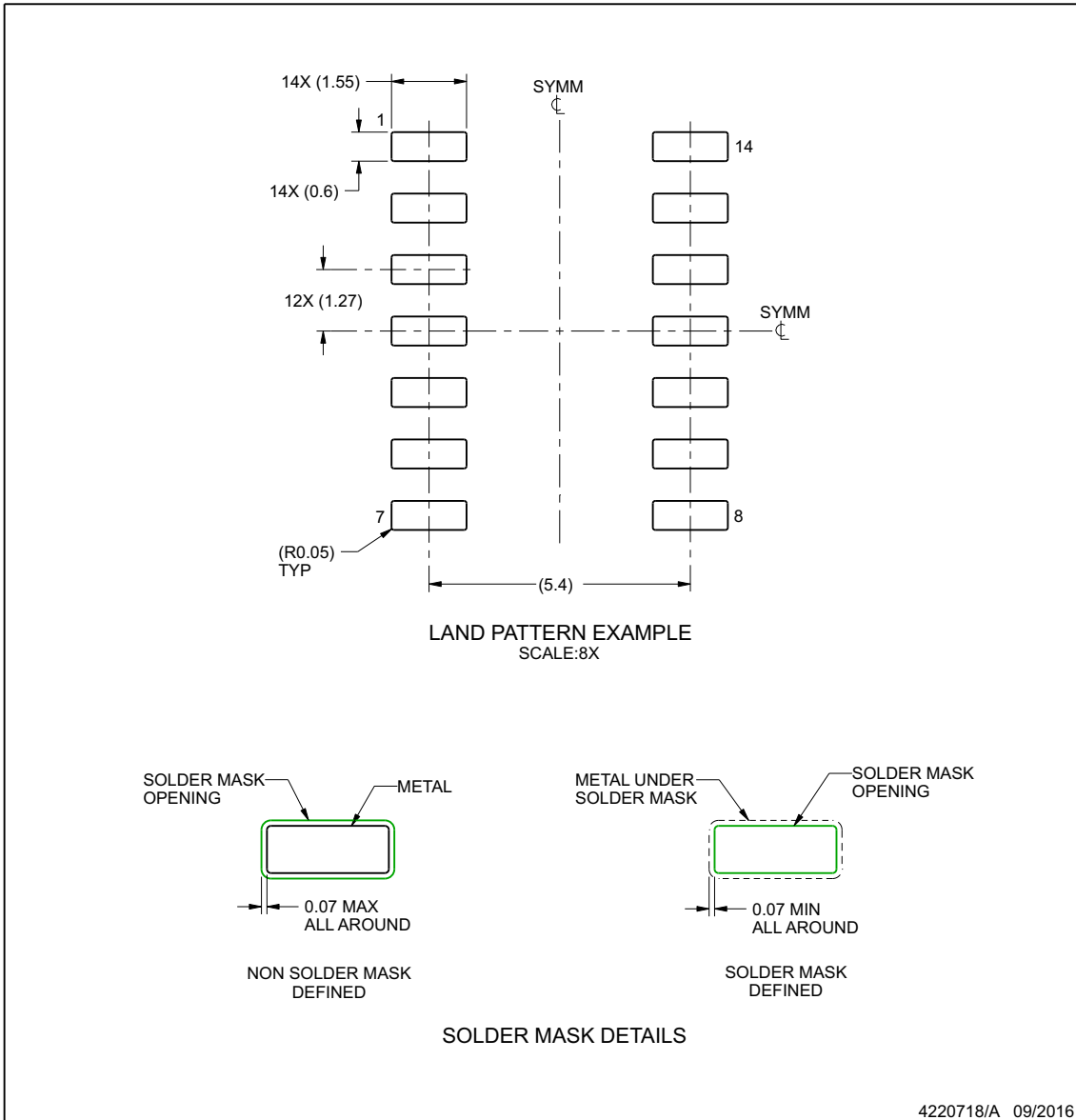
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

## EXAMPLE BOARD LAYOUT

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

www.ti.com

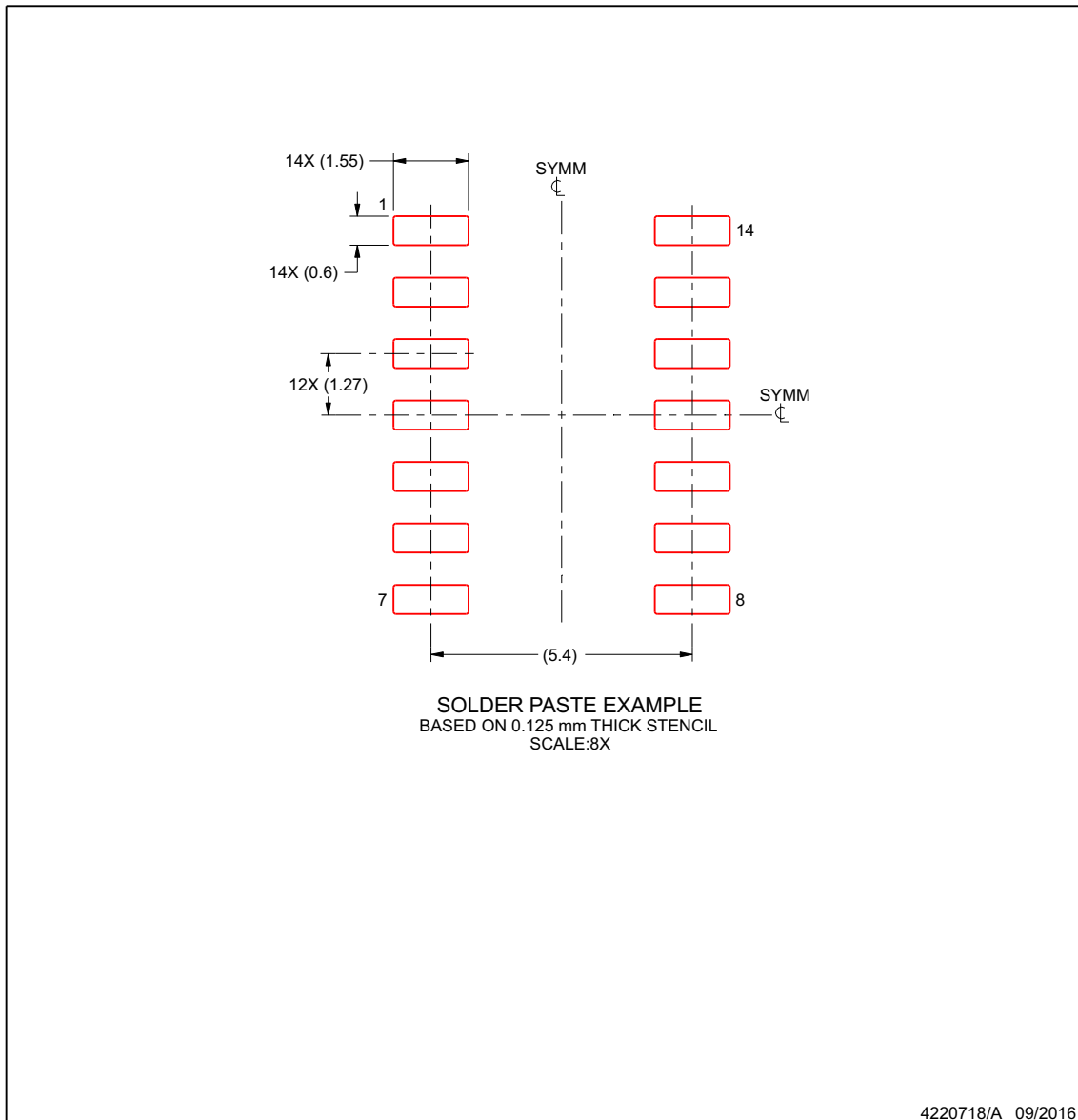
ADVANCE INFORMATION

## EXAMPLE STENCIL DESIGN

**D0014A**

**SOIC - 1.75 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



ADVANCE INFORMATION

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

www.ti.com

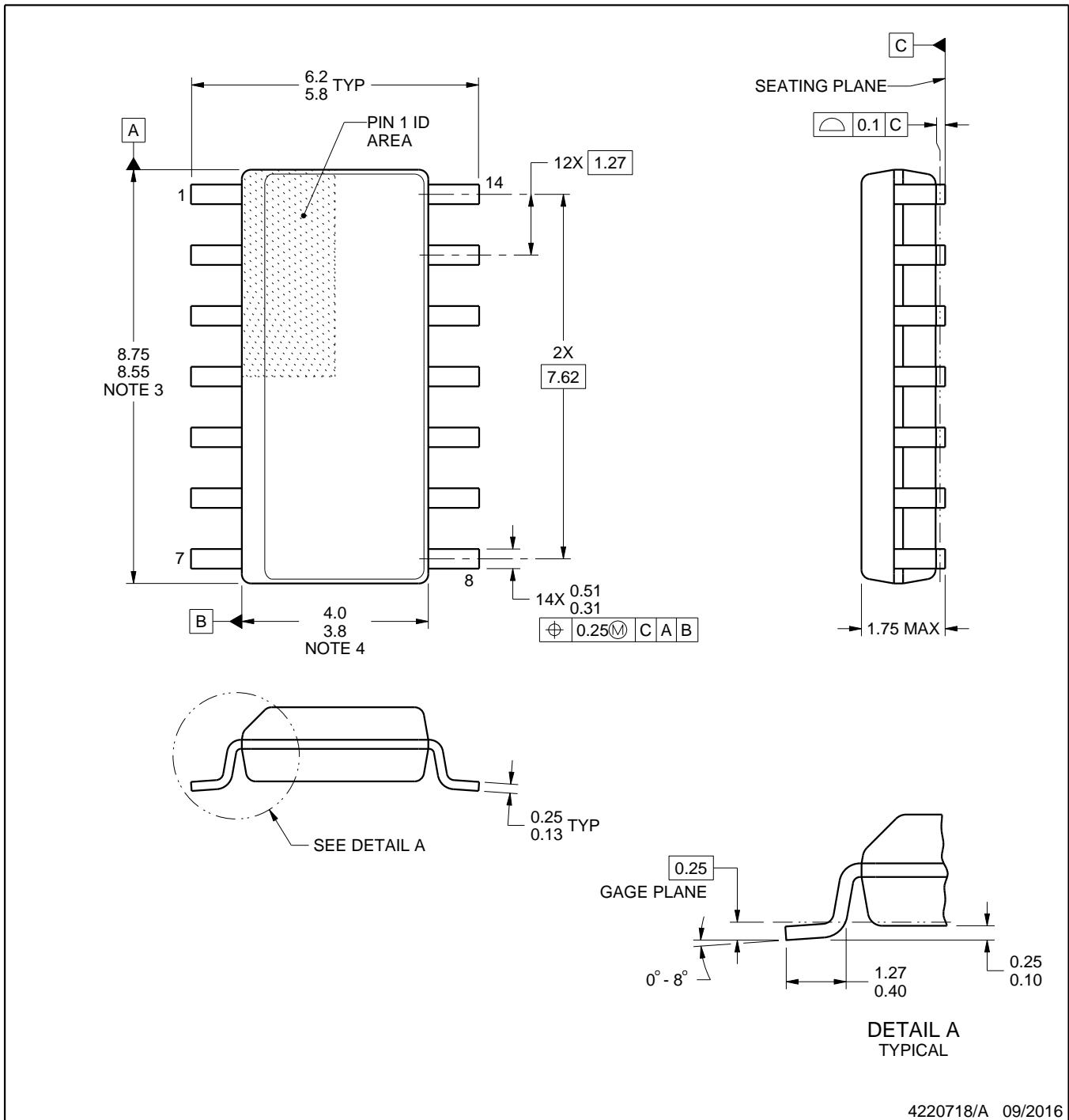
D0014A



# PACKAGE OUTLINE

## SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

# EXAMPLE BOARD LAYOUT

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE  
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE  
BASED ON 0.125 mm THICK STENCIL  
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

## 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月