

THS403x 100MHz 低噪声高速放大器

1 特性

- 超低 1.2nV/√Hz 电压噪声
- 高速：
 - 100MHz 带宽 [G = 2 (-1), -3dB]
 - 100V/μs 压摆率
- 极低失真
 - THD = -81dBc (f = 1MHz, R_L = 150 Ω)
 - THD = -96dBc (f = 1MHz, R_L = 1k Ω)
- 0.3mV (典型值) 低输入失调电压
- 200mA 输出电流驱动 (典型值)
- ±4.5V 至 ±16V 的典型工作电压范围
- THS4031 上的失调电压归零引脚

2 应用

- 适用于工业应用的低噪声宽带放大器
- 压控振荡器
- 有源滤波器
- 视频放大器
- 电缆驱动器
- 超声波扫描仪
- 矢量信号收发器 (VST)
- 数据采集 (DAQ)

3 说明

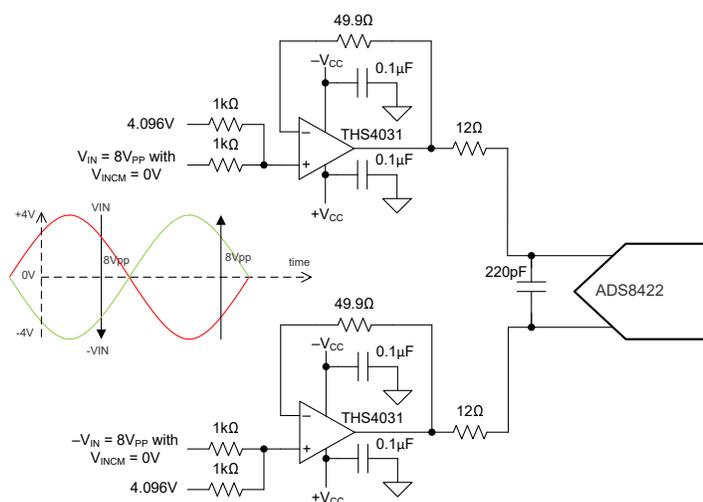
THS4031 和 THS4032 (THS403x) 是超低电压噪声、高速电压反馈放大器，非常适合需要低电压噪声的应用（包括通信和成像）。单路放大器 THS4031 和双路放大器 THS4032 可提供卓越的交流性能，带宽为 100MHz (G = 2)，压摆率为 100V/μs，稳定时间为 70ns (0.1%)。THS403x 具有稳定的单位增益以及 120MHz 的带宽。这些放大器具有 200mA 的高驱动能力，每个通道只消耗 7.5mA 的电源电流。THS403x 在 f = 1MHz 时的总谐波失真 (THD) 为 -96dBc，并具有 1.2nV/√Hz 的超低噪声，专为需要低失真和低噪声的应用（例如缓冲模数转换器）而设计。

封装信息

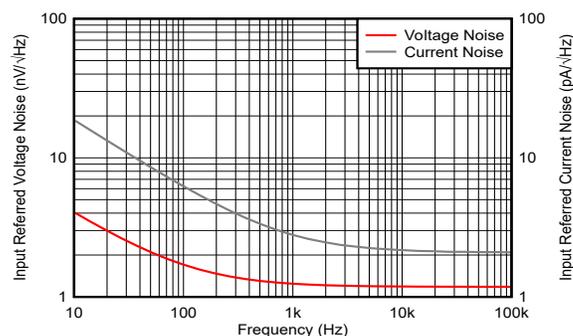
器件型号	放大器	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
THS4031	一个	D (SOIC, 8)	4.9mm × 6mm
		DGN (HVSSOP, 8)	3.0mm × 4.9mm
THS4032	两个	D (SOIC, 8)	4.9mm × 6mm
		DGN (HVSSOP, 8)	3.0mm × 4.9mm

(1) 如需了解更多信息，请参阅节 10。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



适用于 16 位 SAR ADC 的高性能、低噪声驱动器



电压噪声和电流噪声与频率间的关系



内容

1 特性	1	6.3 特性说明.....	18
2 应用	1	6.4 器件功能模式.....	18
3 说明	1	7 应用和实施	19
4 引脚配置和功能	3	7.1 应用信息.....	19
5 规格	5	7.2 典型应用.....	21
5.1 绝对最大额定值.....	5	7.3 电源相关建议.....	24
5.2 ESD 等级.....	5	7.4 布局.....	24
5.3 建议运行条件.....	5	8 器件和文档支持	28
5.4 热性能信息 - THS4031	6	8.1 文档支持.....	28
5.5 热性能信息 - THS4032	6	8.2 接收文档更新通知.....	28
5.6 电气特性 - $R_L = 150\Omega$	7	8.3 支持资源.....	28
5.7 电气特性 - $R_L = 1k\Omega$	9	8.4 商标.....	28
5.8 典型特性.....	11	8.5 静电放电警告.....	28
6 详细说明	17	8.6 术语表.....	28
6.1 概述.....	17	9 修订历史记录	28
6.2 功能方框图.....	17	10 机械、封装和可订购信息	29

4 引脚配置和功能

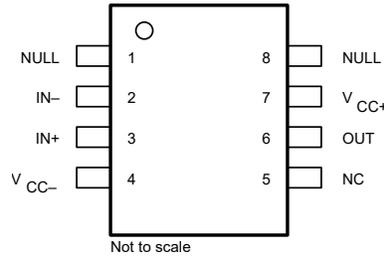


图 4-1. THS4031 : D 封装 8 引脚 SOIC 或 DGN 封装 8 引脚 HVSSOP (顶视图)

表 4-1. 引脚功能 : THS4031

引脚		类型	说明
名称	编号		
IN -	2	输入	反相输入
IN+	3	输入	同相输入
NC	5	—	无连接
NULL	1、8	输入	失调电压调整
OUT	6	输出	放大器的输出
V _{CC-}	4	—	负电源
V _{CC+}	7	—	正电源
散热焊盘	Pad	—	散热焊盘。仅限 DGN (HVSSOP) 封装。为了获得出色的热性能，请将该焊盘连接到一个较大的铜平面。只要散热焊盘上的电压保持在 V _{CC+} 和 V _{CC-} 之间，该散热焊盘可以连接到器件上的任何引脚或电路板上的任何其他电位。

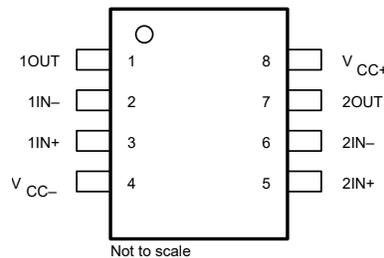


图 4-2. THS4032 : D 封装 8 引脚 SOIC 或 DGN 封装 8 引脚 HVSSOP (顶视图)

表 4-2. 引脚功能 : THS4032

引脚		类型	说明
名称	编号		
1IN -	2	输入	通道 1 反相输入
1IN+	3	输入	通道 1 同相输入
1OUT	1	输出	通道 1 输出
2IN -	6	输入	通道 2 反相输入
2IN+	5	输入	通道 2 同相输入
2OUT	7	输出	通道 2 输出
V _{CC-}	4	—	负电源
V _{CC+}	8	—	正电源

表 4-2. 引脚功能：THS4032（续）

引脚		类型	说明
名称	编号		
散热焊盘	Pad	—	散热焊盘。仅限 DGN (HVSSOP) 封装。为了获得出色的热性能，请将该焊盘连接到一个较大的铜平面。只要散热焊盘上的电压保持在 VCC+ 和 VCC- 之间，该散热焊盘可以连接到器件上的任何引脚或电路板上的任何其他电位。

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) (1)

		最小值	最大值	单位	
V_{CC-} 至 V_{CC+}	电源电压		33	V	
V_I	输入电压		$\pm V_{CC}$	V	
I_O	输出电流(2)		240	mA	
V_{IO}	差分输入电压		± 1.5	V	
I_{IN}	连续输入电流		10	mA	
T_A	自然通风条件下的工作温度范围	C 后缀型号	0	70	°C
		I 后缀型号	-40	85	
T_J	结温	任何条件下		150	°C
		最大结温, 长期持续可靠运行(3)		130	
	10 秒内距离外壳 1.6mm (1/16 英寸) 的引线温度		300	°C	
T_{stg}	贮存温度	-65	150	°C	

- (1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用, 器件可能不会完全正常运行, 这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 当在任何输出电流下持续运行时, 不要超过最高结温。无论时间间隔如何, 都要使输出电流小于绝对最大额定值。
- (3) 针对持续运行的最大结温受到封装的限制。在超过此温度的条件下运行有可能降低器件的可靠性并/或缩短使用寿命。

5.2 ESD 等级

		值	单位	
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准, 所有引脚(1)	± 1000	V
		充电器件模型 (CDM), 符合 JEDEC 规范 JS-002(2)	± 1000	

- (1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	标称值	最大值	单位	
V_{CC}	电源电压	双电源	± 4.5	± 15	± 16	V
		单电源	9	30	32	
T_A	自然通风条件下的工作温度范围	C 后缀型号	0	25	70	°C
		I 后缀型号	-40	25	85	

5.4 热性能信息 - THS4031

热性能指标 ⁽¹⁾		THS4031		单位
		D (SOIC)	DGN (HVSSOP)	
		8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	124.5	60.7	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	65.0	87.4	°C/W
$R_{\theta JB}$	结至电路板热阻	72.2	33	°C/W
Ψ_{JT}	结至顶部特征参数	13.6	7.9	°C/W
Ψ_{JB}	结至电路板特征参数	71.3	32.9	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	不适用	17.2	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用报告。

5.5 热性能信息 - THS4032

热性能指标 ⁽¹⁾		THS4032		单位
		D (SOIC)	DGN (HVSSOP)	
		8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	120.6	52.0	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	62.7	75.2	°C/W
$R_{\theta JB}$	结至电路板热阻	63.9	24.5	°C/W
Ψ_{JT}	结至顶部特征参数	16.2	4.0	°C/W
Ψ_{JB}	结至电路板特征参数	62.2	24.5	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	不适用	9.1	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用报告。

5.6 电气特性 - $R_L = 150\Omega$

$T_A = 25^\circ\text{C}$, $V_{CC} = \pm 15\text{V}$, 且 $R_L = 150\Omega$ 时 (除非另有说明)

参数		测试条件		最小值	典型值	最大值	单位
动态性能							
BW	小信号带宽 (-3dB)	增益 = -1V/V 或 2V/V	$V_{CC} = \pm 15\text{V}$	100			MHz
			$V_{CC} = \pm 5\text{V}$	90			
	0.1dB 平坦带宽	增益 = -1V/V 或 2V/V	$V_{CC} = \pm 15\text{V}$	9			MHz
			$V_{CC} = \pm 5\text{V}$	9			
SR	压摆率 ⁽¹⁾	增益 = -1V/V	$V_{CC} = \pm 15\text{V}$, 20V 阶跃	100			V/ μs
			$V_{CC} = \pm 5\text{V}$, 5V 阶跃	80			
t_s	稳定时间	精度达 0.1%, 增益 = -1V/V	$V_{CC} = \pm 15\text{V}$, 5V 阶跃	70			ns
			$V_{CC} = \pm 5\text{V}$, 2.5V 阶跃	55			
		精度达 0.01%, 增益 = -1V/V	$V_{CC} = \pm 15\text{V}$, 5V 阶跃	90			
			$V_{CC} = \pm 5\text{V}$, 2.5V 阶跃	80			
噪声和失真性能							
THD	总谐波失真	增益 = 2V/V, $V_{CC} = \pm 5\text{V}$ 或 $\pm 15\text{V}$, $f = 1\text{MHz}$, $V_{O(pp)} = 2\text{V}$	THS4031	-81			dBc
			THS4032	-72			
V_n	输入电压噪声	$V_{CC} = \pm 5\text{V}$ 或 $\pm 15\text{V}$, $f > 10\text{kHz}$		1.2			nV/ $\sqrt{\text{Hz}}$
I_n	输入电流噪声	$V_{CC} = \pm 5\text{V}$ 或 $\pm 15\text{V}$, $f > 10\text{kHz}$		2.3			pA/ $\sqrt{\text{Hz}}$
	差分增益误差	增益 = 2V/V, 40 IRE 调制, NTSC 和 PAL, ± 100 IRE 斜坡	$V_{CC} = \pm 15\text{V}$	0.015%			°
			$V_{CC} = \pm 5\text{V}$	0.02%			
	差分相位误差	增益 = 2V/V, 40 IRE 调制, NTSC 和 PAL, ± 100 IRE 斜坡	$V_{CC} = \pm 15\text{V}$	0.025			°
			$V_{CC} = \pm 5\text{V}$	0.03			
	通道间串扰 (仅限 THS4032)	$V_{CC} = \pm 5\text{V}$ 或 $\pm 15\text{V}$, $f = 1\text{MHz}$		-61			dBc
直流性能							
	开环增益	$V_{CC} = \pm 15\text{V}$, $V_O = \pm 10\text{V}$	$T_A = 25^\circ\text{C}$	93	100		dB
			$T_A = \text{全范围}$	92			
		$V_{CC} = \pm 5\text{V}$, $V_O = \pm 2.5\text{V}$	$T_A = 25^\circ\text{C}$	90	98		
			$T_A = \text{全范围}$	89			
V_{OS}	输入失调电压	$V_{CC} = \pm 5\text{V}$ 或 $\pm 15\text{V}$	$T_A = 25^\circ\text{C}$	0.3	2		mV
			$T_A = \text{全范围}$		3		
	失调电压温漂	$V_{CC} = \pm 5\text{V}$ 或 $\pm 15\text{V}$, $T_A = \text{全范围}$		2			$\mu\text{V}/^\circ\text{C}$
I_{IB}	输入偏置电流	$V_{CC} = \pm 5\text{V}$ 或 $\pm 15\text{V}$	$T_A = 25^\circ\text{C}$	9	20		μA
			$T_A = \text{全范围}$		33		
I_{OS}	输入失调电流	$V_{CC} = \pm 5\text{V}$ 或 $\pm 15\text{V}$	$T_A = 25^\circ\text{C}$	30	250		nA
			$T_A = \text{全范围}$		400		
	输入失调电流	$V_{CC} = \pm 5\text{V}$ 或 $\pm 15\text{V}$, $T_A = \text{全范围}$		0.2			nA/ $^\circ\text{C}$
输入特性							
V_{ICR}	共模输入电压范围	$V_{CC} = \pm 15\text{V}$	± 13.5	± 14.3			V
		$V_{CC} = \pm 5\text{V}$	± 3.8	± 4.3			
CMRR	共模抑制比	$V_{CC} = \pm 15\text{V}$, $V_{ICR} = \pm 12\text{V}$	$T_A = 25^\circ\text{C}$	85	95		dB
			$T_A = \text{全范围}$	80			
		$V_{CC} = \pm 5\text{V}$, $V_{ICR} = \pm 2.5\text{V}$	$T_A = 25^\circ\text{C}$	90	100		
			$T_A = \text{全范围}$	85			
R_i	输入电阻		2			M Ω	
C_i	输入电容		1.5			pF	

5.6 电气特性 - $R_L = 150\Omega$ (续)

$T_A = 25^\circ\text{C}$, $V_{CC} = \pm 15\text{V}$, 且 $R_L = 150\Omega$ 时 (除非另有说明)

参数		测试条件		最小值	典型值	最大值	单位
输出特性							
V_O	输出电压摆幅	$V_{CC} = \pm 15\text{V}$, $R_L = 250\Omega$		± 12	± 12.9		V
		$V_{CC} = \pm 5\text{V}$		± 3	± 3.5		
I_O	输出电流 ⁽²⁾	$R_L = 10\Omega$	$V_{CC} = \pm 15\text{V}$	60	200		mA
			$V_{CC} = \pm 5\text{V}$	50	160		
R_O	输出电阻	开环			5		Ω
电源							
I_{CC}	电源电流 (每个放大器)	$V_{CC} = \pm 15\text{V}$	$T_A = 25^\circ\text{C}$		7.5	10	mA
			$T_A = \text{全范围}$			11	
		$V_{CC} = \pm 5\text{V}$	$T_A = 25^\circ\text{C}$		6.5	9	
			$T_A = \text{全范围}$			10.5	
PSRR	电源抑制比	$V_{CC} = \pm 5\text{V}$ 或 $\pm 15\text{V}$	$T_A = 25^\circ\text{C}$	85	95		dB
			$T_A = \text{全范围}$	80			

- (1) 转换率是在 25% 至 75% 的输出电平范围内测量的。
 (2) 当输出负载过大或短路时, 使结温低于绝对最大额定值; 另请参阅 [第 5.1 节](#)。

5.7 电气特性 - $R_L = 1k\Omega$

T_A = 全范围, $V_{CC} = \pm 15V$ 且 $R_L = 1k\Omega$ 时 (除非另有说明)

参数		测试条件		最小值	典型值	最大值	单位
动态性能							
	单位带宽增益积	$V_{CC} = \pm 15V$, 闭环		100 ⁽¹⁾	120		MHz
BW	小信号带宽 (-3dB)	增益 = -1V/V 或 2V/V	$V_{CC} = \pm 15V$	100			MHz
			$V_{CC} = \pm 5V$	90			
	0.1dB 平坦带宽	增益 = -1V/V 或 2V/V	$V_{CC} = \pm 15V$	9			MHz
			$V_{CC} = \pm 5V$	9			
	全功率带宽 ⁽²⁾	$V_{CC} = \pm 15V$, $V_{O(pp)} = 20V$		1.6			MHz
		$V_{CC} = \pm 5V$, $V_{O(pp)} = 5V$		5.1			
SR	压摆率			80 ⁽¹⁾	100		V/ μ s
t_s	稳定时间	精度达 0.1%, 增益 = -1V/V	$V_{CC} = \pm 15V$, 5V 阶跃	70			ns
			$V_{CC} = \pm 5V$, 2.5V 阶跃	55			
		精度达 0.01%, 增益 = -1V/V	$V_{CC} = \pm 15V$, 5V 阶跃	90			
			$V_{CC} = \pm 5V$, 2.5V 阶跃	80			
噪声和失真性能							
THD	总谐波失真	增益 = 2V/V, $V_{CC} = \pm 5V$ 或 $\pm 15V$, $f = 1MHz$, $V_{O(pp)} = 2V$	THS4031	-96			dBc
			THS4032	-90			
直流性能							
	开环增益	$V_{CC} = \pm 15V$, $V_O = \pm 10V$	$T_A = 25^\circ C$	93	100		dB
			$T_A =$ 全范围	92			
		$V_{CC} = \pm 5V$, $V_O = \pm 2.5V$	$T_A = 25^\circ C$	92	98		
			$T_A =$ 全范围	91			
V_{OS}	输入失调电压	$V_{CC} = \pm 5V$ 或 $\pm 15V$	$T_A = 25^\circ C$	0.3		2	mV
			$T_A =$ 全范围			3	
	失调电压温漂	$V_{CC} = \pm 5V$ 或 $\pm 15V$, $T_A =$ 全范围		2			$\mu V/^\circ C$
I_{IB}	输入偏置电流	$V_{CC} = \pm 5V$ 或 $\pm 15V$	$T_A = 25^\circ C$	9		20	μA
			$T_A =$ 全范围			33	
I_{OS}	输入失调电流	$V_{CC} = \pm 5V$ 或 $\pm 15V$	$T_A = 25^\circ C$	30		250	nA
			$T_A =$ 全范围			400	
	输入失调电流漂移	$V_{CC} = \pm 5V$ 或 $\pm 15V$, $T_A =$ 全范围		0.2			nA/ $^\circ C$
输入特性							
V_{ICR}	共模输入电压范围	$V_{CC} = \pm 15V$		± 13.5	± 14.3		V
		$V_{CC} = \pm 5V$		± 3.8	± 4.3		
CMRR	共模抑制比	$V_{CC} = \pm 15V$, $V_{ICR} = \pm 12V$	$T_A = 25^\circ C$	85	95		dB
			$T_A =$ 全范围	80			
		$V_{CC} = \pm 5V$, $V_{ICR} = \pm 2.5V$	$T_A = 25^\circ C$	90	100		
			$T_A =$ 全范围	85			
R_i	输入电阻			2			M Ω
C_i	输入电容			1.5			pF

5.7 电气特性 - $R_L = 1k\Omega$ (续)

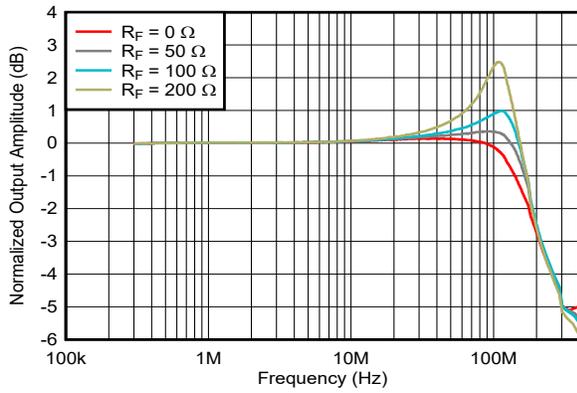
T_A = 全范围, $V_{CC} = \pm 15V$ 且 $R_L = 1k\Omega$ 时 (除非另有说明)

参数		测试条件		最小值	典型值	最大值	单位
输出特性							
V_O	输出电压摆幅	$V_{CC} = \pm 15V$		± 13	± 13.6		V
		$V_{CC} = \pm 5V$		± 3.4	± 3.8		
R_O	输出电阻	开环		5			Ω
电源							
I_{CC}	电源电流 (每个放大器)	$V_{CC} = \pm 15V$	$T_A = 25^\circ C$	7.5	10		mA
			$T_A = \text{全范围}$			11	
		$V_{CC} = \pm 5V$	$T_A = 25^\circ C$	6.5	9		
			$T_A = \text{全范围}$			10	
PSRR	电源抑制比	$V_{CC} = \pm 5V$ 或 $\pm 15V$	$T_A = 25^\circ C$	85	95		dB
			$T_A = \text{全范围}$	80			

- (1) 此最小值未经测试。
 (2) 全功率带宽 = 转换率 / [$\pi V_{O(pp)}$]

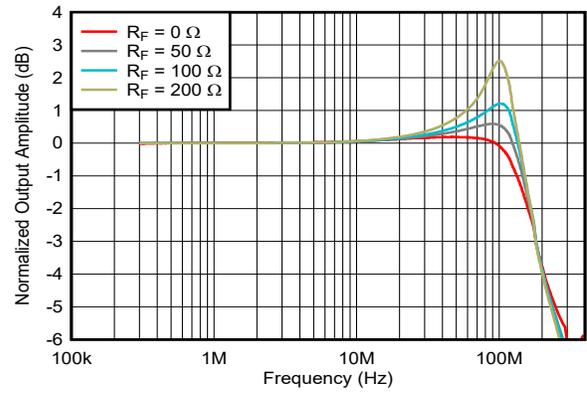
5.8 典型特性

$T_A = 25^\circ\text{C}$, $V_{CC} = \pm 15\text{V}$, 增益 = $+1\text{V/V}$, $R_L = 150\ \Omega$ 且 $R_F = 300\ \Omega$ 时 (除非另有说明)



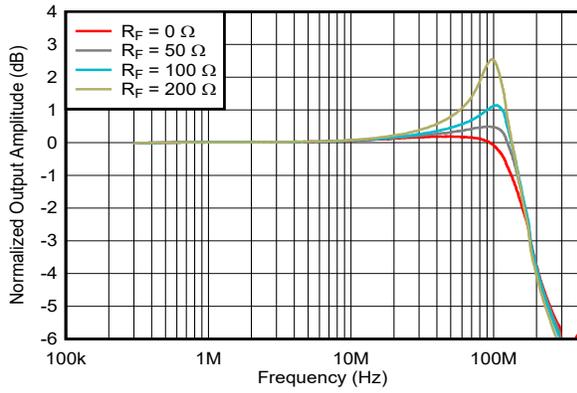
$V_{CC} = \pm 15\text{V}$, $R_L = 150\ \Omega$, $V_{OUT} = 200\text{mV}_{PP}$

图 5-1. 频率响应与反馈电阻间的关系



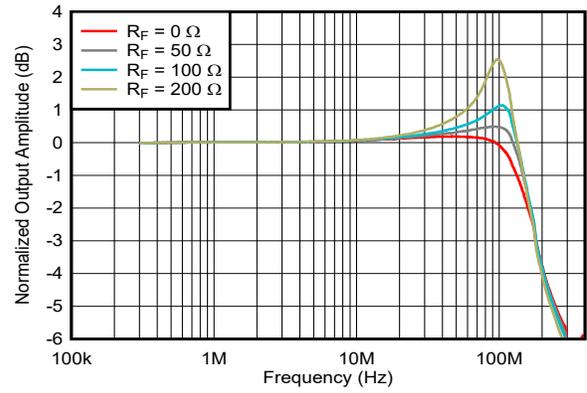
$V_{CC} = \pm 15\text{V}$, $R_L = 1\text{k}\ \Omega$, $V_{OUT} = 200\text{mV}_{PP}$

图 5-2. 频率响应与反馈电阻间的关系



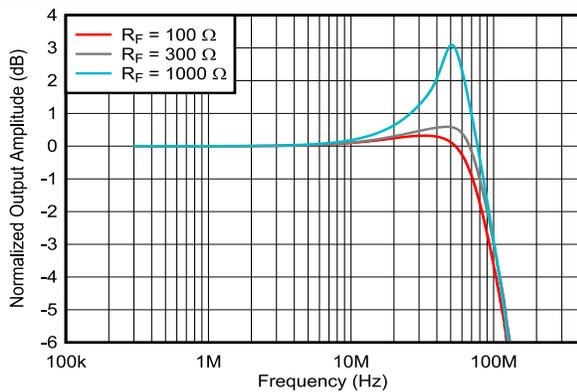
$V_{CC} = \pm 5\text{V}$, $R_L = 150\ \Omega$, $V_{OUT} = 200\text{mV}_{PP}$

图 5-3. 频率响应与反馈电阻间的关系



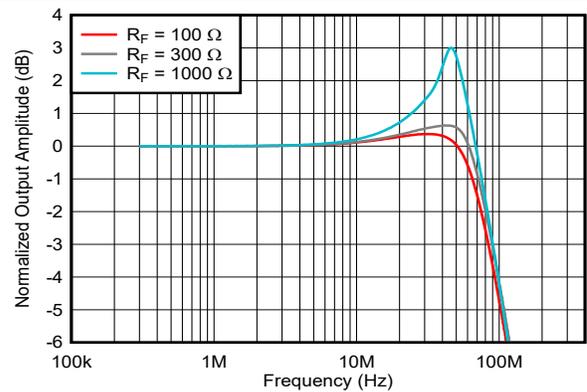
$V_{CC} = \pm 5\text{V}$, $R_L = 1\text{k}\ \Omega$, $V_{OUT} = 200\text{mV}_{PP}$

图 5-4. 频率响应与反馈电阻间的关系



增益 = $+2\text{V/V}$, $V_{OUT} = 400\text{mV}_{PP}$

图 5-5. 频率响应与反馈电阻间的关系



$V_{CC} = \pm 5\text{V}$, 增益 = $+2\text{V/V}$, $V_{OUT} = 400\text{mV}_{PP}$

图 5-6. 频率响应与反馈电阻间的关系

5.8 典型特性 (续)

$T_A = 25^\circ\text{C}$, $V_{CC} = \pm 15\text{V}$, 增益 = $+1\text{V/V}$, $R_L = 150\ \Omega$ 且 $R_F = 300\ \Omega$ 时 (除非另有说明)

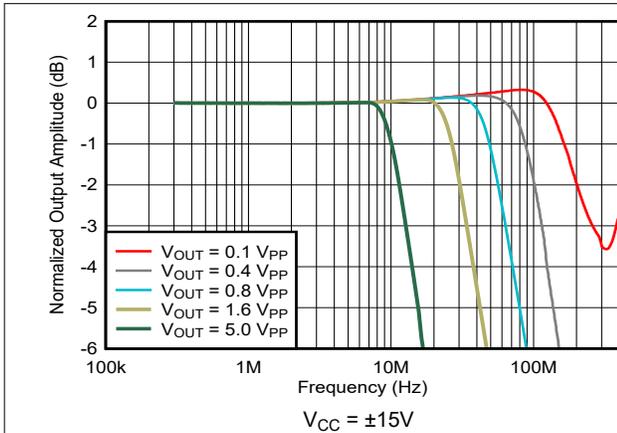


图 5-7. 大信号频率响应

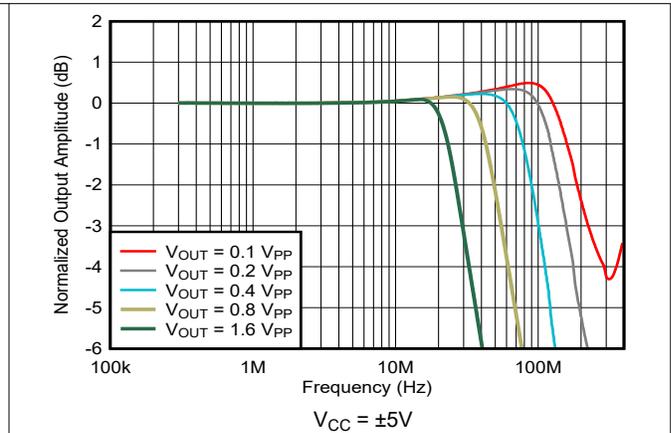


图 5-8. 大信号频率响应

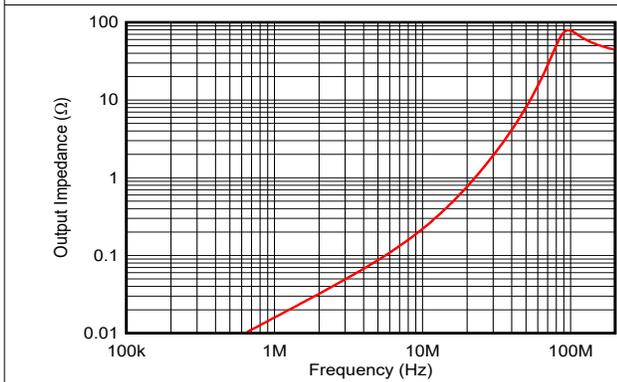


图 5-9. 闭环输出阻抗

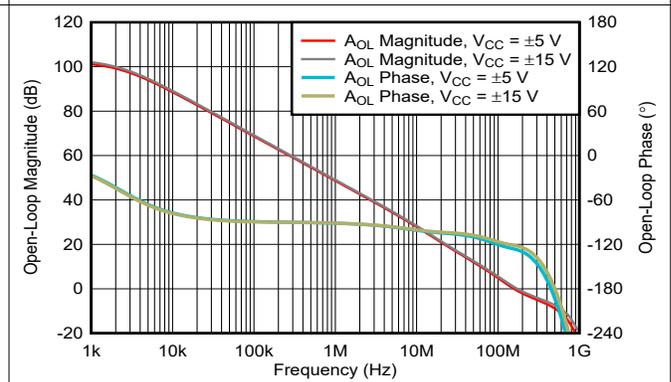


图 5-10. 开环增益与相位响应间的关系

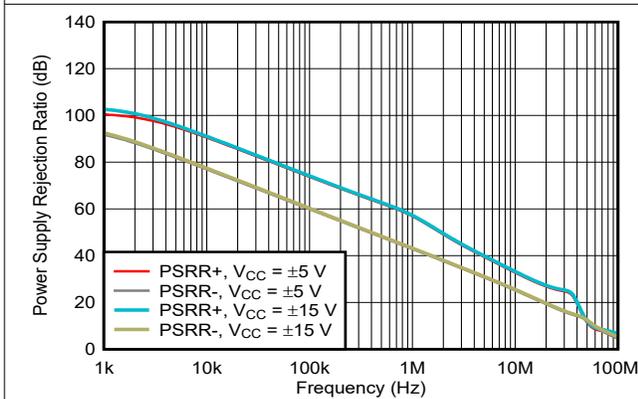


图 5-11. 电源抑制比与频率间的关系

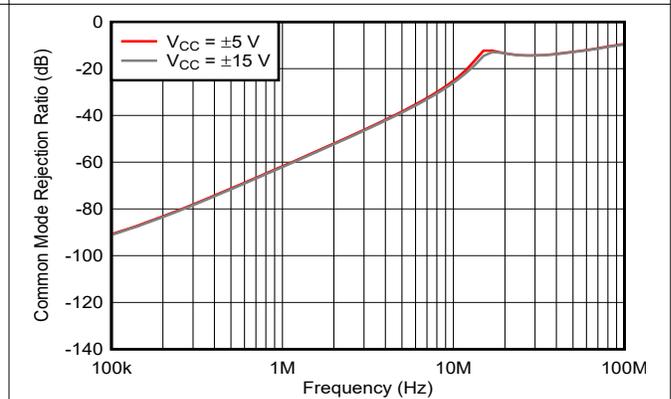


图 5-12. 共模抑制比与频率间的关系

5.8 典型特性 (续)

$T_A = 25^\circ\text{C}$, $V_{CC} = \pm 15\text{V}$, 增益 = $+1\text{V/V}$, $R_L = 150\ \Omega$ 且 $R_F = 300\ \Omega$ 时 (除非另有说明)

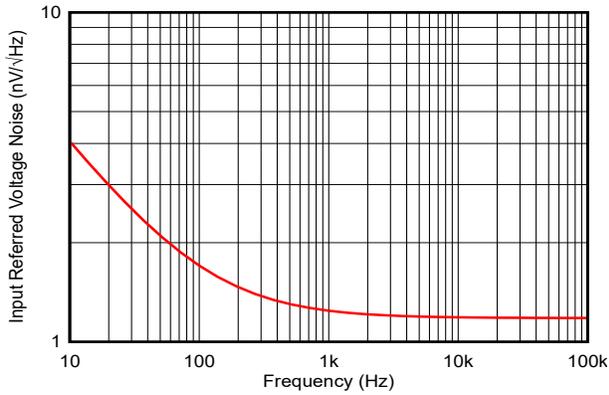


图 5-13. 输入基准电压噪声与频率间的关系

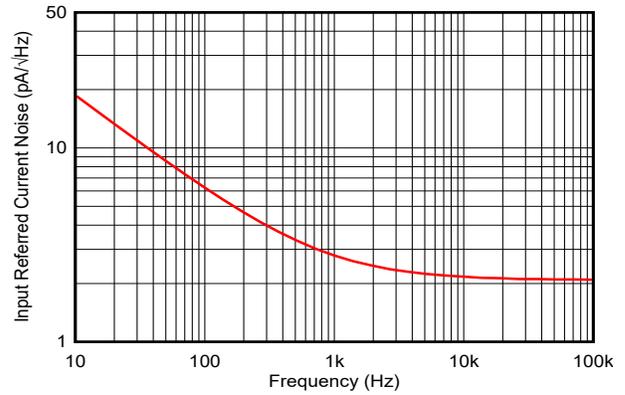
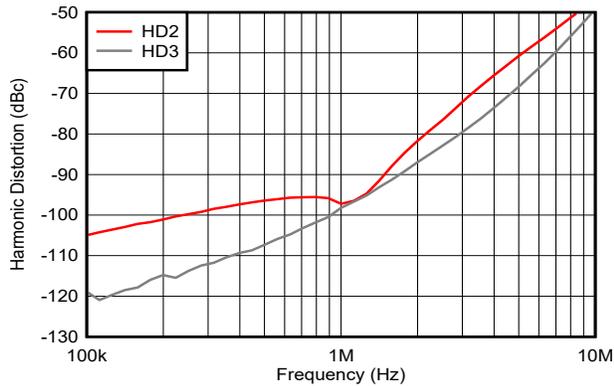
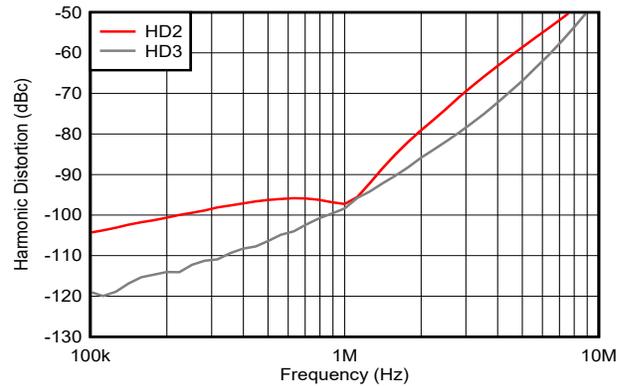


图 5-14. 输入基准电流噪声与频率间的关系



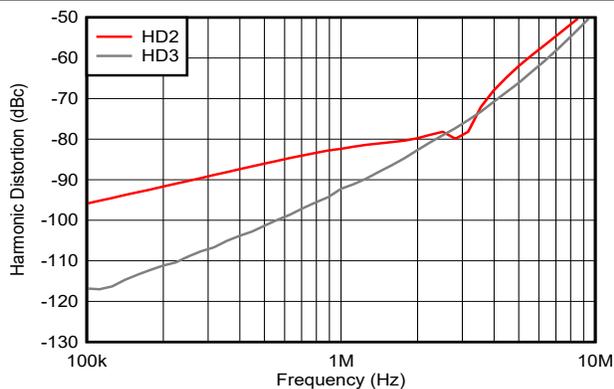
$V_{CC} = \pm 15\text{V}$, 增益 = $+2\text{V/V}$, $R_L = 1\text{k}\ \Omega$, $V_{OUT} = 2\text{V}_{PP}$

图 5-15. THS4031 谐波失真与频率间的关系



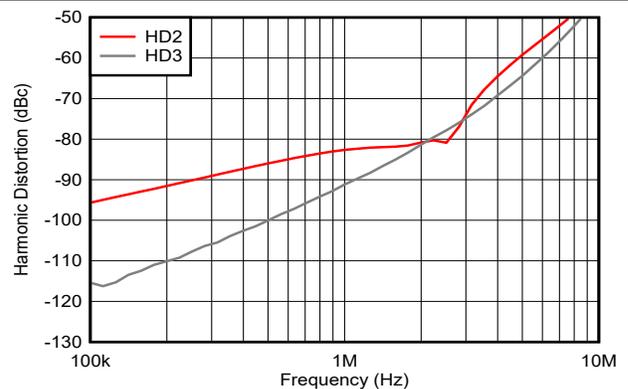
$V_{CC} = \pm 5\text{V}$, 增益 = $+2\text{V/V}$, $R_L = 1\text{k}\ \Omega$, $V_{OUT} = 2\text{V}_{PP}$

图 5-16. THS4031 谐波失真与频率间的关系



$V_{CC} = \pm 15\text{V}$, 增益 = $+2\text{V/V}$, $R_L = 150\ \Omega$, $V_{OUT} = 2\text{V}_{PP}$

图 5-17. THS4031 谐波失真与频率间的关系

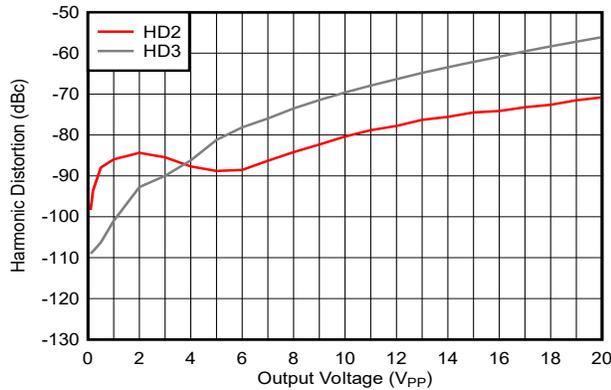


$V_{CC} = \pm 5\text{V}$, 增益 = $+2\text{V/V}$, $R_L = 150\ \Omega$, $V_{OUT} = 2\text{V}_{PP}$

图 5-18. THS4031 谐波失真与频率间的关系

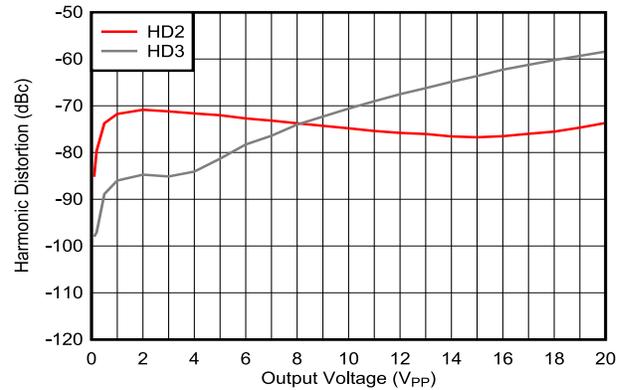
5.8 典型特性 (续)

$T_A = 25^\circ\text{C}$, $V_{CC} = \pm 15\text{V}$, 增益 = $+1\text{V/V}$, $R_L = 150\ \Omega$ 且 $R_F = 300\ \Omega$ 时 (除非另有说明)



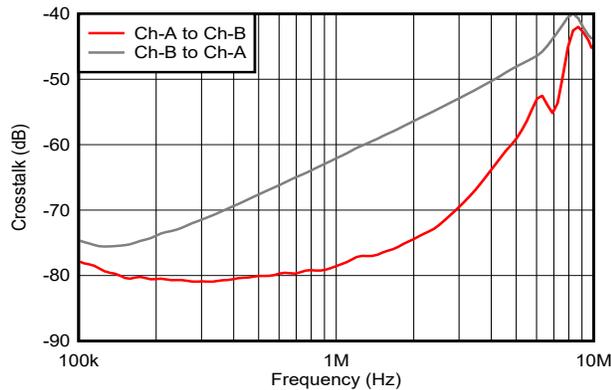
$V_{CC} = \pm 15\text{V}$, 增益 = $+5\text{V/V}$, $R_L = 1\text{k}\ \Omega$, $f = 1\text{MHz}$

图 5-19. 谐波失真与峰间输出电压间的关系



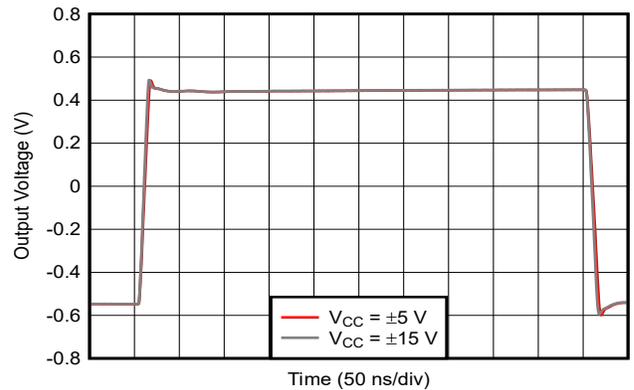
$V_{CC} = \pm 15\text{V}$, 增益 = $+5\text{V/V}$, $R_L = 150\ \Omega$, $f = 1\text{MHz}$

图 5-20. 谐波失真与峰间输出电压间的关系



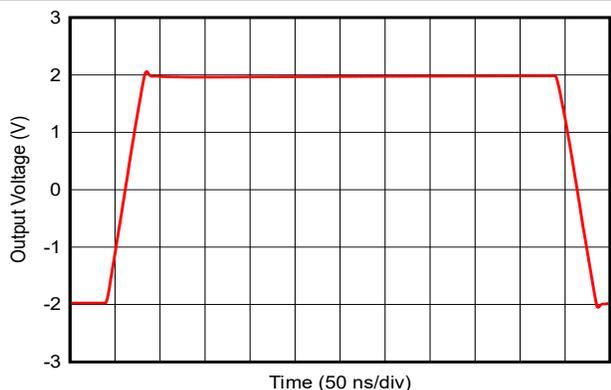
$V_{CC} = \pm 15\text{V}$, 增益 = $+2\text{V/V}$

图 5-21. THS4032 串扰与频率间的关系



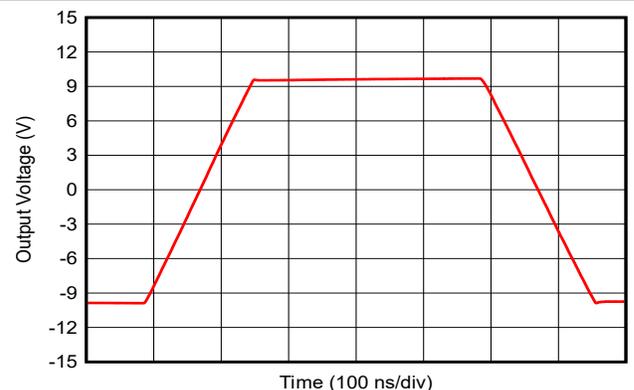
增益 = $+2\text{V/V}$

图 5-22. 1V 阶跃响应



$V_{CC} = \pm 5\text{V}$, 增益 = -1V/V , $R_F = 430\ \Omega$

图 5-23. 4V 阶跃响应



增益 = $+2\text{V/V}$

图 5-24. 20V 阶跃响应

5.8 典型特性 (续)

$T_A = 25^\circ\text{C}$, $V_{CC} = \pm 15\text{V}$, 增益 = $+1\text{V/V}$, $R_L = 150\ \Omega$ 且 $R_F = 300\ \Omega$ 时 (除非另有说明)

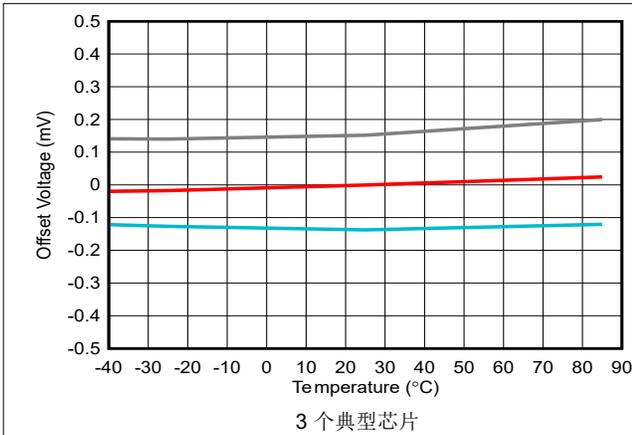


图 5-25. 输入失调电压与环境温度间的关系

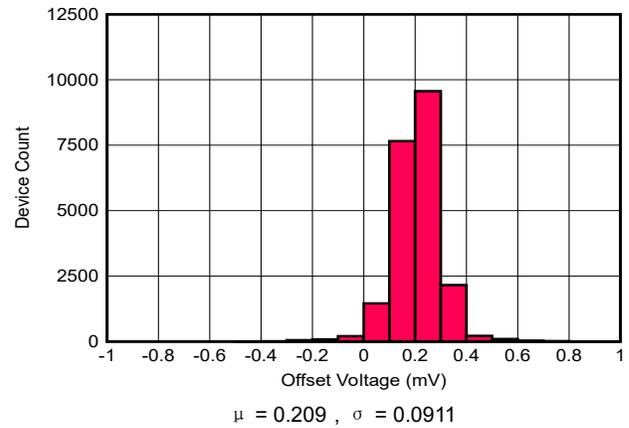


图 5-26. 失调电压分布

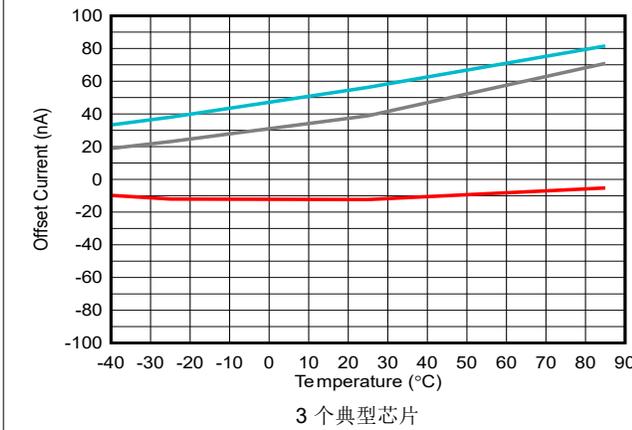


图 5-27. 输入失调电流与环境温度间的关系

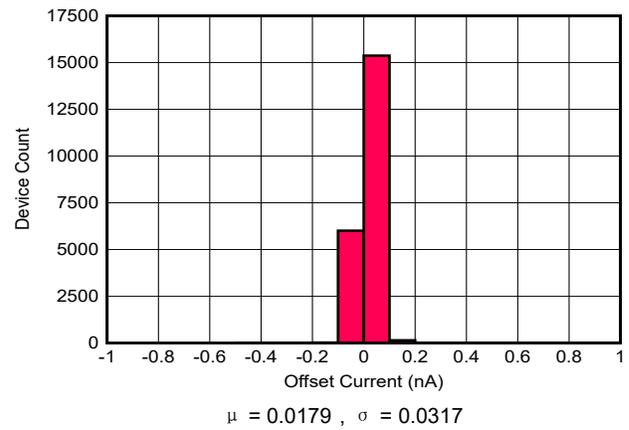


图 5-28. 输入失调电流与环境温度间的关系

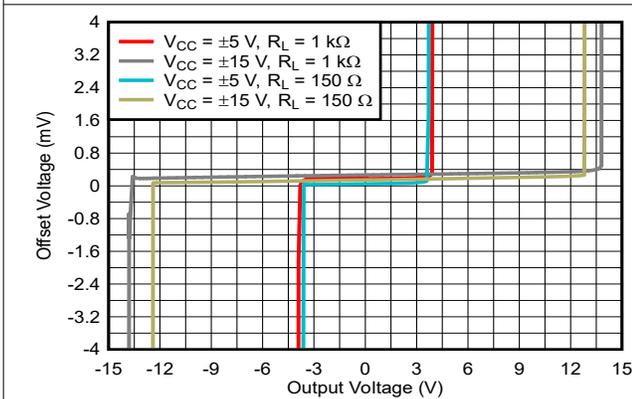


图 5-29. 失调电压与输出电压间的关系

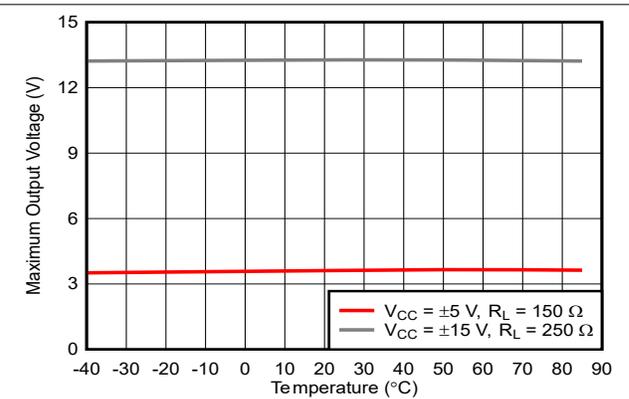
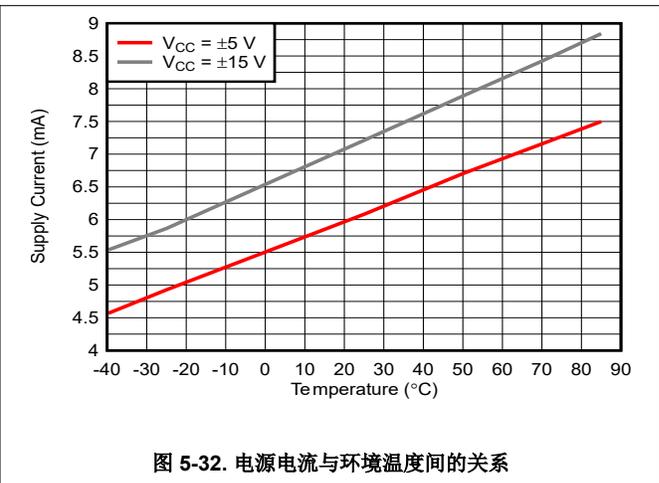
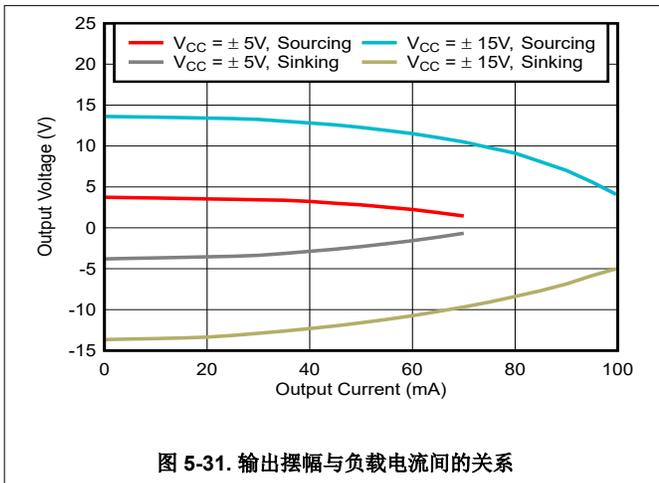


图 5-30. 最大输出电压摆幅与环境温度间的关系

5.8 典型特性 (续)

$T_A = 25^\circ\text{C}$, $V_{CC} = \pm 15\text{V}$, 增益 = $+1\text{V/V}$, $R_L = 150\ \Omega$ 且 $R_F = 300\ \Omega$ 时 (除非另有说明)



6 详细说明

6.1 概述

THS403x 是采用电压反馈架构配置的高速运算放大器。这些放大器采用 30V 互补双极性工艺构建而成，并采用具有几 GHz f_T 的 NPN 和 PNP 晶体管。这种配置可实现具有宽带宽、高压摆率、快速稳定时间和低失真的超高性能放大器。

6.2 功能方框图

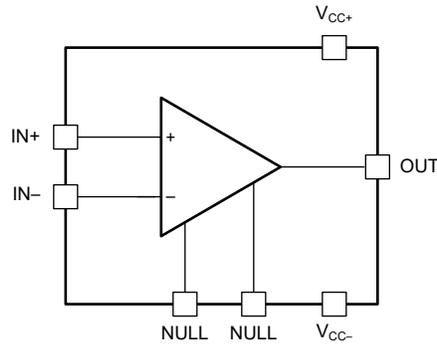


图 6-1. THS4031 : 单通道

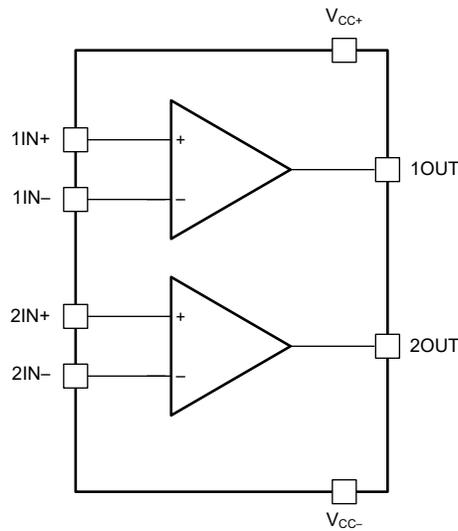


图 6-2. THS4032 : 双通道

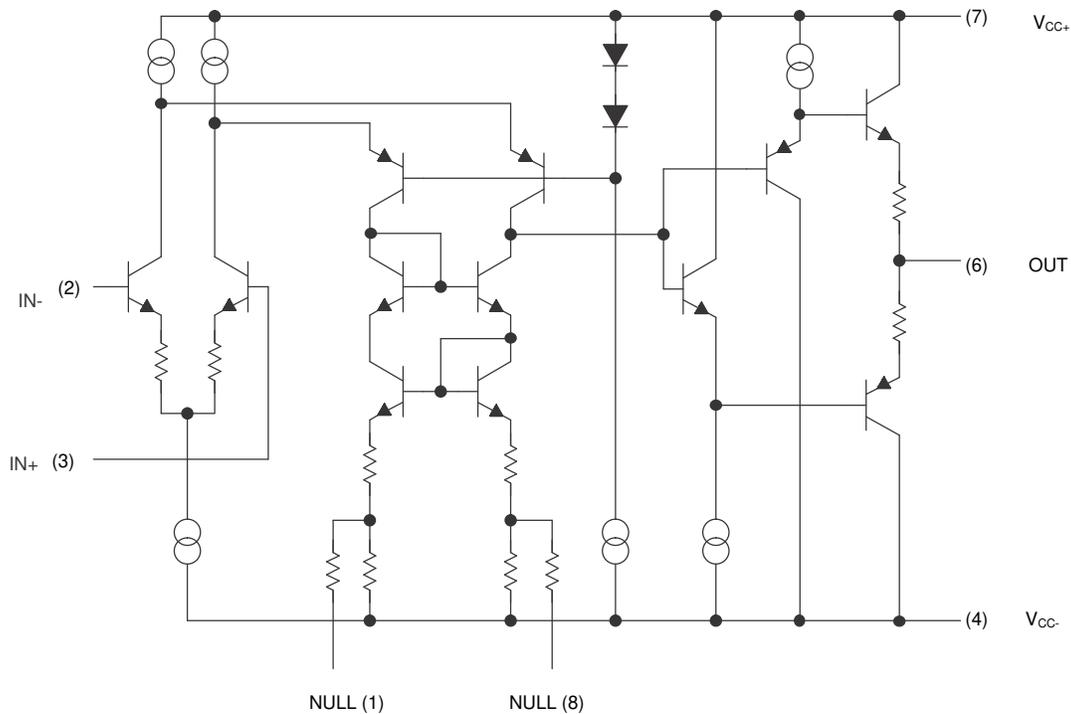


图 6-3. THS4031 简化原理图

6.3 特性说明

6.3.1 失调电压归零

THS403x 具有非常低的输入失调电压，适用于高速放大器。但是，如果需要额外的校正，THS4031 上提供了失调电压归零功能。若要调整输入失调电压，请在器件的引脚 1 和引脚 8 之间放置电位器，并将抽头连接到负电源。图 6-4 展示了此功能。

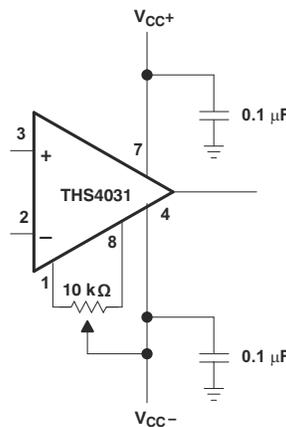


图 6-4. 失调电压归零原理图

6.4 器件功能模式

THS403x 系列具有单功能模式，可使用单电源或分离电源配置。电源电压必须大于 9V ($\pm 4.5V$) 且小于 32V ($\pm 16V$)。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

7.1.1 驱动容性负载

THS403x 器件具有内部补偿功能，可更大限度地提高带宽和压摆率性能。为了保持稳定性，在使用高性能放大器驱动容性负载时采取额外的预防措施。由于内部补偿，直接位于输出节点上的显著容性负载会降低器件的相位裕度，并可能导致高频振铃或振荡。因此，对于大于 10pF 的容性负载，请将隔离电阻与放大器输出端串联。图 7-1 展示了该配置。对于大多数应用，建议最小电阻为 20 Ω 。在 75 Ω 传输系统中，将串联电阻器值设置为 75 Ω 是一个有益的选择，因为该值可隔离任何容性负载并提供源阻抗匹配。

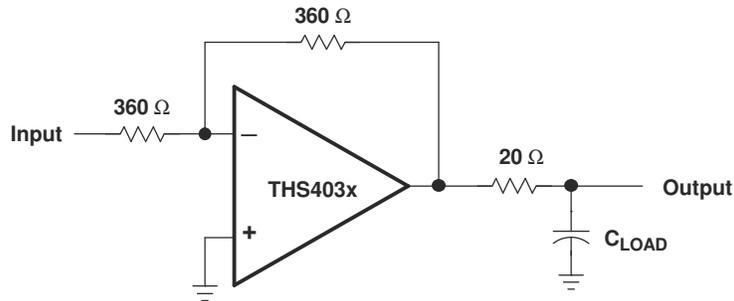


图 7-1. 驱动容性负载

7.1.2 低通滤波器配置

当接收到低电平信号时，经常需要限制即将进入系统的信号的带宽。图 7-2 展示了实现这种限制的最简单方法是在放大器的同相输入脚上放置一个 RC 滤波器。

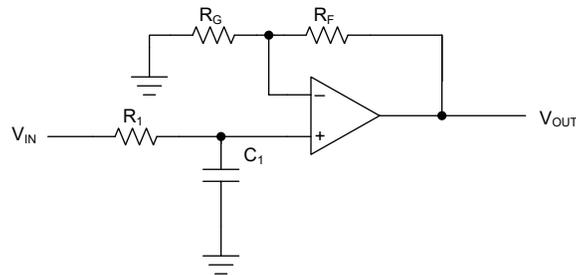


图 7-2. 单极点低通滤波器

$$\frac{V_{OUT}}{V_{IN}} = \left(1 + \frac{R_F}{R_G}\right) \times \left(\frac{1}{1 + sR_1C_1}\right) \quad (1)$$

如果需要在较高频率下增加衰减，则需要多极点滤波器。图 7-3 展示了一种称为 Sallen-Key 滤波器的二阶滤波器的常见实现方案。设计此类滤波器时，请选择带宽大约比所需滤波器带宽大一个数量级的放大器。有关更详细的有源滤波器设计信息，请参阅[有源低通滤波器设计](#)。

假设 $R_1 = R_2 = R$ 且 $C_1 = C_2 = C$ ，则使用[方程式 2](#) 设置滤波器的带宽。

$$f_{3dB} = \frac{1}{2\pi RC} \quad (2)$$

滤波器的 Q 因子可控制小信号频率响应的峰值量和脉冲响应的稳定时间。将 Q 设置为 0.707 可提供具有最大平坦通带的巴特沃斯响应。使用[方程式 3](#) 选择 R_F 与 R_G 的比率以获得所需的 Q 值。

$$\frac{R_F}{R_G} = 2 - \frac{1}{Q} \quad (3)$$

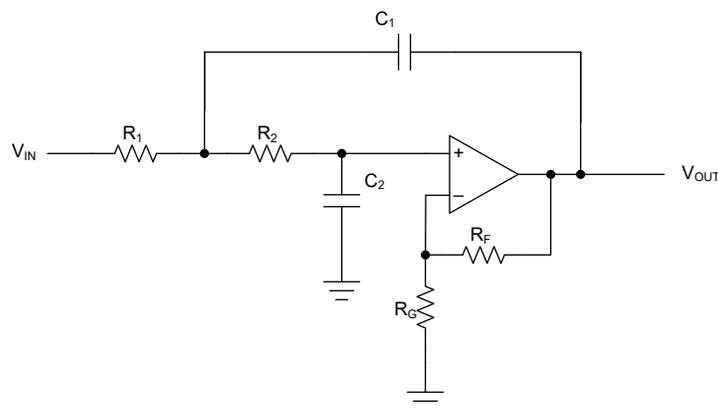


图 7-3. 两极点低通 Sallen-Key 滤波器

7.2 典型应用

本节演示了如何将多个模拟输入信号多路复用到高性能驱动器放大器，而该驱动器随后驱动一个高分辨率、高速 SAR 模数转换器 (ADC)。此示例使用 ADS8411 和 TS5A3159 或 TS5A3359 分别作为 ADC 和多路复用器。此应用使用 THS403x 作为运算放大器。

如图 7-4 中所述，示例系统包括一个 ADC (ADS8411)、一个驱动运算放大器 (THS4031)、一个多路复用器 (TS5A3159)、一个交流电源、一个直流电源以及两个驱动运算放大器。

驱动放大器 OPA1 和 OPA2 显示为两个 THS4031 放大器。或者，使用单个 THS4032 来节省成本和布板空间。这些运算放大器的作用是使输入源为电路的其余部分提供低阻抗。此外，为了保持信号保真度，这些运算放大器必须具有低噪声和低失真。第三个 THS4031 在图 7-4 中标记为 OPA3，用于保持开关速度并驱动 ADC。ADC 之前的无源带通滤波器可减少不必要的噪声。

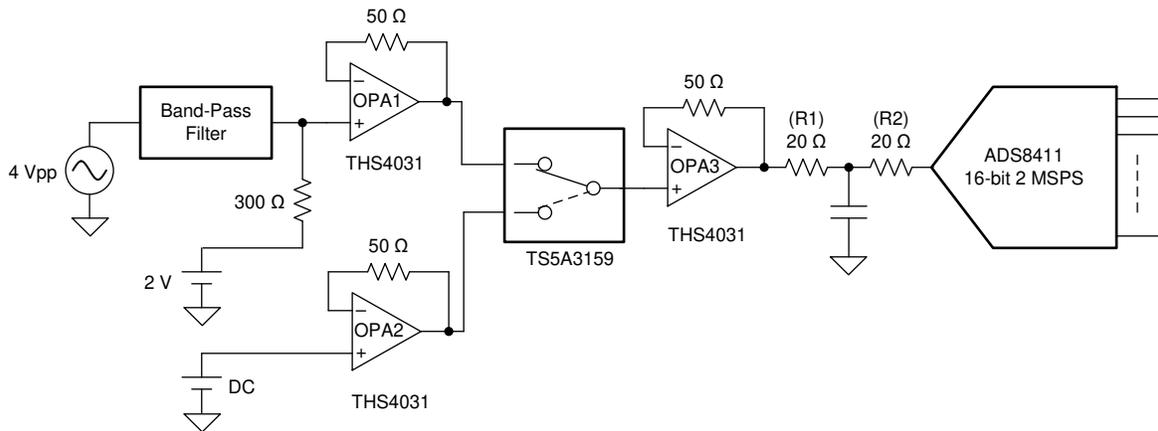


图 7-4. 用于驱动高性能 ADC 的多路复用设置

7.2.1 设计要求

目标是设计具有表 7-1 中所示动态性能的多路复用数字转换器系统。

表 7-1. 设计规格

器件速度 (MSPS)	输入频率 (kHz)	SNR (dB)	THD (dB)	串扰 (dB)
2	20	> 84	< -90	< -110
2	100	> 84	< -90	< -96

7.2.2 详细设计过程

ADS8411 是一款具有 4V 基准电压的 16 位、2MSPS 模数转换器 (ADC)。ADS8411 具有单极单端输入，并包括一个基于电容器的 16 位 SAR ADC，具有固有的采样保持功能。输出是 16 位并行接口。

TS5A3159 是一款单刀双掷 (SPDT) 模拟开关，工作电压范围为 1.65V 至 5.5V。TS5A3159 借助先断后合特性提供低导通状态电阻和出色的导通状态电阻匹配，以防止通道间信号传输过程中的信号失真。此外，TS5A3159 具有出色的总谐波失真 (THD) 性能和低功耗。TS5A3359 是同一开关的单极三投 (SP3T) 版本。

7.2.2.1 多路复用器选择

图 7-5 展示了多路复用器的其中一个通道的等效电路图。 C_S 是通道的输入电容； C_D 是通道的输出电容。 R_{ON} 是通道开启时的通道电阻。 C_L 和 R_L 分别是负载电容和电阻。 V_{IN} 是源的输入电压。 R_S 为源的电阻。 V_{OUT} 是多路复用器的输出电压。

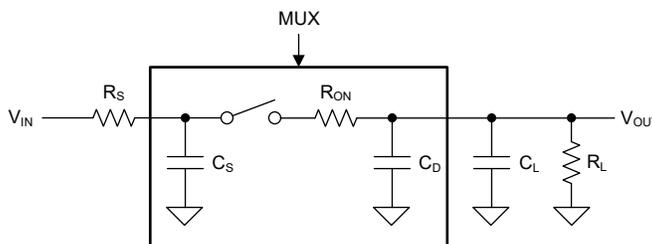


图 7-5. 多路复用器等效电路

当 R_S 、 R_{ON} 、 C_S 、 C_D 和 C_L 的值很小而 R_L 的值较大时，稳定时间会有所改善。

对于 TS5A3159：

- $R_{ON} = 1 \Omega$
- $C_S = C_D = 84 \text{pF}$

外部参数的典型值为

- $R_S = 50 \Omega$
- $C_L = 5 \text{pF}$
- $R_L = 10 \text{k} \Omega$
- T_{RC} (时间常数) = 8.65ns

对于 16 位系统，需要至少 18 位稳定，才能更大幅度地减少稳定伪影导致的失真。对于 18 位稳定，所需的电路响应时间为 $(18 \times \ln 2) \times T_{RC} = 108 \text{ns}$ ，这比 500ns 的 2MSPS 采样时间短。如果稳定时间超过 ADC 的转换时间，多路复用器的输出不会稳定到所需的精度，从而导致失真。

选择多路复用器时要考虑的另一个重要参数是导通状态电阻随电压的变化。这种变化也会影响失真，因为 R_{ON} 和 R_L 的作用类似于电阻分压器电路。 R_{ON} 随电压的任何变化都会影响输出电压。

7.2.2.2 信号源

输入信号源必须是具有低源电阻的低噪声、低失真源。如前一节所述，源电阻也必须较小，才能避免影响稳定时间。如果源不是低噪声和低失真源，可以添加无源带通滤波器来提高信号质量，如图 7-4 中所示。

7.2.2.3 驱动放大器

此应用中的驱动运算放大器（图 7-4 中的 OPA3）必须具有良好的转换率、带宽、低噪声和失真。由于存在多路复用器开关，运算放大器的输入可产生 4V 的最大阶跃。因此，即使信号带宽较低，驱动放大器也必须在一个 ADC 采样帧内以 4V 阶跃稳定下来，以避免信号失真。在本例中，由于选择了 ADC，稳定时间为 500ns。THS4031 运算放大器具有高压摆率和低失真特性，因此是该应用中的不错选择。

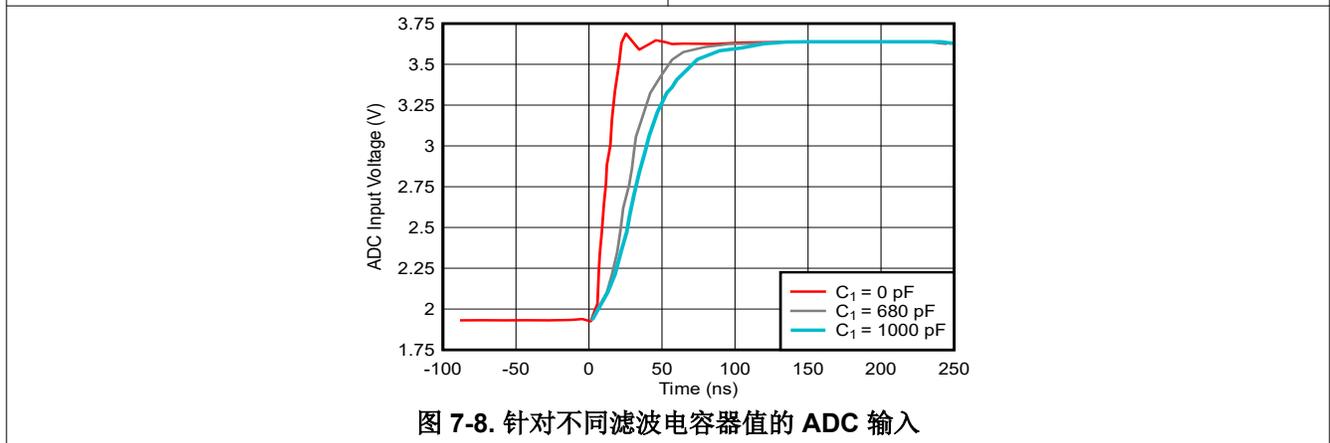
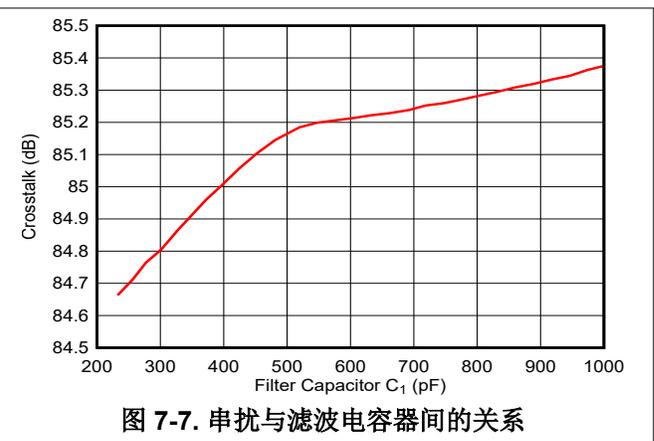
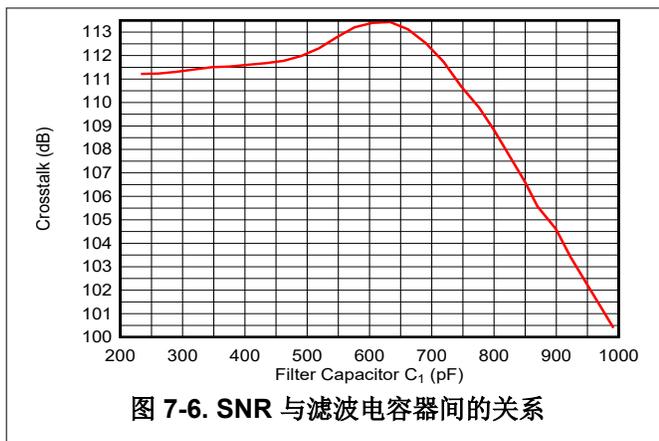
7.2.2.3.1 驱动放大器带宽限制

通过在 ADC 之前包含一个无源 RC 滤波器来限制过度使用带宽，会实现更好的 SNR 和 THD。但是，限制带宽过大会导致运算放大器稳定时间过长。如果放大器输出稳定得不够快，前一通道的一些剩余电荷会保留在下一个采样间隔中，并以串扰的形式出现。解决该稳定问题的一种方法是降低 ADC 的吞吐量。然而，通常选择高采样速率 ADC 以满足获取更高频率信号的需求，从而限制了降低 ADC 吞吐量的自由度。由于这些权衡因素，滤波电容器的选择变得至关重要。图 7-6 和图 7-7 展示了 SNR 和串扰与滤波电容器的函数关系。

图 7-8 展示了采用三个不同滤波电容值时的输入趋稳行为。电容值将变为滤波器带宽。随着滤波器带宽的增加，稳定时间会有所改善，如方程式 4 所示。

$$\text{Filter Bandwidth} \cong \frac{1}{2\pi R_1 C_1} \quad (4)$$

7.2.3 应用曲线



7.3 电源相关建议

THS403x 系列可以使用单电源或双电源运行。选择可为共模输入范围 (CMIR) 指定的电源轨提供所需余量的电源。单电源供电有很多优势。在负电源接地的情况下，由 $-PSRR$ 项造成的直流误差会降到极低。使用低电感电容器对电源进行去耦，以尽可能靠近放大器接地。在具有高速数字信号的电路板上运行时，在数字信号噪声和模拟输入引脚之间提供隔离。使用接地平面时，移除靠近输入敏感引脚的接地平面可减少杂散寄生效应，从而对器件性能产生不利影响。对于双电源供电，两个电源之间的可选电源解耦电容器可改善二次谐波失真性能。

7.4 布局

7.4.1 布局指南

为了达到 THS403x 的高频性能水平，应遵循正确的印刷电路板 (PCB) 高频设计技巧。下面给出了一组通用的准则。此外，还提供 THS403x 评估板作为布局或评估器件性能的指南。

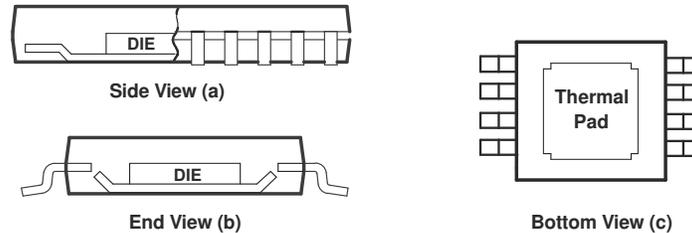
- **接地平面** - 确保电路板上使用的接地平面为所有元件提供低电感接地连接。但是，在放大器输入和输出区域，可移除接地平面以便尽可能减小杂散电容。
- **适当的电源去耦** - 在每个电源引脚上使用一个 $6.8\mu\text{F}$ 钽电容器与一个 $0.1\mu\text{F}$ 陶瓷电容器并联。根据应用情况，可以在若干放大器之间共享钽电容器，但每个放大器的电源引脚上必须始终使用 $0.1\mu\text{F}$ 陶瓷电容器。另外， $0.1\mu\text{F}$ 电容器应尽可能靠近电源引脚放置。随着此距离增大，连接迹线中的电感会使电容器效率降低。力求使器件电源引脚和陶瓷电容器之间的距离小于 0.1 英寸 (2.54mm)。
- **短布线或紧凑型器件安置** - 当杂散串联电感最小时，即可实现出色的高频性能。为了尽可能减少杂散串联电感，使电路布局尽可能紧凑，从而尽量缩短所有布线的长度。特别注意放大器的输入端，尽可能缩短布线长度。此布局有助于尽可能减小放大器输入端的杂散电容。
- **插座** - TI 不建议将插座用于高速运算放大器。插座引脚中的额外引线电感常常会导致稳定性问题。将表面贴装式封装直接焊接到印刷电路板上是最好的实施方式。
- **短布线和紧凑型器件安置** - 当杂散串联电感最小时，即可实现出色的高频性能。为了减少杂散串联电感，电路布局必须尽可能紧凑，从而尽量缩短所有布线的长度。必须特别注意放大器的反相输入端。长度必须尽可能短，以更大限度地减小放大器输入端的杂散电容。

7.4.1.1 通用 PowerPAD™ 集成电路封装设计注意事项

THS403x 采用热增强型 DGN 封装，属于 PowerPAD™ 集成电路封装系列。此封装使用下行引线框构建，芯片安装在此引线框上 [请参阅 图 7-9(a) 和 图 7-9(b)]。这种布置会导致引线框暴露为封装底面上的散热焊盘 [请参阅 图 7-9(c)]。由于散热垫与裸片发生直接热接触，因此通过散热垫提供的良好散热路径可实现出色的散热性能。

借助 PowerPAD 集成电路封装，一次生产操作即可实现组装管理和散热管理。在表面贴装焊接操作（焊接引线时）中，可将散热焊盘焊接在封装底面上的覆铜区域内。通过在此覆铜区域内使用散热路径，可将封装的热量传递到接地平面或其他散热器件上。

PowerPAD 集成电路封装在面积小、组装方便的表面贴装和以往难以处理的散热机械方法之间取得了巨大突破。



注意：散热焊盘与封装中的所有引脚电气隔离。

图 7-9. 热增强型 DGN 封装视图

有很多适用的方法可为此器件散热，下面的步骤展示了推荐的方法。

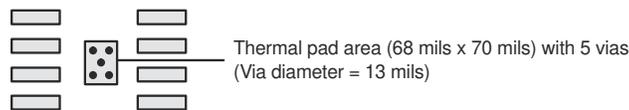
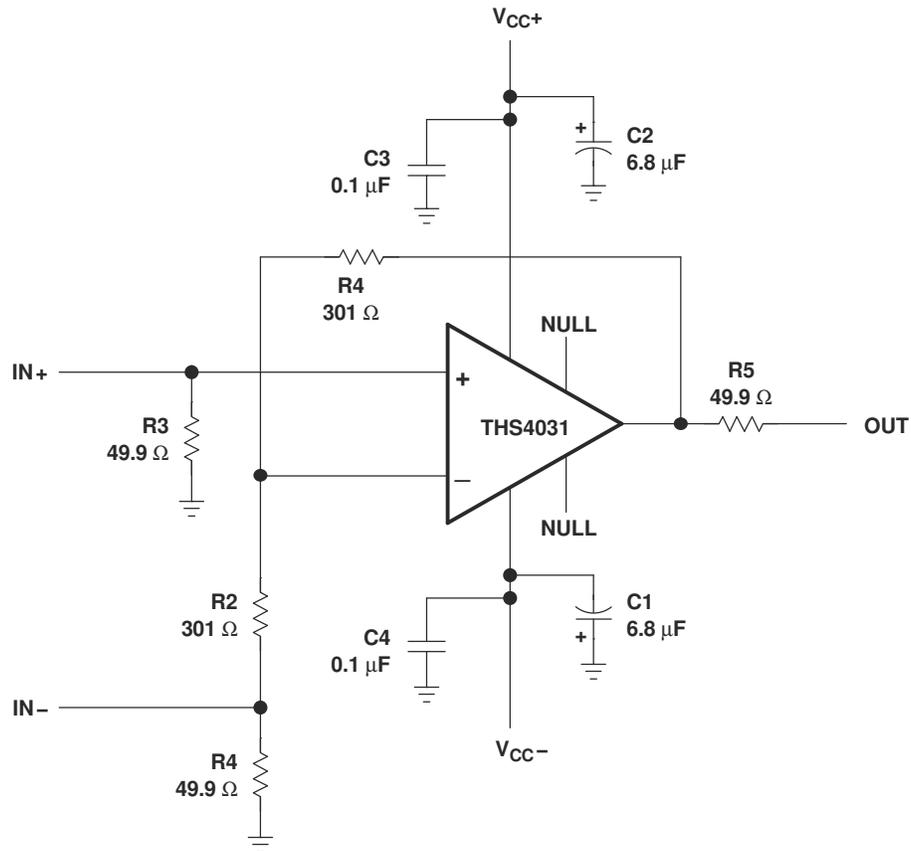


图 7-10. PowerPAD™ PCB 蚀刻和过孔样式

1. 用顶面蚀刻方式准备 PCB，如图 7-10 所示。必须对引线进行蚀刻，还要对散热焊盘进行蚀刻。
2. 在散热焊盘区域放置五个孔。这些孔的直径必须为 13mil (0.3302mm)。确保小孔径是为了保证在回流过程中这些孔可以正常渗锡。
3. 可能需要在散热焊盘区域外沿散热平面的任意位置布置额外的通孔。此操作有助于耗散 THS403x 器件产生的热量。额外的过孔可以具有任意直径，因为在散热焊盘区域之外不会出现渗锡问题。
4. 将所有孔连接到内部接地平面。
5. 将这些孔连接到接地平面时，*请勿*使用典型网络或通过连接方法。网络连接具有高热阻连接，这对于减慢焊接作业中的热传递非常有用。这简化了具有平面连接的通孔的焊接操作。然而，在这种应用中，最高效的热传递需要低热阻。因此，THS403x 封装下的孔必须连接到内部接地平面，该平面在整个通孔一周具有完整连接。
6. 顶部阻焊层必须使封装引脚和具有五个孔的散热焊盘区域处于暴露状态。底部阻焊层必须覆盖散热焊盘区域的五个孔，从而防止在回流过程中焊料从散热焊盘区域流走。
7. 将焊锡膏涂抹在暴露的散热焊盘区域内和所有器件引脚上。
8. 这些准备过程完成后，即可将 THS403x 器件放置就位，然后像针对所有标准表面贴装元件那样实施焊料回流操作。

7.4.2 布局示例



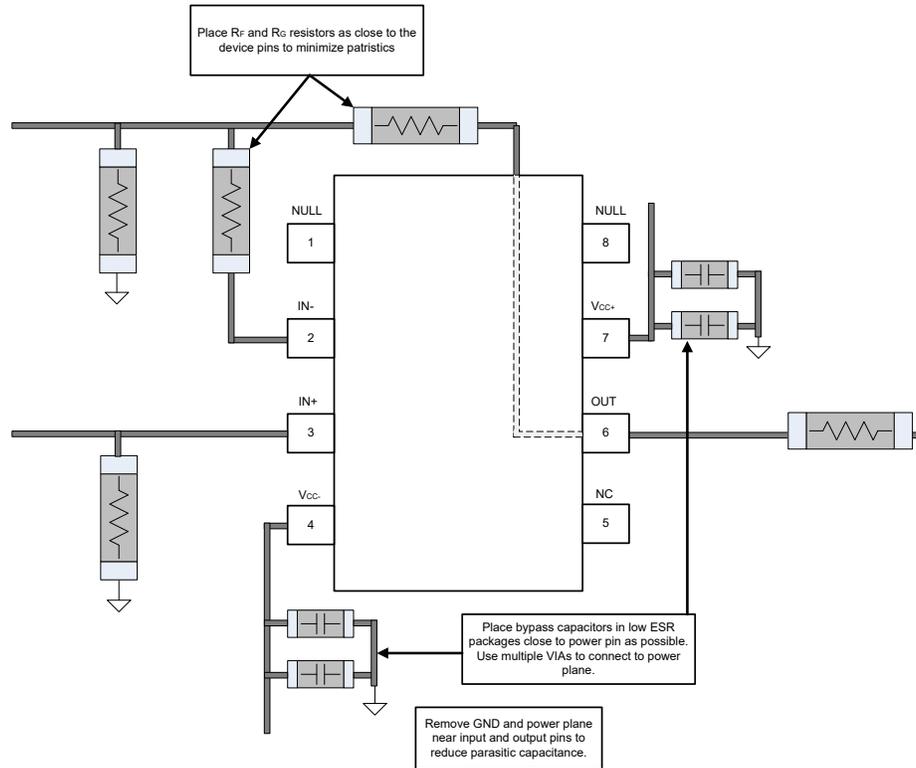


图 7-11. 布局建议

8 器件和文档支持

8.1 文档支持

8.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI), [高速运算放大器噪声分析](#) 应用报告
- 德州仪器 (TI), [PowerPAD™ 热增强型封装](#) 应用报告
- 德州仪器 (TI), [THS4031 高速运算放大器 EVM](#) 用户指南
- 德州仪器 (TI), [THS4032 双路高速运算放大器 EVM](#) 用户指南

8.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.4 商标

PowerPAD™ and TI E2E™ are trademarks of Texas Instruments.

所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision K (May 2024) to Revision L (July 2024)	Page
向表 4-1 和 4-2 中增加了散热焊盘信息.....	3
更新了热性能信息：采用 D 和 DGN 封装的 THS4032	6
将标题 电气特性 - THS4031, $R_L = 150\Omega$ 更改为 电气特性 - $R_L = 150\Omega$	7
将 THS4032 的总谐波失真从 电气特性 - THS4032, $R_L = 150\Omega$ 移到 电气特性 - $R_L = 150\Omega$	7
将通道间串扰从 电气特性 - THS4032, $R_L = 150\Omega$ 移到 电气特性 - $R_L = 150\Omega$	7
删除了 电气特性 中的电源电压.....	7
将标题 电气特性 - THS4031, $R_L = 1k\Omega$ 更改为 电气特性 - $R_L = 1k\Omega$	9
将 THS4032 的总谐波失真从 -96dBc 更改为 -90dBc，并从 电气特性 - THS4032, $R_L = 1k\Omega$ 移到 电气特性 - $R_L = 1k\Omega$	9
将 电气特性 - $R_L = 1k\Omega$ 中输入失调电流的单位从 μA 更改为 nA.....	9
将 典型特性 - THS4031 部分的标题更改为 典型特性	11

- 删除了典型特性 - THS4032 部分..... 11
- 将典型特性中图 5-15、图 5-16、图 5-17 和图 5-18 的标题从谐波失真与频率间的关系 更改为 THS4031 谐波失真与频率间的关系 11
- 将器件功能模式 中的最大电压从 33V ($\pm 16.5V$) 更改为 32V ($\pm 16V$)..... 18

Changes from Revision J (February 2024) to Revision K (May 2024)	Page
• 从电气特性 - THS4031 , $R_L = 150 \Omega$ 中删除了总谐波失真 + 噪声和互调失真规格.....	7
• 从电气特性 - THS4031 , $R_L = 1k \Omega$ 中删除了总谐波失真 + 噪声和互调失真规格.....	9
• 将典型特性 - THS4031 中的增益从 +2V/V 更改为 +1V/V.....	11
• 将图 5-23 20V 阶跃响应 中的横坐标轴标签从 10ns/div 改为 100ns/div.....	11

10 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
THS4031CD	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	0 to 70	4031C
THS4031CDGN	Obsolete	Production	HVSSOP (DGN) 8	-	-	Call TI	Call TI	0 to 70	ACM
THS4031CDGNR	Obsolete	Production	HVSSOP (DGN) 8	-	-	Call TI	Call TI	0 to 70	ACM
THS4031CDR	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	0 to 70	4031C
THS4031ID	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 85	4031I
THS4031IDGN	Obsolete	Production	HVSSOP (DGN) 8	-	-	Call TI	Call TI	-40 to 85	ACN
THS4031IDGNR	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	ACN
THS4031IDGNR.B	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	ACN
THS4031IDGNRG4	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	ACN
THS4031IDGNRG4.B	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	ACN
THS4031IDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	4031I
THS4031IDR.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	4031I
THS4031IDRG4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	4031I
THS4031IDRG4.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	4031I
THS4032CD	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	0 to 70	4032C
THS4032CDGN	Obsolete	Production	HVSSOP (DGN) 8	-	-	Call TI	Call TI	0 to 70	ABD
THS4032CDR	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	0 to 70	4032C
THS4032ID	Obsolete	Production	SOIC (D) 8	-	-	Call TI	Call TI	-40 to 85	4032I
THS4032IDGN	Obsolete	Production	HVSSOP (DGN) 8	-	-	Call TI	Call TI	-40 to 85	ABG
THS4032IDGNR	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	ABG
THS4032IDGNR.B	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	ABG
THS4032IDR	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	4032I
THS4032IDR.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	4032I
THS4032IDRG4	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	4032I
THS4032IDRG4.A	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	4032I
THS4032IDRG4.B	Active	Production	SOIC (D) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	4032I

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

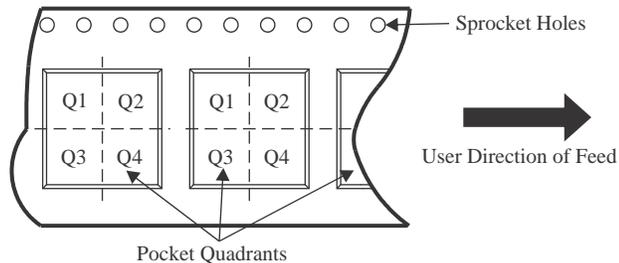
OTHER QUALIFIED VERSIONS OF THS4031, THS4032 :

- Enhanced Product : [THS4032-EP](#)
- Military : [THS4031M](#)

NOTE: Qualified Version Definitions:

- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
THS4031IDGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
THS4031IDNDRG4	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
THS4031IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
THS4031IDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
THS4032IDGNR	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
THS4032IDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
THS4032IDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
THS4031IDGNR	HVSSOP	DGN	8	2500	353.0	353.0	32.0
THS4031IDNRG4	HVSSOP	DGN	8	2500	353.0	353.0	32.0
THS4031IDR	SOIC	D	8	2500	353.0	353.0	32.0
THS4031IDRG4	SOIC	D	8	2500	353.0	353.0	32.0
THS4032IDGNR	HVSSOP	DGN	8	2500	353.0	353.0	32.0
THS4032IDR	SOIC	D	8	2500	353.0	353.0	32.0
THS4032IDRG4	SOIC	D	8	2500	353.0	353.0	32.0

GENERIC PACKAGE VIEW

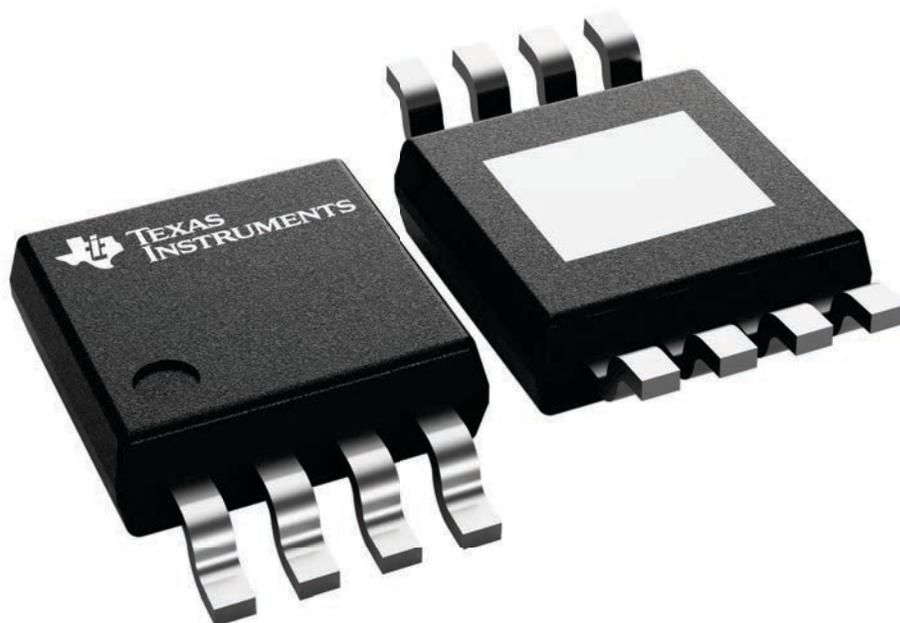
DGN 8

PowerPAD™ HVSSOP - 1.1 mm max height

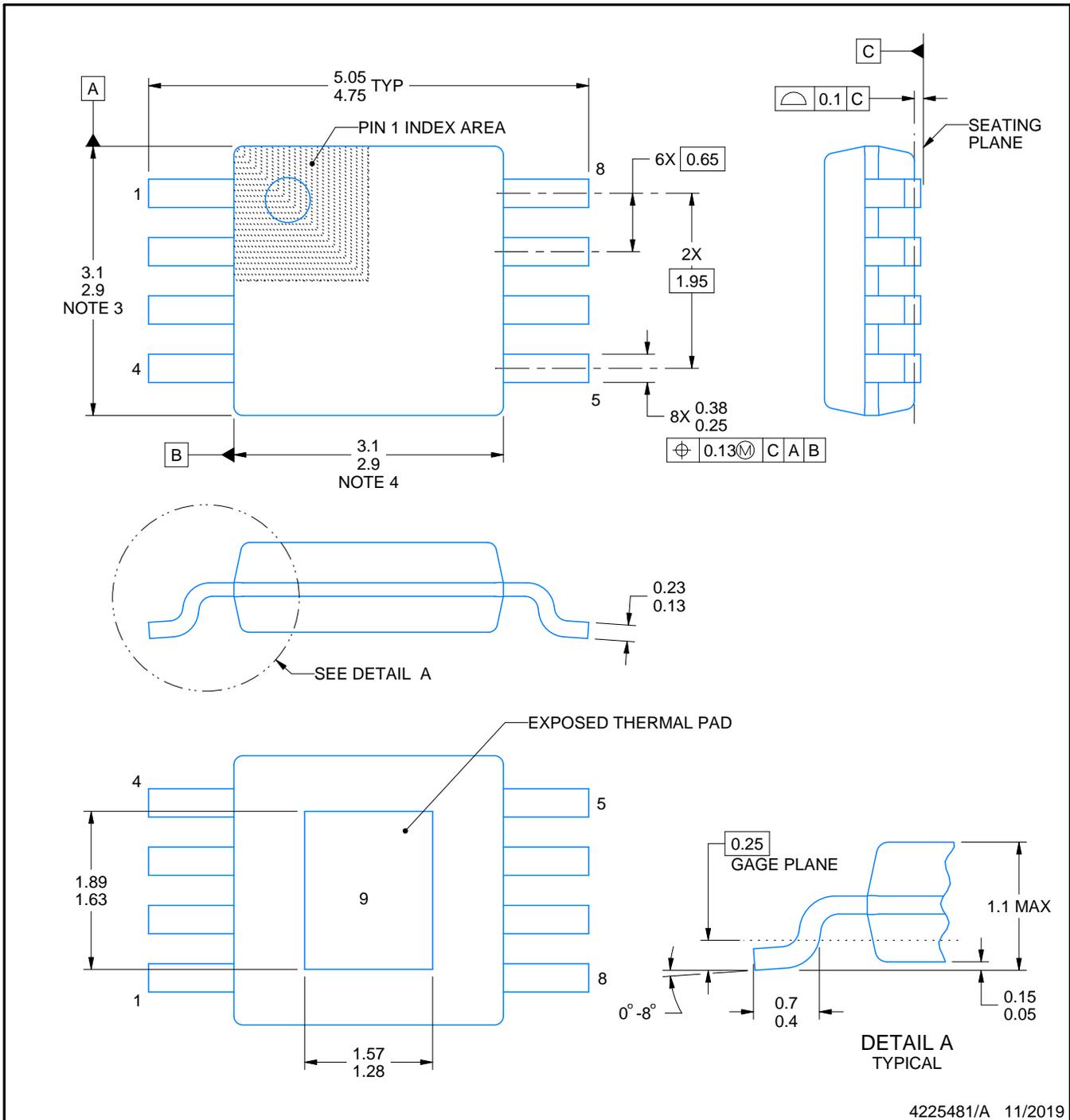
3 x 3, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225482/B



PowerPAD is a trademark of Texas Instruments.

NOTES:

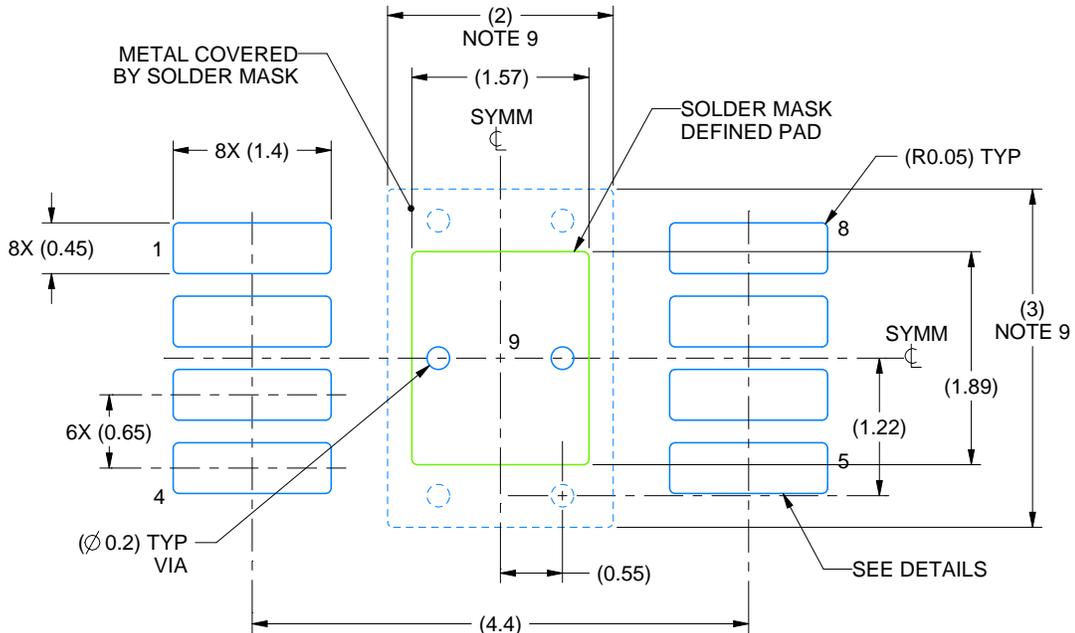
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

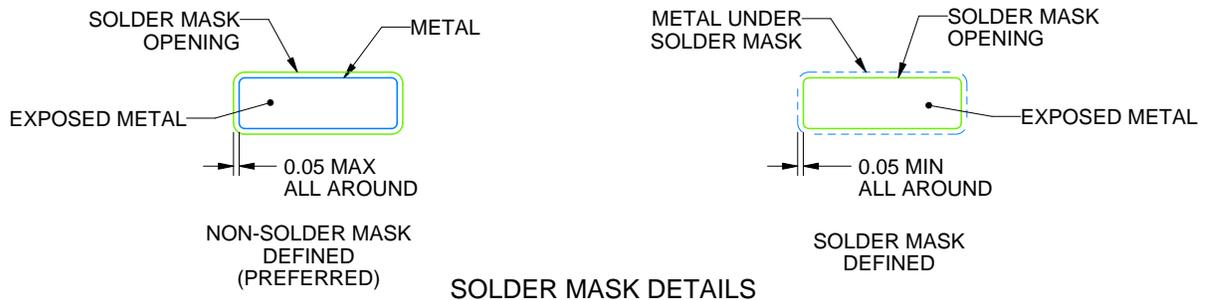
DGN0008D

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4225481/A 11/2019

NOTES: (continued)

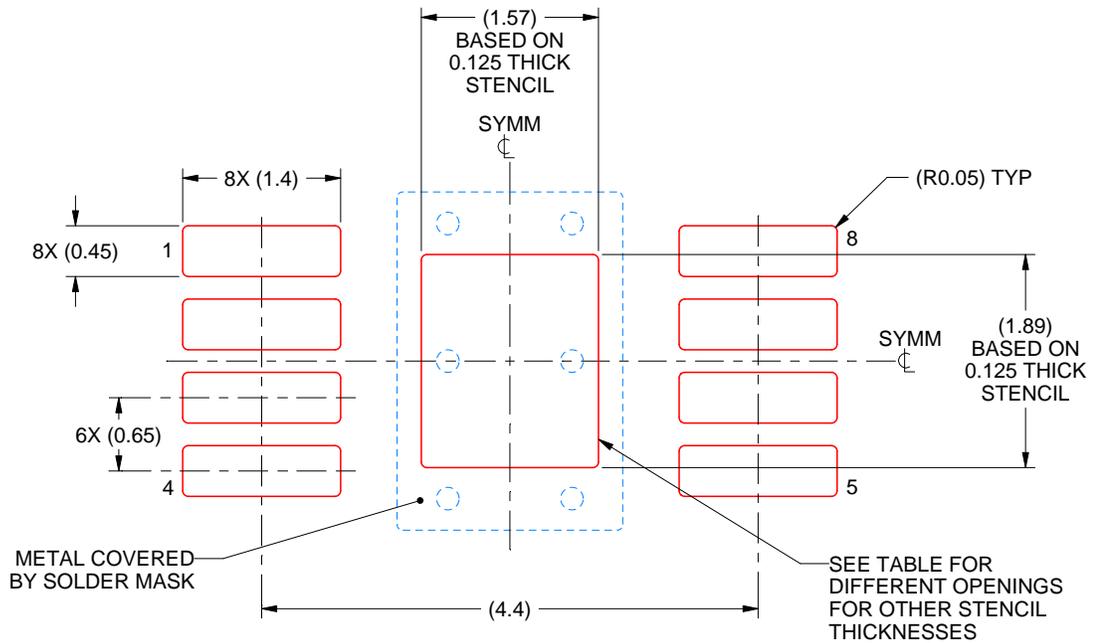
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGN0008D

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



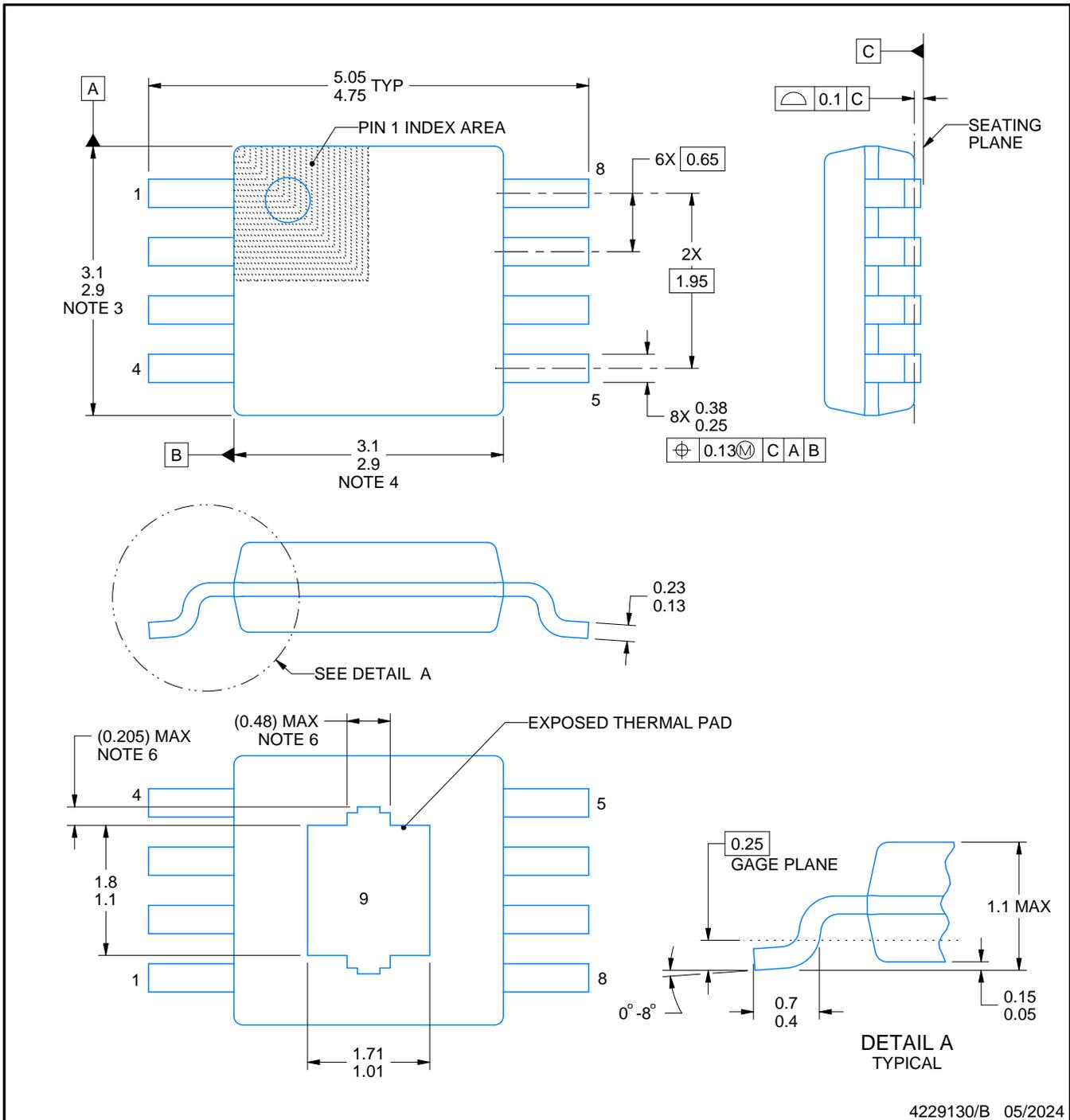
SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.76 X 2.11
0.125	1.57 X 1.89 (SHOWN)
0.15	1.43 X 1.73
0.175	1.33 X 1.60

4225481/A 11/2019

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.



4229130/B 05/2024

NOTES:

PowerPAD is a trademark of Texas Instruments.

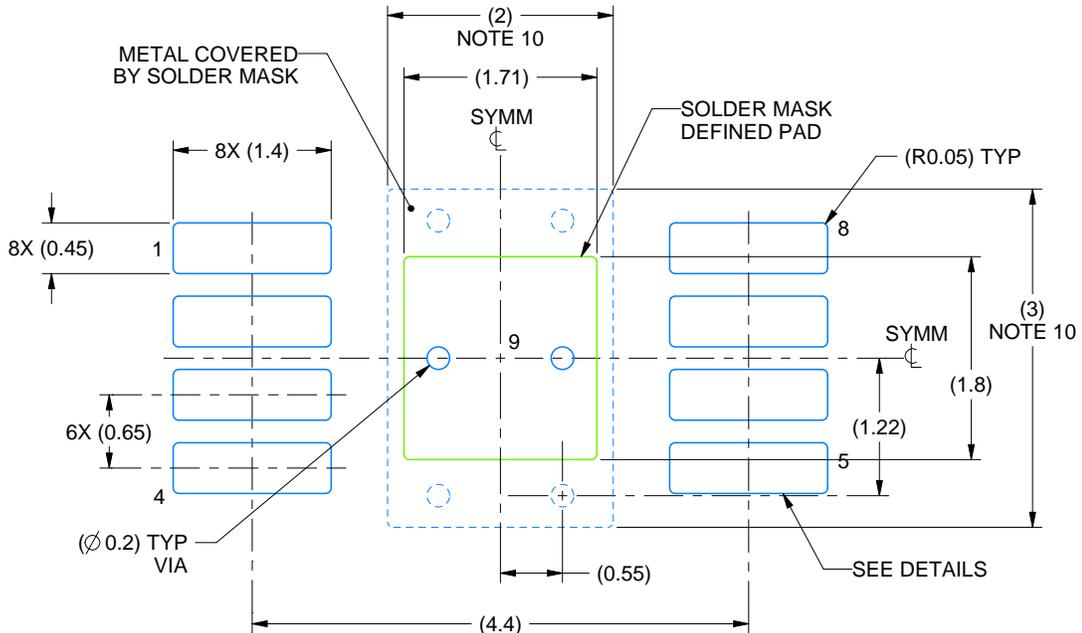
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.
6. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

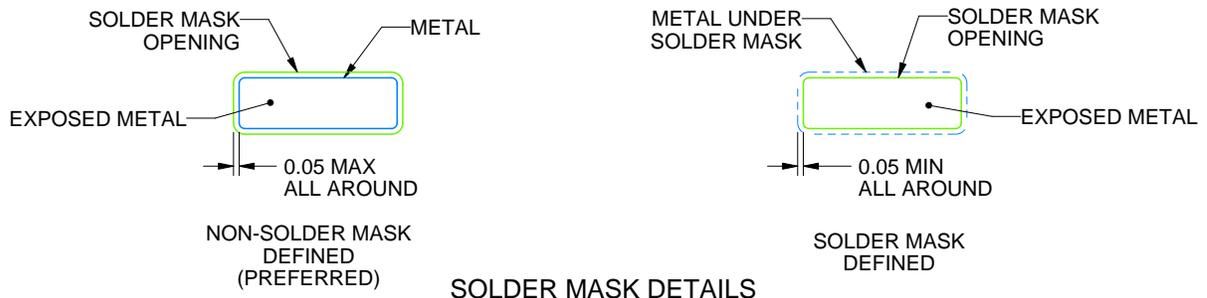
DGN0008H

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4229130/B 05/2024

NOTES: (continued)

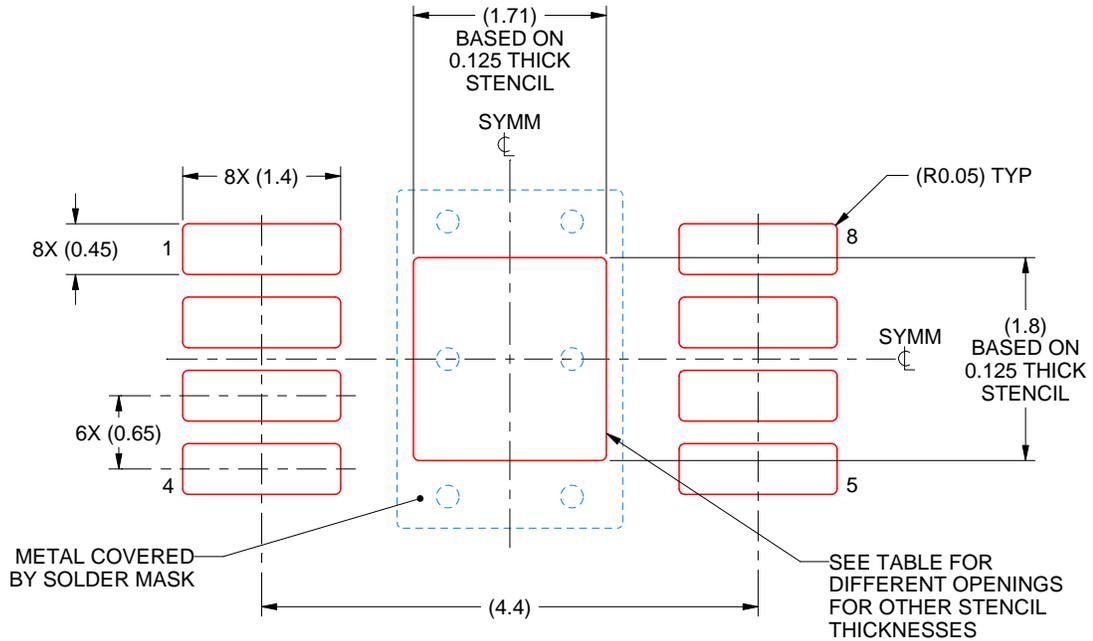
7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
9. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGN0008H

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



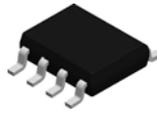
SOLDER PASTE EXAMPLE
EXPOSED PAD 9:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE: 15X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.91 X 2.01
0.125	1.71 X 1.80 (SHOWN)
0.15	1.56 X 1.64
0.175	1.45 X 1.52

4229130/B 05/2024

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

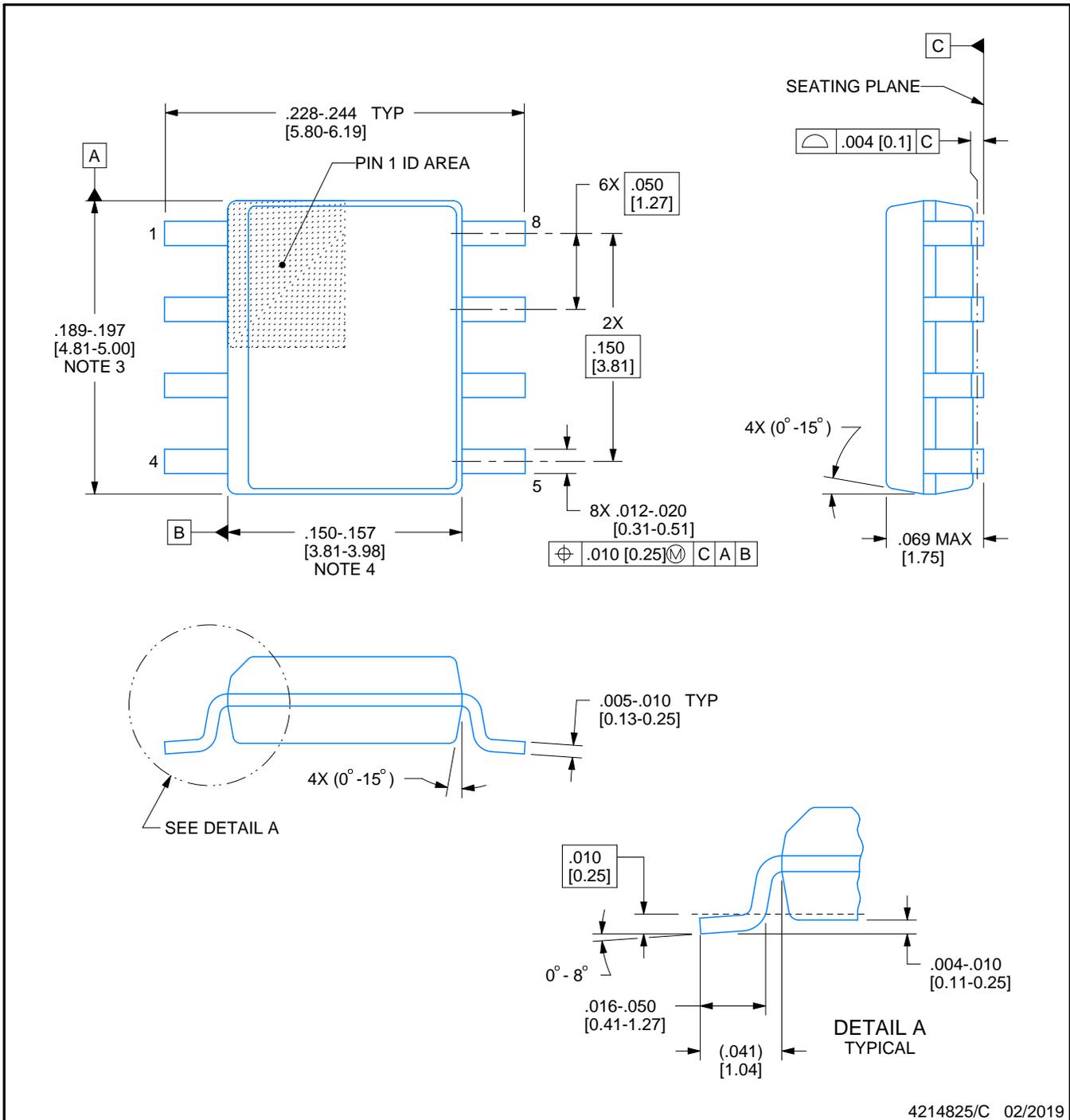


D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

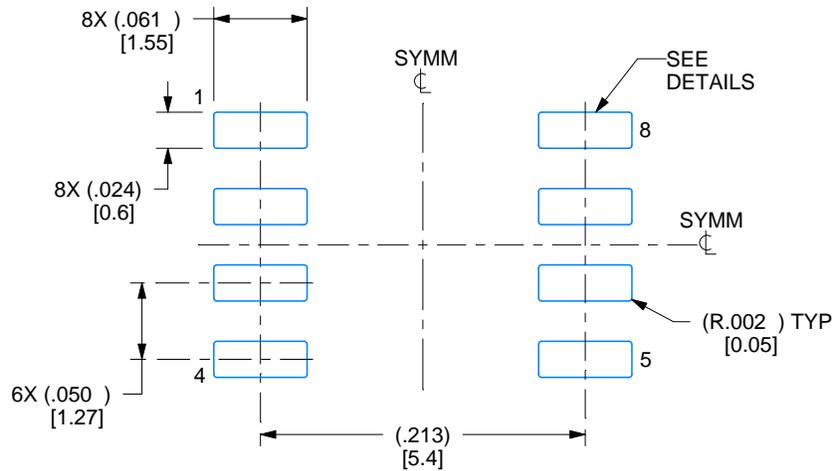
1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed $.006$ [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

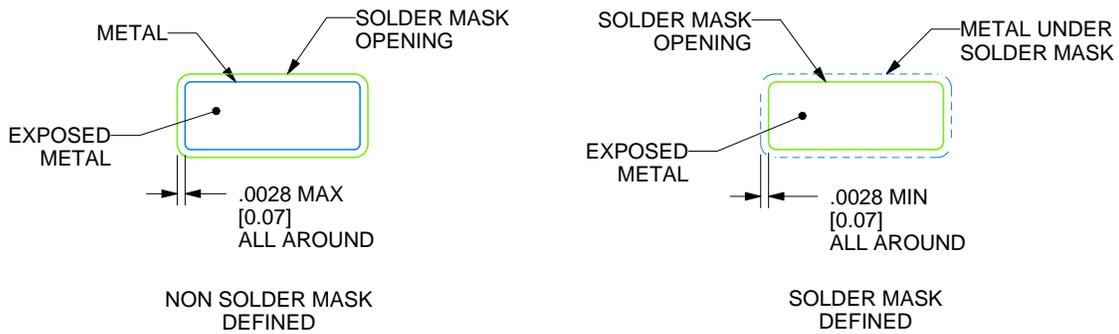
D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

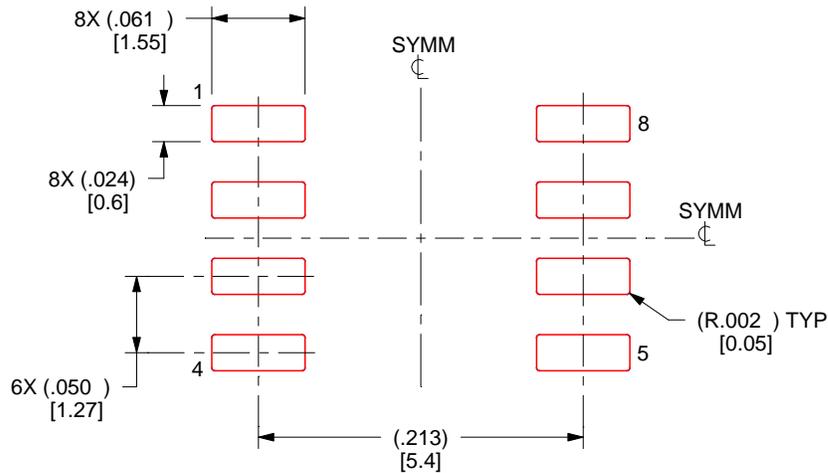
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月