

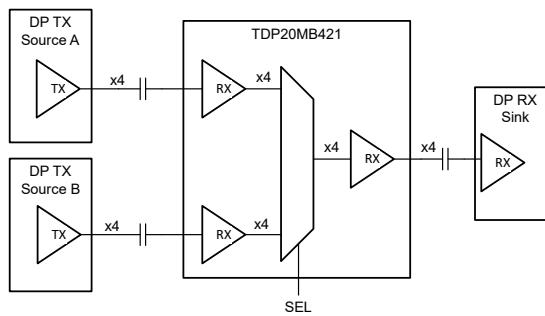
TDP20MB421 具有 2:1 多路复用器的 DisplayPort 2.1 24Gbps 4 通道线性转接驱动器

1 特性

- 具有集成 2:1 多路复用器的四通道 DisplayPort 2.1 线性转接驱动器或中继器
- 支持嵌入式 (eDP) 和 DisplayPort 2.1 (高达 20Gbps) - RBR、HBRx、UHBRx
- 支持高达 24Gbps 的 DP++ (也称为交流耦合 HDMI)
- 与协议无关的线性均衡器，支持高达 24Gbps 的交流耦合接口
- 单 3.3V 电源
- 4 通道运行时，有功功率低至 720mW
- 20Gbps (10GHz 奈奎斯特) 时具有出色的电气性能：
 - 19dB 均衡
 - 1.8V 直流线性度，1.08V 交流线性度
 - -15dB/-16dB Rx/Tx 回波损耗
 - -60dB NEXT，-43dB FEXT 串扰
 - 70fs 低附加 RJ (使用 PRBS 数据)
- 90ps 低延时
- 对 DisplayPort 1.4 和 2.1 链路训练透明
- 通过引脚控制或 SMBus/I²C 进行器件配置
 - 18 个 EQ 增强设置，5 个平坦增益设置
- 温度范围为 -40°C 至 85°C
- 3.5mm × 9mm 42 引脚 0.5mm 间距 WQFN 封装

2 应用

- 台式计算机和主板
- PC 笔记本电脑、平板电脑
- 扩展坞
- 电视、游戏、家庭影院和娱乐系统
- 专业音频、视频和标牌
- 测试和测量
- 医疗
- 平板监视器



应用用例

3 说明

TDP20MB421 是一款具有集成 2:1 多路复用器的 4 通道线性转接驱动器。这款低功耗、高性能线性转接驱动器专为支持速率高达 20Gbps 的 DisplayPort 2.1 而设计。

TDP20MB421 接收器部署了连续时间线性均衡器 (CTLE)，用以提供可编程高频增强功能。均衡器可以打开由于 PCB 布线等互连介质引起的码间串扰 (ISI) 而完全关闭的输入眼图。CTLE 接收器后跟一个线性输出驱动器。TDP20MB421 的线性数据路径保留了传输预设的特性。该器件具有高带宽、低通道间串扰、低附加抖动和极低的回波损耗，因此在链路中几乎可用作无源元件。鉴于该器件成为了源端 Tx 和接收端 Rx 之间无源通道的一部分，DisplayPort 链路训练可通过该器件有效实施。链路训练协议中的器件透明度可实现更优的电气链路和尽可能低的延迟。该器件的数据路径使用内部稳压电源轨，对电路板上的电源噪声具有很高的抗扰度。

TDP20MB421 在量产期间实施了高速测试，从而确保可靠的高产量制造。此器件还具有低交流和直流增益变化，可在各种平台部署中提供一致的均衡功能。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TDP20MB421	RUA (WQFN , 42)	9mm × 3.5mm

(1) 有关更多信息，请参阅节 10。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本 (控制文档)。

内容

1 特性	1	6.3 特性说明	12
2 应用	1	6.4 器件功能模式	13
3 说明	1	6.5 编程	13
4 引脚配置和功能	3	7 应用和实施	17
5 规格	6	7.1 应用信息	17
5.1 绝对最大额定值	6	7.2 典型应用	17
5.2 ESD 等级	6	7.3 电源相关建议	19
5.3 建议运行条件	6	7.4 布局	19
5.4 热性能信息	7	8 器件和文档支持	21
5.5 直流电气特性	7	8.1 接收文档更新通知	21
5.6 高速电气特性	8	8.2 支持资源	21
5.7 SMBUS/I2C 时序特性	9	8.3 商标	21
5.8 典型特性	10	8.4 静电放电警告	21
6 详细说明	11	8.5 术语表	21
6.1 概述	11	9 修订历史记录	21
6.2 功能方框图	11	10 机械、封装和可订购信息	21

4 引脚配置和功能

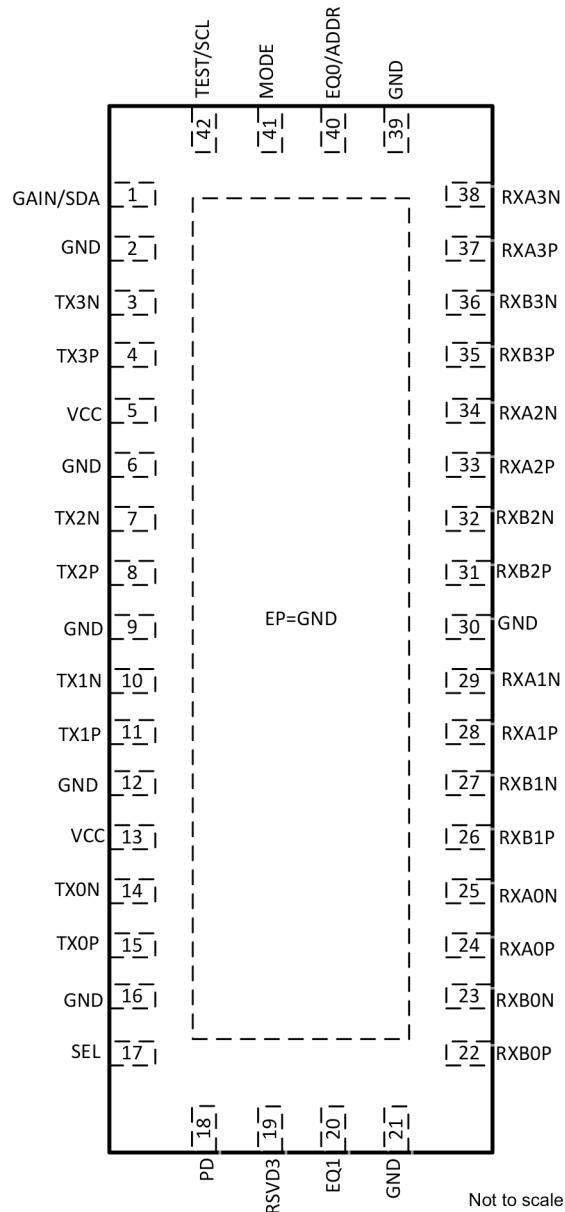


图 4-1. RUA 封装，42 引脚 WQFN (顶视图)

表 4-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
MODE	41	I, 5 电平	设置器件控制配置模式。5 电平 IO 引脚在表 6-1 中定义。该引脚在器件上电或正常运行模式下使用。 L0 : 引脚模式 - 器件控制配置仅由自举引脚完成。 L1 或 L2 : SMBus/I ² C 模式 - 器件控制配置由具有 SMBus/I ² C 主模式的外部控制器完成。该引脚与 ADDR 引脚一起设置器件的从地址。 L3 和 L4 (悬空) : 保留 - TI 内部测试模式。
EQ0 /ADDR	40	I, 5 电平	在引脚模式下： EQ0 和 EQ1 引脚可为所有通道设置接收器线性均衡 CTLE (交流增益)，如表 6-2 所示。只在器件上电时对这些引脚进行采样。 在 SMBus/I ² C 模式下： ADDR 引脚搭配 MODE 引脚，可设置 SMBus/I ² C 从地址，如表 6-4 所示。仅在器件上电时对引脚进行采样。
GAIN / SDA	1	I, 5 电平/IO	在引脚模式下： 所有通道的从器件输入端到输出端的平坦增益 (宽带增益 - 直流和交流)。该器件还以均衡形式提供交流 (高频) 增益，此均衡由 EQ 引脚或 SMBus/I ² C 寄存器控制。仅在器件上电时对引脚进行采样。 在 SMBus/I ² C 模式中： 3.3V SMBus/I ² C 数据。操作所需的外部上拉电阻，例如 4.7kΩ。
GND	EP、2、6、9、12、16、21、30、39	P	器件的接地基准。 EP : QFN 封装底部的外露焊盘。EP 用作器件的 GND 回路。通过低电阻路径将 EP 连接到一个或多个接地平面。过孔阵列提供到 GND 的低阻抗路径。EP 还改善了散热性能。
PD	18	I, 3.3V LVCMOS	控制转接驱动器运行状态的 2 级逻辑。在引脚模式和 SMBus/I ² C 模式下均有效。该引脚具有一个 1MΩ 内部弱下拉电阻。 高电平：所有通道均断电 低电平：上电，所有通道均正常运行
TEST/SCL	42	I, 5 电平/IO	在引脚模式下： TI 测试模式。请改为使用外部 1kΩ 下拉电阻。 在 SMBus/I ² C 模式下： 3.3V SMBus/I ² C 时钟。操作所需的外部上拉电阻，例如 4.7kΩ。
RXA3P	37	I	反相差分 RX 输入 - 端口 A、通道 3。
RXA3N	38	I	非反相差分 RX 输入 - 端口 A、通道 3。
RXA2P	33	I	反相差分 RX 输入 - 端口 A、通道 2。
RXA2N	34	I	非反相差分 RX 输入 - 端口 A、通道 2。
RXA1P	28	I	反相差分 RX 输入 - 端口 A、通道 1。
RXA1N	29	I	非反相差分 RX 输入 - 端口 A、通道 1。
RXA0P	24	I	反相差分 RX 输入 - 端口 A、通道 0。
RXA0N	25	I	非反相差分 RX 输入 - 端口 A、通道 0。
RXB3P	35	I	反相差分 RX 输入 - 端口 B、通道 3。
RXB3N	36	I	非反相差分 RX 输入 - 端口 B、通道 3。
RXB2P	31	I	反相差分 RX 输入 - 端口 B、通道 2。
RXB2N	32	I	非反相差分 RX 输入 - 端口 B、通道 2。
RXB1P	26	I	反相差分 RX 输入 - 端口 B、通道 1。
RXB1N	27	I	非反相差分 RX 输入 - 端口 B、通道 1。
RXB0P	22	I	反相差分 RX 输入 - 端口 B、通道 0。
RXB0N	23	I	非反相差分 RX 输入 - 端口 B、通道 0。

表 4-1. 引脚功能 (续)

引脚		类型 ⁽¹⁾	说明
名称	编号		
SEL	17	I, 3.3V LVCMOS	选择多路复用器路径。在引脚模式和 SMBus/I ² C 模式下均有效。该引脚具有一个内部弱下拉电阻器。在系统实施中使用 SEL 引脚，在端口 A 和端口 B 之间进行多路复用选择。 L : 选择了端口 A。 H : 选择了端口 B。
TX3P	4	O	反相差分 TX 输出，通道 3。
TX3N	3	O	非反相差分 TX 输出，通道 3。
TX2P	8	O	反相差分 TX 输出，通道 2。
TX2N	7	O	非反相差分 TX 输出，通道 2。
TX1P	11	O	反相差分 TX 输出，通道 1。
TX1N	10	O	非反相差分 TX 输出，通道 1。
TX0P	15	O	反相差分 TX 输出，通道 0。
TX0N	14	O	非反相差分 TX 输出，通道 0。
RSVD3	19	O	TI 内部测试引脚。保持不连接。
VCC	5、13	P	电源引脚，VCC = 3.3V ± 10%。通过一个低电阻路径将该器件的 VCC 引脚与电路板的 VCC 平面相连。

(1) I = 输入，O = 输出，P = 电源，GND = 地

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
VCC _{ABSMAX}	电源电压 (VCC)	-0.5	4.0	V
VIO _{CMOS,ABSMAX}	3.3V LVC MOS 和开漏 I/O 电压	-0.5	4.0	V
VIO _{SLVL,ABSMAX}	5 电平输入 I/O 电压	-0.5	2.75	V
VIO _{HS-RX,ABSMAX}	高速 I/O 电压 (RXnP、RXnN)	-0.5	3.2	V
VIO _{HS-TX,ABSMAX}	高速 I/O 电压 (TXnP、TXnN)	-0.5	2.75	V
T _{J,ABSMAX}	结温		150	°C
T _{stg}	贮存温度范围	-65	150	°C

- (1) 超出绝对最大额定值运行可能会对器件造成损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。

5.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	±500	

- (1) JEDEC 文档 JEP155 规定：500V HBM 可实现在标准 ESD 控制流程下安全生产。列为 ±2kV 的引脚实际上可能具有更高的性能。
(2) JEDEC 文档 JEP157 规定：250V CDM 可实现在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

			最小值	标称值	最大值	单位
VCC	电源电压 , VCC 至 GND	直流 + 交流电源不得超过这些限制	3.0	3.3	3.6	V
N _{VCC}	电源噪声容限	直流到 <50Hz , 正弦 ⁽¹⁾			250	mVpp
		50Hz 到 500kHz , 正弦 ⁽¹⁾			100	mVpp
		500kHz 到 2.5MHz , 正弦 ⁽¹⁾			33	mVpp
		电源噪声 , >2.5MHz , 正弦 ⁽¹⁾			10	mVpp
T _{RampVCC}	VCC 电源斜坡时间	从 0V 至 3.0V	0.150		100	ms
T _J	工作结温		-40		115	°C
T _A	工作环境温度		-40		85	°C
PW _{LVC MOS}	器件检测 LVC MOS 输入端上有效信号所需的最小脉冲宽度	PD 和 SEL	200			μs
VCC _{SMBUS}	SMBus/I ² C SDA 和 SCL 开漏端接电压	开漏上拉电阻器的电源电压			3.6	V
F _{SMBus}	SMBus 辅助模式下的 SMBus/I ² C 时钟 (SCL) 频率		10		400	kHz
VID _{LAUNCH}	源差分启动幅值		800		1200	mVpp
DR	数据速率		1		24	Gbps

- (1) 正弦噪声与电源电压叠加，对器件功能和电气表中所示的关键性能的影响可以忽略不计。采取措施，确保交流电源和直流电源噪声组合满足指定的 VDD 电源电压限制。

5.4 热性能信息

热指标 ⁽¹⁾		TDP20MB421	单位
		RUA , 42 引脚	
$R_{\theta JA-High\ K}$	结至环境热阻	26.1	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	14.1	°C/W
$R_{\theta JB}$	结至电路板热阻	8.7	°C/W
Ψ_{JT}	结至顶部特征参数	1.6	°C/W
Ψ_{JB}	结至电路板特征参数	8.6	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	2.6	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和IC封装热指标应用手册](#)。

5.5 直流电气特性

在自然通风条件下的工作温度范围和电压范围内测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
电源						
P_{ACT}	器件有功功率	所有通道均启用 ($PD = L$)	720	970	1000	mW
P_{STBY}	待机功耗模式下的器件功耗	所有通道均禁用 ($PD = H$)	23	36	40	mW
控制 IO						
V_{IH}	高电平输入电压	SDA、SCL、PD、SEL 引脚	2.1	2.7	3.6	V
V_{IL}	低电平输入电压	SDA、SCL、PD、SEL 引脚	-0.3	-0.5	-0.7	V
V_{OH}	高电平输出电压	$R_{pullup} = 4.7k\Omega$ (SDA、SCL 引脚)	2.1	2.7	3.6	V
V_{OL}	低电平输出电压	$I_{OL} = -4mA$ (SDA、SCL 引脚)	-0.3	-0.5	-0.7	V
$I_{IH,SEL}$	SEL 引脚的输入高漏电流	$V_{Input} = VCC$, 用于 SEL 引脚	-0.1	0.1	0.2	μA
I_{IH}	输入高漏电流	$V_{Input} = VCC$ (SCL、SDA、PD 引脚)	-0.1	0.1	0.2	μA
I_{IL}	输入低漏电流	$V_{Input} = 0V$ (SCL、SDA、PD、SEL 引脚)	-10	-5	0	μA
$I_{IH,FS}$	失效防护输入引脚的输入高漏电流	$V_{Input} = 3.6V$, $VCC = 0V$ (SCL、SDA、PD、SEL 引脚)	-0.1	0.1	0.2	μA
$C_{IN-CTRL}$	输入电容	SCL、SDA、PD、SEL 引脚	1.6	2.0	2.5	pF
5 电平 IO (MODE、GAIN、EQ1、EQ0 引脚)						
I_{IH_5L}	输入高漏电流 , 5 电平 IO	$VIN = 2.5V$	-0.1	0.1	0.2	μA
I_{IL_5L}	除 MODE 之外 , 所有 5 电平 IO 的输入低漏电流	$VIN = GND$	-10	-5	0	μA
$I_{IL_5L,MODE}$	MODE 引脚的输入低漏电流	$VIN = GND$	-200	-100	0	μA
接收器						
$V_{RX-DC-CM}$	RX 直流共模电压	器件处于运行或待机状态	1.4	2.0	3.0	V
Z_{RX-DC}	Rx 直流单端阻抗		50	100	200	Ω
$Z_{RX-HIGH-IMP-DC-POS}$	复位或断电时的直流输入 CM 输入阻抗	输入为 $V_{RX-DC-CM}$ 电压	20	40	80	$k\Omega$
发送器						
$Z_{TX-DIFF-DC}$	直流差分 Tx 阻抗	有源信令期间 Tx 的阻抗 , VID , diff = 1Vpp	100	200	400	Ω
$V_{TX-DC-CM}$	Tx 直流共模电压		1.0	1.5	2.0	V
$I_{TX-SHORT}$	Tx 短路电流	Tx 在短接至 GND 时提供的总电流	70	100	150	mA

5.6 高速电气特性

在自然通风条件下的工作温度范围和电压范围内测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
接收器					
RL _{RX-DIFF}	输入差分回波损耗	50MHz 至 1.25GHz	- 22	dB	
		1.25GHz 至 2.5GHz	-22	dB	
		2.5GHz 至 4.0GHz	-22	dB	
		4.0GHz 至 8.0GHz	-16	dB	
		8.0GHz 至 12GHz	-12	dB	
RL _{RX-CM}	输入共模回波损耗	50MHz 至 2.5GHz	-20	dB	
		2.5GHz 至 8.0GHz	-14	dB	
		8.0GHz 至 12GHz	-10	dB	
XT _{RX}	接收侧线对间隔离	两个相邻接收器对之间的线对间隔离 (SDD21)，范围为 10MHz 至 10GHz。	-60	dB	
发送器					
V _{TX-AC-CM-PP}	TX 交流峰峰值共模电压	使用 30kHz 至 500MHz 的带通滤波器在至少 10 ⁶ 个位测得，最低 EQ，GAIN = L4；PRBS7，20Gbps	50	mVpp	
RL _{TX-DIFF}	输出差分回波损耗	50MHz 至 1.25GHz	-22	dB	
		1.25GHz 至 2.5GHz	-22	dB	
		2.5GHz 至 4.0GHz	-21	dB	
		4.0GHz 至 8.0GHz	-15	dB	
		8.0GHz 至 12GHz	-12	dB	
RL _{TX-CM}	输出共模回波损耗	50MHz 至 2.5GHz	-16	dB	
		2.5GHz 至 8.0GHz	-12	dB	
		8.0GHz 至 12GHz	-11	dB	
XT _{TX}	发送侧线对间隔离	两个相邻发送器对之间的最小线对间隔离 (SDD21)，范围为 10MHz 至 10GHz。	-60	dB	
器件数据路径					
T _{PLHD/PHLD}	通过数据通道的输入到输出延时 (传播延迟)	用于低电平到高电平或高电平到低电平转换。	90	130	ps
L _{TX-SKEW}	通道间输出偏斜	在一个发送器内的任意两个通道之间。	20	ps	
T _{RJ-DATA}	具有数据的附加随机抖动	减去校准迹线后通过转接驱动器的抖动。20Gbps PRBS15。800mVpp 差分输入摆幅。	70	fs	
JITTER _{TOTAL-DATA}	数据的附加总抖动	减去校准迹线后通过转接驱动器的抖动。20Gbps PRBS15。800mVpp 差分输入摆幅。	1.0	ps	
平坦增益	宽带直流和交流平坦增益 - 输入到输出，在直流条件下测得	最小 EQ，GAIN1/0=L0	-5.6	dB	
		最小 EQ，GAIN1/0=L1	-3.8	dB	
		最小 EQ，GAIN1/0=L2	-1.2	dB	
		最小 EQ，GAIN1/0=L3	2.6	dB	
		最小 EQ，GAIN1/0=L4 (悬空)	0.6	dB	
EQ-MAX _{16G}	最大设置 (EQ 指数 = 19) 时的 EQ 增强	10GHz 时的交流增益相对于 100MHz 时的增益。	19	dB	
LINEARITY-DC	输出直流线性	在 0dB 平坦增益下	1700	mVpp	

5.6 高速电气特性 (续)

在自然通风条件下的工作温度范围和电压范围内测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
LINEARITY-AC 20Gbps 时的输出交流线性度	在 0dB 平坦增益下		1050		mVpp

5.7 SMBUS/I2C 时序特性

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
从模式					
t _{SP}	必须由输入滤波器进行抑制的尖峰脉冲宽度			50	ns
t _{HD-STA}	(重复)启动条件后的保持时间。在此周期后，生成第一个时钟脉冲		0.6		μs
t _{LOW}	SCL 时钟的低电平周期		1.3		μs
T _{HIGH}	SCL 时钟的高电平周期		0.6		μs
t _{SU-STA}	重复启动条件的建立时间		0.6		μs
t _{HD-DAT}	数据保持时间		0		μs
T _{SU-DAT}	数据建立时间		0.1		μs
t _r	SDA 和 SCL 信号的上升时间	上拉电阻器 = 4.7kΩ、C _b = 10pF	120		ns
t _f	SDA 和 SCL 信号的下降时间	上拉电阻器 = 4.7kΩ、C _b = 10pF	2		ns
t _{SU-STO}	停止条件的建立时间		0.6		μs
t _{BUF}	停止与启动条件之间的总线空闲时间		1.3		μs
t _{VD-DAT}	数据有效时间			0.9	μs
t _{VD-ACK}	数据有效确认时间			0.9	μs
C _b	每个总线的容性负载			400	pF

5.8 典型特性

图 5-1 展示了不同 EQ 设置下典型 EQ 增益曲线与频率间的关系。图 5-2 展示了最大 EQ 设置为 19 时 EQ 增益随温度的变化。

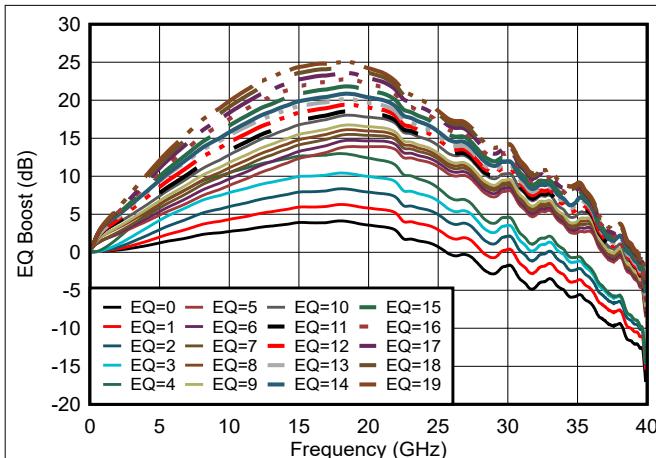


图 5-1. 典型 EQ 增强与频率间的关系

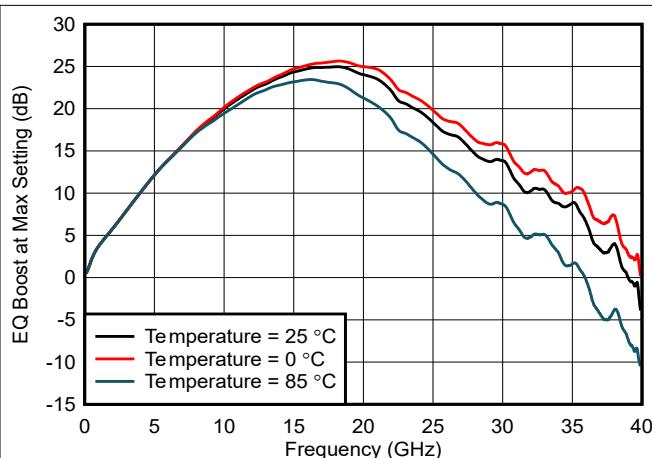


图 5-2. 不同温度下，EQ = 19 时典型 EQ 增强与频率间的关系

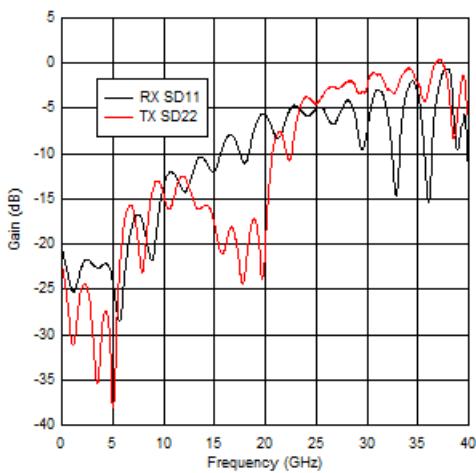


图 5-3. 典型差分回波损耗

6 详细说明

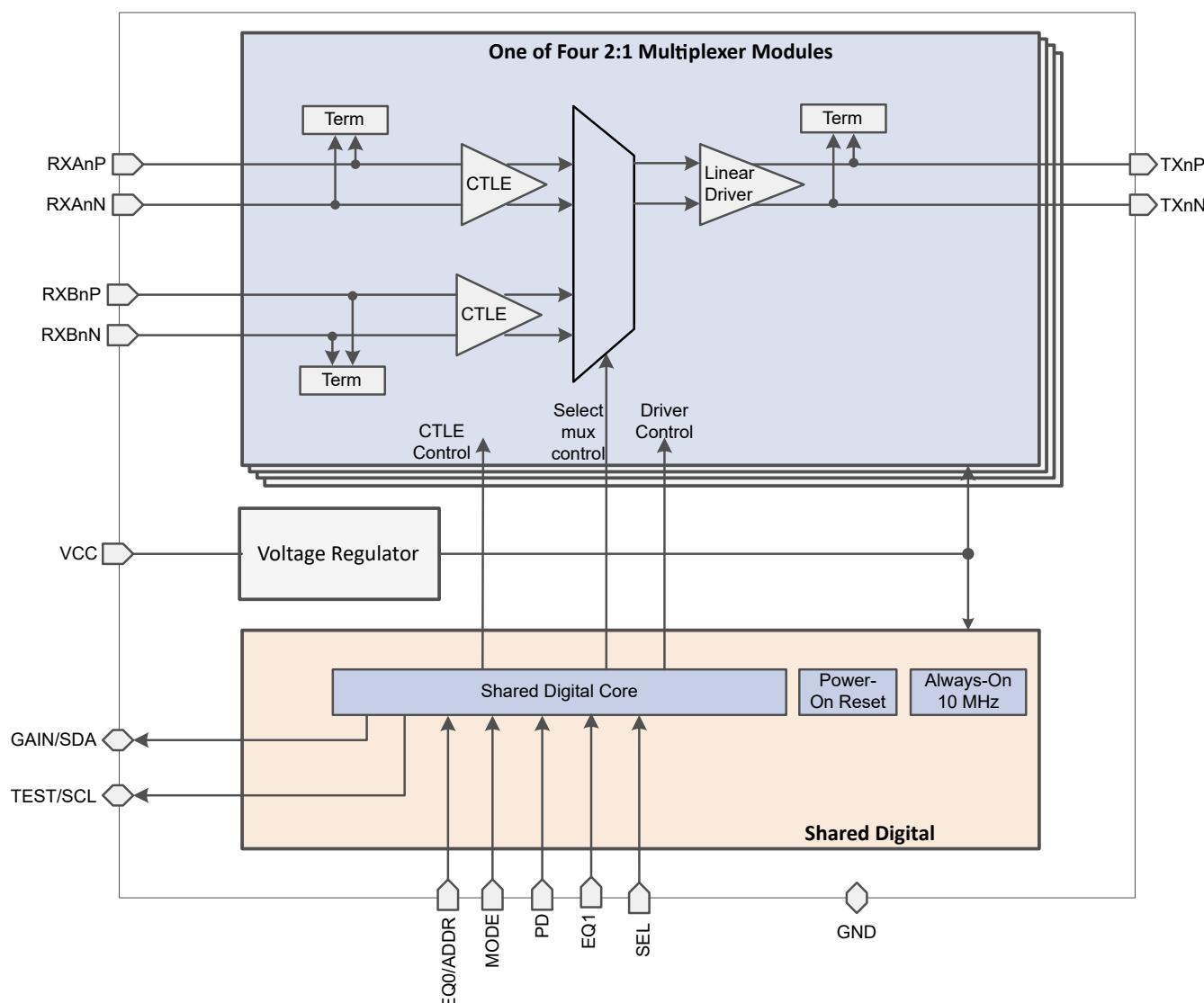
6.1 概述

TDP20MB421 是一款具有集成 2:1 多路复用器的 4 通道线性转接驱动器。低功耗、高性能线性中继器或转接驱动器支持高达 UHBR20 的 DisplayPort 数据速率。该器件是一款与协议无关的线性转接驱动器，可通过其他高达 20Gbps 的交流耦合接口来运行。

TDP20MB421 的信号通道独立工作。每条通道均包含一个连续时间线性均衡器 (CTLE) 和一个线性输出驱动器，二者共同补偿源发送器和最终接收器之间的有损传输通道。数据路径的线性度经过专门设计，可在保持 DisplayPort 接收器均衡有效的同时保留任何传输均衡。

TDP20MB421 可通过两种方式配置。在引脚模式中，器件控制配置仅由 Strap 配置引脚完成。引脚模式可满足许多系统实现需求。SMBus/I2C 从模式提供更大的灵活性。SMBus/I2C 从模式需要外部 SMBus/I2C 主器件通过写入其从地址来配置 TDP20MB421。

6.2 功能方框图



6.3 特性说明

6.3.1 电平控制输入

TDP20MB421 具有四个 5 电平输入引脚 (EQ1、EQ0、GAIN 和 MODE)，用于控制器件的配置。这些 5 电平输入使用电阻分压器来设置 5 个有效电平并提供更广泛的控制设置。外部电阻器必须具有至少 10% 的容差。EQ0、EQ1 和 GAIN 引脚仅在上电时进行采样。MODE 引脚可以在器件上电或正常运行模式下使用。

表 6-1.5 电平控制引脚设置

电平	设置
L0	1kΩ 至 GND
L1	8.25kΩ 至 GND
L2	24.9kΩ 至 GND
L3	75kΩ 至 GND
L4	F (悬空)

6.3.2 线性均衡

TDP20MB421 接收器具有一个连续时间线性均衡器 (CTLE)，它运用高频增强和低频衰减功能来均衡无源通道的频率制约型插入损耗。接收器实现两级线性均衡器，以提供广泛的均衡能力。均衡器级还提供了灵活性，可对中频增强进行细微修改，以使 EQ 增益曲线与各种通道介质特征相匹配。EQ 曲线控制功能仅在 SMBus/I²C 模式下可用。在引脚模式下，这些设置针对 FR4 布线进行了优化。

表 6-2 展示了通过 EQ 控制引脚或 SMBus/I²C 寄存器提供的均衡增强。在引脚控制模式下，EQ1 和 EQ0 引脚设置所有通道的均衡增强。在 I²C 模式下，可以对各个通道进行独立编程以实现 EQ 增强。

表 6-2. 均衡控制设置

EQ 指数	均衡设置						典型 EQ 增强 (dB) 10GHz 时	
	引脚模式		SMBus/I ² C 模式					
	EQ1	EQ0	eq_stage1_3:0	eq_stage2_2:0	eq_profile_3:0	eq_stage1_bypass		
0	L0	L0	0	0	0	1	4.0	
1	L0	L1	1	0	0	1	5.0	
2	L0	L2	3	0	0	1	7.0	
5	L1	L0	0	0	1	0	8.0	
6	L1	L1	1	0	1	0	9.0	
7	L1	L2	2	0	1	0	9.5	
8	L1	L3	3	0	3	0	10.0	
9	L1	L4	4	0	3	0	11.0	
10	L2	L0	5	1	7	0	12.0	
11	L2	L1	6	1	7	0	12.5	
12	L2	L2	8	1	7	0	13.5	
13	L2	L3	10	1	7	0	14.5	
14	L2	L4	10	2	15	0	15.0	
15	L3	L0	11	3	15	0	15.5	
16	L3	L1	12	4	15	0	16.5	
17	L3	L2	13	5	15	0	17.0	

表 6-2. 均衡控制设置 (续)

EQ 指数	均衡设置						典型 EQ 增强 (dB) 10GHz 时	
	引脚模式		SMBus/I ² C 模式					
	EQ1	EQ0	eq_stage1_3:0	eq_stage2_2:0	eq_profile_3:0	eq_stage1_bypass		
18	L3	L3	14	6	15	0	18.0	
19	L3	L4	15	7	15	0	19.0	

6.3.3 平坦增益

当器件处于引脚模式时，GAIN 引脚可用于设置 TDP20MB421 的整体数据路径平坦增益（宽带增益，包括高频）。引脚 GAIN 设定所有通道的平坦增益。每个通道均可独立设置为 I²C 模式。**表 6-3** 展示了用于控制平坦增益的配置设置。大多数系统的默认建议是 GAIN = L4 (悬空)，因为该设置可提供 0dB 的平坦增益。

设置 TDP20MB421 的平坦增益和均衡，以便直流和高频下的输出信号摆幅分别不超过器件的直流和交流线性范围。

表 6-3. 平坦增益配置设置

引脚模式 增益	I ² C 模式 flat_gain_2:0	平坦增益
L0	0	-5.6dB
L1	1	-3.8dB
L2	3	-1.2dB
L3	7	+2.6dB
L4 (悬空)	5	+0.6dB (默认建议)

6.4 器件功能模式

6.4.1 工作模式

TDP20MB421 正常运行。在此模式下，系统会将 PD 引脚驱动至低电平，然后 TDP20MB421 可对 RX 信号进行转接驱动和均衡，以提供更好的信号完整性。

6.4.2 待机模式

TDP20MB421 处于待机模式，由 PD 引脚 = H 调用。在此模式下，器件处于待机模式，以节省电力

6.5 编程

6.5.1 引脚模式

引脚搭接引脚可完全配置 TDP20MB421。在此模式下，器件使用 2 电平和 5 电平引脚实现器件控制和信号完整性优化设置。

6.5.2 SMBus/I²C 寄存器控制接口

如果 MODE = L2 (SMBus/I²C 从控制模式)，可通过运行频率高达 400kHz 的标准 I²C 或 SMBus 接口对 TDP20MB421 进行配置，以实现出色的信号完整性。引脚搭接设置确定了 ADDR 和 MODE 引脚上 TDP20MB421 的从地址。**表 6-4** 为器件的每个通道组提供了 8 个可能的从地址 (7 位)。在 SMBus 和 I²C 模式下，SCL 和 SDA 引脚通过上拉电阻连接至 3.3V 电源。电阻器的值取决于总线总电容。4.7kΩ 是 10pF 总线电容的良好初始近似值。

表 6-4. SMBus/I2C 从地址设置

MODE	ADDR	7 位从地址通道 2-3	7 位从地址通道 0-1
L1	L0	0x18	0x19
L1	L1	0x1A	0x1B
L1	L2	0x1C	0x1D
L1	L3	0x1E	0x1F
X	L4	保留	保留
L2	L0	0x20	0x21
L2	L1	0x22	0x23
L2	L2	0x24	0x25
L2	L3	0x26	0x27

TDP20MB421 具有 2 类寄存器：

- 共享寄存器**：这种寄存器可随时访问，用于器件级配置、状态回读、控制或读回器件 ID 信息。
- 通道寄存器**：这些寄存器控制和配置每个通道的特定功能。所有通道都具有相同的寄存器集，并且可以独立配置，也可以通过对组 0 或组 1 的广播写入配置为组。

TDP20MB421 具有两组通道，即组 0（通道 2-3）和组 1（通道 0-1），每个通道都具有单独的寄存器集并需要唯一的 SMBus 从地址。

通道寄存器基地址	通道组 0 访问	通道组 1 访问
0x00	通道 3 寄存器	通道 1 寄存器
0x20	通道 3 寄存器	通道 1 寄存器
0x40	通道 2 寄存器	通道 0 寄存器
0x60	通道 2 寄存器	通道 0 寄存器
0x80	广播写入通道组 0 寄存器、 读取通道 3 寄存器	广播写入通道组 1 寄存器、 读取通道 1 寄存器
0xE0	组 0 共享寄存器	组 1 共享寄存器

6.5.2.1 共享寄存器

表 6-5. 通用寄存器 (偏移 = 0xE2)

位	字段	类型	复位	说明
7	RESERVED	R	0x0	保留
6	rst_i2c_regs	R/W/SC	0x0	器件复位控制：将所有 I2C 寄存器复位为默认值（自行清除）。
5	rst_i2c_mas	R/W/SC	0x0	复位 I ² C 主设备（自行清零）。
4-0	RESERVED	R	0x0000	保留

表 6-6. DEVICE_ID0 寄存器 (偏移 = 0xF0)

位	字段	类型	复位	说明
7-4	RESERVED	R	0x0001	保留
3	device_id0_3	R	0x1	器件 ID0 [3:1]: 101
2	device_id0_2	R	0x0	参见 MSB
1	device_id0_1	R	0x1	参见 MSB
0	RESERVED	R	X	保留

表 6-7. DEVICE_ID1 寄存器 (偏移 = 0xF1)

位	字段	类型	复位	说明
7	device_id[7]	R	0x0	器件 ID 0010 1000 : TDP20MB421

表 6-7. *DEVICE_ID1* 寄存器 (偏移 = 0xF1) (续)

位	字段	类型	复位	说明
6	device_id[6]	R	0x0	参见 MSB
5	device_id[5]	R	0x1	参见 MSB
4	device_id[4]	R	0x0	参见 MSB
3	device_id[3]	R	0x1	参见 MSB
2	device_id[2]	R	0x0	参见 MSB
1	device_id[1]	R	0x0	参见 MSB
0	device_id[0]	R	0x1	参见 MSB

6.5.2.2 通道寄存器

表 6-8. EQ 增益控制寄存器 (通道寄存器基址 + 偏移 = 0x01)

位	字段	类型	复位	说明
7	eq_stage1_bypass	R/W	0x0	启用 EQ 级 1 旁路： 0 : 禁用旁路 1 : 旁路启用
6	eq_stage1_3	R/W	0x0	EQ 增强级 1 控制
5	eq_stage1_2	R/W	0x0	有关详细信息，请参阅表 6-2
4	eq_stage1_1	R/W	0x0	
3	eq_stage1_0	R/W	0x0	
2	eq_stage2_2	R/W	0x0	EQ 增强级 2 控制
1	eq_stage2_1	R/W	0x0	有关详细信息，请参阅表 6-2
0	eq_stage2_0	R/W	0x0	

表 6-9. EQ 增益/平坦增益控制寄存器 (通道寄存器基数 + 偏移 = 0x03)

位	字段	类型	复位	说明
7	RESERVED	R	0x0	保留
6	eq_profile_3	R/W	0x0	EQ 中频升压曲线
5	eq_profile_2	R/W	0x0	有关详细信息，请参阅表 6-2
4	eq_profile_1	R/W	0x0	
3	eq_profile_0	R/W	0x0	
2	flat_gain_2	R/W	0x1	平坦增益选择：
1	flat_gain_1	R/W	0x0	有关详细信息，请参阅表 6-3
0	flat_gain_0	R/W	0x1	

表 6-10. PD 覆盖寄存器 (通道寄存器基址 + 偏移 = 0x05)

位	字段	类型	复位	说明
7	device_en_override	R/W	0x0	通过 SMBus/I ² C 启用断电覆盖 0 : 手动覆盖被禁用 1 : 手动覆盖已启用
6-0	device_en	R/W	0x111111	转接驱动器各种块的手动断电 - 由 device_en_override = 1 选通 111111 : 启用所有块 000000 : 禁用所有块

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户必须验证并测试其设计实现，以确认系统功能正常。

7.1 应用信息

TDP20MB421 是一款具有集成 2:1 多路复用器的高速线性中继器。该器件可扩展因 PCB 和电缆等传输介质损耗而受损的差分通道的覆盖范围。TDP20MB421 可以部署在各种不同的系统中。以下各节概述了典型应用及其相关的设计注意事项。

7.2 典型应用

TDP20MB421 是一款线性转接驱动器，可用作 DisplayPort 主链路信号调节器。该器件可用于各种交流耦合接口。

7.2.1 DP 2.1 主链路信号调节

TDP20MB421 可用于许多应用，包括在 PC 主板、扩展坞或监视器中使用，以增强 DisplayPort 主链路信号，增加发送和接收通道的覆盖范围。以下各节概述了典型 DP 2.1 应用的详细过程和设计要求。不过，设计建议也可以用于其他用例。

7.2.1.1 设计要求

与任何高速设计一样，有许多因素会影响总体性能。下面列出了设计过程中需要考虑的关键方面：

- 使用 85Ω 阻抗布线。在差分线对的单端段上完成 P 和 N 布线上的长度匹配。
- 对差分线对使用一致的布线宽度和布线间距。
- 将交流耦合电容器放置在靠近每个通道段的接收器端的位置，以尽可能减少反射。
- 对于第 3.0 代、第 4.0 代和第 5.0 代，建议使用 $220nF$ 的交流耦合电容器，将最大本体尺寸设置为 0402，并在电容器着陆焊盘下方的 GND 平面上添加一个镂空，以减少接地的寄生电容。
- 背钻连接器过孔和信号过孔，以尽可能缩短残桩长度。
- 使用参考平面过孔确保为返回电流提供低电感路径。

7.2.1.2 详细设计过程

TDP20MB421 为四个 DP 主链路通道提供信号调节。该器件是一款线性转接驱动器，与 DP 链路训练无关。显示源和接收端之间的 DP 链路训练协商通过该器件有效实施。转接驱动器与无源布线、电缆和其他通道元件一起成为电气通道的一部分，从而产生理想的源和接收端参数，进而优化电气链路。

DisplayPort 边带信号 AUXp,n 和 HPD 被旁路。链路仍通过 TDP20MB421 成功进行链路训练。利用 PD 引脚，反相 HPD 信号可控制器件待机运行；但必须对 HPD 中断信号进行适当的滤波。

在某些应用中，微控制器或其他链路监控器件具有 DP 链路状态信息，微控制器可以使用 TDP20MB421 的 I²C 寄存器进行额外的电源管理。

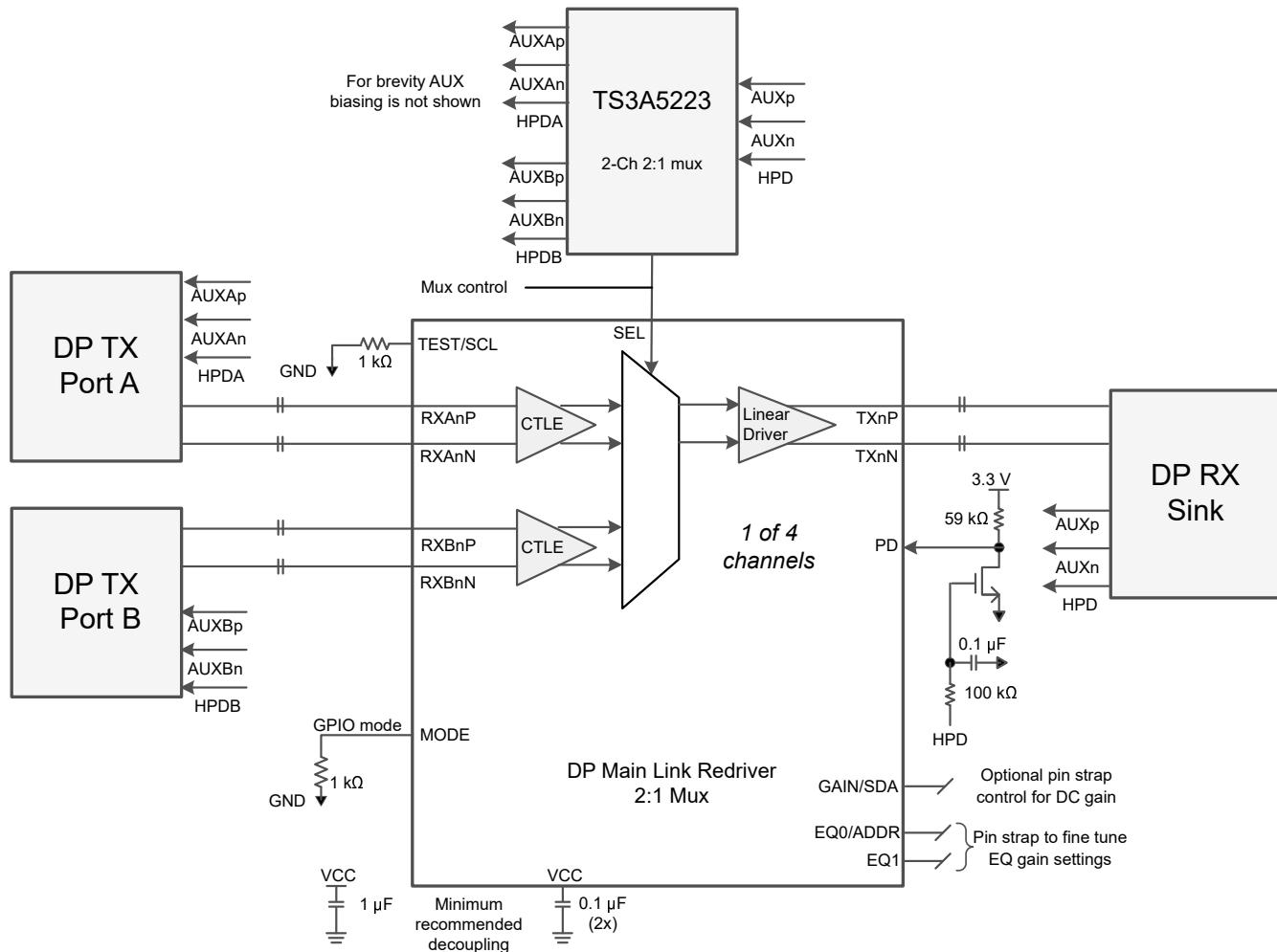
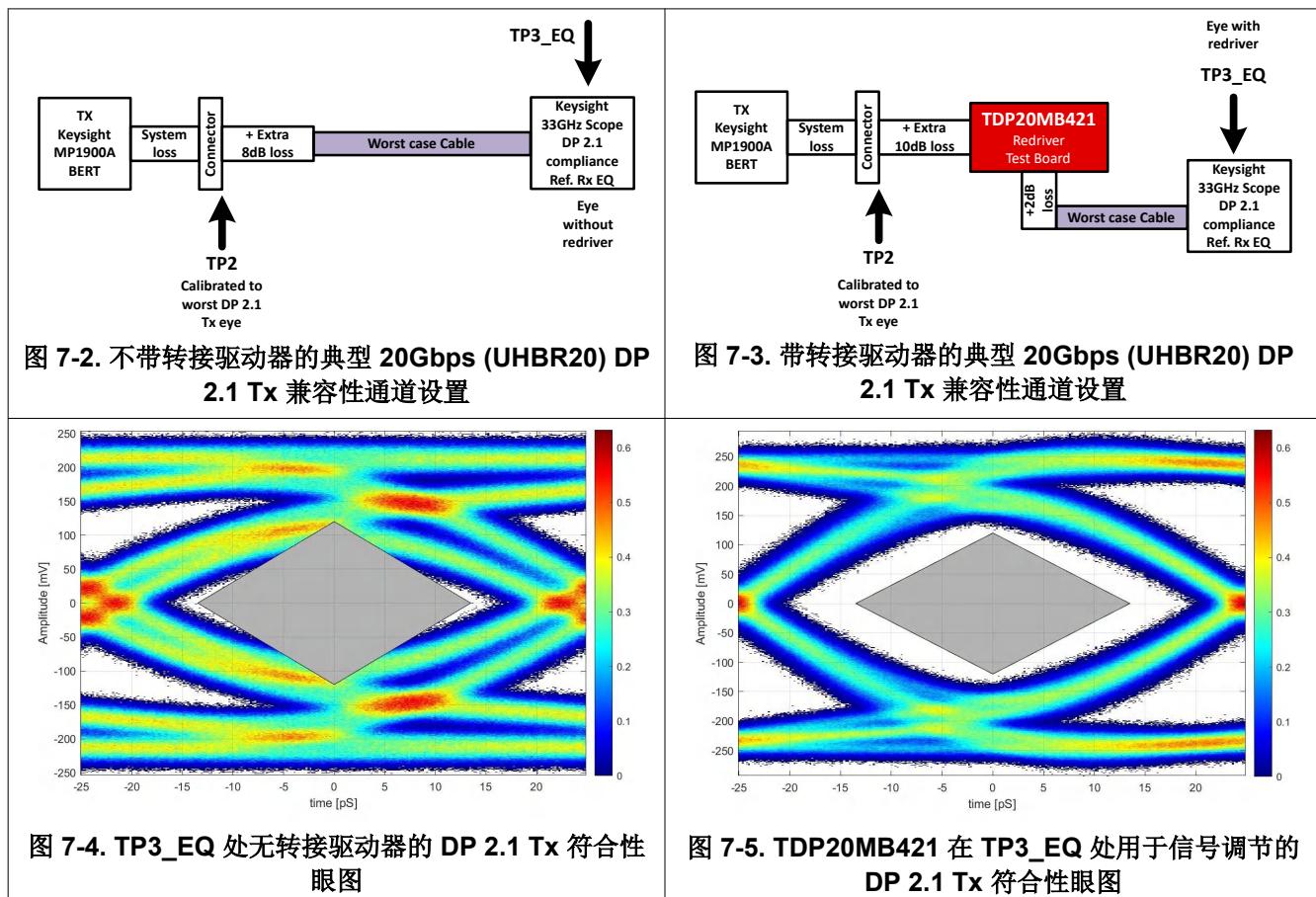


图 7-1. DisplayPort 多路复用器应用的简化版原理图

7.2.1.3 应用曲线

TDP20MB421 是一款线性转接驱动器，可用于扩展 DP 链路的通道覆盖范围。通过消除数据速率高达 20Gbps (UHBR20) 时的 ISI 确定性抖动，转接驱动器有助于通过合规性测试。图 7-2 至图 7-5 展示了典型的 DP 2.1 Tx 符合性通道设置，以及 TP3_EQ 处有无转接驱动器的符合性眼图。眼图的比较表明，TDP20MB421 可以通过扩展使眼睛无法通过的水平和垂直眼开口来提供信号调节。



7.3 电源相关建议

设计电源时请遵循以下通用指南：

1. 设计电源时，应在直流电压、交流噪声和启动斜升时间方面，符合“建议运行条件”部分中列出的运行条件。
2. 只要满足建议运行条件，TDP20MB421 无需进行任何特殊的电源滤波（例如铁氧体磁珠），仅需要进行标准的电源去耦。典型的电源去耦包括每个 VCC 引脚一个 $0.1 \mu\text{F}$ 电容器、每个器件一个 $1 \mu\text{F}$ 大容量电容器，以及每个电源总线一个可为一个或多个器件供电的 $10 \mu\text{F}$ 大容量电容器。将本地去耦 ($0.1\mu\text{F}$) 电容器尽可能靠近 VCC 引脚，并尽量缩短与器件接地焊盘的连接路径。

7.4 布局

7.4.1 布局指南

设计布局时请遵循以下指南：

1. 将去耦电容器尽可能靠近 VCC 引脚放置。如果可能，将去耦电容器直接放置在器件下方。
2. 紧密耦合、偏移匹配和阻抗控制高速差分信号 TXnP/TXnN 和 RXnP/RXnN。
3. 高速差分信号上应尽可能避免过孔。使用过孔时，通过在大多数层或所有层之间进行转换或背钻孔来更大限度地减少过孔残腔。

4. GND 焊盘在高速差分信号焊盘下使用，从而通过抵消焊盘电容提升信号完整度。无需使用 GND 焊盘。
5. 将 GND 过孔放置在器件正下方，以将器件所连的 GND 平面与其他层的 GND 平面相连。GND 过孔进一步提升了器件与电路板之间的导热性能。

7.4.2 布局示例

图 7-6 展示了 TDP20MB421 布局示例。

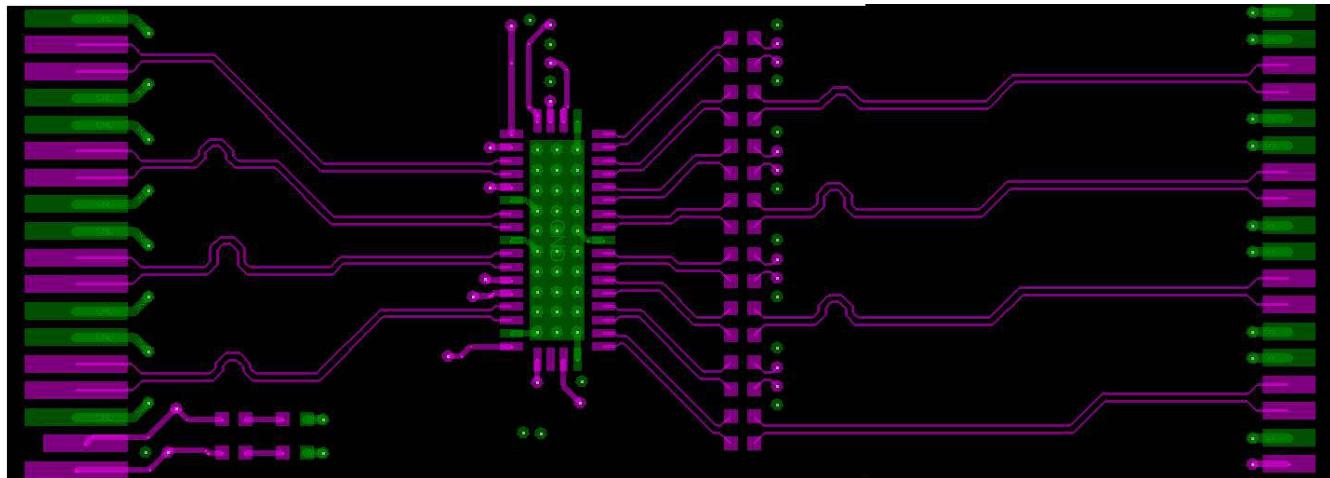


图 7-6. TDP20MB421 布局示例

8 器件和文档支持

8.1 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.2 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.3 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.5 术语表

TI 术语表

本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
July 2024	*	初始发行版

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TDP20MB421RUAR	Active	Production	WQFN (RUA) 42	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	5PR421
TDP20MB421RUAT	Active	Production	WQFN (RUA) 42	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	5PR421
TDP20MB421RUAR	Active	Production	WQFN (RUA) 42	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	0 to 70	5PR421
TDP20MB421RUAT	Active	Production	WQFN (RUA) 42	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	0 to 70	5PR421

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

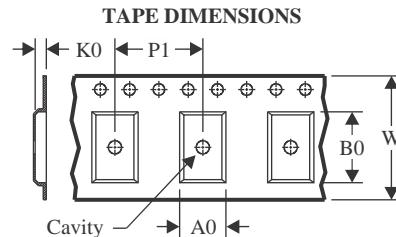
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

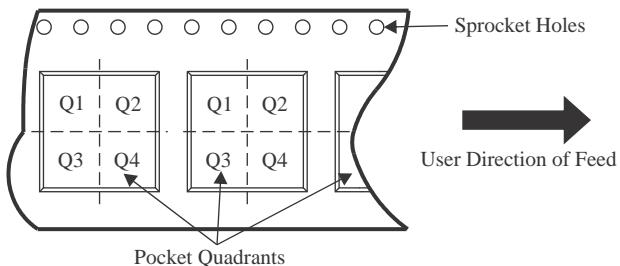
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



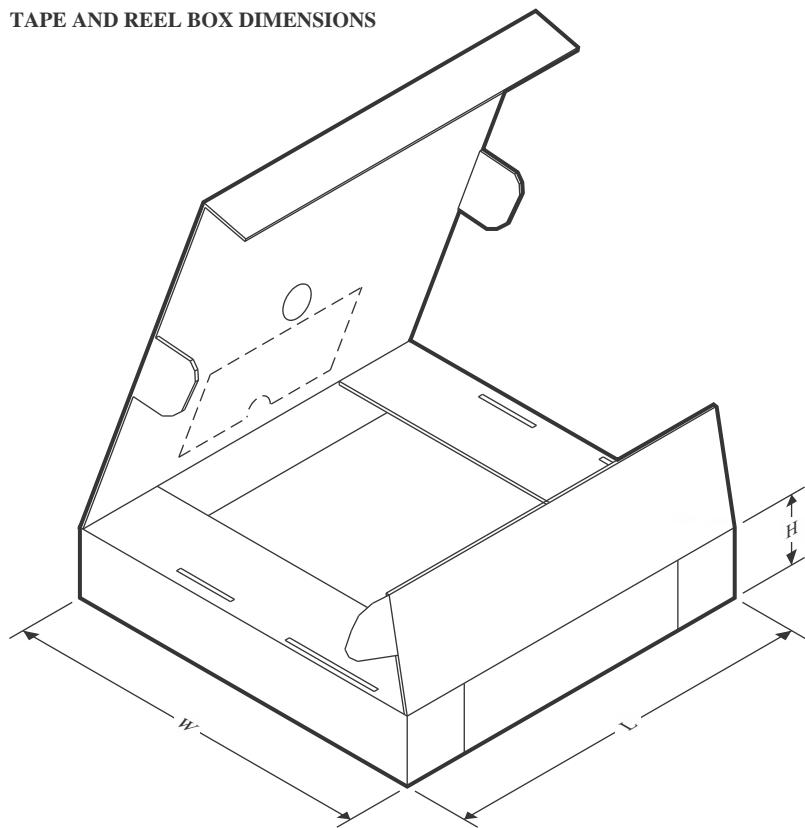
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TDP20MB421IRUAR	WQFN	RUA	42	3000	330.0	16.4	3.8	9.3	1.0	8.0	16.0	Q1
TDP20MB421IRUAT	WQFN	RUA	42	250	180.0	16.4	3.8	9.3	1.0	8.0	16.0	Q1
TDP20MB421RUAR	WQFN	RUA	42	3000	330.0	16.4	3.8	9.3	1.0	8.0	16.0	Q1
TDP20MB421RUAT	WQFN	RUA	42	250	180.0	16.4	3.8	9.3	1.0	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TDP20MB421RUAR	WQFN	RUA	42	3000	367.0	367.0	35.0
TDP20MB421RUAT	WQFN	RUA	42	250	210.0	185.0	35.0
TDP20MB421RUAR	WQFN	RUA	42	3000	367.0	367.0	35.0
TDP20MB421RUAT	WQFN	RUA	42	250	210.0	185.0	35.0

GENERIC PACKAGE VIEW

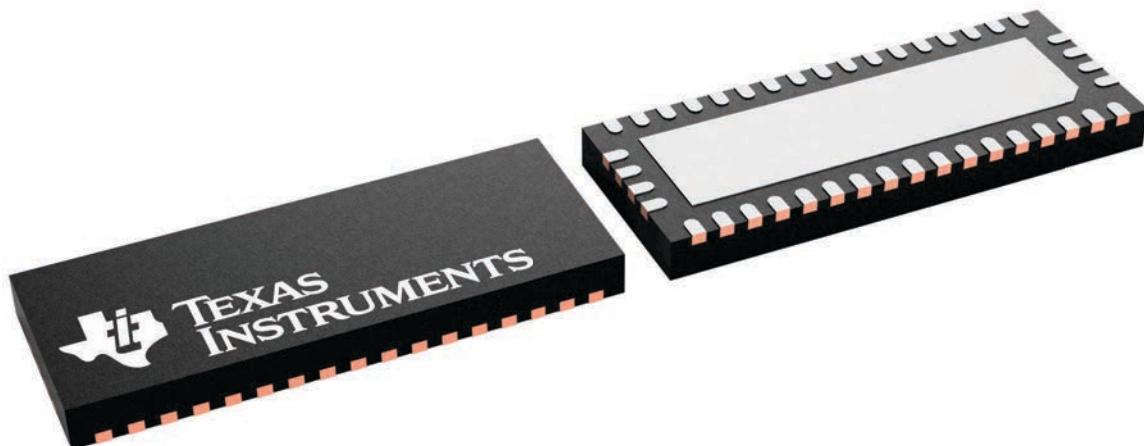
RUA 42

WQFN - 0.8 mm max height

9 x 3.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

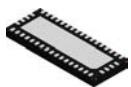
This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4226504/A

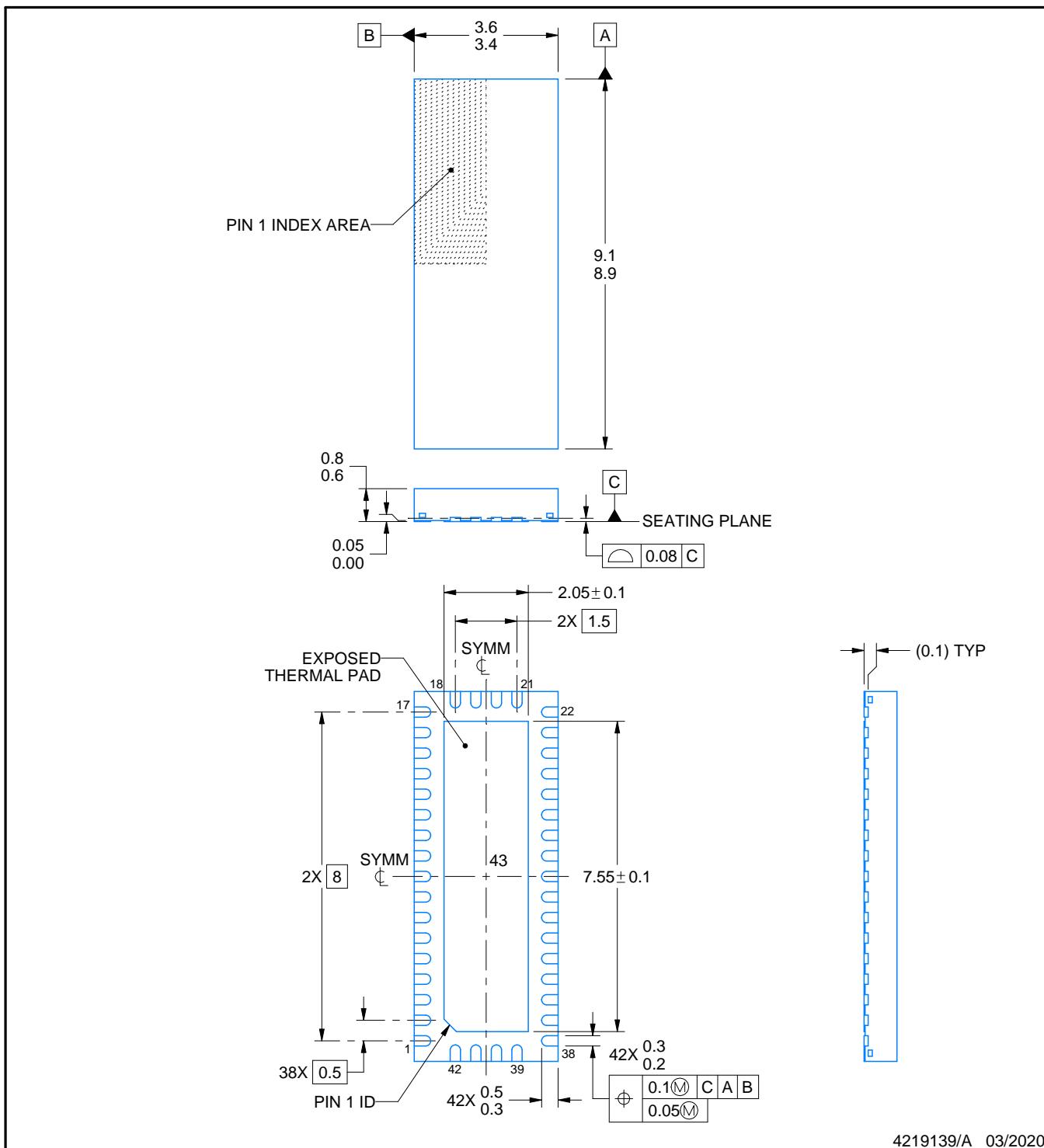
PACKAGE OUTLINE

RUA0042A



WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

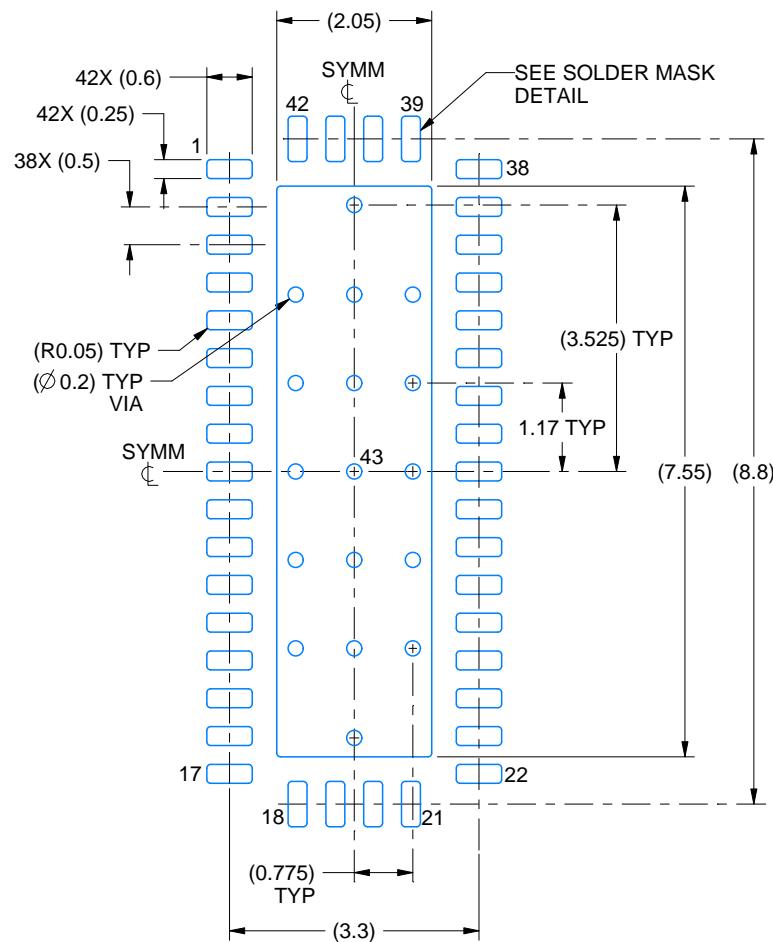
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

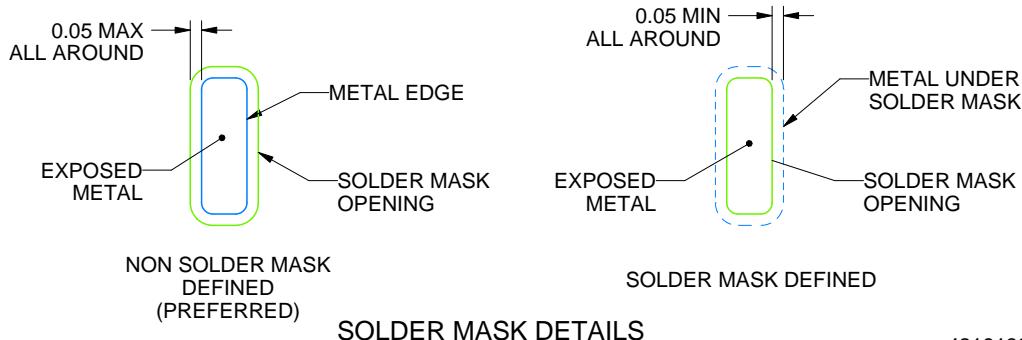
RUA0042A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4219139/A 03/2020

NOTES: (continued)

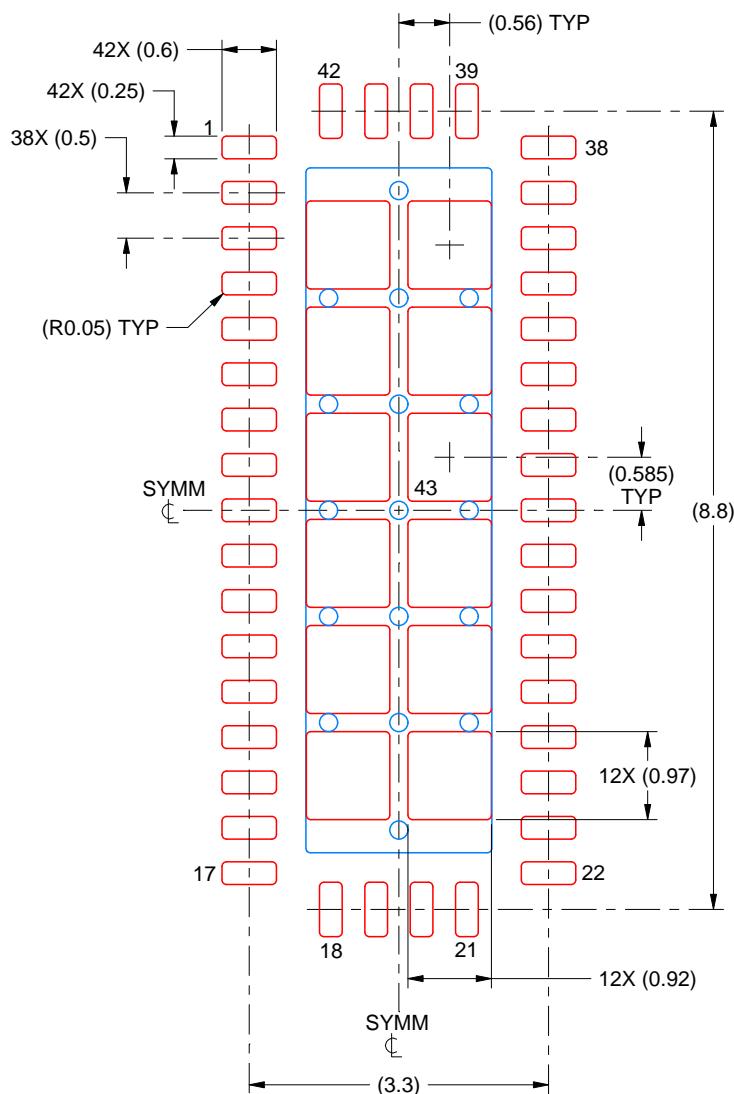
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RUA0042A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 12X

EXPOSED PAD 43
69% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4219139/A 03/2020

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#))、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026 , 德州仪器 (TI) 公司

最后更新日期 : 2025 年 10 月