

# TCAL6416 具有中断输出、复位和敏捷 I/O 配置寄存器的 16 位转换 I<sup>2</sup>C 总线，SMBus I/O 扩展器

## 1 特性

- 工作电源电压范围为 1.08V 至 3.6V
- 支持 1.2V、1.8V、2.5V 和 3.3V I<sup>2</sup>C 总线和 P 端口之间进行双向电压电平转换和 GPIO 扩展
- 1.8V 时具有 1 $\mu$ A (典型值) 的低待机电流消耗
- 1MHz 快速+ 模式 I<sup>2</sup>C 总线
- 硬件地址引脚，允许在同一 I<sup>2</sup>C/SMBus 总线上支持两个器件
- 低电平有效复位输入 ( $\overline{\text{RESET}}$ )
- 开漏低电平有效中断输出 ( $\overline{\text{INT}}$ )
- 输入或输出配置寄存器
- 极性反转寄存器
- 可配置 I/O 驱动强度寄存器
- 上拉电阻和下拉电阻配置寄存器
- 内部上电复位
- SCL 或 SDA 输入端上有噪声滤波器
- 具有最大高电流驱动能力的锁存输出，适用于直接驱动 LED
- 闩锁性能超过 100mA，符合 JESD 78 II 类规范的要求
- ESD 保护性能超过 JESD 22 规范要求
  - 4000V 人体放电模型 (A114A)
  - 1000V 充电器件模型 (C101)

## 2 应用

- 服务器
- 路由器 (电信交换设备)
- [个人计算机](#)
- [个人电子产品](#)
- [工业自动化](#)
- [游戏机](#)
- 采用 GPIO 受限处理器的产品

## 3 说明

TCAL6416 器件可为两线双向 I<sup>2</sup>C 总线 (或 SMBus) 协议提供通用并行输入/输出 (I/O) 扩展。该器件的工作电源电压范围为 1.08V 至 3.6V (在 I<sup>2</sup>C 总线侧，为 V<sub>CCI</sub>)；在 P 端口侧，为 1.08V 至 3.6V (V<sub>CCP</sub>)。

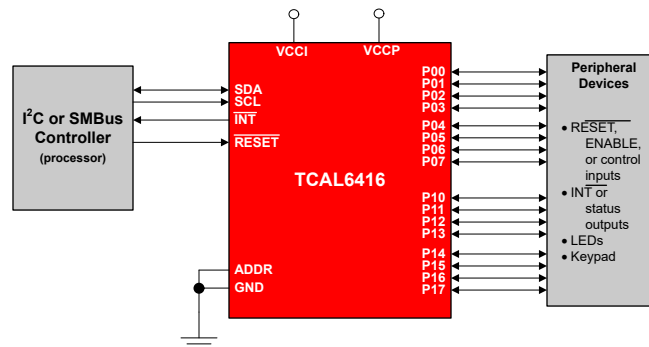
该器件支持 100kHz (标准模式)、400kHz (快速模式) 和 1MHz (快速+ 模式) 的 I<sup>2</sup>C 时钟频率。当开关、传感器、按钮、LED、风扇等设备需要额外的 I/O 时，I/O 扩展器 (如 TCAL6416) 可提供简单解决方案。

TCAL6416 具有灵活的 I/O 端口，可提供旨在增强 I/O 速度、功耗和 EMI 性能的附加特性。此类附加特性包括：可编程输出驱动强度、可编程上拉和下拉电阻器、可锁存输入、可屏蔽中断、中断状态寄存器和可编程开漏或推挽输出。

### 封装信息

器件型号	封装 <sup>(1)</sup>	封装尺寸 <sup>(2)</sup>
TCAL6416	TSSOP (24)	7.8mm × 6.4mm
	VSSOP (24)	6.1mm × 4.9mm
	WQFN (24)	4mm × 4mm

- (1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
- (2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



简化版原理图



## 内容

<b>1 特性</b> .....	<b>1</b>	7.3 特性说明.....	<b>20</b>
<b>2 应用</b> .....	<b>1</b>	7.4 器件功能模式.....	<b>22</b>
<b>3 说明</b> .....	<b>1</b>	7.5 编程.....	<b>22</b>
<b>4 引脚配置和功能</b> .....	<b>3</b>	7.6 寄存器映射.....	<b>24</b>
<b>5 规格</b> .....	<b>5</b>	<b>8 应用和实施</b> .....	<b>31</b>
5.1 绝对最大额定值.....	<b>5</b>	8.1 应用信息.....	<b>31</b>
5.2 ESD 等级.....	<b>5</b>	8.2 典型应用.....	<b>31</b>
5.3 建议运行条件.....	<b>6</b>	8.3 电源相关建议.....	<b>34</b>
5.4 热性能信息.....	<b>6</b>	8.4 布局.....	<b>36</b>
5.5 电气特性.....	<b>7</b>	<b>9 器件和文档支持</b> .....	<b>37</b>
5.6 时序要求.....	<b>8</b>	9.1 接收文档更新通知.....	<b>37</b>
5.7 I <sup>2</sup> C 总线时序要求.....	<b>9</b>	9.2 支持资源.....	<b>37</b>
5.8 开关特性.....	<b>10</b>	9.3 商标.....	<b>37</b>
5.9 典型特性.....	<b>11</b>	9.4 静电放电警告.....	<b>37</b>
<b>6 参数测量信息</b> .....	<b>15</b>	9.5 术语表.....	<b>37</b>
<b>7 详细说明</b> .....	<b>19</b>	<b>10 修订历史记录</b> .....	<b>38</b>
7.1 概述.....	<b>19</b>	<b>11 机械、封装和可订购信息</b> .....	<b>38</b>
7.2 功能方框图.....	<b>19</b>		

## 4 引脚配置和功能

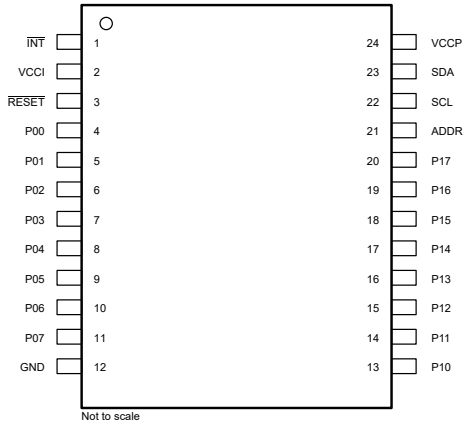


图 4-1. PW 封装, 24 引脚 TSSOP (俯视图)

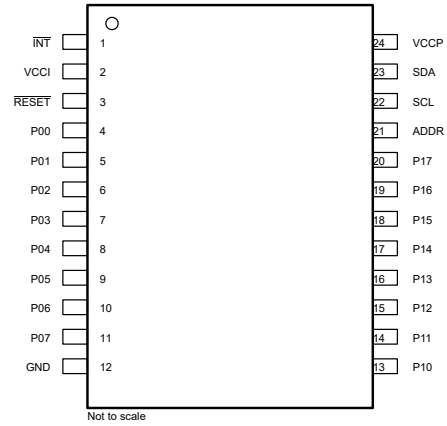
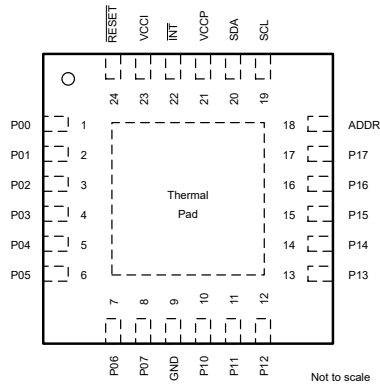


图 4-2. DGS 封装, 24 引脚 VSSOP (顶视图)



必须将外露的中央散热焊盘作为次级接地连接或保持电气开路状态。

图 4-3. RTW 封装, 24 引脚 WQFN (顶视图)

表 4-1. 引脚功能

名称	引脚			类型	说明
	TSSOP (PW)	VSSOP (DGS)	QFN (RTW)		
INT	1	1	22	O	中断输出。通过一个上拉电阻器连接到 $V_{CCI}$ 或 $V_{CCP}$
$V_{CCI}$	2	2	23	—	I <sup>2</sup> C 总线的电源电压。直接连接到外部 I <sup>2</sup> C 控制器的电源电压
RESET	3	3	24	I	低电平有效复位输入。如果未使用有源连接, 则通过上拉电阻器连接到 $V_{CCI}$
P00	4	4	1	I/O	P 端口输入/输出 (推挽式设计结构)。上电时, P00 配置为输入
P01	5	5	2	I/O	P 端口输入/输出 (推挽式设计结构)。上电时, P01 配置为输入
P02	6	6	3	I/O	P 端口输入/输出 (推挽式设计结构)。上电时, P02 配置为输入
P03	7	7	4	I/O	P 端口输入/输出 (推挽式设计结构)。上电时, P03 配置为输入
P04	8	8	5	I/O	P 端口输入/输出 (推挽式设计结构)。上电时, P04 配置为输入
P05	9	9	6	I/O	P 端口输入/输出 (推挽式设计结构)。上电时, P05 配置为输入
P06	10	10	7	I/O	P 端口输入/输出 (推挽式设计结构)。上电时, P06 配置为输入
P07	11	11	8	I/O	P 端口输入/输出 (推挽式设计结构)。上电时, P07 配置为输入
GND	12	12	9	—	接地
P10	13	13	10	I/O	P 端口输入/输出 (推挽式设计结构)。上电时, P10 配置为输入
P11	14	14	11	I/O	P 端口输入/输出 (推挽式设计结构)。上电时, P11 配置为输入
P12	15	15	12	I/O	P 端口输入/输出 (推挽式设计结构)。上电时, P12 配置为输入
P13	16	16	13	I/O	P 端口输入/输出 (推挽式设计结构)。上电时, P13 配置为输入
P14	17	17	14	I/O	P 端口输入/输出 (推挽式设计结构)。上电时, P14 配置为输入
P15	18	18	15	I/O	P 端口输入/输出 (推挽式设计结构)。上电时, P15 配置为输入
P16	19	19	16	I/O	P 端口输入/输出 (推挽式设计结构)。上电时, P16 配置为输入
P17	20	20	17	I/O	P 端口输入/输出 (推挽式设计结构)。上电时, P17 配置为输入
ADDR	21	21	18	I	地址输入。直接连接至 $V_{CCP}$ 或接地
SCL	22	22	19	I	串行时钟总线。通过上拉电阻器连接至 $V_{CCI}$
SDA	23	23	20	I/O	串行数据总线。通过上拉电阻器连接至 $V_{CCI}$
$V_{CCP}$	24	24	21	—	P 端口 TCAL6416 的电源电压

## 5 规格

### 5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）<sup>(1)</sup>

		最小值	最大值	单位
$V_{CCI}$ 、 $V_{CCP}$	电源电压	-0.5	4	V
$V_I$	输入电压 <sup>(2)</sup>	-0.5	4	V
$V_O$	输出电压 <sup>(2)</sup>	-0.5	4	V
$I_{IK}$	输入钳位电流	$V_I < 0$	-20	mA
$I_{OK}$	输出钳位电流	$V_O < 0$	-20	mA
$I_{IOK}$	输入-输出钳位电流	P 端口	$V_O < 0$ 或 $V_O > V_{CCP}$	$\pm 20$
		SDA	$V_O < 0$ 或 $V_O > V_{CCI}$	$\pm 20$
$I_{OL}$	持续输出低电平电流 <sup>(3)</sup>	P 端口	$V_O = 0$ 至 $V_{CCP}$	50
		SDA	$V_O = 0$ 至 $V_{CCI}$	25
$I_{OH}$	持续输出高电平电流 <sup>(3)</sup>	P 端口	$V_O = 0$ 至 $V_{CCP}$	-50
$I_{CC}$	通过 GND 的持续电流		-200	mA
$I_{CC}$	通过 $V_{CCP}$ 的持续电流		160	mA
	通过 $V_{CCI}$ 的持续电流		10	
$T_J$	结温		130	°C
$T_{stg}$	贮存温度		-65	150

- 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- 如果遵守输入和输出电流额定值，有可能超过输入负电压和输出电压额定值。
- 如果将该引脚设置为输出，则不允许将 IO 引脚直接连接到 GND，因为这会产生大于 150mA 的电流，从而可能损坏器件。如果用户希望将 IO 引脚连接到 GND，我们建议将大于 10k $\Omega$  的下拉电阻连接到 IO 引脚。

### 5.2 ESD 等级

		值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚 <sup>(1)</sup>	$\pm 4000$
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC 规范 JS-002，所有引脚 <sup>(2)</sup>	$\pm 1000$

- JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
- JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

### 5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	最大值	单位	
$V_{CC1}$ 、 $V_{CCP}$	电源电压	1.08	3.6	V	
$V_{IH}$	高电平输入电压	SCL、SDA、 $\overline{RESET}$	$0.7 * V_{CC1}$	3.6	V
		P00-P17、ADDR	$0.7 * V_{CCP}$	3.6	
$V_{IL}$	低电平输入电压	SCL、SDA、 $\overline{RESET}$	-0.5	$0.3 * V_{CC1}$	V
		P00-P17、ADDR	-0.5	$0.3 * V_{CCP}$	V
$I_{OH}$	高电平输出电流			-10	mA
$I_{OL}$	低电平输出电流 ( $V_{OL} \leq 0.3V$ )			25	mA
$T_A$	环境温度	-40	125	°C	
$T_J$	结温		125	°C	

### 5.4 热性能信息

热指标 <sup>(1)</sup>	封装	封装			单位
		DGS (VSSOP)	PW (TSSOP)	RTW (WQFN)	
		引脚	引脚	引脚	
$R_{\theta JA}$	结至环境热阻	86.3	101.4	47.1	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	34.6	45.2	41.2	°C/W
$R_{\theta JB}$	结至电路板热阻	47.5	56.6	26.6	°C/W
$\Psi_{JT}$	结至顶部特征参数	1.5	6.9	2.2	°C/W
$\Psi_{JB}$	结至电路板特征参数	47.2	56.2	26.5	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	15.8	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用手册。

## 5.5 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	V <sub>CCP</sub>	最小值	典型值	最大值	单位
V <sub>IK</sub>	输入二极管钳位电压	I <sub>I</sub> = -18mA	1.08V 至 3.6V	-1.2			V
V <sub>PORR</sub>	上电复位电压, V <sub>CC</sub> 上升	V <sub>I</sub> = V <sub>CC</sub> 或 GND, I <sub>O</sub> = 0			0.85	1.0	V
V <sub>PORF</sub>	上电复位电压, V <sub>CC</sub> 下降	V <sub>I</sub> = V <sub>CC</sub> 或 GND, I <sub>O</sub> = 0		0.6	0.75		V
V <sub>OH</sub>	P 端口高电平输出电压	I <sub>OH</sub> = -8mA ; CC-XX = 11b	1.08V	0.8			V
			1.65V	1.4			
			2.3V	2.1			
			3V	2.8			
		I <sub>OH</sub> = -2.5mA 且 CC-XX = 00b ; I <sub>OH</sub> = -5mA 且 CC-XX = 01b ; I <sub>OH</sub> = -7.5mA 且 CC-XX = 10b ; I <sub>OH</sub> = -10mA 且 CC-XX = 11b ;	1.08V	0.75			
			1.65V	1.4			
			2.3V	2.1			
			3V	2.8			
V <sub>OL</sub>	低电平输出电压	P 端口 I <sub>OL</sub> = 8mA ; CC-XX = 11b	1.08V		0.2		V
			1.65V		0.15		
			2.3V		0.1		
			3.0V		0.1		
		P 端口 I <sub>OL</sub> = 2.5mA 且 CC-XX = 00b ; I <sub>OL</sub> = 5mA 且 CC-XX = 01b ; I <sub>OL</sub> = 7.5mA 且 CC-XX = 10b ; I <sub>OL</sub> = 10mA 且 CC-XX = 11b ;	1.08V		0.25		V
			1.65V		0.15		
			2.3V		0.1		
			3.0V		0.1		
I <sub>OL</sub>	低电平输出电流	SDA	V <sub>OL</sub> = 0.4V	1.08V 至 3.6V	20		mA
		INT	V <sub>OL</sub> = 0.4V		4		
I <sub>I</sub>	输入漏电流	P 端口	V <sub>I</sub> = V <sub>CC</sub> 或 GND	1.08V 至 3.6V		±1	μA
			V <sub>I</sub> = 3.6V	0V		±1	
I <sub>I</sub>	输入漏电流	SCL、SDA、RESET	V <sub>I</sub> = V <sub>CC</sub> 或 GND	1.08V 至 3.6V		±1	μA
I <sub>I</sub>	输入漏电流	ADDR	V <sub>I</sub> = V <sub>CC</sub> 或 GND	1.08V 至 3.6V		±1	μA

## 5.5 电气特性 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数		测试条件	V <sub>CCP</sub>	最小值	典型值	最大值	单位	
I <sub>CC</sub> (I <sub>CCI</sub> + I <sub>CCP</sub> )	静态电流	工作模式 (400kHz)	SDA, RESET = V <sub>CCI</sub> , P 端口, ADDR = V <sub>CCP</sub> 或 GND, I/O = 输入, f <sub>SCL</sub> = 400kHz, - 40°C < T <sub>A</sub> ≤ 85°C	3.6V	7	15	μA	
			2.7V	5	11			
			1.95V	4	8			
			1.32V	2	6			
			工作模式 (1MHz)	SDA, RESET = V <sub>CCI</sub> , P 端口, ADDR = V <sub>CCP</sub> 或 GND, I/O = 输入, f <sub>SCL</sub> = 400kHz, 85°C < T <sub>A</sub> ≤ 125°C	3.6V	7	24	μA
				2.7V	5	18		
				1.95V	4	14		
				1.32V	2	11		
		工作模式 (1MHz)	SDA, RESET = V <sub>CCI</sub> , P 端口, ADDR = V <sub>CCP</sub> 或 GND, I/O = 输入, f <sub>SCL</sub> = 1MHz, - 40°C < T <sub>A</sub> ≤ 85°C	3.6V		34	μA	
				2.7V		24		
				1.95V		18		
				1.32V		12		
			SDA, RESET = V <sub>CCI</sub> , P 端口, ADDR = V <sub>CCP</sub> 或 GND, I/O = 输入, f <sub>SCL</sub> = 1MHz, 85°C < T <sub>A</sub> ≤ 125°C	3.6V		42	μA	
				2.7V		30		
				1.95V		22		
				1.32V		16		
待机模式	SCL, SDA, RESET = V <sub>CCI</sub> , P 端口, ADDR = V <sub>CCP</sub> 或 GND, I/O = 输入, I <sub>O</sub> = 0, f <sub>SCL</sub> = 0kHz, - 40°C < T <sub>A</sub> ≤ 85°C	3.6V	1.5	4	μA			
		2.7V	1.2	3				
		1.95V	0.6	3				
		1.32V	0.6	3				
	SCL, SDA, RESET = V <sub>CCI</sub> , P 端口, ADDR = V <sub>CCP</sub> 或 GND, I/O = 输入, I <sub>O</sub> = 0, f <sub>SCL</sub> = 0kHz, 85°C < T <sub>A</sub> ≤ 125°C	3.6V		14	μA			
		2.7V		10				
		1.95V		8				
		1.32V		6				
R <sub>pu(int)</sub>	内部上拉电阻	P 端口		70	100	140	kΩ	
R <sub>pd(int)</sub>	内部下拉电阻							
C <sub>I</sub>	输入引脚电容	SCL	V <sub>I</sub> = V <sub>CC</sub> 或 GND	1.08V 至 3.6V	2.5	5	pF	
C <sub>IO</sub>	输入-输出引脚电容	SDA	V <sub>IO</sub> = V <sub>CC</sub> 或 GND	1.08V 至 3.6V	6	8	pF	
		P 端口	V <sub>IO</sub> = V <sub>CC</sub> 或 GND	1.08V 至 3.6V	6	8.5		

## 5.6 时序要求

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	最大值	单位
<b>RESET</b>				
t <sub>w</sub>	复位脉冲持续时间	80		ns
t <sub>REC</sub>	复位恢复时间	0		ns
t <sub>RESET</sub>	复位时间	400		ns
<b>P 端口</b>				
t <sub>PH</sub>	导致中断的 P 端口上的最小脉冲宽度	30		ns

## 5.7 I<sup>2</sup>C 总线时序要求

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	最大值	单位
<b>I<sup>2</sup>C 总线 - 标准模式</b>				
f <sub>scl</sub>	I <sup>2</sup> C 时钟频率	0	100	kHz
t <sub>sch</sub>	I <sup>2</sup> C 时钟高电平时间	4		μs
t <sub>scl</sub>	I <sup>2</sup> C 时钟低电平时间	4.7		μs
t <sub>sp</sub>	I <sup>2</sup> C 尖峰时间		50	ns
t <sub>sds</sub>	I <sup>2</sup> C 串行数据设置时间	250		ns
t <sub>sdh</sub>	I <sup>2</sup> C 串行数据保持时间	0		ns
t <sub>icr</sub>	I <sup>2</sup> C 输入上升时间		1000	ns
t <sub>icf</sub>	I <sup>2</sup> C 输入下降时间		300	ns
t <sub>ocf</sub>	I <sup>2</sup> C 输出下降时间	10pF 至 400pF 总线	300	ns
t <sub>buf</sub>	停止和启动之间的 I <sup>2</sup> C 总线空闲时间	4.7		μs
t <sub>sts</sub>	I <sup>2</sup> C 启动或重复启动条件设置	4.7		μs
t <sub>sth</sub>	I <sup>2</sup> C 启动或重复启动条件保持	4		μs
t <sub>sps</sub>	I <sup>2</sup> C 停止条件设置	4		μs
t <sub>vd(data)</sub>	有效数据时间	SCL 低电平到 SDA 输出有效	3.45	μs
t <sub>vd(ack)</sub>	ACK 条件的有效数据时间	从 SCL 低电平到 SDA (输出) 低电平的 ACK 信号	3.45	μs
C <sub>b</sub>	I <sup>2</sup> C 总线容性负载		400	pF
<b>I<sup>2</sup>C 总线 - 快速模式</b>				
f <sub>scl</sub>	I <sup>2</sup> C 时钟频率	0	400	kHz
t <sub>sch</sub>	I <sup>2</sup> C 时钟高电平时间	0.6		μs
t <sub>scl</sub>	I <sup>2</sup> C 时钟低电平时间	1.3		μs
t <sub>sp</sub>	I <sup>2</sup> C 尖峰时间		50	ns
t <sub>sds</sub>	I <sup>2</sup> C 串行数据设置时间	100		ns
t <sub>sdh</sub>	I <sup>2</sup> C 串行数据保持时间	0		ns
t <sub>icr</sub>	I <sup>2</sup> C 输入上升时间	20	300	ns
t <sub>icf</sub>	I <sup>2</sup> C 输入下降时间	20 × (V <sub>CC</sub> /5.5V)	300	ns
t <sub>ocf</sub>	I <sup>2</sup> C 输出下降时间	10pF 至 400pF 总线 20 × (V <sub>CC</sub> /5.5V)	300	ns
t <sub>buf</sub>	停止和启动之间的 I <sup>2</sup> C 总线空闲时间	1.3		μs
t <sub>sts</sub>	I <sup>2</sup> C 启动或重复启动条件设置	0.6		μs
t <sub>sth</sub>	I <sup>2</sup> C 启动或重复启动条件保持	0.6		μs
t <sub>sps</sub>	I <sup>2</sup> C 停止条件设置	0.6		μs
t <sub>vd(data)</sub>	有效数据时间	SCL 低电平到 SDA 输出有效	0.9	μs
t <sub>vd(ack)</sub>	ACK 条件的有效数据时间	从 SCL 低电平到 SDA (输出) 低电平的 ACK 信号	0.9	μs
C <sub>b</sub>	I <sup>2</sup> C 总线容性负载		400	pF
<b>I<sup>2</sup>C 总线 - 快速+ 模式</b>				
f <sub>scl</sub>	I <sup>2</sup> C 时钟频率	0	1000	kHz

## 5.7 I<sup>2</sup>C 总线时序要求 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	最大值	单位	
t <sub>sch</sub>	I <sup>2</sup> C 时钟高电平时间	0.26		μs	
t <sub>scl</sub>	I <sup>2</sup> C 时钟低电平时间	0.5		μs	
t <sub>sp</sub>	I <sup>2</sup> C 尖峰时间		50	ns	
t <sub>sds</sub>	I <sup>2</sup> C 串行数据设置时间	50		ns	
t <sub>sdh</sub>	I <sup>2</sup> C 串行数据保持时间	0		ns	
t <sub>icr</sub>	I <sup>2</sup> C 输入上升时间		120	ns	
t <sub>icf</sub>	I <sup>2</sup> C 输入下降时间	20 × (V <sub>CC</sub> /5.5V)	120	ns	
t <sub>ocf</sub>	I <sup>2</sup> C 输出下降时间	10pF 至 550pF 总线	20 × (V <sub>CC</sub> /5.5V)	120	ns
t <sub>buf</sub>	停止和启动之间的 I <sup>2</sup> C 总线空闲时间	0.5		μs	
t <sub>sts</sub>	I <sup>2</sup> C 启动或重复启动条件设置	0.26		μs	
t <sub>sth</sub>	I <sup>2</sup> C 启动或重复启动条件保持	0.26		μs	
t <sub>sps</sub>	I <sup>2</sup> C 停止条件设置	0.26		μs	
t <sub>vd(data)</sub>	有效数据时间	SCL 低电平到 SDA 输出有效	0.45	μs	
t <sub>vd(ack)</sub>	ACK 条件的有效数据时间	从 SCL 低电平到 SDA (输出) 低电平的 ACK 信号	0.45	μs	
C <sub>b</sub>	I <sup>2</sup> C 总线容性负载		550	pF	

## 5.8 开关特性

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数		从 (输入)	至 (输出)	最小值	典型值	最大值	单位
t <sub>iv</sub>	中断有效时间	P 端口	INT			1	μs
t <sub>ir</sub>	中断复位延迟时间	SCL	INT			1	μs
t <sub>pv</sub>	输出数据有效时间	SCL	P 端口			400	ns
t <sub>ps</sub>	输入数据设置时间	P 端口	SCL	0			ns
t <sub>ph</sub>	输入数据保持时间	P 端口	SCL	300			ns

## 5.9 典型特性

$T_A = 25^\circ\text{C}$  (除非另有说明)

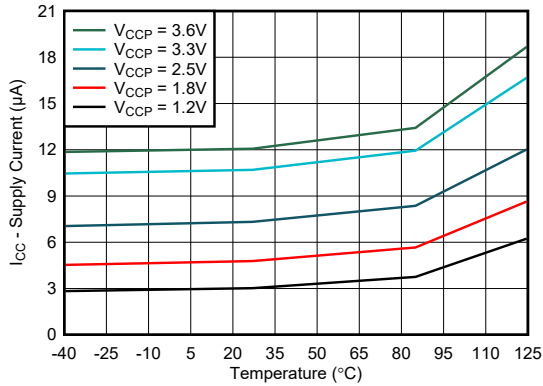


图 5-1. 电源电流与温度间的关系 - FM 模式

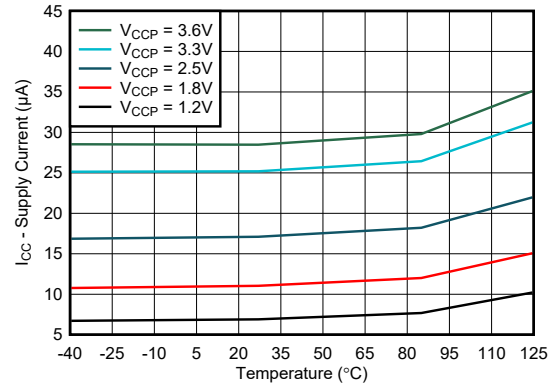


图 5-2. 电源电流与温度间的关系 - FM+ 模式

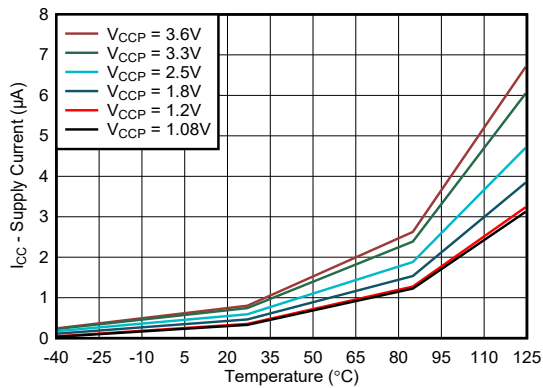


图 5-3. 待机电源电流与温度间的关系

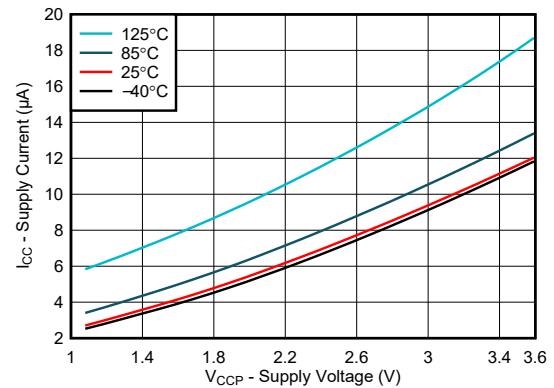


图 5-4. 电源电流与电源电压的关系 - FM 模式

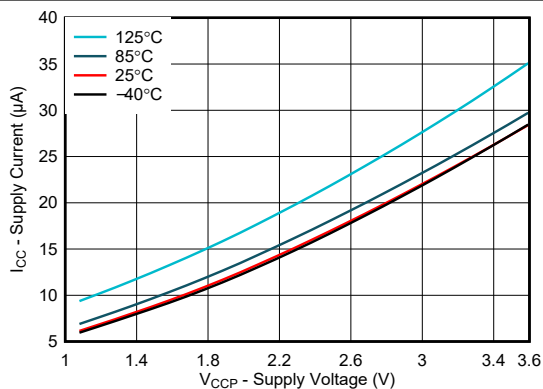


图 5-5. 电源电流与电源电压的关系 - FM+ 模式

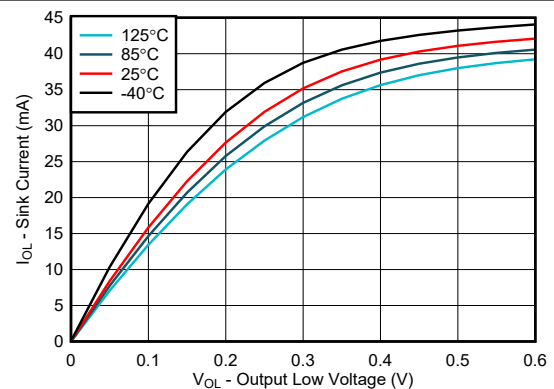


图 5-6. I/O 灌电流与输出低电压的关系,  $V_{CCP} = 1.08\text{V}$

### 5.9 典型特性 (续)

$T_A = 25^\circ\text{C}$  (除非另有说明)

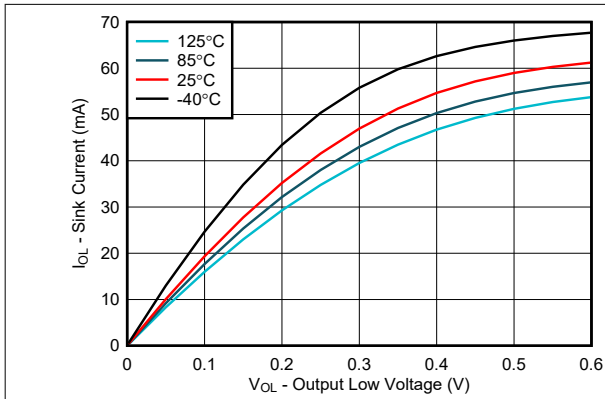


图 5-7. I/O 灌电流与输出低电压的关系,  $V_{CCP} = 1.2\text{V}$

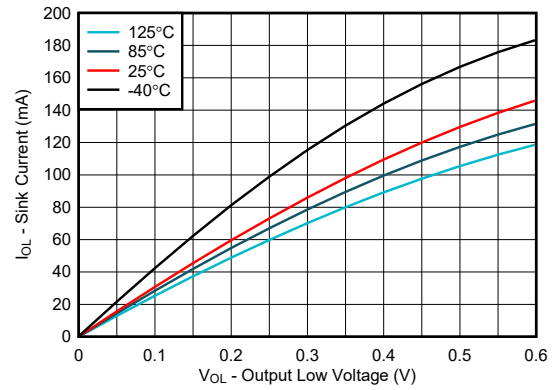


图 5-8. I/O 灌电流与输出低电压的关系,  $V_{CCP} = 1.8\text{V}$

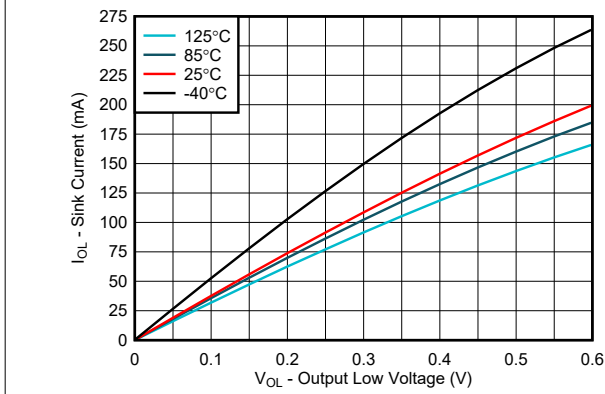


图 5-9. I/O 灌电流与输出低电压的关系,  $V_{CCP} = 2.5\text{V}$

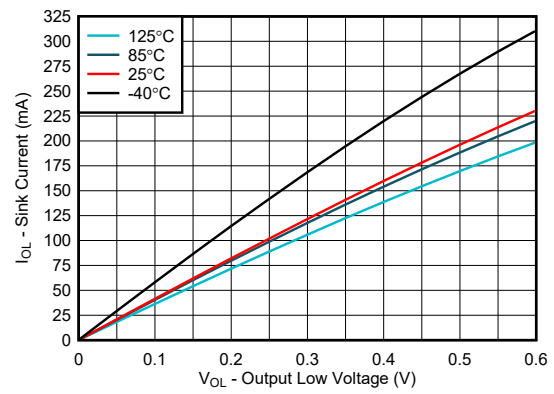


图 5-10. I/O 灌电流与输出低电压的关系,  $V_{CCP} = 3.3\text{V}$

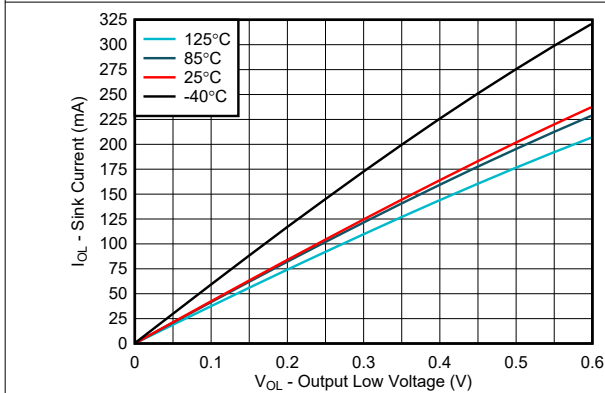


图 5-11. I/O 灌电流与输出低电压的关系,  $V_{CCP} = 3.6\text{V}$

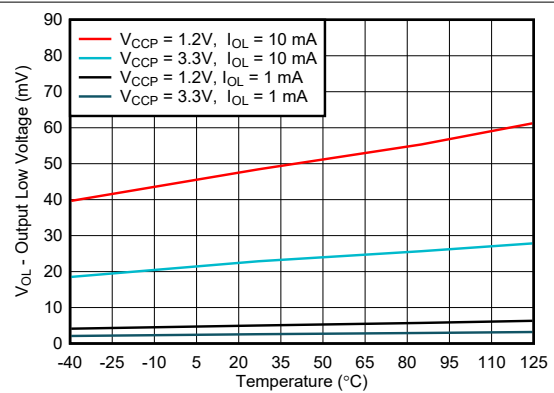


图 5-12. I/O 低电压与温度的关系

## 5.9 典型特性 (续)

$T_A = 25^\circ\text{C}$  (除非另有说明)

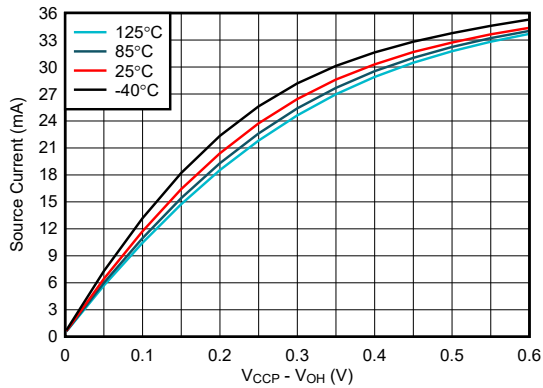


图 5-13. I/O 拉电流与输出高电压的关系，  
 $V_{CCP} = 1.08\text{V}$

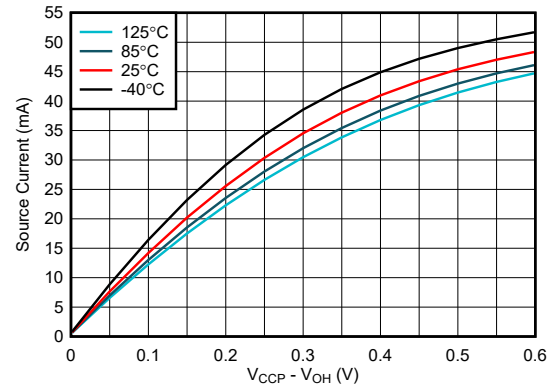


图 5-14. I/O 拉电流与输出高电压的关系，  
 $V_{CCP} = 1.2\text{V}$

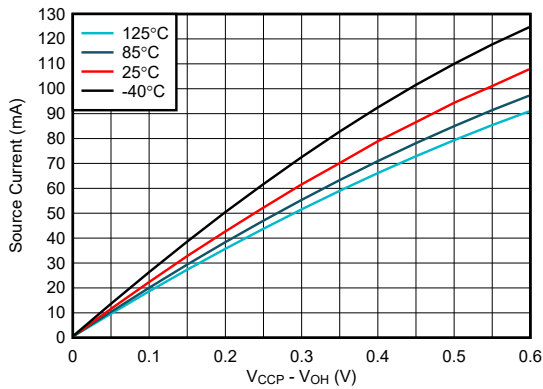


图 5-15. I/O 拉电流与输出高电压的关系，  
 $V_{CCP} = 1.8\text{V}$

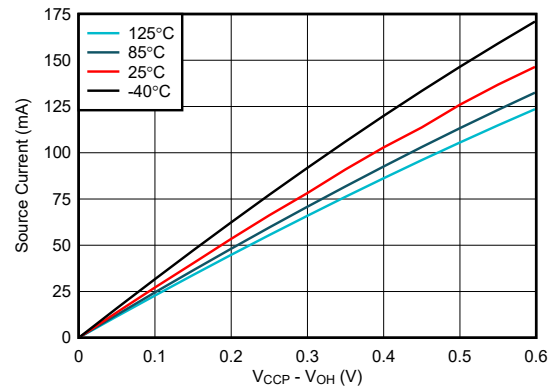


图 5-16. I/O 拉电流与输出高电压的关系，  
 $V_{CCP} = 2.5\text{V}$

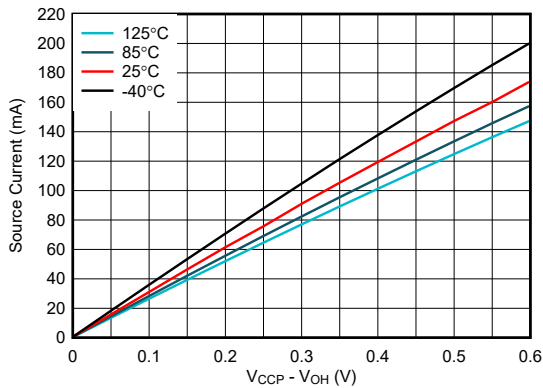


图 5-17. I/O 拉电流与输出高电压的关系，  
 $V_{CCP} = 3.3\text{V}$

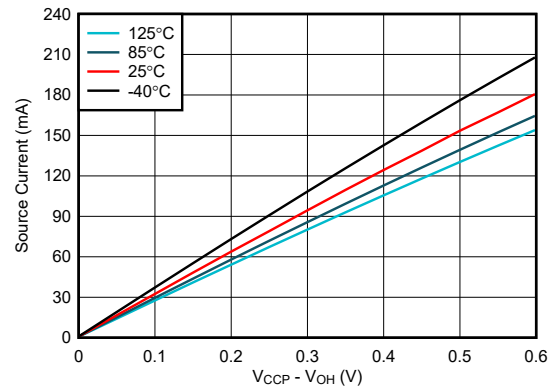


图 5-18. I/O 拉电流与输出高电压的关系，  
 $V_{CCP} = 3.6\text{V}$

## 5.9 典型特性 (续)

$T_A = 25^\circ\text{C}$  (除非另有说明)

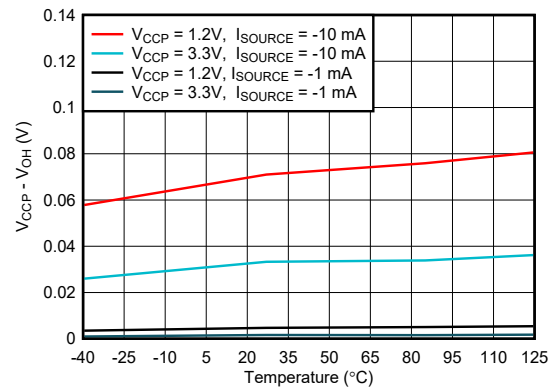
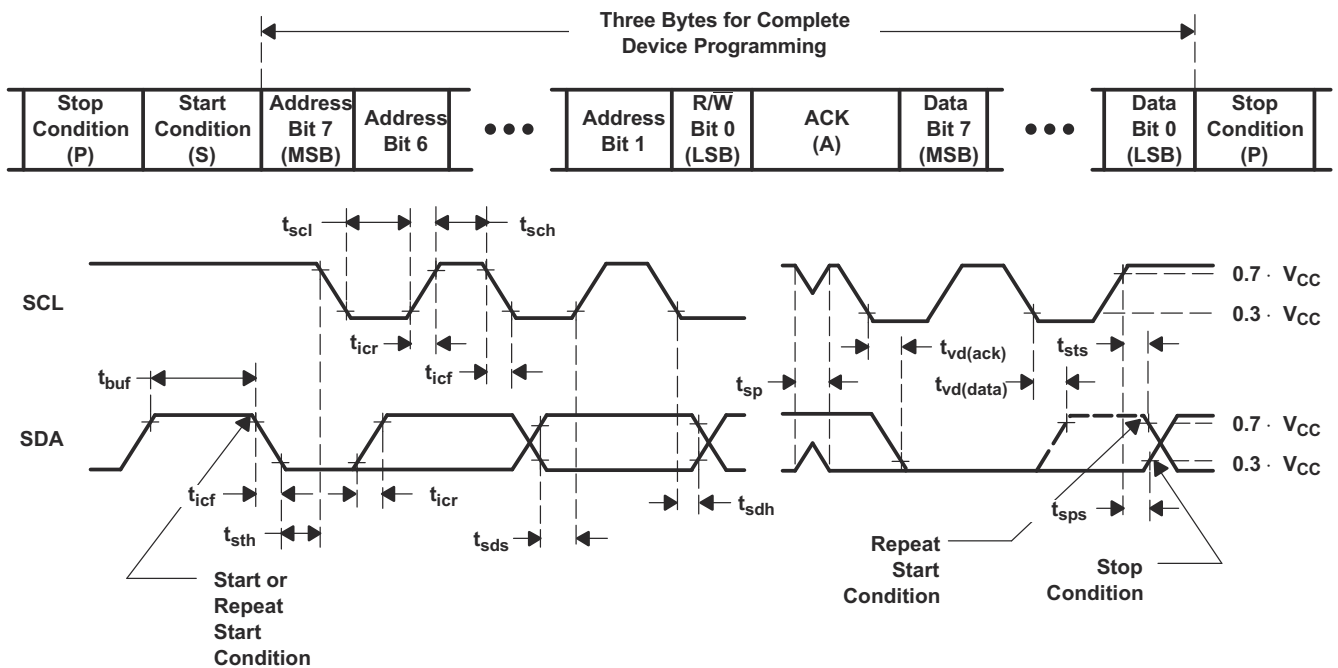
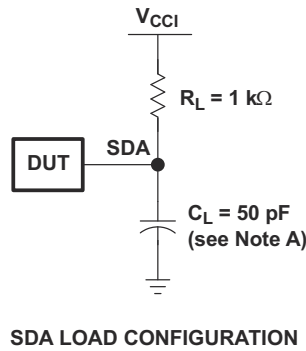


图 5-19. I/O 高电压与温度间的关系

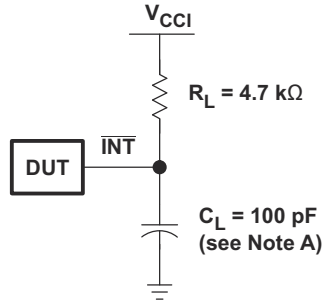
## 6 参数测量信息



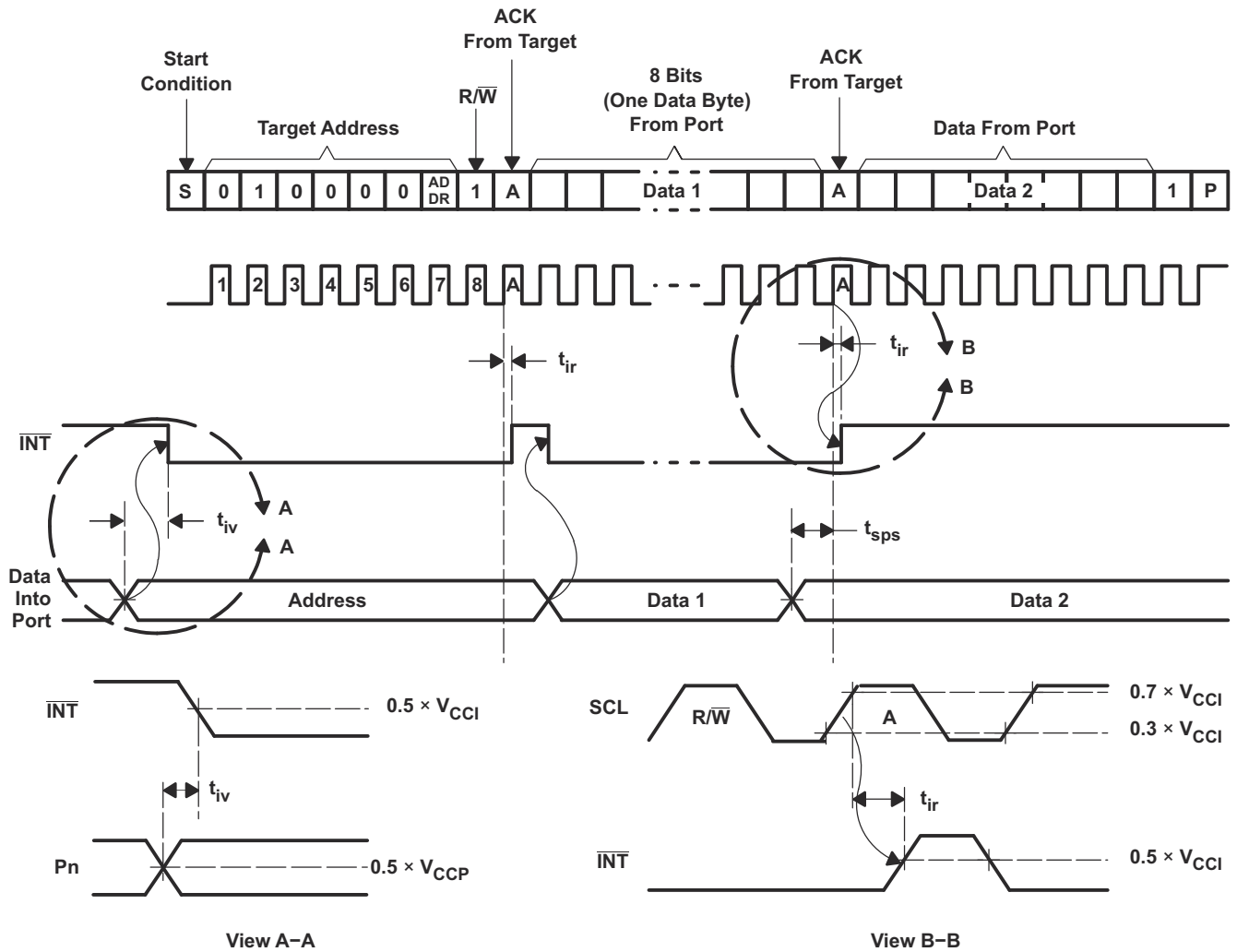
BYTE	DESCRIPTION
1	I <sup>2</sup> C address
2, 3	P-port data

- A.  $C_L$  包括探针和夹具电容。使用 10pF 或 400pF 的  $C_L$  测量  $t_{ocf}$ 。
- B. 所有输入均由具有以下特性的发生器供电：PRR  $\leq$  10MHz， $Z_0 = 50\Omega$ ， $t_r/t_f \leq 30ns$ 。
- C. 并非所有参数和波形都适用于所有器件。

图 6-1. I<sup>2</sup>C 接口负载电路和电压波形

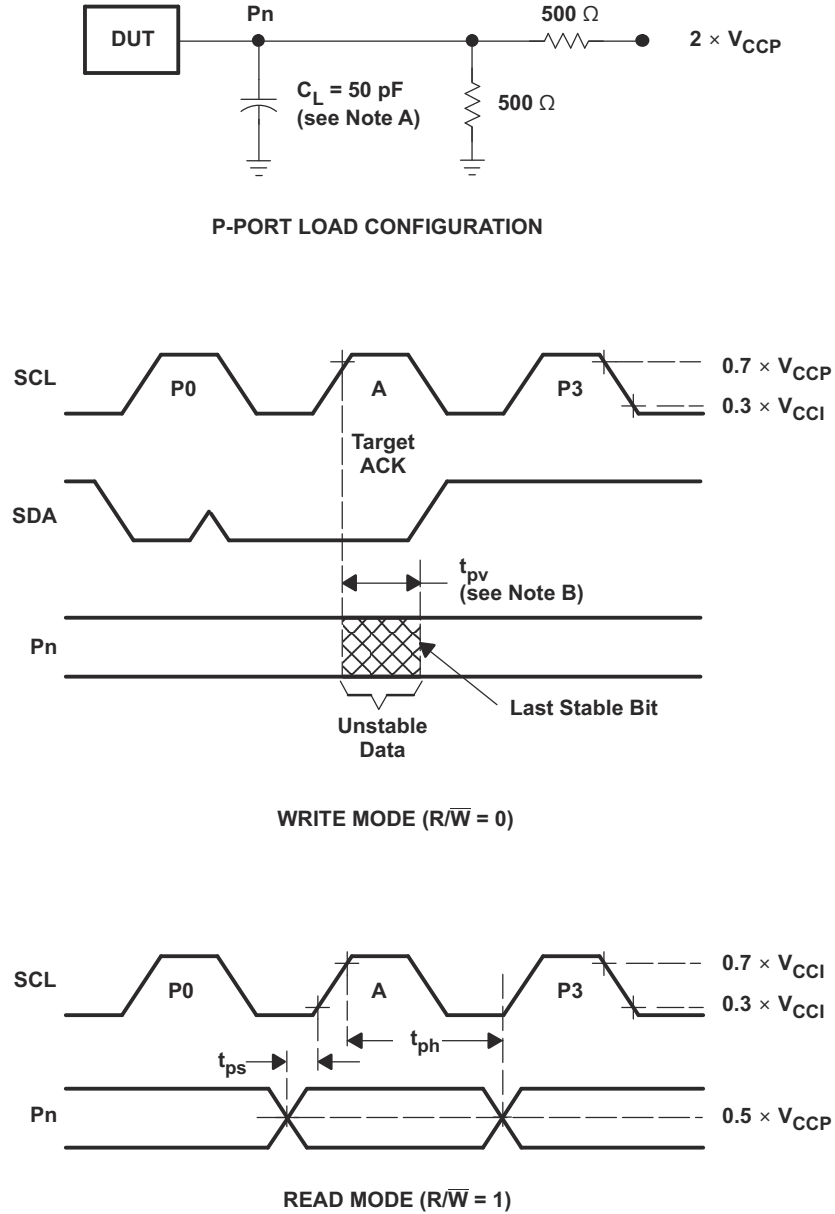


INTERRUPT LOAD CONFIGURATION



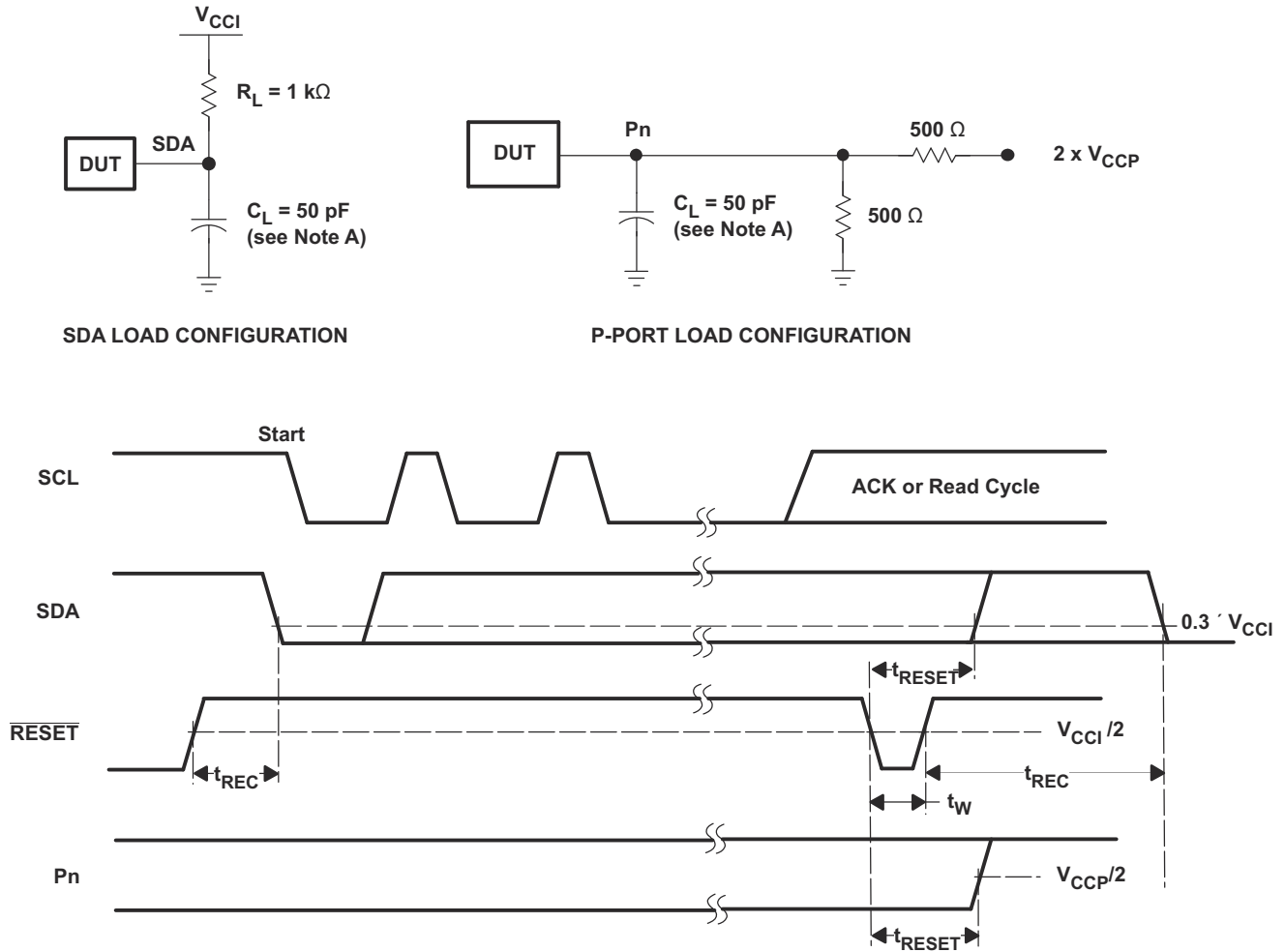
- A.  $C_L$  包括探针和夹具电容。
- B. 所有输入均由具有以下特性的发生器供电： $PRR \leq 10\text{MHz}$ ， $Z_O = 50\Omega$ ， $t_r/t_f \leq 30\text{ns}$ 。
- C. 并非所有参数和波形都适用于所有器件。

图 6-2. 中断负载电路和电压波形



- A.  $C_L$  包括探针和夹具电容。
- B.  $t_{pv}$  的测量范围为  $0.7 \times V_{CC}$  上的  $V_{CC}$  到 50% 的 I/O ( $P_n$ ) 输出。
- C. 所有输入均由具有以下特性的发生器供电： $PRR \leq 10\text{MHz}$ ， $Z_O = 50\Omega$ ， $t_r/t_f \leq 30\text{ns}$ 。
- D. 每次测量这些输出中的一个，每次测量转换一次。
- E. 并非所有参数和波形都适用于所有器件。

图 6-3. P 端口负载电路和时序波形



- A.  $C_L$  包括探针和夹具电容。
- B. 所有输入均由具有以下特性的发生器供电： $PRR \leq 10\text{MHz}$ ， $Z_O = 50\Omega$ ， $t_r/t_f \leq 30\text{ns}$ 。
- C. 每次测量这些输出中的一个，每次测量转换一次。
- D. I/O 配置为输入。
- E. 并非所有参数和波形都适用于所有器件。

图 6-4. 复位负载电路和电压波形

## 7 详细说明

### 7.1 概述

TCAL6416 支持宽电源电压范围内的电压转换。这使得器件能够与 I<sup>2</sup>C 侧的现代处理器连接，在这种情况下，电源电平较低，可节省电能。与处理器的电源电压降低相反，一些 PCB 元件（如 LED）仍然需要更高电压的电源。

V<sub>CCI</sub> 引脚是 I<sup>2</sup>C 总线的电源，因此连接到 SCL、SDA 和 RESET 引脚的上拉电阻器应在另一端连接 V<sub>CCI</sub>。INT 输出具有开漏结构，需要外部上拉电阻器连接到 V<sub>CCP</sub> 或 V<sub>CCI</sub>，具体取决于应用。V<sub>CCP</sub> 引脚是 P 端口的电源。如果在任何 P 端口上使用外部上拉电阻器，或 LED 由任何 P 端口驱动，则连接到 P00-P07 和 P10-P17 的一个或多个电阻器或 LED 应在另一端连接 V<sub>CCP</sub>。配置为输出的器件 P 端口能够吸收高达 25mA 的电流以直接驱动 LED，但必须使用额外的电阻从外部限制电流。

TCAL6416 数字内核由 8 位数据寄存器组成，允许用户配置 I/O 端口特性。上电时或软件复位调用后，I/O 被配置为输入。但是，系统控制器可以通过写入配置寄存器将 I/O 配置为输入或输出。每个输入或输出的数据都保存在相应的输入端口或输出端口寄存器中。输入端口寄存器的极性可由极性反转寄存器转换。系统控制器可以读取所有寄存器。此外，TCAL6416 还具有专门用于增强 I/O 端口的敏捷 I/O 功能。敏捷 I/O 特性和寄存器包括可编程输出驱动强度、可编程上拉和下拉电阻器、可锁存输入、可屏蔽中断、中断状态寄存器，以及可编程开漏或推挽输出。这些配置寄存器通过增加灵活性并允许用户优化功耗、速度和 EMI 的设计来改善 I/O。

该器件的其他功能包括每当输入端口改变状态时，都会在  $\overline{\text{INT}}$  引脚上生成中断。通过发出软件复位命令，或通过循环对器件供电并导致上电复位，可以将器件复位为默认状态。ADDR 硬件可选地址引脚允许两个 TCAL6416 器件连接到同一 I<sup>2</sup>C 总线。

当任何输入状态与其对应的输入端口寄存器状态不同时，TCAL6416 开漏中断 ( $\overline{\text{INT}}$ ) 输出会被激活，并用于向系统控制器指示输入状态已更改。 $\overline{\text{INT}}$  引脚可以连接到处理器的中断输入。通过在这条线路上发送一个中断信号，该器件可通知处理器在远程 I/O 端口上是否存在输入数据，而无须通过 I<sup>2</sup>C 总线进行通信。因此，该器件还可作为简单的目标器件。

在发生超时或其他不正确操作时，系统控制器可以通过在 RESET 输入引脚上断言低电平而重新初始化 I<sup>2</sup>C/SMBus 状态机，而无需将粘滞寄存器复位为默认值。

一个硬件引脚 (ADDR) 可用于编程和改变固定 I<sup>2</sup>C 地址，并允许两个器件共享相同的 I<sup>2</sup>C 总线或 SMBus。

### 7.2 功能方框图

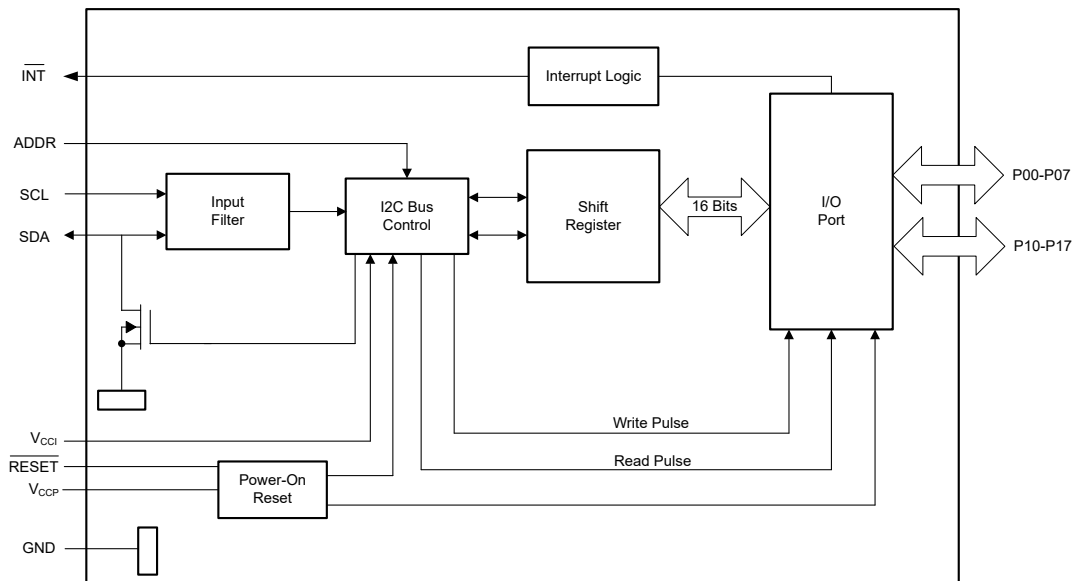
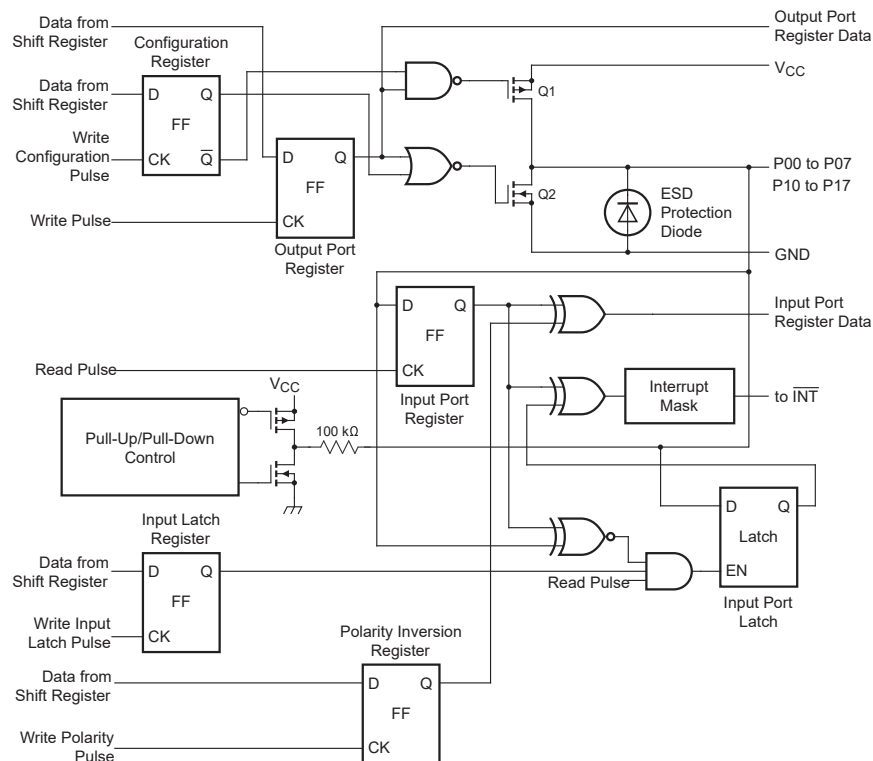


图 7-1. 逻辑图 (正逻辑)



A. 上电或复位时，所有寄存器都恢复为默认值。

图 7-2. P00 至 P17 的简化原理图

### 7.3 特性说明

#### 7.3.1 电压转换

表 7-1 列出了 TCAL6416 支持的适用于 I<sup>2</sup>C 总线 (V<sub>CCI</sub>) 和 P 端口 (V<sub>CCP</sub>) 的所有可选电压供应电平组合。

表 7-1. 电压转换

V <sub>CCI</sub> ( I <sup>2</sup> C 控制器的 SDA 和 SCL ) (V)	V <sub>CCP</sub> ( P 端口 ) (V)
1.2	1.2
1.2	1.8
1.2	2.5
1.2	3.3
1.8	1.2
1.8	1.8
1.8	2.5
1.8	3.3
2.5	1.2
2.5	1.8
2.5	2.5
2.5	3.3
3.3	1.2
3.3	1.8

表 7-1. 电压转换 (续)

V <sub>CCI</sub> (I <sup>2</sup> C 控制器的 SDA 和 SCL) (V)	V <sub>CCP</sub> (P 端口) (V)
3.3	2.5
3.3	3.3

### 7.3.2 I/O 端口

当 I/O 配置为输入时，FET Q1 和 Q2 处于关闭状态（请参阅节 7.2），从而创建一个高阻抗输入。输入电压可以升高到高于电源电压，最大值为 3.6V。

如果 I/O 配置为输出，则将启用 Q1 或 Q2，具体取决于输出端口寄存器的状态。在这种情况下，I/O 引脚和电源或 GND 之间存在低阻抗路径。要确保正常运行，施加到此 I/O 引脚的外部电压不应超过推荐电压值。

### 7.3.3 可调输出驱动强度

输出驱动强度寄存器支持用户控制 GPIO 的驱动电平。每个 GPIO 都可以独立地配置为四个可能的电流电平之一。通过对这些位进行编程，用户可以改变驱动 I/O 焊盘的晶体管对或“手指”的数量。图 7-3 展示了简化版输出级。焊盘的行为受配置寄存器、输出端口数据和输出驱动强度寄存器的影响。当输出驱动强度寄存器位被编程为 01b 时，只有两个手指处于活动状态，从而将电流驱动能力降低了 50%。

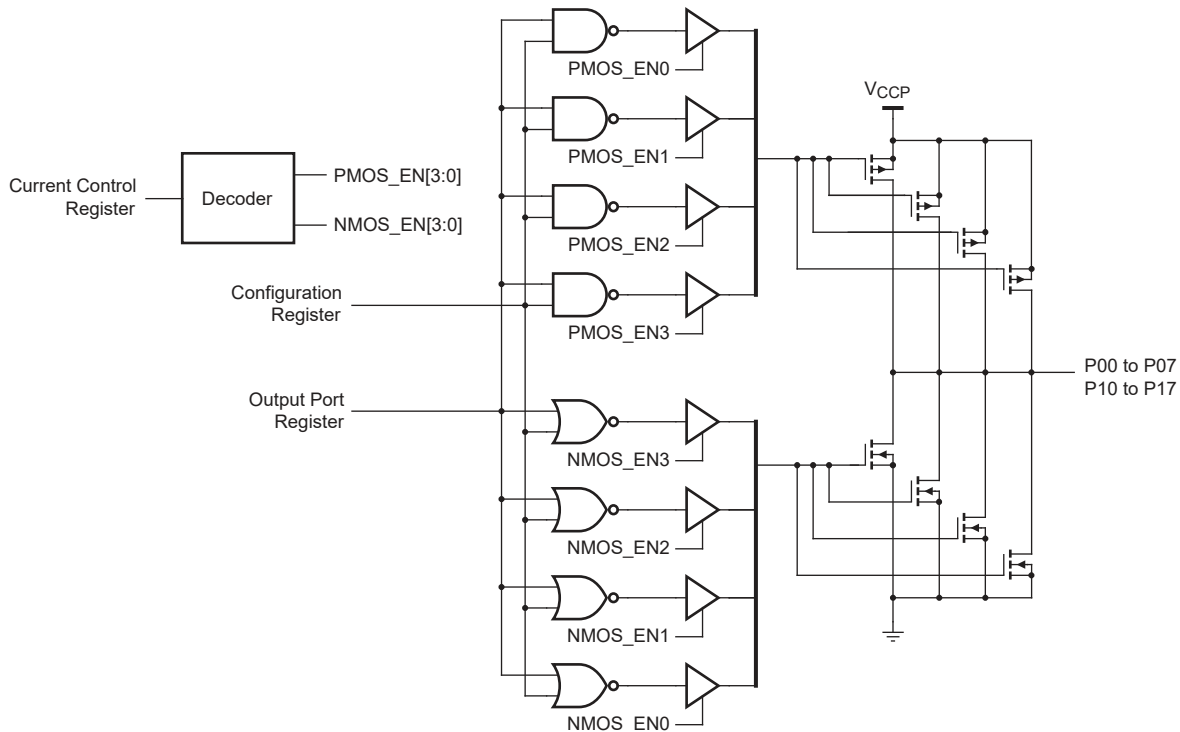


图 7-3. 简化的输出级

输出驱动选择功能会导致在输出切换时出现峰值电流。降低电流驱动能力可能会降低出现的系统噪声。该峰值电流流经电源和 GND 封装电感并产生噪声（会产生一些辐射，但更严重的是会产生同步开关噪声 (SSN)）。换句话说，同时切换多个输出将产生接地和电源噪声。通过输出驱动强度寄存器的输出驱动强度控制使用户能够缓解 SSN 问题，而无需额外的外部元件。

### 7.3.4 中断输出 ( $\overline{INT}$ )

如果中断特性未被屏蔽，在输入模式中，端口输入的任何上升沿或下降沿都会生成中断。经过时间  $t_{IV}$  后， $\overline{INT}$  信号将有效。当端口上的数据改回原始设置或从生成中断的端口读取数据时，即可实现中断电路的复位。复位发生

在读取模式下 SCL 信号上升沿之后的应答 (ACK) 位处。由于在 ACK 时钟脉冲期间发生的中断进行了复位，因此在该脉冲期间发生的中断可能会丢失 (或非常短)。复位后，I/O 的每次更改都会被检测到并作为  $\overline{\text{INT}}$  发送。

对另一个器件进行读取或写入不会影响中断电路，并且配置为输出的引脚不会导致中断。将 I/O 从输出更改为输入时，如果引脚的状态与输入端口寄存器的内容不匹配，可能会导致伪中断。

$\overline{\text{INT}}$  输出具有开漏结构，需要外部上拉电阻器连接到  $V_{\text{CCP}}$  或  $V_{\text{CCI}}$ ，具体取决于应用。 $\overline{\text{INT}}$  的上拉电阻器应连接到需要中断信息的器件的电压源。

### 7.3.5 复位输入 ( $\overline{\text{RESET}}$ )

可以断言  $\overline{\text{RESET}}$  输入以初始化系统，同时保持  $V_{\text{CCP}}$  电源在其工作电平。将  $\overline{\text{RESET}}$  引脚保持在低电平至少  $t_{\text{W}}$ ，可实现复位。TCAL6416 寄存器和 I<sup>2</sup>C/SMBus 状态机在  $\overline{\text{RESET}}$  为低电平 (0) 时更改为其默认状态。当  $\overline{\text{RESET}}$  为高电平 (1) 时，可从外部或通过控制器更改 P 端口的 I/O 电平。如果未使用有效连接，该输入需要将一个上拉电阻器连接到  $V_{\text{CCI}}$ 。当  $\overline{\text{RESET}}$  被切换时，会更新输入端口寄存器以反映 GPIO 引脚的状态。

### 7.3.6 软件复位广播

软件复位广播是 I<sup>2</sup>C 总线上的控制器发出的命令，指示所有支持该命令的器件复位为上电默认状态。要确保按预期运行，I<sup>2</sup>C 总线必须能够正常工作，并且任何器件都不能挂起总线。

软件复位广播定义为以下步骤：

1. I<sup>2</sup>C 总线控制器发送一个启动条件。
2. 使用的地址是保留的通用广播 I<sup>2</sup>C 总线地址“0000 0000”，其中 R/W 位设置为 0。发送的字节为 0x00。
3. 任何支持通用广播功能的器件都将 ACK。如果 R/W 位设置为 1 (读取)，器件将 NACK。
4. 通用广播地址得到应答后，控制器仅发送等于 0x06 的 1 字节数据。如果数据字节是任何其他值，器件不会应答或复位。如果发送的数据超过 1 字节，则不会再应答更多字节，并且器件会忽略 I<sup>2</sup>C 消息，将其视为无效。
5. 发送 1 字节数据 (0x06) 后，控制器发送一个停止条件来结束软件复位序列。器件忽略重复启动条件，不执行复位。

成功完成上述步骤后，器件执行复位。这会将所有寄存器值恢复为上电默认值。

## 7.4 器件功能模式

### 7.4.1 上电复位

将电源 (从 0V) 施加到  $V_{\text{CCP}}$  时，内部上电复位会将 TCAL6416 保持在复位状态，直到电源达到  $V_{\text{POR}}$ 。届时，复位条件会被释放，并且 TCAL6416 寄存器和 I<sup>2</sup>C/SMBus 状态机初始化为默认状态。之后，必须将  $V_{\text{CCP}}$  降至低于  $V_{\text{PORF}}$ ，并恢复到工作电压以完成电源复位周期。

## 7.5 编程

### 7.5.1 I<sup>2</sup>C 接口

双向 I<sup>2</sup>C 总线由串行时钟 (SCL) 线和串行数据 (SDA) 线组成。当连接到器件的输出级时，两条线都必须通过上拉电阻器连接到正电源。只有当总线不忙才能启动数据传输。

当 SCL 输入为高电平时，控制器发送启动条件 (SDA 输入/输出上由高电平到低电平转换) 启动与该器件的 I<sup>2</sup>C 通信 (请参阅图 7-4)。在发送启动条件之后，会发送器件地址字节，首先发送最高有效位 (MSB)，包括数据方向位 (R/W)。

接收到有效地址字节后，该器件以应答 (ACK) 响应，在 ACK 相关时钟脉冲的高电平期间，SDA 输入/输出为低电平。目标器件的地址输入不得在启动条件和停止条件之间更改。

在 I<sup>2</sup>C 总线上，在每个时钟脉冲期间仅传输一个数据位。在时钟周期的高脉冲期间，SDA 线上的数据必须保持稳定，因为此时数据线上的变化会被解释为控制命令 (开始或停止) (请参阅图 7-5)。

控制器会发送停止条件，即当 SCL 输入为高电平时，SDA 输入/输出由低电平到高电平转换 (请参阅图 7-4)。

在开始和停止条件之间，可以将任意数量的数据字节从发送器传输到接收器。每个八位字节后跟一个 ACK 位。发送器必须先释放 SDA 线，接收器才能发送 ACK 位。做出应答的器件必须在 ACK 时钟脉冲期间下拉 SDA 线路，这样，在 ACK 相关时钟周期的高脉冲期间，SDA 线路稳定为低电平（请参阅图 7-6）。当目标接收器被寻址时，它必须在接收到每个字节后生成一个 ACK。类似地，控制器必须在从目标发送器接收到每个字节之后生成一个 ACK。必须满足设置和保持时间才能正常运行。

控制器接收器通过在目标发送器在时钟沿输出最后一个字节后不进行应答 (NACK)，来向目标发送器发送数据结束信号。控制器接收器通过将 SDA 线保持为高电平来实现该目的。在这种情况下，发送器必须释放数据线，才能使控制器生成停止条件。

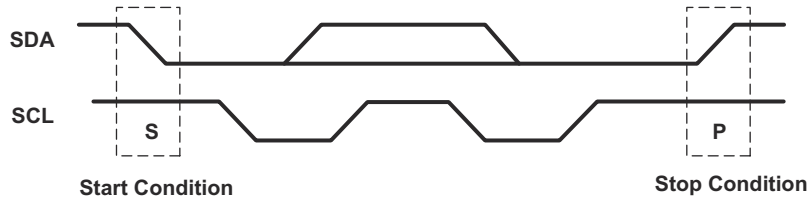


图 7-4. 启动和停止条件的定义

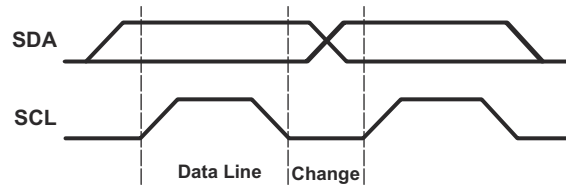


图 7-5. 位传输

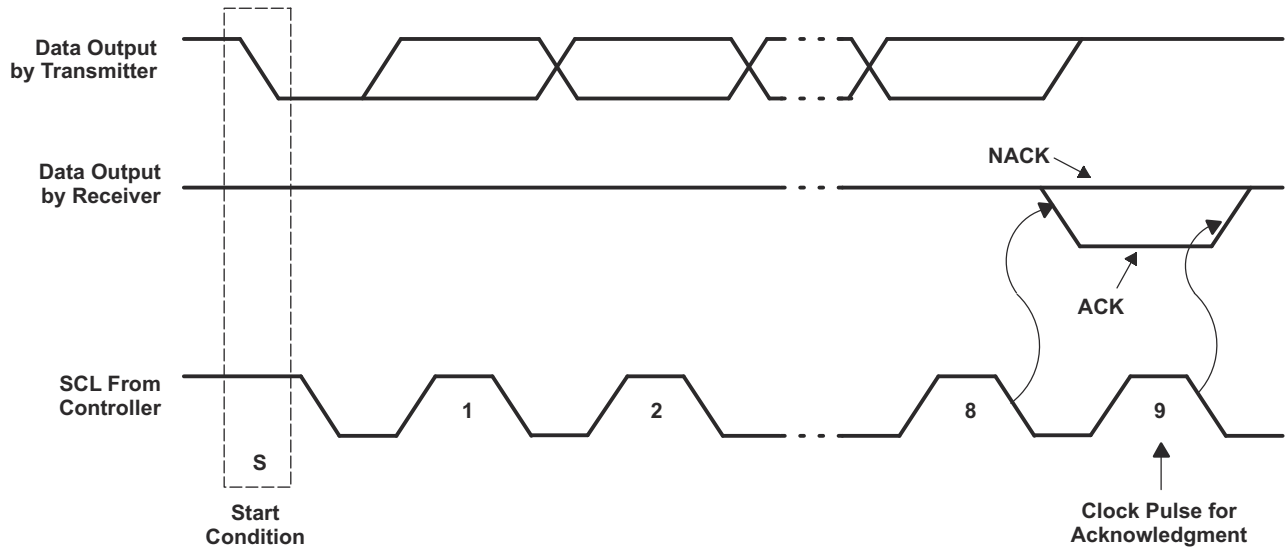


图 7-6. I<sup>2</sup>C 总线上的应答

表 7-2. 接口定义

字节	位							
	7 (MSB)	6	5	4	3	2	1	0 (LSB)
器件 I <sup>2</sup> C 地址	L	H	L	L	L	L	ADDR	R/ $\bar{W}$
I/O 数据总线	P07	P06	P05	P04	P03	P02	P01	P00
	P17	P16	P15	P14	P13	P12	P11	P10

## 7.6 寄存器映射

### 7.6.1 器件地址

图 7-7 展示了 TCAL6416 的地址。

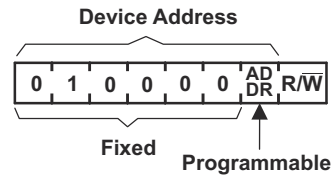


图 7-7. TCAL6416 地址

表 7-3. 地址参考

ADDR	I <sup>2</sup> C 总线目标地址
L	32 (十进制)、20 (十六进制)
H	33 (十进制)、21 (十六进制)

目标地址的最后一位定义了要执行的操作（读取或写入）。高 (1) 选择读操作，而低 (0) 选择写操作。

### 7.6.2 控制寄存器和命令字节

成功应答地址字节后，总线控制器会发送一个存储在 TCAL6416 中的控制寄存器中的命令字节。此数据字节的较低位反映了受影响的内部寄存器（输入、输出、极性反转或配置）。第 6 位与命令字节的较低四位一起用于指向器件的扩展功能（敏捷 IO）。仅在写入传输期间发送命令字节。

发送新命令后，被寻址的寄存器将继续被读取访问，直到发送新的命令字节。在上电、硬件复位或软件复位时，控制寄存器默认为 00h。

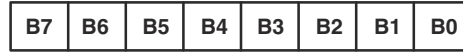


图 7-8. 控制寄存器位

表 7-4. 命令字节

控制寄存器位								命令字节 (HEX)	寄存器	协议	上电默认值
B7	B6	B5	B4	B3	B2	B1	B0				
0	0	0	0	0	0	0	0	00	输入端口 0	读取字节	xxxx xxxx
0	0	0	0	0	0	0	1	01	输入端口 1	读取字节	xxxx xxxx
0	0	0	0	0	0	1	0	02	输出端口 0	读取/写入字节	1111 1111
0	0	0	0	0	0	1	1	03	输出端口 1	读取/写入字节	1111 1111
0	0	0	0	0	1	0	0	04	极性反转 0	读取/写入字节	0000 0000
0	0	0	0	0	1	0	1	05	极性反转 1	读取/写入字节	0000 0000
0	0	0	0	0	1	1	0	06	配置 0	读取/写入字节	1111 1111
0	0	0	0	0	1	1	1	07	配置 1	读取/写入字节	1111 1111
0	1	0	0	0	0	0	0	40	输出驱动器强度 0	读取/写入字节	1111 1111
0	1	0	0	0	0	0	1	41	输出驱动器强度 0	读取/写入字节	1111 1111
0	1	0	0	0	0	1	0	42	输出驱动器强度 1	读取/写入字节	1111 1111
0	1	0	0	0	0	1	1	43	输出驱动器强度 1	读取/写入字节	1111 1111
0	1	0	0	0	1	0	0	44	输入锁存寄存器 0	读取/写入字节	0000 0000
0	1	0	0	0	1	0	1	45	输入锁存寄存器 1	读取/写入字节	0000 0000
0	1	0	0	0	1	1	0	46	上拉/下拉使能寄存器 0	读取/写入字节	0000 0000
0	1	0	0	0	1	1	1	47	上拉/下拉使能寄存器 1	读取/写入字节	0000 0000
0	1	0	0	1	0	0	0	48	上拉/下拉选择寄存器 0	读取/写入字节	1111 1111
0	1	0	0	1	0	0	1	49	上拉/下拉选择寄存器 1	读取/写入字节	1111 1111
0	1	0	0	1	0	1	0	4A	中断屏蔽寄存器 0	读取/写入字节	1111 1111
0	1	0	0	1	0	1	1	4B	中断屏蔽寄存器 1	读取/写入字节	1111 1111
0	1	0	0	1	1	0	0	4C	中断状态寄存器 0	读取字节	0000 0000
0	1	0	0	1	1	0	1	4D	中断状态寄存器 1	读取字节	0000 0000
0	1	0	0	1	1	1	1	4F	输出端口配置寄存器	读取/写入字节	0000 0000

### 7.6.3 寄存器说明

输入端口寄存器（寄存器 0 和 1）反映引脚的输入逻辑电平，无论配置寄存器将引脚定义为输入还是输出都是如此。输入端口寄存器为只读。写入这些寄存器不产生影响。外部应用的逻辑电平决定默认值 (X)。在执行读取操作之前，系统将连同命令字节发送写入传输，以指示 I<sup>2</sup>C 器件接下来会访问输入端口寄存器。

表 7-5. 寄存器 0 和 1 ( 输入端口寄存器 ) (1)

位	I-07	I-06	I-05	I-04	I-03	I-02	I-01	I-00
默认值	X	X	X	X	X	X	X	X
位	I-17	I-16	I-15	I-14	I-13	I-12	I-11	I-10
默认值	X	X	X	X	X	X	X	X

输出端口寄存器 ( 寄存器 2 和 3 ) 显示由配置寄存器定义为输出的引脚的输出逻辑电平。这些寄存器中的位值对定义为输入的引脚没有影响。反过来, 从这些寄存器读取的值反映了控制输出选择的触发器中的值, 而不是实际的引脚值。

表 7-6. 寄存器 2 和 3 ( 输出端口寄存器 )

位	O-07	O-06	O-05	O-04	O-03	O-02	O-01	O-00
默认值	1	1	1	1	1	1	1	1
位	O-17	O-16	O-15	O-14	O-13	O-12	O-11	O-10
默认值	1	1	1	1	1	1	1	1

极性反转寄存器 ( 寄存器 4 和 5 ) 允许对配置寄存器定义为输入的引脚进行极性反转。如果对这些寄存器中的某个位进行设置 ( 写入 1 ) , 则相应端口引脚的极性会反转。如果这些寄存器中的某个位被清除 ( 写入 0 ) , 则相应端口引脚的原始极性会保留。

表 7-7. 寄存器 4 和 5 ( 极性反转寄存器 )

位	P-07	P-06	P-05	P-04	P-03	P-02	P-01	P-00
默认值	0	0	0	0	0	0	0	0
位	P-17	P-16	P-15	P-14	P-13	P-12	P-11	P-10
默认值	0	0	0	0	0	0	0	0

配置寄存器 ( 寄存器 6 和 7 ) 配置 I/O 引脚的方向。如果这些寄存器中的某个位设置为 1 , 则相应端口引脚被启用为具有高阻抗输出驱动器的输入。如果这些寄存器中的某个位被清除为 0 , 则相应端口引脚被启用为输出。将端口从输入配置更改为输出配置将导致与该端口关联的任何中断被清除。

表 7-8. 寄存器 6 和 7 ( 配置寄存器 )

位	C-07	C-06	C-05	C-04	C-03	C-02	C-01	C-00
默认值	1	1	1	1	1	1	1	1
位	C-17	C-16	C-15	C-14	C-13	C-12	C-11	C-10
默认值	1	1	1	1	1	1	1	1

输出驱动强度寄存器控制 P 端口 GPIO 缓冲器的输出驱动电平。每个 GPIO 都可以通过两个寄存器控制位独立地配置为所需的输出电流电平。例如, 寄存器 0x41h ( 位 7 和 6 ) 控制端口 P07, 寄存器 0x41h ( 位 5 和 4 ) 控制端口 P06, 以此类推。GPIO 的输出驱动电平编程为 00b = 0.25x 驱动强度、01b = 0.5x 驱动强度、10b = 0.75x 驱动强度或 11b = 1x, 以实现全驱动强度能力。如需了解更多详细信息, 请参阅\。

表 7-9. 寄存器 0x40h、0x41h、0x42h 和 0x43h ( 输出驱动强度寄存器 )

位	CC-03	CC-03	CC-02	CC-02	CC-01	CC-01	CC-00	CC-00
默认值	1	1	1	1	1	1	1	1
位	CC-07	CC-07	CC-06	CC-06	CC-05	CC-05	CC-04	CC-04
默认值	1	1	1	1	1	1	1	1
位	CC-13	CC-13	CC-12	CC-12	CC-11	CC-11	CC-10	CC-10
默认值	1	1	1	1	1	1	1	1
位	CC-17	CC-17	CC-16	CC-16	CC-15	CC-15	CC-14	CC-14

表 7-9. 寄存器 0x40h、0x41h、0x42h 和 0x43h (输出驱动强度寄存器) (续)

位	CC-03	CC-03	CC-02	CC-02	CC-01	CC-01	CC-00	CC-00
默认值	1	1	1	1	1	1	1	1

输入锁存寄存器启用和禁用 P 端口 GPIO 引脚的输入锁存功能。这些寄存器仅在引脚配置为输入端口时有效。当输入锁存寄存器位为 0 时，不锁存相应的输入引脚状态。相应输入引脚的状态变化会产生中断。读取输入寄存器会清除中断。如果在读取输入端口寄存器之前输入返回到其初始逻辑状态，则中断被清除。

将输入锁存寄存器位设置为 1 时，会锁存相应的输入引脚状态。输入状态的变化会产生一个中断，输入逻辑值被加载到输入端口寄存器 (寄存器 0 和 1) 的相应位中。读取输入端口寄存器会清除中断。但是，如果输入引脚在读取输入端口寄存器之前返回其初始逻辑状态，则不会清除中断，并且输入端口寄存器的相应位会保持引发中断的逻辑值。

例如，如果 P04 输入处于逻辑 0 状态，然后转换为逻辑 1 状态，再返回逻辑 0 状态，则输入端口 0 寄存器会捕获此更改并生成中断 (如果未屏蔽)。当对输入端口 0 寄存器执行读取操作时，假设没有其他输入发生变化，中断将被清除，并且输入端口 0 寄存器的第 4 位会读取“1”。输入端口寄存器第 4 位的下一次读取现在应读取“0”。

当非锁存输入与锁存输入同时切换状态，然后返回其原始状态时，中断保持激活。输入寄存器的读取只反映了锁存输入状态的变化，同时也清除了中断。如果输入锁存寄存器从锁存配置变为非锁存配置，并且输入逻辑值恢复到其原始状态，中断会被清除。

如果输入引脚从锁存输入变为非锁存输入，则从输入端口寄存器读取会反映当前端口逻辑电平。如果输入引脚从非锁存输入变为锁存输入，则从输入寄存器读取会反映锁存逻辑电平。

表 7-10. 寄存器 0x44h 和 0x45h (输入锁存寄存器)

位	L-07	L-06	L-05	L-04	L-03	L-02	L-01	L-00
默认值	0	0	0	0	0	0	0	0
位	L-17	L-16	L-15	L-14	L-13	L-12	L-11	L-10
默认值	0	0	0	0	0	0	0	0

上拉/下拉使能寄存器允许用户启用或禁用 GPIO 引脚上的上拉/下拉电阻器。将该位设置为逻辑 1 可以选择上拉/下拉电阻器。将该位设置为逻辑 0 会断开上拉/下拉电阻器与 GPIO 引脚的连接。当 GPIO 引脚配置为输出时，电阻器会被禁用。使用上拉/下拉选择寄存器来选择上拉或下拉电阻器。

表 7-11. 寄存器 0x46h 和 0x47h (上拉/下拉使能寄存器)

位	PE-07	PE-06	PE-05	PE-04	PE-03	PE-02	PE-01	PE-00
默认值	0	0	0	0	0	0	0	0
位	PE-17	PE-16	PE-15	PE-14	PE-13	PE-12	PE-11	PE-10
默认值	0	0	0	0	0	0	0	0

上拉/下拉选择寄存器允许用户通过编程相应的寄存器位来配置每个 GPIO，以具有上拉或下拉电阻器。将某个位设置为逻辑 1 会为该 GPIO 引脚选择一个 10kΩ 的上拉电阻器。将某个位设置为逻辑 0 会为该 GPIO 引脚选择一个 10kΩ 的下拉电阻器。如果通过寄存器 0x46h 和 0x47h 禁用上拉/下拉功能，则写入这些寄存器不会对 GPIO 引脚产生影响。

表 7-12. 寄存器 0x48h 和 0x49h (上拉/下拉选择寄存器)

位	PUD-07	PUD-06	PUD-05	PUD-04	PUD-03	PUD-02	PUD-01	PUD-00
默认值	1	1	1	1	1	1	1	1
位	PUD-17	PUD-16	PUD-15	PUD-14	PUD-13	PUD-12	PUD-11	PUD-10
默认值	1	1	1	1	1	1	1	1

上电时，中断屏蔽寄存器默认为逻辑 1，在系统启动期间禁用中断。可以通过将相应的屏蔽位设置为逻辑 0 来启用中断。

如果输入改变了状态，并且中断屏蔽寄存器中的相应位设置为 1，则屏蔽中断并且不断言中断引脚。如果中断屏蔽寄存器中的相应位设置为 0，则中断引脚被断言。

当输入改变了状态，并且产生的中断被屏蔽时，将中断屏蔽寄存器位设置为 0 会导致中断引脚被断言。如果当前已经是中断源的输入的中断屏蔽位设置为 1，则中断引脚被解除断言。

**表 7-13. 寄存器 0x4Ah 和 0x4Bh ( 中断屏蔽寄存器 )**

位	M-07	M-06	M-05	M-04	M-03	M-02	M-01	M-00
默认值	1	1	1	1	1	1	1	1
位	M-17	M-16	M-15	M-14	M-13	M-12	M-11	M-10
默认值	1	1	1	1	1	1	1	1

中断状态寄存器是用于标识中断源的只读寄存器。读取时，逻辑 1 表示相应的输入引脚是中断源。逻辑 0 表示输入引脚不是中断源。当中断屏蔽寄存器中的相应位设置为 1 ( 已屏蔽 ) 时，中断状态位将返回逻辑 0。

**表 7-14. 寄存器 0x4Ch 和 0x4Dh ( 中断状态寄存器 )**

位	S-07	S-06	S-05	S-04	S-03	S-02	S-01	S-00
默认值	0	0	0	0	0	0	0	0
位	S-17	S-16	S-15	S-14	S-13	S-12	S-11	S-10
默认值	0	0	0	0	0	0	0	0

输出端口配置寄存器选择按端口推挽或开漏 I/O 级。逻辑 0 会将 I/O 配置为推挽式 ( Q1 和 Q2 处于活动状态)。逻辑 1 将 I/O 配置为开漏 ( Q1 被禁用，Q2 处于活动状态 )，建议的命令序列是在配置寄存器 ( 06 和 07 ) 将端口引脚设置为输出之前，对该寄存器 (0x4Fh) 进行编程。

ODEN0 配置端口 0X，ODEN1 配置端口 1X。

**表 7-15. 寄存器 0x4Fh ( 输出端口配置寄存器 )**

位	保留						ODEN-1	ODEN-0
默认值	0	0	0	0	0	0	0	

## 7.6.4 总线事务

控制器与 TCAL6416 之间通过写入和读取命令交换数据。

### 7.6.4.1 写入

通过发送器件地址并将最低有效位 (LSB) 设置为逻辑 0，将数据传输至 TCAL6416 ( 请参阅图 7-7 以了解器件地址 )。命令字节在地址之后发送，并确定哪个寄存器接收命令字节之后的数据。一次写入传输中发送的数据字节数没有限制。

TCAL6416 中的 22 个寄存器配置为作为 11 个寄存器对运行。11 对寄存器是输入端口寄存器、输出端口寄存器、极性反转寄存器、配置寄存器、输出驱动强度寄存器 ( 两个 16 位寄存器 )、输入锁存寄存器、上拉/下拉使能寄存器、上拉/下拉选择寄存器、中断屏蔽寄存器和中断状态寄存器。在向一个寄存器发送数据之后，下一个数据字节将被发送到该对中的另一个寄存器 ( 请参阅图 7-9 和图 7-10 )。例如，如果第一个字节被发送到输出端口 1 ( 寄存器 3 )，下一个字节将存储在输出端口 0 ( 寄存器 2 ) 中。

一次写入传输中发送的数据字节数没有限制。这样，每个 8 位寄存器对都可以独立于其他寄存器进行更新。

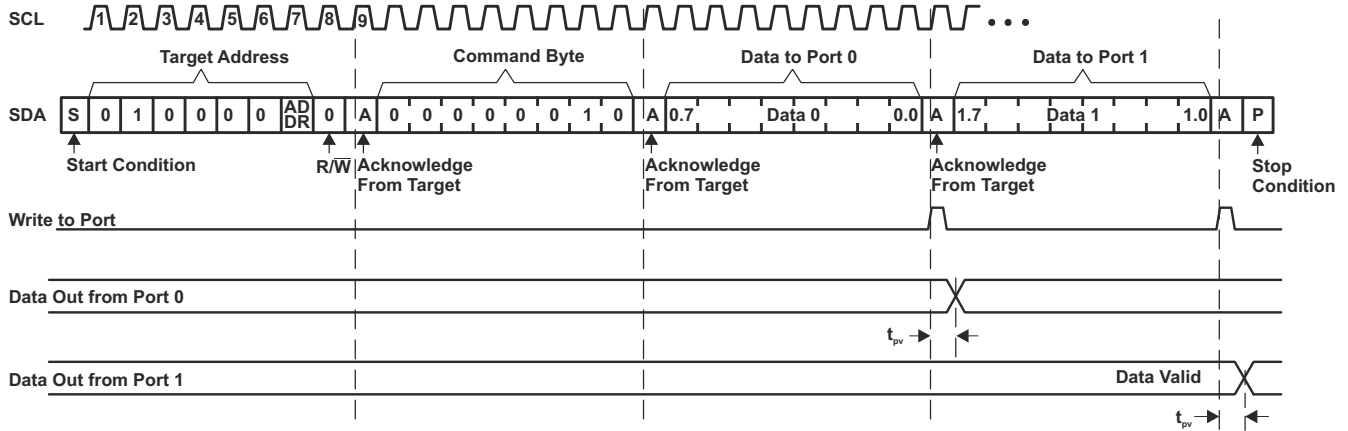


图 7-9. 写入到输出端口寄存器

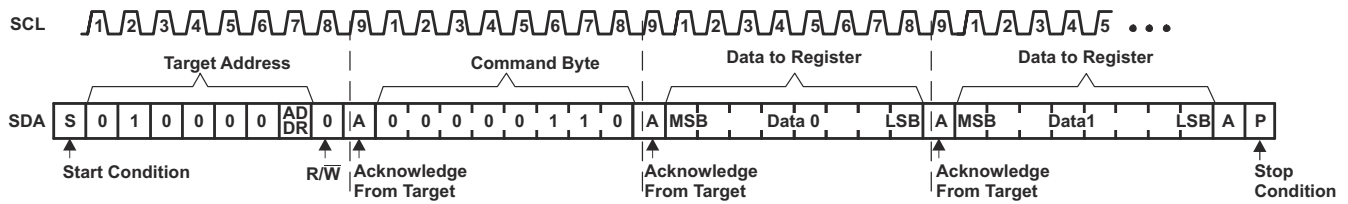


图 7-10. 写入到配置寄存器

7.6.4.2 读取

总线控制器必须首先发送 TCAL6416 地址，并将 LSB 设置为逻辑 0 (请参阅图 7-7 以查看器件地址)。命令字节在地址之后发送，决定了要访问哪个寄存器。

重新启动后，再次发送器件地址，但这次将最低有效位设置为逻辑 1。然后由 TCAL6416 发送命令字节所定义的寄存器中的数据 (请参阅图 7-11 和图 7-12)。数据在 ACK 时钟脉冲的上升沿输入到寄存器中。读取第一个字节后，可能会读取其他字节，但数据现在反映了该对中另一个寄存器中的信息。例如，如果读取输入端口 1，则读取的下一个字节是输入端口 0。一次读取传输中接收的数据字节数量没有限制，但接收最后一个字节后，总线控制器不得应答数据。在随后的重新启动后，命令字节包含要在该对中读取的下一个寄存器的值。例如，如果在重新启动之前最后读取了输入端口 1，则在重新启动之后读取的寄存器为输入端口 0。

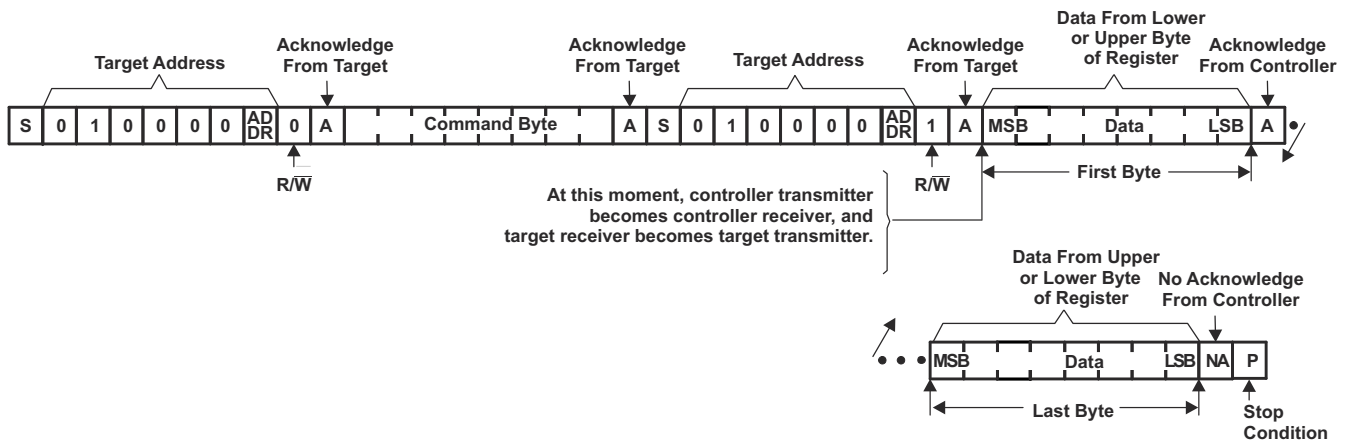
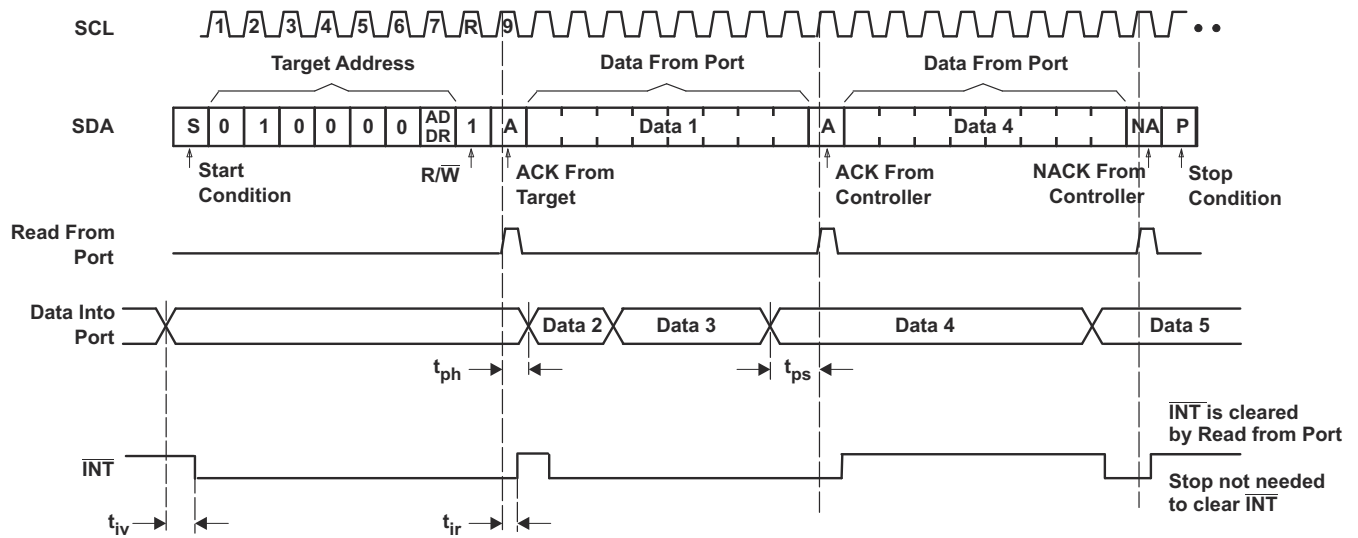


图 7-11. 从寄存器读取



- A. 可以通过停止条件随时停止数据传输。发生这种情况时，出现在最新应答阶段的数据有效（输出模式）。本文假设之前的命令字节已设置为 00（读取输入端口寄存器）。
- B. 这张图不考虑命令字节传输、重新启动，以及初始目标地址调用和来自 P 端口的实际数据传输之间的目标地址调用（请参阅图 7-11）。

图 7-12. 读取输入端口寄存器

## 8 应用和实例

### 备注

以下应用部分中的信息不属于 TI 元件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计实现，以确认系统功能。

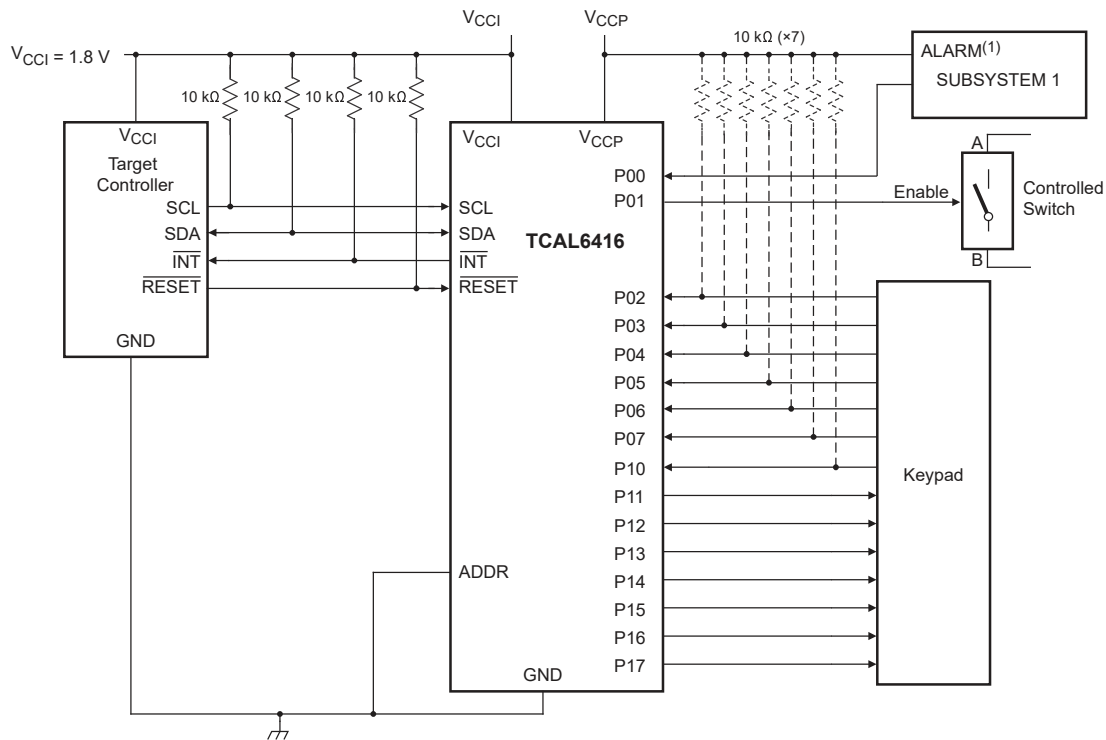
### 8.1 应用信息

在应用中，TCAL6416 器件作为目标连接到 I<sup>2</sup>C 控制器（处理器）；I<sup>2</sup>C 总线可能包含任何数量的其他目标器件。TCAL6416 位于远离控制器的远程位置，靠近控制器需要监视或控制的 GPIO。

TCAL6416 的一个典型应用在控制器侧的电压 ( $V_{CCI}$ ) 较低，在 P 端口侧的电压 ( $V_{CCP}$ ) 较高。可以将 P 端口配置为连接到器件输出的输出，例如启用、复位、电源选择、开关栅极和 LED。还可以将 P 端口配置为输入，以接收来自中断、警报、状态输出或按钮的数据。

### 8.2 典型应用

图 8-1 展示了可以使用 TCAL6416 的应用。



- 对于本示例，器件地址配置为 0100000。
- P00 和 P02 - P10 配置为输入。
- P01 和 P11 - P17 配置为输出。
- 可能浮动的输入（在 P 端口上）需要电阻器。如果输入的驱动器不会让输入浮动，则不需要电阻器。输出（在 P 端口中）不需要上拉电阻器。

图 8-1. 典型应用原理图

## 8.2.1 设计要求

表 8-1. 设计参数

设计参数	示例值
I <sup>2</sup> C 输入电压 (V <sub>CCI</sub> )	1.8V
P 端口输入/输出电压 (V <sub>CCP</sub> )	3.6V
输出电流额定值, P 端口下沉 (I <sub>OL</sub> )	25mA
输出电流额定值, P 端口拉电流 (I <sub>OH</sub> )	10mA
I <sup>2</sup> C 总线时钟 (SCL) 速度	1MHz

## 8.2.2 详细设计过程

需要为 SCL 和 SDA 线选择适当的上拉电阻器 R<sub>P</sub>, 并考虑 I<sup>2</sup>C 总线上所有目标的总电容。最小上拉电阻是 V<sub>CCI</sub>、V<sub>OL(max)</sub> 和 I<sub>OL</sub> 的函数:

$$R_{p(min)} = \frac{V_{CCI} - V_{OL(max)}}{I_{OL}} \quad (1)$$

最大上拉电阻是最大上升时间 t<sub>r</sub> (对于 f<sub>SCL</sub> = 1MHz 的快速模式增强版运行, 该时间为 120ns) 和总线电容 C<sub>b</sub> 的函数:

$$R_{p(max)} = \frac{t_r}{0.8473 \times C_b} \quad (2)$$

对于标准模式或快速模式运行, I<sup>2</sup>C 总线的最大总线电容不得超过 400pF, 对于快速模式增强版, 不得超过 550pF。可通过将 TCAL6416 的电容 (SCL 为 C<sub>i</sub>, SDA 为 C<sub>io</sub>)、电线/连接/布线的电容, 以及总线上其他目标的电容相加, 估算出总线电容。

### 8.2.2.1 当 I/O 控制 LED 时更大程度减小 I<sub>CC</sub>

如图 8-2 所示, 当 I/O 用于控制 LED 时, I/O 通常通过一个电阻器连接到 V<sub>CCP</sub>。对于配置为输入的 P 端口, 电流消耗随着 V<sub>I</sub> 变得低于 V<sub>CCP</sub> 而增加。LED 是二极管, 具有阈值电压 V<sub>T</sub>, 当 P 端口配置为输入时 LED 熄灭, 但 P 端口处的电压将等于 V<sub>CCP</sub> - V<sub>T</sub>。

对于电池供电的应用, 当 P 端口配置为输入以最小化电流消耗时, 控制 LED 的 P 端口的电压必须大于或等于 V<sub>CCP</sub>。图 8-2 展示了一个与 LED 并联的高阻值电阻器。图 8-3 显示 V<sub>CCP</sub> 比 LED 电源电压低至少 V<sub>T</sub>。这两种方法都将 I/O V<sub>I</sub> 保持在等于或高于 V<sub>CCP</sub>, 当 P 端口配置为输入并且 LED 熄灭时, 可以防止额外的电源电流消耗。

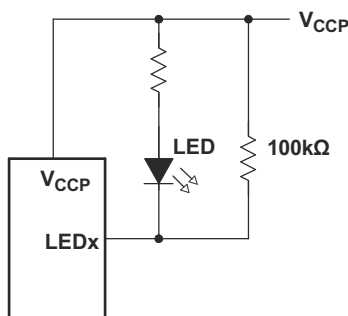


图 8-2. 与 LED 并联的高阻值电阻器

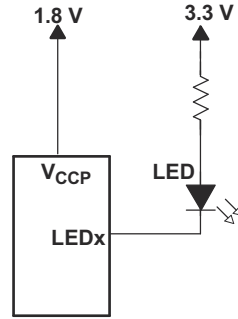


图 8-3. 由较低电压供电的器件

### 8.2.3 应用曲线

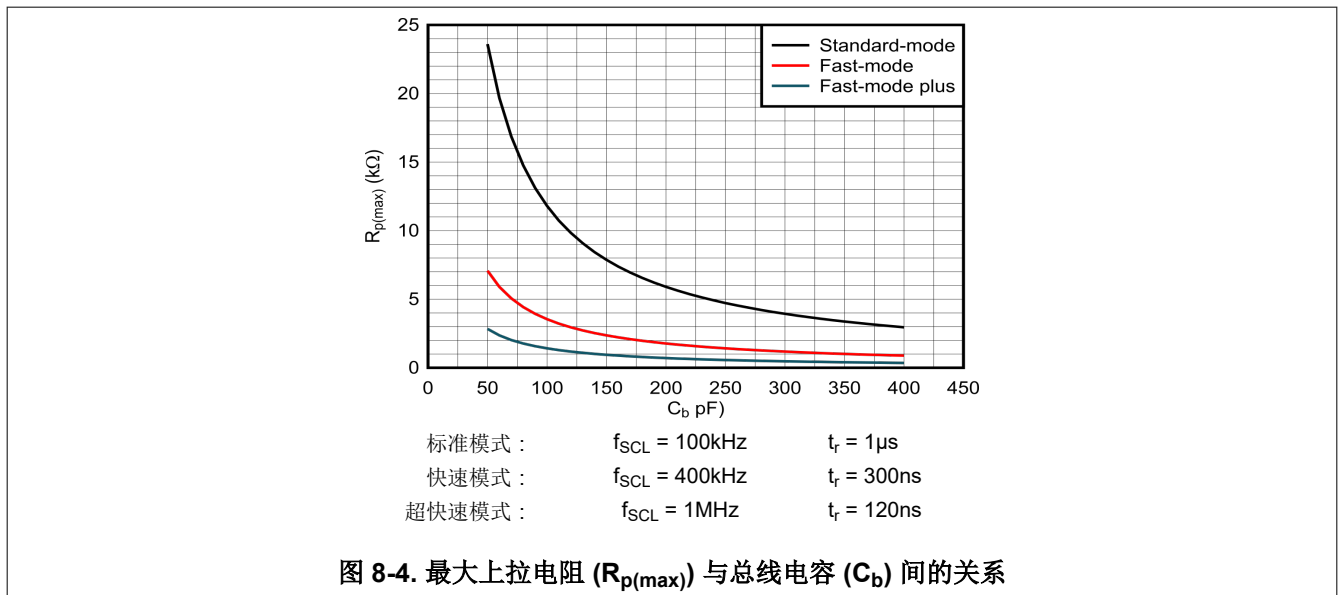


图 8-4. 最大上拉电阻 ( $R_{p(max)}$ ) 与总线电容 ( $C_b$ ) 间的关系

## 8.3 电源相关建议

### 8.3.1 上电复位要求

如果发生干扰或数据损坏，可以使用上电复位功能将 TCAL6416 复位为默认状态。上电复位要求器件经过下电上电后才能完全复位。当器件在应用中首次上电时，也会发生此复位。

图 8-5 和图 8-6 显示了两种类型的上电复位。

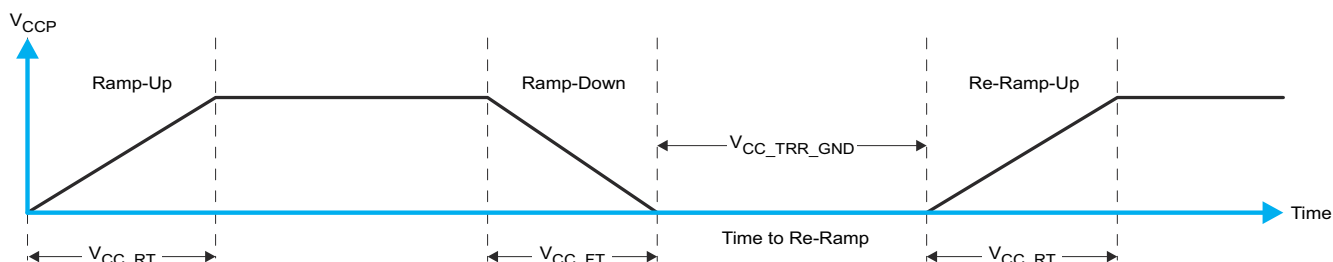


图 8-5. 将  $V_{CCP}$  降至 0.2V 或 0V 以下，然后斜升

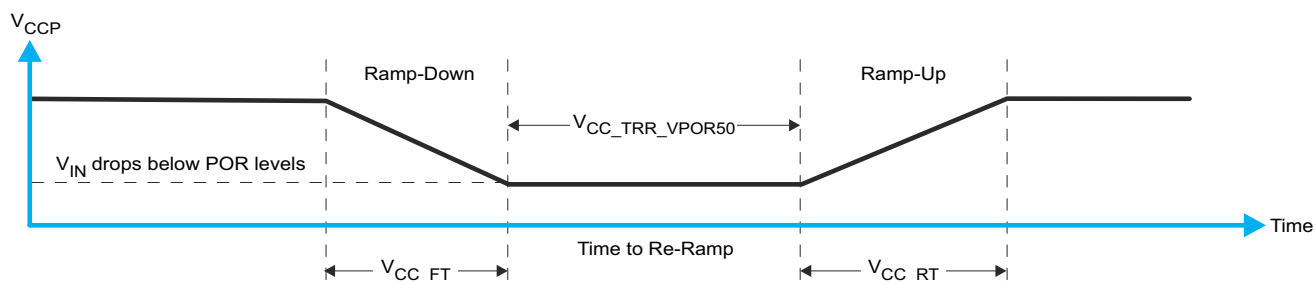


图 8-6. 将  $V_{CCP}$  降至低于 POR 阈值，然后重新斜升

表 8-2 列出了上电复位功能在进行两种类型的上电复位时的性能。

表 8-2. 建议的电源时序和斜坡速率

参数 <sup>(1) (2)</sup>		最小值	典型值	最大值	单位
$t_{FT}$	下降速率	请参阅图 8-5	0.1	2000	ms
$t_{RT}$	上升速率	请参阅图 8-5	0.1	2000	ms
$t_{TRR\_GND}$	重新开始斜坡的时间 (当 $V_{CC}$ 降至 GND 时)	请参阅图 8-5	1		$\mu$ s
$t_{TRR\_POR50}$	重新开始斜坡的时间 (当 $V_{CC}$ 降至 $V_{POR\_MIN} - 50$ mV 时)	请参阅图 8-6	1		$\mu$ s
$V_{CC\_GH}$	当 $V_{CCP\_GW} = 1 \mu$ s 时, $V_{CCP}$ 可能会受到干扰但不会导致功能中断的电平	请参阅图 8-7		1.0	V
$t_{GW}$	当 $V_{CCP\_GH} = 0.5 \times V_{CCx}$ 时, 不会导致功能中断的干扰宽度	请参阅图 8-7		10	$\mu$ s
$V_{PORF}$	降低 $V_{CC}$ 时 POR 的电压跳变点	0.6			V
$V_{PORR}$	升高 $V_{CC}$ 时 POR 的电压跳变点			1.0	V

(1)  $T_A = 25^\circ\text{C}$  (除非另有说明)。

(2) 未经过测试。根据设计确定。

电源中的干扰也会影响此器件的上电复位性能。干扰宽度 ( $V_{CC\_GW}$ ) 和高度 ( $V_{CC\_GH}$ ) 相互依赖。旁路电容、源阻抗和器件阻抗是影响上电复位性能的因素。有关如何测量这些规格的更多信息，请参阅图 8-7 和表 8-2。

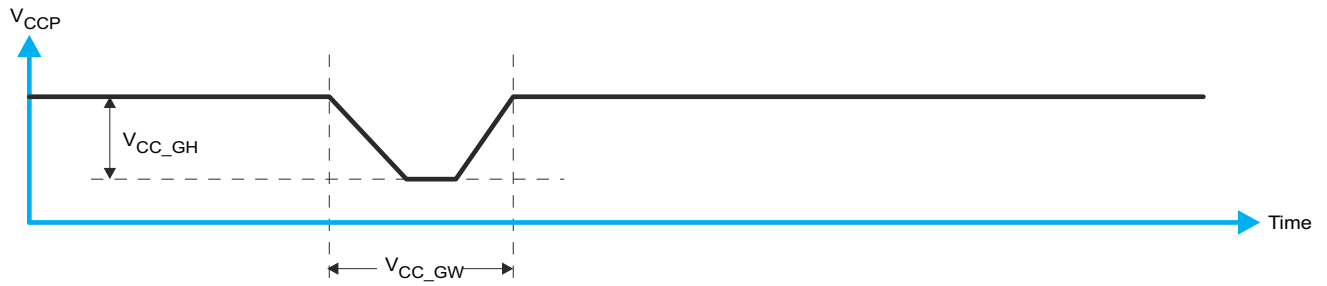


图 8-7. 干扰宽度和干扰高度

V<sub>POR</sub> 对上电复位至关重要。达到 V<sub>POR</sub> 这一电压电平时，系统会释放复位条件，并将所有寄存器和 I<sup>2</sup>C/SMBus 状态机初始化为默认状态。V<sub>POR</sub> 的值不同，具体取决于 V<sub>CCP</sub> 是下降至 0 还是从 0 开始上升。有关该格式的更多信息，请参阅图 8-8 和表 8-2。

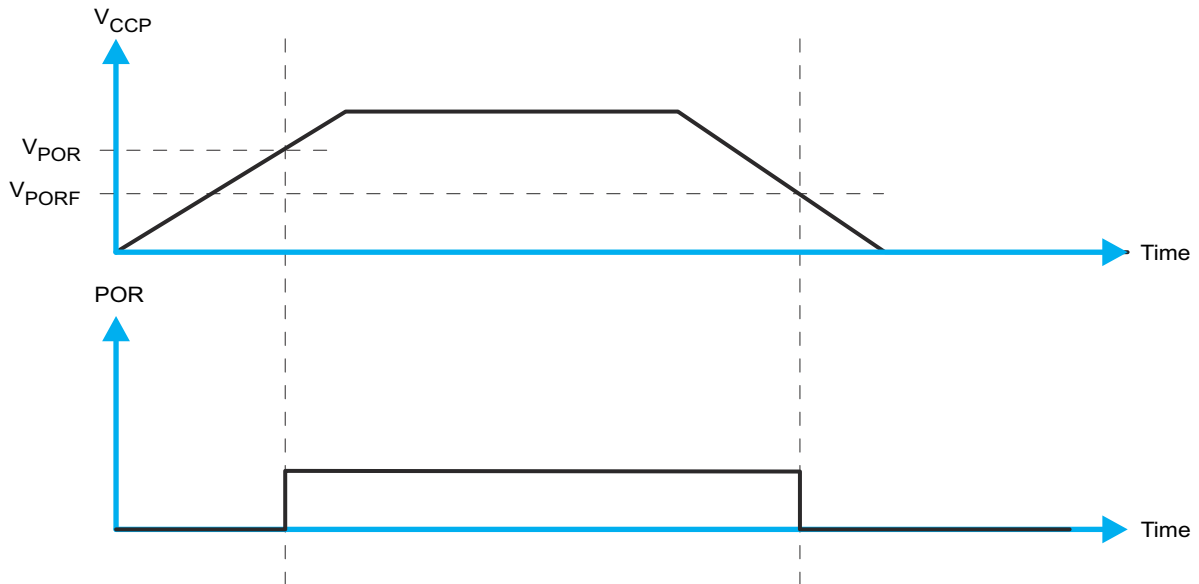


图 8-8. V<sub>POR</sub>

## 8.4 布局

### 8.4.1 布局指南

为确保器件可靠性，建议按照以下常见印刷电路板 (PCB) 布局布线做法进行操作。对于 I<sup>2</sup>C 信号速度而言，无需考虑与高速数据传输相关的其他问题（例如匹配阻抗和差分对）不。

在所有 PCB 布局中，最佳实践是避免信号布线呈直角，在离开集成电路 (IC) 附近时让信号布线呈扇形彼此散开，并使用较粗的布线来承载通常会经过电源和接地布线的更大的电流。旁路电容器和去耦电容器通常用于控制电源引脚上的电压。使用较大的电容器可在出现短暂的电源干扰时提供额外电能，而使用较小的电容器可滤除高频纹波。这些电容器应尽可能靠近 TCAL6416。图 8-9 展示了这些最佳实践。

对于图 8-9 中提供的布局示例，可以将顶层用于信号布线，将底层用作电源和地 (GND) 的分割平面，从而打造只有 2 层的 PCB。但是，对于信号布线密度更大的电路板，最好使用 4 层电路板。在 4 层 PCB 上，通常在顶层和底层上进行信号布线，将一个内部层专门用作接地平面，并将另一个内部层专门用作电源平面。在使用平面或分割平面作为电源和接地平面的电路板布局布线中，通孔直接放置在需要连接到电源或 GND 的表面贴装元件焊盘旁边，并且通孔以电气方式连接到内部层或电路板的另一侧。如果需要将信号走线排布到电路板的另一侧，也要使用通孔，但图 8-9 中未演示该技术。

### 8.4.2 布局示例

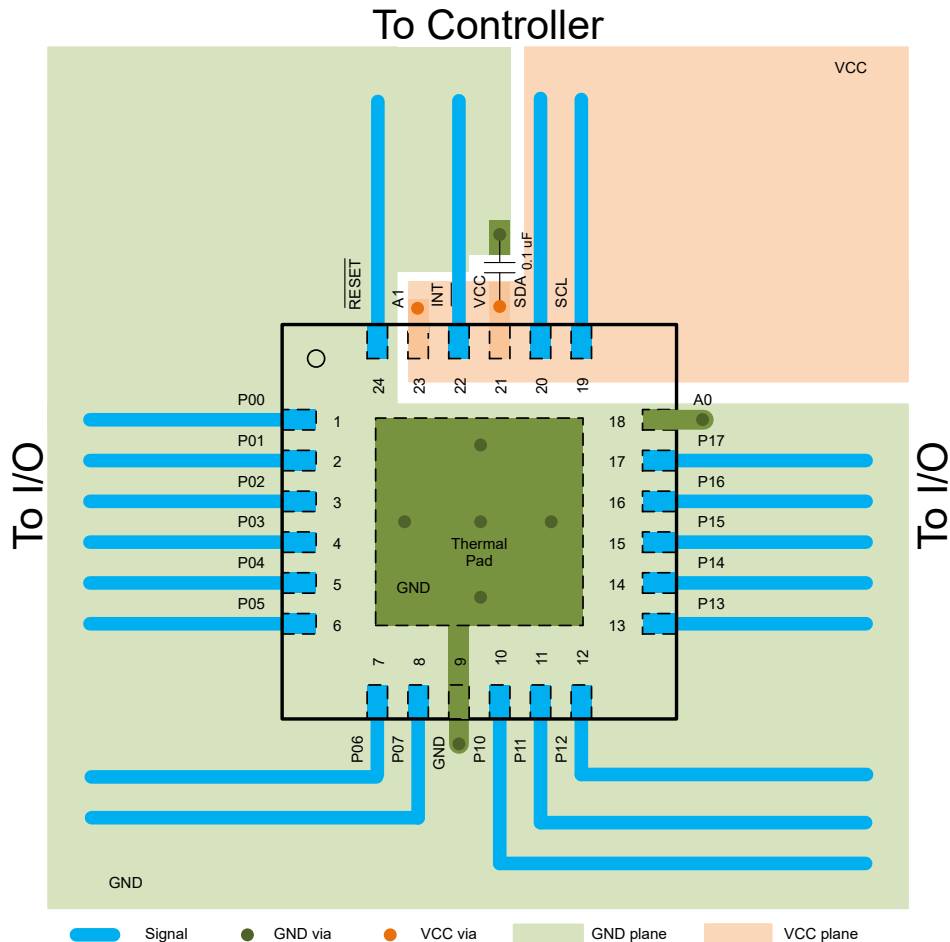


图 8-9. TCAL6416 布局

## 9 器件和文档支持

### 9.1 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](http://ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

### 9.2 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

### 9.3 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

### 9.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

### 9.5 术语表

#### TI 术语表

本术语表列出并解释了术语、首字母缩略词和定义。

## 10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

<b>Changes from Revision D (January 2025) to Revision E (September 2025)</b>		<b>Page</b>
• 删除了 TCAL6416RA/B 的寄存器说明。 .....		25
<b>Changes from Revision C (June 2023) to Revision D (January 2025)</b>		<b>Page</b>
• 向封装信息表中添加了 24 引脚 VSSOP 封装 .....		1
• 添加了 24 引脚 VSSOP 封装 .....		3
<b>Changes from Revision B (April 2023) to Revision C (June 2023)</b>		<b>Page</b>
• 将文档标题从“TCAL6416 16 位 I2C 总线”更改为 <i>TCAL6416 16 位转换 I2C 总线</i> 。 .....		1
• 更改了 <i>封装信息表</i> ，添加了注释 2 .....		1
<b>Changes from Revision A (August 2022) to Revision B (April 2023)</b>		<b>Page</b>
• 删除了 <i>封装信息表</i> 中 TSSOP 的产品预发布说明 .....		1
<b>Changes from Revision * (June 2022) to Revision A (August 2022)</b>		<b>Page</b>
• 将文档从“预告信息”更改为： <i>量产数据</i> .....		1

## 11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

**PACKAGING INFORMATION**

Orderable part number	Status (1)	Material type (2)	Package   Pins	Package qty   Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
<a href="#">TCAL6416DGSR</a>	Active	Production	VSSOP (DGS)   24	5000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L6416
TCAL6416DGSR.A	Active	Production	VSSOP (DGS)   24	5000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L6416
<a href="#">TCAL6416PWR</a>	Active	Production	TSSOP (PW)   24	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TCAL6416
TCAL6416PWR.A	Active	Production	TSSOP (PW)   24	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TCAL6416
<a href="#">TCAL6416RTWR</a>	Active	Production	WQFN (RTW)   24	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TCAL 6416
TCAL6416RTWR.A	Active	Production	WQFN (RTW)   24	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TCAL 6416
TCAL6416RTWRG4	Active	Production	WQFN (RTW)   24	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TCAL 6416
TCAL6416RTWRG4.A	Active	Production	WQFN (RTW)   24	3000   LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TCAL 6416

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

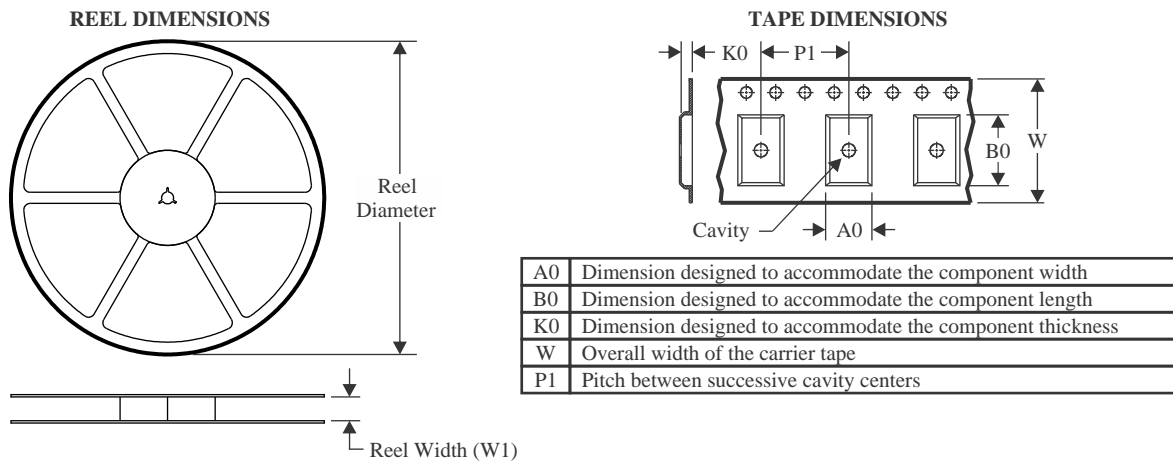
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:** The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

## TAPE AND REEL INFORMATION



### QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TCAL6416DGSR	VSSOP	DGS	24	5000	330.0	16.4	5.44	6.4	1.45	8.0	16.0	Q1
TCAL6416PWR	TSSOP	PW	24	3000	330.0	16.4	6.95	8.3	1.6	8.0	16.0	Q1
TCAL6416RTWR	WQFN	RTW	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2
TCAL6416RTWRG4	WQFN	RTW	24	3000	330.0	12.4	4.25	4.25	1.15	8.0	12.0	Q2

## TAPE AND REEL BOX DIMENSIONS



\*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TCAL6416DGSR	VSSOP	DGS	24	5000	353.0	353.0	32.0
TCAL6416PWR	TSSOP	PW	24	3000	353.0	353.0	32.0
TCAL6416RTWR	WQFN	RTW	24	3000	367.0	367.0	35.0
TCAL6416RTWRG4	WQFN	RTW	24	3000	367.0	367.0	35.0

## GENERIC PACKAGE VIEW

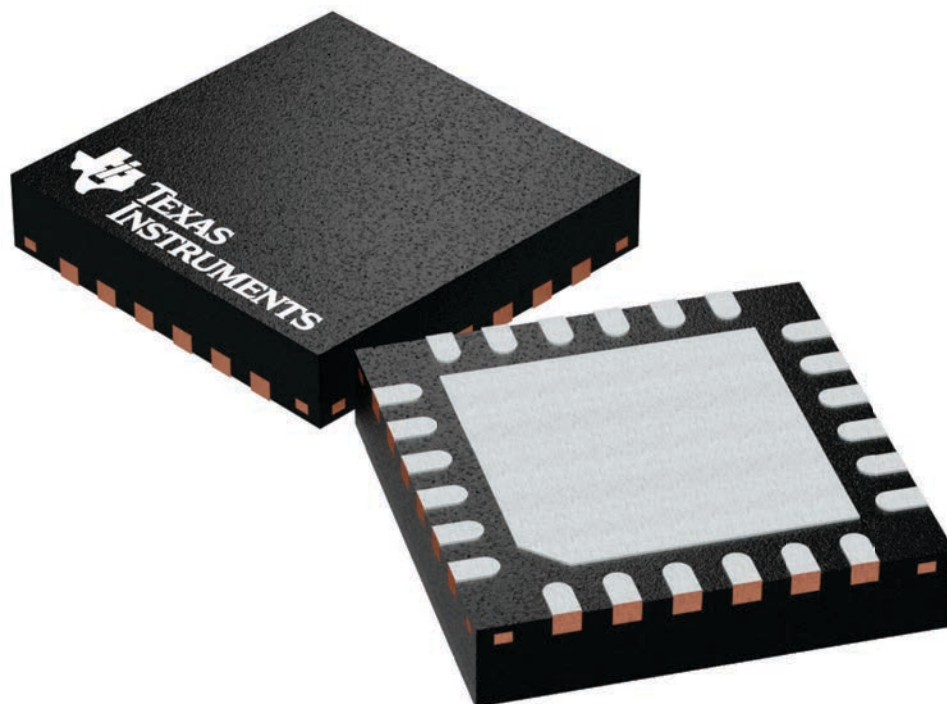
**RTW 24**

**WQFN - 0.8 mm max height**

4 x 4, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

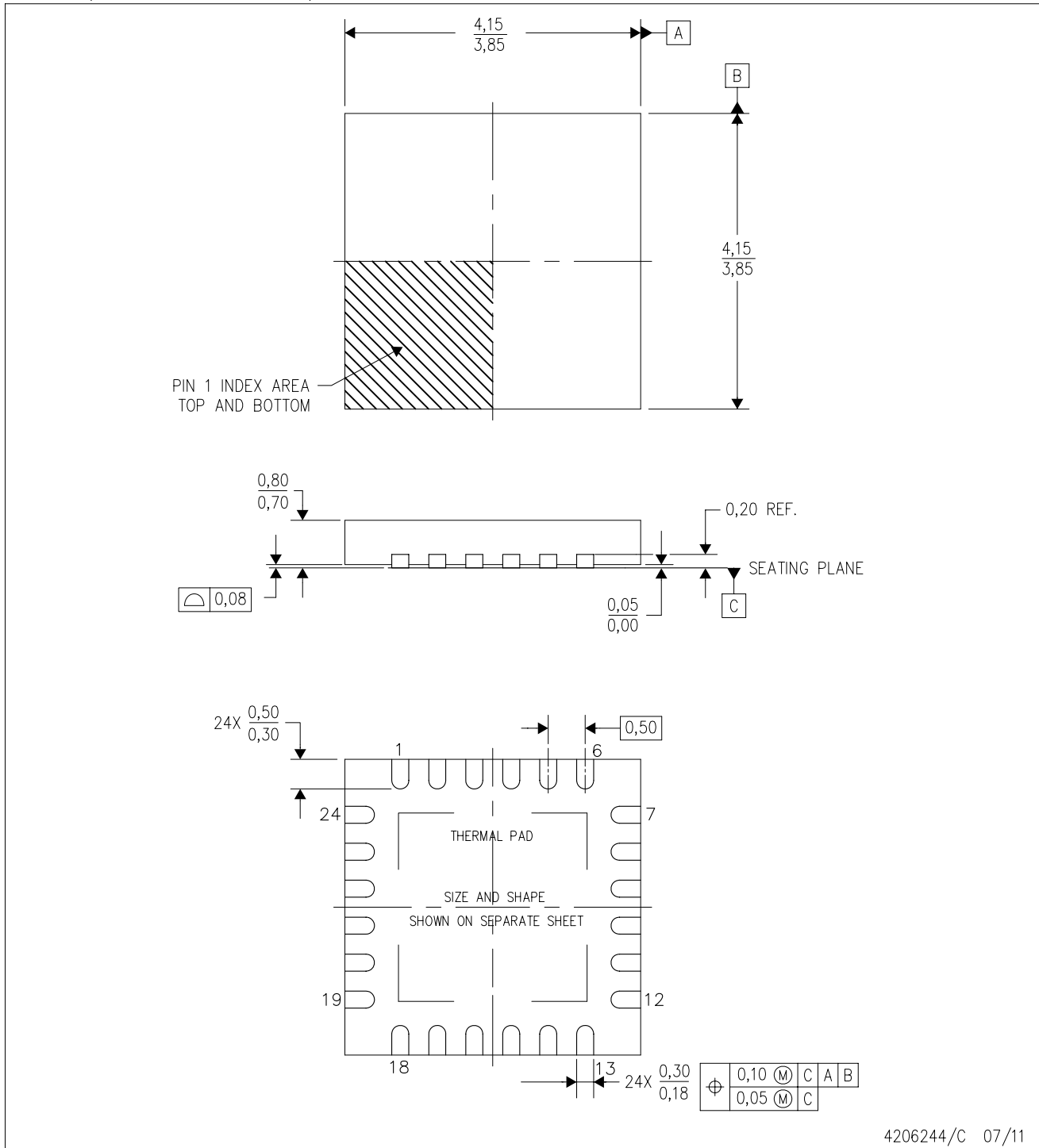
This image is a representation of the package family, actual package may vary.  
Refer to the product data sheet for package details.



4224801/A

RTW (S-PWQFN-N24)

PLASTIC QUAD FLATPACK NO-LEAD



4206244/C 07/11

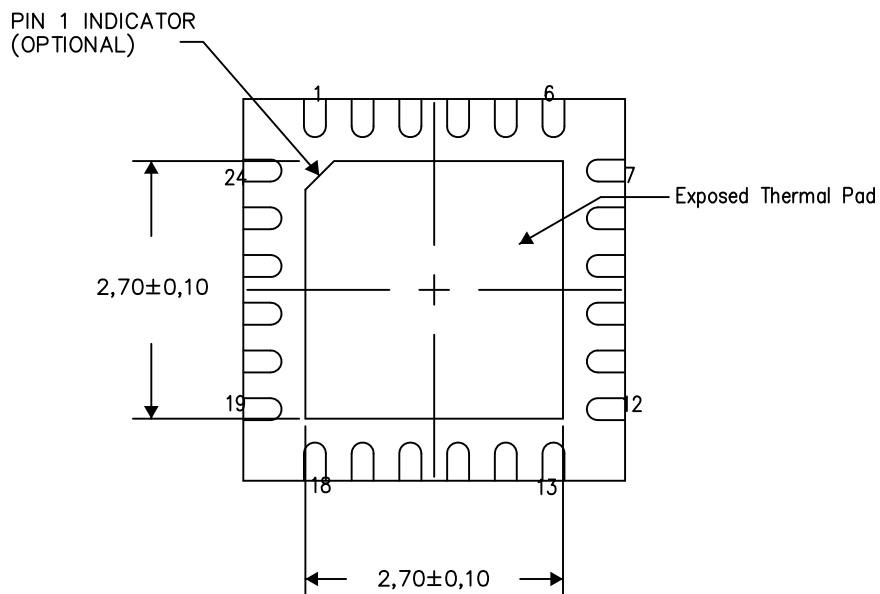
- NOTES:
- All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
  - This drawing is subject to change without notice.
  - Quad Flatpack, No-Leads (QFN) package configuration.
  - The package thermal pad must be soldered to the board for thermal and mechanical performance.
  - See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.
  - Falls within JEDEC MO-220.

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No-Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at [www.ti.com](http://www.ti.com).

The exposed thermal pad dimensions for this package are shown in the following illustration.



Bottom View

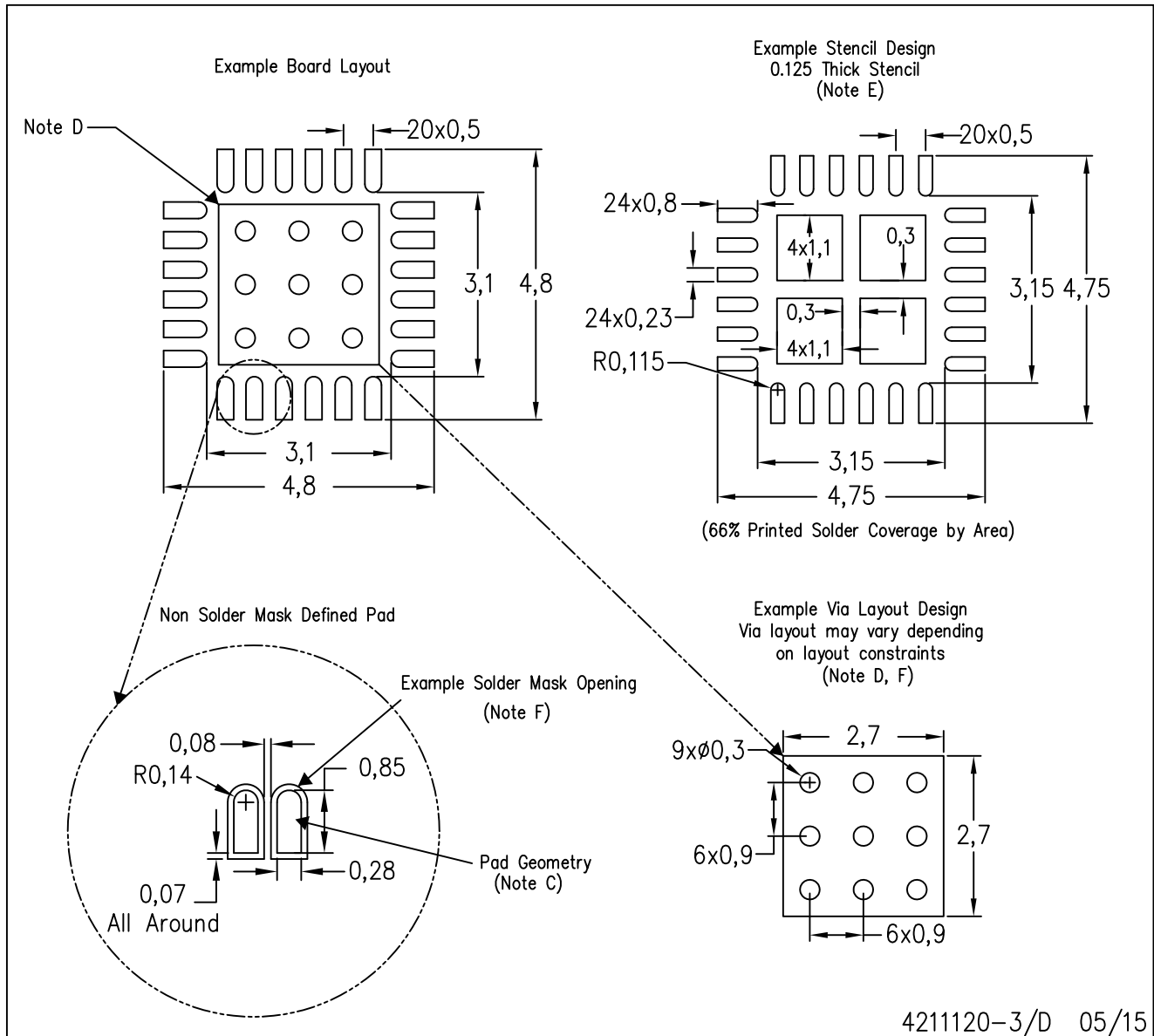
Exposed Thermal Pad Dimensions

4206249-5/P 05/15

NOTES: A. All linear dimensions are in millimeters

RTW (S-PWQFN-N24)

PLASTIC QUAD FLATPACK NO-LEAD



- NOTES:
- A. All linear dimensions are in millimeters.
  - B. This drawing is subject to change without notice.
  - C. Publication IPC-7351 is recommended for alternate designs.
  - D. This package is designed to be soldered to a thermal pad on the board. Refer to Application Note, Quad Flat-Pack Packages, Texas Instruments Literature No. SLUA271, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at [www.ti.com](http://www.ti.com) <<http://www.ti.com>>.
  - E. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
  - F. Customers should contact their board fabrication site for recommended solder mask tolerances and via tenting recommendations for vias placed in the thermal pad.

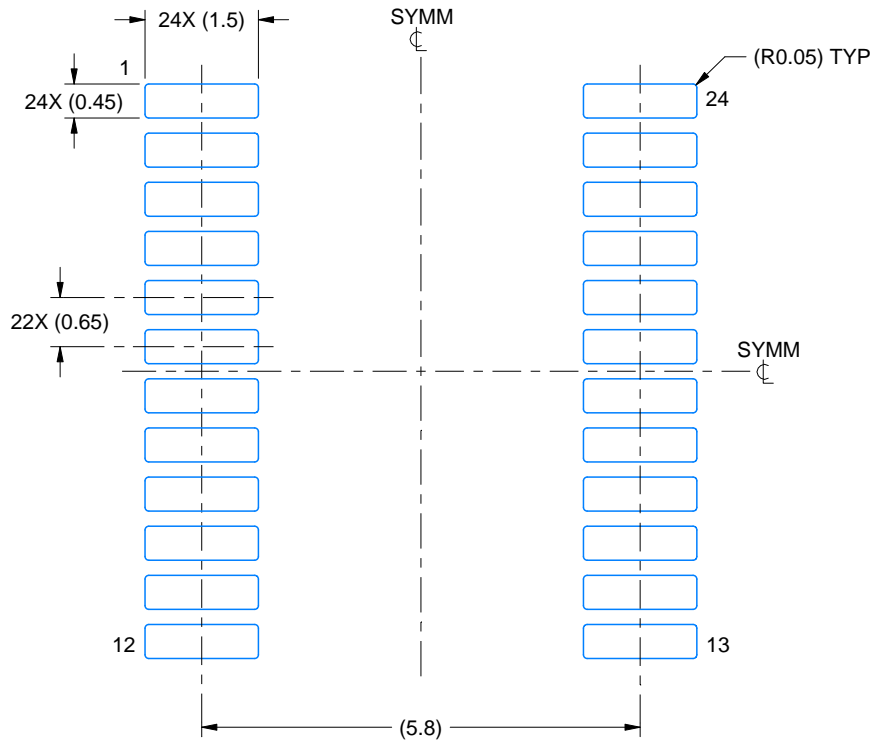


# EXAMPLE BOARD LAYOUT

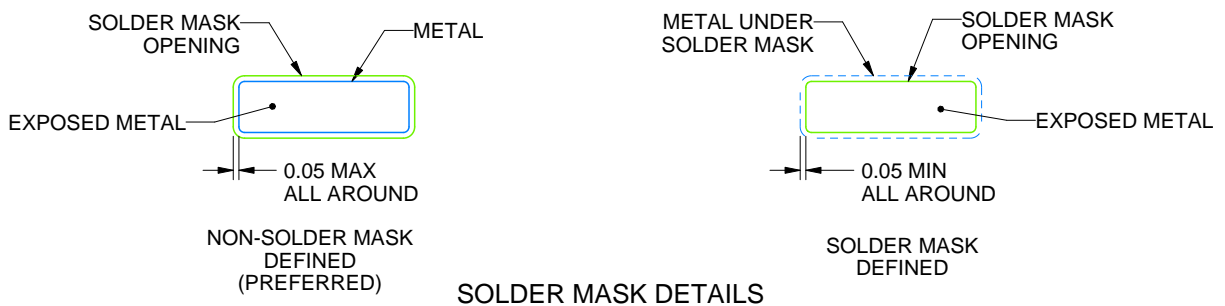
PW0024A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE  
EXPOSED METAL SHOWN  
SCALE: 10X



SOLDER MASK DETAILS

4220208/A 02/2017

NOTES: (continued)

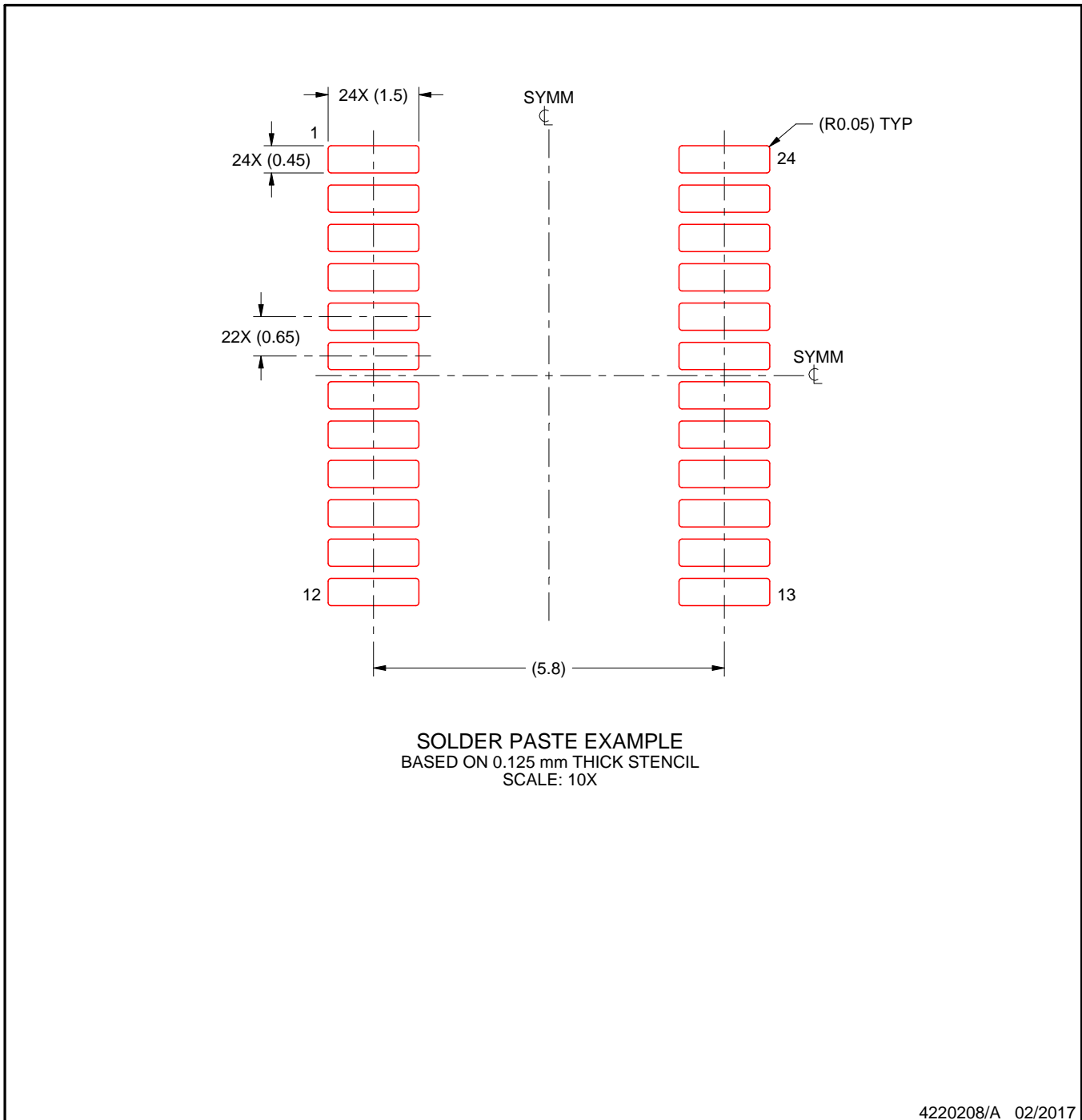
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

# EXAMPLE STENCIL DESIGN

PW0024A

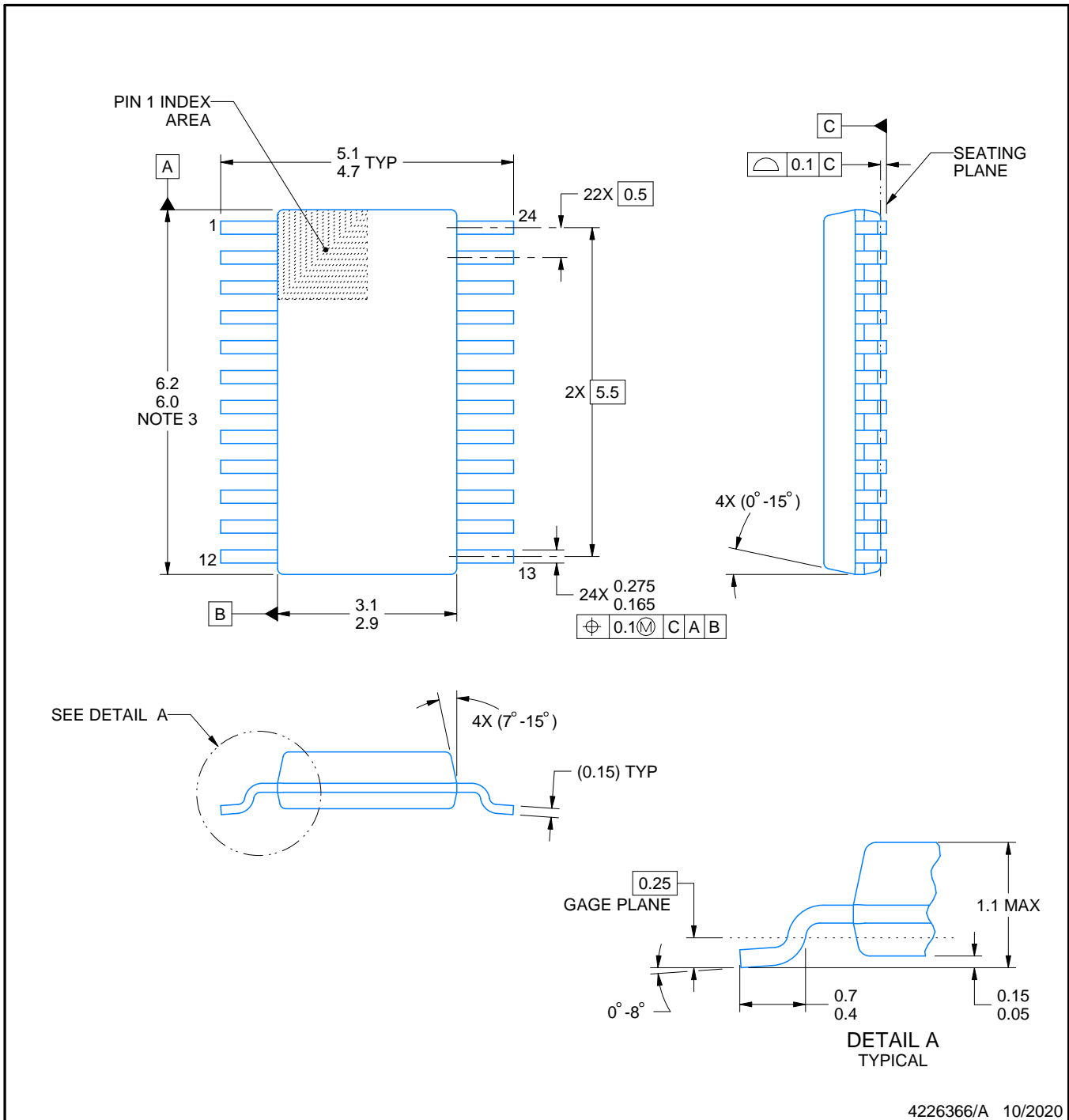
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



4226366/A 10/2020

NOTES:

PowerPAD is a trademark of Texas Instruments.

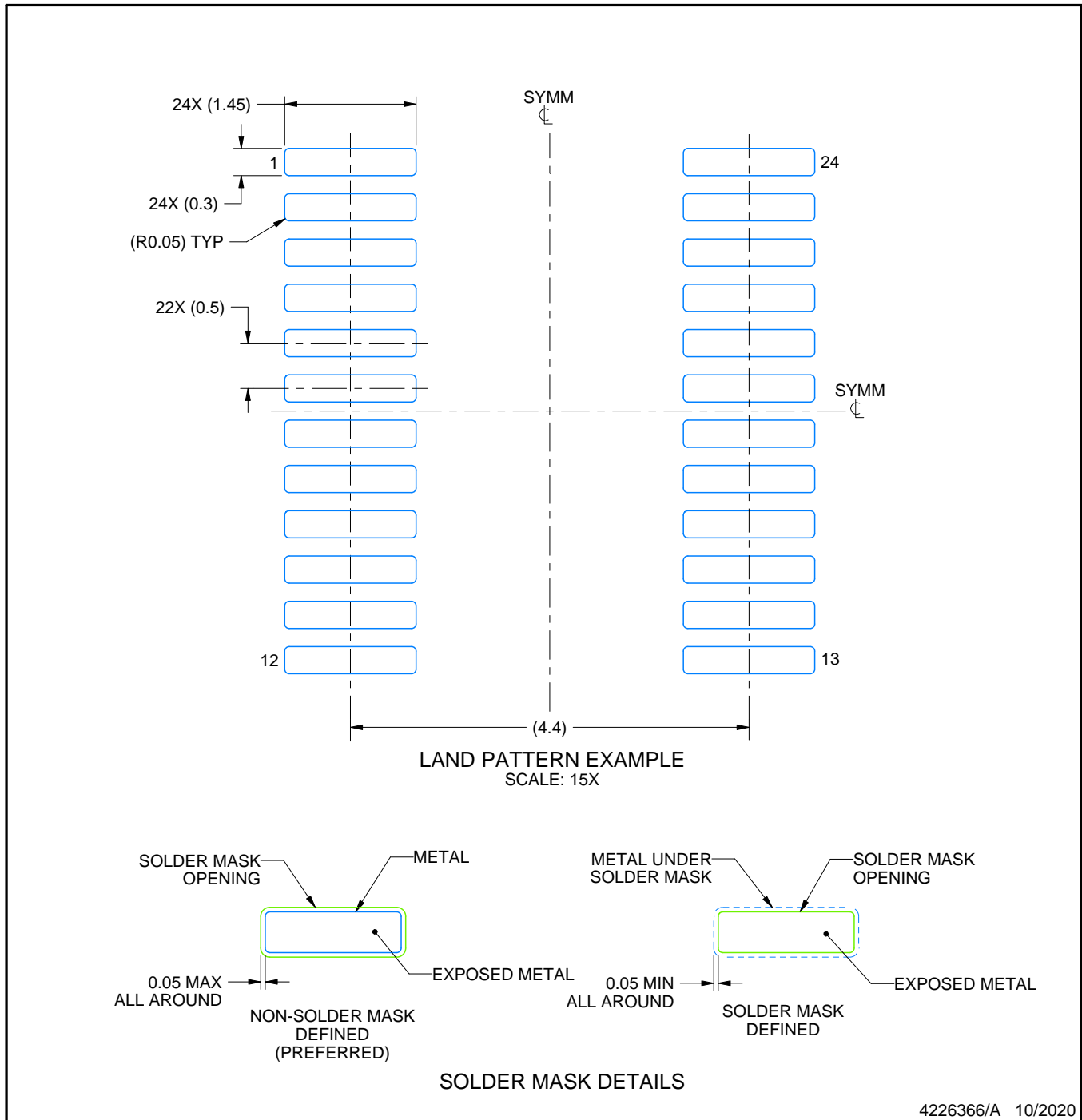
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.

# EXAMPLE BOARD LAYOUT

DGS0024A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

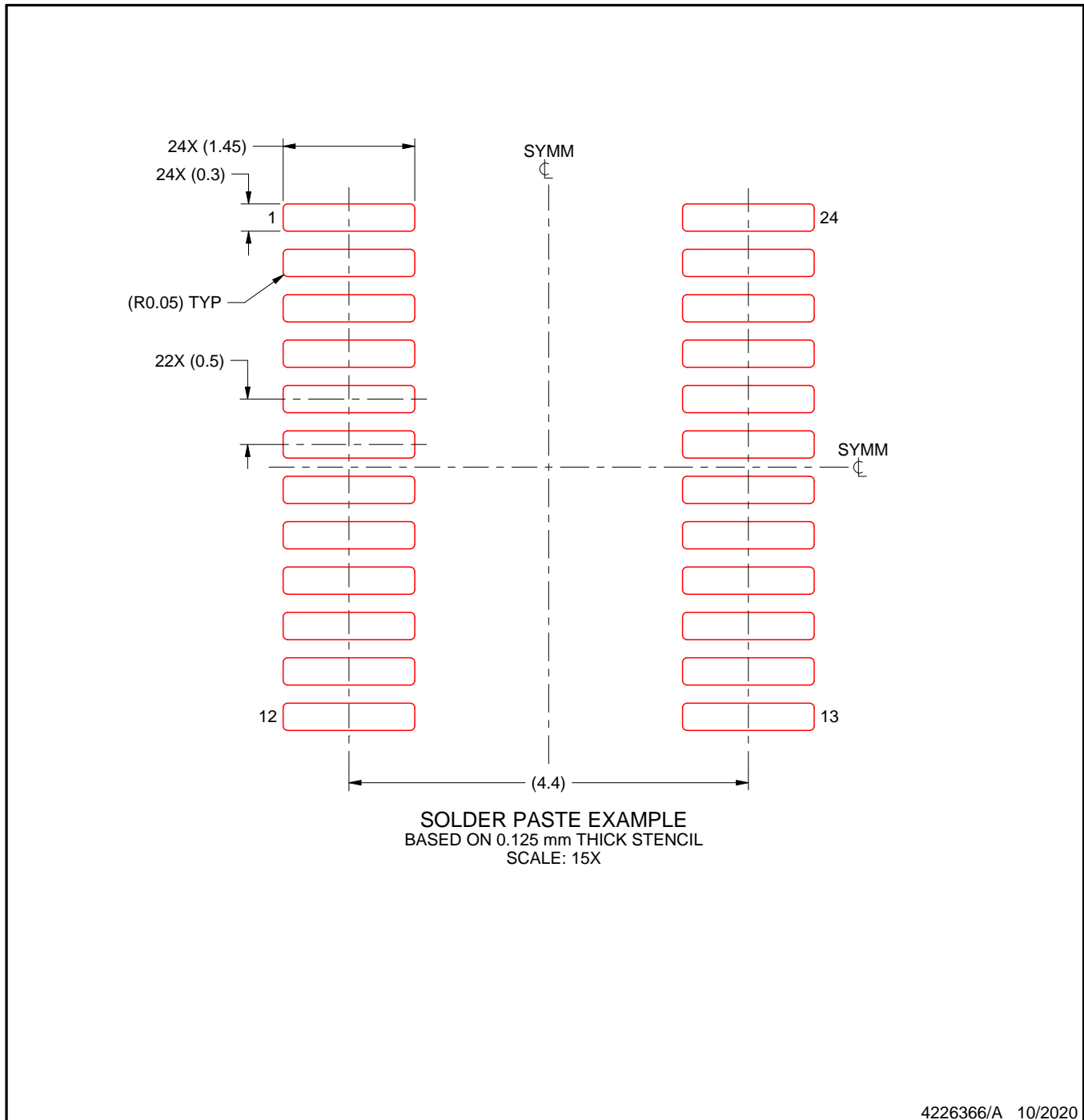
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 ([www.ti.com/lit/slma002](http://www.ti.com/lit/slma002)) and SLMA004 ([www.ti.com/lit/slma004](http://www.ti.com/lit/slma004)).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

# EXAMPLE STENCIL DESIGN

DGS0024A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

## 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月