

TAS6754-Q1 具有电流传感和实时负载诊断功能的 1L 调制、2MHz 数字输入 4 通道汽车 D 类音频放大器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准
 - 温度等级 1 : -40°C 至 +125°C , TA
- 常规运行
 - 4.5V 至 19V 电源电压 , 40V 负载突降
 - 低延时路径在 48kHz 时将群延时降低 70% 以上
 - 支持 1.8V 和 3.3V I/O
 - I²C 控制 , 具有 8 个地址选项
- 1L 调制
 - 每个通道仅需要一个指示器 , 与传统设计相比节省了四个指示器
 - 降低系统中指示器的组件成本
 - 较小型 PCB
- 音频性能
 - THD + N 0.03% (4Ω , 1W , 1kHz)
 - 输出噪声 : 14.4V 时为 35μVRMS , A 加权
 - 在 4×25W 、 4Ω 、 14.4V 条件下 , 效率 > 87%
- 通过 I²S 或 TDM 按通道进行输出电流检测
 - 无需外部电路
- 实时负载诊断
 - 播放音频时监控输出条件
 - 开路负载和短路负载检测
- 直流和交流备用负载诊断
- 音频输入
 - 通过 I²S 支持 2-4 通道 , 或通过 TDM 支持 4-16 通道
 - 输入采样率 : 44.1kHz 、 48kHz 、 96kHz 、 192kHz
- 音频输出
 - 4 通道桥接式负载 (BTL) ,
 - 2MHz 输出开关频率
 - 4×30W (4Ω 、 14.4V 、 1kHz 10% THD + N)
 - 4×50W (2Ω 、 14.4V 、 1kHz 10% THD + N)
- 高级展频和可选相位偏移
- 保护和监控
 - 逐周期电流限制
 - 输出短路保护
 - 具有可配置阈值的削波检测
 - 热折返和 PVDD 折返
 - I²C 温度和电源电压读数
 - 可配置过热警告和单个通道关断
 - 直流失调电压 , 欠压和过压

2 应用

- 汽车音响主机
- 汽车外部放大器

- 声学车辆警报系统 (AVAS)

3 说明

TAS6754-Q1 是一款四通道数字输入 D 类音频放大器 , 具有 1L 调制功能 , 每个 BTL 通道仅需一个指示器 , 与传统设计相比省去四个指示器 , 从而缩小了系统尺寸并降低了成本。此外 , 与传统的 D 类调制方案相比 , 1L 调制可降低开关损耗。

TAS6754-Q1 集成了直流和交流负载诊断功能 , 可确定所连接负载的状态。在音频播放期间 , 可通过适用于每个通道的输出电流检测功能来监控状态 , 并通过 TDM 以超小的延迟将测量结果报告给主机处理器。该器件在播放音频时 , 通过独立于主机和音频输入的实时负载诊断功能来监控输出负载状况。

TAS6754-Q1 器件为每个通道提供一个额外的低延时信号路径 , 在 48kHz 条件下提供最高快 70% 的信号处理速度 , 从而支持时间敏感型有源噪声消除 (ANC) 和道路噪声消除 (RNC) 应用。

该器件通过 I²C 读取全局温度、通道温度和 PVDD 值 , 便于进行系统级热管理。

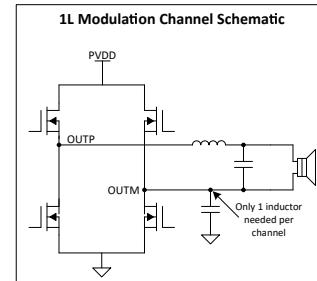
该器件采用带外露散热焊盘的 56 引脚 HSSOP 封装。

器件信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TAS6754-Q1	HSSOP (56)	18.42mm × 10.35mm

(1) 如需了解所有可用封装 , 请参阅数据表末尾的可订购产品附录。

(2) 封装尺寸 (长 × 宽) 为标称值 , 并包括引脚 (如适用) 。



简化版通道原理图



本资源的原文使用英文撰写。为方便起见 , TI 提供了译文 ; 由于翻译过程中可能使用了自动化工具 , TI 不保证译文的准确性。为确认准确性 , 请务必访问 ti.com 参考最新的英文版本 (控制文档) 。

内容

1 特性	1	7.4 器件功能模式	34
2 应用	1	7.5 编程	37
3 说明	1	8 应用信息免责声明	41
4 引脚配置和功能	3	8.1 应用信息	41
5 规格	5	8.2 典型应用	42
5.1 绝对最大额定值	5	8.3 布局	44
5.2 建议运行条件	6	9 器件和文档支持	47
5.3 ESD 等级	6	9.1 文档支持	47
5.4 热性能信息	6	9.2 接收文档更新通知	47
5.5 电气特性	7	9.3 支持资源	47
5.6 典型特性	10	9.4 商标	47
6 参数测量信息	15	9.5 静电放电警告	47
7 详细说明	16	9.6 术语表	47
7.1 概述	16	10 修订历史记录	47
7.2 功能方框图	16	11 机械、封装和可订购信息	48
7.3 特性说明	17		

4 引脚配置和功能

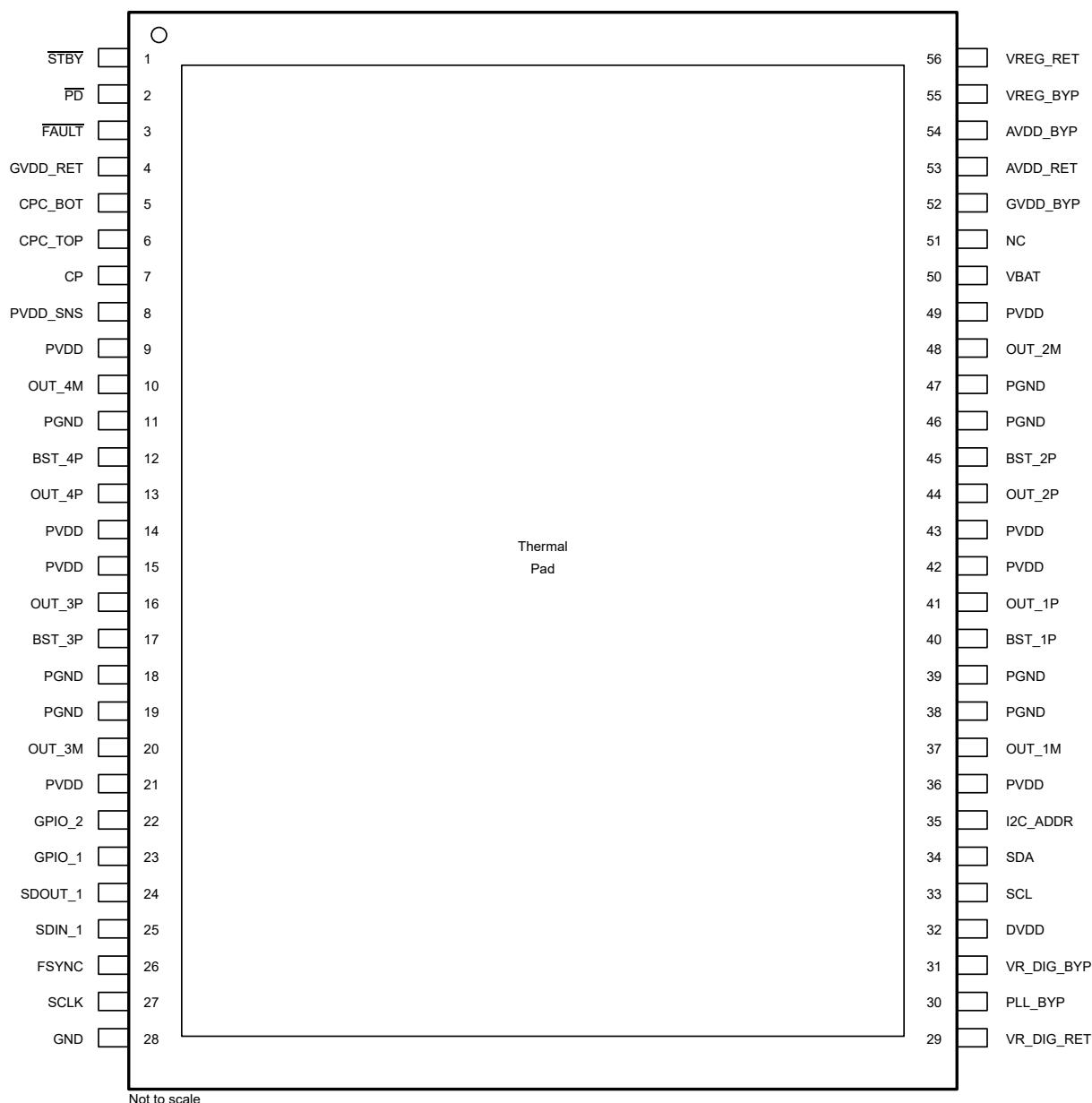


图 4-1. DKQ 封装，56 引脚 HSSOP (带外露散热焊盘) 顶视图

表 4-1. 引脚功能

引脚		I/O ⁽¹⁾	说明
名称	编号		
AVDD_BYP	54	PWR	电压稳压器旁路。在 AVDD_BYP 与 AVDD_RET 之间连接一个 1μF 电容器
AVDD_RET	53	PWR	AVDD 旁路电容器回路
BST_1P	40	PWR	高侧栅极驱动器的自举电容器连接引脚
BST_2P	45	PWR	高侧栅极驱动器的自举电容器连接引脚
BST_3P	17	PWR	高侧栅极驱动器的自举电容器连接引脚
BST_4P	12	PWR	高侧栅极驱动器的自举电容器连接引脚
CP	7	PWR	电荷泵主存储电容器的顶部。在引脚和 PVDD 之间连接 330nF 电容器。

表 4-1. 引脚功能 (续)

引脚		I/O ⁽¹⁾	说明
名称	编号		
CPC_BOT	5	PWR	电荷泵飞跨电容器的底部。在引脚与 CPC_TOP 引脚之间连接 100nF 电容器
CPC_TOP	6	PWR	电荷泵飞跨电容器的顶部。在引脚与 CPC_BOT 引脚之间连接 100nF 电容器
DVDD	32	PWR	DVDD 电源输入
FAULT	3	DO	报告故障 (低电平有效, 漏极开路), 100kΩ 内部上拉电阻器
FSYNC	26	DI	音频帧时钟输入
GND	28	GND	接地
GPIO_1	23	DI/O	通用 IO, 通过寄存器编程设置功能
GPIO_2	22	DI/O	通用 IO, 通过寄存器编程设置功能
GVDD_BYP	52	PWR	源自 VBAT 输入引脚的栅极驱动电压稳压器。将 2.2μF 电容器连接至 GVDD_RET
GVDD_RET	4	PWR	GVDD 旁路电容器回路
I2C_ADDR	35	DI	I ² C 地址引脚
NC	51	NC	无内部连接。保持未连接状态或接地。
OUT_1M	37	PWR	通道的负输出
OUT_1P	41	PWR	通道的正输出
OUT_2M	48	PWR	通道的负输出
OUT_2P	44	PWR	通道的正输出
OUT_3M	20	PWR	通道的负输出
OUT_3P	16	PWR	通道的正输出
OUT_4M	10	PWR	通道的负输出
OUT_4P	13	PWR	通道的正输出
PD	2	DI	关断器件以实现最小功耗 (低电平有效), 110kΩ 内部下拉电阻器
PGND	11、18、19、38、39、46、47	GND	接地
PLL_BYP	30	PWR	PLL 电源旁路, 源自 DVDD 输入
PVDD	9、14、15、21、36、42、43、49	PWR	PVDD 电压输入 (可连接至电池)
PVDD_SNS	8	PWR	敏感内部电路的 PVDD 输入。保持与 PVDD 相同的电压电平
SCL	33	DI	I ² C 时钟输入
SCLK	27	DI	音频输入串行时钟
SDA	34	DI/O	I ² C 数据输入和输出
SDIN_1	25	DI	通道 1 和 2 的 TDM 数据输入和音频 I ² S 数据输入
SDOUT_1	24	DO	I ² S/TDM 数据输出
STBY	1	DI	启用低功耗 DEEP SLEEP 状态 (低电平有效), 110kΩ 内部下拉电阻器
VBAT	50	PWR	电池电压输入
VR_DIG_BYP	31	PWR	DSP 内核稳压器输出。将 1uF 连接至 GND。
VR_DIG_RET	29	PWR	VR_DIG 旁路电容器回路
VREG_BYP	55	PWR	5V 内部电压稳压器
VREG_RET	56	PWR	VREG 旁路电容器回路
散热焊盘	-	GND	为器件提供电气和热连接。散热器必须连接到 GND。

(1) DI = 数字输入, DO = 数字输出, DI/O = 数字输入/输出, GND = 接地, NC = 无连接, NO = 负输出, PO = 正输出, PWR = 电源

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

			最小值	最大值	单位
PVDD、VBAT	相对于 GND 的直流电源电压范围		-0.3	30	V
V _{MAX}	瞬态电源电压 - PVDD , VBAT	t ≤ 400ms 暴露	-1	40	V
V _{RAMP}	电源电压斜坡速率 - PVDD、VBAT			75	V/ms
DVDD	相对于 GND 的直流电源电压范围		-0.3	3.9	V
I _{MAX}	每个引脚的最大电流 - PVDD、VBAT、GND、OUT_xP、OUT_xM			±9	A
I _{MAX_PULSED}	每个 PVDD 引脚的脉冲电源电流 (单次触发)	t < 100 ms		±12	A
I _{MAX_Peak}	每个引脚的最大峰值电流 - OUT_xP、OUT_xM	t < 100 ms		±12	A
V _{LOGIC}	逻辑引脚的输入电压 - SCL、SDA、FAULT、STBY、GPIOx		-0.3	DVDD + 0.5	V
V _{GND}	GND 引脚之间的最大电压			±0.3	
T _J	最大工作结温范围		-55	175	°C
T _{stg}	贮存温度范围		-55	150	

- (1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 建议运行条件

			最小值	典型值	最大值	单位
PVDD	输出 FET 电源电压范围	相对于 GND	4.5	14.4	19	V
VBAT	电池电源电压输入	相对于 GND	4.5	14.4	19	V
DVDD	直流逻辑电源	相对于 GND	1.62	3.6		V
T _A	环境温度		-40	125		°C
T _J	结温	需要进行充分的散热设计	-40	175		
R _L	标称扬声器负载阻抗	BTL 模式	2	4		Ω
R _{PU_I2C}	SDA 和 SCL 引脚上的 I ² C 上拉电阻		1	4.7	10	kΩ
C _{Bypass}	旁路引脚上的外部电容	引脚 30、31、32、54、55		1		μF
C _{GVDD}	GVDD 引脚上的外部电容	引脚 52		2.2		μF
L _O	OUTP 输出滤波器电感 - I _{SD}	I _{SD} 电流电平下的最小输出滤波器电感。适用于接地短路或对电源短路保护。		1		μH

5.3 ESD 等级

				值	单位
V _(ESD)	静电放电	人体放电模型 (HBM) , 符合 AEC Q100-002 标准 ⁽¹⁾			±3500
		充电器件模型 (CDM) , 符合 AEC Q100-011 标准	所有引脚	±1000	V

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

5.4 热性能信息

热指标 ⁽¹⁾		TAS6754-Q1 ⁽²⁾	单位
R _{θ JA}	结至环境热阻	38.9	°C/W
R _{θ JC(top)}	结至外壳 (顶部) 热阻	0.3	°C/W
R _{θ JB}	结至电路板热阻	17.1	°C/W
Ψ _{JT}	结至顶部特征参数	0.2	°C/W
Ψ _{JB}	结至电路板特征参数	16.6	°C/W
R _{θ JC(bot)}	结至外壳 (底部) 热阻	-	°C/W

(1) 有关新旧热指标的更多信息，请参阅“[半导体和 IC 封装热指标](#)”应用报告。

(2) JEDEC 标准 4 层 PCB。

5.5 电气特性

测试条件 (除非另有说明) : $T_C = 25^\circ\text{C}$, $PVDD = 14.4\text{V}$, $VBAT = 14.4\text{V}$, $DVDD = 1.8\text{V}$, $R_L = 4\Omega$,
 $P_{out} = 1\text{W}/\text{通道}$, $f_{out} = 1\text{kHz}$, $F_{sw} = 2.048\text{MHz}$, AES17 滤波器, 使用重建滤波指示器: $3.3\mu\text{H}-\text{VCMT053T-3R3MN5}$ 和
 $1\mu\text{F}$, 默认 I²C 设置 + 启动脚本, 请参阅应用图表

参数		测试条件	最小值	典型值	最大值	单位
工作电流						
I_{DVDD}	DVDD 电源电流	所有通道播放, -60dB 信号	22	28		mA
		所有通道播放, -60dB 信号, DVDD = 3.3V	22			
I_{PVDD_IDLE}	PVDD 空闲电流	所有通道播放, 无音频输入, $F_{sw} = 2.048\text{MHz}$	47	60		mA
I_{VBAT_IDLE}	VBAT 空闲电流	所有通道播放, 无音频输入, $F_{sw} = 2.048\text{MHz}$	115	130		mA
$I_{PVDD_Shutdown}$	PVDD 关断电流	\overline{PD} 有效, DVDD = 0V	4	5		μA
$I_{VBAT_Shutdown}$	VBAT 关断电流	\overline{PD} 有效, DVDD = 0V	5	7		μA
$I_{Total_Shutdown}$	PVDD+VBAT 关断电流	\overline{PD} 有效, DVDD = 0V		12		μA
$I_{DVDD_Shutdown}$	DVDD 关断电流	\overline{PD} 有效, DVDD = 1.8V	1	3		μA
		\overline{PD} 有效, DVDD = 3.3V	1	3		
输出功率						
P_{O_BTL}	每通道输出功率, BTL	4 Ω , PVDD=14.4V, THD+N=1%, $T_C=75^\circ\text{C}$	21	23		W
		4 Ω , PVDD=14.4V, THD+N=10%, $T_C=75^\circ\text{C}$	26	30		
		4 Ω , PVDD=18V, THD+N=1%, $T_C=75^\circ\text{C}$	33	37		
		4 Ω , PVDD=18V, THD+N=10%, $T_C=75^\circ\text{C}$	41	46		
		2 Ω , PVDD=14.4V, THD+N=1%, $T_C=75^\circ\text{C}$	37	40		
		2 Ω , PVDD=14.4V, THD+N=10%, $T_C=75^\circ\text{C}$	44	50		
EFF _P	电源效率	4 通道工作, 每通道输出功率为 25W, $R_L = 4\Omega$, PVDD = 14.4V, $T_C = 25^\circ\text{C}$ (包括输出滤波器损耗)	87		%	
音频性能						
V_n	输出噪声电压	零输入, A 加权, 增益 = -5dB, 以匹配 14.4V 的 PVDD	35		μV	
G	增益	满量程数字输入时的峰峰值输出电压	28		V/FS	
THD+N	总谐波失真 + 噪声		0.03		%	
		20Hz 至 20kHz	0.08		%	
F_{BW}	频率响应	20Hz 至 20kHz, 无 LC 滤波器影响或集成补偿	0.5		dB	
G_{MUTE}	输出衰减	将 MUTE 置为有效并与向 4 Ω 负载播放 1W 音频的放大器进行比较	100		dB	
串扰	通道串扰	PVDD = 14.4Vdc, $f = 1\text{kHz}$	-90	-80	dB	
PSRR	电源抑制比	PVDD = 14.4Vdc + 1VRMS, $f = 1\text{kHz}$	-75		dB	
数字输入引脚						
V_{IH}	输入逻辑高电平		70		%DVDD	
V_{IL}	输入逻辑低电平		30			
I_{IH}	输入逻辑电流	$V_i = DVDD$	15		μA	
		$V_i = 0$	-15			
数字输出引脚						
V_{OH}	逻辑高电平的输出电压	$I = \pm 1\text{mA}$	90		%DVDD	
V_{OL}	逻辑低电平的输出电压		10			
V_{OH}	逻辑高电平的输出电压	DVDD = 3.3V, $I = \pm 2\text{mA}$	90		%DVDD	
V_{OL}	逻辑低电平的输出电压	DVDD = 3.3V, $I = \pm 2\text{mA}$	10		%DVDD	
旁路电压						
V_{GVDD}	栅极驱动旁路引脚电压		5		V	
$V_{AVDD_BYP}, V_{VREG_BYP}$	模拟旁路引脚电压		5		V	
$V_{DVDD_BYP}, V_{PLL_BYP}, V_{VR_DIG}$	数字旁路引脚电压		1.5		V	
过压 (OV) 保护						
$PVDD_{OV_SET}$	PVDD 过压关断设置		19.1	20	21	V
$PVDD_{OV_HYS}$	PVDD 过压恢复迟滞			0.5		V
$VBAT_{OV_SET}$	VBAT 过压关断设置		19.1	20	22	V
$VBAT_{OV_HYS}$	VBAT 过压恢复迟滞			0.5		V
欠压 (UV) 保护						

测试条件 (除非另有说明) : $T_C = 25^\circ\text{C}$, $\text{PVDD} = 14.4\text{V}$, $\text{VBAT} = 14.4\text{V}$, $\text{DVDD} = 1.8\text{V}$, $R_L = 4\Omega$, $P_{out} = 1\text{W}/\text{通道}$, $f_{out} = 1\text{kHz}$, $F_{sw} = 2.048\text{MHz}$, AES17 滤波器, 使用重建滤波指示器: $3.3\mu\text{H}-\text{VCMT053T-3R3MN5}$ 和 $1\mu\text{F}$, 默认 I^2C 设置 + 启动脚本, 请参阅应用图表

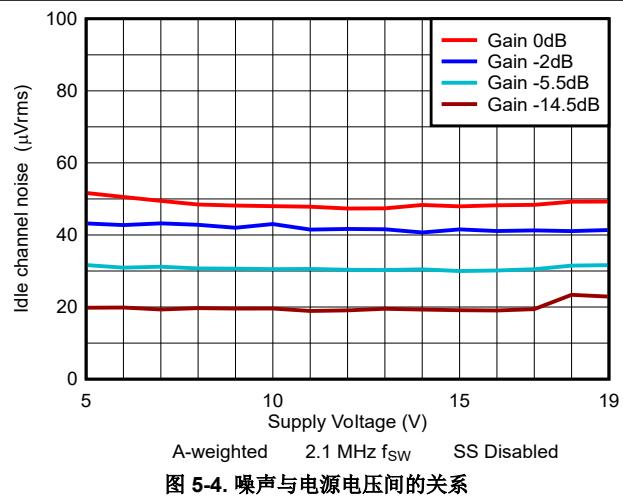
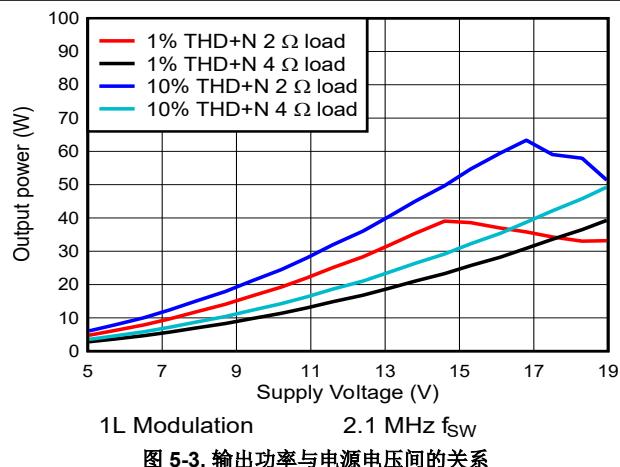
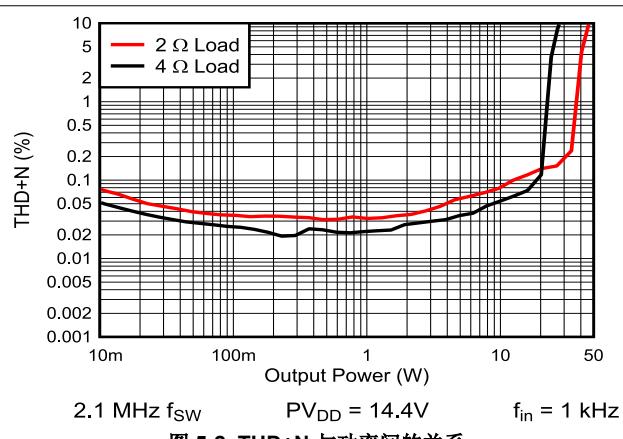
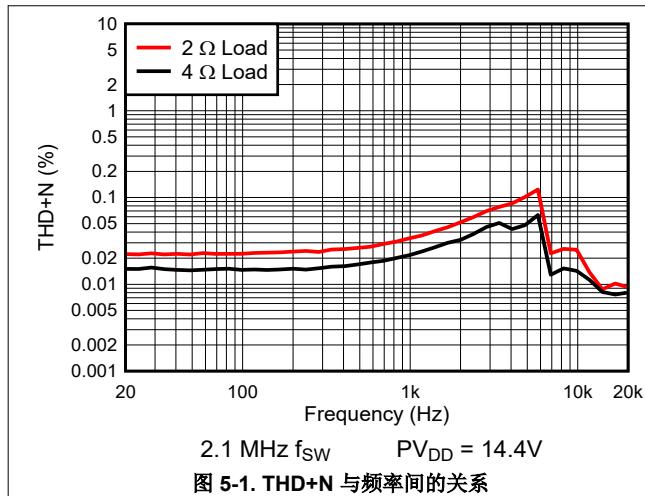
参数	测试条件	最小值	典型值	最大值	单位	
PVDD_UV_SET	PVDD 欠压关断设置	3.5	4	4.5	V	
PVDD_UV_HYS	PVDD 欠压恢复磁滞		0.5		V	
VBAT_UV_SET	VBAT 欠压关断设置	3.5	4	4.5	V	
VBAT_UV_HYS	VBAT 欠压恢复迟滞		0.5		V	
DVDD_UV_SET	DVDD 欠压关断设置	1.4		1.59	V	
上电复位 (POR)						
V_POR_SET	DVDD 上电复位设置	增大 DVDD	0.9	1.51	V	
V_POR_HYS	DVDD 上电复位恢复迟滞		0.2		V	
V_POR_OFF	DVDD 断电阈值	降低 DVDD	0.5	1.3	V	
过热 (OT) 保护和温度检测						
OTSD(i)	每通道过热关断		175		°C	
OTW	全局连接过热警告		135		°C	
OTSD	全局连接过热关断		155		°C	
OT_HYS_Global	过热恢复磁滞		15		°C	
OT_HYS_Local	过热恢复磁滞		15		°C	
负载过流保护						
I _{LIM}	逐周期过流限制	OC 级别 1	2.5	3.5	A	
		OC 级别 2	3.3	4.3		
		OC 级别 3	4.6	5.6		
		OC 级别 4	6.3	6.7		
I _{SD}	过流关断	OC 级别 1, 电源、接地或其他通道的任何短路	5		A	
		OC 级别 2, 电源、接地或其他通道的任何短路	6			
		OC 级别 3, 电源、接地或其他通道的任何短路	8			
		OC 级别 4, 电源、接地或其他通道的任何短路	9			
“咔嗒”和“砰砰”声						
V _{CP_Multi}	输出“咔嗒”和“砰砰”声电压	ITU-R 2K 滤波器, Hi-Z 至 PLAY, PLAY 至 Hi-Z, 多步开启, PVDD = 14.4V	5		mV	
直流偏移						
V _{OFFSET}	输出失调电压	$T_C = 50^\circ\text{C}$	2	5	mV	
直流检测						
DC_FAULT	输出直流故障保护		1.4	2	2.5	V
负载诊断						
S2P	用于检测 OUT 引脚与 PVDD 之间短路的最大电阻		2000		Ω	
S2G	用于检测 OUT 引脚与接地之间短路的最大电阻		200		Ω	
SL	负载短路检测容差	Hi-Z 中的其他通道	±0.5		Ω	
OL	负载开路 (OL) 检测阈值	Hi-Z 中的其他通道	40		Ω	
AC _{IMP}	交流阻抗精度	$f = 18.75\text{kHz}$, $R_L = 4\Omega$, 输出引脚处的阻抗	±0.75		Ω	
f _{AC}	交流诊断测试频率	默认值	18.75		kHz	
I²C 地址引脚						
t _{I2C_ADDR}	I ² C 地址设置所需的延时时间		300		μs	
I²C 控制端口						
t _{BUS}	启动条件和停止条件之间的总线空闲时间		1.3		μs	
t _{h1}	SCL 至 SDA 的保持时间		0		ns	
t _{h2}	启动条件至 SCL 的保持时间		0.6		μs	
t _{START}	DVDD 上电复位后的 I ² C 启动时间			12	ms	
t _{RISE}	SCL 和 SDA 的上升时间			300	ns	

测试条件 (除非另有说明) : $T_C = 25^\circ\text{C}$, $\text{PVDD} = 14.4\text{V}$, $\text{VBAT} = 14.4\text{V}$, $\text{DVDD} = 1.8\text{V}$, $R_L = 4\Omega$, $P_{\text{out}} = 1\text{W}/\text{通道}$, $f_{\text{out}} = 1\text{kHz}$, $F_{\text{sw}} = 2.048\text{MHz}$, AES17 滤波器, 使用重建滤波指示器: $3.3\mu\text{H}-\text{VCMT053T-3R3MN5}$ 和 $1\mu\text{F}$, 默认 I^2C 设置 + 启动脚本, 请参阅应用图表

参数	测试条件	最小值	典型值	最大值	单位
t_{FALL}	SCL 和 SDA 的下降时间			300	ns
t_{SU1}	SDA 到 SCL 的建立		100		ns
t_{SU2}	SCL 到启动条件的建立		0.6		μs
t_{SU3}	SCL 到停止条件的建立		0.6		μs
$t_{\text{W(H)}}$	SCL “高电平”所需的脉冲持续时间		0.6		μs
$t_{\text{W(L)}}$	SCL “低电平”所需的脉冲持续时间		1.3		μs
串行音频端口					
D_{SCLK}	允许的输入时钟占空比		45%	50%	55%
f_S	支持的输入采样速率		44.1	192	kHz
f_{SCLK}	支持的 SCLK 频率		32	512	xFS
$f_{\text{SCLK_Max}}$	最大频率			24.576	MHz
t_{SCY}	SCLK 脉冲周期时间		40		ns
t_{SCL}	低电平 SCLK 脉冲		16		ns
t_{SCH}	高电平 SCLK 脉冲		16		ns
t_{SF}	SCLK 上升沿到 FSYNC 边沿		8		ns
t_{FS}	FSYNC 边缘到 SCLK 上升沿		8		ns
t_{DS}	DATA 建立时间		8		ns
c_i	引脚 SCLK、FSYNC、SDIN_1、SDOUT_1、GPIO_X 的输入电容			10	pF
t_{DH}	DATA 保持时间		8		ns
T_{AudioLA}	以 FSYNC 样本数进行衡量的输入至输出音频路径延迟	FSYNC = 44.1kHz 或 48kHz		22	
		FSYNC = 96kHz		23	样本
		FSYNC = 192kHz		24	
T_{LLpLA}	以 FSYNC 样本数进行衡量的输入至输出低延迟路径延迟	FSYNC = 44.1kHz 或 48kHz		6	样本
		FSYNC = 96kHz		7	

5.6 典型特性

测试条件 (除非另有说明) : $T_C = 25^\circ\text{C}$, $P_{VDD} = 14.4\text{V}$, $V_{BAT} = 14.4\text{V}$, $DVDD = 1.8\text{V}$, $R_L = 4\Omega$, $P_{out} = 1\text{W/ch}$, $f_{out} = 1\text{kHz}$, $f_{sw} = 2.048\text{MHz}$, AES17 滤波器, 重建滤波器 (如[参数测量信息](#)中所述), 默认 I²C 设置 + 启动脚本, 请参阅应用图表



5.6 典型特性 (续)

测试条件 (除非另有说明) : $T_C = 25^\circ\text{C}$, $PVDD = 14.4\text{V}$, $VBAT = 14.4\text{V}$, $DVDD = 1.8\text{V}$, $R_L = 4\Omega$, $P_{out} = 1\text{W/ch}$, $f_{out} = 1\text{kHz}$, $F_{sw} = 2.048\text{MHz}$, AES17 滤波器, 重建滤波器 (如[参数测量信息](#)中所述), 默认 I²C 设置 + 启动脚本, 请参阅应用图表

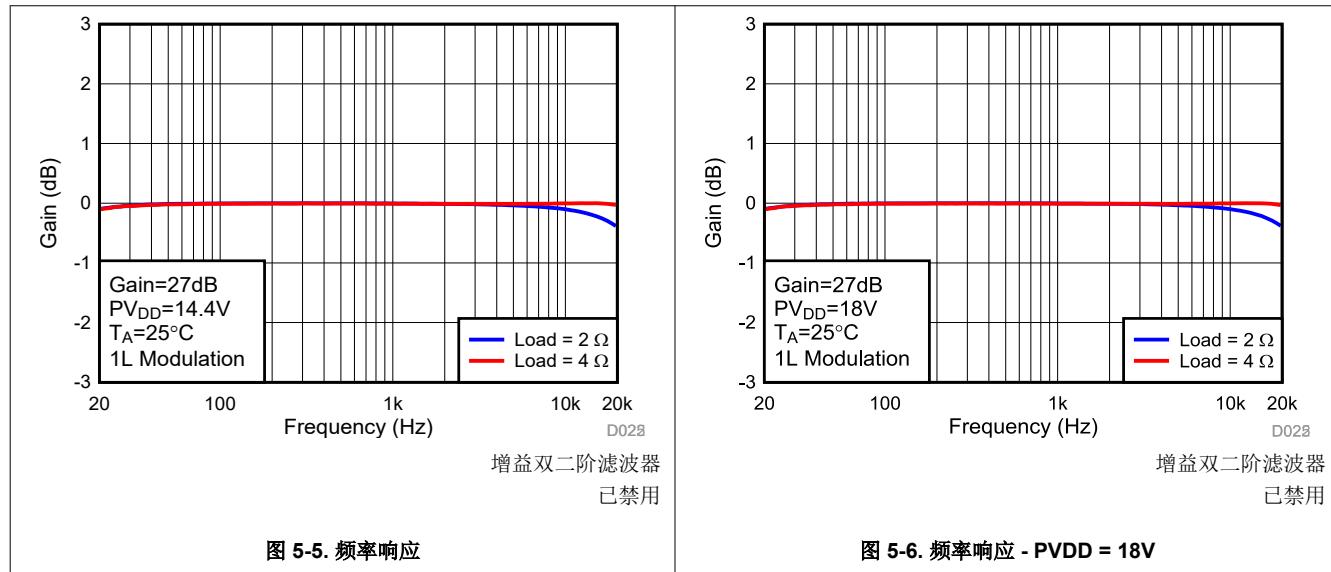
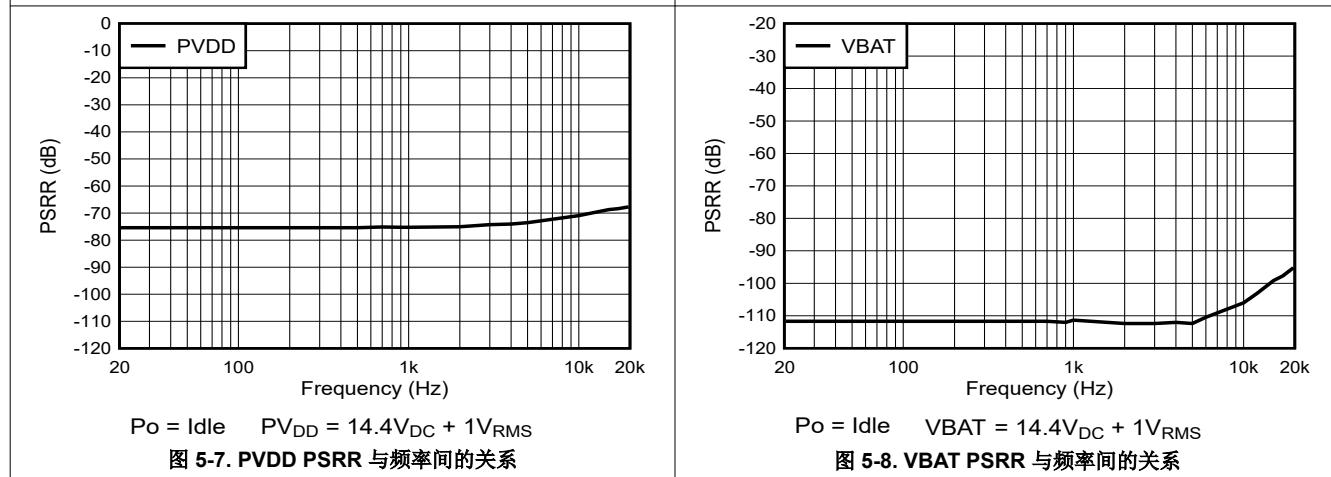


图 5-5. 频率响应

图 5-6. 频率响应 - $PVDD = 18\text{V}$



$Po = \text{Idle}$ $PV_{DD} = 14.4\text{V}_{DC} + 1\text{V}_{RMS}$

图 5-7. $PVDD$ PSRR 与频率间的关系

$Po = \text{Idle}$ $VBAT = 14.4\text{V}_{DC} + 1\text{V}_{RMS}$

图 5-8. $VBAT$ PSRR 与频率间的关系

5.6 典型特性 (续)

测试条件 (除非另有说明) : $T_C = 25^\circ\text{C}$, $P_{VDD} = 14.4\text{V}$, $V_{BAT} = 14.4\text{V}$, $DVDD = 1.8\text{V}$, $R_L = 4\Omega$, $P_{out} = 1\text{W/ch}$, $f_{out} = 1\text{kHz}$, $F_{sw} = 2.048\text{MHz}$, AES17 滤波器, 重建滤波器 (如[参数测量信息](#)中所述), 默认 I²C 设置 + 启动脚本, 请参阅应用图表

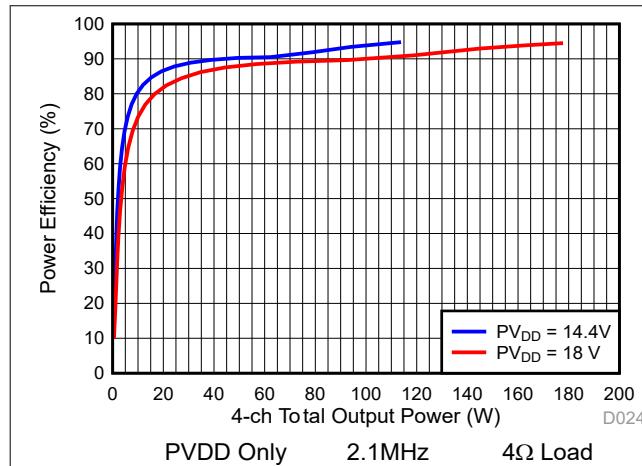


图 5-9. 效率与输出功率间的关系 - 4Ω, PVDD

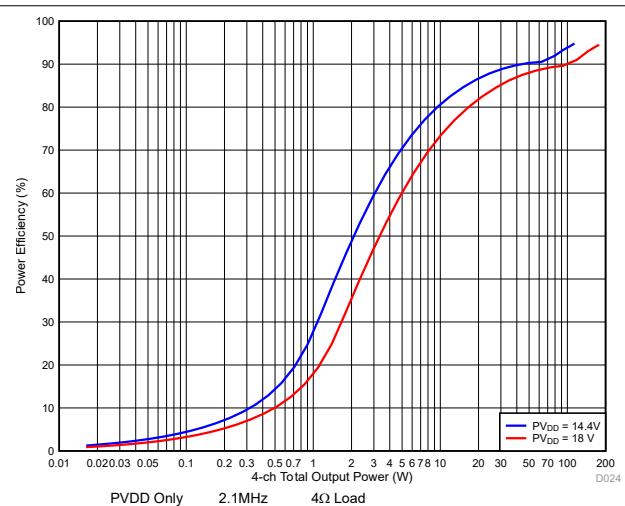


图 5-10. 效率与输出功率间的关系 - 4Ω, PVDD (缩放)

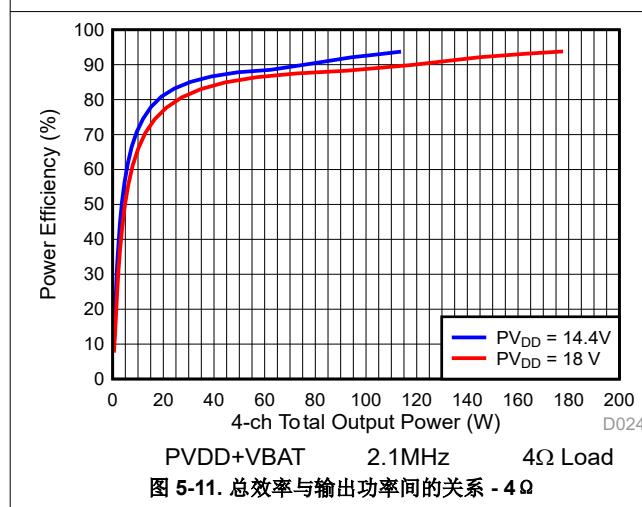


图 5-11. 总效率与输出功率间的关系 - 4Ω

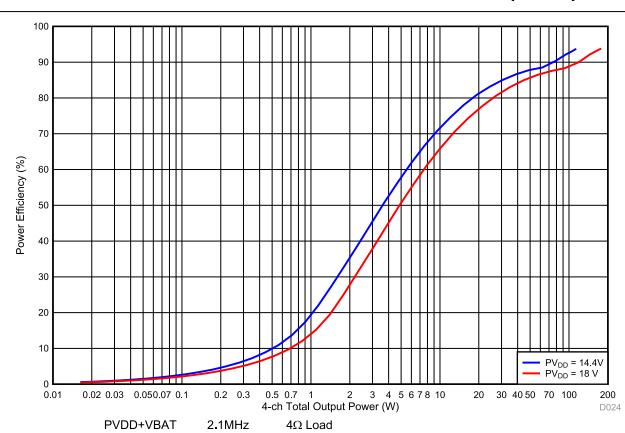


图 5-12. 总效率与输出功率间的关系 - 4Ω (缩放)

5.6 典型特性 (续)

测试条件 (除非另有说明) : $T_C = 25^\circ\text{C}$, $\text{PVDD} = 14.4\text{V}$, $\text{VBAT} = 14.4\text{V}$, $\text{DVDD} = 1.8\text{V}$, $R_L = 4\Omega$, $P_{\text{out}} = 1\text{W/ch}$, $f_{\text{out}} = 1\text{kHz}$, $F_{\text{sw}} = 2.048\text{MHz}$, AES17 滤波器, 重建滤波器 (如[参数测量信息](#)中所述), 默认 I²C 设置 + 启动脚本, 请参阅应用图表

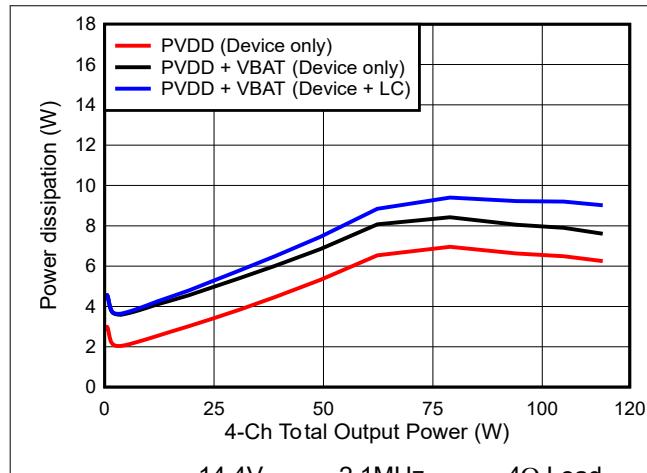


图 5-13. 功率耗散与输出功率间的关系 - 4Ω

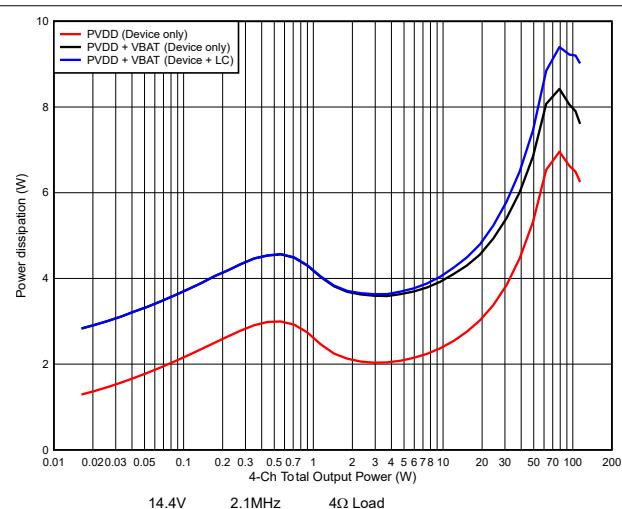


图 5-14. 功率耗散与输出功率间的关系 - 4Ω (缩放)

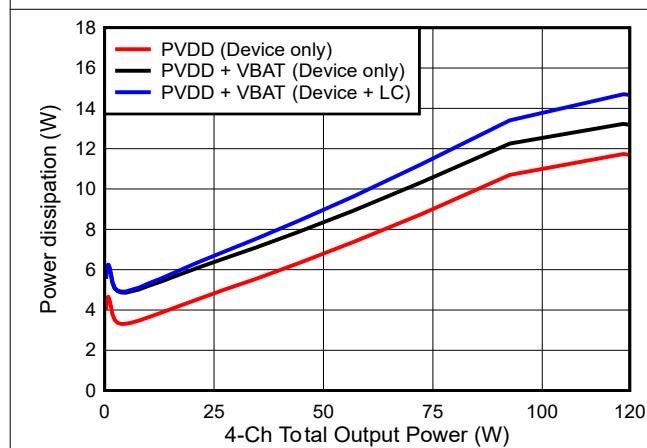


图 5-15. 功率耗散与输出功率间的关系 - 4Ω, PVDD = 18V

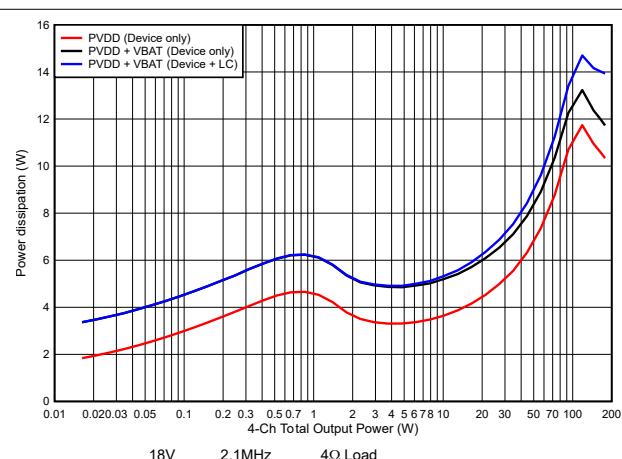


图 5-16. 功率耗散与输出功率间的关系 - 4Ω, PVDD = 18V (缩放)

5.6 典型特性 (续)

测试条件 (除非另有说明) : $T_C = 25^\circ\text{C}$, $\text{PVDD} = 14.4\text{V}$, $\text{VBAT} = 14.4\text{V}$, $\text{DVDD} = 1.8\text{V}$, $R_L = 4\Omega$, $P_{\text{out}} = 1\text{W/ch}$, $f_{\text{out}} = 1\text{kHz}$, $F_{\text{sw}} = 2.048\text{MHz}$, AES17 滤波器, 重建滤波器 (如[参数测量信息](#)中所述), 默认 I²C 设置 + 启动脚本, 请参阅应用图表

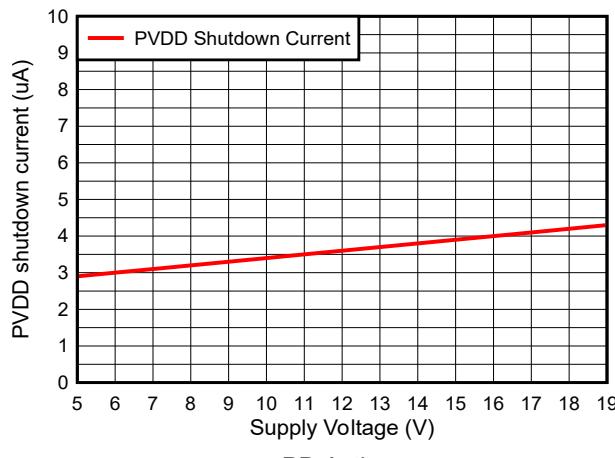


图 5-17. 关断电流与电压间的关系, PVDD

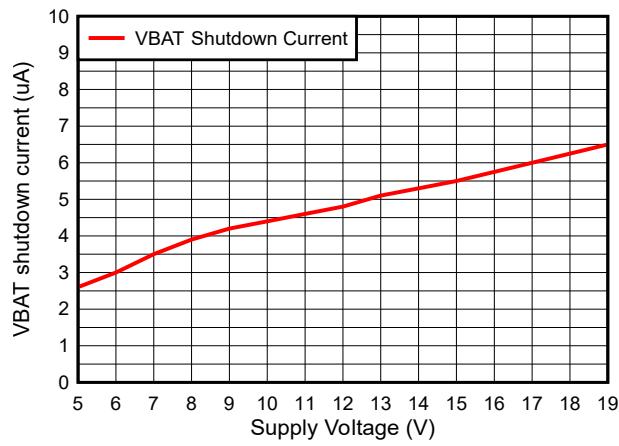


图 5-18. 关断电流与电压间的关系, VBAT

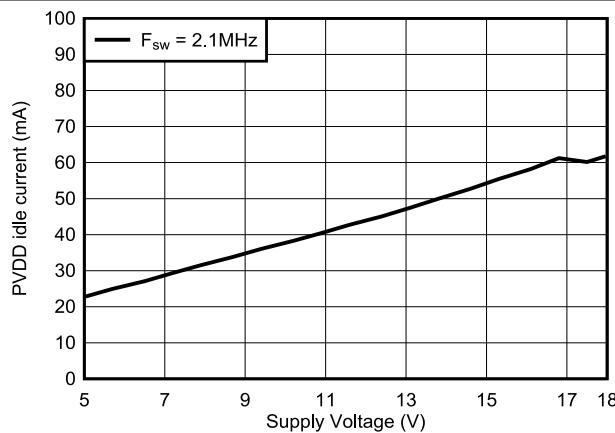


图 5-19. PVDD 空闲电流与电压间的关系

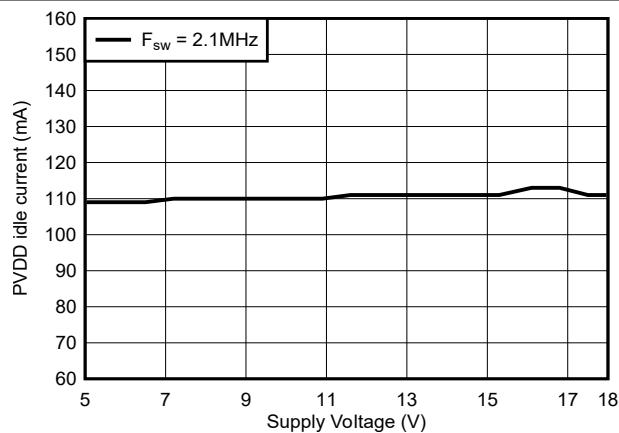


图 5-20. VBAT 空闲电流与电压间的关系

6 参数测量信息

使用 LC 重建滤波器 Cyntec VCMT053T-3R3MN5 3.3 μ H 指示器 + 1 μ F 电容器进行测量。

启用带集成导音频的实时负载诊断时，必须使用模拟平衡输入滤波器以避免误导测量结果。建议使用 APx500 系列提供的椭圆高通滤波器，其截止频率为 20Hz，以及类似 AES17 (20kHz) 的低通滤波器。如果测试设备不支持此滤波器类型，TI 建议关闭实时负载诊断功能以获得准确的性能测量结果。

7 详细说明

7.1 概述

TAS6754-Q1 是一款四通道数字输入 D 类音频放大器，专为汽车行业定制。该器件设计用于车辆电池操作，支持最高达 19V 的电压，并能够承受最高 40V 的负载突降。采用超高效 D 类技术，具有先进的 1L 调制功能，可降低开关损耗，缩小 PCB 面积。该器件实现了体积更小、重量更轻、功能更先进的高保真音频声音系统设计。

核心设计块包括：

- 串行音频端口
- PLL 和时钟管理
- 双核音频 DSP 子系统
- 具有输出级反馈的脉宽调制器 (PWM)
- 栅极驱动
- 功率 FET
- 电流检测
- 包括实时负载诊断的诊断
- 保护
- 电源
- I²C 串行通信总线
- 检测

7.2 功能方框图

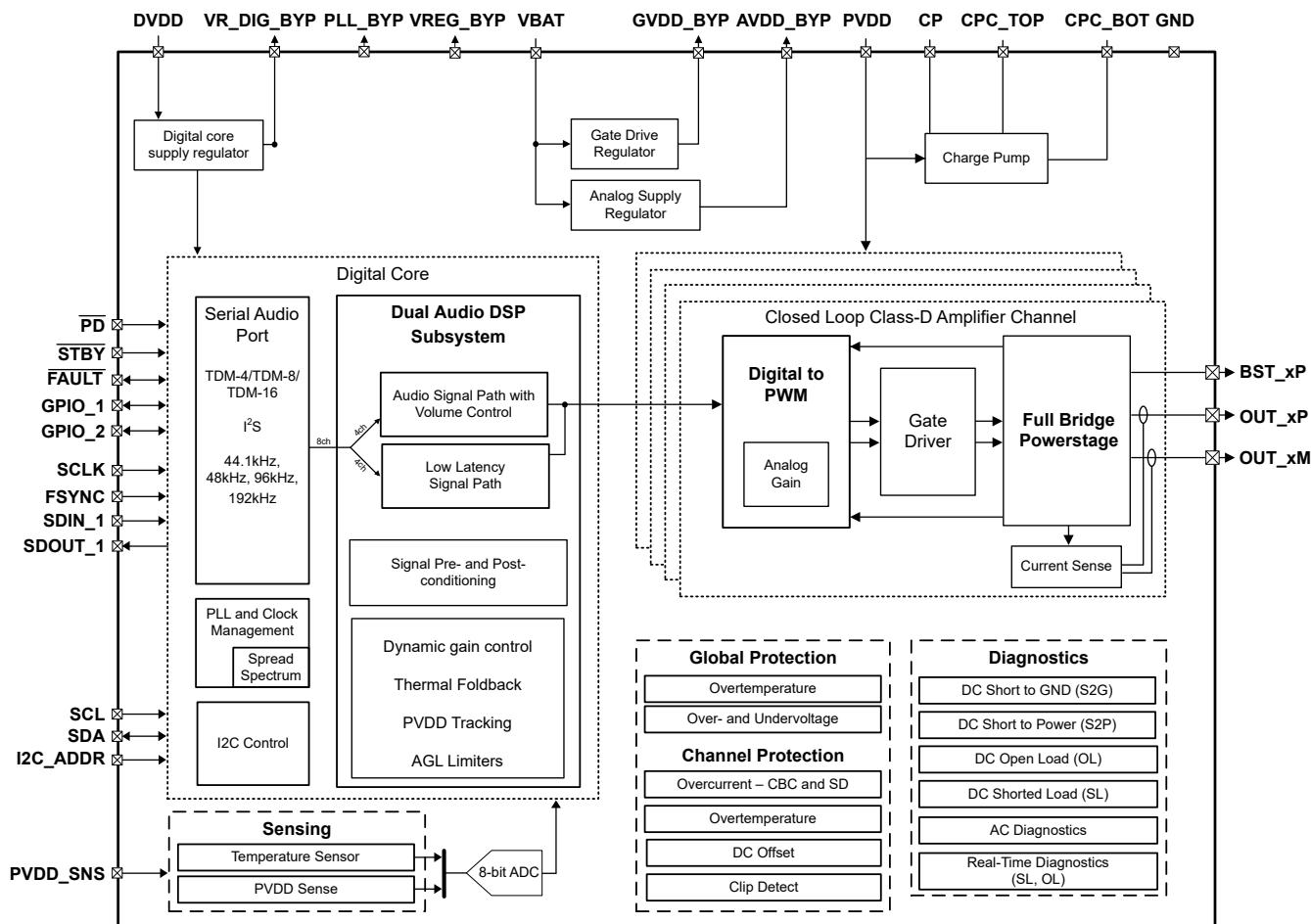


图 7-1. 功能方框图

7.3 特性说明

7.3.1 电源

该器件具有 DVDD、VBAT 和 PVDD 三个电源输入，如下所述：

DVDD 这是连接在 DVDD 引脚上的 1.8V 或 3.3V 电源，为数字电路提供电源。

VBAT 该引脚是电压较高的电源，可以连接到汽车电池或在升压系统中连接到受控电压导轨，需符合建议的限制。为了达到出色性能，该电源导轨为 10V 或更高电压。有关最大电源电压，请参阅[建议工作条件表](#)。该电源导轨用于电压较高的模拟电路，而不是用于输出 FET。

PVDD 该引脚是电流较高的电源，可以连接到汽车电池或升压系统中的另一个电压导轨。PVDD 引脚为输出 FET 提供电源，即使其低于 VBAT 电源，只要符合[建议工作条件](#)，也可以用于动态电压系统。

包含多个片上稳压器，可生成内部电路所需的电压。外部引脚仅供旁路电容器用于对电源进行滤波，不用于为其他电路供电。

该器件可以在器件的绝对最大额定值范围内承受偶然的接地开路和电源开路情况。当扬声器导线接地短路时，通常会发生偶然的接地开路，从而允许通过输出 FET 中的体二极管形成第二条接地路径。

7.3.1.1 电源序列

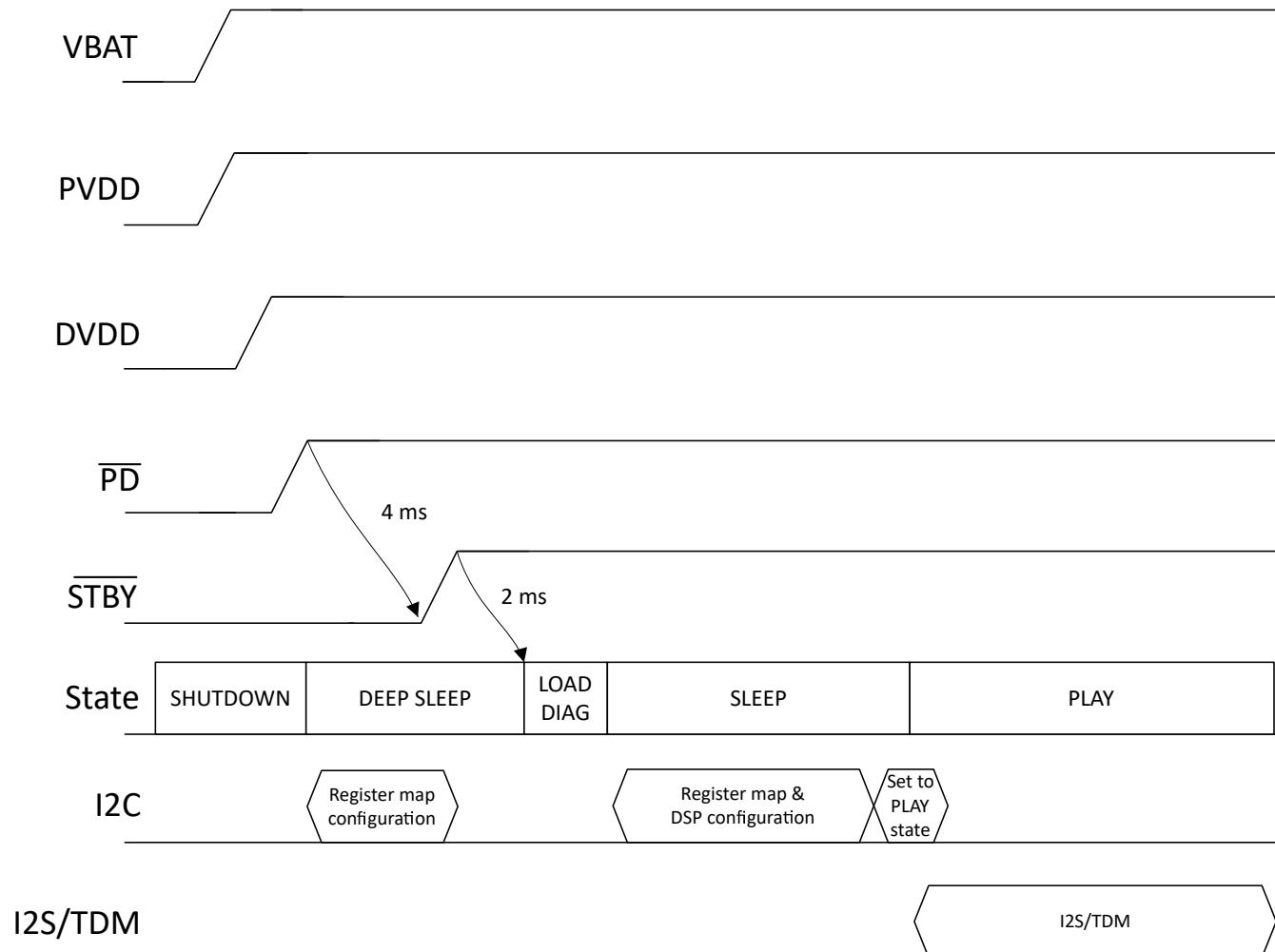
在典型系统中，VBAT 和 PVDD 电源都连接到汽车电池，并同时加电。

7.3.1.1.1 上电序列

加电时，建议将 \overline{PD} 引脚保持为低电平，直到三个电源导轨（VBAT、PVDD 和 DVDD）都处于[建议工作条件](#)范围之内。

当所有电源导轨均已应用并准备就绪时，释放 \overline{PD} 引脚会为内部数字电路加电。释放 \overline{PD} 引脚后，建议至少等待 4ms 再释放 \overline{STBY} 引脚。释放 \overline{STBY} 引脚会为内部模拟电路加电。如果该序列不可行，并且必须同时释放 \overline{PD} 和 \overline{STBY} ，则随后的状态切换可能需要长达 6ms，在此时间内器件会为模拟电路加电并保证内部引导程序无误。

只要模拟电路加电（VBAT 就绪且 \overline{STBY} 释放）后出现电源故障，TAS6754-Q1 就会退出 PLAY 或其他状态并返回至[自动恢复 \(AUTOREC\) 状态](#)，直到电源故障消失。



Applying DVDD before VBAT will lead to a reported “VBAT Undervoltage Fault” which needs to be cleared

图 7-2. TAS6754-Q1 上电序列

7.3.1.1.2 下电序列

要关断器件，请首先将 **STBY** 引脚或 **PD** 引脚设置为低电平达至少 10ms，然后再删除 PVDD、VBAT 或 DVDD。10ms 后，可以移除电源。建议在删除 DVDD 电源之前先删除 PVDD 和 VBAT。

7.3.1.2 器件初始化和上电复位 (POR)

当系统首次加电、**PD** 引脚被拉至高电平或 DVDD 电压低于 POR 阈值然后恢复正常状态时，器件将进行初始化。在器件初始化期间，所有 I²C 寄存器均被设置为默认值。

I²C 器件地址由 I2C_ADDR 引脚决定。有关详细信息，请参阅 [I²C 地址选择部分](#)。

7.3.2 串行音频端口

串行音频接口可以接收左对齐、I²S 或 DSP 模式格式的数据。此外，还可以实现时分多路复用 (TDM) 以支持多通道运行，最多支持 TDM16。

引脚 SDIN_1 和 SDOUT_1 可用于数据传输，而任何 GPIO 引脚均可根据需要分配为 SDIN_2 和 SDOUT_2。有关更多详细信息，请参阅 [GPIO 引脚](#)。

7.3.2.1 左对齐定时

左对齐时序使用 FSYNC 引脚来定义何时为左声道或右声道传输数据。左声道的 MSB 在音频帧时钟 (FSYNC) 上升沿之后的串行时钟 (SCLK) 上升沿有效。同样，右通道的 MSB 在 FSYNC 下降沿之后的 SCLK 时钟上升沿有效。可以配置通道偏移，所有通道的偏移都是相同的。

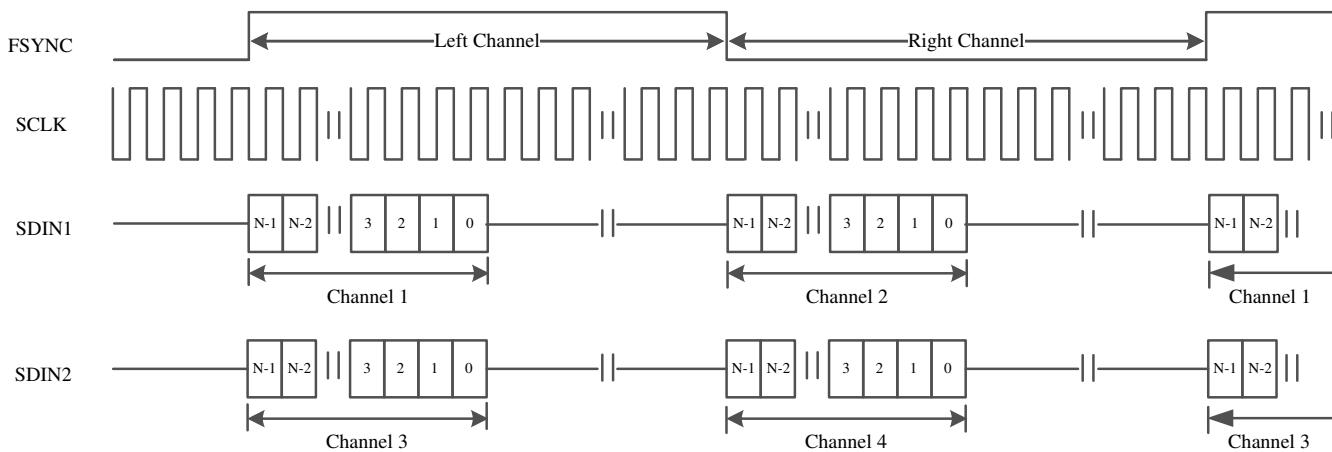


图 7-3. 左对齐模式的时序图

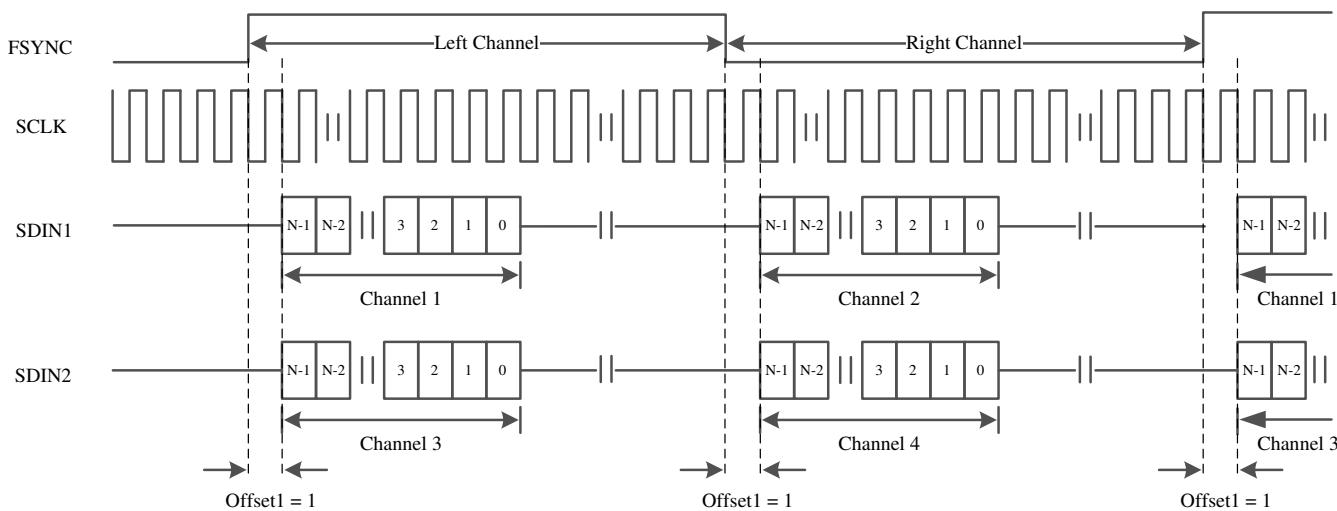


图 7-4. 偏移 $1 = 1$ 时左对齐模式的时序图

7.3.2.2 I²S 模式

I²S 模式使用 FSYNC 引脚来定义何时为左声道传输数据以及何时为右声道传输数据。在 I²S 模式下，左声道的 MSB 在音频帧时钟 (FSYNC) 下降沿之后串行时钟 (SCLK) 的第二个上升沿有效。同样，右通道的 MSB 在 FSYNC 上升沿之后的第二个 SCLK 上升沿有效。可以配置通道偏移，所有通道的偏移都是相同的。

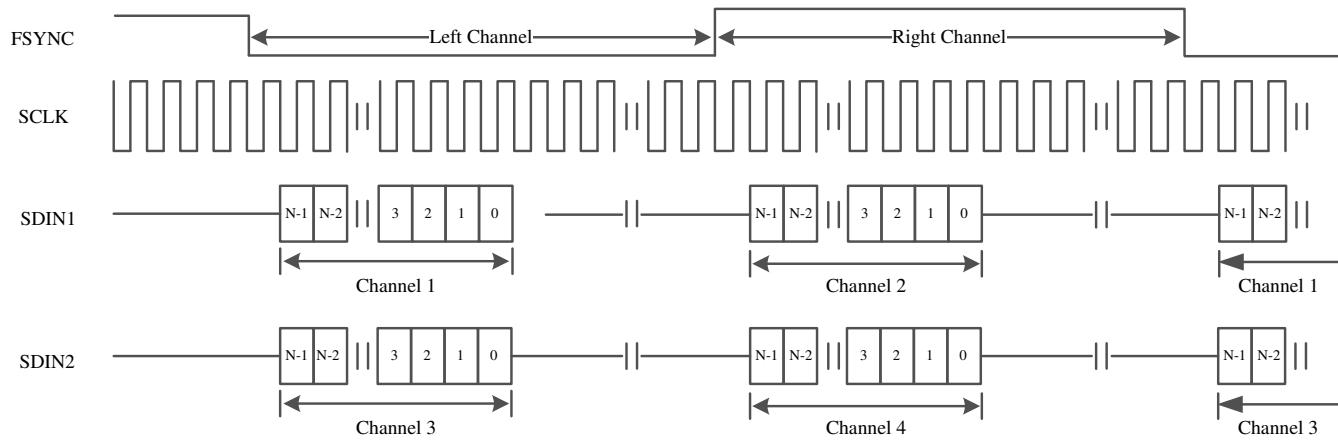


图 7-5. I2S 模式的时序图

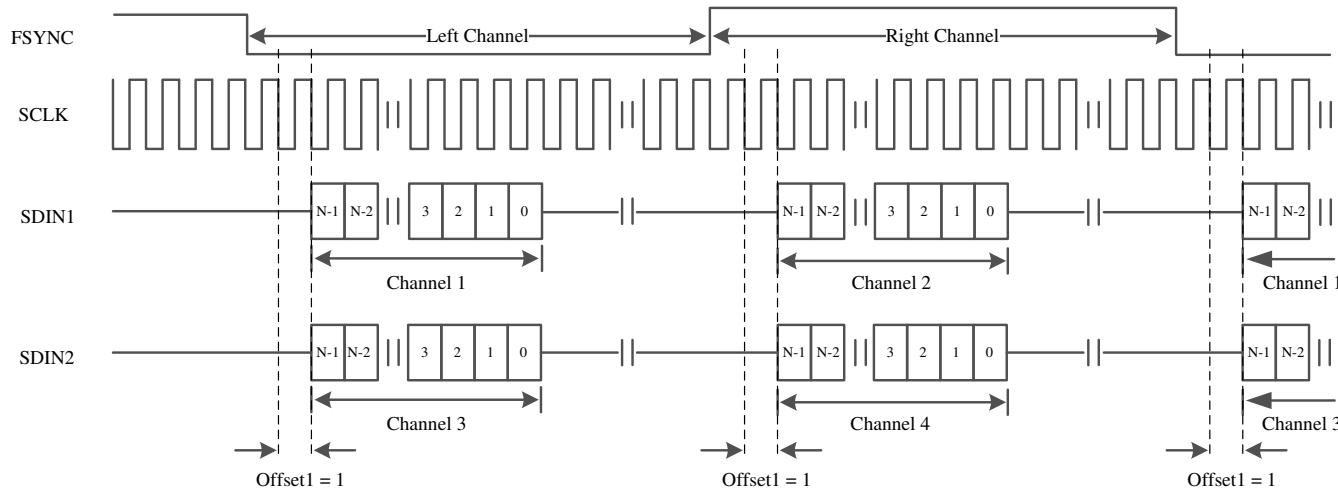


图 7-6. 偏移 = 1 时 I2S 模式的计时示意图

7.3.2.3 DSP 模式

DSP 模式使用 FSYNC 引脚定义音频数据的开始，但不区分通道。音频帧时钟 (FSYNC) 的上升沿开始数据传输，首先传输左声道数据，然后立即传输右声道数据。每个数据位在串行时钟 (SCLK) 的上升沿上都有效。可以配置 10 位通道偏移，所有通道的偏移都是相同的。

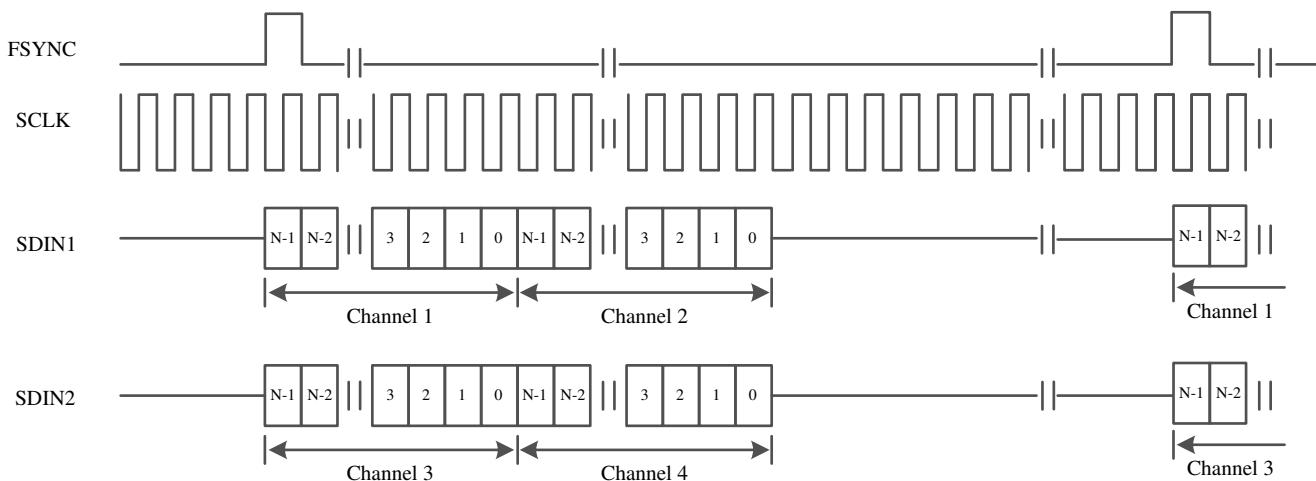


图 7-7. DSP 模式的时序图

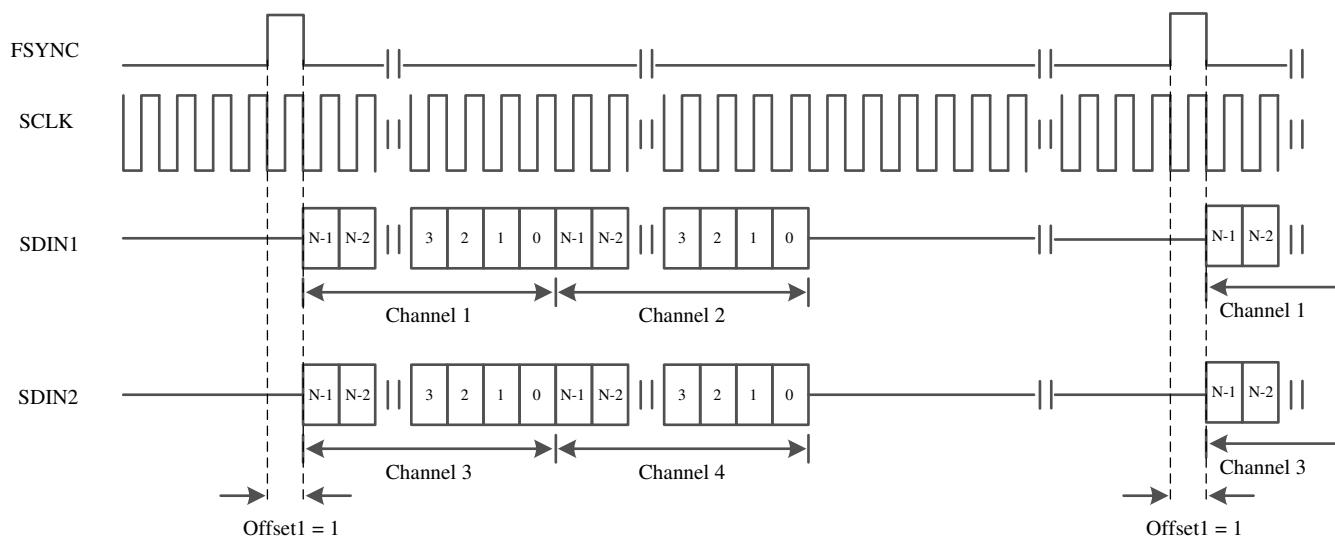


图 7-8. 偏移 = 1 时 DSP 模式的计时示意图

7.3.2.4 TDM 模式

TDM 模式通过 SDIN 支持 4、8 或 16 个通道的音频数据。数据可以通过单个引脚接收，也可以分配到 SDIN_1 和 SDIN_2。数据格式遵循 **DSP 模式** 模式。

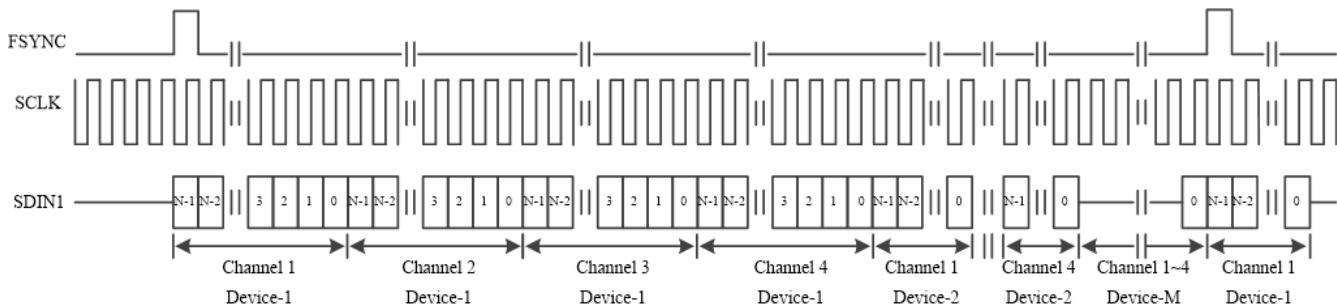


图 7-9. TDM 模式的时序图

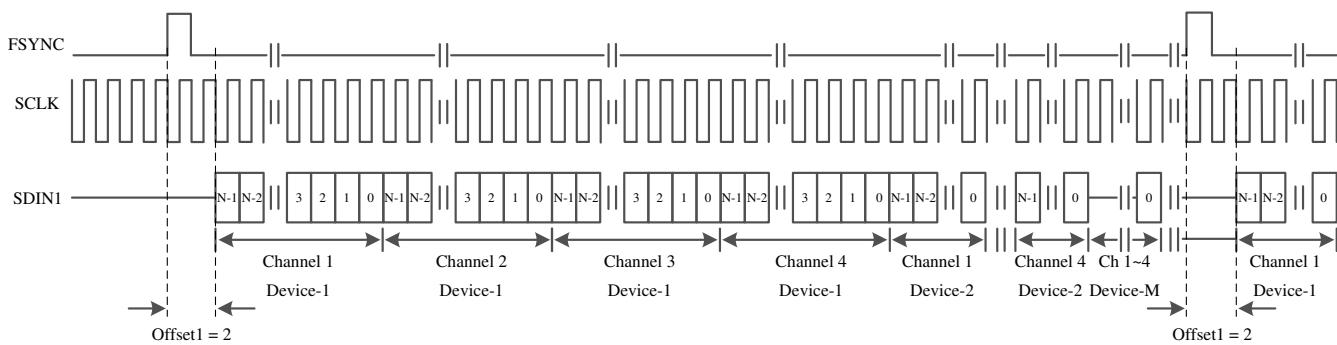


图 7-10. 偏移 $1 = 2$ 时 TDM 模式的计时示意图

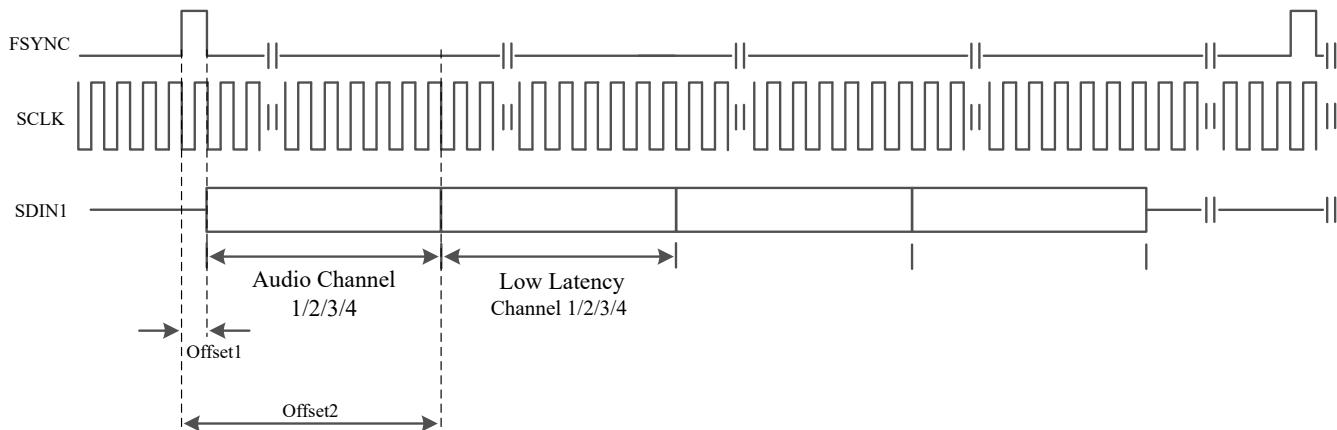


图 7-11. 包含音频通道偏移 1、低延时通道偏移 2 时 TDM 模式的计时示意图

7.3.2.5 SDOUT - 数据输出

TAS6754-Q1 可以在 I²S 模式或 TDM 模式下传输选定的数据。音频输入串行时钟 (SCLK) 和音频帧时钟 (FSYNC) 被重复使用，输出数据具有与音频输入信号相同的采样频率和最大音频帧大小。

7.3.2.6 器件时钟

TAS6754-Q1 具有灵活的时钟系统。在内部，器件需要多个额外的时钟，主要是以相关的时钟速率工作才能正常运行。所有这些时钟都可以从串行音频接口获得。

图 7-12 显示了基本数据流和时钟分配。

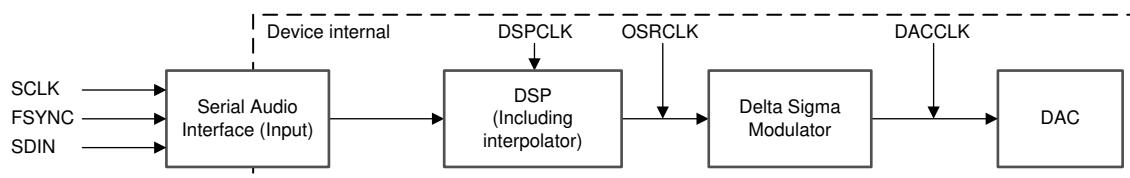


图 7-12. 具有相应时钟的音频流

串行音频接口通常具有 3 个连接引脚，如下所列：

- SCLK (音频串行时钟)
- FSYNC (TDM 中的帧同步或 I²S 中的左/右)
- SDIN (输入数据)。在 TDM 模式下，使用单个 SDIN 提供音频数据，而 I²S 模式下，需要两个 SDIN 引脚来为 4 个通道提供音频数据。
- 可选：用于传出数据传输的 SDOUT。最多可配置两个 SDOUT 引脚

该器件具有一个内部 PLL，它使用 SCLK 作为基准时钟，并生成 DSP 所需的速率更高的时钟和 DAC 时钟。

TAS6754-Q1 具有音频采样速率检测电路，可自动检测采样频率。支持常见的音频采样频率：44.1kHz – 48kHz、88.2kHz – 96kHz 和 192kHz。采样频率检测器自动为 DAC 和 DSP 设置时钟。

7.3.2.6.1 时钟速率

串行音频接口端口是一个三线串行端口，包含信号 SCLK、FSYNC 和 SDIN_1，在 I²S 模式下还可以选择包含 SDIN_2。

SCLK 是串行音频位时钟，用于将 SDIN_x 上的串行数据在时钟控制下传输到音频接口的串行移位寄存器中。串行数据通过 SCLK 在时钟控制下传输到 TAS6754-Q1 器件中。

当器件在 TDM 模式下运行时，FSYNC 引脚是串行音频左/右字时钟或帧同步。

SDIN_1 是 TDM 数据输入。在 I²S 模式下，SDIN_1 是通道 1 和通道 2 的数据输入，需要将 GPIO 引脚配置为 SDIN_2 以接收通道 3 和通道 4 的数据输入。

表 7-1. 音频数据格式、位深度和时钟速率

格式	数据位	最大 FSYNC 频率 (kHz)	SCLK 速率 (f _s)
I ² S/LJ	32、24、20、16	44.1 至 192	x64、x32
TDM	32、24、20、16	44.1/48	x128、x256、x512
		96	x128、x256
		192	x128

7.3.2.6.2 时钟暂停自动恢复

在没有播放音频时，某些主机处理器会停止音频时钟。当时钟停止时，器件将通道置于 Hi-Z 状态，并在中发出闩锁错误报告。通过保存最后一次从音频接口接收到的样本并降低音量，可以平稳地转换到高阻态。。锁存的错误报告在读取后被清除。音频时钟恢复后，器件自动返回到之前的状态。

7.3.2.6.3 采样率动态变化

TAS6754-Q1 支持动态更改 FSYNC 速率。在更改 FSYNC (例如从 48kHz 更改为 96kHz) 时，主机处理器需要将 FSYNC/SCLK 置于暂停状态达至少 30ms，然后再更改为新的采样率。在该暂停状态期间，会报告时钟错误。有关更多详细信息，请参阅 [时钟暂停自动恢复](#) 部分。

7.3.2.7 时钟错误处理

上电复位 (POR) 后，该器件假定存在时钟错误，但在时钟错误检测结果有效之前不会将时钟错误标志置为有效。

如果检测到任何输入时钟变化，自动检测系统会立即通过保存从音频接口接收到的最后一个样本来请求器件缓慢静音，而自动检测则继续监测和识别新的稳定条件。

7.3.3 数字音频处理

TAS6754-Q1 提供高级数字音频处理功能，包括：

- 高通滤波器/直流阻断
- 数字音量控制
- PVDD 折返/AGL
- 热折返
- 增益补偿双二阶滤波器
- 实时负载诊断
- 削波检测
- 低延迟路径

特定功能的可用性取决于所选的采样频率。较高的采样频率会减少集成 DSP 的可用处理时间，并限制可并行运行的功能数量。需要注意确保已启用功能的总处理需求不超过所有采样频率下的可用处理时间。

7.3.3.1 PVDD 折返

PVDD 折返对音频信号进行平滑压缩，以在电源电压 (PVDD) 变化时保持一致的动态范围。该功能有助于防止系统中音频信号超出电源余量的意外输出削波和失真，也可称为自动增益限制器 (AGL)。

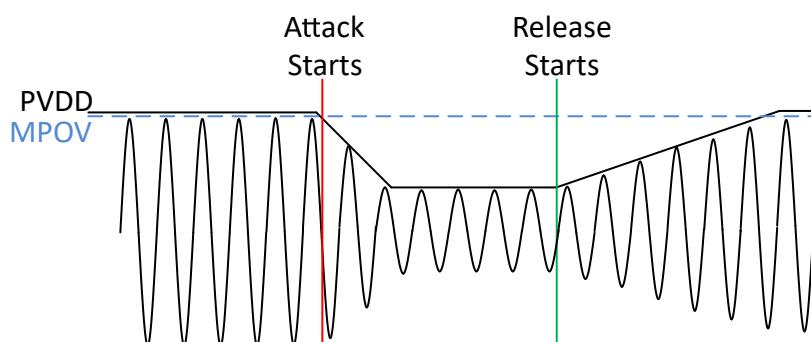


图 7-13. PVDD 折返示例

7.3.3.2 高通滤波器

为了保护连接到 TAS6754-Q1 的扬声器，音频处理路径中内置了直流阻断高通滤波器。

7.3.3.3 模拟增益

TAS6754-Q1 允许用户为每个通道设置模拟增益，并以 0.5dB 为增量进行调整。

0dB 的增益设置对应于满量程数字输入时 28V/FS 的峰值输出电压。TI 建议为预期的 PVDD 运行选择尽可能低的增益，以优化输出噪声和动态范围性能。

仅在受影响的通道处于 [DEEP SLEEP](#) 或 [SLEEP](#) 状态时更改模拟增益设置。

当器件进入 **PLAY 状态** 时，器件会逐步将模拟增益提升至所需的值，增量为 0.5dB。

7.3.3.4 数字音量控制

输出通道具有数字音量控制，范围为 -103dB 至 0dB，阶跃为 0.5dB。

7.3.3.4.1 自动静音

当在音频输入端检测到连续的零样片流时，器件可以自动将通道设置为静音。在该模式下，器件继续监测输入信号，并根据配置在有效的非零信号到达的同时取消各个通道或所有通道静音。

7.3.3.5 增益补偿双二阶滤波器

D 类放大器的调制器和输出 LC 滤波器可能会对频率响应线性产生不良影响，从而导致频率下降/峰值。为了帮助补偿这种影响并实现平坦的响应，TAS6754-Q1 提供集成且基于通道的增益补偿双二阶滤波器。

双二阶滤波器可按通道进行配置，默认情况下处于禁用状态。为了实现所需的调节，需要将相应的系数写入 DSP 存储器。

7.3.3.6 低延迟号路径

对于需要极小处理延迟的时间敏感型音频信号（例如有源噪声消除 (ANC) 或道路噪声消除 (RNC)），TAS6754-Q1 提供低延迟信号路径。在 48kHz 采样频率下，该路径通过将内部信号处理降至最低，将放大器输入和输出之间的信号延迟减少了 70% 以上。

低延迟信号路径与常规音频信号路径并行建立。当两个信号路径都提供输入数据时，每个通道的音频信号和低延时信号会在通道的输出放大级之前直接在内部混合在一起。两个信号加在一起，组合信号振幅不得超过可用增益范围或电压余量，以避免失真。请注意，低延迟信号通过器件的延迟比常规音频路径信号要少。

低延迟信号路径仅在采样频率为 48kHz 或 96kHz 时可用。

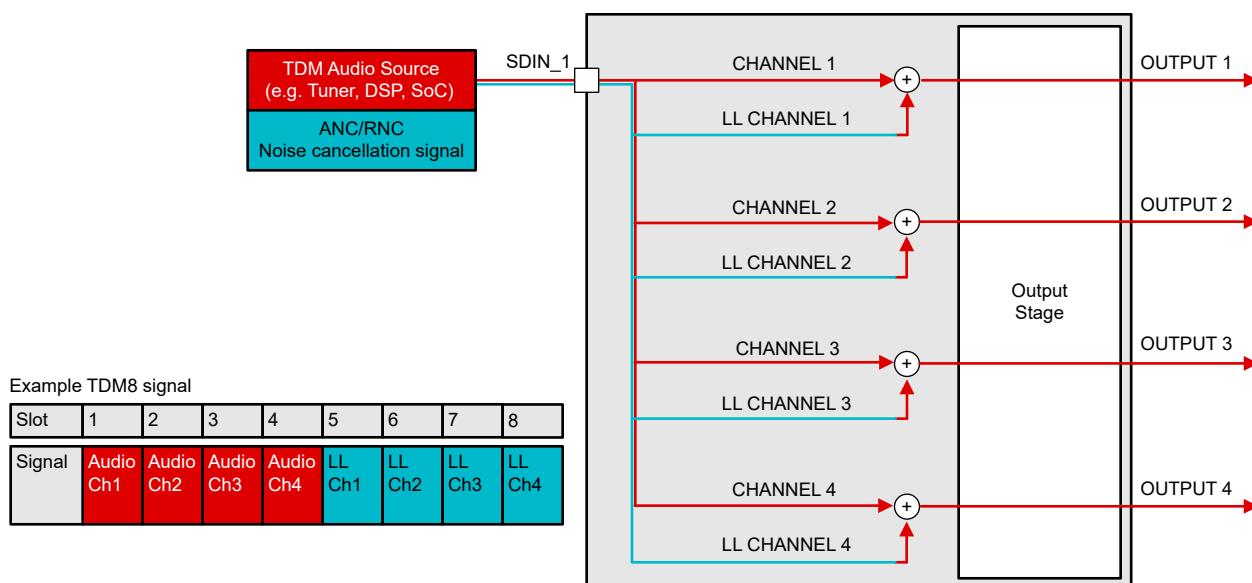


图 7-14. 低延迟和音频信号路径

7.3.3.7 全功能低延时路径

除 [延时低信号路径](#) 之外，TAS6754-Q1 还集成了全功能低延时路径。使用全功能低延时路径，时间敏感型音频信号（例如有源噪声消除 (ANC) 或道路噪声消除 (RNC)）可以进行预混频，无需与非时间敏感型音频数据分开处理。预混频的音频数据随后通过 DSP 进行处理，并在输出级放大，从而实现较低的群延时。

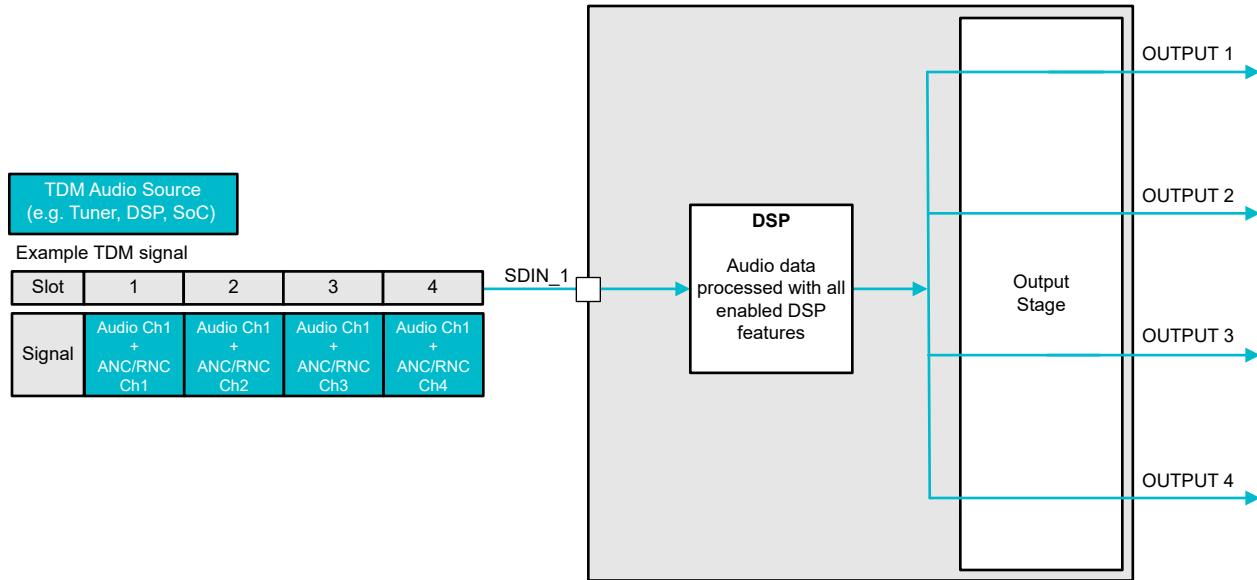


图 7-15. 全功能低延时和音频信号路径

7.3.4 D 类运行和扩频控制

7.3.4.1 1L 调制

TAS6754-Q1 支持 1L 调制。在 1L 调制下，OUT_XP 侧在开关频率 (F_{sw}) 下从 0 伏切换到电源电压。OUT_xM 侧在音频频率下从 0 伏切换到电源电压。由于通道的 OUT_xM 侧以较低的频率切换，因此 BTL 通道的该侧不需要指示器。

7.3.4.2 高频脉宽调制器 (PWM)

PWM 调制器将输入音频数据转换为具有不同占空比的开关信号。PWM 调制器采用先进设计，具有高带宽、低噪声、低失真和出色的稳定性。

TAS6754-Q1 具有可配置的输出 PWM 相位控制，以管理传导和辐射发射。借助此功能，可相对于其他通道更改通道输出 PWM 相位偏移。

7.3.4.3 扩频控制

TAS6754-Q1 对调制器的时钟信号应用展频控制。控制时钟信号的频谱可以转化为高频信号分量的优化行为，这在 EMI 测试期间是可见的。展频调制是一种 PWM 调制技术，可通过改变输出 PWM 频率来降低 EMI 测量中所见的峰值，从而产生更宽但较低的频谱。

7.3.4.4 栅极驱动

栅极驱动器接受低压 PWM 信号并对其进行电平转换以驱动高电流全桥功率 FET 级。

该器件使用专有技术来优化 EMI 和音频性能。栅极驱动器电源电压 GVDD 是内部生成的，必须连接一个去耦电容器。

完整的 H 桥输出级仅使用 NMOS 晶体管。因此，需要使用自举电容器来确保 OUT-xP 端的高侧 NMOS 晶体管的正常运行。每个输出端与相应的自举输入端之间必须连接一个 $1\mu\text{F}$ 的陶瓷电容器，电容质量需达到 X7R 或更高等级，并且额定电压必须适应所施加的电压（包括负载突降电压）。连接在 BST 引脚和相应输出端之间的自举电容器用作高侧 N 沟道功率 MOSFET 栅极驱动电路的浮动电源。在每个高侧开关周期期间，自举电容器将栅源电压保持在高电平，从而保持高侧 MOSFET 导通。

OUT_xM 端的高侧 FET 栅极驱动器由四个通道共用的电荷泵 (CP) 电源供电。从 CP 引脚到 PVDD 必须连接一个 330nF 的陶瓷电容器，电容质量需达到 X7R 或更高等级，并且额定电压必须适应所施加的电压（包括负载突降电压）。此外，必须从 CPC_TOP 引脚到 CPC_BOT 引脚之间连接一个同样额定值的 100nF 陶瓷电容器。

7.3.4.5 功率 FET

BTL 输出通道包含四个 N 沟道 FET，可实现高效率和向负载的最大功率传输。这些 FET 用于在操作期间在[建议工作条件](#)之内处理快速开关频率和大电压瞬变。

7.3.5 负载诊断

该器件具有[直流](#)和[交流](#)负载诊断功能，用于确定负载状态。默认情况下，直流诊断处于开启状态。

7.3.5.1 直流负载诊断

直流负载诊断用于验证负载是否正确连接。

为了支持快速音频的系统级启动要求：

- 一旦器件退出 **DEEP SLEEP** 模式并且电源处于建议的工作范围内，诊断即可使用。
- 诊断无需可用的外部音频输入信号或时钟和同步频率。

如果输出引脚上通过了以下测试，则直流诊断成功完成并允许通道进入 **MUTE** 或 **PLAY** 模式：

- 无[接地短路](#)
- 无[对电源短路](#)
- 无[负载短路](#)
- 无[负载开路](#)

7.3.5.1.1 器件初始化时的自动直流负载诊断

TAS6754-Q1 支持在器件启动时进行自动和自主直流负载诊断。在退出 **DEEP SLEEP** 状态并且所有电源都处于建议的工作范围内时，该器件会切换至 **SLEEP** 状态并在四个通道上都自动启动直流负载诊断。

TAS6754-Q1 无需 I²C 配置或任何音频信号即可根据默认配置执行电源短路 (S2P)、接地短路 (S2G)、负载开路 (OL) 和负载短路 (SL) 测试。系统可以从该自主操作中受益，因为可以在启动音频链的数字部分的同时运行负载诊断。

7.3.5.1.2 高阻态或 **PLAY** 期间的自动直流负载诊断

当通道处于 **Hi-Z** 或 **PLAY** 状态时发生故障，器件会将通道置于 **FAULT** 状态或[自动恢复状态](#)。故障被解决或清除后，该器件会对受影响的通道运行自动直流负载诊断并恢复到之前的 **Hi-Z** 或 **PLAY** 状态，除非通过 I²C 请求不同的状态。

7.3.5.1.3 手动启动直流负载诊断

在所有电源都处于建议的工作范围内并且器件首次转换至 **SLEEP** 状态之后，可以在任何状态下启用手动直流负载诊断。可通过将 I²C 控制状态寄存器设置为 **LOAD DIAG** 状态来手动启用直流诊断以在所有通道上运行。如果 **STBY** 引脚或 **GPIO** 引脚功能将器件设置为 **SLEEP** 或 **DEEP SLEEP** 状态，则无法运行手动直流负载诊断。这在器件通过 I²C 控件被设置为 **SLEEP** 或 **DEEP SLEEP** 状态时不适用，而此时手动直流负载诊断可用。

7.3.5.1.4 接地短路

如果存在从测试通道 (i) 的输出引脚 **OUT_(i)M** 或 **OUT_(i)P** 到 **GND** 的导电路径，且阻抗低于[电气特性](#)部分中指定的值，则接地短路 (S2G) 测试会触发故障条件。

7.3.5.1.5 电源短路保护

如果存在从测试通道 (i) 的输出引脚 **OUT_(i)M** 或 **OUT_(i)P** 到电源导轨的导电路径，且阻抗低于[电气特性](#)部分中指定的值，则接地短路 (S2P) 测试会触发故障条件。

7.3.5.1.6 短路负载和开路负载

如果测试通道 (i) 的 **OUT_(i)M** 引脚和 **OUT_(i)P** 引脚之间的导电路径的阻抗低于设置的阈值，则负载短路 (SL) 测试会触发故障条件。SL 测试具有可配置的阈值，具体取决于预期连接的负载。由于连接到每个通道的扬声器和电缆阻抗可能不同，因此为每个通道分配的阈值可能是唯一的。

如果测试通道 (i) 的 OUT_(i)M 引脚和 OUT_(i)P 引脚之间的导电路径的阻抗高于 **电气特性** 部分中指定的阻抗，则负载开路 (OL) 测试会触发故障条件。

	Open Load	Open Load Detected
OL Maximum	 Open Load (OL) Detection Threshold	Normal or Open Load May Be Detected
OL Minimum	Normal Load	Play Mode
SL Maximum	 Shorted Load (SL) Detection Threshold	Normal or Shorted Load May Be Detected
SL Minimum	Shorted Load	Shorted Load Detected

图 7-16. 直流负载诊断报告阈值

7.3.5.2 线路输出诊断

该器件还包含用于检测线路输出负载 (LO) 的可选测试。线路输出负载是高于开路负载 (OL) 阈值的高阻抗负载，因此直流负载诊断会报告 OL 情况。如果线路输出检测位被设置为高电平，那么如果在直流诊断测试期间检测到 OL 情况，系统会测试是否存在线路输出负载。

7.3.5.3 交流负载诊断

交流负载诊断用于确定与无源分频器一起使用时容性耦合扬声器或高音扬声器是否正确连接。交流负载诊断通过 I²C 进行控制。TAS6754-Q1 提供确定交流阻抗所需的信号源，并将高音扬声器检测结果报告回至 I²C 寄存器。I²C 选择的测试频率产生流过目标扬声器的电流，以正确地进行检测。交流负载诊断可以在没有 TDM/I²S 时钟的情况下运行。

备注

如果在交流诊断期间出现故障，则交流诊断停止。在执行直流诊断之前，不允许再次执行交流诊断。这是为了确保该故障不会在交流诊断期间造成潜在危险。

7.3.5.3.1 工作原理

TAS6754-Q1 的交流负载诊断电路为负载提供内部生成的激励，捕获负载的响应，提供捕获的复数负载阻抗的实部和虚部并提供幅度估计器和高音扬声器检测比较器。

7.3.5.3.2 激励

该器件驱动低电平 10mA 输出电流，使其流过负载，不会从扬声器产生任何明显的声压级。

7.3.5.3.3 负载阻抗

器件看到的负载阻抗就是输出引脚上的电压与流过负载的电流之比。

通常，负载具有与频率相关的幅度，并导致电流和电压产生相移。TAS6754-Q1 在内部将负载阻抗捕获为由实部和虚部组成的复数值。用幅度和相位或实部和虚部表示负载阻抗在数学上是等效的。这两种形式可以相互转换而不会丢失信息。在交流负载诊断完成后，每个通道的复数阻抗的实部和虚部可通过 I²C 寄存器读取，如。

7.3.5.3.4 高频扬声器检测

在大多数情况下，使用 TAS6754-Q1 内置幅度估算器和高音扬声器检测报告就足以执行所需的高音扬声器检测测试。如果高音扬声器在系统中正确连接，则负载阻抗的大小接近扬声器的标称阻抗，例如 4Ω 。

7.3.5.4 实时负载诊断

利用实时负载诊断 (RTLDG)，可以在放大器音频操作期间检测负载短路 (SL) 和负载开路 (OL) 情况。为了在 PLAY 状态下监测负载阻抗，TAS6754-Q1 使用器件集成电流传感功能按通道测量输出阻抗，并将结果与可配置阈值进行比较。无论是否存在外部音频输入信号，内部生成的导频音都可以保证持续检测输出阻抗。

7.3.5.5 直流电阻测量

TAS6754-Q1 支持对连接到每个通道（可以通过 I²C 回读到系统处理器）的负载进行直流电阻测量。若要读取连接至每个通道的负载的直流电阻，必须完成直流负载诊断。

7.3.6 保护和监控

7.3.6.1 过流限制 (逐周期)

在正常操作下，在高电平音乐播放期间，动态负载电流可能会上升至超过器件的最大负载电流 I_{LIM} 。在这些情况下，该器件会动态限制进入负载的电流，并且操作会继续而不会中断，从而防止因瞬态音乐事件而导致意外停机。

7.3.6.2 过流关断

如果输出负载电流达到 I_{SD} （例如在输出短接至 GND 期间），则会发生过流关断 (OCSD) 事件，从而限制峰值电流并关闭受影响的通道。关闭通道的时间因短路情况的严重程度而异。

通道被置于 **FAULT 状态**，输出级处于高阻态。

根据配置，会生成一个故障信号，默认情况下该信号在 **FAULT** 引脚上生成一个低电平有效信号。

7.3.6.3 电流检测

TAS6754-Q1 可以同时测量每个通道的输出电流。该功能是完全集成的，不需要任何外部元件。

通道输出电流测量以采样频率 F_s 进行。测量的电流幅度通过 **SDOUT** 提供。有关数据传输配置的更多详细信息，请参阅 **SDOUT**。请注意，电流测量和数据传输是两个独立的功能，并且都需要正确的设置才能提供数据。

7.3.6.4 直流检测

该电路在正常运行期间连续检测放大器的直流失调电压。如果直流失调电压超过 DC_{FAULT} 阈值，则该通道会触发直流故障事件并被置于 **FAULT 状态**，输出级被设置为高阻抗。

根据配置，会生成一个故障信号，默认情况下该信号在 **FAULT** 引脚上生成一个低电平有效信号。

TI 建议始终启用直流检测功能，以防止扬声器因过大的直流偏置输出而损坏。

7.3.6.5 数字削波检测

DSP 独立监测每个通道的音频信号，并将内插滤波器输入端的音频信号量级与可配置阈值进行比较。如果音频信号超过阈值，则会触发 **削波检测警告事件**。

TAS6754-Q1 支持伪模拟削波检测 (PACD)。使用 PACD 时，DSP 处理通过考虑模拟增益和电源电压，在判断输出是否相对于设定的削波阈值发生削波时，实施模拟削波检测方法。

7.3.6.6 电荷泵

TAS6754-Q1 在电荷泵引脚 (CP、CPC_TOP 和 CPC_BOT) 上内置了保护功能。当器件检测到电荷引脚上存在故障情况，电荷泵会跳过时钟周期。这视为一个故障周期。器件随后会在下一个即将到来的时钟周期中再次尝试。如果连续两次或总共三次检测到故障情况，则电荷泵会开始忽略即将到来的时钟周期，并进入 **电荷泵故障状态**，此时输出级将进入 Hi-Z 状态，电荷泵关闭。

根据配置，会生成一个故障信号，默认情况下该信号在 **FAULT** 引脚上生成一个低电平有效信号。

7.3.6.7 温度保护和监测

器件使用五个温度传感器来监测温度。每个输出通道都配备有一个温度传感器，位于输出通道输出级中心附近，以单独监控每个通道的温度。另一个温度传感器位于裸片的全局位置，这样可以更好地表示实际的裸片结温。基于此类传感器，可以生成警告和故障信号。可以使用热增益折返方案来自主调节音频增益，从而限制芯片温度。

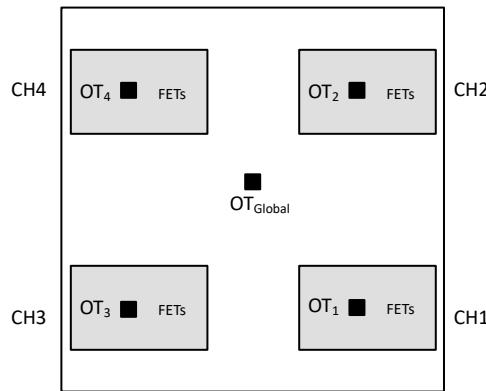


图 7-17. 器件内的抽象温度传感器位置

7.3.6.7.1 过热关断

全局 OTSD 以及由输出通道生成的过热关断（即 OTSD(i)）的温度阈值设置为固定值。有关额定温度和恢复磁滞值，请参阅 [节 5.5](#)。

全局 OTSD：如果全局结温上升至 OTSD 阈值以上，则所有通道会被置于保护性关断状态，并且会生成**过热关断 (OTSD)** 事件。

特定通道 OTSD：如果通道的结温升至 OTSD 阈值以上，则受影响的通道会被置于保护性关断状态，并且会生成**过热关断 (OTSD)** 事件。

警告级别的容差和 OTSD 温度相互跟踪。

默认情况下，当 OTSD 事件发生时，故障信号会在 **FAULT** 引脚上生成一个低电平有效信号。

7.3.6.7.2 过热警告

全局过热警告 (OTW) 的温度阈值固定为 [电气特性](#) 中所示水平。每个输出通道都具备独立的温度传感器。

在运行期间，如果器件升温并超过阈值，则会生成全局 **过热警告事件**。同样，如果某通道的温度升高到阈值以上，则会为该通道生成过热警告事件。当器件继续运行时，OTW 信息使级别更高的软件能够做出优化热系统性能的决策。

如**过热警告事件**中所述，可以通过 I²C 寄存器轮询报告，或者可以通过为警告信号分配 GPIO 引脚并启用 OTW 报告路由来生成硬件信号。

7.3.6.7.3 热增益和热折返

热增益折返 (TGFB) 是一项功率限制功能，可保护 TAS6754-Q1 免受芯片温度过高的影响，同时保持音频输出。

折返功率限制的主要目的是将输出级保持在安全功耗限制内，以避免发生意外的**过热关断**。该功能可提供平滑的音频响应，并允许在超过温度限制时不间断地播放音乐。这意味着 TAS6754-Q1 不会简单地关断，而是继续以相当大的音乐输出功率运行，同时避免触发 OTSD。

TAS6754-Q1 的 DSP 持续实时监测芯片温度，以确保安全运行。如果裸片温度接近 OTW 限制，则器件可能会向主机发出警告。TAS6754-Q1 仍会正常工作，直到温度达到 OTSD 阈值，此时个别通道放大器会关断。

如果通道裸片温度升至配置的折返水平以上，则热增益折返电路将首先激活相应的事件。该器件开始以每个样本 0.25dB 的阶跃降低增益，从而降低输出功率。可以配置该启动速率。配置的最大衰减对于级别而言是单独的，不会在级别之间叠加。

当温度降低到折返水平以下时，衰减会保持可配置数量的样本，然后开始以每个样本 0.1dB 的增益阶跃速率释放衰减。可以对 TGFB 的该释放速率进行编程。

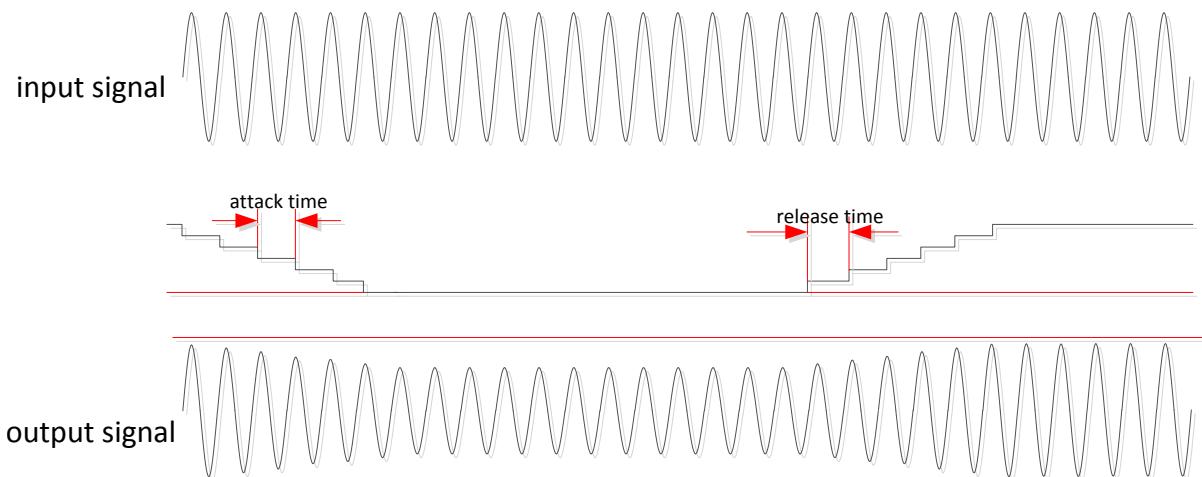


图 7-18. 热折返启动和释放

7.3.6.8 电源故障

监控电源 VBAT、PVDD、DVDD 和电荷泵是否发生欠压和过压事件，如[电源故障事件](#)中所述。这会自动执行关断，从而保护器件。[建议工作条件](#)表中提供了 VBAT 和 PVDD 安全工作电压范围。

如果 DVDD 电源电压降至低于 V_{POR_OFF} ，则器件会关断。[DVDD 上电复位](#)中介绍了 DVDD POR 故障事件。

7.3.7 硬件控制引脚

7.3.7.1 FAULT 引脚

默认情况下，**FAULT** 引脚报告故障事件，并在以下任何条件下低电平有效：

- 过热关断 (OTSD) - 锁存和非锁存
- 过流限制和关断事件 - 锁存
- 直流检测 - 锁存

寄存器位可用于屏蔽向 **FAULT** 引脚报告故障类别。这些位仅屏蔽引脚的设置，不影响寄存器报告或器件保护。可指定由 **FAULT** 引脚报告其他故障事件。其中包括：

- 电源故障 - 锁存和非锁存
- 直流负载诊断故障
- 实时负载诊断报告 - 锁存和非锁存
- 时钟错误 - 闩锁
- 电荷泵故障 - 闩锁和非闩锁
- 警告事件

该引脚是开漏输出，具有一个连接至 DVDD 的内部 $110\text{k}\Omega$ 上拉电阻器。

7.3.7.2 PD 引脚

PD 引脚低电平有效。置为有效后，器件会进入关断状态，电流消耗被限制为最小值。在关断期间，所有内部块均关断，并且在下次启动时寄存器初始化为默认值。

该引脚具有 $110\text{k}\Omega$ 内部下拉电阻器。

7.3.7.3 STBY 引脚

STBY 引脚低电平有效。置为有效时，**STBY** 引脚会将器件设置为 DEEP SLEEP 状态。在该模式下，器件的电流降低，同时输出引脚被置于高阻态。所有内部模拟偏置均被禁用。在 DEEP SLEEP 模式下以及存在 DVDD 时，I²C 总线有效，内部寄存器有效。

该引脚具有 110kΩ 内部下拉电阻器。

7.3.7.4 GPIO 引脚

TAS6754-Q1 提供了两个可配置的 GPIO 引脚。这些引脚可以配置为输入或输出。这些引脚必须通过 I²C 进行配置，然后才能在 [器件初始化和上电复位 \(POR\)](#) 之后正常运行。

7.3.7.4.1 通用输入

可以在相关寄存器中通过 I²C 为通用输入 (GPI) 引脚分配功能来配置该引脚。

7.3.7.4.2 通用输出

可以通过 I²C 将预期输出功能的值写入 GPO 引脚配置寄存器来配置通用输出 (GPO) 引脚。列出了所有 GPIO 引脚的 GPO 配置寄存器地址。

7.3.7.5 高级 GPIO 功能

7.3.7.5.1 时钟同步

TAS6754-Q1 支持多种时钟同步选项，以改善系统 EMI 行为并控制电源峰值电流条件。

7.3.7.5.1.1 外部 SYNC 信号 (GPIO 同步)

多个 TAS6754-Q1 使用外部提供的同步信号来同步时钟。

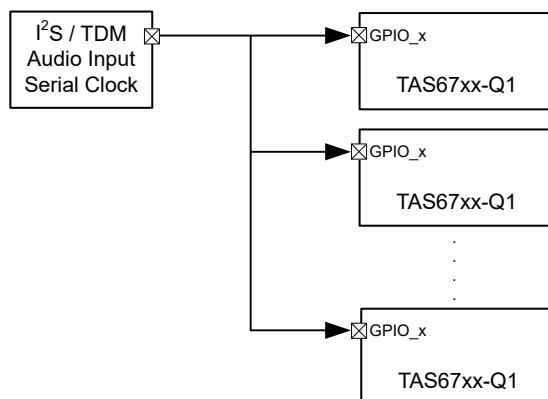


图 7-19. 外部同步信号架构

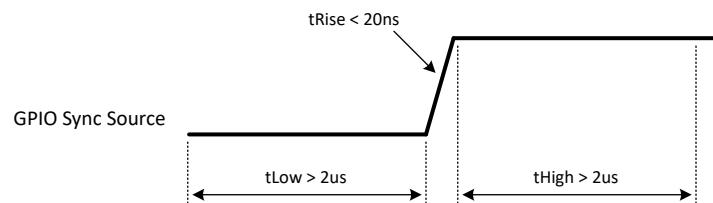


图 7-20. GPIO 同步源信号

7.3.7.5.1.2 通过音频串行时钟 (SCLK) 进行同步

多个 TAS6754-Q1 通过音频串行时钟 (SCLK) 同步时钟。

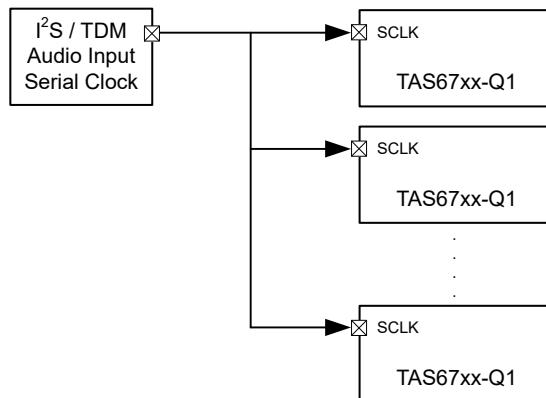


图 7-21. 音频串行时钟 (SCLK) 同步架构

7.3.7.5.1.3 TAS6754-Q1 作为外部器件的时钟源

该同步选项允许 TAS6754-Q1 与直流/直流稳压器等外部系统元件共享器件时钟。在该模式下，器件通过选定的 GPIO 引脚共享内部斜坡时钟。如果启用展频，时钟输出受到影响并与连接的元件共享展频信号频率。请参阅所连接系统元件的技术文档，以保证时钟同步的正确时序并避免意外的系统行为。

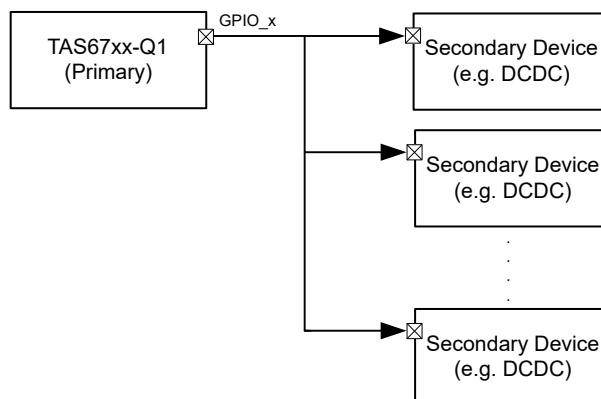


图 7-22. 外部器件架构的时钟源

7.4 器件功能模式

7.4.1 内部报告信号

为了支持软件驱动程序开发，TAS6754-Q1 允许灵活配置内部故障和警告信号。在适用的情况下，可以根据当前器件状态寄存器或存储在存储器寄存器中的事件来配置这些信号。可以配置这些信号并将其路由至可用的 GPIO 引脚以用于信号发送。

7.4.1.1 故障信号

汽车系统对于在发生意外情况时收集器件信息有很高的要求。TAS6754-Q1 的允许灵活配置故障信息，以便更高级别的系统软件能够有效地控制系统。

可以将故障信号配置为有效，以响应以下[故障事件](#)：

- 电源故障（锁存或非锁存）
- 过热关断（锁存或非锁存）
- 直流负载诊断事件
- 过流限制和关断（锁存）
- 直流检测（锁存）
- 通道进入 FAULT 状态
- 实时负载诊断故障（锁存）
- 时钟错误（闩锁）
- 电荷泵故障（闩锁）

默认情况下，故障信号会路由到 [FAULT](#)，以生成硬件信号。可以选择将故障信号路由至额外的 [GPIO 引脚](#)。

故障信号有两个报告位：

- GLOBAL FAULT- 报告器件中的任何有效故障，无论故障信号配置如何都是如此
- FAULT SIGNAL- 报告在故障信号配置寄存器中相应配置的有效故障信号

7.4.1.2 警告信号

可以将警告信号配置为有效，以响应以下[警告事件](#)：

- 电源故障（锁存或非锁存）
- 过热关断（锁存或非锁存）
- 过热警告（锁存或非锁存）
- 直流负载诊断事件
- 过流限制（锁存或非锁存）
- 削波检测（锁存或非锁存）
- 实时负载诊断故障（锁存）
- 时钟错误（闩锁）

默认情况下，警告信号不路由至引脚。TAS6754-Q1 可配置为将警告信号路由至 [GPIO 引脚](#)以生成硬件信号。

- 全局警告- 无论警告信号配置如何，都报告器件中的任何有效警告，时钟故障事件除外。
- 警告信号- 报告在警告信号配置寄存器中相应配置的有效警告信号

7.4.2 器件状态和标志

7.4.2.1 音频通道状态

每个音频通道具有一组状态，用于严密地控制从源到负载的音频路径的建立和关闭过程。[表 7-2](#) 中列出了这些状态。

表 7-2. 音频通道状态

状态名称	输出 FET	DSP	振荡器	I ² C	等级
关断	高阻态	停止	停止	高阻抗	器件
DEEP SLEEP	高阻态	停止	激活	激活	器件

表 7-2. 音频通道状态 (续)

状态名称	输出 FET	DSP	振荡器	I ² C	等级
LOAD DIAG	高阻态	停止	激活	激活	通道
SLEEP	高阻态	停止	激活	激活	通道
高阻态	高阻态	激活	激活	激活	通道
播放	音频开关	激活	激活	激活	通道
FAULT	高阻态	停止	激活	激活	通道
AUTOREC	高阻态	停止	激活	激活	通道

7.4.2.1.1 SHUTDOWN 状态

当 \overline{PD} 引脚被拉至低电平时，器件保持在关断状态。所有内部稳压器均被禁用，以实现最低功耗。

释放 \overline{PD} 引脚会启动器件并将所有寄存器复位为默认值。在器件层面保持关断，各通道无偏差。

7.4.2.1.2 DEEP SLEEP 状态

DEEP SLEEP 将器件置于待机状态。在 DEEP SLEEP 模式下，I²C 通信和寄存器以及数字内核的 1.5V LDO 处于工作状态。所有其他稳压器仍处于停用状态以节省能源。

DEEP SLEEP 是适合在上电前通过 I²C 配置器件的状态。与 SHUTDOWN 状态不同，进入或退出 DEEP SLEEP 状态会维持寄存器映射和 DSP 存储器。

备注

DSP 在 DEEP SLEEP 状态下停用。

7.4.2.1.3 LOAD DIAG 状态

诊断模式使用直流诊断电路来测试是否存在对电源短路、接地短路、负载短路和负载开路，而无需激活输出功率级。这些测试必须在无故障的情况下完成，然后才能激活输出 FET。有关更详细的说明，请参阅[直流负载诊断](#)。

一旦器件电源处于[建议工作条件](#)之内，就可以进行直流诊断。直流诊断无需可用的外部音频输入信号或时钟和同步频率。

负载诊断 (LOAD DIAG) 可按通道级别进行设置。成功通过诊断测试后，通道将切换至 [SLEEP 状态](#) 模式。

7.4.2.1.4 休眠状态

与 DEEP SLEEP 状态相比，SLEEP 状态可激活更多功能块，包括用于模拟电路和栅极驱动器的内部 LDO。用于数字至 PWM 转换的电源保持停用状态。

可在通道级别设置 SLEEP。在不存在时钟错误的条件下，每个通道通过将状态控制寄存器设置为 Hi-Z 或 PLAY 状态，从而切换至 [Hi-Z 状态](#)。

7.4.2.1.5 高阻态

在高阻态下，输出驱动器被设置为高阻抗状态，而所有其他模块功能完全正常。

通过将状态控制寄存器设置为 PLAY，该通道将切换至 [PLAY 状态](#)。

7.4.2.1.6 PLAY 状态

在 PLAY 状态下，器件可以完全正常运行。输出级有效，对输入信号进行开关和放大。

可以激活[实时负载诊断](#)来监测连接的负载是否存在短路或开路情况。

7.4.2.1.7 FAULT 状态

FAULT 状态是器件内部生成的模式，用户无法手动设置。

如果器件的一个或多个通道处于 **PLAY** 状态并且遇到故障，则器件需要执行保护性操作并关闭一个或多个音频通道。仅受影响的通道的输出 FET 会关断，输出引脚变为高阻抗状态。受影响的通道的报告状态为 “**FAULT**”。

个别通道进入该状态的原因可能是：

- 过流关断
- 负载电流故障
- 直流诊断故障
- 实时负载诊断故障
- 通道过热关断（如果配置为不自动恢复）

所有通道进入该状态的原因可能是：

- 全局过热关断（如果配置为不自动恢复）
- 电荷泵故障

7.4.2.1.8 自动恢复 (AUTOREC) 状态

AUTOREC 是器件内部生成的状态，用户无法手动设置。

如果器件的一个或多个通道处于 **PLAY** 状态并且遇到故障，则器件需要执行保护性操作并关闭一个或多个音频通道。受影响的通道的输出 FET 会关断，输出引脚变为高阻抗状态。一旦保护性关断的原因不再存在，器件就会自动恢复至 **PLAY** 状态。受影响的通道的报告状态为 “**AUTOREC**”。

个别通道进入该状态的原因可能是：

- 通道过热关断，OTSD(i)（如果配置为自动恢复）

所有通道进入该状态的原因可能是：

- 电源故障
- 时钟错误
- 全局过热关断，OTSD（如果配置为自动恢复）

7.4.3 故障事件

7.4.3.1 电源故障事件

默认情况下，电源故障事件在引脚报告中被屏蔽。可以启用该功能。有关更多详细信息，请参阅 [FAULT](#)。

7.4.3.1.1 DVDD 上电复位 (POR)

当 DVDD 下降至低于 V_{POR_OFF} 时，器件会关断。所有通道被设置为 **SLEEP** 状态，DSP 被禁用，I²C 通信终止。当 DVDD 上升至高于 V_{POR_SET} 时或者器件首次通电并且 DVDD 上升至高于 V_{POR_SET} 时，器件启动上电复位例程。在该例程期间，所有寄存器和器件状态均被设置为默认值。

7.4.3.1.2 DVDD 欠压故障

DVDD 欠压 (UV) 保护可检测 DVDD 引脚上的低电压。发生 UV 情况时，器件会将所有通道从 **PLAY/HI-Z** 转换至 **自动恢复 (AUTOREC) 状态**，禁用 DSP 并更新 I²C 报告寄存器。

7.4.3.1.3 VBAT 过压故障

当 VBAT 电源导轨上升至高于额定范围时，将生成 VBAT 过压故障事件，器件进入 **自动恢复 (AUTOREC) 状态**。一旦 VBAT 重新降至标称范围之内，故障事件就会被清除。

7.4.3.1.4 VBAT 欠压故障

当 VBAT 电源导轨降至低于额定范围时，将生成 VBAT 欠压故障事件，器件进入 **自动恢复 (AUTOREC) 状态**。一旦 VBAT 重新升至标称范围之内，故障事件就会被清除。

7.4.3.1.5 PVDD 过压故障

当 PVDD 电源导轨上升至高于额定范围时，将生成 PVDD 过压故障事件，器件进入[自动恢复 \(AUTOREC\) 状态](#)。一旦 PVDD 重新降至标称范围之内，故障事件就会被清除。

7.4.3.1.6 PVDD 欠压故障

当 PVDD 电源导轨降至低于额定范围时，将生成 PVDD 欠压故障事件，器件进入[自动恢复 \(AUTOREC\) 状态](#)。一旦 PVDD 重新升至标称范围之内，故障事件就会被清除。

7.4.3.2 过热关断 (OTSD) 事件

[过热关断](#)部分介绍了器件生成 OTSD 事件和可配置恢复行为的情况。

7.4.3.3 过流限制故障事件

[过流限制 \(逐周期\)](#) 部分介绍了器件生成过流限制故障事件的情况。这是一个瞬态事件，仅持续有限的时间。

7.4.3.4 过流关断事件

[过流保护](#)部分介绍了器件生成 OCSD 事件的情况。

由于过流关断 (OCSD) 事件是瞬态事件，因此不会在状态寄存器中报告。锁存的 OCSD 事件在通道过流和直流检测故障存储器寄存器中报告。受影响的通道被置于[FAULT 状态](#)。

7.4.3.5 直流故障事件

[直流检测](#) 部分描述了器件生成直流故障事件的情况。

由于直流故障事件是瞬态事件，因此不会在状态寄存器中报告。闩锁的直流故障事件在通道过流和直流检测故障存储器寄存器中报告。受影响的通道被置于[FAULT 状态](#)。

7.4.3.6 时钟错误事件

[时钟速率](#)部分介绍了支持的音频数据格式、位深度和时钟速率。如果违反这些条件或时钟停止，则器件会报告时钟错误故障事件，并且器件会平稳地转换至[AUTOREC 状态](#)。音频时钟恢复后，器件自动返回到之前的状态。

时钟错误事件是瞬态事件，并且不会在状态寄存器中报告。

7.4.3.7 电荷泵故障事件

[电荷泵](#)部分介绍了器件生成电荷泵故障事件的情况以及恢复行为。

7.4.4 警告事件

7.4.4.1 过热警告事件

[过热警告](#)部分介绍了器件生成过温警告事件的情况。

7.4.4.2 过流限制警告事件

[过流限制 \(逐周期\)](#) 部分介绍了器件生成过流限制警告事件的情况。这是一个瞬态事件，仅持续有限的时间。

7.4.4.3 削波检测警告事件

[削波检测](#)部分介绍了器件产生削波检测警告事件的情况。

7.5 编程

7.5.1 I²C 串行通信总线

该器件作为仅 I²C 目标器件通过 I²C 串行通信总线与系统处理器进行通信，支持 100kHz 和 400kHz 数据传输速率以进行随机和顺序写入和读取操作。处理器可以通过 I²C 轮询器件，以确定运行状态，配置设置或运行诊断。

TAS6754-Q1 寄存器映射和 DSP 存储器涵盖多个页和簿。在对各个寄存器或 DSP 存储器进行写入之前，用户可在页之间切换。每页的切换是通过每页上的寄存器 0 实现的。该寄存器值选择页地址，范围为 0 到 255。TAS6754-Q1 数据表中列出的所有寄存器都属于页 0。

有关所有 I²C 控件的完整列表和说明，请参阅“寄存器映射”部分。

7.5.2 I²C 地址选择

TAS6754-Q1 支持八个 I²C 地址，因此系统中最多可以同时使用 8 个器件，无需额外的总线开关硬件。

连接在器件 I²C_ADDR 引脚和 DVDD 轨（上拉）或 GND（下拉）之间的上拉或下拉电阻器在上电期间决定了 I²C 地址。I²C 地址在 POR 事件后锁存，并在下一个 POR 事件之前一直被锁定。

表 7-3. I²C 地址

I ² C_ADDR 引脚上拉电 阻器	I ² C_ADDR 引脚下拉电阻器	I ² C 写入	I ² C 读取
-	0	0xE0	0xE1
-	1kΩ	0xE2	0xE3
-	4.7kΩ	0xE4	0xE5
-	24kΩ	0xE6	0xE7
24kΩ	-	0xE8	0xE9
4.7kΩ	-	0xEA	0xEB
1kΩ	-	0xEC	0xED
0	-	0xEE	0xEF

7.5.3 I²C 总线协议

I²C 总线使用 SDA（数据）和 SCL（时钟）这两个信号在系统中的集成电路之间进行通信。数据在总线上串行传输，一次传输一位。地址和数据以字节（8位）格式传输，最高有效位（MSB）首先传输。此外，总线上传输的每个字节都由接收器件通过一个响应位进行响应。每次传输操作从控制器器件在总线上驱动启动条件开始，到控制器器件在总线上驱动停止条件结束。当时钟处于高电平时，总线使用数据终端（SDA）上的转换来指示启动和停止条件。SDA 上从高电平转换到低电平表示启动，而从低电平转换到高电平表示停止。正常的数据位转换必须发生在时钟周期的低电平时间内。控制器生成 7 位目标地址和读取/写入（R/W）位，以打开与另一个器件的通信，然后等待确认条件。器件会在确认时钟期间将 SDA 保持为低电平以指示确认。当发生这种情况时，控制器会传输序列的下一个字节。每个器件都通过一个唯一的 7 位目标地址加上 R/W 位（1 个字节）进行寻址。所有兼容器件均使用线与连接，通过双向总线共享相同的信号。SDA 和 SCL 信号必须使用外部上拉电阻器来设置总线的高电平。在开始和停止条件之间可以传输的字节数是无限的。当最后一个字节传输时，控制器生成停止条件以释放总线。

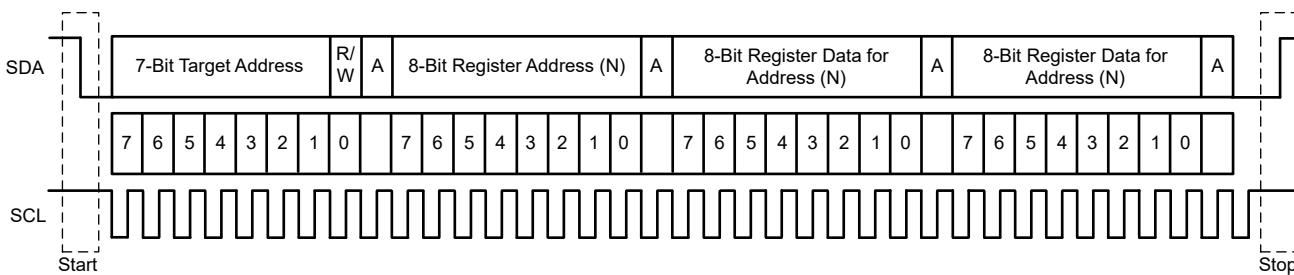


图 7-23. 典型的 I²C 序列

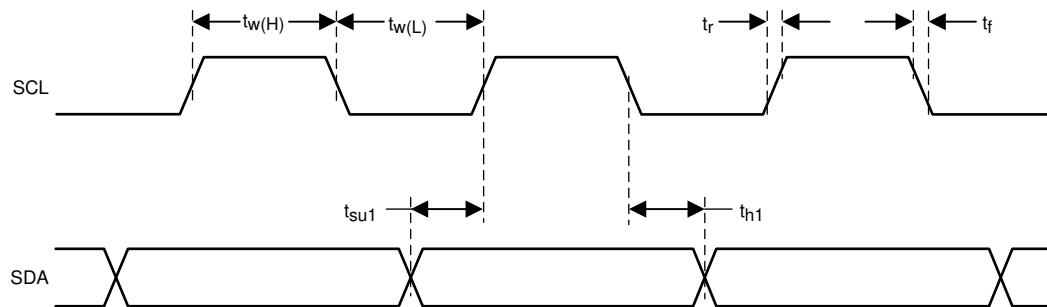


图 7-24. SCL 和 SDA 时序

7.5.4 随机写入

如 图 7-25 所示，单字节数据写入传输始于控制器器件发送启动条件，后跟 I²C 器件地址和读取/写入位。读/写位决定数据传输的方向。对于写入数据传输，读取/写入位为 0。在接收到正确的 I²C 器件地址和读取/写入位后，该器件会以一个确认位进行响应。接下来，控制器传输对应于正在访问的内部存储器地址的地址字节。收到地址字节之后，器件会再次用一个确认位进行响应。接下来，控制器器件传输要写入正在访问的存储器地址的数据字节。收到数据字节之后，器件会再次用一个确认位进行响应。最后，控制器器件发送停止条件以完成单字节数据写入传输。

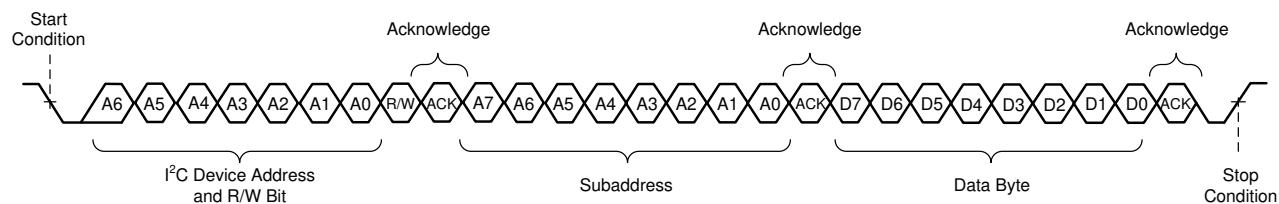


图 7-25. 随机写入传输

7.5.5 顺序写入

顺序数据写入传输与单字节数据写入传输完全相同，唯一的例外是控制器将多个数据字节传输到器件，如 图 7-26 所示。接收到每个数据字节后，器件会以一个应答位进行响应，并且 I²C 子地址会自动递增 1。

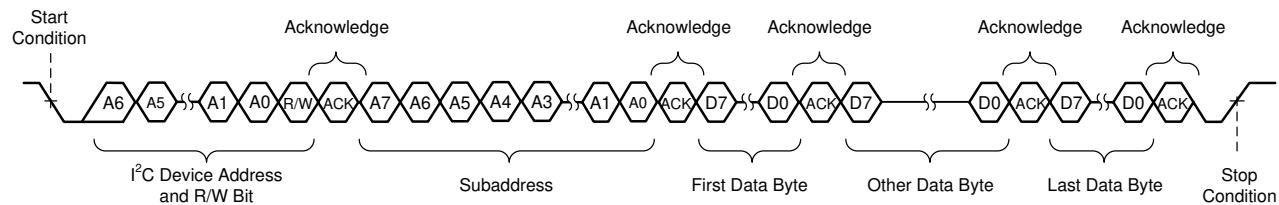


图 7-26. 顺序写入传输

7.5.6 随机读取

如图 7-27 所示，单字节数据读取传输始于控制器器件发送启动条件，后跟 I²C 器件地址和读取/写入位。对于数据读取传输，先后完成了写入和读取操作。最初，执行写入以传输要读取的内部存储器地址的地址字节。因此，读

取/写入位为 0。在接收到地址和读取/写入位后，器件会以一个确认位进行响应。此外，发送内部存储器地址字节后，控制器器件会再次发送另一个启动条件，后跟地址和读取/写入位。这次，读取/写入位为 1，指示读取传输。在接收到地址和读取/写入位后，器件会再次以一个应答位进行响应。接下来，该器件从正在读取的存储器地址传输数据字节。接收到数据字节后，控制器器件发送一个无应答信号，然后是一个停止条件，以完成单字节数据读取传输。

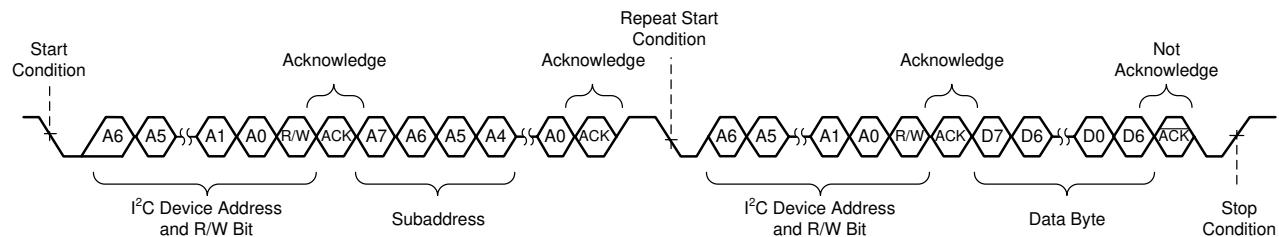


图 7-27. 随机读取传输

7.5.7 顺序读取

顺序数据读取传输与单字节数据读取传输完全相同，唯一的例外是器件将多个数据字节传输到控制器器件，如图 7-28 所示。除最后一个数据字节外，控制器器件在接收到每个数据字节后都会以一个确认位进行响应，并自动将 I^2C 子地址递增 1。收到最后一个数据字节后，控制器器件发送一个无应答信号，然后是一个停止条件，以完成传输。

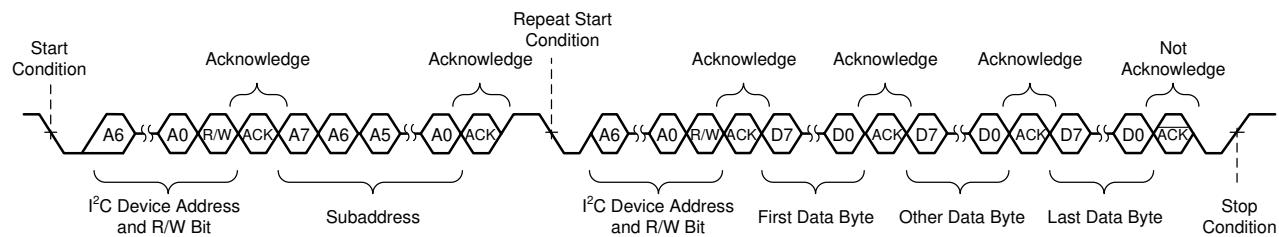


图 7-28. 顺序读取传输

8 应用信息免责声明

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

TAS6754-Q1 是一款四通道数字输入 D 类音频放大器设计，具有集成实时电流反馈和 DSP，适用于汽车音响主机和外部放大器模块。TAS6754-Q1 集成了需要在要求严苛的汽车 OEM 应用中执行的功能。

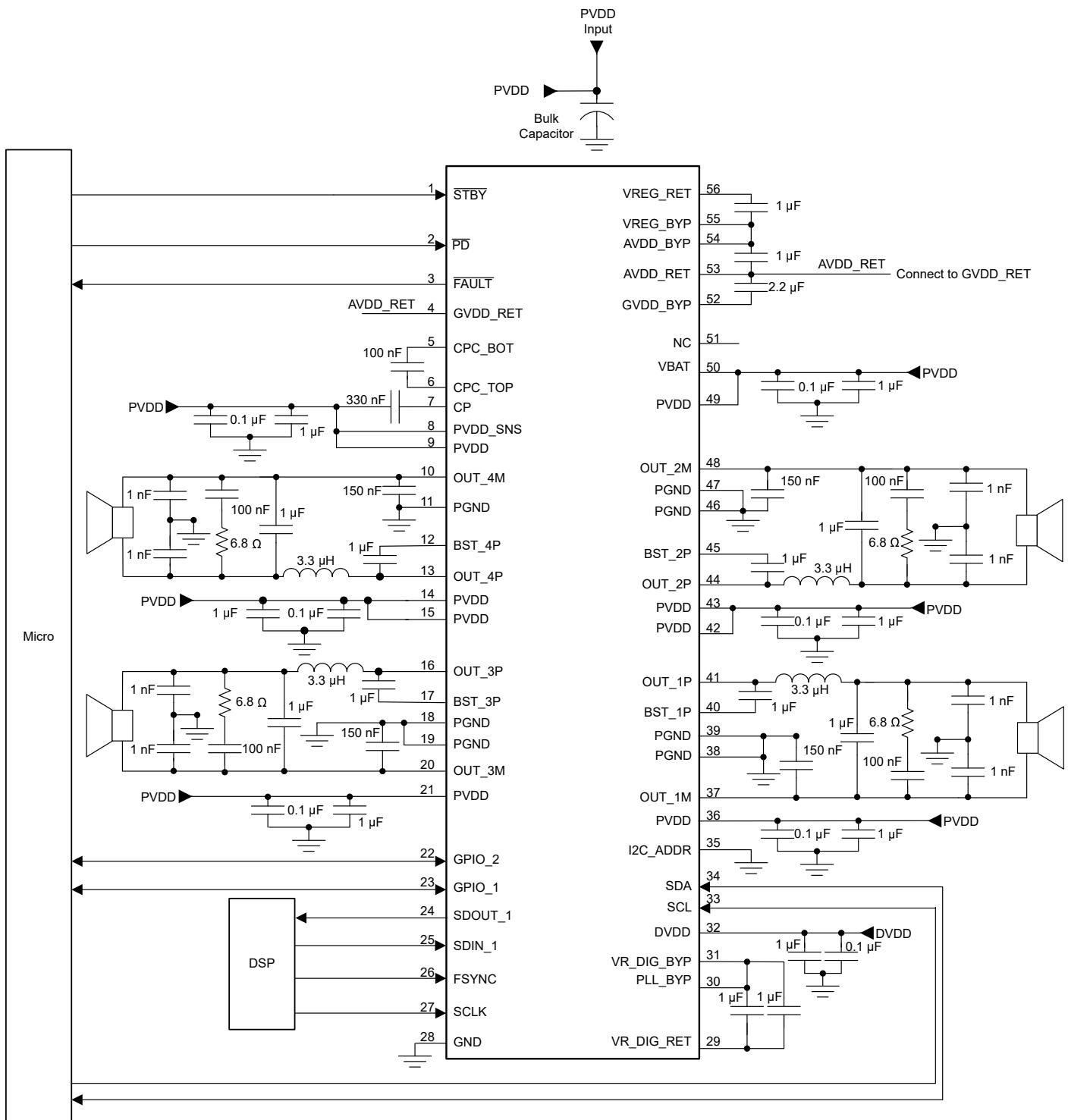
8.1.1 重构滤波器设计

放大器输出由 H 桥配置中的高电流 LDMOS 晶体管驱动。OUTP 晶体管要么完全关断，要么完全导通。结果是方波输出信号，其占空比与音频信号的幅度成正比。LC 解调滤波器用于恢复音频信号。该滤波器衰减音频带外的输出信号的高频分量。解调滤波器的设计会显著影响功率放大器的音频性能。因此，为了满足系统 THD+N 要求，在选择输出滤波器中使用的电感器时，需要仔细考虑。

8.2 典型应用

8.2.1 BTL 应用

图 8-1 显示了典型 4 通道应用的原理图。



8.2.2 电源相关建议

TAS6754-Q1 需要三个电源。PVDD 电源是建议的电源电压范围内的大电流电源。VBAT 电源是较低电流的电源，必须处于建议的电源电压范围内。PVDD 和 VBAT 引脚可连接到同一电源。当使用更高电压时，TI 建议使用汽车电池电压作为 VBAT，以提高效率。DVDD 电源是 1.8Vdc 或 3.3Vdc 逻辑电源，必须保持在器件数据表建议工作条件中所示的容差范围内。

8.2.3 电源去耦

电源去耦具有多种功能。由于存在音频频率，因此使用大电解电容器来降低 PVDD 电压纹波。每组 PVDD 引脚上的 1 μ F MLCC 用于降低 PWM 开关频率下的 PVDD 电压纹波，100nF 用于降低 EMI。大电解电容器值取决于所使用的升压转换器的调节能力。如果电池与长导线一起使用，则需要更大的值来降低音频频带中的电压纹波，以满足输出功率要求。

8.3 布局

8.3.1 布局指南

TAS6754-Q1 在器件的每一侧都有两个输出通道，以达到出色的热性能。有关典型应用原理图，请参阅 [典型应用](#)。图 8-2 显示了低 EMI 布局的参考。

8.3.1.1 散热焊盘和散热器的电气连接

对于 DKQ 封装，连接到器件散热焊盘的散热器连接到 GND。不得将散热片连接到任何其他电气节点。

8.3.1.2 EMI 注意事项

汽车级 EMI 性能取决于集成电路设计是否仔细以及系统级设计是否良好。控制电磁干扰 (EMI) 源是设计的所有方面的主要考虑因素。由于封装上的引线较短，因此该设计具有很小的寄生电感，从而降低了电流从芯片流向系统 PCB 时产生的 EMI。每个通道还以不同相位工作。该设计还采用了针对导致 EMI 的输出转换进行了优化的电路。

建议使用固态接地层以优化 EMI。尽管 TAS6754-Q1 EVM 布局是一个不错的着手点，但不建议将 EVM 布局用于 EMC 测试。建议进一步进行板级优化，以保证满足 EMI 要求。第一个引用请参见 [图 8-2](#)

8.3.1.3 通用准则

对于以下步骤，可参阅 [节 8.3.2](#)：

- PVDD 去耦电容 **A**。100nF 电容放置在同一层，非常靠近器件，其中接地回路靠近 PGND 引脚。1 μ F 电容器可以放置在 PCB 的背面。
- 承载大电流的布线包含多个过孔，**B**，以降低这些布线的串联阻抗。
- 与器件引脚位于同一侧的接地平面，**C**，可以为高频率开关电流提供极低的环路阻抗，从而有助于降低 EMI。该平面在其他层的接地平面之间具有多个过孔。
- LC 滤波器中电容器的接地连接，**D**，具有返回至器件的直接路径，且每个通道的接地回路是共享的。该直接路径可以改善共模 EMI 抑制。该直接路径与 TAS6754-Q1 位于 PCB 的同一层。
- OUT_xP 指示器、OUT_xP 至 OUT_xM 电容器和 OUT_xM 至 GND 电容器，**E**，从器件的 OUT 引脚到 GND 引脚的环路尺寸需达到最小。这些是与开关相关的 PCB 布线。环路尺寸直接影响电场耦合。
- 散热器安装螺丝，**F**，靠近器件，以保持从封装到接地的回路短路，为高频噪声提供低阻抗的布线，将其耦合到散热器并返回到 PCB。
- 在 PLL_BYP、VR_DIG_BYP、VR_DIG_RET、AVDD_BYP、AVDD_RET、VREG_BYP、VREG_RET、GVDD_BYP 和 DVDD 处的去耦电容器 **G** 与器件放置在同一层，不会影响 LC 滤波器 **D** 的返回路径。
- 建议将 PVDD 电源布线 **H** 放置在内层上，并与器件两侧的通道对称。
- 建议将器件输出布线 **I** 放置在内层上，并在器件的两侧对称。

8.3.2 布局示例

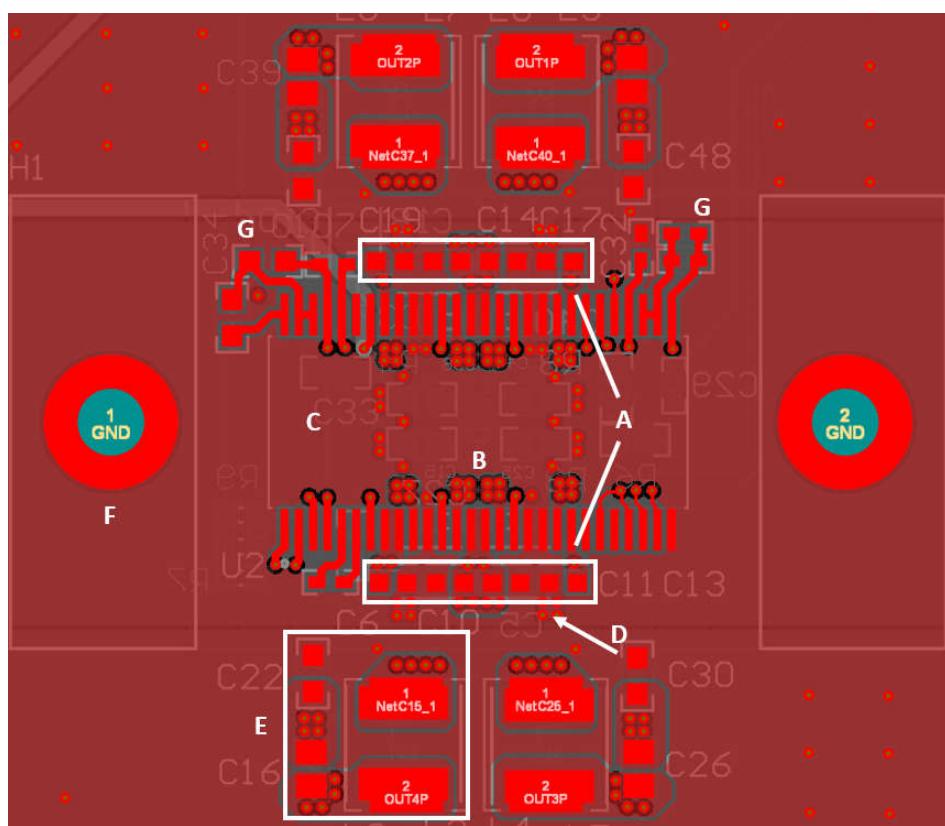


图 8-2. TAS6754-Q1 布局顶层示例

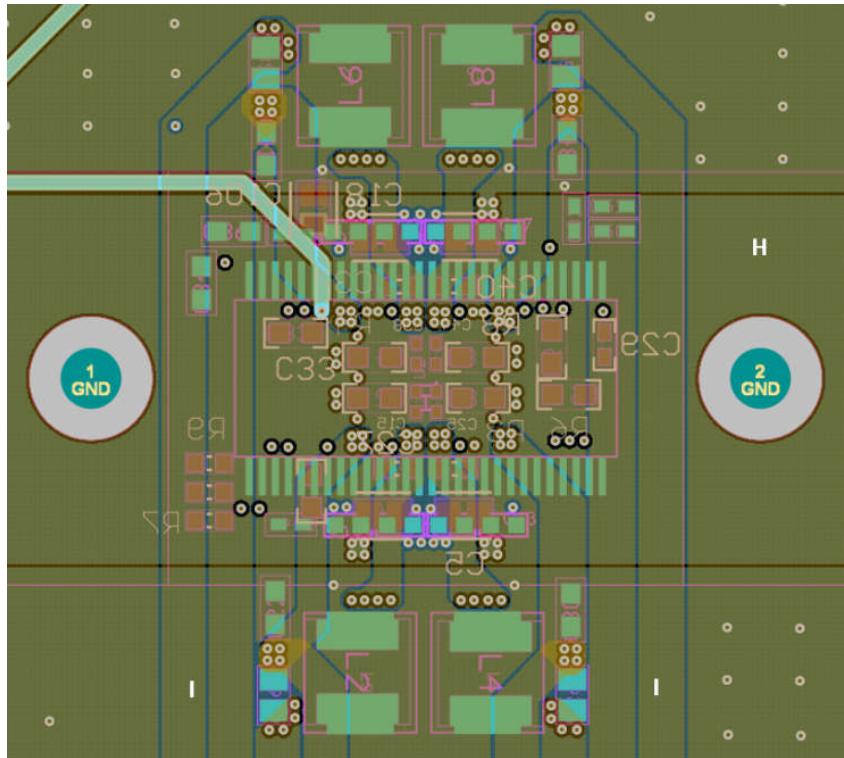


图 8-3. TAS6754-Q1 PVDD 和输出布线示例

8.3.3 散热注意事项

热增强型 PowerPAD 封装具有外露焊盘，用于连接到散热器。任何放大器的输出功率均由放大器的热性能以及系统对放大器施加的限制（例如：环境工作温度）决定。散热器吸收来自 TAS6754-Q1 的热量并将热量传递到空气中。通过适当的热管理，该过程可以达到平衡，热量可以持续从器件中传递出来。由于 D 类放大器效率出众，因此其散热器较之于传统的线性放大器的散热器，设计更为紧凑。该器件旨在与散热器配合使用，因此 $R_{\theta \text{-} \theta \text{JC}}$ 用作从结温至外露金属封装的热阻。该热阻在热管理中占主导地位，因此其他热传递方式不予考虑。要确定完整的热设计，需要 $R_{\theta \text{JA}}$ （结温至环境温度）的热阻。热阻由以下部分组成：

- TAS6754-Q1 的 $R_{\theta JC}$
 - 热界面材料的热阻
 - 散热器的热阻

9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发设计的工具和软件。

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档：

- [TAS6754-Q1 技术参考手册](#)
- [TAS6754Q1EVM 评估模块用户指南](#)
- [PurePath™ 控制台 3 图形开发套件](#)

9.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击[通知](#)进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

[TI E2E™ 中文支持论坛](#)是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表

本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (December 2024) to Revision A (March 2025)	Page
• 将文档状态从 预告信息 更改为 量产数据 。	1

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PTAS6754QDKQRQ1	Active	Preproduction	HSSOP (DKQ) 56	1000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
PTAS6754QDKQRQ1.A	Active	Preproduction	HSSOP (DKQ) 56	1000 LARGE T&R	-	Call TI	Call TI	-40 to 125	
TAS6754QDKQRQ1	Active	Production	HSSOP (DKQ) 56	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	6754
TAS6754QDKQRQ1.A	Active	Production	HSSOP (DKQ) 56	1000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	6754

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

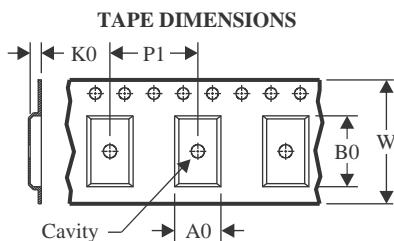
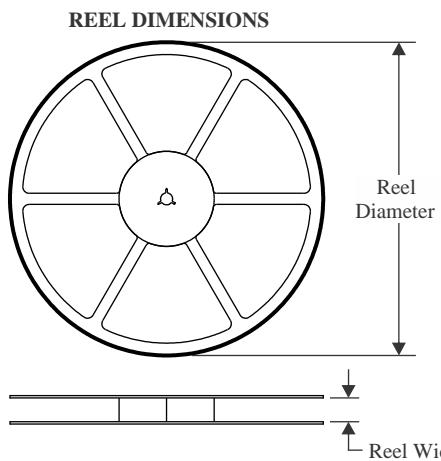
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

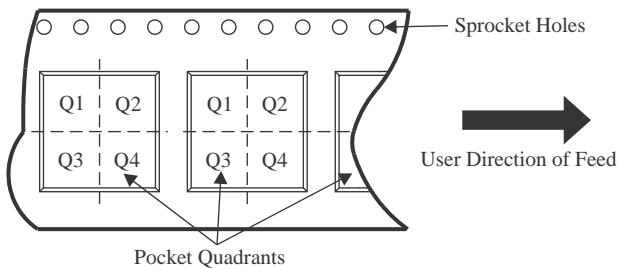
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



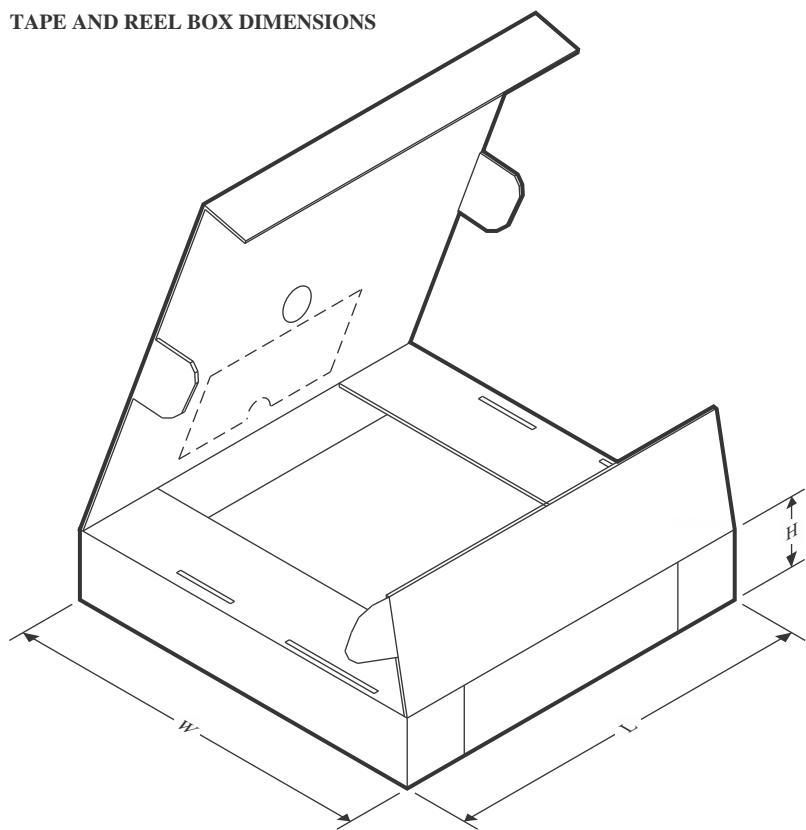
A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TAS6754QDKQRQ1	HSSOP	DKQ	56	1000	330.0	32.4	11.35	18.67	3.1	16.0	32.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

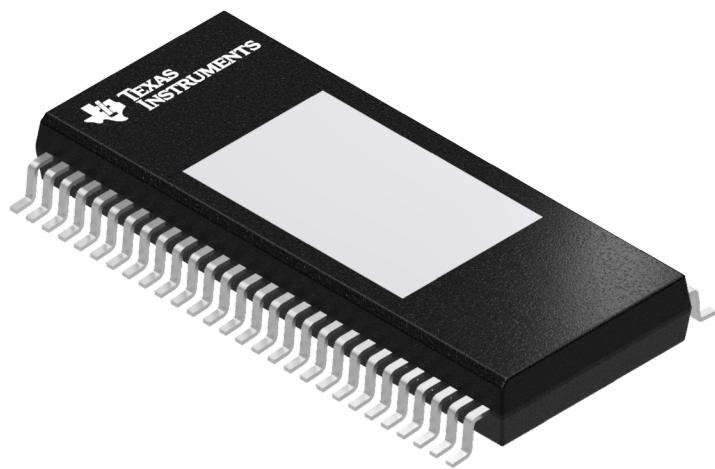
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TAS6754QDKQRQ1	HSSOP	DKQ	56	1000	356.0	356.0	53.0

GENERIC PACKAGE VIEW

DKQ 56

PowerPAD™ SSOP - 2.34 mm max height

PLASTIC SMALL OUTLINE

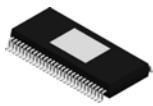


Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4211915-3/B

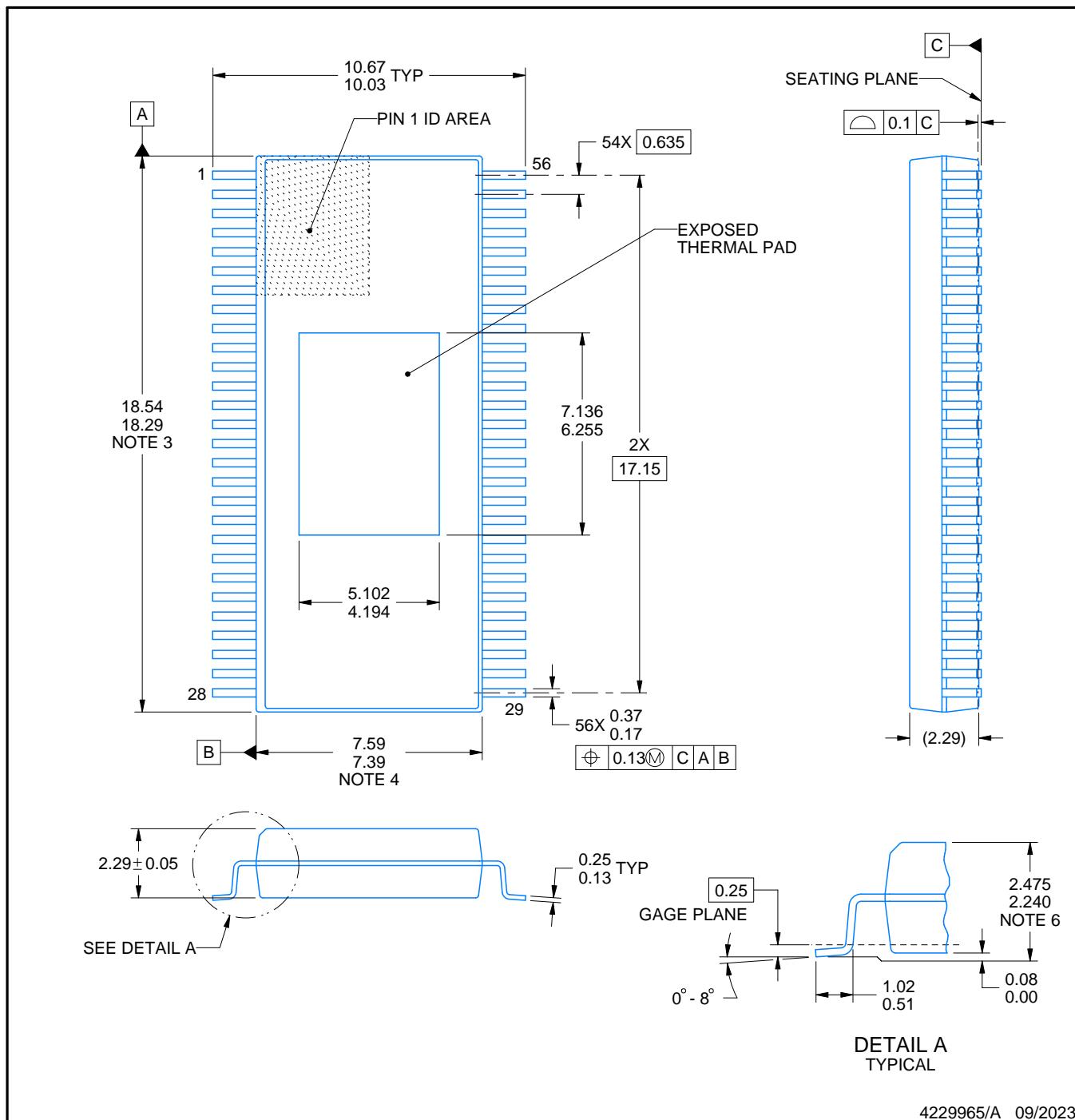
PACKAGE OUTLINE

DKQ0056D



PowerPAD™ HSSOP - 2.475 mm max height

PLASTIC SMALL OUTLINE



4229965/A 09/2023

NOTES:

PowerPAD is a trademark of Texas Instruments.

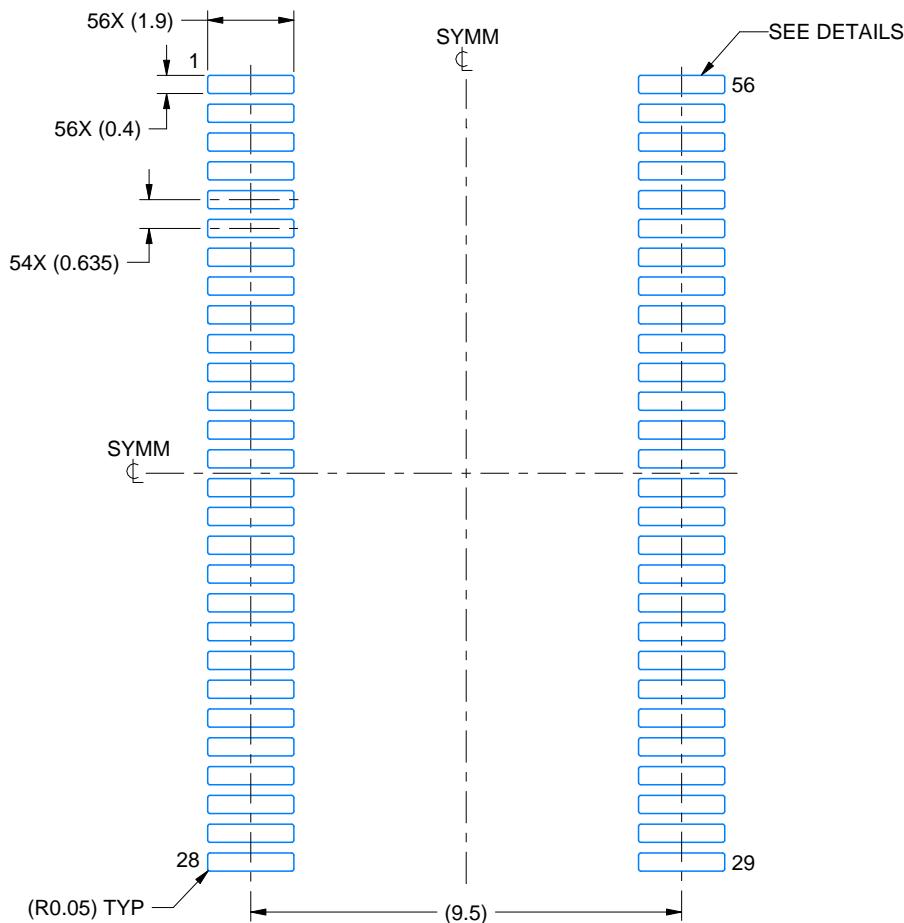
- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
- The exposed thermal pad is designed to be attached to an external heatsink.
- For clamped heatsink design, refer to overall package height above the seating plane as 2.325 +/- 0.075 and molded body thickness dimension.

EXAMPLE BOARD LAYOUT

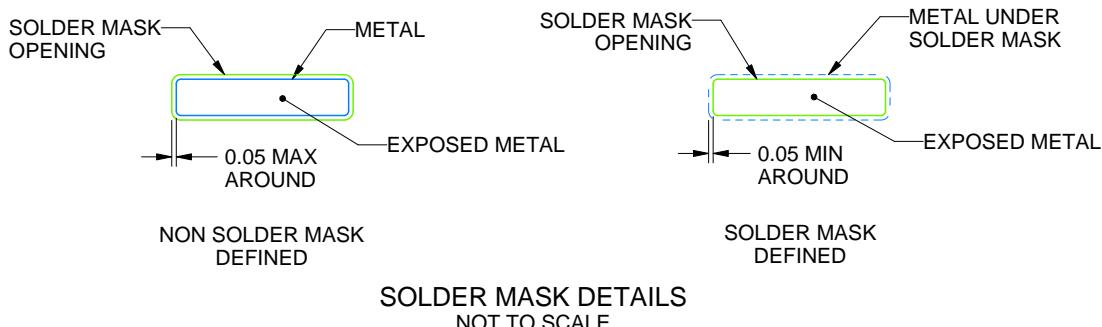
DKQ0056D

PowerPAD™ HSSOP - 2.475 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:6X



SOLDER MASK DETAILS
NOT TO SCALE

4229965/A 09/2023

NOTES: (continued)

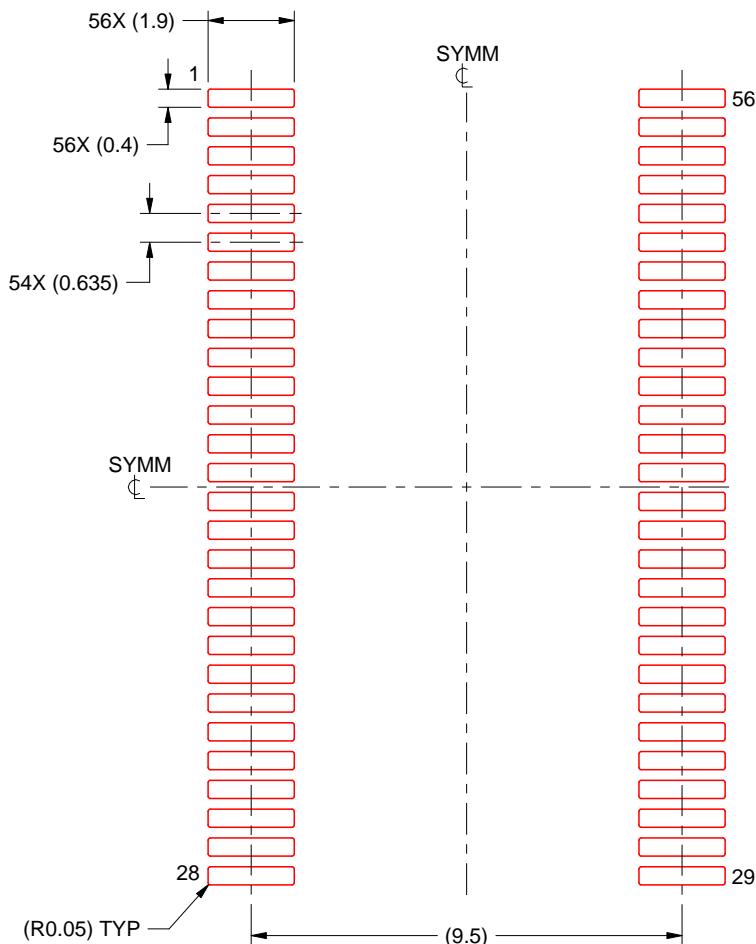
7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DKQ0056D

PowerPAD™ HSSOP - 2.475 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE:6X

4229965/A 09/2023

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#))、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025 , 德州仪器 (TI) 公司

最后更新日期 : 2025 年 10 月