

具有 96KHz 增强处理能力和较低空闲功率损耗的 TAS5802 22W 立体声、无电感器、数字输入、闭环 D 类音频放大器

1 特性

- 支持多路输出配置
 - 2 × 22.7W, BTL 模式 (8 Ω, 20V, THD+N=1%)
 - 2 × 28W, BTL 模式 (6 Ω, 20V, THD+N=1%)
- 出色的音频性能：
 - 65uVrms 空闲噪声 (典型值)
 - 1W、1kHz、PVDD = 12V 的条件下, THD + N ≤ 0.06%
 - SNR ≥ 108dB (A 加权)
- 高效 D 类放大器和更好的热性能：
 - 电源效率高于 90%, R_{DS(on)} 为 120mΩ
- 灵活音频 I/O：
 - I²S、LJ、RJ、TDM
 - 支持 32kHz、44.1kHz、48kHz、88.2kHz、96kHz 采样率
 - SDOUT (用于实现音频监控、子通道或回声消除)
 - 支持立体声桥接式 (BTL)
- 增强的音频处理能力
 - 多频段高级 DRC + AGL
 - 具有智能 EQ 的 2×15 BQ
 - 动态 EQ 和智能低音
 - 直流阻断
- 出色的功耗曲线：
 - 非锁存过流错误 (OCE)
 - 增强过热保护
 - 过热警告 (OTW)
 - 过热错误 (OTE)
 - 欠压/过压锁定 (UVLO/OVLO)
- 轻松系统集成
 - 灵活的控制策略
 - 软件控制 (全功能)
 - 缩小解决方案尺寸
 - 与开环器件相比, 所需的无源器件更少
 - 在 PVDD ≤ 12V 的大多数情况下, 实现无电感器运行 (铁氧体磁珠)

3 说明

TAS5802 是一款 2×22 W 数字输入 D 类音频放大器, 适用于驱动消费类、商用和工业电子产品中使用的扬声器。该器件具有高度灵活性, 支持多种控制方式、电源配置和音频 I/O 安排。

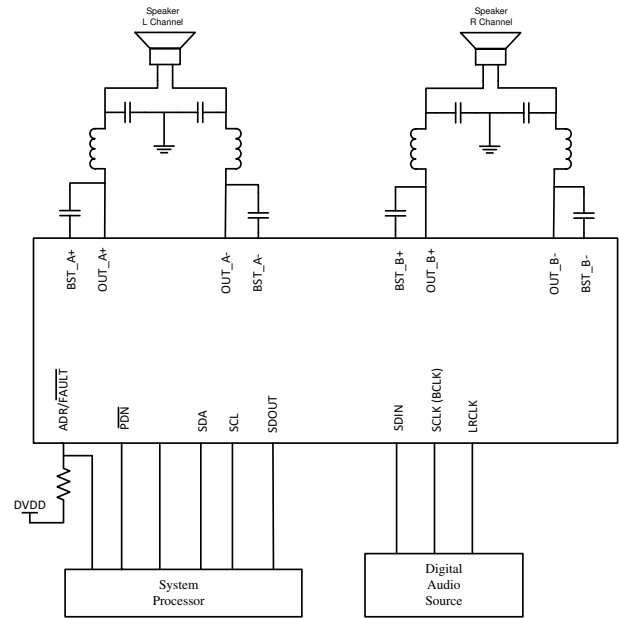
TAS5802 高性能闭环架构和宽开关频率范围通过减少无源元件, 并在大多数应用中省去电感+电容 (LC) 滤波器, 从而减小了解决方案的尺寸。先进的电磁干扰 (EMI) 降低技术可实现出色的电磁兼容性 (EMC) 性能, 即使与铁氧体磁珠 + 电容器 (BC) 滤波器配合使用时也是如此。已采用多种功耗控制方法, 以最小化待机功耗 (IPC)。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TAS5802PWP	TSSOP (28) PWP	9.7mm × 6.4mm

(1) 有关所有可用封装, 请参阅节 11.2

(2) 封装尺寸 (长 × 宽) 为标称值, 并包括引脚 (如适用)。



Copyright © 2018, Texas Instruments Incorporated

2 应用

- 条形音箱、电脑音频
- 无线、蓝牙扬声器
- DTV、HDTV、UHD 和多功能监控器



内容

1 特性	1	7 寄存器映射	37
2 应用	1	7.1 CONTROL PORT 寄存器.....	38
3 说明	1	8 应用和实施	80
4 引脚配置和功能	3	8.1 应用信息.....	80
5 规格	5	8.2 典型应用.....	82
5.1 绝对最大额定值.....	5	8.3 电源相关建议.....	85
5.2 ESD 等级.....	5	8.4 布局.....	86
5.3 建议运行条件.....	5	9 器件和文档支持	89
5.4 热性能信息.....	5	9.1 器件支持.....	89
5.5 电气特性.....	6	9.2 接收文档更新通知.....	89
5.6 时序要求.....	8	9.3 支持资源.....	89
5.7 典型特性.....	8	9.4 商标.....	89
6 详细说明	21	9.5 静电放电警告.....	89
6.1 概述.....	21	9.6 术语表.....	90
6.2 功能方框图.....	21	10 修订历史记录	90
6.3 特性说明.....	21	11 机械、封装和可订购信息	90
6.4 器件功能模式.....	28	11.1 卷带包装信息.....	92
6.5 编程和控制.....	32	11.2 机械数据.....	94

器件比较表

器件型号	建议的 PVDD 范围	R _{DS(ON)} 选项	封装	H 类算法集成
TAS5802	4.5V 至 20V	120m Ω	TSSOP28(PWP)	否
TAS5815	4.5V 至 26.4V	120m Ω	TSSOP28(PWP)	是
TAS5827	4.5V 至 26.4V	70m Ω	QFN32(RHB)	是
TAS5825P	4.5V 至 26.4V	90m Ω	QFN32(RHB)	是
TAS5828M	4.5V 至 26.4V	90m Ω	TSSOP32(DAD)	是
TAS5822M	4.5V 至 26.4V	90m Ω	HTSSOP38(DCP)	否
TAS5806M	4.5V 至 26.4V	180m Ω	TSSOP38(DCP)	否
TAS5805M	4.5V 至 26.4V	180m Ω	TSSOP28(PWP)	否

4 引脚配置和功能

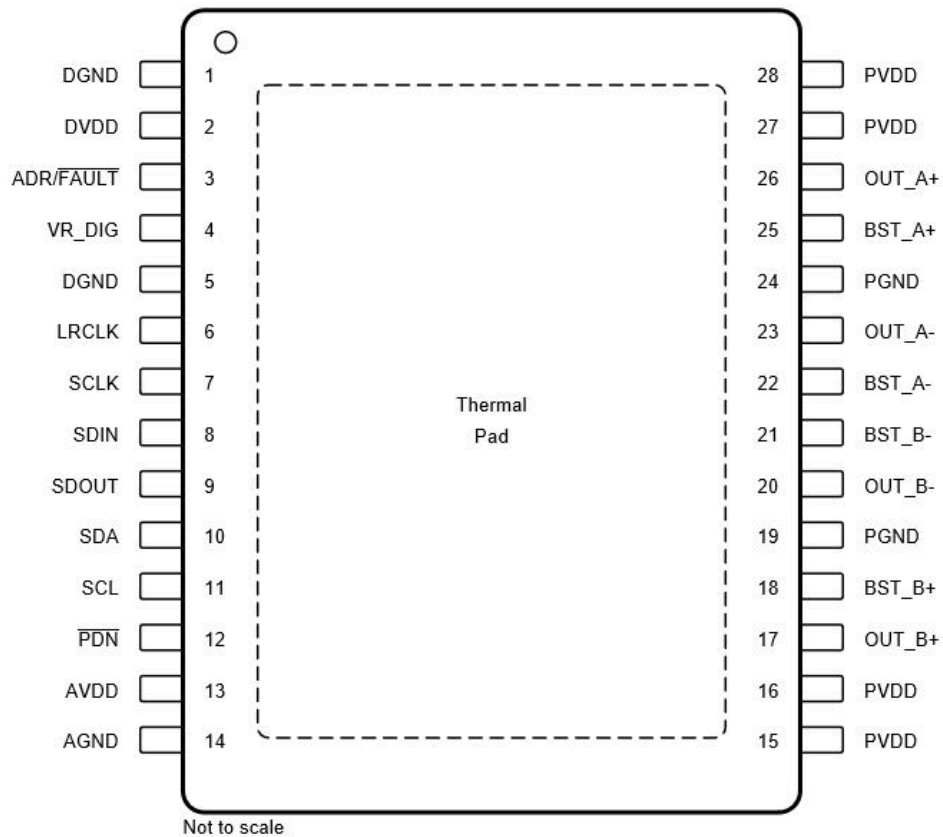


图 4-1. PWP (TSSOP) 封装，28 引脚焊盘朝下，俯视图

表 4-1. TSSOP28 封装的引脚功能

引脚		类型 ⁽¹⁾	说明
编号	名称		
1	DGND	P	数字接地
2	DVDD	P	3.3V/1.8V 数字电源
3	ADR/FAULT	DI/O	电阻器值表 (上拉/下拉至 DVDD/GND) 可确定器件 I2C 地址。 上电后，可以通过在上电位后向寄存器位写入 1 来对此引脚进行编程。在此模式下，ADR/FAULT 被重新定义为 FAULT。

表 4-1. TSSOP28 封装的引脚功能 (续)

引脚		类型 ⁽¹⁾	说明
编号	名称		
4	VR_DIG	P	内部稳定 1.5V 数字电源电压。此引脚不得用于驱动外部器件
5	DGND	P	数字接地
6	LRCLK	DI	输入串行音频数据左/右时钟 (采样率时钟)
7	SCLK	DI	串行音频数据时钟 (移位时钟)。SCLK 是串行音频端口输入数据位时钟。
8	SDIN	DI	串行音频数据输入。SDIN 支持三种离散 (立体声) 数据格式
9	SDOUT	DO	串行音频数据输出, 源数据可选择为 Pre-DSP 或 Post-DSP。
10	SDA	DI/O	I2C 串行控制数据接口输入/输出
11	SCL	DI	I2C 串行控制时钟输入
12	PDN	DI	关断, 低电平有效。PDN 将放大器设为关断状态, 关闭所有内部稳压器。
13	AVDD	P	内部稳定 5V 模拟电源电压。此引脚不得用于驱动外部器件。
14	AGND	G	模拟接地
15	PVDD	P	PVDD 电压输入
16	PVDD	P	PVDD 电压输入
17	OUT_B+	PO	差分扬声器放大器输出 B+ 的正极引脚
18	BST_B+	P	OUT_B+ 自举电容器的连接点, 用于为 OUT_B+ 的高侧栅极驱动创建电源
19	PGND	G	功率器件电路的接地基准。将此引脚连接到系统接地
20	OUT_B-	否	差分扬声器放大器输出 B- 的负极引脚
21	BST_B-	P	OUT_B- 自举电容器的连接点, 用于为 OUT_B- 的高侧栅极驱动创建电源
22	BST_A-	P	OUT_A- 自举电容器的连接点, 用于为 OUT_A- 的高侧栅极驱动创建电源
23	OUT_A-	否	差分扬声器放大器输出 A- 的负极引脚
24	PGND	G	功率器件电路的接地基准。将此引脚连接到系统接地
25	BST_A+	P	OUT_A+ 自举电容器的连接点, 用于为 OUT_A+ 的高侧栅极驱动创建电源
26	OUT_A+	PO	差分扬声器放大器输出 A+ 的正极引脚
27	PVDD	P	PVDD 电压输入
28	PVDD	P	PVDD 电压输入
	PowerPAD™	G	接地, 连接到接地散热器以获得出色系统性能。

(1) AI = 模拟输入, AO = 模拟输出, DI = 数字输入, DO = 数字输出, DI/O = 数字双向 (输入和输出)、PO = 正输出, NO = 负输出, P = 电源, G = 接地 (0V)

5 规格

5.1 绝对最大额定值

自然通风室温 25°C (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
DVDD	低电压数字电源	-0.3	3.9	V
PVDD	PVDD 电源	-0.3	23	V
$V_{I(DigIn)}$	DVDD 基准数字输入 ⁽²⁾	-0.5	$V_{DVDD} + 0.5$	V
$V_{I(SPK_OUTxx)}$	扬声器输出引脚处的电压	-0.3	25	V
T_A	环境工作温度	-40	85	°C
T_J	工作结温	-40	160	°C
T_{stg}	贮存温度	-40	125	°C

(1) 应力超出绝对最大额定值中列出的值时可能会对器件造成永久损坏。这些列出的值仅为应力等级，并不表示器件在这些条件下以及在建议工作条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

(2) DVDD 基准数字引脚包括：ADR/FAULT、LRCLK、SCLK、SDIN、SDOUT、SCL、SDA、PDN

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101 ⁽²⁾	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 可通过标准 ESD 控制流程实现安全生产。

(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明) (请参阅 ⁽¹⁾)

			最小值	标称值	最大值	单位
$V_{(POWER)}$	电源输入	DVDD	1.62		3.63	V
		PVDD	4.5		20	
$V_{IH(DigIn)}$	DVDD 基准数字输入的输入逻辑高电平		$0.9 \times V_{DVDD}$		DVDD	V
$V_{IL(DigIn)}$	DVDD 基准数字输入的输入逻辑低电平				$0.1 \times V_{DVDD}$	V
L_{OUT}	短路情况下 LC 滤波器中的最小电感值		1			μH

(1) 最大推荐 PVDD 值受 OCE_{THRES} 的限制。

5.4 热性能信息

热指标 ⁽¹⁾		TAS5802 TSSOP28 (PWP) 28 引脚	单位
		JEDEC 标准 四层 PCB	
$R_{\theta JA}$	结至环境热阻	27.9	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	19.9	°C/W
$R_{\theta JB}$	结至电路板热阻	7.9	°C/W
Ψ_{JT}	结至顶部特征参数	0.2	°C/W
Ψ_{JB}	结至电路板特征参数	7.9	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	1.9	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用报告。

5.5 电气特性

自然通风室温 25°C，1SPW 模式，LC 滤波器=4.7uH+0.68uF，Fsw=768kHz，D 级带宽=175kHz，（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位		
数字 I/O							
V(DVDD_DigON)	输入 DVDD 电压，以启动 I/O 逻辑和数字内核块 ⁽¹⁾	VPDN > 0.7 x DVDD , PVDD > 4.5V		1.1	1.5	V	
IIH	DVDD 基准数字输入引脚的输入逻辑高电流电平	VIN(DigIn) = VDVDD		10		uA	
IIL	DVDD 基准数字输入引脚的输入逻辑低电流电平	VIN(DigIn) = 0V		-10		uA	
VIH(Digin)	DVDD 基准数字输入的输入逻辑高电平阈值	70%				VDVDD	
VIL(Digin)	DVDD 基准数字输入的输入逻辑低电平阈值			30%		VDVDD	
VOH(Digin)	输出逻辑高电压电平	IOH = 4mA		80%		VDVDD	
VOL(Digin)	输出逻辑低电压电平	IOH = -4mA		20%		VDVDD	
I ² C 控制端口							
CL(I2C)	每条 I ² C 线路允许的负载电容			400		pF	
fSCL(fast)	支持 SCL 频率	无等待状态，快速模式		400		kHz	
fSCL(slow)	支持 SCL 频率	无等待状态，慢速模式		100		kHz	
串行音频端口							
tDLY	所需的 LRCLK/FS 至 SCLK 上升沿延迟	5				ns	
DSCLK	允许的 SCLK 占空比	40%		60%			
fS	支持的输入采样速率	32		96		kHz	
fSCLK	支持的 SCLK 频率	32		64		fS	
fSCLK	SCL 频率			24.576		MHz	
放大器工作模式和直流参数							
tOff	关断时间	不包括音量斜坡		10		ms	
AV(SPK_AMP)	可编程增益	值表示“峰值电压”，忽略因 PVDD 较低而导致的削波在 0dB 输入 (1FS) 时测得		29.4		dBV	
Δ AV(SPK_AMP)	放大器增益误差	增益 = 26.4dBV		0.5		dB	
RDS(on)	各个输出的漏源导通电阻 MOSFET	FET + 金属化。VPVDD=24V，I(OUT)=500mA，TJ=25℃		120		mΩ	
保护							
OCETHRES	过流错误阈值	OUTxx 过流错误阈值		5		A	
UVE _{THRES} (PVDD)	PVDD 欠压错误阈值条件 2			3.7	4	4.2	V
DCETHRES	输出直流误差保护阈值	D 级放大器的输出直流电压交叉扬声器负载，用于触发输出直流故障保护		1.9		V	
TDCDET	输出直流检测时间	D 级放大器的输出保持在或高于 DCE _{THRES}		570		ms	
OTETHRES	过热误差阈值			160		℃	
OTE _{Hystersis}	过热误差迟滞			10		℃	
OTW _{THRES}	过热警告电平	由寄存器 0x73 的位 3 读取		135		℃	

自然通风室温 25°C，1SPW 模式，LC 滤波器=4.7uH+0.68uF，Fsw=768kHz，D 级带宽=175kHz，（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
音频性能 (立体声 BTL)						
V _{OS}	放大器偏移电压	使用零输入数据以差动方式进行测量， 使用 29.4dBV 模拟增益配置的 可编程增益，V _{PVDD} = 13.5V	-6.5		6.5	mV
P _O (SPK)	输出功率 (每通道)	V _{PVDD} = 13.5V，R _{SPK} = 6 Ω，f = 1kHz，THD+N = 10%		16		W
P _O (SPK)	输出功率 (每通道)	V _{PVDD} = 13.5V，R _{SPK} = 6 Ω，f = 1kHz，THD+N = 1%		13		W
P _O (SPK)	输出功率 (每通道)	V _{PVDD} = 18V，R _{SPK} = 6 Ω，f = 1kHz，THD+N = 10%		30		W
P _O (SPK)	输出功率 (每通道)	V _{PVDD} = 18V，R _{SPK} = 6 Ω，f = 1kHz，THD+N = 1%		25		W
P _O (SPK)	输出功率 (每通道)	V _{PVDD} = 20V，R _{SPK} = 6 Ω，f = 1kHz，THD+N = 10%		35		W
P _O (SPK)	输出功率 (每通道)	V _{PVDD} = 20V，R _{SPK} = 6 Ω，f = 1kHz，THD+N = 1%		28		W
THD+N _{SPK}	总谐波失真和 噪声 (P _O = 1W，f= 1KHz，R _{SPK} = 6 Ω)	V _{PVDD} = 18V		0.03		%
THD+N _{SPK}	总谐波失真和 噪声 (P _O = 1W，f= 1KHz，R _{SPK} = 6 Ω)	V _{PVDD} = 13.5V		0.03		%
ICN _(SPK)	空闲声道噪声 (权重， AES17)	V _{PVDD} = 13.5V，LC 滤波器，负载 = 6 Ω		50		μVrms
		V _{PVDD} = 18V，LC 滤波器，负载 = 6 Ω		60		μVrms
SNR	信噪比	A 加权，以 1% THD+N 输出 电平为基准，V _{PVDD} =18V		109		dB
		A 加权，以 1% THD+N 输出 电平为基准，V _{PVDD} =13.5V		106		dB
PSRR	电源抑制比	注入噪声 = 1kHz，1Vrms，V _{PVDD} = 13.5V， 输入音频信号 = 数字零		72		dB
X-talk _{SPK}	串扰 (左右声 道信号间耦合的 最差情况)	f = 1kHz，基于 Murata 的电感器 (DFEG7030D-4R7)		100		dB

- (1) 为确保设备稳定运行，建议遵循“启动程序”部分中规定的操作电压和步骤。

5.6 时序要求

		最小值	标称值	最大值	单位
串行音频端口时序 - 目标模式					
f_{SCLK}	SCLK 频率	1.024			MHz
t_{SCLK}	SCLK 周期	40			ns
t_{SCLKL}	SCLK 脉冲宽度, 低电平	16			ns
t_{SCLKH}	SCLK 脉冲宽度, 高电平	16			ns
t_{SL}	SCLK 上升至 LRCLK/FS 边沿	8			ns
t_{LS}	LRCK/SCLK 边沿到 FS 上升沿	8			ns
t_{SU}	SCLK 上升沿之前的数据建立时间	8			ns
t_{DH}	SCLK 上升沿之后的数据保持时间	8			ns
t_{DFS}	SCLK 下降沿的数据延迟时间			15	ns
I²C 总线时序 - 标准					
f_{SCL}	SCL 时钟频率			100	kHz
t_{BUF}	STOP 与 START 条件之间的总线空闲时间	4.7			μs
t_{LOW}	SCL 时钟的低电平周期	4.7			μs
t_{HI}	SCL 时钟的高电平周期	4			μs
$t_{\text{RS-SU}}$	(重复) START 条件的建立时间	4.7			μs
$t_{\text{S-HD}}$	(重复) START 条件的保持时间	4			μs
$t_{\text{D-SU}}$	数据设置时间	250			ns
$t_{\text{D-HD}}$	数据保持时间	0		3450	ns
$t_{\text{SCL-R}}$	SCL 信号的上升时间	$20 + 0.1C_B$		1000	ns
$t_{\text{SCL-R1}}$	重复 START 条件和确认位之后的 SCL 信号上升时间	$20 + 0.1C_B$		1000	ns
$t_{\text{SCL-F}}$	SCL 信号的下降时间	$20 + 0.1C_B$		1000	ns
$t_{\text{SDA-R}}$	SDA 信号的上升时间	$20 + 0.1C_B$		1000	ns
$t_{\text{SDA-F}}$	SDA 信号的下降时间	$20 + 0.1C_B$		1000	ns
$t_{\text{P-SU}}$	STOP 条件的建立时间	4			μs
C_B	每个总线的容性负载			400	pf
I²C 总线时序 - 快速					
f_{SCL}	SCL 时钟频率			400	kHz
t_{BUF}	STOP 与 START 条件之间的总线空闲时间	1.3			μs
t_{LOW}	SCL 时钟的低电平周期	1.3			μs
t_{HI}	SCL 时钟的高电平周期	600			ns
$t_{\text{RS-SU}}$	(重复) START 条件的建立时间	600			ns
$t_{\text{RS-HD}}$	(重复) START 条件的保持时间	600			ns
$t_{\text{D-SU}}$	数据设置时间	100			ns
$t_{\text{D-HD}}$	数据保持时间	0		900	ns
$t_{\text{SCL-R}}$	SCL 信号的上升时间	$20 + 0.1C_B$		300	ns
$t_{\text{SCL-R1}}$	重复 START 条件和确认位之后的 SCL 信号上升时间	$20 + 0.1C_B$		300	ns
$t_{\text{SCL-F}}$	SCL 信号的下降时间	$20 + 0.1C_B$		300	ns
$t_{\text{SDA-R}}$	SDA 信号的上升时间	$20 + 0.1C_B$		300	ns
$t_{\text{SDA-F}}$	SDA 信号的下降时间	$20 + 0.1C_B$		300	ns
$t_{\text{P-SU}}$	STOP 条件的建立时间	600			ns
t_{SP}	所抑制尖峰的脉冲宽度			50	ns
C_B	每个总线的容性负载			400	pf

5.7 典型特性

5.7.1 采用 1SPW 调制的桥接负载 (BTL) 配置曲线

自然通风室温 25°C (除非另有说明)。测量是使用 Audio Precision System 2722 进行的, 其中模拟分析仪滤波器设置为 20kHz 砖墙式滤波器。所有测量都是在音频频率设置为 1kHz 且器件 PWM 频率设置为 384kHz、80kHz D 级环路带宽的情况下进行的, 使用的 LC 滤波器为 10 μ H/0.68 μ F, 除非另有说明。

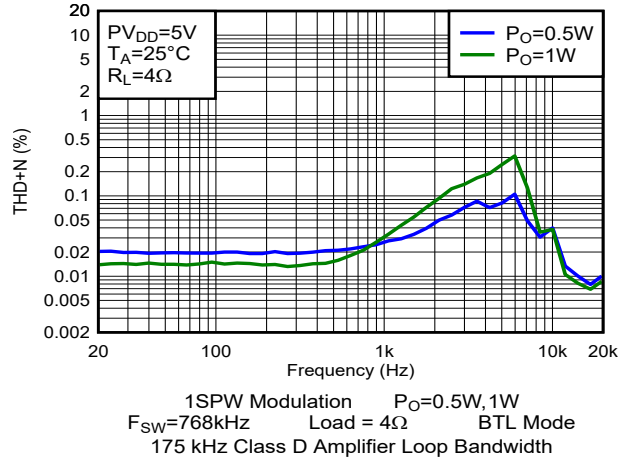


图 5-1. THD+N 与频率间的关系

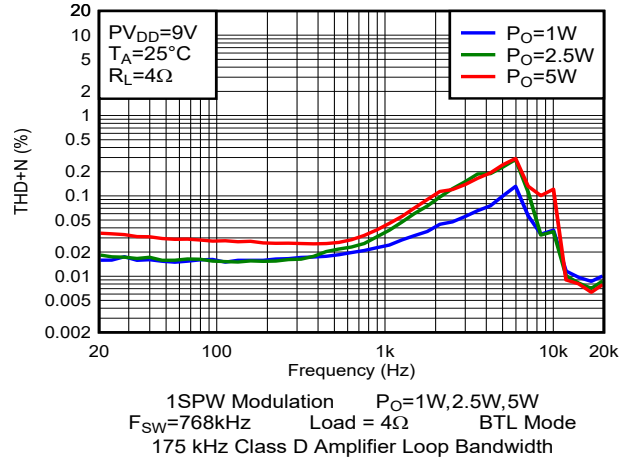


图 5-2. THD+N 与频率间的关系

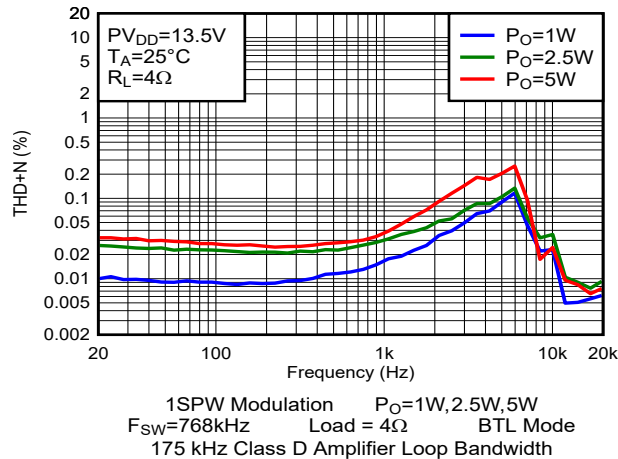


图 5-3. THD+N 与频率间的关系

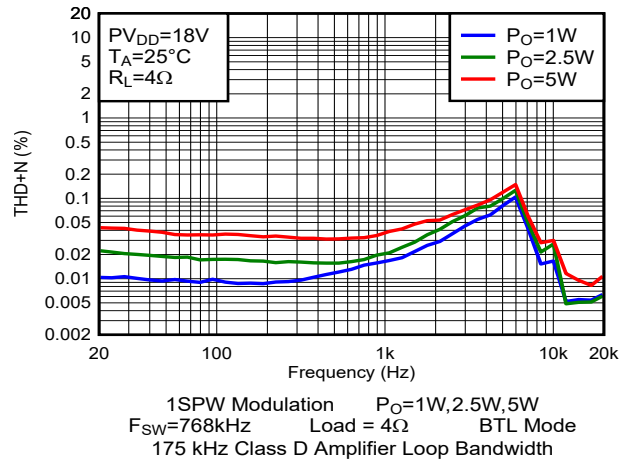


图 5-4. THD+N 与频率间的关系

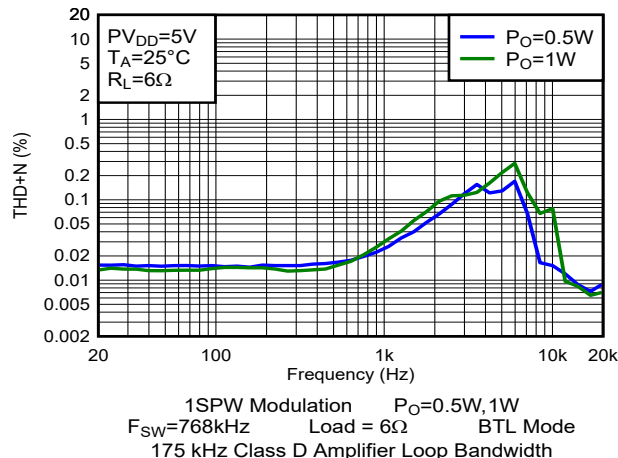


图 5-5. THD+N 与频率间的关系

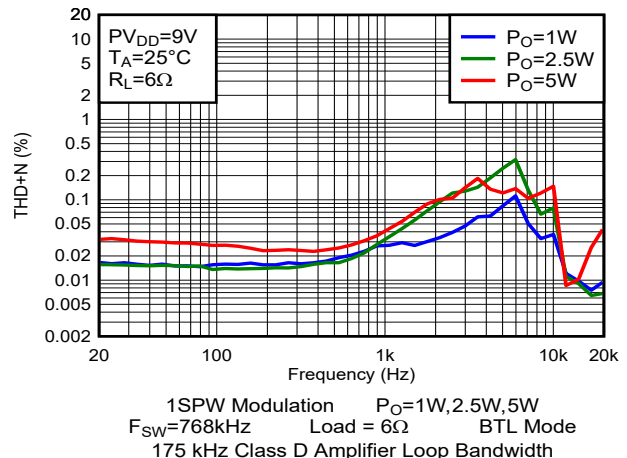
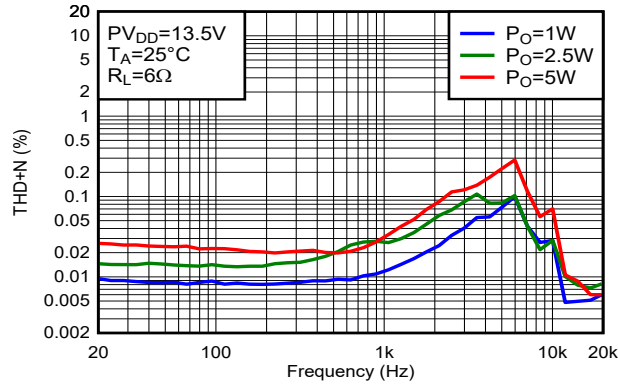
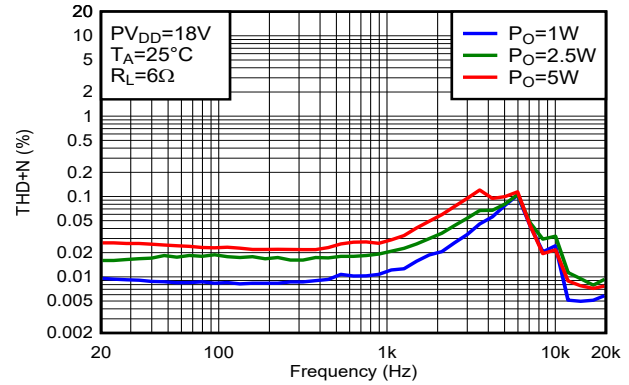


图 5-6. THD+N 与频率间的关系



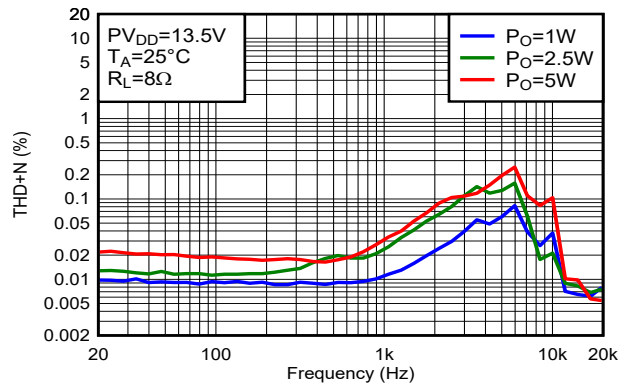
1SPW Modulation $P_O=1W, 2.5W, 5W$
 $F_{SW}=768kHz$ Load = 6Ω BTL Mode
 175 kHz Class D Amplifier Loop Bandwidth

图 5-7. THD+N 与频率间的关系



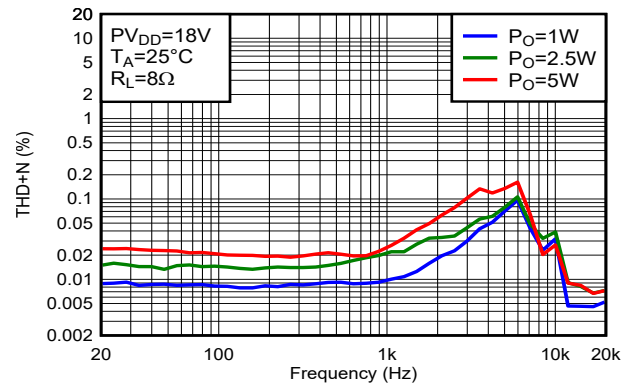
1SPW Modulation $P_O=1W, 2.5W, 5W$
 $F_{SW}=768kHz$ Load = 6Ω BTL Mode
 175 kHz Class D Amplifier Loop Bandwidth

图 5-8. THD+N 与频率间的关系



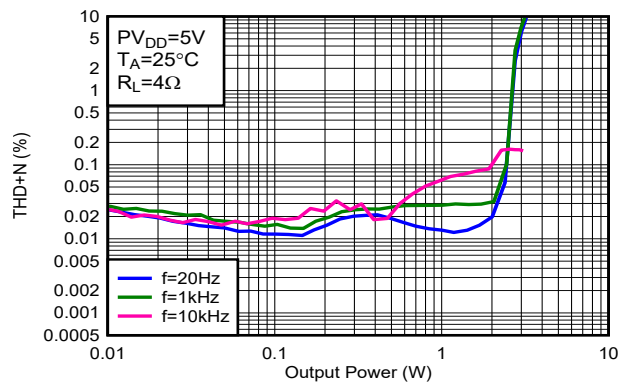
1SPW Modulation $P_O=1W, 2.5W, 5W$
 $F_{SW}=768kHz$ Load = 8Ω BTL Mode
 175 kHz Class D Amplifier Loop Bandwidth

图 5-9. THD+N 与频率间的关系



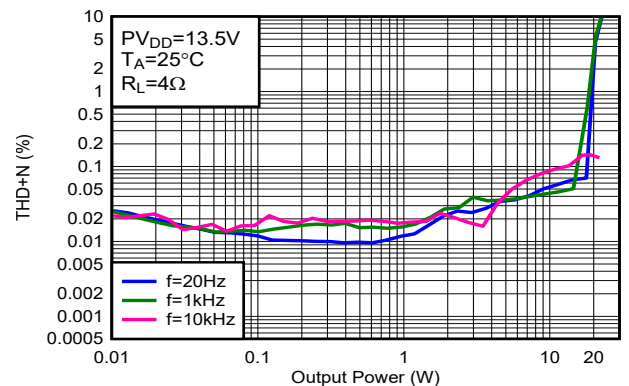
1SPW Modulation $P_O=1W, 2.5W, 5W$
 $F_{SW}=768kHz$ Load = 8Ω BTL Mode
 175 kHz Class D Amplifier Loop Bandwidth

图 5-10. THD+N 与频率间的关系



1SPW Modulation
 $F_{SW}=768kHz$ $PV_{DD}=5V$ BTL Mode
 175 kHz Class D Amplifier Loop Bandwidth

图 5-11. THD+N 与输出功率间的关系



1SPW Modulation
 $F_{SW}=768kHz$ $PV_{DD}=13.5V$ BTL Mode
 175 kHz Class D Amplifier Loop Bandwidth

图 5-12. THD+N 与输出功率间的关系

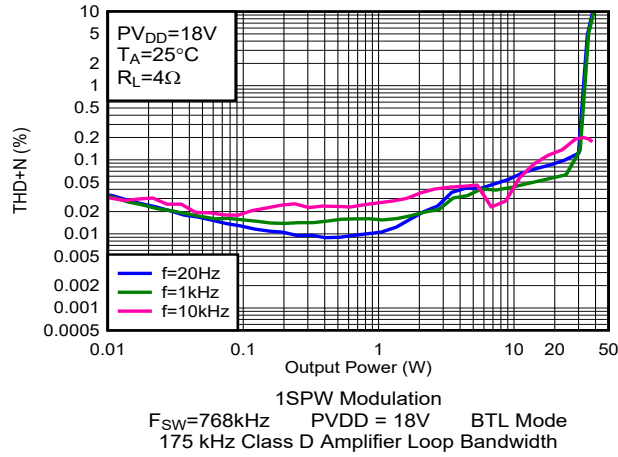


图 5-13. THD+N 与输出功率间的关系

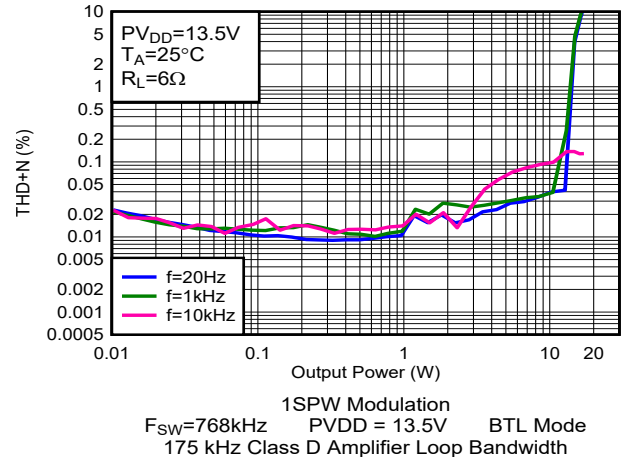


图 5-14. THD+N 与输出功率间的关系

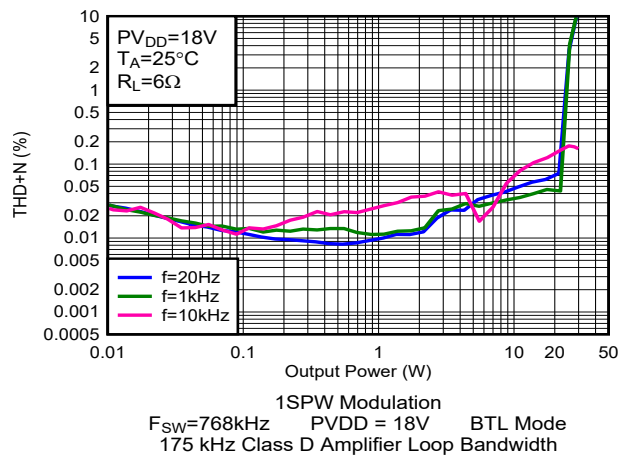


图 5-15. THD+N 与输出功率间的关系

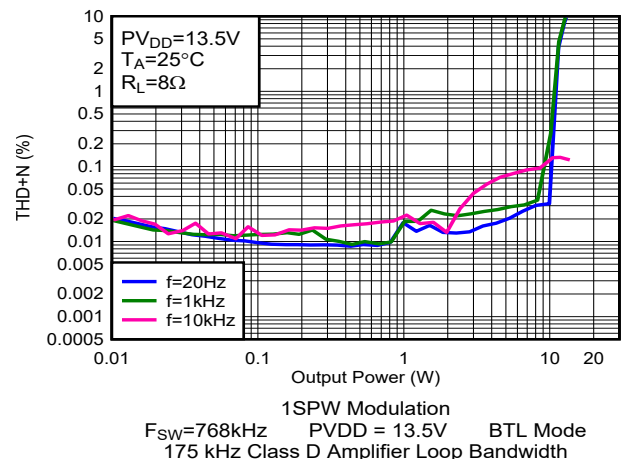


图 5-16. THD+N 与输出功率间的关系

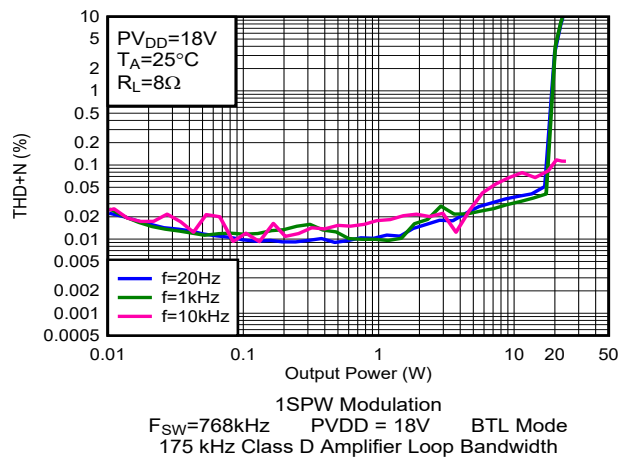


图 5-17. THD+N 与输出功率间的关系

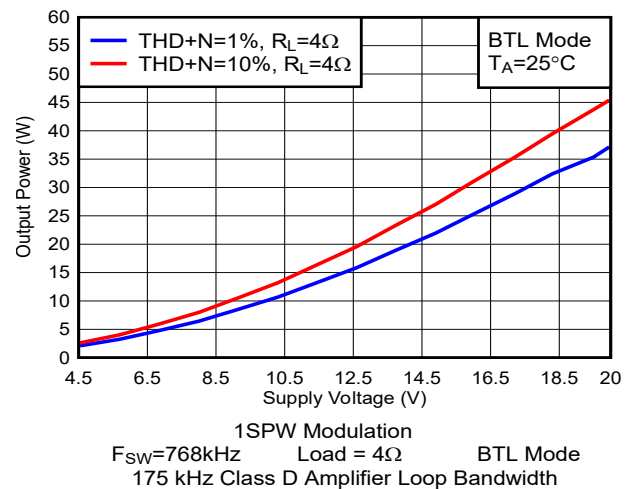


图 5-18. 输出功率与电源电压间的关系

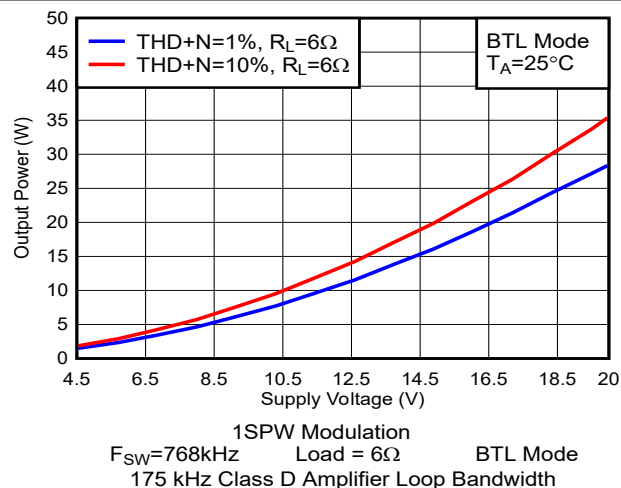


图 5-19. 输出功率与电源电压间的关系

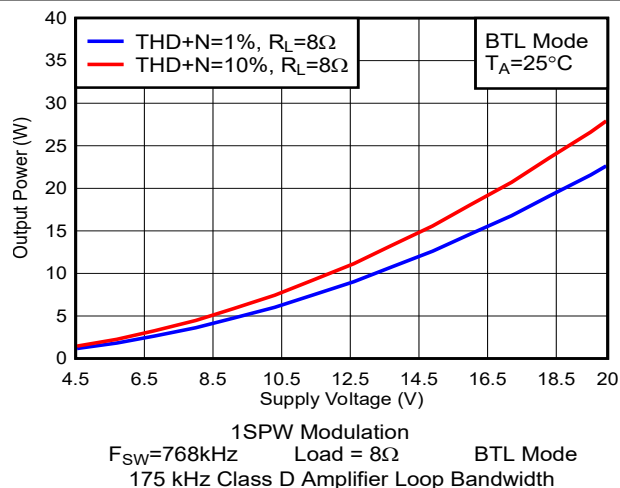


图 5-20. 输出功率与电源电压间的关系

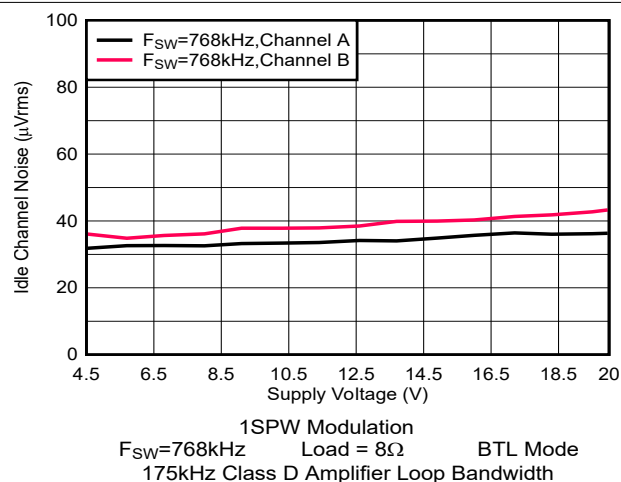


图 5-21. 空闲声道噪声与电源电压间的关系

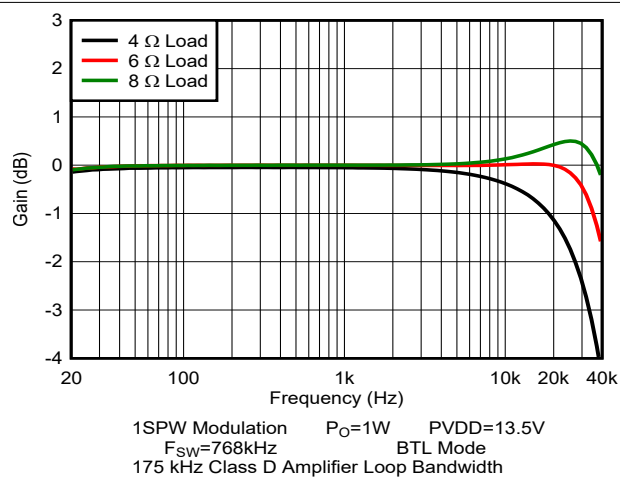


图 5-22. 增益与频率间的关系

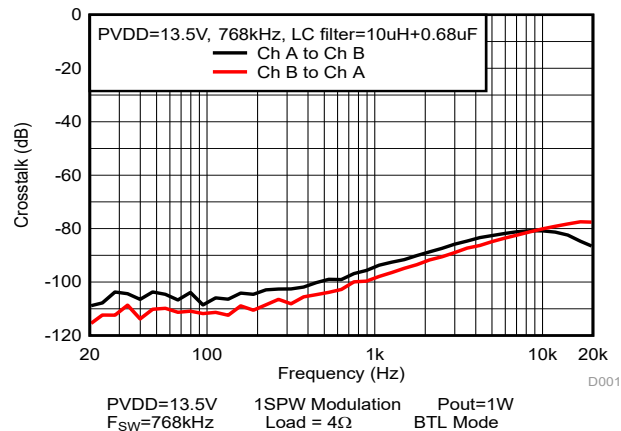


图 5-23. 串扰

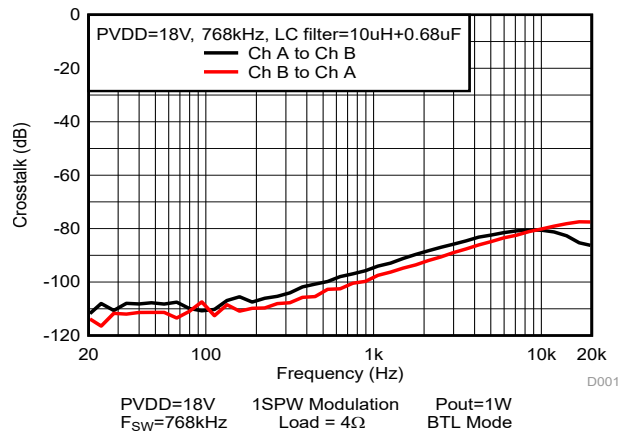


图 5-24. 串扰

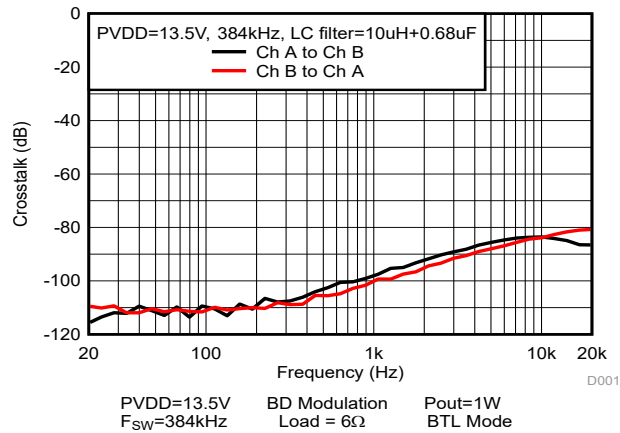


图 5-25. 串扰

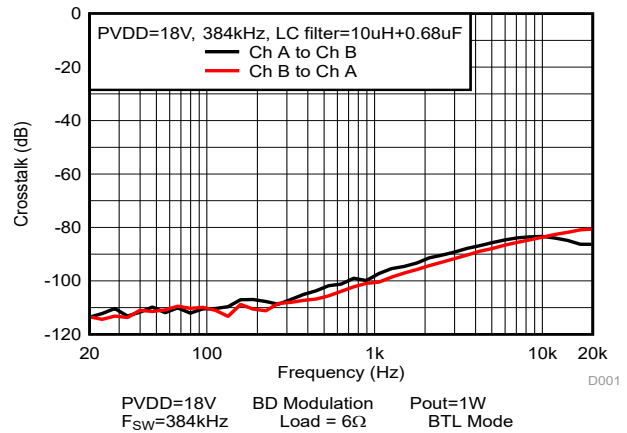


图 5-26. 串扰

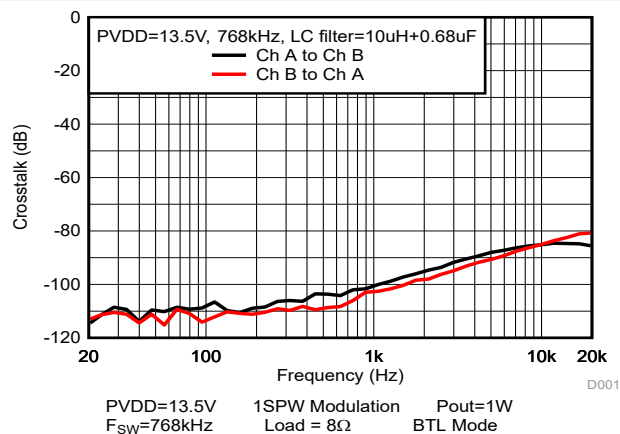


图 5-27. 串扰

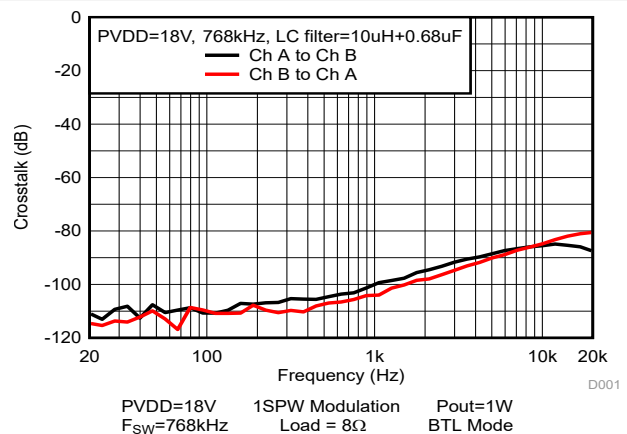


图 5-28. 串扰

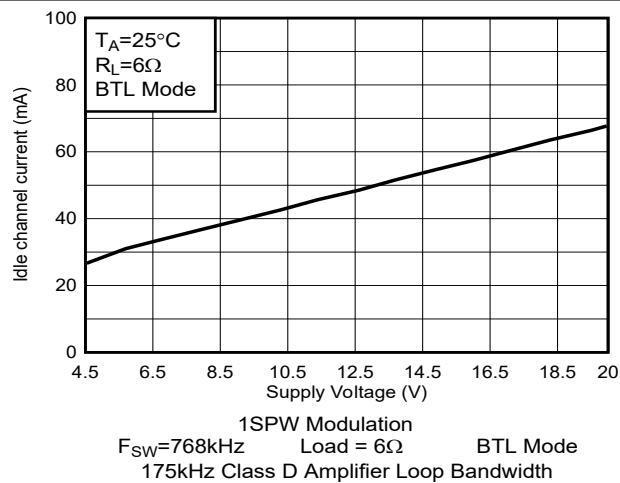


图 5-29. PVDD 空闲电流与 PVDD 电压间的关系

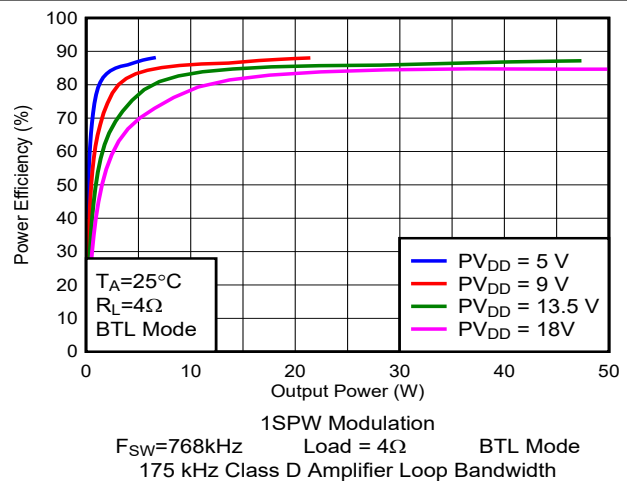


图 5-30. 效率与输出功率间的关系

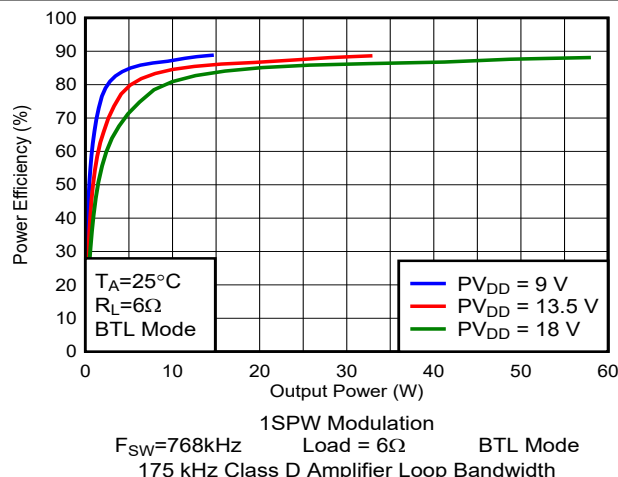


图 5-31. 效率与输出功率间的关系

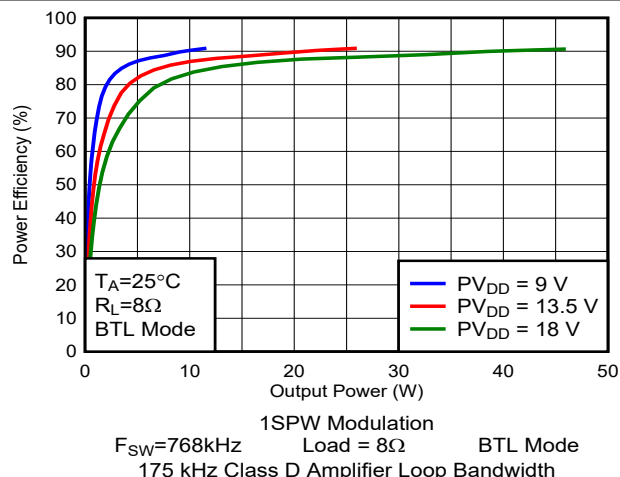


图 5-32. 效率与输出功率间的关系

5.7.2 采用 BD 调制的桥接负载 (BTL) 配置曲线

自然通风室温 25°C (除非另有说明)。测量是使用 Audio Precision System 2722 进行的, 其中模拟分析仪滤波器设置为 20kHz 砖墙式滤波器。所有测量都是在音频频率设置为 1kHz 且器件 PWM 频率设置为 576kHz、175kHz D 级放大器环路带宽的情况下进行的, 使用的 LC 滤波器为 $10\mu\text{H}/0.68\mu\text{F}$, 除非另有说明。

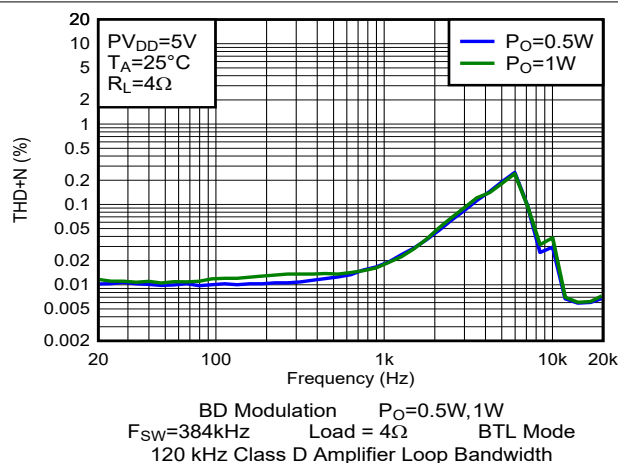


图 5-33. THD+N 与频率间的关系

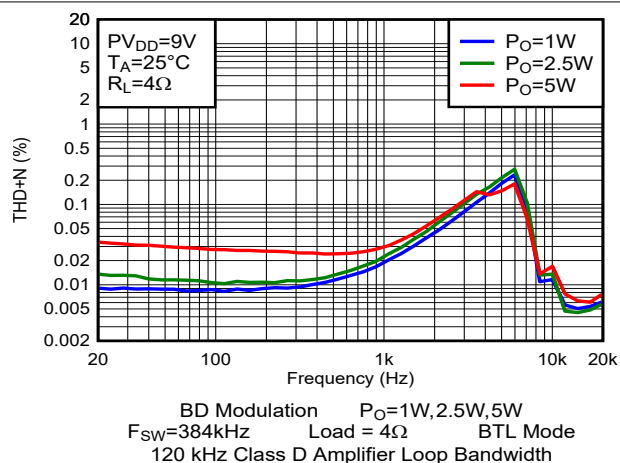


图 5-34. THD+N 与频率间的关系

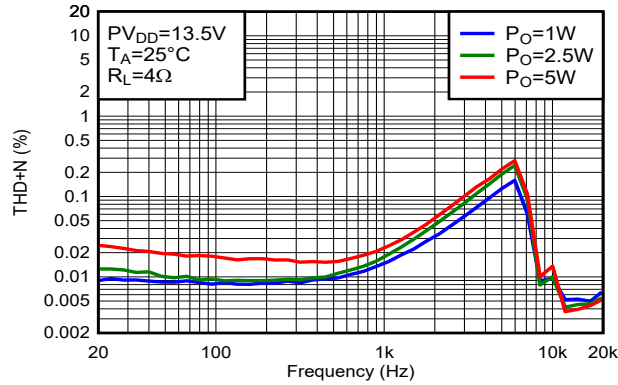


图 5-35. THD+N 与频率间的关系

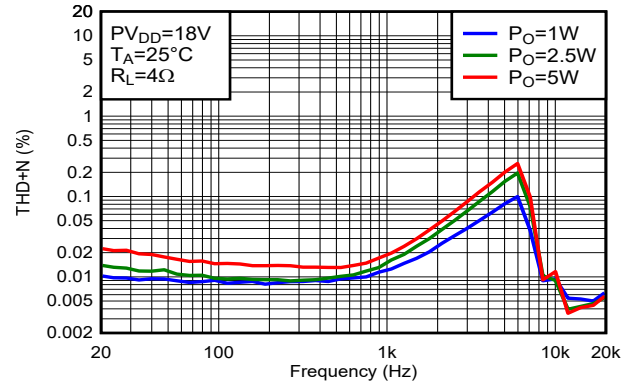


图 5-36. THD+N 与频率间的关系

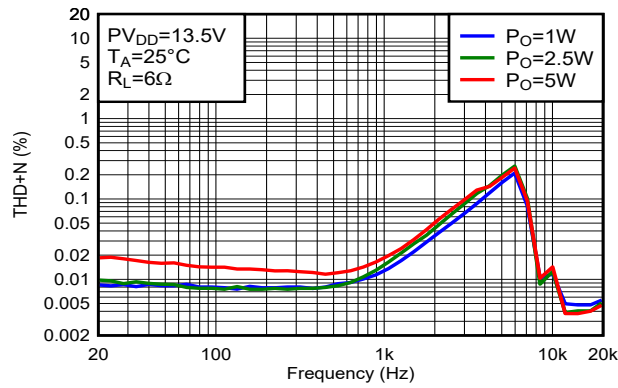


图 5-37. THD+N 与频率间的关系

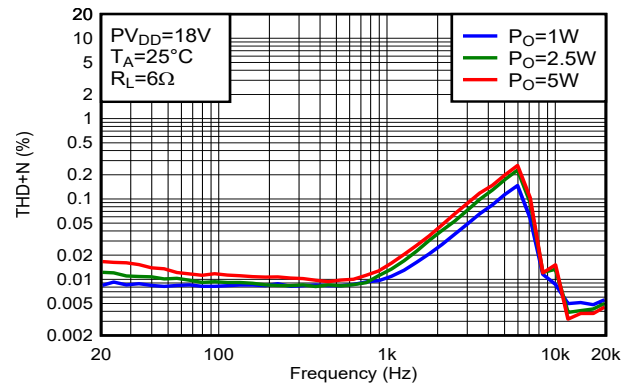


图 5-38. THD+N 与频率间的关系

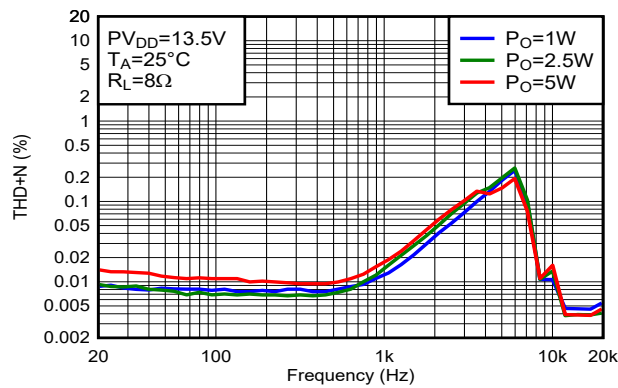


图 5-39. THD+N 与频率间的关系

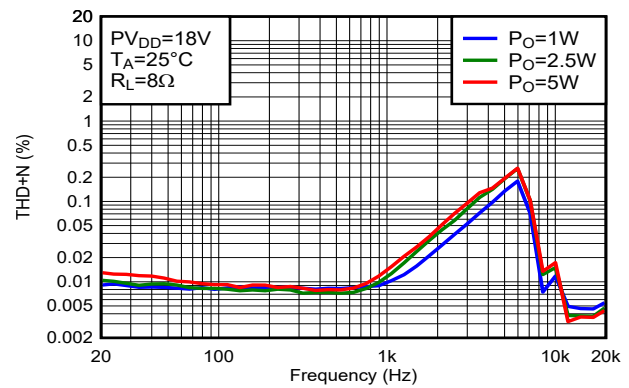


图 5-40. THD+N 与频率间的关系

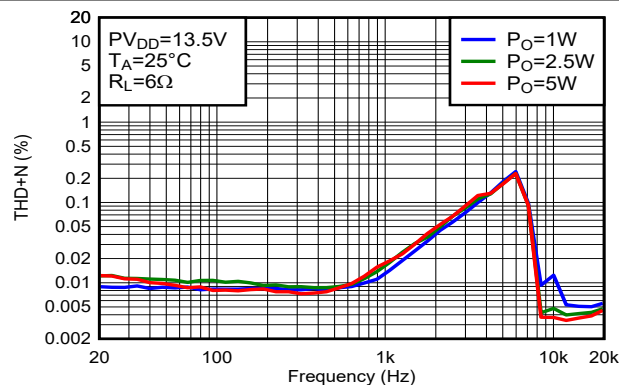


图 5-41. THD+N 与频率间的关系

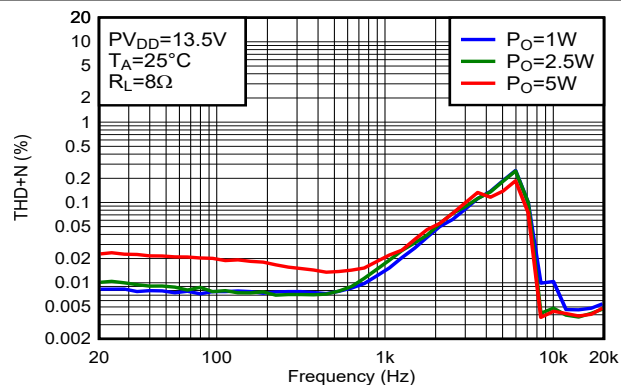


图 5-42. THD+N 与频率间的关系

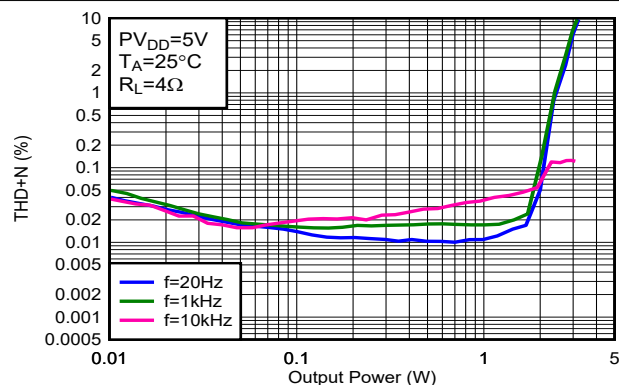


图 5-43. THD+N 与输出功率间的关系

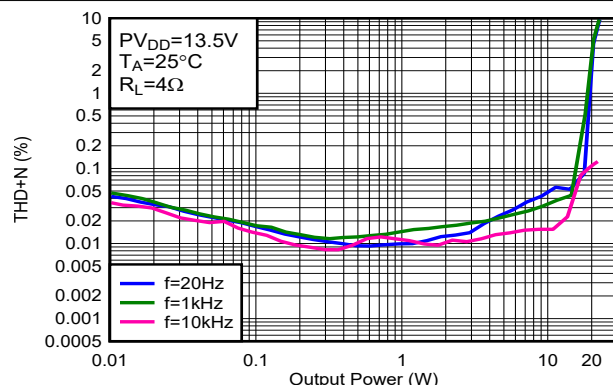


图 5-44. THD+N 与输出功率间的关系

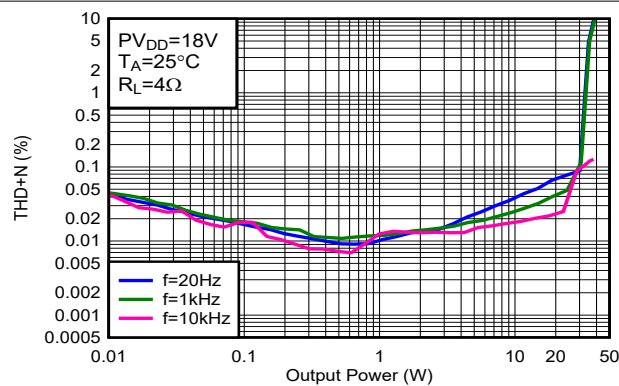


图 5-45. THD+N 与输出功率间的关系

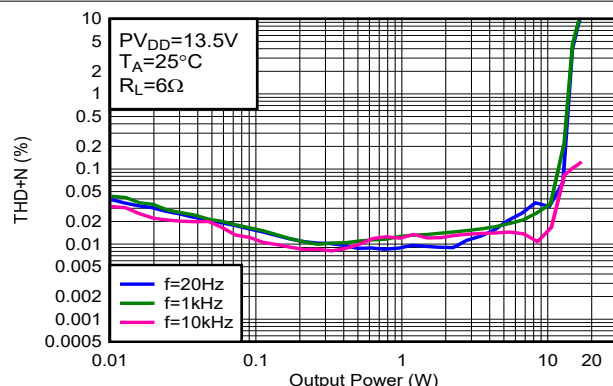


图 5-46. THD+N 与输出功率间的关系

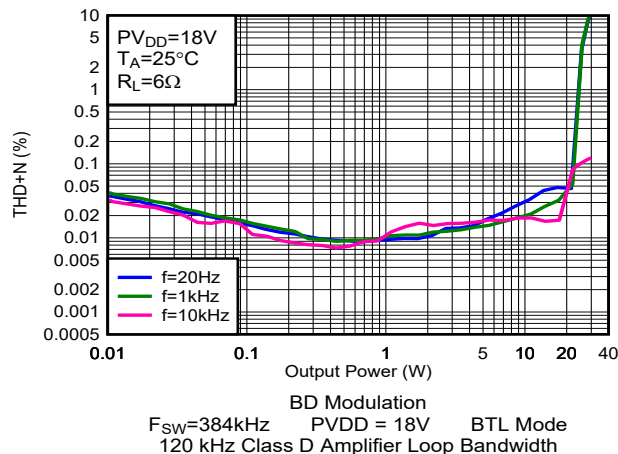


图 5-47. THD+N 与输出功率间的关系

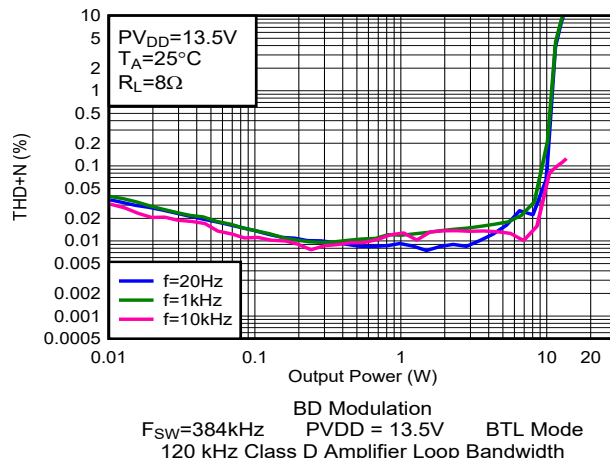


图 5-48. THD+N 与输出功率间的关系

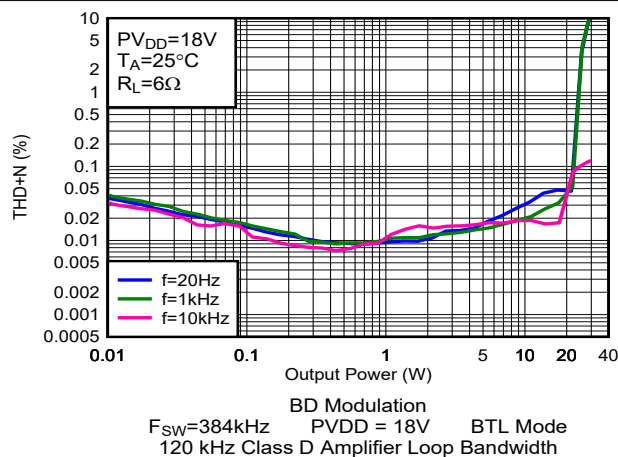


图 5-49. THD+N 与输出功率间的关系

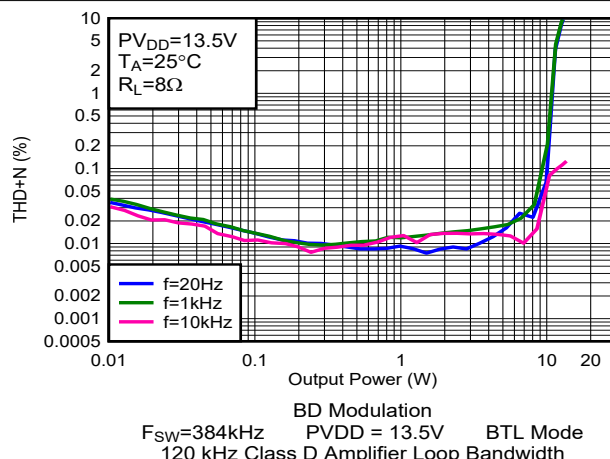


图 5-50. THD+N 与输出功率间的关系

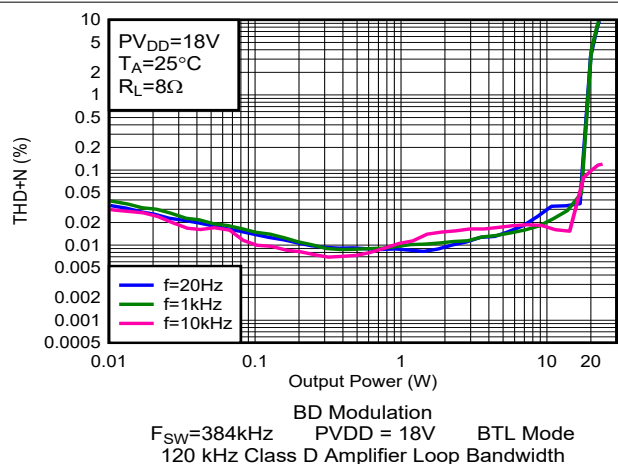


图 5-51. THD+N 与输出功率间的关系

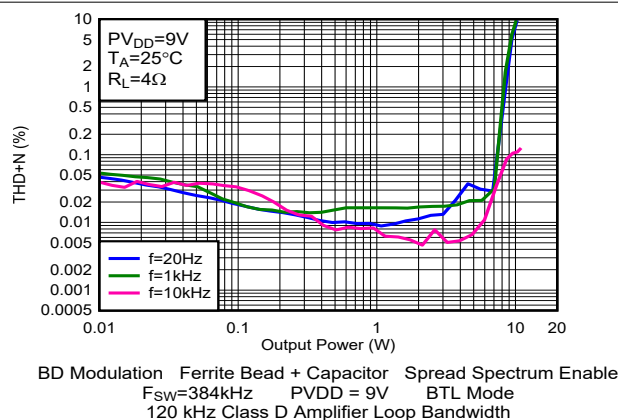


图 5-52. THD+N 与输出功率间的关系

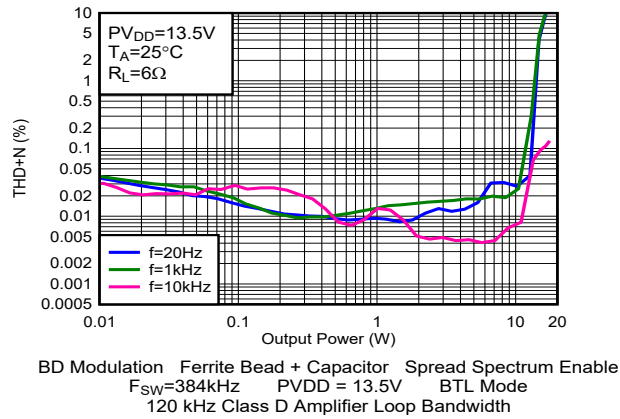


图 5-53. THD+N 与输出功率间的关系

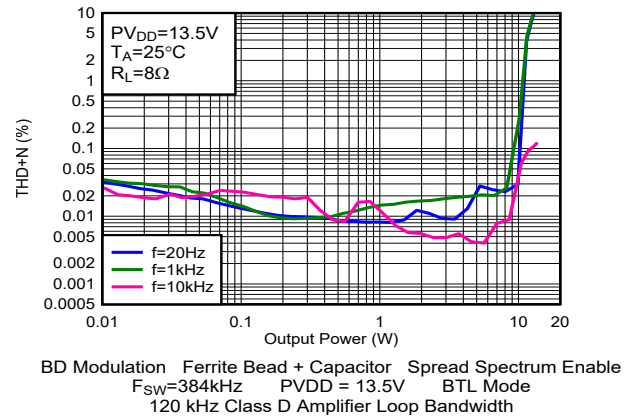


图 5-54. THD+N 与输出功率间的关系

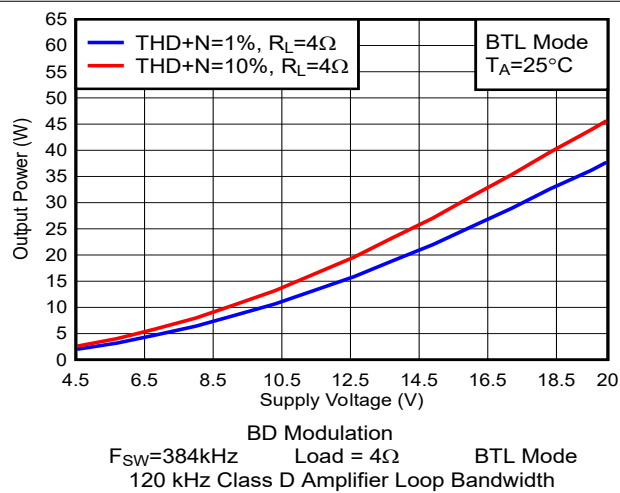


图 5-55. 输出功率与电源电压间的关系

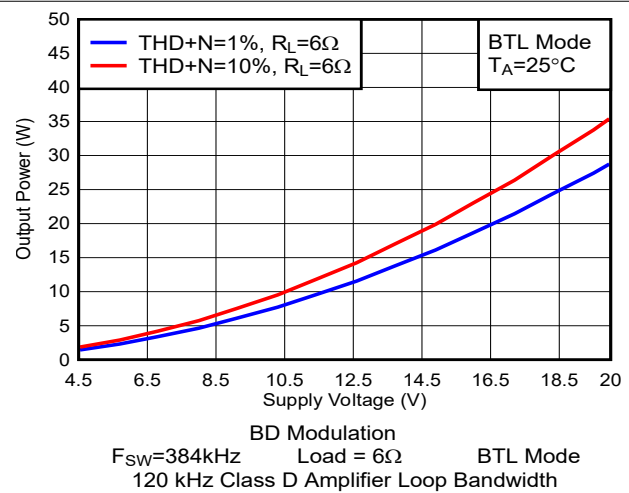


图 5-56. 输出功率与电源电压间的关系

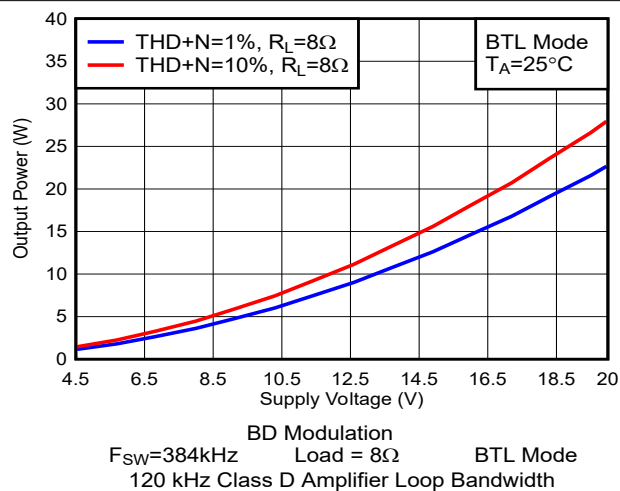


图 5-57. 输出功率与电源电压间的关系

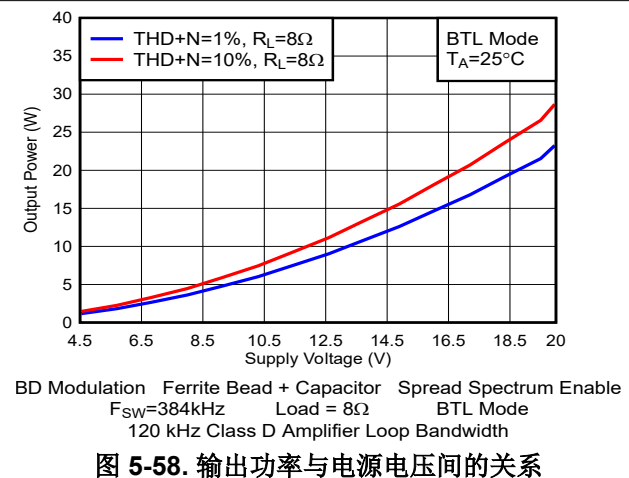


图 5-58. 输出功率与电源电压间的关系

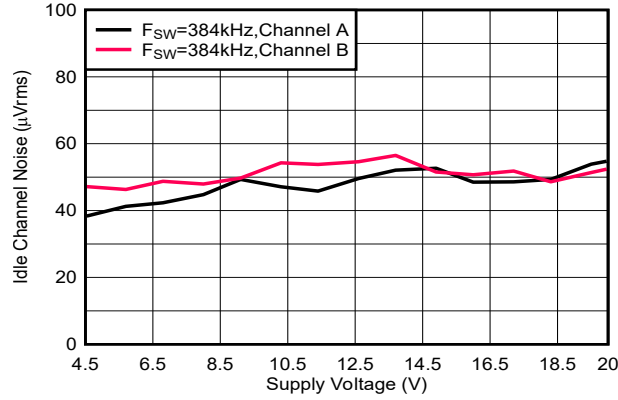


图 5-59. 空闲声道噪声与电源电压间的关系

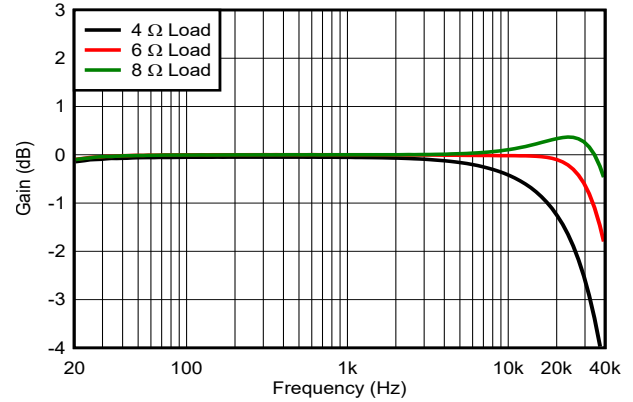


图 5-60. 增益与频率间的关系

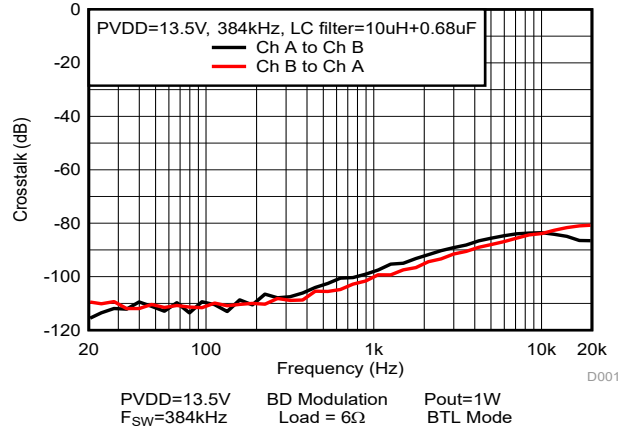


图 5-61. 串扰

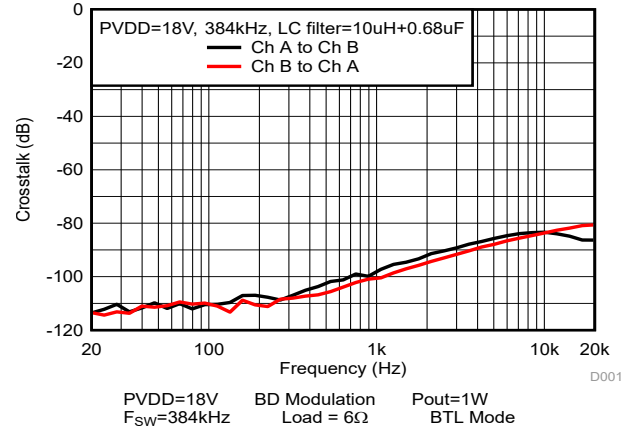


图 5-62. 串扰

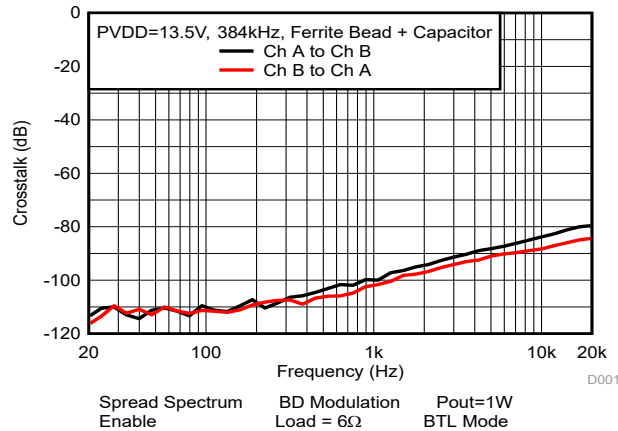


图 5-63. 串扰

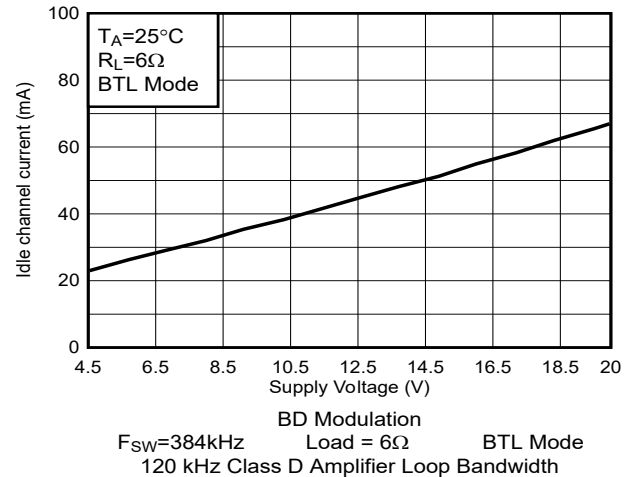


图 5-64. PVDD 空闲电流与 PVDD 电压间的关系

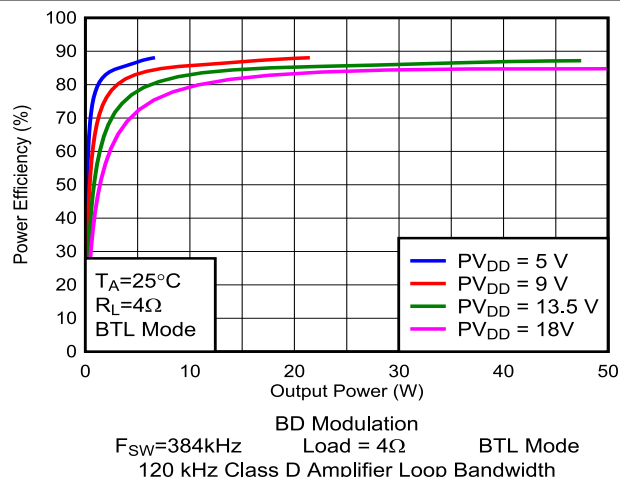


图 5-65. 效率与输出功率间的关系

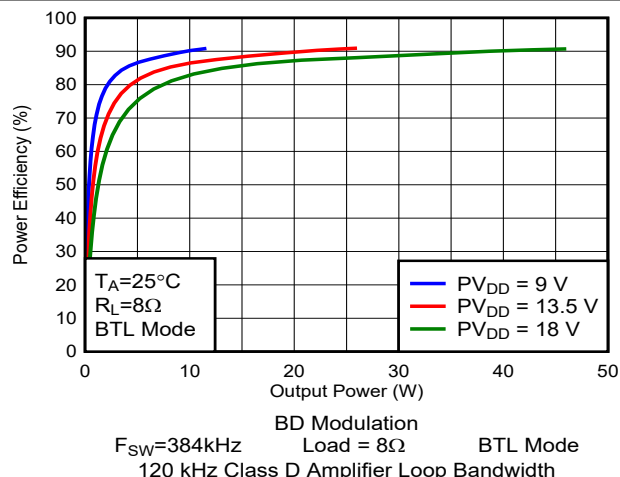


图 5-66. 效率与输出功率间的关系

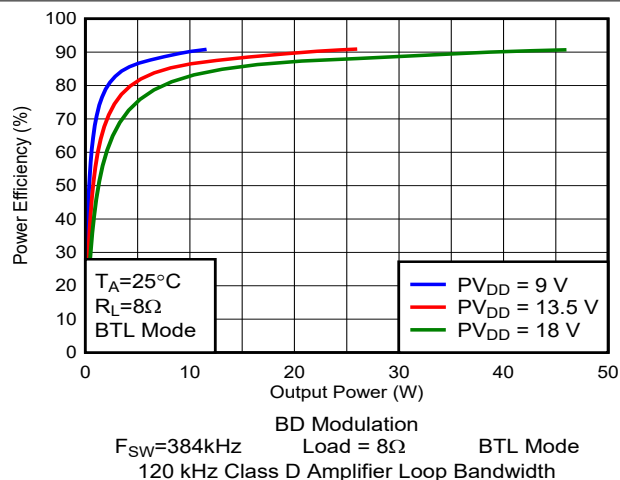


图 5-67. 效率与输出功率间的关系

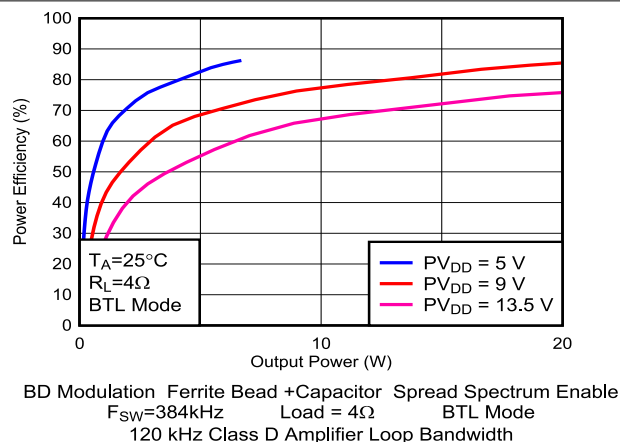


图 5-68. 效率与输出功率间的关系 (带 FB)

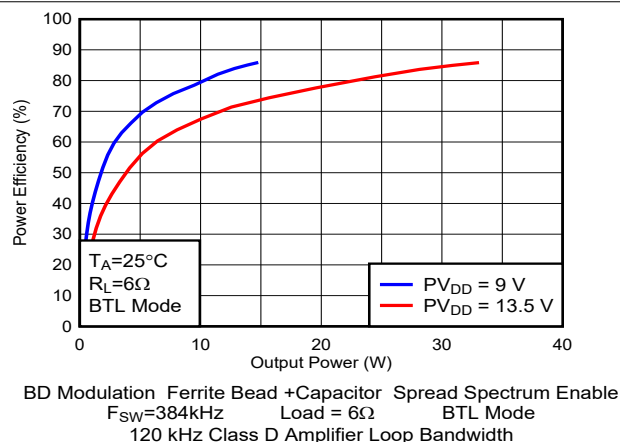


图 5-69. 效率与输出功率间的关系

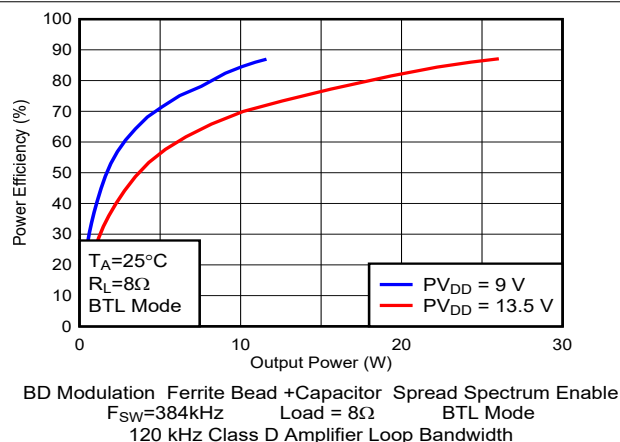


图 5-70. 效率与输出功率间的关系

6 详细说明

6.1 概述

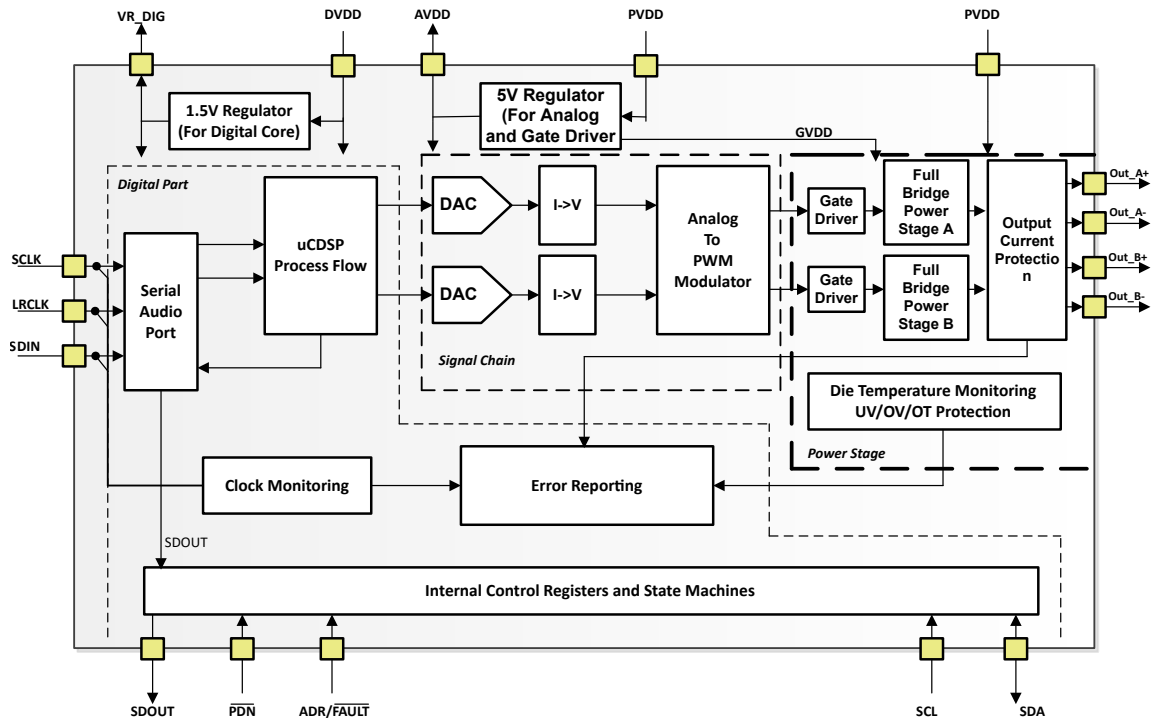
TAS5802 器件将四个主要构建块集成到单个内聚的器件中，可更大限度地提高声音质量、灵活性和易用性。4 个主要构建块列示如下：

- 立体声音频 DAC。
- 音频 DSP 子系统。
- 灵活的闭环放大器，能够在多种不同开关频率下以立体声或单声道运行，并具有各种输出电压和负载。
- 一个 I²C 控制端口用于与器件进行通信

器件需要两个电源才能正常工作。DVDD 电源需要为低压数字电路供电。需要另一个称为 PVDD 的电源来为音频放大器的输出级供电。一个内部 LDO 将 PVDD 转换为 5V，用于 GVDD 和 AVDD。

TAS5802 实施动态范围增强，以更大限度地降低空闲通道噪声，同时保持相同的动态范围。

6.2 功能方框图



6.3 特性说明

6.3.1 电源

要实施系统设计，除了 12V 或 20V 功率级电源（典型）外，TAS5802 还需要 3.3V 或 1.8V 电源。两个内部稳压器为栅极驱动电路和内部电路提供合适的电压电平。外部引脚（DVDD 和 AVDD）仅作为片外旁路电容器的连接

点提供，以对电源进行滤波。将外部电路连接到这些稳压器输出可能导致性能降低并损坏器件。此外，所有需要浮动电压电源的电路（例如，高侧栅极驱动）都通过内置自举电路进行调节，而该电路只需很少的外部电容器。为了提供良好的电气和声学特性，输出级的 PWM 信号路径被设计为相同的独立半桥。为此，每个半桥都有单独的自举引脚 (BST_x)。栅极驱动电压 (GVDD) 由 PVDD 电压提供。应特别注意将所有去耦电容尽可能靠近相关引脚放置。通常，必须避免电源引脚和去耦电容器之间的电感。为了实现一个正常运行的自举电路，必须在每个自举引脚 (BST_x) 与功率级输出引脚 (OUT_x) 之间连接一个小型陶瓷电容器。当功率级输出为低电平时，自举电容器通过连接在栅极驱动稳压器输出引脚 (GVDD) 和自举引脚之间的内部二极管进行充电。当功率级输出为高电平时，自举电容器电势将移至输出电势以上，从而为高侧栅极驱动器提供合适的电压电源。

6.3.2 器件时钟

TAS5802 器件具有灵活的时钟系统。在内部，器件需要多个时钟，主要是以相关的时钟速率工作才能正常运行。所有这些时钟都可以从串行音频接口获得。

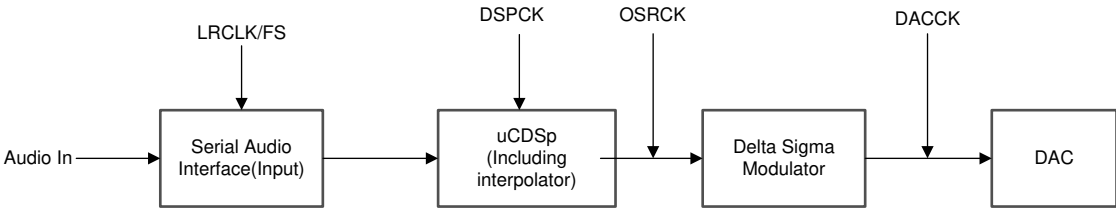


图 6-1. 具有相应时钟的音频流

图 6-1 展示了基本数据流和时钟分配。

串行音频接口通常具有 4 个连接引脚，如下所列：

- SCLK (位时钟)
- LRCLK/FS (左右字时钟或帧同步)
- SDIN (输入数据)
- SDOUT (输出数据)

此器件有一个内部 PLL，此 PLL 用于获取 SCLK 并创建 DSP 和 DAC 时钟所需的较高速率的时钟。

TAS5802 器件有一个音频采样率检测电路，可自动检测采样率以哪个频率运行。支持常见的音频采样频率：32kHz、44.1kHz 至 48kHz、88.2kHz 至 96kHz，容差为 $\pm 5\%$ 。采样率检测器自动为 DAC 和 DSP 设置时钟。

6.3.3 串行音频端口 - 时钟速率

串行音频接口端口是一个 3 线串行端口，传输的信号为 LRCLK/FS、SCLK 和 SDIN。SCLK 是串行音频位时钟，用于将 SDIN 上的串行数据在时钟控制下传输到音频接口的串行移位寄存器中。串行数据在 SCLK 上升沿的 TAS5802 器件中计时。当器件在 TDM 模式下运行时，LRCLK/FS 引脚是串行音频左/右字时钟或帧同步。

表 6-1. 音频数据格式、位深度和时钟速率

格式	数据位	最大 LRCLK/FS 频率 (kHz)	SCLK 速率 (f _s)
I ² S/LJ/RJ	32、24、20、16	32 至 96	64、32
TDM	32、24、20、16	32	128
		44.1、48	128、256、512
		96	128、256

在启动期间使用 I²C 对 DSP 寄存器进行初始化之前，TAS5802 需要稳定的 I²S 信号。当检测到时钟停顿或不支持的 SCLK 与 LRCLK(FS) 比率时，设备会在 GLOBAL_FAULT1 寄存器 (偏移 = 71h) [复位 = 00h] - D[2] 中报告时钟错误。

6.3.4 串行音频端口 (SAP)

串行音频接口端口是一个三线串行端口，传输的信号为 LRCK/FS、SCK 和 SDIN。SCK 是串行音频位时钟，用于将 SDIN 上的串行数据在时钟控制下传输到音频接口的串行移位寄存器中。串行数据在 SCK 上升沿的器件中计时。当器件在 TDM 模式下运行时，LRCK/FS 引脚是串行音频左/右字时钟或帧同步。

该器件支持业界通用音频数据格式，包括标准 I2S、左对齐、右对齐和 TDM/DSP 数据。通过寄存器 (SAP_CTRL1 寄存器 (偏移 = 33h) [复位 = 02h]-D [5:4]) 选择数据格式。如果 TDM/DSP 模式下 LRCK/SCK 的高宽度小于 FS 的 8 个周期，则寄存器 (SAP_CTRL1 寄存器 (偏移 = 33h) [复位 = 02h]-D[3:2]) 应设置为 01。所有格式都需要二进制补码、MSB 在前的音频数据；接受高达 32 位的音频数据。表 1 展示了该器件支持的所有数据格式、字长和时钟速率。图 1 到图 6 详细说明了数据格式。通过寄存器 (SAP_CTRL1 寄存器 (偏移 = 33h) [复位 = 02h] -D[1:0]) 选择字长。通过寄存器 (SAP_CTRL1 寄存器 (偏移 = 33h) [复位 = 02h] -D[7]) 和寄存器 (SAP_CTRL2 寄存器 (偏移 = 34h) [复位 = 00h]-D[7:0]) 选择数据偏移量。默认设置为 I2S 和 24 位字长。

表 6-2. 音频数据格式、字长和时钟速率

格式	数据位	LRCK/FS 频率 (kHz)	SCK 速率 (fs)
I2S/LJ/RJ	32、24、20、16	16、32、44.1/48、96	32.64
TDM/DSP	32、24、20、16	16、32、44.1/48、96	128、256、512

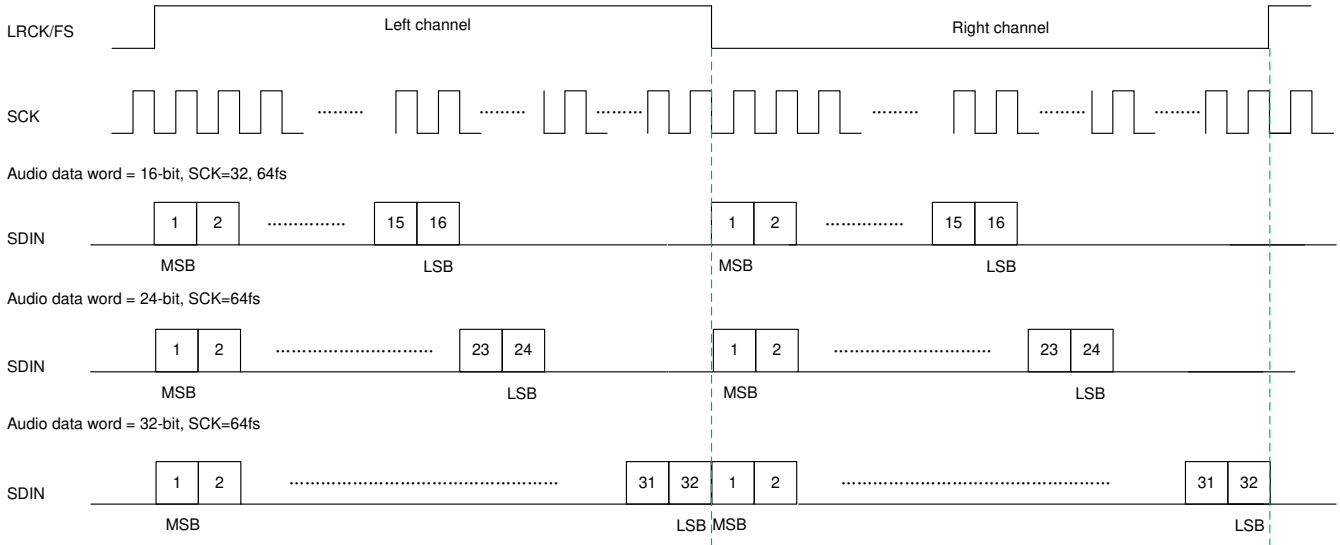
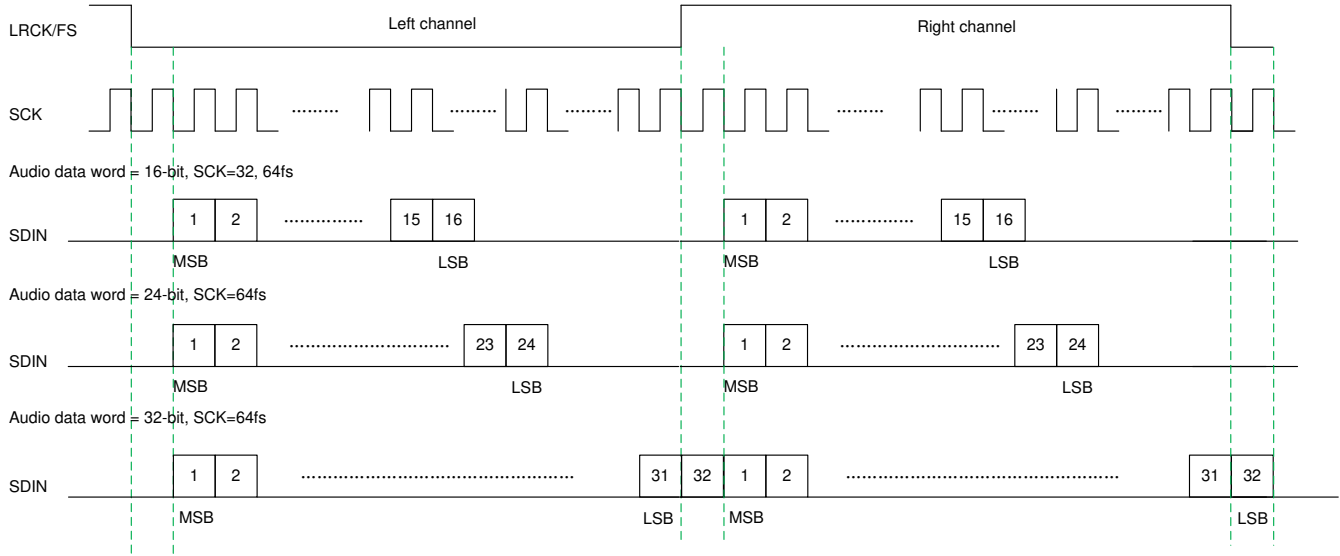
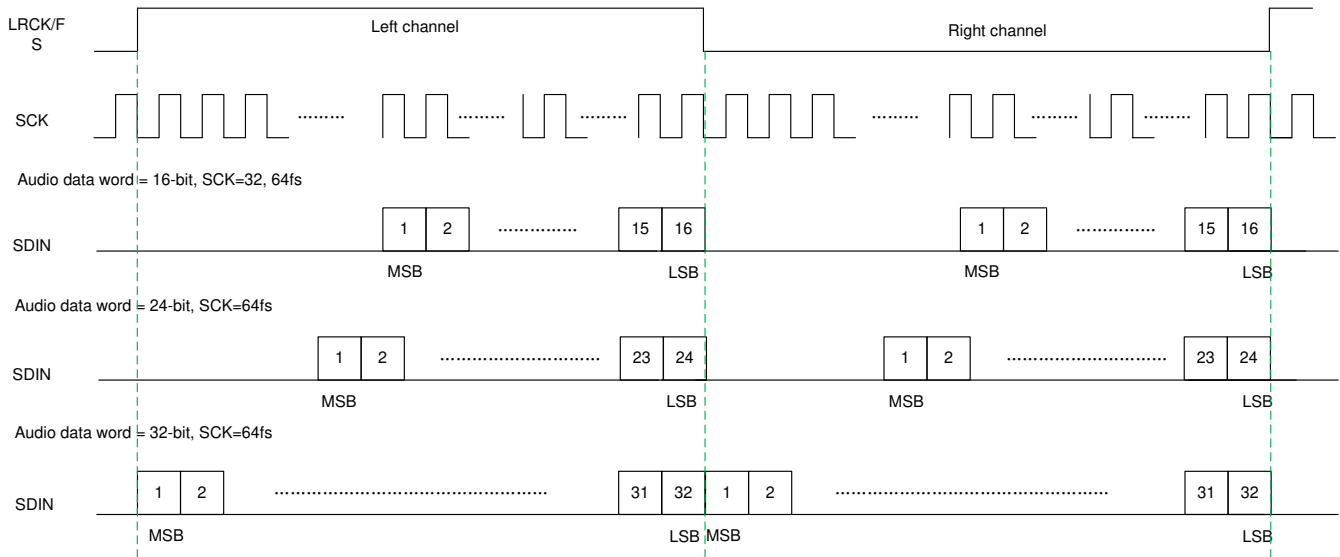


图 6-2. 左对齐音频数据格式



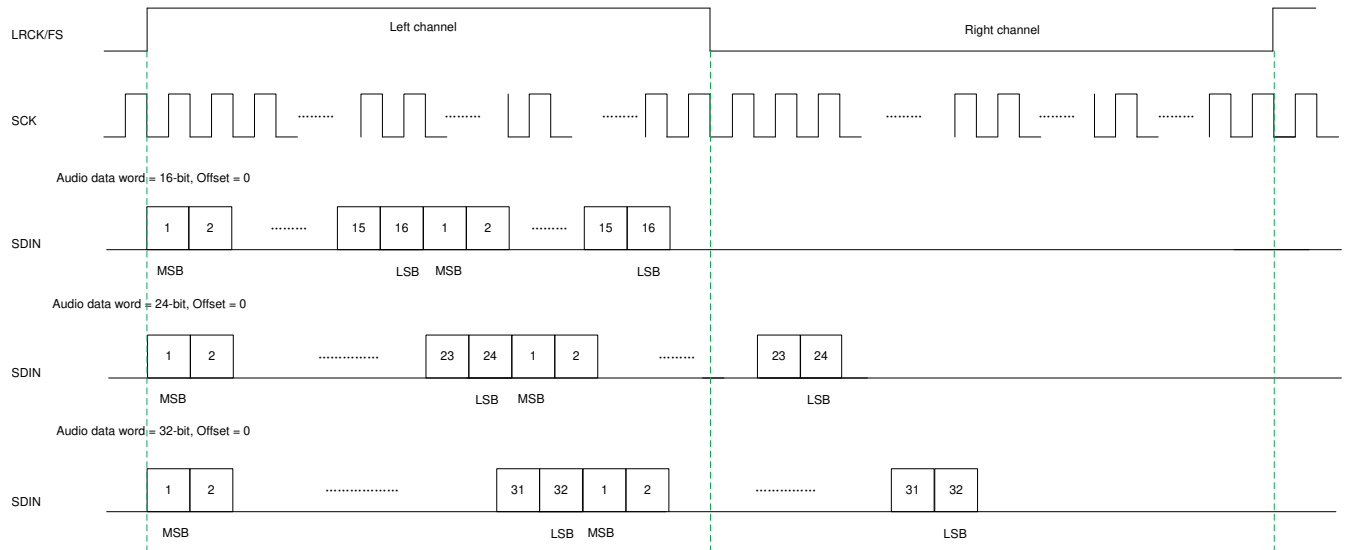
I²S 数据格式；左通道 = 低电平，右通道 = 高电平

图 6-3. I²S 音频数据格式



右对齐数据格式；左通道 = 高电平，右通道 = 低电平

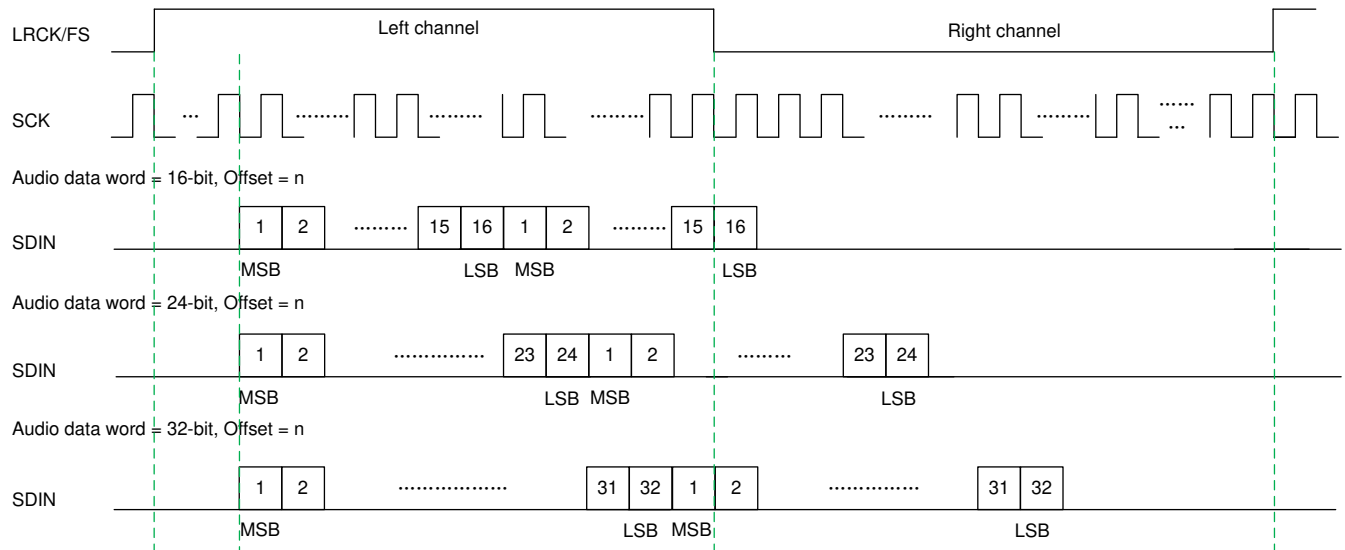
图 6-4. 右对齐音频数据格式



偏移 = 0 时的 TDM 数据格式

在 TDM 模式下，LRCK/FS 的占空比至少应为 1x SCLK。上升沿被视为帧开始。

图 6-5. TDM 音频数据格式



偏移 = 1 时的 TDM 数据格式

在 TDM 模式下，LRCK/FS 的占空比至少应为 1x SCLK。上升沿被视为帧开始。

图 6-6. TDM 2 音频数据格式

I2S 目标时序如 图 6-7 所示。

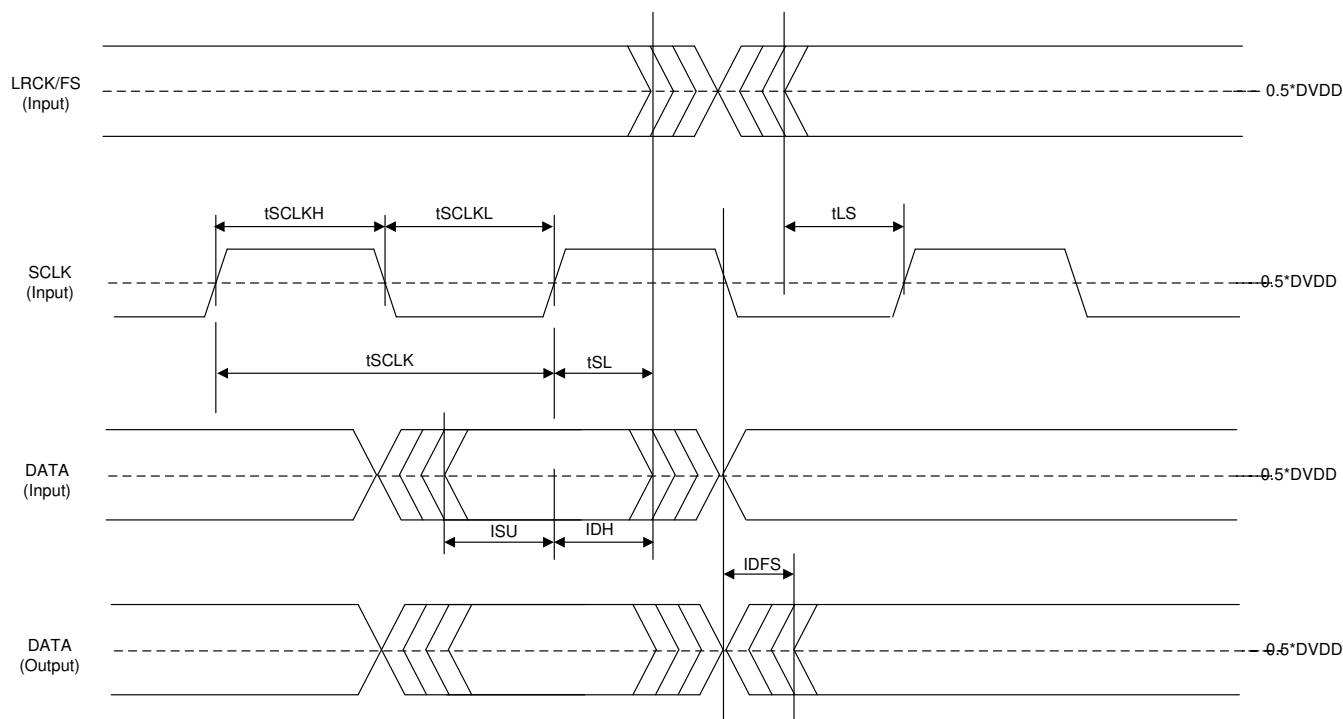
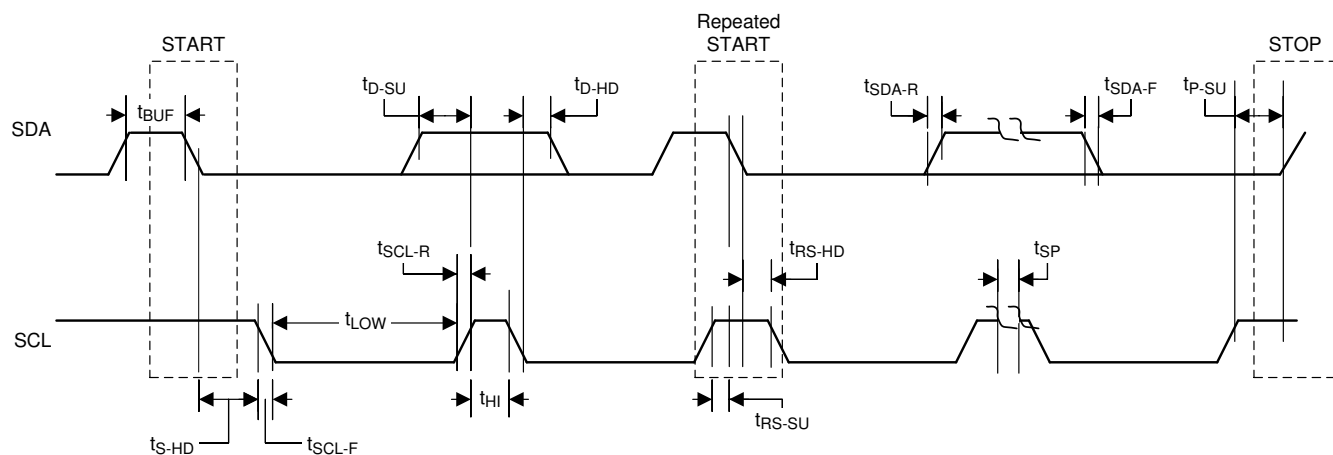


图 6-7. 串行音频时序 - 目标模式

图 6-8. I²C 通信时序 - 目标

6.3.5 数字音频处理

TAS5802 DSP 具有面向不同应用的灵活处理流程，详情请参阅应用手册 TAS5815 和 TAS5802 处理流程。

6.3.6 D 类音频放大器

在数字削波器之后，内插的音频数据接下来将发送到闭环 **D** 类放大器，其第一级为数字至 **PWM** 转换 (**DPC**) 块。在这个块中，立体声音频数据将转换成两对用于驱动扬声器放大器输出的互补脉宽调制 (**PWM**) 信号。**DPC** 周围的反馈环路可确保电源电压上具有恒定的增益，减少失真并提高对电源注入噪声和失真的抗扰度。模拟增益也应用于器件的 **D** 类放大器部分。可通过 **I²C** 接口配置放大器的开关速率。在本例中，**PWM** 开关频率是采样率的倍数。

6.3.6.1 扬声器放大器增益选择

数字增益和模拟增益的组合用于提供扬声器放大器的总增益。如 图 6-9 所示，TAS5802 的音频路由由数字音频输入端口、数字音频路径、数字到 PWM 转换器 (DPC)、栅极驱动器级、D 类功率级和反馈环路组成，反馈环路将输出信息反馈回 DPC 块以校正输出引脚上感知的失真。总放大器增益由数字增益 (在数字音频路径中表示为 GDIG) 和模拟增益 (从模拟调制器 GANA 输入端到扬声器放大器功率级输出端) 组成。

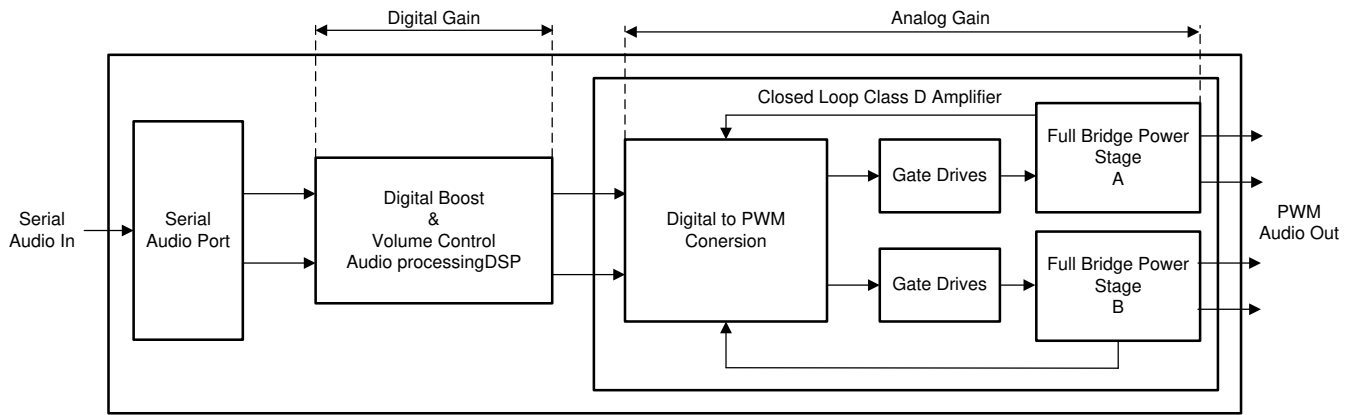


图 6-9. 扬声器放大器增益

如 图 6-9 所示，数字音频路径中存在扬声器放大器的第一个增益级。它由音量控制和数字增益块组成。音量控制默认设置为 -3dB，其不会改变。对于寄存器 **AGAIN** 寄存器 (偏移 = 54h) [复位 = 06h] **AGAIN[4:0]** 的所有设置，数字增益块保持 -3dB。这些增益设置可确保输出信号不会在不同的 PVDD 电平下削波。-3dBFS 输出为 20.9V 峰值输出电压，建议用于 TAS5802 最大增益设置。

备注

考虑到该寄存器设置与 TAS58xx 系列其他器件兼容，**AGAIN<4:0>** 的默认值为 b'00000，此时模拟增益为 0dBFS，峰值电压为 29.5V。由于 TAS5802 支持的最大 PVDD 电压为 20V，因此在应用中需注意：推荐的最大增益电平为 -3dBFS，对应峰值电压为 20.9V，此时 **AGAIN<4:0>** 应配置为 b'00110。

表 6-3. 模拟增益设置

AGAIN <4:0>	增益 (dBFS)	放大器输出峰值电压 (V)
00000	0	29.5
.....		
00110	-3.0	20.9
.....		
11111	-15.5	4.87

6.4 器件功能模式

6.4.1 软件控制

TAS5802 器件通过 I²C 通信端口进行配置。

“I²C 通信端口”一节详细介绍了 I²C 通信协议。“I²C 总线时序 — 标准”和“I²C 总线时序 — 快速”部分介绍了 I²C 时序要求。

6.4.2 扬声器放大器工作模式

TAS5802 器件只能配置为 BTL 模式。

6.4.2.1 BTL 模式

在 BTL 模式下，TAS5802 会放大两个独立的信号，它们分别代表立体声信号的左右两个部分。被放大的左侧信号呈现在显示为 OUT_A+ 和 OUT_A- 的差分输出对上，被放大的右侧信号呈现在显示为 OUT_B+ 和 OUT_B- 的差分输出对上。

6.4.3 低 EMI 模式

TAS5802 采用多种模式在播放音频期间更大限度地降低 EMI，并可根据不同的应用使用。

6.4.3.1 展频

在某些无电感的应用中，采用扩频技术以减小 EMI 噪声。TAS5802 器件支持三角模式展频。

用户需配置寄存器 RAMP_SS_CTRL0 (0x6B) 以启用三角波模式的扩频功能，并通过 RAMP_SS_CTRL1 (0x6C) 选择扩频频率和范围。对于通过 DEVICE_CTRL1 (0x02) 配置的 384kHz F_{SW}，表 6-4 中介绍了扩频频率和范围

表 6-4. 三角模式展频频率和范围选择

TRI_CTRL[3:0]	0	1	2	3	4	5	6	7
三角频率	24k				48k			
展频范围	5%	10%	20%	25%	5%	10%	20%	25%

用户应用示例：中心开关频率为 384kHz，三角波频率为 24kHz：

ww A8 6B 01 //RAMP_SS_CTRL0[0]=1，启用三角展频

w A8 6C 03 //RAMP_SS_CTRL1[3:0]=0011，三角波频率 = 24kHz，扩频范围应为 25% (336kHz~432kHz)

6.4.3.2 通道间相移

该器件支持通道间 180 度 PWM 相移，以更大限度地降低 EMI。

6.4.3.3 多器件 PWM 相位同步

此器件支持为多器件应用系统选择最多四相。例如，当一个系统集成四个 TAS5802 器件时，用户可以通过寄存器 RAMP_PHASE_CTRL (0x6A) 为每个器件选择相位 0/1/2/3，这意味着每个器件之间有 45 度相移，可更大程度地降低 EMI。

建议在启动阶段与 I²S 时钟进行相位同步：

1. 停止 I²S 时钟。
2. 配置每个器件相位选择并启用相位同步。例如：器件 0 的寄存器 0x6A = 0x00；器件 1 的寄存器 0x6A = 0x03；器件 2 的寄存器 0x6A = 0x08；器件 3 的寄存器 0x6A = 0x0C。每个器件之间应有 45 度 PWM 相移，以更大限度地降低 EMI。
3. 将每个器件配置为 Hi-Z 模式。
4. 为每个器件提供 I²S。所有 4 个器件的相位同步都由内部序列自动完成。
5. 初始化 DSP 代码。（如果只需要进行 PWM 相位同步，则可以跳过此步骤）。

6. 器件间的 PWM 相移应固定为 45 度。

6.4.4 热折返

热折返 (TFB) 旨在防止 TAS5802 因芯片温度过度升高而损坏，以防器件在超过建议的温度/功率限值或热系统设计低于建议值的情况下运行。它允许 TAS5802 播放尽可能大的音量，而不会触发意外的热关断。当芯片温度触发过热警告 (OTW) 水平 (典型值为 135C) 时，内部 AGL (自动增益限制器) 将自动降低数字增益。一旦芯片温度降至 OTW 以下，器件的数字增益就会逐渐恢复到之前的设置。

6.4.5 器件状态控制

TAS5802 具有不同功率耗散的五种状态，电气特性表中列出了这些状态。

- 关断模式。 $\overline{\text{PDN}}$ 引脚下拉至 GND。所有内部 LDO (数字内核为 1.5V，模拟为 5V) 禁用，所有寄存器清除至默认值。

备注

退出关断模式并重新进入播放模式时，需要重新加载所有寄存器配置 (由 PurePath Console3 生成)。

- 深度睡眠模式。寄存器 0x68h [1:0]=00，器件保持深度睡眠模式。在此模式下，I2C 块和用于数字内核的 1.5V LDO 仍然工作，但内部 5V LDO (用于 AVDD 和 MOSFET 栅极驱动器) 已禁用，以实现低功率耗散。此模式可用于延长某些便携式扬声器应用中的电池寿命。如果主机处理器长时间停止播放音频，TAS5802 可以设置为深度睡眠模式以更大限度地降低功率耗散，直到主机处理器再次开始播放音频。与关断模式 (将 $\overline{\text{PDN}}$ 拉至低电平) 不同的是，进入或退出深度睡眠模式，DSP 保持运行状态。

备注

与深度睡眠模式一样，内部 5V LDO (用于 AVDD 和内部 MOSFET 栅极驱动器) 被禁用。要退出深度睡眠模式并重新进入播放模式，需执行以下序列以实现内部有限状态机的快速配置 (以 TAS5802 I²C 设备地址 0xA8 为例)。

w A8 00 00 #转至页 0

w A8 7f 00 #将簿更改为 0x00

w A8 68 02 #将器件更改为高阻态模式

w A8 68 00 #将器件更改为深度睡眠模式

w A8 00 00 #转至页 0

w A8 7f 00 #将簿更改为 0x00

w A8 68 02 #将器件更改为高阻态模式

w A8 68 03 #将器件更改为播放模式

- 睡眠模式。寄存器 0x68h [1:0]=01，器件保持睡眠模式。在此模式下，I²C 块、数字内核、DSP 存储器、5V 模拟 LDO 仍然工作。与关断模式 (将 $\overline{\text{PDN}}$ 拉至低电平) 不同的是，进入或退出睡眠模式，DSP 保持运行状态。要退出此模式并重新进入播放模式，只需设置寄存器 0x68h [1:0]=11。
- 输出 Hi-Z 模式。寄存器 0x68h [1:0]=10，器件保持 Hi-Z 模式。在此模式下，只有输出驱动器设置为 Hi-Z 状态，所有其他块都正常运行。要退出此模式并重新进入播放模式，只需设置寄存器 0x68h [1:0]=11。
- 播放模式。寄存器 0x68h [1:0]=11，器件保持播放模式。

6.4.6 器件调制

TAS5802 有三个调制方案：BD 调制、1SPW 调制和混合调制。通过采用寄存器 0x02 [1:0]-DEVICE_CTRL1 来选择 TAS5802 调制方案。

6.4.6.1 BD 调制

当放大器通过短扬声器导线驱动电感负载时，这种调制方案允许在没有经典 LC 重建滤波器的情况下运行。每个输出从 0 伏切换到电源电压。OUTPx 和 OUTNx 在无输入的情况下彼此同相，因此扬声器中几乎没有电流。对于正输出电压，OUTPx 的占空比大于 50%，OUTNx 小于 50%。对于负输出电压，OUTPx 的占空比小于 50%，OUTNx 大于 50%。负载两端的电压在整个开关周期的大部分时间都保持在 0V，这样可减小开关电流，进而减小负载中的任何 I^2R 损耗。

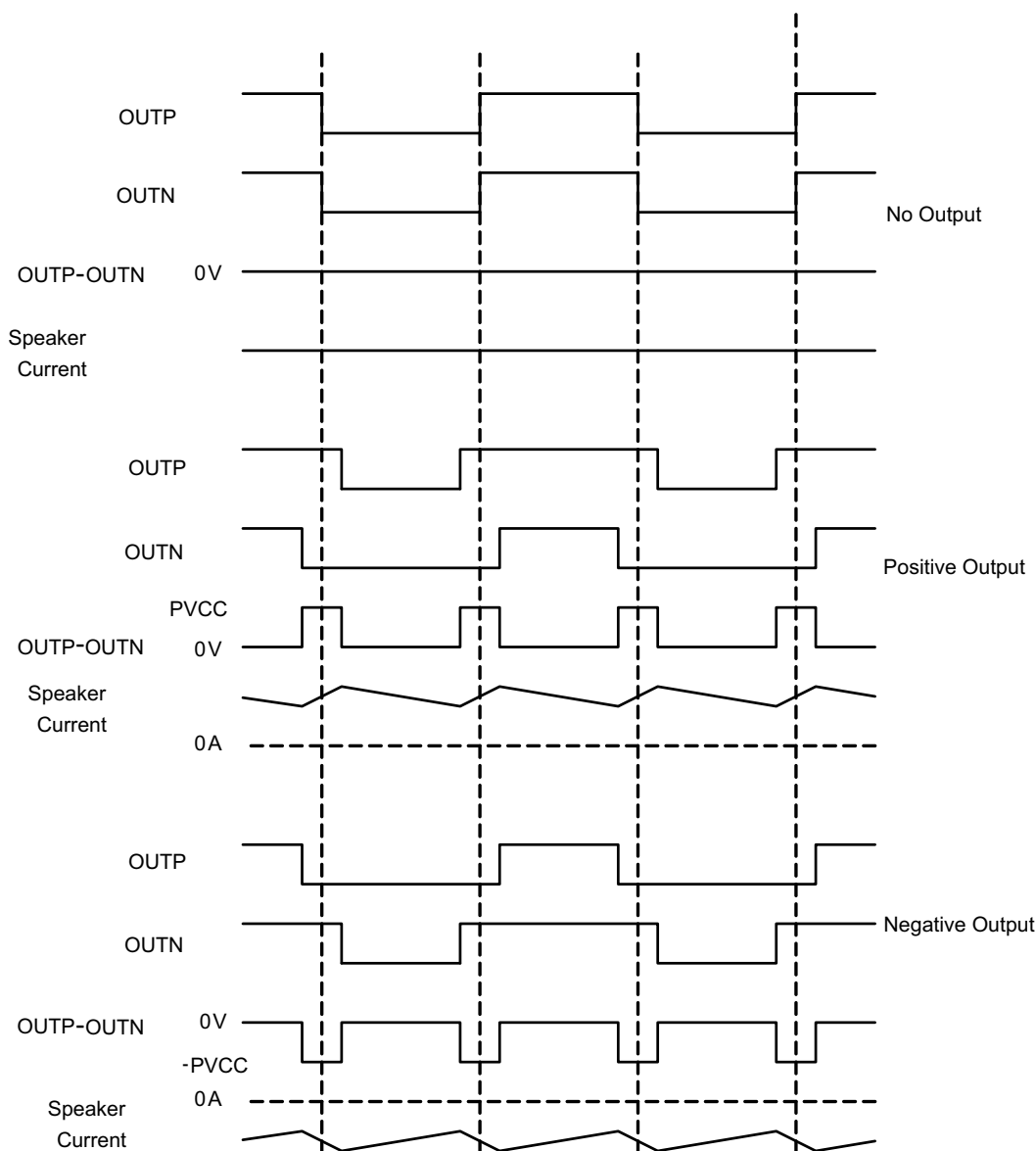


图 6-10. BD 模式调制

6.4.6.2 1SPW 调制

1SPW 模式会改变正常的调制方案，以便实现更高的效率，同时会在 THD 性能下降方面造成轻微影响，并且需要在选择输出滤波器时多加注意。在低空闲电流模式下，输出在空闲条件下以大约 14% 的调制运行。当施加音频信号时，一个输出减少，一个输出增加。下降的输出信号快速钳位至 GND，此时所有音频调制都通过上升的输出进行。结果是在音频周期的大部分时间里只有一个输出在开关。由于开关损耗减小，在该模式下效率得到提高。

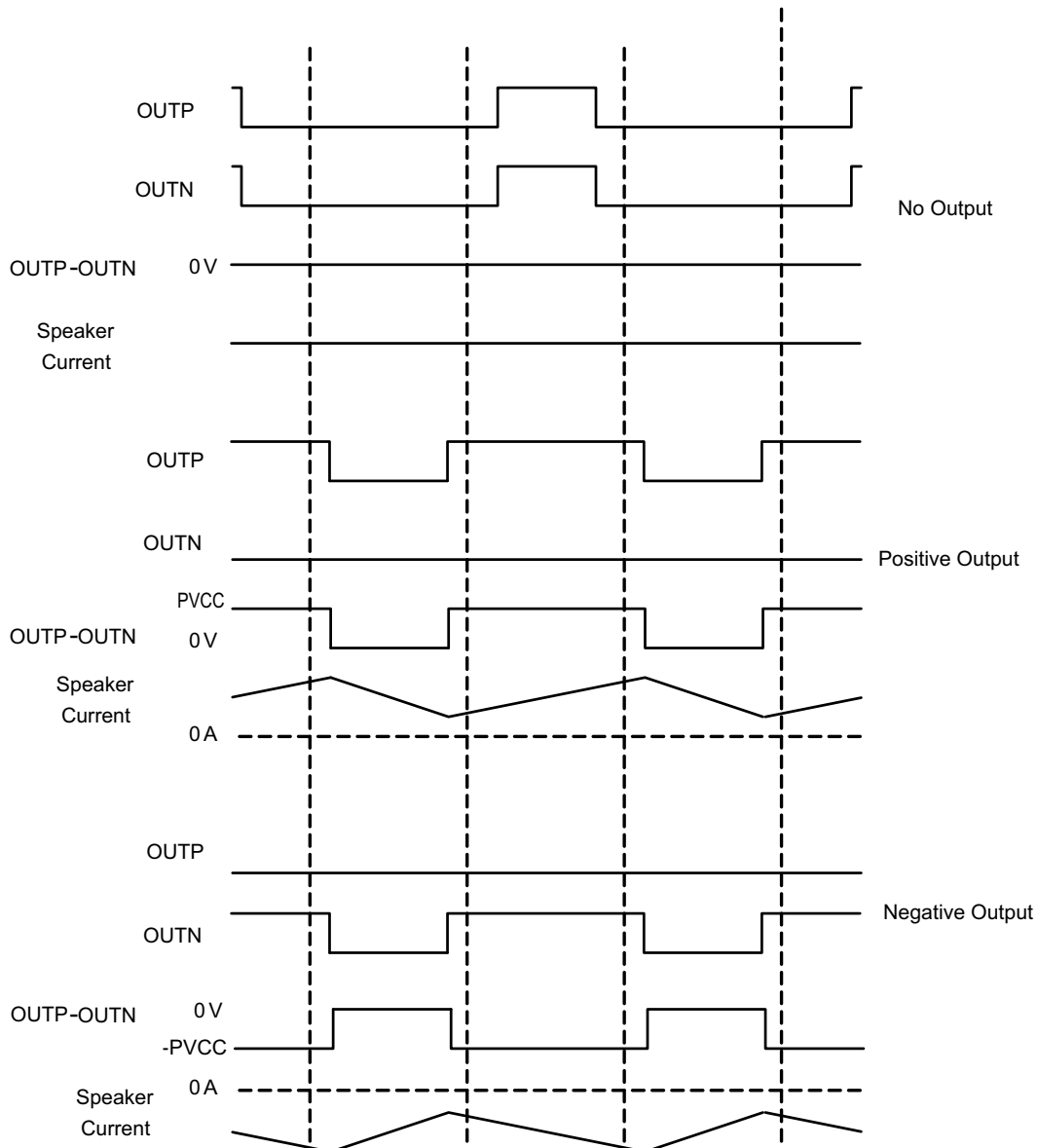


图 6-11. 1SPW 模式调制

6.4.6.3 混合调制

混合调制设计为在不影响 THD+N 性能的情况下更大限度地降低功率损耗，并且针对电池供电类应用进行了优化。通过启用混合调制，该器件可检测输入信号电平，并根据 PVDD 动态地调整 PWM 占空比。混合调制可实现超低空闲电流，并保持与 BD 调制相同的音频性能级别。为了更大限度地降低功率耗散，建议使用具有适当 LC 滤波器 ($15\mu\text{H} + 0.68\mu\text{F}$ 或 $22\mu\text{H} + 0.68\mu\text{F}$) 的低开关频率 (例如， $\text{FSW} = 384\text{kHz}$)。使用混合调制时，请遵循以下步骤：

- 1) 使用混合调制时，用户需要通过器件开发应用输入系统的 PVDD 值。
- 2) 使用混合调制时，将器件状态从深度睡眠模式更改为播放模式，需要特定序列：
 1. 通过寄存器 (Book0/Page0/Register0x02h, 位 [1:0]) 将器件的 PWM 调制设置为 BD 或 1SPW 模式。
 2. 通过寄存器 (Book0/Page0/Register0x03h, 位 [1:0]) 将器件设置为 Hi-Z 状态。
 3. 延迟 2ms。
 4. 通过寄存器 (Book0/Page0/Register0x02h, 位 [1:0]) 将器件的 PWM 调制设置为混合模式。

5. 延迟 15ms。
6. 通过寄存器 (Book0/Page0/Register0x03h , 位 [1:0]) 将器件设置为播放模式。

6.5 编程和控制

6.5.1 I²C 串行通信总线

该器件具有与内部 IC (I²C) 总线协议兼容的双向串行控制接口，并支持 100kbps 和 400kbps 数据传输速率，可作为目标器件进行随机和顺序写入与读取操作。由于 TAS5802 寄存器映射和 DSP 存储器涵盖多页和多簿，因此用户应在写入各个寄存器或 DSP 存储器之前逐页或逐簿进行更改。每簿之间的切换是通过每簿第 0x00 页上的寄存器 0x7F 完成的。每页的切换是通过每页上的寄存器 0x00 实现的。该寄存器值选择页地址，范围为 0 到 255。

6.5.2 目标地址

TAS5802 器件具有七位目标地址。目标地址的前五位 (MSB) 出厂预设 10101(0xAx)。地址字节的接下来两位是器件选择位，这些位可由 I²C 目标地址配置 中的 ADR 引脚用户定义。

表 6-5. I²C 目标地址配置

ADR/FAULT PIN 配置	MSB					用户定义		LSB
4.7kΩ 至 DVDD	1	0	1	0	1	0	0	R/ W
15kΩ 至 DVDD	1	0	1	0	1	0	1	R/ W
47kΩ 至 DVDD	1	0	1	0	1	1	0	R/ W
120kΩ 至 DVDD	1	0	1	0	1	1	1	R/ W

6.5.2.1 随机写入

如图 6-12 所示，单字节数据写入传输始于主器件发送启动条件，然后是 I²C 器件地址和读取/写入位。读/写位决定数据传输的方向。对于写入数据传输，读取/写入位为 0。在接收到正确的 I²C 器件地址和读取/写入位后，该器件会以一个确认位进行响应。接下来，主器件传输对应于正在访问的内部存储器地址的地址字节。收到地址字节之后，器件会再次用一个确认位进行响应。接下来，主器件传输要写入正在访问的存储器地址的数据字节。收到数据字节之后，器件会再次用一个确认位进行响应。最后，主器件发送停止条件以完成单字节数据写入传输。

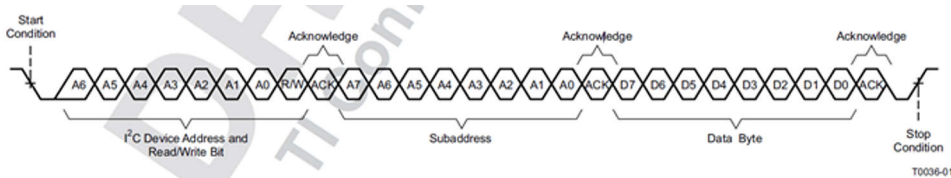


图 6-12. 随机写入传输

6.5.2.2 顺序写入

顺序数据写入传输与单字节数据写入传输完全相同，唯一的例外是主器件将多个数据字节传输到器件，如图 6-13 所示。接收到每个数据字节后，器件会以一个应答位进行响应，并且 I²C 子地址会自动递增 1。

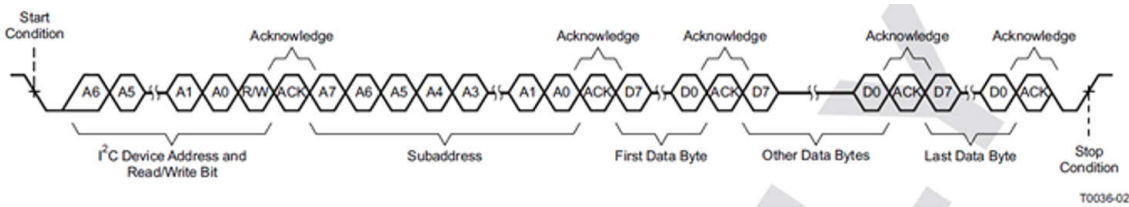


图 6-13. 顺序写入传输

6.5.2.3 随机读取

如图 6-14 所示，单字节数据读取传输始于主器件发送启动条件，然后是 I²C 器件地址和读取/写入位。对于数据读取传输，实际上先后完成了写入和读取操作。最初，执行写入以传输要读取的内部存储器地址的地址字节。因此，读取/写入位为 0。在接收到地址和读取/写入位后，器件会以一个确认位进行响应。此外，发送内部存储器地址字节后，主器件会再次发送另一个启动条件，然后是地址和读取/写入位。这次，读取/写入位为 1，指示读取传输。在接收到地址和读取/写入位后，器件会再次以一个确认位进行响应。接下来，该器件从正在读取的存储器地址传输数据字节。接收到数据字节后，主器件发送一个无应答信号，然后是一个停止条件，以完成单字节数据读取传输。

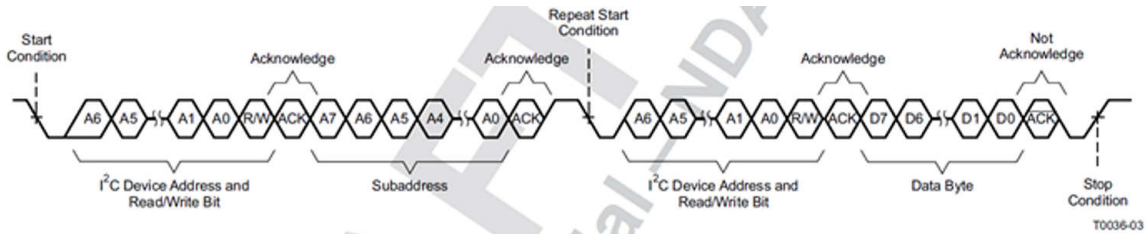


图 6-14. 随机读取传输

6.5.2.4 顺序读取

顺序数据读取传输与单字节数据读取传输完全相同，唯一的例外是器件将多个数据字节传输到主器件，如图 6-15 所示。除最后一个数据字节外，主器件在接收到每个数据字节后都会以一个确认位进行响应，并自动将 I²C 子地址递增 1。收到最后一个数据字节后，主器件发送一个无应答信号，然后是一个停止条件，以完成传输。

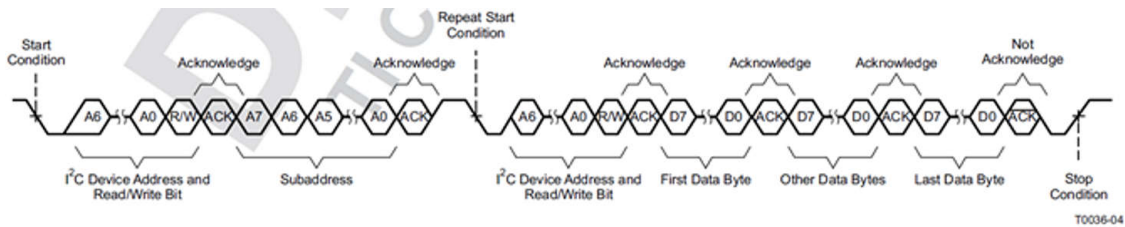


图 6-15. 顺序读取传输

6.5.2.5 DSP 存储器 Book、Page 和 BQ 更新

在每簿的 0x00 页上，寄存器 0x7f 用于更改簿。每页的寄存器 0x00 用于更改该页。要更改簿，首先向寄存器 0x00 写入 0x00 以切换到页 0，然后将簿编号写入页 0 上的寄存器 0x7f。要在簿中的各页之间切换，只需将页码写入寄存器 0x00 即可。

所有双二阶滤波器系数都在 Book 0xAA 中提供。每个双二阶滤波器的五个系数都应按顺序完整地最低地址写入到最高地址。所有双二阶滤波器的地址可在 [CONTROL PORT 寄存器](#) 中找到。

6.5.2.6 校验和

该器件支持两种不同的校验和方案，即循环冗余校验 (CRC) 校验和与异或 (XOR) 校验和。寄存器读取不会更改校验和，但对甚至不存在的寄存器的写入将更改校验和。两个校验和都是 8 位校验和，并且两个校验和可同时使用。校验和可通过向它们各自的 4 字节寄存器位置写入一个起始值（例如 0x 00 00 00 00）来复位。

6.5.2.6.1 循环冗余校验 (CRC) 校验和

使用的 8 位 CRC 校验和为 0x7 多项式 (CRC-8-CCITT I.432.1; ATM HEC, ISDN HEC 和单元划分, $(1 + x^1 + x^2 + x^8)$)。CRC 校验和的一个主要优点是对输入顺序敏感。CRC 支持所有 I²C 事务，不包括 Book 和 Page 切换。CRC 校验和是从任何 Book (B_x、Page_0、Reg_126) 的 page0 上的寄存器 0x7E 读取的。可以通过将 0x00 写入 CRC 校验和有效的相同寄存器位置来复位 CRC 校验和。

6.5.2.6.2 异或(XOR) 校验和

异或校验和是一种更简单的校验和方案。它与之前的 8 位校验和寄存器值执行每个寄存器字节写入的顺序异或运算。XOR 仅支持 Book 0x8C，不包括 Page 切换和 Book 0x8C 的 Page 0x00 中的所有寄存器。从 Book 0x8C 的 Page 0x00 上的位置寄存器 0x7D 读取 XOR 校验和 (B_140、Page_0、Reg_125)。可以通过将 0x00 写入读取它的同一寄存器位置来复位 XOR 校验和。

6.5.3 通过软件进行控制

- 启动过程
- 关断过程

6.5.3.1 启动过程

1. 使用适当的设置来配置 $\overline{\text{ADR}}/\overline{\text{FAULT}}$ 引脚以获得 I²C 器件地址。
2. 启动电源 (如果先启动 PVDD 或 DVDD，则无关紧要)。
 - a. 将 DVDD 斜升至 1.8V 或 3.3V
 - b. 根据建议运行条件斜升 PVDD
3. 稳定 DVDD 和 PVDD 后、等待约 1ms，将 $\overline{\text{PDN}}$ 从低电平升至高电平。
4. 在 $\overline{\text{PDN}}$ 高电平等待 5ms 后，启动 SCLK、LRCLK。
5. 据用户案例通过 I²C 控制端口配置器件 (在 I²C 控制端口工作之前确保 $\overline{\text{PDN}}$ 引脚为高电平)。
6. 现在，器件将正常运行。

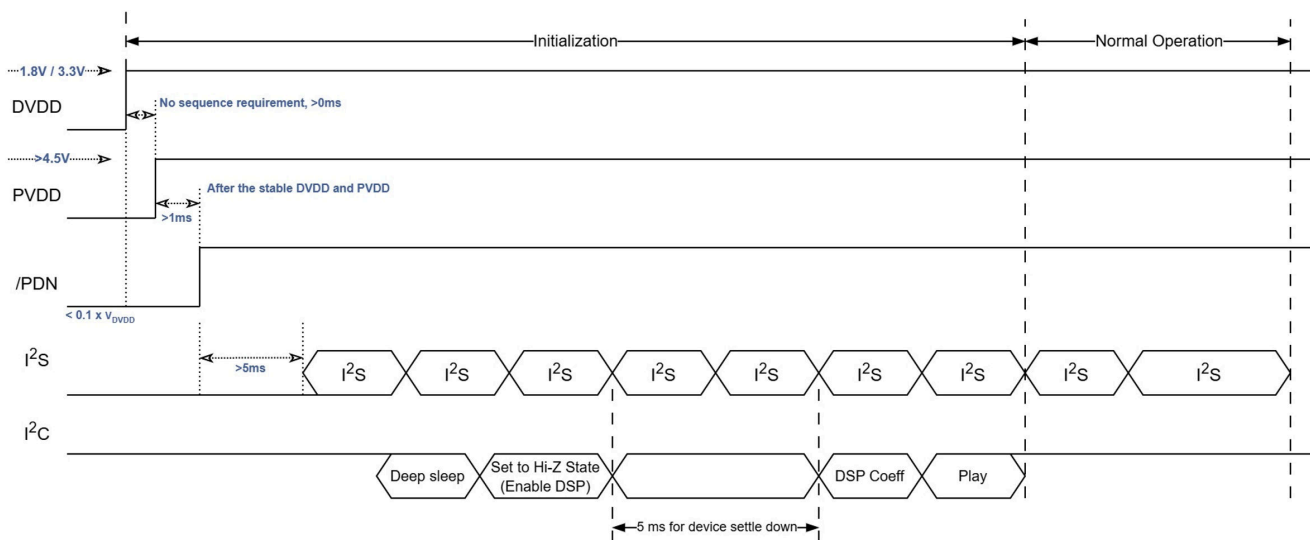
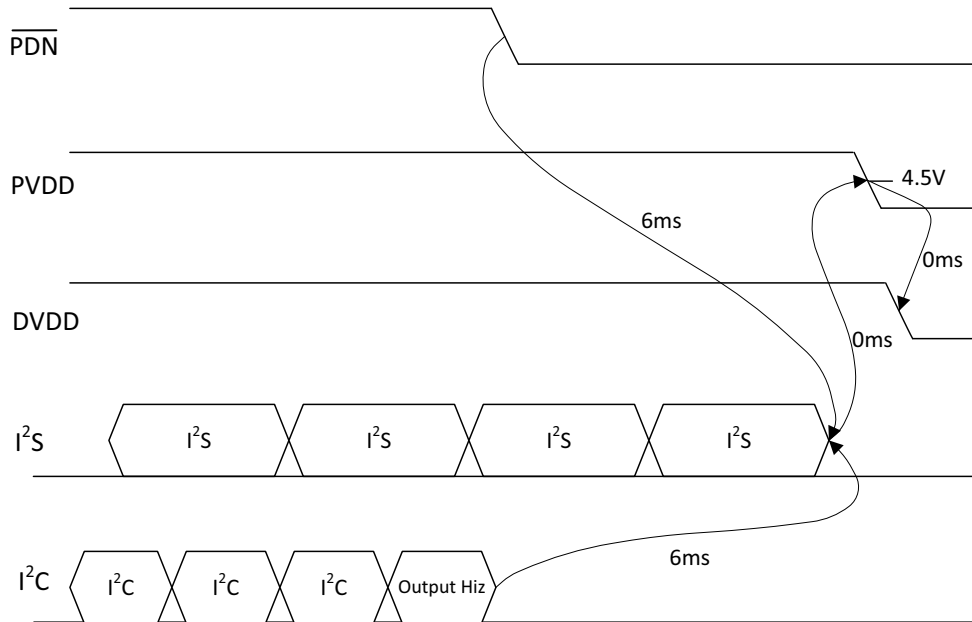


图 6-16. 启动顺序

6.5.3.2 关断过程

1. 器件会正常运行。
2. 通过 I²C 控制端口配置寄存器 DEVICE_CTRL2 寄存器 [1:0]=00 (深度睡眠) 或将 $\overline{\text{PDN}}$ 拉至低电平。
3. 现在, 可以停止时钟并关闭电源。
4. 该器件现在已完全关断和断电。



- A. 在 PVDD/DVDD 断电之前, 需要通过 $\overline{\text{PDN}}$ 或 I²C 禁用 D 类输出驱动器。
- B. 基于以下条件, 需要至少 6ms 延迟: LRCLK (Fs) = 48kHz, 数字音量 = 24dB, 每个采样周期数字音量下降 0.5dB。更改 DIG_VOL_CTRL2 或 DIG_VOL_CTRL3 寄存器的值或更改 LRCLK 速率都会改变延迟时间。

图 6-17. 断电序列

6.5.3.3 保护和监控

6.5.3.3.1 过流关断 (OCSD)

发生严重短路事件 (例如 PVDD 短路或接地短路) 时, 该器件使用峰值电流检测器, 并且如果峰值电流足够大, 受影响的通道将在不到 100ns 内关断。关断速度取决于许多因素, 例如短路阻抗、电源电压和开关频率。用户可以通过 I²C 重新启动受影响的通道。OCSD 事件将激活故障引脚, 且 I²C 故障寄存器将保存记录。如果电源或接地短路强度足以超过峰值电流阈值, 但不足以触发 OCSD, 则峰值电流限制器可防止过大电流损坏输出 FET, 并在短路消除后恢复正常运行。

6.5.3.3.2 直流检测

如果 TAS5802 器件测量到输出电压中有直流偏移, FAULTZ 线路会被拉低, OUTxx 输出转换为高阻抗, 表示发生故障。

6.5.3.3.3 器件过热保护

芯片温度超过 160°C (典型值) 后, 器件会将输出驱动器从播放模式设置为 Hi-Z 模式。Book0/Page0 中的 GLOBAL_FAULT2 寄存器 (偏移 = 72h) [复位 = 00h] 报告的过热关断故障。将此故障的行为设置为自动恢复模式, 则芯片温度降至 150° 以下, 器件将自动恢复到播放模式, 否则器件需要通过使用 Book0/Page0 中 FAULT_CLEAR 寄存器 (偏移 = 78h) [复位 = 00h] 清除故障才能重新进入播放模式。

6.5.3.3.4 过压保护

PVDD 电压超过 $OVE_{THRES}(PVDD)$ 后，器件会将输出驱动器从播放模式设置为 Hi-Z 模式。Book0/Page0 中的 **GLOBAL_FAULT1 寄存器 (偏移 = 71h) [复位 = 00h]** 报告的过压故障。PVDD 电压恢复正常后，器件将恢复到播放模式。但是，除非手动通过 Book0/Page0 中的 **FAULT_CLEAR 寄存器 (偏移 = 78h) [复位 = 00h]** 清除该位，否则该位仍然保持为 1。

6.5.3.3.5 欠压保护

PVDD 电压降至 $UVE_{THRES}(PVDD)$ (典型值为 4V) 以下后，器件会将输出驱动器从播放模式设置为 Hi-Z 模式。Book0/Page0 中的 **GLOBAL_FAULT1 寄存器 (偏移 = 71h) [复位 = 00h]** 报告的欠压故障。PVDD 升至 4.25V (典型值) 后，器件将恢复到播放模式。但是，除非手动通过 Book0/Page0 中的 **FAULT_CLEAR 寄存器 (偏移 = 78h) [复位 = 00h]** 清除该位，否则该位仍然保持为 1。

6.5.3.3.6 时钟故障

一旦发生任何时钟错误 (时钟停止、SCLK/LRCLK 比率错误、PII 解锁、FS 错误)，**FS_MON 寄存器 (偏移 = 37h) [复位 = 00h]** 和 **CLKDET_STATUS 寄存器 (偏移 = 39h) [复位 = 00h]** 会监控这些错误并实时报告详细信息，器件将进入 Hi-Z 模式。Book0/Page0 中 **GLOBAL_FAULT1 寄存器 (偏移 = 71h) [复位 = 00h]** 报告的时钟故障。消除时钟错误后，器件将自动恢复到播放模式。但是，除非手动通过 Book0/Page0 中的 **FAULT_CLEAR 寄存器 (偏移 = 78h) [复位 = 00h]** 清除该位，否则该位仍然保持为 1。

7 寄存器映射

7.1 CONTROL PORT 寄存器

表 7-1 列出了 CONTROL_PORT 寄存器的存储器映射寄存器。表 7-1 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 7-1. CONTROL PORT 寄存器

偏移	首字母缩写词	寄存器名称	部分
1h	RESET_CTRL	复位控制	转到
2h	DEVICE_CTRL1	器件控制 1	转到
3h	DEVICE_CTRL2	器件控制 2	转到
Fh	I2C_PAGE_AUTO_INC	I2C DSP 存储器访问页面自动递增	转到
28h	SIG_CH_CTRL	信号链控制	转到
29h	CLOCK_DET_CTRL	时钟检测控制	转到
30h	SDOUT_SEL	SDOUT 选择	转到
31h	I2S_CTRL	I2S 控制 0	转到
33h	SAP_CTRL1	I2S 控制 1	转到
34h	SAP_CTRL2	I2S 控制 2	转到
35h	SAP_CTRL3	I2S 控制 3	转到
37h	FS_MON	FS 监测器	转到
38h	BCLK_MON	Bclk 监测器	转到
39h	CLKDET_STATUS	时钟检测状态	转到
40h	DSP_PGM_MODE	DSP 编程模式	转到
46h	DSP_CTRL	DSP 控制	转到
4Ch	DAC_GAIN_LEFT	左数字音量	转到
4Dh	DAC_GAIN_RIGHT	右数字音量	转到
4Eh	DIG_VOL_CTRL2	数字音量控制 2	转到
4Fh	DIG_VOL_CTRL3	数字音量控制 3	转到
50h	AUTO_MUTE_CTRL	自动静音控制	转到
51h	AUTO_MUTE_TIME	自动静音时间	转到
53h	ANA_CTRL	模拟控制	转到
54h	AGAIN	模拟增益	转到
60h	ADR_CTRL	ADR 控制	转到
61h	ADR_SEL	ADR 输出选择	转到
67h	DIE_ID	DIE ID	转到
68h	POWER_STATE	电源状态	转到
69h	AUTOMUTE_STATE	自动静音状态	转到
6Ah	RAMP_PHASE_CTRL	开关时钟相位控制	转到
6Bh	RAMP_SS_CTRL0	展频控制 0	转到
6Ch	RAMP_SS_CTRL1	展频控制 1	转到
70h	CHAN_FAULT	通道故障	转到
71h	GLOBAL_FAULT1	全局故障 1	转到
72h	GLOBAL_FAULT2	全局故障 2	转到
73h	OT_WARNING	OT 警告	转到
74h	PIN_CONTROL1	引脚控制 1	转到
75h	PIN_CONTROL2	引脚控制 2	转到
76h	MISC_CONTROL	混合控制	转到

表 7-1. CONTROL PORT 寄存器 (续)

偏移	首字母缩写词	寄存器名称	部分
78h	FAULT_CLEAR	故障清除	转到

复杂的位访问类型经过编码可适应小型表单元。[表 7-2](#) 展示了适用于此部分中访问类型的代码。

表 7-2. CONTROL PORT 访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

7.1.1 RESET_CTRL 寄存器 (偏移 = 1h) [复位 = 00h]

图 7-1 展示了 RESET_CTRL，表 7-3 中对此进行了介绍。

返回到[汇总表](#)。

复位控制

图 7-1. RESET_CTRL 寄存器

7	6	5	4	3	2	1	0
RESERVED			RST_MOD	RESERVED			RST_REG
W-0h			W-0h	W-0h			W-0h

表 7-3. RESET_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	W	0h	
4	RST_MOD	W	0h	WRITE CLEAR BIT 复位模块 该位复位内插滤波器和 DAC 模块。由于 DSP 也会复位，因此系数 RAM 内容也将由 DSP 清除。该位自动清零，并且只能在高阻态模式下设置。 0：正常 1：复位模块
3-1	RESERVED	W	0h	
0	RST_REG	W	0h	WRITE CLEAR BIT 复位寄存器 该位将模式寄存器复位回其初始值。不清除 RAM 内容。该位会自动清零，并且只能在 DAC 处于高阻态模式时设置 (禁止且不支持在 DAC 运行时复位寄存器) 0：正常 1：复位模式寄存器

7.1.2 DEVICE_CTRL1 寄存器 (偏移 = 2h) [复位 = 00h]

图 7-2 示出了 DEVICE_CTRL1，表 7-4 中对此进行了介绍。

返回到[汇总表](#)。

器件控制 1

图 7-2. DEVICE_CTRL1 寄存器

7	6	5	4	3	2	1	0
RESERVED	FSW_SEL			RESERVED	MODULATION		
R/W-0h	R/W-0h			R/W-0h	R/W-0h		

表 7-4. DEVICE_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R/W	0h	
6-4	FSW_SEL	R/W	0h	选择 PWM 开关频率 (Fsw) 3'b 000:768kHz 3'b 001:384kHz 其他保留
3-2	RESERVED	R/W	0h	
1-0	MODULATION	R/W	0h	00 : BD 模式 01 : 1SPW 模式 10 : 混合模式 11 : 保留

7.1.3 DEVICE_CTRL2 寄存器 (偏移 = 3h) [复位 = 10h]

图 7-3 示出了 DEVICE_CTRL2，表 7-5 中对此进行了介绍。

返回到[汇总表](#)。

器件控制 2

图 7-3. DEVICE_CTRL2 寄存器

7	6	5	4	3	2	1	0
RESERVED			DSP_RST	CH1_MUTE	CH2_MUTE	STATE_CTL	
R/W-0h			R/W-1h	R/W-0h	R/W-0h	R/W-0h	

表 7-5. DEVICE_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R/W	0h	
4	DSP_RST	R/W	1h	DSP 复位 当该位变为 0 时，DSP 将开始上电并发送数据。只有在所有输入时钟稳定后，才需要将其设为 0，以便 DMA 通道不会超出同步范围。 0：正常运行 1：复位 DSP
3	CH1_MUTE	R/W	0h	使通道 1 静音 该位为 ch1 发出软静音请求。音量将平稳地降低/升高，以避免“砰砰”/“咔嗒”噪声。 0：正常音量 1：静音
2	CH2_MUTE	R/W	0h	使通道 2 静音 该位为 ch2 发出软静音请求。音量将平稳地降低/升高，以避免“砰砰”/“咔嗒”噪声。 0：正常音量 1：静音
1-0	STATE_CTL	R/W	0h	器件状态控制寄存器 00：深度睡眠 01：睡眠 10：高阻态 11：播放

7.1.4 I2C_PAGE_AUTO_INC 寄存器 (偏移 = Fh) [复位 = 00h]

图 7-4 展示了 I2C_PAGE_AUTO_INC，表 7-6 中对此进行了介绍。

返回到[汇总表](#)。

I2C DSP 存储器访问页面自动递增

图 7-4. I2C_PAGE_AUTO_INC 寄存器

7	6	5	4	3	2	1	0
RESERVED				PAGE_INC	RESERVED		
R/W-0h				R/W-0h	R/W-0h		

表 7-6. I2C_PAGE_AUTO_INC 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R/W	0h	
3	PAGE_INC	R/W	0h	页面自动递增禁用 针对非零 Book 禁用页面自动递增模式。到达页末后，当该位为 0 时，它会返回到下一页的第 8 个地址位置。当该位为 1 时，它会像较早的器件一样转到当前页本身的第 0 个位置。 0：启用页面自动递增 1：禁用页面自动递增
2-0	RESERVED	R/W	0h	

7.1.5 SIG_CH_CTRL 寄存器 (偏移 = 28h) [复位 = 00h]

图 7-5 展示了 SIG_CH_CTRL，表 7-7 中对此进行了介绍。

返回到[汇总表](#)。

信号链控制

图 7-5. SIG_CH_CTRL 寄存器

7	6	5	4	3	2	1	0
BCLK_RATIO				FS_MODE			
R/W-0h				R/W-0h			

表 7-7. SIG_CH_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7-4	BCLK_RATIO	R/W	0h	这些位指示所配置的 BCLK 比率，即一个音频帧中的 BCLK 时钟数。 4'b0000：自动检测 4'b0011：32FS 4'b0101：64FS 4'b0111：128FS 4'b1001：256FS 4'b1011：512FS 其他保留。
3-0	FS_MODE	R/W	0h	FS 速度模式这些位用于选择 FS 运行模式，该模式必须根据当前音频采样率进行设置。 4' b0000 自动检测 4' b0110 32kHz 4' b1000 44.1kHz 4' b1001 48kHz 4'b1010 88.2kHz 4' b1011 96kHz 其他保留

7.1.6 CLOCK_DET_CTRL 寄存器 (偏移 = 29h) [复位 = 00h]

图 7-6 展示了 CLOCK_DET_CTRL , 表 7-8 中对此进行了介绍。

返回到[汇总表](#)。

时钟检测控制

图 7-6. CLOCK_DET_CTRL 寄存器

7	6	5	4	3	2	1	0
RESERVED	DET_PLL	BCLK_RANGE	DET_FS	DET_BCLK	DET_BCLKMISS	RESERVED	
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-8. CLOCK_DET_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R/W	0h	
6	DET_PLL	R/W	0h	忽略 PLL 过速检测 该位控制是否忽略 PLL 过速检测。PLL 必须慢于 150MHz, 否则会报告错误。被忽略时, PLL 过速错误不会导致时钟错误。 0 : 注意 PLL 过速检测 1 : 忽略 PLL 过速检测
5	BCLK_RANGE	R/W	0h	忽略 BCLK 范围检测 该位控制是否忽略 BCLK 范围检测。BCLK 必须稳定在 256kHz 和 50MHz 之间, 否则会报告错误。被忽略时, BCLK 范围错误不会导致时钟错误。 0 : 注意 BCLK 范围检测 1 : 忽略 BCLK 范围检测
4	DET_FS	R/W	0h	忽略 FS 错误检测 该位控制是否忽略 FS 错误检测。被忽略时, FS 错误不会导致时钟错误。但 CLKDET_STATUS 将报告 fs 错误。 0 : 注意 FS 检测 1 : 忽略 FS 检测
3	DET_BCLK	R/W	0h	忽略 BCLK 检测 该位控制是否忽略根据 LRCLK 的 BCLK 检测。BCLK 必须稳定在 32FS 和 512FS 之间 (含), 否则会报告错误。被忽略时, BCLK 错误不会导致时钟错误。 0 : 注意 BCLK 检测 1 : 忽略 BCLK 检测
2	DET_BCLKMISS	R/W	0h	忽略 BCLK 缺失检测 该位控制是否忽略 BCLK 缺失检测。被忽略时, BCLK 缺失不会导致时钟错误。 0 : 注意 BCLK 缺失检测 1 : 忽略 BCLK 缺失检测
1-0	RESERVED	R/W	0h	

7.1.7 SDOUT_SEL 寄存器 (偏移 = 30h) [复位 = 04h]

图 7-7 展示了 SDOUT_SEL，表 7-9 中对此进行了介绍。

返回到[汇总表](#)。

SDOUT 选择

图 7-7. SDOUT_SEL 寄存器

7	6	5	4	3	2	1	0
RESERVED						SDOUT_MOD	SDOUT_SEL
R/W-1h						R/W-0h	R/W-0h

表 7-9. SDOUT_SEL 寄存器字段说明

位	字段	类型	复位	说明
7-2	RESERVED	R/W	1h	
1	SDOUT_MOD	R/W	0h	将 SDOUT 设置为漏极开路。该位仅适用于采用输出推挽模式的 GPO 功能，对默认使用漏极开路模式的功能不起作用 0：输出推挽模式 1：开漏模式
0	SDOUT_SEL	R/W	0h	SDOUT 选择 该位选择作为 SDOUT 通过 GPIO 引脚输出的内容。 0：SDOUT 是 DSP 输出（后处理） 1：SDOUT 是 DSP 输入（预处理）

7.1.8 I2S_CTRL 寄存器 (偏移 = 31h) [复位 = 00h]

图 7-8 示出了 I2S_CTRL，表 7-10 中对此进行了介绍。

返回到[汇总表](#)。

I2S 控制 0

图 7-8. I2S_CTRL 寄存器

7	6	5	4	3	2	1	0
RESERVED		BCLK_INV	RESERVED				
R/W-0h		R/W-0h	R/W-0h				

表 7-10. I2S_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R/W	0h	
5	BCLK_INV	R/W	0h	BCLK 极性 该位设置反转 BCLK 模式。在反转 BCLK 模式下，DAC 假定 LRCLK 和 DIN 边沿与 BCLK 的上升沿对齐。通常假定它们与 BCLK 的下降沿对齐。 0 ：正常 BCLK 模式 1 ：反转 BCLK 模式
4-0	RESERVED	R/W	0h	

7.1.9 SAP_CTRL1 寄存器 (偏移 = 33h) [复位 = 02h]

图 7-9 示出了 SAP_CTRL1，表 7-11 中对此进行了介绍。

返回到[汇总表](#)。

I2S 控制 1

图 7-9. SAP_CTRL1 寄存器

7	6	5	4	3	2	1	0
SHIFT_MSB	RESERVED	DATA_FMT		LRCLK_PULSE		FRAME_LENGTH	
R/W-0h	R/W-0h	R/W-0h		R/W-0h		R/W-2h	

表 7-11. SAP_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7	SHIFT_MSB	R/W	0h	I2S 移位 MSB。与低寄存器 34h 中的 8 位组合。
6	RESERVED	R/W	0h	
5-4	DATA_FMT	R/W	0h	I2S 数据格式 这些位控制 DAC 操作的输入和输出音频接口格式。 00 : I2S 01 : DSP/TDM 10 : RTJ 11 : LTJ
3-2	LRCLK_PULSE	R/W	0h	如果 LRCLK 脉冲短于 8 x BCLK，将位 0-1 设定为 “01” 否则，将这些位保持为默认值 “00” 00 : LRCLK 脉冲的高宽度等于或大于 BCLK 的 8 个周期 01 : LRCLK 脉冲高宽度小于 BCLK 的 8 个周期
1-0	FRAME_LENGTH	R/W	2h	I2S 字长 这些位控制 DAC 操作所需的输入和输出音频接口采样字长度。 00 : 16 位 01 : 20 位 10 : 24 位 11 : 32 位

7.1.10 SAP_CTRL2 寄存器 (偏移 = 34h) [复位 = 00h]

图 7-10 示出了 SAP_CTRL2，表 7-12 中对此进行了介绍。

返回到[汇总表](#)。

I2S 控制 2

图 7-10. SAP_CTRL2 寄存器

7	6	5	4	3	2	1	0
SHIFT_LSB							
R/W-0h							

表 7-12. SAP_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
7-0	SHIFT_LSB	R/W	0h	I2S 移位 LSB 这些位控制输入和输出的音频帧中音频数据的偏移。偏移定义为从音频帧的起始 (MSB) 到所需音频采样的起始位置的 BCLK 数。 8'b00000000 : 偏移 = 0 BCLK (无偏移) 8'b00000001 : 偏移 = 1 BCLK 8'b00000010 : 偏移 = 2 BCLK ... 8'b11111111 : 偏移 = 512 BCLK

7.1.11 SAP_CTRL3 寄存器 (偏移 = 35h) [复位 = 11h]

图 7-11 示出了 SAP_CTRL3，表 7-13 中对此进行了介绍。

返回到[汇总表](#)。

I2S 控制 3

图 7-11. SAP_CTRL3 寄存器

7	6	5	4	3	2	1	0
RESERVED		CH1_DAC		RESERVED		CH2_DAC	
R/W-0h		R/W-1h		R/W-0h		R/W-1h	

表 7-13. SAP_CTRL3 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R/W	0h	
5-4	CH1_DAC	R/W	1h	通道 1 DAC 数据路径这些位控制通道 1 音频数据路径连接。 00：零数据 (静音) 01：Ch1 数据 10：Ch2 数据 11：保留 (请勿设置)
3-2	RESERVED	R/W	0h	
1-0	CH2_DAC	R/W	1h	通道 2 DAC 数据路径这些位控制通道 2 音频数据路径连接。 00：零数据 (静音) 01：Ch2 数据 10：Ch1 数据 11：保留 (请勿设置)

7.1.12 FS_MON 寄存器 (偏移 = 37h) [复位 = 00h]

图 7-12 展示了 FS_MON，表 7-14 中对此进行了介绍。

返回到[汇总表](#)。

FS 监测器

图 7-12. FS_MON 寄存器

7	6	5	4	3	2	1	0
RESERVED		BCLKRATION_MSB		FS_MON			
R-0h		R-0h		R-0h			

表 7-14. FS_MON 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	0h	
5-4	BCLKRATION_MSB	R	0h	检测到的 BCLK 比率为 2 MSB。 这些位指示当前检测到的 BCLK 比率，即一个音频帧中 BCLK 时钟的数量。 与低寄存器 38h 中的 8 位组合。BCLK = 32 FS~512 FS
3-0	FS_MON	R	0h	这些位指示当前检测到的音频采样率。 4' b0000 FS 错误 4' b0010 8kHz 4' b0100 16kHz 4' b0110 32kHz 4' b1000 保留 4' b1001 48kHz 4' b1011 96kHz 其他保留

7.1.13 BCLK_MON 寄存器 (偏移 = 38h) [复位 = 00h]

图 7-13 展示了 BCLK_MON，表 7-15 中对此进行了介绍。

返回到[汇总表](#)。

Bclk 监测器

图 7-13. BCLK_MON 寄存器

7	6	5	4	3	2	1	0
BCLKRATIO_LSB							
R-0h							

表 7-15. BCLK_MON 寄存器字段说明

位	字段	类型	复位	说明
7-0	BCLKRATIO_LSB	R	0h	这些位指示当前检测到的 BCLK 比率，即一个音频帧中 BCLK 时钟的数量。 BCLK = 32 FS~512 FS

7.1.14 CLKDET_STATUS 寄存器 (偏移 = 39h) [复位 = 00h]

图 7-14 展示了 CLKDET_STATUS，表 7-16 中对此进行了介绍。

返回到[汇总表](#)。

时钟检测状态

图 7-14. CLKDET_STATUS 寄存器

7	6	5	4	3	2	1	0
RESERVED		BCLK_OVERRATE	PLL_OVERRATE	PLL_LOCKED	BCLK_MISSING	BCLK_VALID	FS_VALID
R-0h		R-0h	R-0h	R-0h	R-0h	R-0h	R-0h

表 7-16. CLKDET_STATUS 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	0h	
5	BCLK_OVERRATE	R	0h	该位指示 BCLK 是超速还是欠速。 0 : BCLK 欠速 1 : BCLK 超速
4	PLL_OVERRATE	R	0h	该位指示 PLL 是否超速。 0 : PLL 欠速 1 : PLL 超速
3	PLL_LOCKED	R	0h	该位指示 PLL 是否锁定。当 PLL 被禁用时，它将被报告为解锁。 0 : PLL 已锁定 1 : PLL 未锁定
2	BCLK_MISSING	R	0h	该位指示 BCLK 是否缺失。 0 : BCLK 正常 1 : BCLK 缺失
1	BCLK_VALID	R	0h	该位指示 BCLK 是否有效。BCLK 比率必须稳定并且在 32-512FS 范围内才有效。 0 : BCLK 有效 1 : BCLK 无效
0	FS_VALID	R	0h	在自动检测模式 (reg_fsmode=0) 下，该位指示音频采样率是否有效。在非自动检测模式 (reg_fsmode!=0) 下，FS 错误表示 LRCLK(FS) 设置的所配置采样频率与检测到的采样频率不同。即使设置了 FS 错误检测忽略，该标志也将被置位。 0 : 采样率有效 1 : 无效

7.1.15 DSP_PGM_MODE 寄存器 (偏移 = 40h) [复位 = 01h]

图 7-15 展示了 DSP_PGM_MODE，表 7-17 中对此进行了介绍。

返回到[汇总表](#)。

DSP 编程模式

图 7-15. DSP_PGM_MODE 寄存器

7	6	5	4	3	2	1	0
RESERVED				CH1_HIZ	CH2_HIZ	RESERVED	
R/W-0h				R/W-0h	R/W-0h	R/W-1h	

表 7-17. DSP_PGM_MODE 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R/W	0h	
3	CH1_HIZ	R/W	0h	0：正常运行 1：强制通道 1 进入 Hi-Z 模式
2	CH2_HIZ	R/W	0h	0：正常运行 1：强制通道 2 进入 Hi-Z 模式
1-0	RESERVED	R/W	1h	

7.1.16 DSP_CTRL 寄存器 (偏移 = 46h) [复位 = 01h]

图 7-16 展示了 DSP_CTRL，表 7-18 中对此进行了介绍。

返回到[汇总表](#)。

DSP 控制

图 7-16. DSP_CTRL 寄存器

7	6	5	4	3	2	1	0
RESERVED			PROC_RATE	RESERVED			
R/W-0h			R/W-0h	R/W-1h			

表 7-18. DSP_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R/W	0h	
4	PROC_RATE	R/W	0h	0 : 96k 处理流程，2.0 处理 SRC 启用 1 : 48k 处理流程，2.1 处理流程启用
3-0	RESERVED	R/W	1h	

7.1.17 DAC_GAIN_LEFT 寄存器 (偏移 = 4Ch) [复位 = 30h]

图 7-17 展示了 DAC_GAIN_LEFT , 表 7-19 中对此进行了介绍。

返回到[汇总表](#)。

左数字音量

图 7-17. DAC_GAIN_LEFT 寄存器

7	6	5	4	3	2	1	0
CH1_PGA							
R/W-30h							

表 7-19. DAC_GAIN_LEFT 寄存器字段说明

位	字段	类型	复位	说明
7-0	CH1_PGA	R/W	30h	通道 1 音量 这些位控制 ch1 数字音量。数字音量为 24dB 至 -103dB，阶跃为 -0.5dB。 8'b00000000 : +24.0dB 8'b00000001 : +23.5dB ... 8'b00101111 : +0.5dB 8'b00110000 : 0.0dB 8'b00110001 : -0.5dB ... 8'b11111110 : -103dB 8'b11111111 : 静音

7.1.18 DAC_GAIN_RIGHT 寄存器 (偏移 = 4Dh) [复位 = 30h]

图 7-18 展示了 DAC_GAIN_RIGHT , 表 7-20 中对此进行了介绍。

返回到[汇总表](#)。

右数字音量

图 7-18. DAC_GAIN_RIGHT 寄存器

7	6	5	4	3	2	1	0
CH2_PGA							
R/W-30h							

表 7-20. DAC_GAIN_RIGHT 寄存器字段说明

位	字段	类型	复位	说明
7-0	CH2_PGA	R/W	30h	通道 2 音量 这些位控制 ch2 数字音量。数字音量为 24dB 至 -103dB , 阶跃为 -0.5dB。 8'b00000000 : +24.0dB 8'b00000001 : +23.5dB ... 8'b00101111 : +0.5dB 8'b00110000 : 0.0dB 8'b00110001 : -0.5dB ... 8'b11111110 : -103dB 8'b11111111 : 静音

7.1.19 DIG_VOL_CTRL2 寄存器 (偏移 = 4Eh) [复位 = 33h]

图 7-19 示出了 DIG_VOL_CTRL2，表 7-21 中对此进行了介绍。

返回到[汇总表](#)。

数字音量控制 2

图 7-19. DIG_VOL_CTRL2 寄存器

7	6	5	4	3	2	1	0
VNDF		VNDS		VNUF		VNUS	
R/W-0h		R/W-3h		R/W-0h		R/W-3h	

表 7-21. DIG_VOL_CTRL2 寄存器字段说明

位	字段	类型	复位	说明
7-6	VNDF	R/W	0h	数字音量正常斜降频率 这些位控制音量斜降时数字音量的更新频率 00：每 1 个 FS 周期更新一次 01：每 2 个 FS 周期更新一次 10：每 4 个 FS 周期更新一次 11：直接将音量调为零（即时静音）
5-4	VNDS	R/W	3h	数字音量正常斜降阶跃 这些位控制当音量斜降时数字音量更新的阶跃 00：每次更新递减 4dB 01：每次更新递减 2dB 10：每次更新递减 1dB 11：每次更新递减 0.5dB
3-2	VNUF	R/W	0h	数字音量正常斜升频率 这些位控制音量斜升时数字音量的更新频率 00：每 1 个 FS 周期更新一次 01：每 2 个 FS 周期更新一次 10：每 4 个 FS 周期更新一次 11：直接恢复音量（即时取消静音）
1-0	VNUS	R/W	3h	数字音量正常斜升阶跃 这些位控制当音量斜升时数字音量更新的阶跃 00：每次更新递增 4dB 01：每次更新递增 2dB 10：每次更新递增 1dB 11：每次更新递增 0.5dB

7.1.20 DIG_VOL_CTRL3 寄存器 (偏移 = 4Fh) [复位 = 30h]

图 7-20 示出了 DIG_VOL_CTRL3，表 7-22 中对此进行了介绍。

返回到[汇总表](#)。

数字音量控制 3

图 7-20. DIG_VOL_CTRL3 寄存器

7	6	5	4	3	2	1	0
VEDF		VEDS		RESERVED			
R/W-0h		R/W-3h		R/W-0h			

表 7-22. DIG_VOL_CTRL3 寄存器字段说明

位	字段	类型	复位	说明
7-6	VEDF	R/W	0h	数字音量紧急斜降频率 当由于时钟错误或断电而导致音量斜降时，这些位控制数字音量更新的频率，与正常的软静音相比，这通常需要更快的斜降 00：每 1 个 FS 周期更新一次 01：每 2 个 FS 周期更新一次 10：每 4 个 FS 周期更新一次 11：直接将音量调为零（即时静音）
5-4	VEDS	R/W	3h	数字音量紧急斜降阶跃 当由于时钟错误或断电而导致音量斜降时，这些位控制数字音量更新的阶跃，与正常的软静音相比，这通常需要更快的斜降 00：每次更新递减 4dB 01：每次更新递减 2dB 10：每次更新递减 1dB 11：每次更新递减 0.5dB
3-0	RESERVED	R/W	0h	

7.1.21 AUTO_MUTE_CTRL 寄存器 (偏移 = 50h) [复位 = 00h]

图 7-21 展示了 AUTO_MUTE_CTRL，表 7-23 中对此进行了介绍。

返回到[汇总表](#)。

自动静音控制

图 7-21. AUTO_MUTE_CTRL 寄存器

7	6	5	4	3	2	1	0
RESERVED					AM_CTL	AMUTE_CH2	AMUTE_CH1
R/W-0h					R/W-0h	R/W-0h	R/W-0h

表 7-23. AUTO_MUTE_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7-3	RESERVED	R/W	0h	
2	AM_CTL	R/W	0h	0 ：独立自动静音通道 1 和通道 2 1 ：仅当两个通道都要自动静音时，才自动静音通道 1 和通道 2
1	AMUTE_CH2	R/W	0h	自动静音通道 2 该位启用或禁用通道 2 上的自动静音 0 ：禁用通道 2 自动静音 1 ：启用通道 2 自动静音
0	AMUTE_CH1	R/W	0h	自动静音通道 1 该位启用或禁用通道 1 上的自动静音 0 ：禁用通道 1 自动静音 1 ：启用通道 1 自动静音

7.1.22 AUTO_MUTE_TIME 寄存器 (偏移 = 51h) [复位 = 55h]

图 7-22 展示了 AUTO_MUTE_TIME，表 7-24 中对此进行了介绍。

返回到[汇总表](#)。

自动静音时间

图 7-22. AUTO_MUTE_TIME 寄存器

7	6	5	4	3	2	1	0
RESERVED	CH1_AMT			RESERVED	CH2_AMT		
R/W-0h	R/W-5h			R/W-0h	R/W-5h		

表 7-24. AUTO_MUTE_TIME 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R/W	0h	
6-4	CH1_AMT	R/W	5h	通道 1 的自动静音时间 这些位指定通道可以自动静音之前，ch1 上连续零样本的长度。显示的时间针对 96kHz 采样率并且将随着其他采样率而改变。 000 : 11.5ms 001 : 53ms 010 : 106.5ms 011 : 266.5ms 100 : 0.535 秒 101 : 1.065 秒 110 : 2.665 秒 111 : 5.33s
3	RESERVED	R/W	0h	
2-0	CH2_AMT	R/W	5h	通道 2 的自动静音时间 这些位指定通道可以自动静音之前，ch2 上连续零样本的长度。显示的时间针对 96kHz 采样率并且将随着其他采样率而改变。 000 : 11.5ms 001 : 53ms 010 : 106.5ms 011 : 266.5ms 100 : 0.535 秒 101 : 1.065 秒 110 : 2.665 秒 111 : 5.33s

7.1.23 ANA_CTRL 寄存器 (偏移 = 53h) [复位 = 00h]

图 7-23 展示了 ANA_CTRL，表 7-25 中对此进行了介绍。

返回到[汇总表](#)。

模拟控制

图 7-23. ANA_CTRL 寄存器

7	6	5	4	3	2	1	0
RESERVED	BW_CTL		RESERVED			PHASE_CTL	
R/W-0h	R/W-0h		R/W-0h			R/W-0h	

表 7-25. ANA_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R/W	0h	
6-5	BW_CTL	R/W	0h	D 级环路带宽 00 : 80kHz 01 : 100kHz 10 : 120kHz 11 : 175kHz 当 Fsw=384kHz 时，为了实现高频性能，可选择 100kHz 带宽。当 Fsw=768kHz 时，应选择 175kHz 带宽以获得高频性能。
4-1	RESERVED	R/W	0h	
0	PHASE_CTL	R/W	0h	0 : 相位差 1 : 同相

7.1.24 AGAIN 寄存器 (偏移 = 54h) [复位 = 06h]

图 7-24 展示了 AGAIN , 表 7-26 中对此进行了介绍。

返回到[汇总表](#)。

模拟增益

图 7-24. AGAIN 寄存器

7	6	5	4	3	2	1	0
RESERVED			AGAIN				
R/W-0h			R/W-6h				

表 7-26. AGAIN 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R/W	0h	
4-0	AGAIN	R/W	6h	模拟增益控制 该位控制模拟增益 b '00000 : 0dB b' 00001 : -0.5dB b '00110 : -3dB 11111 : -15.5dB

7.1.25 ADR_CTRL 寄存器 (偏移 = 60h) [复位 = 00h]

图 7-25 展示了 ADR_CTRL，表 7-27 中对此进行了介绍。

返回到[汇总表](#)。

ADR 控制

图 7-25. ADR_CTRL 寄存器

7	6	5	4	3	2	1	0
RESERVED							ADR_OE
R/W-0h							R/W-0h

表 7-27. ADR_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R/W	0h	
0	ADR_OE	R/W	0h	ADR 输出启用 该位设置 ADR 引脚的方向 0 : ADR 为输入 1 : ADR 为输出

7.1.26 ADR_SEL 寄存器 (偏移 = 61h) [复位 = 00h]

图 7-26 展示了 ADR_SEL，表 7-28 中对此进行了介绍。

返回到[汇总表](#)。

ADR 输出选择

图 7-26. ADR_SEL 寄存器

7	6	5	4	3	2	1	0
RESERVED			ADR_SEL				
R/W-0h			R/W-0h				

表 7-28. ADR_SEL 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R/W	0h	
4-0	ADR_SEL	R/W	0h	b'00000 : 关闭 (低电平) b'00011 : 自动静音标志 (当左右声道都自动静音时置位) b'00100 : 左声道的自动静音标志 b'00101 : 右声道的自动静音标志 b'00110 : 时钟无效标志 (时钟错误或时钟缺失) b'00111 : PLL 锁定标志 b'01000 : 警告 b'01001 : 串行音频接口数据输出 (SDOUT) b'01011 : ADR 作为 FAULTZ 输出 其他 : 保留

7.1.27 DIE_ID 寄存器 (偏移 = 67h) [复位 = A8h]

图 7-27 展示了 DIE_ID , 表 7-29 中对此进行了介绍。

返回到[汇总表](#)。

DIE ID

图 7-27. DIE_ID 寄存器

7	6	5	4	3	2	1	0
DIE_ID							
R-A8h							

表 7-29. DIE_ID 寄存器字段说明

位	字段	类型	复位	说明
7-0	DIE_ID	R	A8h	TAS5802 的芯片 ID

7.1.28 POWER_STATE 寄存器 (偏移 = 68h) [复位 = 00h]

图 7-28 展示了 POWER_STATE , 表 7-30 中对此进行了介绍。

返回到[汇总表](#)。

电源状态

图 7-28. POWER_STATE 寄存器

7	6	5	4	3	2	1	0
RESERVED						STATE_RPT	
R-0h						R-0h	

表 7-30. POWER_STATE 寄存器字段说明

位	字段	类型	复位	说明
7-2	RESERVED	R	0h	
1-0	STATE_RPT	R	0h	00 : 深度睡眠 01 : 睡眠 10 : 高阻态 11 : 播放

7.1.29 AUTOMUTE_STATE 寄存器 (偏移 = 69h) [复位 = 00h]

图 7-29 展示了 AUTOMUTE_STATE，表 7-31 中对此进行了介绍。

返回到[汇总表](#)。

自动静音状态

图 7-29. AUTOMUTE_STATE 寄存器

7	6	5	4	3	2	1	0
RESERVED						CH2MUTE_ST ATUS	CH1MUTE_ST ATUS
R-0h						R-0h	R-0h

表 7-31. AUTOMUTE_STATE 寄存器字段说明

位	字段	类型	复位	说明
7-2	RESERVED	R	0h	
1	CH2MUTE_STATUS	R	0h	该位指示通道 2 的自动静音状态。 0 ：未自动静音 1 ：自动静音
0	CH1MUTE_STATUS	R	0h	该位指示通道 1 的自动静音状态。 0 ：未自动静音 1 ：自动静音

7.1.30 RAMP_PHASE_CTRL 寄存器 (偏移 = 6Ah) [复位 = 00h]

图 7-30 展示了 RAMP_PHASE_CTRL，表 7-32 中对此进行了介绍。

返回到[汇总表](#)。

开关时钟相位控制

图 7-30. RAMP_PHASE_CTRL 寄存器

7	6	5	4	3	2	1	0
RESERVED				RAMPPHASE_SEL		I2S_SYNC_EN	PHASE_SYNC_EN
R/W-0h				R/W-0h		R/W-0h	R/W-0h

表 7-32. RAMP_PHASE_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R/W	0h	
3-2	RAMPPHASE_SEL	R/W	0h	当多个器件集成在一个系统中时，请选择斜坡时钟相位，以降低 EMI 和峰值电源峰值电流，建议将所有器件设置为相同的 RAMP 频率和相同的展频。如果需要此功能，则必须在驱动器件进入播放模式之前进行设置。 00 : 0 度 01 : 45 度 10 : 90 度 11 : 135 度 以上所有的相移都为 45 度
1	I2S_SYNC_EN	R/W	0h	使用 I2S 同步输出 PWM 相位 0 : 禁用 1 : 启用
0	PHASE_SYNC_EN	R/W	0h	0 : RAMP 相位同步禁用 1 : RAMP 相位同步启用

7.1.31 RAMP_SS_CTRL0 寄存器 (偏移 = 6Bh) [复位 = 00h]

图 7-31 示出了 RAMP_SS_CTRL0，表 7-33 中对此进行了介绍。

返回到[汇总表](#)。

展频控制 0

图 7-31. RAMP_SS_CTRL0 寄存器

7	6	5	4	3	2	1	0
RESERVED						RDM_EN	TRI_EN
R/W-0h						R/W-0h	R/W-0h

表 7-33. RAMP_SS_CTRL0 寄存器字段说明

位	字段	类型	复位	说明
7-2	RESERVED	R/W	0h	
1	RDM_EN	R/W	0h	0：随机 SS 禁用 1：随机 SS 启用
0	TRI_EN	R/W	0h	0：三角 SS 禁用 1：三角 SS 启用

7.1.32 RAMP_SS_CTRL1 寄存器 (偏移 = 6Ch) [复位 = 00h]

图 7-32 示出了 RAMP_SS_CTRL1，表 7-34 中对此进行了介绍。

返回到[汇总表](#)。

展频控制 1

图 7-32. RAMP_SS_CTRL1 寄存器

7	6	5	4	3	2	1	0
RESERVED	RDM_CTL			TRI_CTL			
R/W-0h	R/W-0h			R/W-0h			

表 7-34. RAMP_SS_CTRL1 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R/W	0h	
6-4	RDM_CTL	R/W	0h	随机 SS 范围控制 对于 Fsw 为 384kHz 3'b000 : SS 范围 +/- 0.62% 3'b010 : SS 范围 +/- 1.88% 3'b011 : SS 范围 +/- 4.38% 3'b100 : SS 范围 +/- 9.38% 3'b101 : SS 范围 +/- 19.38% 其他：保留 对于 768kHz 的 Fsw 3'b000 : SS 范围 +/- 1.25% 3'b001 : SS 范围 +/- 1.25% 3'b010 : SS 范围 +/- 3.75% 3'b011 : SS 范围 +/- 8.75% 3'b100 : SS 范围 +/- 18.75% 3'b101 : SS 范围 +/- 38.75% 其他：保留
3-0	TRI_CTL	R/W	0h	三角 SS 频率和范围控制 4'b0000 : 24kHz SS +/- 5% 4'b0001 : 24kHz SS +/- 10% 4'b0010 : 24kHz SS +/- 20% 4'b0011 : 24kHz SS +/- 25% 4'b0100 : 48kHz SS +/- 5% 4'b0101 : 48kHz SS +/- 10% 4'b0110 : 48kHz SS +/- 20% 4'b0111 : 48kHz SS +/- 25% 4'b1000 : 32kHz SS +/- 5% 4'b1001 : 32kHz SS +/- 10% 4'b1010 : 32kHz SS +/- 20% 4'b1011 : 32kHz SS +/- 25% 4'b1100 : 16kHz SS +/- 5% 4'b1101 : 16kHz SS +/- 10% 4'b1110 : 16kHz SS +/- 20% 4'b1111 : 16kHz SS +/- 25%

7.1.33 CHAN_FAULT 寄存器 (偏移 = 70h) [复位 = 00h]

图 7-33 展示了 CHAN_FAULT，表 7-35 中对此进行了介绍。

返回到[汇总表](#)。

通道故障

图 7-33. CHAN_FAULT 寄存器

7	6	5	4	3	2	1	0
RESERVED				CH1DC	CH2DC	CH1OC	CH2OC
R-0h				R-0h	R-0h	R-0h	R-0h

表 7-35. CHAN_FAULT 寄存器字段说明

位	字段	类型	复位	说明
7-4	RESERVED	R	0h	
3	CH1DC	R	0h	通道 1 直流故障。一旦出现直流故障，该故障将被锁存，并且该位被设置为 1。D 级输出设置为高阻态。通过 FAULT 引脚 (GPIO) 报告。通过将 Fault_Clear 寄存器 (78h) 的第 7 位设置为 1 来清除此故障，或者该位保持为 1。
2	CH2DC	R	0h	通道 2 直流故障。一旦出现直流故障，该故障将被锁存，并且该位被设置为 1。D 级输出设置为高阻态。通过 FAULT 引脚 (GPIO) 报告。通过将 Fault_Clear 寄存器 (78h) 的第 7 位设置为 1 来清除此故障，或者该位保持为 1。
1	CH1OC	R	0h	通道 1 过流故障。一旦出现 OC 故障，该故障将被锁存，并且该位被设置为 1。D 级输出设置为高阻态。通过 FAULT 引脚 (GPIO) 报告。通过将 Fault_Clear 寄存器 (78h) 的第 7 位设置为 1 来清除此故障，或者该位保持为 1。
0	CH2OC	R	0h	通道 2 过流故障。一旦出现 OC 故障，该故障将被锁存，并且该位被设置为 1。D 级输出设置为高阻态。通过 FAULT 引脚 (GPIO) 报告。通过将 Fault_Clear 寄存器 (78h) 的第 7 位设置为 1 来清除此故障，或者该位保持为 1。

7.1.34 GLOBAL_FAULT1 寄存器 (偏移 = 71h) [复位 = 00h]

图 7-34 示出了 GLOBAL_FAULT1，表 7-36 中对此进行了介绍。

返回到[汇总表](#)。

全局故障 1

图 7-34. GLOBAL_FAULT1 寄存器

7	6	5	4	3	2	1	0
RESERVED	BQWRTFAULT_FLAG	RESERVED			CLKFAULT_FLAG	PVDDOV_FLAG	PVDDUV_FLAG
R-0h	R-0h	R-0h			R-0h	R-0h	R-0h

表 7-36. GLOBAL_FAULT1 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	
6	BQWRTFAULT_FLAG	R	0h	0：最近的 BQ 被成功写入 1：最近的 BQ 写入失败
5-3	RESERVED	R	0h	
2	CLKFAULT_FLAG	R	0h	时钟故障。一旦出现时钟故障，该故障将被锁存，并且该位被设置为 1。D 级输出设置为高阻态。通过 FAULT 引脚 (GPIO) 报告。时钟故障采用自动恢复模式，一旦时钟错误消除，器件会自动恢复到之前的状态。通过将 Fault_clear 寄存器 (78h) 的第 7 位设置为 1 来清除此故障，或者该位保持为 1。
1	PVDDOV_FLAG	R	0h	PVDD OV 故障。一旦出现 OV 故障，该故障将被锁存，并且该位被设置为 1。D 级输出设置为高阻态。通过 FAULT 引脚 (GPIO) 报告。OV 故障采用自动恢复模式，一旦 OV 错误消除，器件会自动恢复到之前的状态。通过将 Fault_Clear 寄存器 (78h) 的第 7 位设置为 1 来清除此故障，或者该位保持为 1。
0	PVDDUV_FLAG	R	0h	PVDD UV 故障。一旦出现 UV 故障，该故障将被锁存，并且该位被设置为 1。D 级输出设置为 Hi-Z。通过 FAULT 引脚 (GPIO) 报告。UV 故障采用自动恢复模式，一旦 UV 错误消除，器件会自动恢复到之前的状态。通过将 Fault_Clear 寄存器 (78h) 的第 7 位设置为 1 来清除此故障，或者该位保持为 1。

7.1.35 GLOBAL_FAULT2 寄存器 (偏移 = 72h) [复位 = 00h]

图 7-35 示出了 GLOBAL_FAULT2，表 7-37 中对此进行了介绍。

返回到[汇总表](#)。

全局故障 2

图 7-35. GLOBAL_FAULT2 寄存器

7	6	5	4	3	2	1	0
RESERVED							OTSD_FLAG
R-0h							R-0h

表 7-37. GLOBAL_FAULT2 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R	0h	
0	OTSD_FLAG	R	0h	过热关断故障一旦存在 OT 故障，该故障即被锁存且该位设置为 1。D 级输出设置为高阻态。通过 FAULT 引脚 (GPIO) 报告。 OV 故障采用自动恢复模式，一旦 OV 错误消除，器件会自动恢复到之前的状态。 通过将 Fault_Clear 寄存器 (78h) 的第 7 位设置为 1 来清除此故障，或者该位保持为 1。

7.1.36 OT_WARNING 寄存器 (偏移 = 73h) [复位 = 00h]

图 7-36 展示了 OT_WARNING，表 7-38 中对此进行了介绍。

返回到[汇总表](#)。

OT 警告

图 7-36. OT_WARNING 寄存器

7	6	5	4	3	2	1	0
RESERVED					OTW_FLAG	RESERVED	
R-0h					R-0h	R-0h	

表 7-38. OT_WARNING 寄存器字段说明

位	字段	类型	复位	说明
7-3	RESERVED	R	0h	
2	OTW_FLAG	R	0h	0 : 无温度警告 1 : 触发过热警告
1-0	RESERVED	R	0h	

7.1.37 PIN_CONTROL1 寄存器 (偏移 = 74h) [复位 = 00h]

图 7-37 示出了 PIN_CONTROL1，表 7-39 中对此进行了介绍。

返回到[汇总表](#)。

引脚控制 1

图 7-37. PIN_CONTROL1 寄存器

7	6	5	4	3	2	1	0
MASK_OTSD	MASK_DVDDUV	MASK_DVDDOV	MASK_CLKERROR	MASK_PVDDUV	MASK_PVDDOV	MASK_DC	MASK_OC
R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h	R/W-0h

表 7-39. PIN_CONTROL1 寄存器字段说明

位	字段	类型	复位	说明
7	MASK_OTSD	R/W	0h	0 : 启用 OTSD 故障报告 1 : 屏蔽 OTSD 故障报告
6	MASK_DVDDUV	R/W	0h	0 : 启用 DVDD UV 故障报告 1 : 屏蔽 DVDD UV 报告
5	MASK_DVDDOV	R/W	0h	0 : 启用 DVDD OV 故障报告 1 : 屏蔽 DVDD OV 故障报告
4	MASK_CLKERROR	R/W	0h	0 : 启用 CLK 故障报告 1 : 屏蔽 CLK 故障报告
3	MASK_PVDDUV	R/W	0h	0 : 启用 UV 故障报告 1 : 屏蔽 UV 故障报告
2	MASK_PVDDOV	R/W	0h	0 : 启用 OV 故障报告 1 : 屏蔽 OV 故障报告
1	MASK_DC	R/W	0h	0 : 启用直流故障报告 1 : 屏蔽直流故障报告
0	MASK_OC	R/W	0h	0 : 启用 OC 故障报告 1 : 屏蔽 OC 故障报告

7.1.38 PIN_CONTROL2 寄存器 (偏移 = 75h) [复位 = F8h]

图 7-38 示出了 PIN_CONTROL2 , 表 7-40 中对此进行了介绍。

返回到[汇总表](#)。

引脚控制 2

图 7-38. PIN_CONTROL2 寄存器

7	6	5	4	3	2	1	0
RESERVED		CLKFAULTLATCH_EN	OTSDLATCH_EN	OTWLATCH_EN	MASK_OTW	RESERVED	
R/W-3h		R/W-1h	R/W-1h	R/W-1h	R/W-0h	R/W-0h	

表 7-40. PIN_CONTROL2 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R/W	3h	
5	CLKFAULTLATCH_EN	R/W	1h	0 : 禁用 CLK 故障锁存 1 : 启用 CLK 故障锁存
4	OTSDLATCH_EN	R/W	1h	0 : 禁用 OTSD 故障锁存 1 : 启用 OTSD 故障锁存
3	OTWLATCH_EN	R/W	1h	0 : 禁用 OTW 警告锁存 1 : 启用 OTW 警告锁存
2	MASK_OTW	R/W	0h	0 : 启用 OTW 警告报告 1 : 屏蔽 OTW 警告报告
1-0	RESERVED	R/W	0h	

7.1.39 MISC_CONTROL 寄存器 (偏移 = 76h) [复位 = 00h]

图 7-39 展示了 MISC_CONTROL , 表 7-41 中对此进行了介绍。

返回到[汇总表](#)。

混合控制

图 7-39. MISC_CONTROL 寄存器

7	6	5	4	3	2	1	0
CLKDET_LATCH	RESERVED		OTSD_AUTOREC	RESERVED			
R/W-0h	R/W-0h		R/W-0h	R/W-0h			

表 7-41. MISC_CONTROL 寄存器字段说明

位	字段	类型	复位	说明
7	CLKDET_LATCH	R/W	0h	1 : 锁存时钟检测状态 0 : 无锁存时钟检测状态
6-5	RESERVED	R/W	0h	
4	OTSD_AUTOREC	R/W	0h	0 : 禁用 OTSD 自动恢复 1 : 启用 OTSD 自动恢复
3-0	RESERVED	R/W	0h	

7.1.40 FAULT_CLEAR 寄存器 (偏移 = 78h) [复位 = 00h]

图 7-40 展示了 FAULT_CLEAR，表 7-42 中对此进行了介绍。

返回到[汇总表](#)。

故障清除

图 7-40. FAULT_CLEAR 寄存器

7	6	5	4	3	2	1	0
FAULT_CLR	RESERVED						
W-0h	W-0h						

表 7-42. FAULT_CLEAR 寄存器字段说明

位	字段	类型	复位	说明
7	FAULT_CLR	W	0h	WRITE CLEAR BIT 0：无故障清除 1：清除模拟故障
6-0	RESERVED	W	0h	

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

本节详细介绍了配置器件（涵盖多种常见配置）所需的信息，并提供了有关将 TAS5802 器件集成到更大系统中的指导。

8.1.1 自举电容器

TAS5802 的输出级使用高侧 NMOS 驱动器，而不是 PMOS 驱动器。为生成高侧 NMOS 的栅极驱动器电压，每个输出端子的自举电容器将充当开关周期的浮动电源。使用 0.22μF 电容器将相应的输出引脚 (OUT_X) 连接到自举引脚 (BST_X)。例如，在 OUT_A 和 BST_A 之间连接一个 0.22μF 电容器，用于自举 A 通道。同样，在 OUT_B 和 BST_B 引脚之间连接另一个 0.22μF 电容器，用于 B 通道反相输出。

8.1.2 电感器选型

要求峰值电流小于 5A 的 OCP（过流保护）值。有三种情况会导致高峰值电流通过电感器。

1. 在上电（空闲状态，无音频输入）期间，占空比从 0 增加到 θ 。

$$I_{peak_power_up} \approx PVDD \times \sqrt{C/L} \times \sin(1/\sqrt{L \times C} \times \theta / F_{sw}) \quad (1)$$

备注

$\theta = 0.5$ （BD 调制，在表 8-1 中使用）、0.14（1SPW 调制）、0.14（混合调制）。此公式只提供了一个粗略的估算值，建议根据您的 LC 滤波器测量启动电流。

表 8-1. 上电期间的峰值电流

PVDD	L (uH)	C (uF)	Fsw (kHz)	I _{peak_power_up}
20	4.7	0.68	384	5.06A (>5A OCP), 不推荐使用
20	4.7	0.68	768	2.71A
20	10	0.68	384	2.5A
20	10	0.68	768	1.29A
12	4.7	0.68	384	2.77A
12	10	0.68	384	1.29A

2. 在音乐播放期间，一些具有非常硬的 PVDD 削波的音频突发信号（高频）会导致 PWM 占空比急剧上升。这是最糟糕的情况，很少发生。

$$I_{peak_clipping} \approx PVDD \times (1 - \theta) / (F_{sw} \times L) \quad (2)$$

3. 最大输出功率导致的峰值电流。忽略此处流经电容器的纹波电流。

$$I_{peak_output_power} \approx \sqrt{2 \times \text{Max_Output_Power} / R_{speaker_Load}} \quad (3)$$

PVDD 和开关频率相同，电感越大，空闲电流越小，功率耗散越低。

建议电感饱和电流 I_{sat} 大于上电和播放音频期间的放大器峰值电流。

$$I_{SAT} \geq \max(I_{peak_power_up}, I_{peak_clipping}, I_{peak_output_power}) \quad (4)$$

此外，峰值电流时的有效电感至少要达到 表 8-2 中电感值的 80%，以满足数据表的规格要求。

表 8-2 中给出了所需的最小电感。

表 8-2. LC 滤波器建议

开关频率 (kHz)	调制方案	LC 滤波器设计的建议最小电感 (uH)
1024	1SPW	3.3μH (或更大) + 电容器 (0.22uF~0.68uF)
768		4.7μH (或更大) + 电容器 (0.22uF~0.68uF)
384 或 480		10μH (或更大) + 电容器 (0.22uF~0.68uF)
384~1024	BD	8.2uH (或更大) + 电容器 (0.22uF~0.68uF)

有关电感器的选择，请参阅 [LCFILTER-CALC-TOOL](#)。

8.1.3 电源去耦

为确保高效率、低 THD 和高 PSRR，需要进行适当的电源去耦。电源线路上的噪声瞬态是短时电压峰值。这些峰值可能包含高达数百兆赫的频率分量。必须使用一些大于 22μF 的优质、低 ESL、低 ESR 电容器对电源输入进行去耦。这些电容器将低频噪声旁路到接地平面。对于高频去耦，请将 1μF 或 0.1μF 电容器尽可能靠近器件的 PVDD 引脚布置。

8.1.4 输出 EMI 滤波

TAS5802 器件通常与低通滤波器搭配使用，后者用于滤除 PWM 调制输出的载波频率。由于此滤波器包含电感元件 L 和电容元件 C 而构成双极滤波器，因此常常称为 L-C 滤波器。

L-C 滤波器能够消除载波频率，从而降低电磁辐射并平滑从电源汲取的电流波形。L-C 滤波器是否存在以及大小由多个系统级限制因素决定。在某些低功率用例中，如果没有对 EMI 敏感的其他电路，可使用简单的铁氧体磁珠或铁氧体磁珠加上电容器来替代常用的传统大电感器和电容器。在其他高功率应用中，需要使用大型环形线圈电感器以实现最大功率，并且由于音频特性，可以使用薄膜电容器。有关根据所需负载和响应适当选择元件并设计 LC 滤波器的详细说明，请参阅应用报告 D 类 L-C 滤波器设计 ([SLOA119](#))。

8.2 典型应用

8.2.1 2.0 (立体声 BTL) 系统

在 2.0 系统中，通过数字输入信号为放大器提供了两个声道。这两个声道经过放大后分别发送到两个独立的扬声器。在某些情况下，经放大的信号会在 L-C 滤波器之后通过无源分频网络根据频率进一步进行分离。即使如此，该应用仍然被视为 2.0 系统。

上述两个声道通常为一个称作立体声对的信号对，一个声道包含左声道音频，另一个声道包含右声道音频。虽然这两个声道可以包含任何两个音频声道，例如多声道扬声器系统中的两个环绕声道，但双声道系统中最常见的是立体声对。

图 8-1 和 图 8-2 分别显示了使用铁氧体磁珠滤波器和 L-C 滤波器的 2.0 (立体声 BTL) 系统应用。

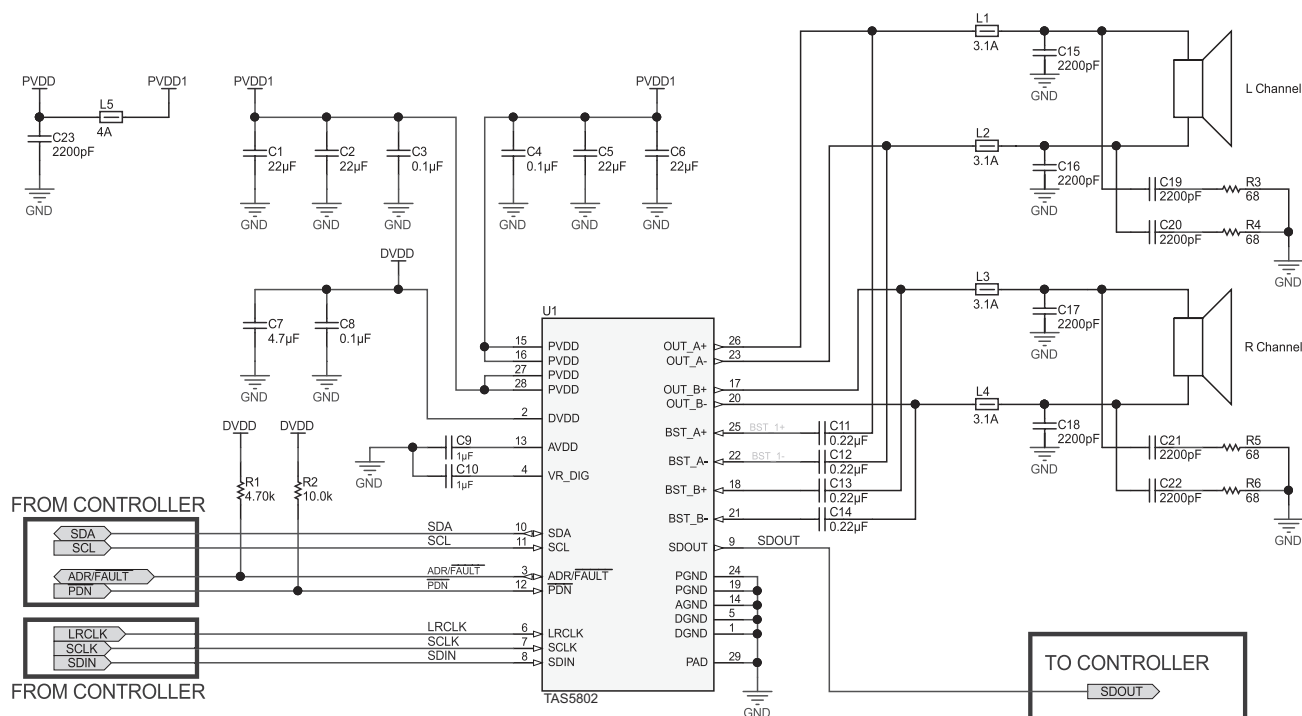


图 8-1. 使用铁氧体磁珠作为输出滤波器的 2.0 (立体声 BTL) 系统应用原理图

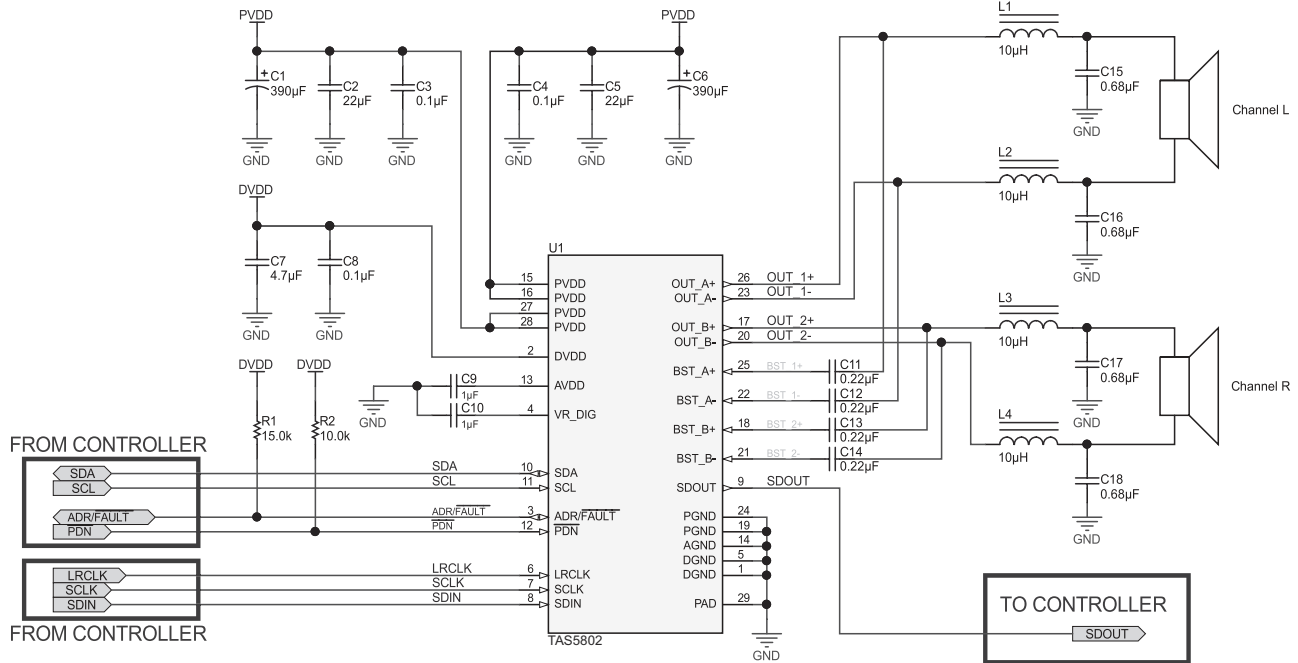


图 8-2. 使用电感器作为输出滤波器的 2.0 (立体声 BTL) 系统应用原理图

8.2.1.1 设计要求

- 电源：
 - 3.3V 或 1.8V 电源
 - 4.5V 至 20V 电源
- 通信：主机处理器用作 I²C 兼容主器件
- 外部存储器（例如 EEPROM 和闪存），用于生成系数

立体声 2.0 (BTL) 系统中对 TAS5802 器件支持元件的要求如 表 8-3 和 表 8-4 所示。

表 8-3. 立体声 2.0 (BTL) 系统的支持元件要求 (使用铁氧体磁珠作为输出滤波器)

参考位号	值	尺寸	详细描述
C1、C2、C5、C6	22uF	0805	电容, 陶瓷, 22μF, 35V, +/-20%, JB, 0805
C3、C4	0.1uF	0402	电容, 陶瓷, 0.1μF, 50V, +/-10%, X7R, 0402
C7	4.7uF	0603	电容, 陶瓷, 4.7μF, 10V, +/-10%, X5R, 0603
C8	0.1uF	0603	电容, 陶瓷, 0.1μF, 16V, +/-10%, X7R, 0603
C9、C10	1uF	0603	电容, 陶瓷, 1 μ F, 16V, +/- 10%, X5R, 0603
R1	4.70k Ω	0402	电阻, 4.70k Ω, 1%, 0.0625W, 0402
R2	10.0k Ω	0404	电阻, 10.0k Ω, 1%, 0.063W, 0402
C11、C12、C13、C14	0.22μF	0603	电容, 陶瓷, 0.22μF, 50V, +/-10%, X7R, 0603
C15、C16、C17、C18、C19、C20、C21、C22、C23	2200pF	0603	电容, 陶瓷, 2200pF, 100V, +/-10%, X7R, 0603
R3、R4、R5、R6	68ohm	0603	电阻, 68 Ω, 5%, 0.1W, 0603
L1、L2、L3、L4	300ohm	0806	铁氧体磁珠, 300Ω (在 100MHz 时), 3.1A, 0806
L5	100 Ω	0806	铁氧体磁珠, 100 Ω @ 100MHz, 4A, 0806

借助低 EMI 技术，TAS5802 为使用铁氧体磁珠时 $PVDD < 14V$ 的大多数应用案例保持足够的 EMI 裕度（低 BOM 成本）。使用铁氧体磁珠和电容器作为输出滤波器时，图 8-1 和图 8-2 包含良好的配置（铁氧体磁珠、电容器、电阻器的适当值），以实现足够的 EMI 裕度，典型情况为 $PVDD = 12V$ ，扬声器负载 = $8\Omega/6\Omega$ ，每根扬声器线长 1m，每条通道的输出功率 = 1W/4W/8W。

- 选择铁氧体磁珠 (L1~L5)。权衡因素是阻抗和额定电流。如果额定电流满足系统要求，更大的阻抗意味着更大的 EMI 裕度，特别是针对 5 MHz~50 MHz 的频段。推荐用于 TAS5802 的典型铁氧体磁珠是 NFZ2MSM 系列 (Murata) 和 UPZ2012E 系列 (Sunlord)。典型值为 100MHz 时 300 欧姆，在大多数应用案例中可满足 EMI 要求。
- 选择电容器 (C15~C23)。权衡因素是电容值和空闲电流。更大的电容器意味着更大的空闲电流，将电容器值从 1nF 增加到 2.2nF 对 5MHz~100MHz 频段有很大帮助。
- 使用铁氧体磁珠作为输出滤波器时，建议设计人员使用 $F_{sw} = 384kHz$ 并启用展频，BD 调制，请参阅节 6.4.3.1。
- 其中使用铁氧体磁珠作为输出功率。为了符合 EMI（交流传导发射）标准，需要使用带有 EMI 滤波器的交流/直流适配器。大多数需要 110V~220V 交流电源的应用（例如电视/语音控制音箱/无线扬声器/条形音箱）通常在交流/直流适配器中已有 EMI 滤波器。有些情况下使用直流电源，还需要测试直流传导发射，这种应用（汽车/工业）需要在 TAS5802 的 $PVDD$ 上使用一个简单的 EMI 滤波器。请参阅应用手册：《AN-2162 轻松解决直流/直流转换器的传导 EMI 问题》。

表 8-4. 立体声 2.0 (BTL) 系统的支持元件要求（使用电感器作为输出滤波器）

参考位号	值	尺寸	详细描述
C1、C6	390 μ F	10mmx10mm	电容，铝制，390 μ F，35V， $\pm 20\%$ ，0.08 欧姆，SMD
C2、C5	22 μ F	0603	电容，陶瓷，22 μ F，35V， $\pm 20\%$ ，JB，0805
C3、C4	0.1 μ F	0402	电容，陶瓷，0.1 μ F，50V， $\pm 10\%$ ，X7R，0402
C7	4.7 μ F	0603	电容，陶瓷，4.7 μ F，10V， $\pm 10\%$ ，X5R，0603
C8	0.1 μ F	0603	电容，陶瓷，0.1 μ F，16V， $\pm 10\%$ ，X7R，0603
C9、C10	1 μ F	0603	电容，陶瓷，1 μ F，16V， $\pm 10\%$ ，X5R，0603
R1	15.0k Ω	0402	电阻，15.0k Ω ，1%，0.0625W，0402
R2	10.0k Ω	0404	电阻，10.0k Ω ，1%，0.063W，0402
C11、C12、C13、C14	0.22 μ F	0603	电容，陶瓷，0.22 μ F，50V， $\pm 10\%$ ，X7R，0603
C15、C16、C17、C18	0.68 μ F	0805	电容，陶瓷，0.68 μ F，50V， $\pm 10\%$ ，X7R，0805
L1、L2、L3、L4	10 μ H		电感器，屏蔽，10 μ H，4.4A，0.023 Ω ，SMD

将电感器用作输出滤波器时，设计人员可实现超低空闲电流（使用混合调制或 1SPW 调制）并保持较大的 EMI 裕量。TAS5802 的开关频率可调范围为 384kHz 至 768kHz。更高的开关频率意味着需要更小的电感器值。

- 采用 768kHz 开关频率。设计人员可以选择 10 μ H + 0.68 μ F 或 4.7 μ H + 0.68 μ F 作为输出滤波器，这将帮助客户在选择电感器期间以相同的额定电流减小电感器尺寸。在 4.7 μ H + 0.68 μ F 条件下，确保 $PVDD \leq 12V$ ，以避免大纹波电流触发 OC 阈值 (5A)。
- 采用 384kHz 开关频率。设计人员可以选择 22 μ H + 0.68 μ F、15 μ H + 0.68 μ F 或 10 μ H + 0.68 μ F 作为输出滤波器，这将帮助客户节省某些电池电源应用的功率耗散。在 10 μ H + 0.68 μ F 条件下，确保 $PVDD \leq 12V$ ，以避免大纹波电流触发 OC 阈值 (5A)。

8.2.1.2 详细设计过程

此设计过程可用于立体声 2.0 或单声道 1.1 系统。

8.2.1.2.1 第 1 步：硬件完整性

- 以典型应用原理图为指导，将硬件集成到系统原理图中。
- 按照上面示例布局中给出的建议元件布置、电路板布局布线和布线，将器件及其支持元件集成到系统 PCB 文件中。

- 电路最关键的部分是电源输入、放大器输出信号和音频信号，所有这些信号都进入串行音频端口。构建这些信号以确保其在建议进行设计权衡时优先考虑。
- 如有问题和需要支持，请访问 E2E 论坛 ([E2E.ti.com](https://e2e.ti.com))。如果需要偏离推荐的布局，请访问 E2E 论坛申请布局审核。

8.2.1.2.2 第 2 步：扬声器调优

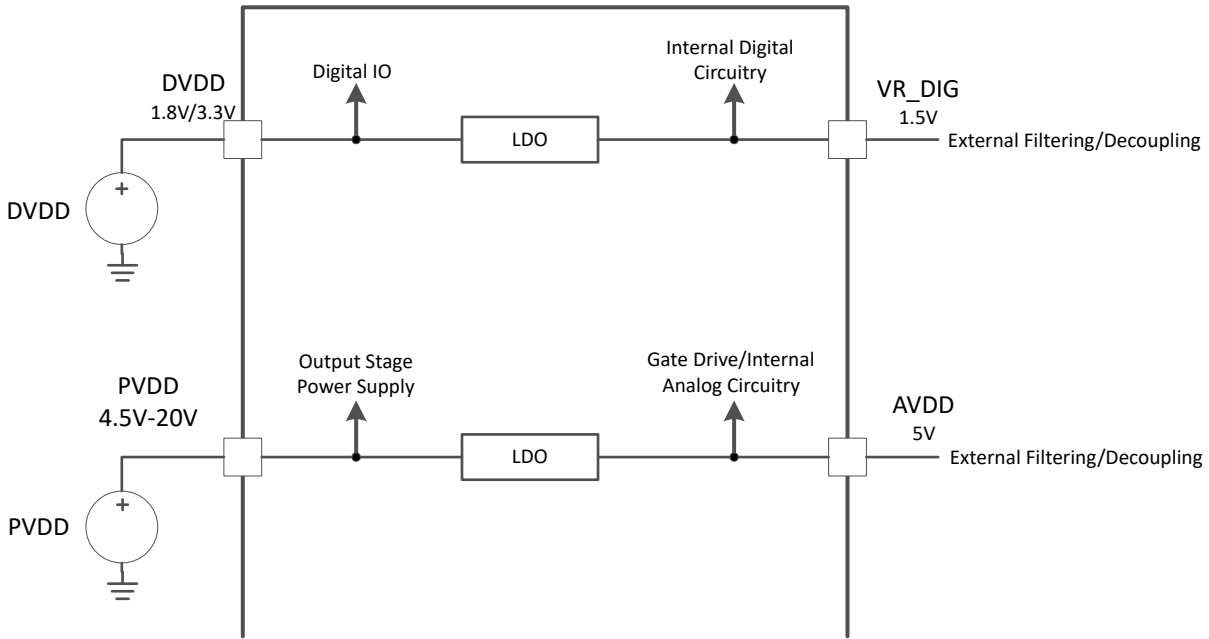
使用 [TAS5802EVM](#) 评估模块和 [PPC3](#) 应用程序来配置所需的器件设置。

8.2.1.2.3 第 3 步：软件集成

- 使用 [PPC3](#) 应用程序的终端系统集成功能可生成基线配置文件。
- 根据终端设备的工作模式生成额外的配置文件，并将静态配置信息集成到初始化文件中。
- 将动态控件（例如音量控制、静音命令和基于模式的 EQ 曲线）集成到主系统程序中。

8.3 电源相关建议

TAS5802 器件需要两个电源才能正常工作。需要称为 PVDD 的高压电源来为扬声器放大器的输出级及其相关电路供电。此外，还需要一个称为 DVDD 的低压电源来为器件的各个低功耗部分供电。[建议运行条件](#)表列出了 PVDD 和 DVDD 电源允许的电压范围。器件初始化后，PVDD 必须保持在正常工作电压范围内。PVDD 低于 3.5V 后，所有寄存器都需要再次重新初始化。



Copyright © 2018, Texas Instruments Incorporated

图 8-3. 电源功能方框图

8.3.1 DVDD 电源

系统需要使用 DVDD 电源来为器件的各部分供电。如图 8-3 所示，它为 DVDD 引脚供电。[节 8](#) 和 [节 8.4.2](#) 中重点介绍了正确的连接、布线和去耦技术，必须严格遵循相关技术，确保器件正常工作并发挥性能。

器件的某些部分还会需要电压低于 DVDD 电源电压的独立电源。为简化系统的电源需求，TAS5802 器件中集成了一个低压降 (LDO) 线性稳压器，以提供这一电源。此线性稳压器内部连接到 DVDD 电源，其输出位于 DVDD_REG 引脚上，为外部旁路电容器提供了一个连接点。需要注意的是，器件中集成的线性稳压器仅用于支持内部电路的电流要求，不得用于为任何附加的外部电路供电。此引脚上的额外负载可导致电压骤降，从而对器件的性能和运行产生负面影响。

8.3.2 PVDD 电源

扬声器放大器的输出级使用 PVDD 电源驱动负载。此电源在回放期间为负载提供驱动电流。TAS5802EVM 中重点介绍了正确的连接、布线和去耦技术，必须严格遵循相关技术，确保器件正常工作并发挥性能。考虑到输出级的高电压切换，必须遵照 TAS5802 器件 [节 8](#) 中所述的方式对输出功率级进行正确去耦。如果未遵照 [节 8](#) 中所示进行正确去耦，则会产生电压尖峰，进而可能导致器件受损。

扬声器放大器输出级中所用 MOSFET 的栅极需要使用单独的电源驱动。此电源通过集成线性稳压器从 PVDD 电源获得。提供 GVDD 引脚用于连接栅极驱动电压稳压器的去耦电容器。需要注意的是，器件中集成的线性稳压器仅用于支持内部电路的电流要求，不得用于为任何附加的外部电路供电。此引脚上的额外负载可导致电压骤降，从而对器件的性能和运行产生负面影响。

另一个通过集成线性稳压器从 PVDD 电源获得的独立电源是 AVDD。提供 AVDD 引脚用于连接 TAS5802 内部电路的去耦电容器。需要注意的是，器件中集成的线性稳压器仅用于支持内部电路的电流要求，不得用于为任何附加的外部电路供电。此引脚上的额外负载可导致电压骤降，从而对器件的性能和运行产生负面影响。

8.4 布局

8.4.1 布局指南

8.4.1.1 音频放大器通用指南

包含开关输出级的音频放大器必须特别注意其布局以及其周围使用的支持元件的布局。系统级性能指标，包括热性能、电磁兼容性 (EMC)、器件可靠性和音频性能，都会受到器件和支持元件布局的影响。

理想情况下，严格遵循 [节 8.4.2](#) 中所示的布局指南即可符合应用部分中提供的器件和元件选型指南。这些示例代表了在布置器件时所涉及的工程权衡的示范性基准平衡。这些设计可以根据需要稍加修改以满足特定应用的需求。例如，在某些应用中，可以通过在器件中使用额外的连续覆铜，以增大解决方案尺寸为代价来改善散热性能。反之，通过在内部走线进行布线并加入过孔栅栏和附加滤波元件，可以折损散热性能来优先考虑 EMI 性能。在所有情况下，建议从 [节 8.4.2](#) 中所示的指导开始，并与 TI 现场应用工程师合作，或通过 E2E 社区根据应用特定目标进行修改。

8.4.1.2 PVDD 网络中 PVDD 旁路电容布置的重要性

靠近电源放置旁路和去耦电容早已是业界的共识。这适用于 DVDD、AVDD、GVDD 和 PVDD。然而，TAS5802 器件的 PVDD 网络上的电容器值得特别注意。

DUT 的 PVDD 线路上的小旁路电容必须尽可能靠近 PVDD 引脚放置。这些器件远离引脚放置不仅会增加系统中的电磁干扰，还会对器件的可靠性造成负面影响。如果这些元件距离 TAS5802 器件太远，则会使输出引脚上出现振铃，导致输出引脚上的电压超出 *绝对最大额定值* 表中列出的最大允许额定值，从而损坏器件。因此，PVDD 网络中的电容器与其相关 PVDD 引脚的距离不得远于 [节 8.4.2](#) 中示例布局所示的距离。

8.4.1.3 优化散热性能

遵循 [节 8.4.2](#) 所示的布局示例，在解决方案尺寸、散热性能、音频性能与电磁性能之间很好地取得良好平衡。在某些情况下，可能会因为设计限制条件而不可避免地偏离该指南。在此类情况下，系统设计人员应确保器件中的热量能够扩散到周围的环境空气中。幸运的是，器件中产生的热量会自然地流向器件周围的低温结构。

8.4.1.3.1 器件、覆铜和元件布局

PCB 设计的主要目标是更大限度地减少通向低温结构路径中的热阻。为实现这一目标，应遵循以下提示：

- 避免在放大器附近（包括终端设备的上方或下方）放置其他发热元件或结构。
- 尽可能使用层数更多的 PCB 来提升 TAS5802 器件的散热能力，防止走线和覆铜信号以及电源平面损坏顶层和底层的连续覆铜。
- 尽可能将 TAS5802 器件远离 PCB 边沿放置，确保热量能够沿器件四边扩散。
- 避免走线或过孔串阻碍热量从 TAS5802 器件流向周围区域。相反，应沿器件垂直方向布线并垂直于器件排列过孔的列。

- 除非无源器件的两个焊盘间的区域足够大，使得覆铜能够穿入两个焊盘之间，否则，其放置方向需确保其窄端朝向 TAS5802 器件。
- 由于接地引脚是封装中的最佳热导体，因此应保持尽可能多的接地引脚，在器件周围的 PCB 区域与接地引脚之间形成一个连续的接地平面。

8.4.1.3.2 模板图案

本文档末尾的封装附录中展示了推荐的 TAS5802 器件 PCB 引脚布局和相关模板图案的图纸。此外，还针对器件下方和周围的过孔布置给出了基本建议，作为 PCB 设计的起点。该指南适合业内大多数制造能力，并将可制造性优先于所有其他性能标准。在环境温度升高或高功率耗散用例下，该指南可能过于保守，可使用先进的 PCB 设计技术来提高系统的热性能。

备注

客户必须验证偏离封装附录中所示的指南（包括本节中所述的偏离）是否满足客户的质量、可靠性和可制造性目标。

8.4.1.3.2.1 PCB 尺寸和过孔排列

PCB 尺寸（亦称作符号或焊盘图案）会向 PCB 制造供应商传达焊接 TAS5802 器件的覆铜图案的形状和位置。该尺寸可直接从本数据表末尾的封装附录中获得指导信息。重要的是，确保散热焊盘（以电气或热连接方式连接至 TAS5802 器件的 PowerPAD™）的尺寸不小于封装附录中规定的尺寸。这可确保 TAS5802 器件能够具有最大接口，便于将热量从器件传递到电路板。

封装附录中显示的过孔图案提供了一种改进的接口，可将热量从器件传递到多层 PCB，这是因为小直径的电镀过孔（孔环尺寸最小）在器件与 PCB 之间形成了一条低热阻路径。热量进入 PCB 后，便会从器件扩散到周围的结构和空气中。增加过孔数量之后（如 [图 8.4.2](#) 所示），该接口可以提升散热性能。

备注

如果过孔构造不当，则会阻碍热量流动。

关于过孔的构造和放置的更多说明如下：

- 移除散热过孔上的散热焊盘，因为它们会阻碍热量通过过孔。
- 最好使用导热材料填充过孔，但也可以使用简单的镀铜过孔，避免填充过孔产生额外成本。
- 钻头直径不得超过 8 毫米。此外，应尽可能缩短过孔套管与周围平面的距离，这样有助于热量从过孔扩散到周围的覆铜材料。在所有情况下，均应根据过孔周围接地平面的电压确定最小间距，并尽可能缩小间距。
- 过孔应纵向排列，从热源向周围区域放射性扩散。这种排列如 [图 8.4.2](#) 所示。
- 确保过孔不会阻碍电源电流从电源流向内层平面。如有需要，可移除一些距离 TAS5802 器件最远的过孔，以开通与器件之间的电流路径。

8.4.1.3.2.2 焊接模板

在 PCB 组装过程中，PCB 顶部会放置一片称作模板的金属，并在模板中 PCB 上有开口（称作孔径）的位置镀上焊锡膏。在电子元件制造过程中，模板决定了涂抹于 PCB 的焊锡膏数量和位置。大多数情况下，每个元件焊盘孔径几乎与焊盘本身尺寸一样大。但是，PCB 上的散热焊盘尺寸非常大，沉积一大块焊锡膏将导致制造问题。因此，应转而将焊料涂抹到电路板的多个孔径中，这样可以让焊锡膏在组装过程中排出气体，并降低器件下方焊料桥接的风险。此结构称作孔径阵列，如 [图 8.4.2](#) 所示。重要的是，孔径阵列的总面积（所有小孔径的面积之和）覆盖散热焊盘本身面积的 70% 到 80%。

8.4.2 布局示例

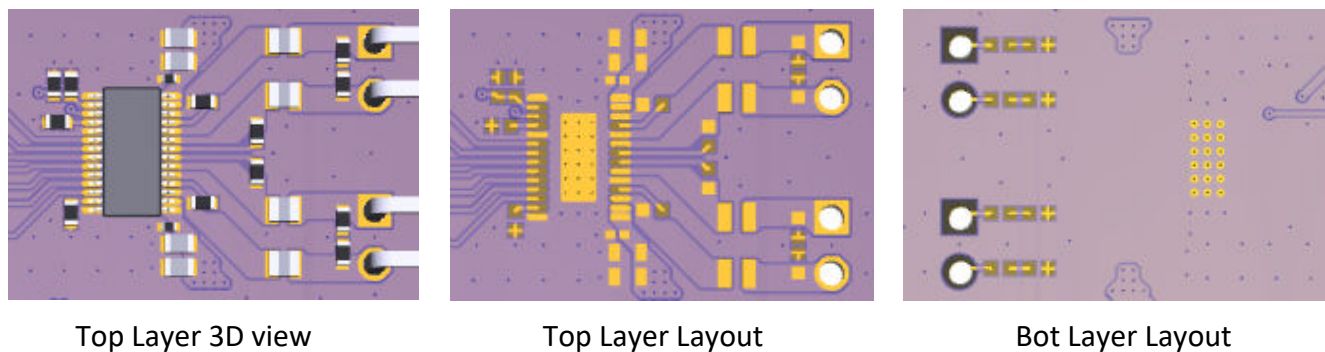


图 8-4. 2.0 (使用铁氧体磁珠作为输出滤波器的立体声 BTL) 布局视图

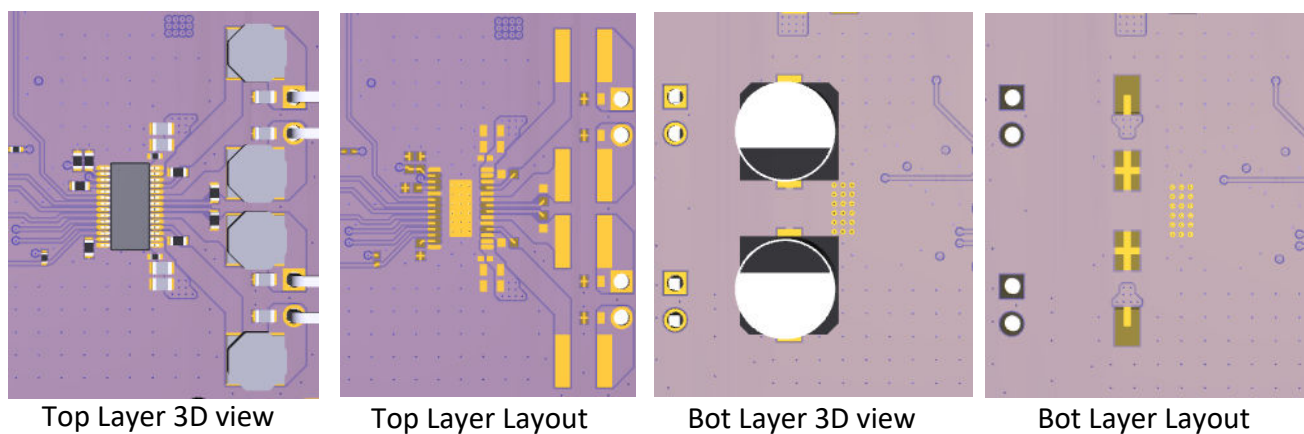


图 8-5. 2.0 (使用电感器作为输出滤波器的立体声 BTL) 布局视图

9 器件和文档支持

9.1 器件支持

9.1.1 器件命名规则

部分中列出的术语表是一个通用的术语表，其中包括常用的缩写和词语，它们都是根据一个范围广泛的 TI 计划定义的，符合 JEDEC、IPC、IEEE 等行业标准。本节中提供的术语表定义了本产品和文档、配套资料或与本产品配合使用的支持工具和软件独有的词汇、短语和缩写。如对定义和术语有其他疑问，请访问 [e2e 音频放大器论坛](#)。

桥接式负载 (BTL) 是一种输出配置，其中扬声器的两端分别连接一个半桥。

DUT 是指 **被测器件**，用于区分不同的器件。

闭环架构 是一种拓扑结构，其中放大器监视输出端子、对比输出信号与输入信号，并尝试修正输出信号的非线性。

动态控件 是指系统或终端用户在正常使用时可更改的控件。

GPIO 是通用输入/输出引脚。其是一个高度可配置的双向数字引脚，可执行系统所需的多种功能。

主机处理器 (也称系统处理器、标量、主机或系统控制器) 是指用作中央系统控制器的器件，可为与其连接的器件提供控制信息，还可以从上游器件采集音频源数据并将其分配给其他器件。此器件通常配置音频路径中音频处理器件 (如 TAS5802) 的控件，从而根据频率响应、时间校准、目标声压级、系统安全运行区域和用户偏好优化扬声器的音频输出。

HybridFlow 搭配使用 RAM 内置的元件和 ROM 内置的元件来构成一款可配置器件，不仅比完全可编程器件更易于使用，而且还能保持足够的灵活性以适应多种应用。

最大持续输出功率 是指放大器在 25°C 工作环境温度下可持续 (不间断) 提供的最大输出功率。测试需要在其温度达到热平衡且不再上升的时间段执行

r_{DS(on)} 是指放大器输出级中所用 MOSFET 的导通电阻。

静态控件/静态配置 是指系统正常使用时不发生变化的控件。

过孔 是指 PCB 中的镀铜通孔。

9.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击右上角的 **提醒我** 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.4 商标

PowerPAD™ and TI E2E™ are trademarks of Texas Instruments.

所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (November 2024) to Revision A (August 2025)	Page
• 更新了 <i>电气特性</i>	6
• 添加了 <i>封装选项附录</i>	3

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

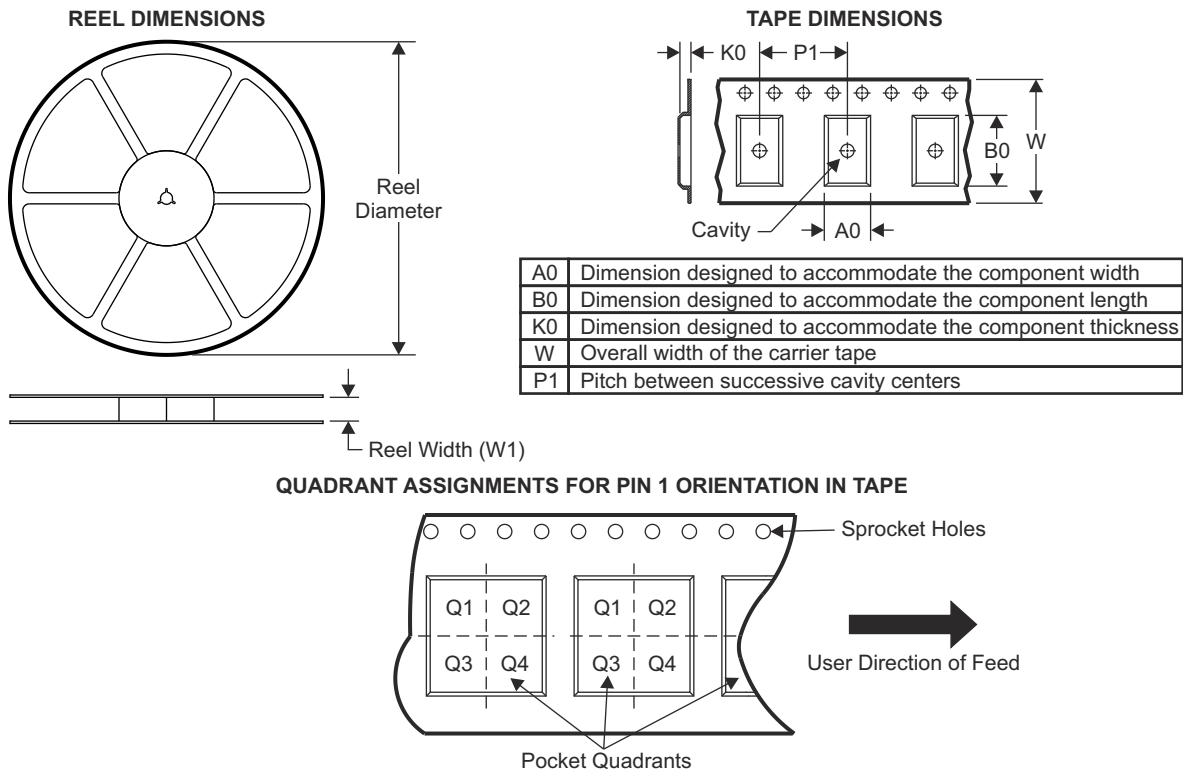
封装选项附录

封装信息

可订购器件型号	状态 ⁽¹⁾	材料类型 ⁽²⁾	封装 引脚	包装数量 包装	RoHS ⁽³⁾	引脚镀层/焊球材料 ⁽⁴⁾	MSL 等级/回流焊峰值温度 ⁽⁵⁾	工作温度 (°C)	器件标识 ⁽⁶⁾
TAS5802PWPR	ACTIVE	HTSSOP	PWP/28	2000/卷带	RoHS 和绿色环保	NiPdAu	Level-3-260C-168 HR	-40 至 85	5802
TAS5802PWPR.A	ACTIVE	HTSSOP	PWP/28	2000/卷带	RoHS 和绿色环保	NiPdAu	Level-3-260C-168 HR	-40 至 85	5802

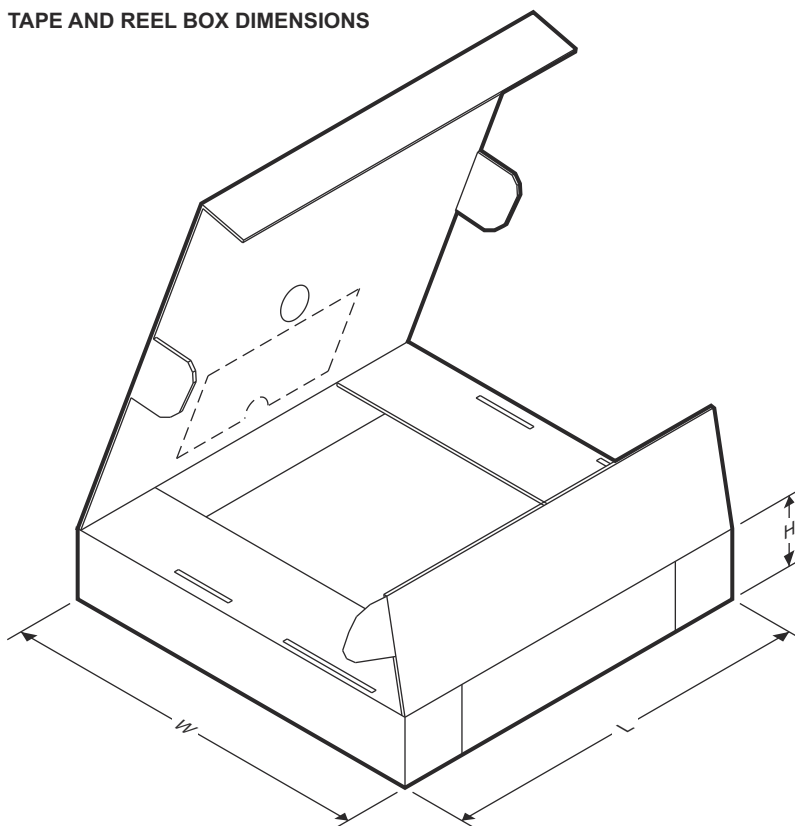
- (1) **状态**：有关状态的详细信息，请参阅我们的 [产品生命周期](#)。
- (2) **材料类型**：指定时，预量产器件是原型/试验器件，尚未获批或发布以进行全面生产。测试和最终工艺（包括但不限于质量保证、可靠性测试以及/或工艺鉴定）可能尚未完成，并且本器件可能会进一步更改，也可能中断研发。即使可供订购，所购器件仍将可能在结算时被取消，并且所购器件仅可用于早期内部评估。这些器件一经售出，概不提供任何保修。
- (3) **RoHS 值**：是、否、RoHS 豁免。有关更多信息和值定义，请参阅“[TI RoHS 声明](#)”。
- (4) **引脚镀层/焊球材料**：器件可能有多种材料镀层选项。各镀层选项用垂直线隔开。如果铅镀层/焊球值超出最大列宽，则会折为两行。
- (5) **MSL 等级/回流焊峰值温度**：湿敏等级等级和峰值焊接（回流焊）温度。如果器件具有多个湿敏等级，则仅显示符合 JEDEC 标准的最低等级。有关将器件安装到印刷电路板上时采用的实际回流焊温度，请参阅装运标签。
- (6) **器件标识**：器件上可能还有与徽标、批次跟踪代码信息或环境分类相关的其他标识。如有多个器件标识，将用括号括起来。不过，器件上仅显示括号中以“~”隔开的其中一个器件标识。如果某一行缩进，说明该行续接上一行，这两行合在一起表示该器件的完整器件标识。

11.1 卷带包装信息



器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 象限
TAS5802PWPR	HTSSOP	PWP	28	2000	330	16.4	6.9	10.2	1.8	12	16	Q1

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
TAS5802PWPR	HTSSOP	PWP	28	2000	350	350	43

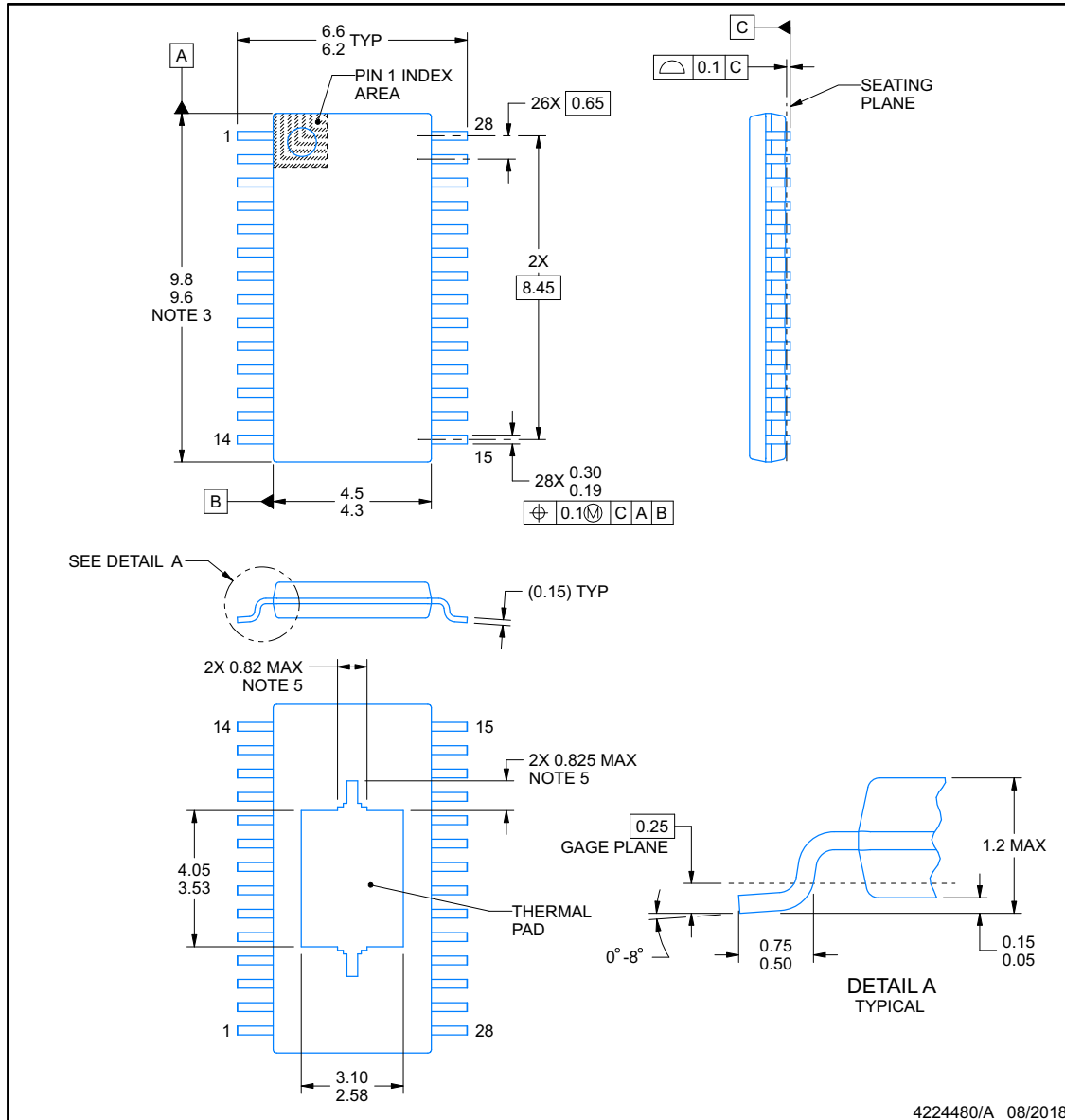
11.2 机械数据

PWP0028M



PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

PowerPAD is a trademark of Texas Instruments.

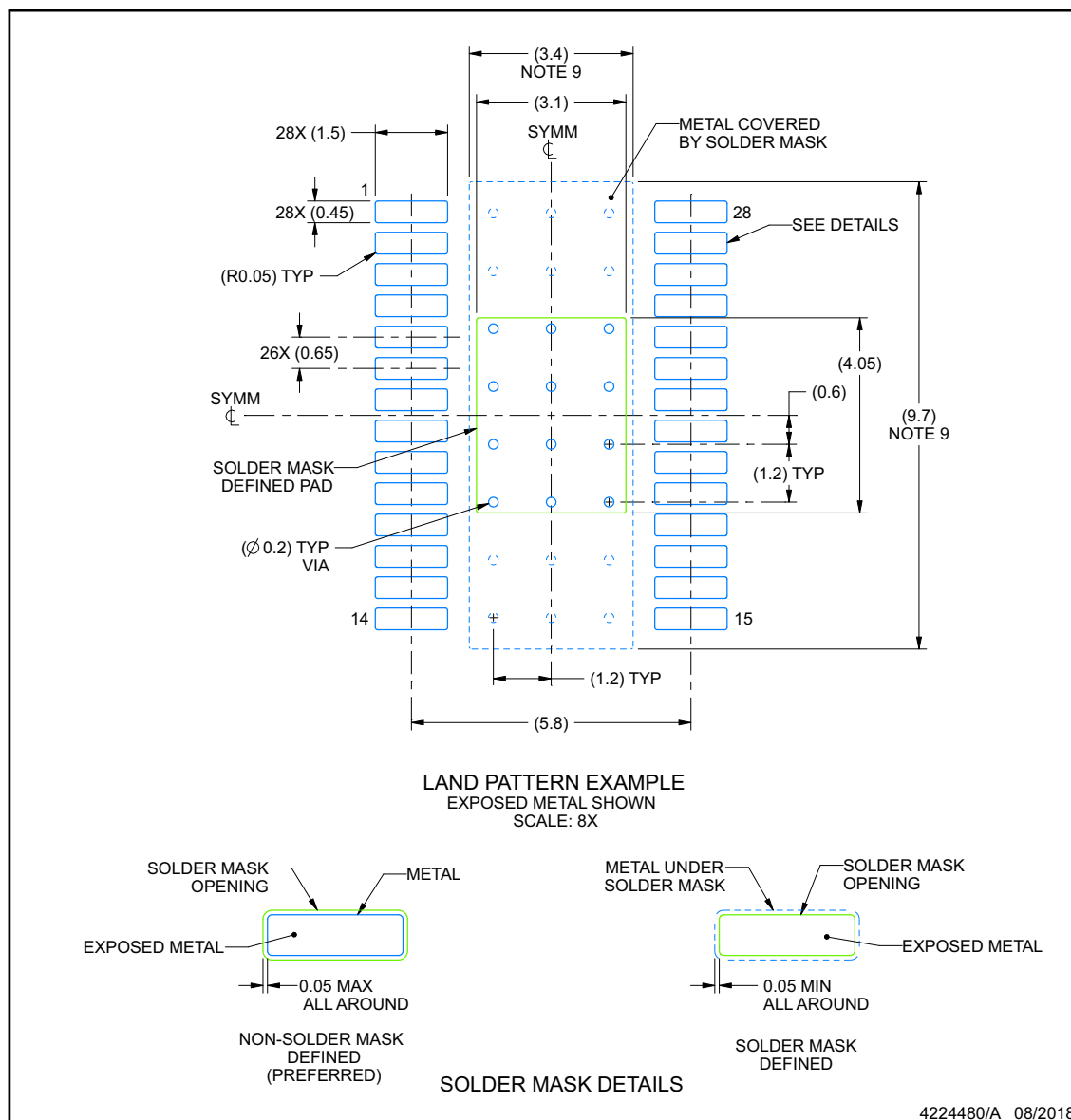
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

PWP0028M

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

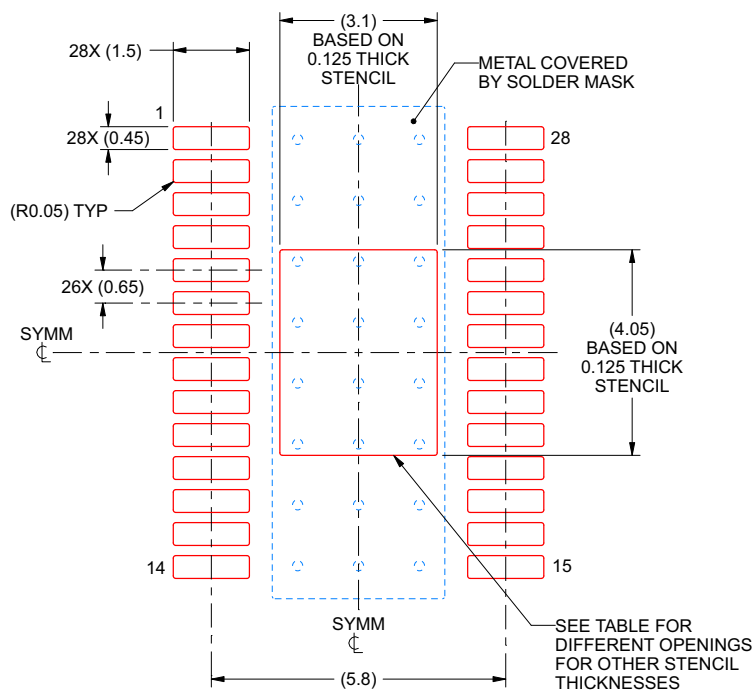


NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN**PWP0028M****PowerPAD™ TSSOP - 1.2 mm max height**

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
 BASED ON 0.125 mm THICK STENCIL
 SCALE: 8X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.47 X 4.53
0.125	3.10 X 4.05 (SHOWN)
0.15	2.83 X 3.70
0.175	2.62 X 3.42

4224480/A 08/2018

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TAS5802PWPR	Active	Production	HTSSOP (PWP) 28	2000 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-	5802

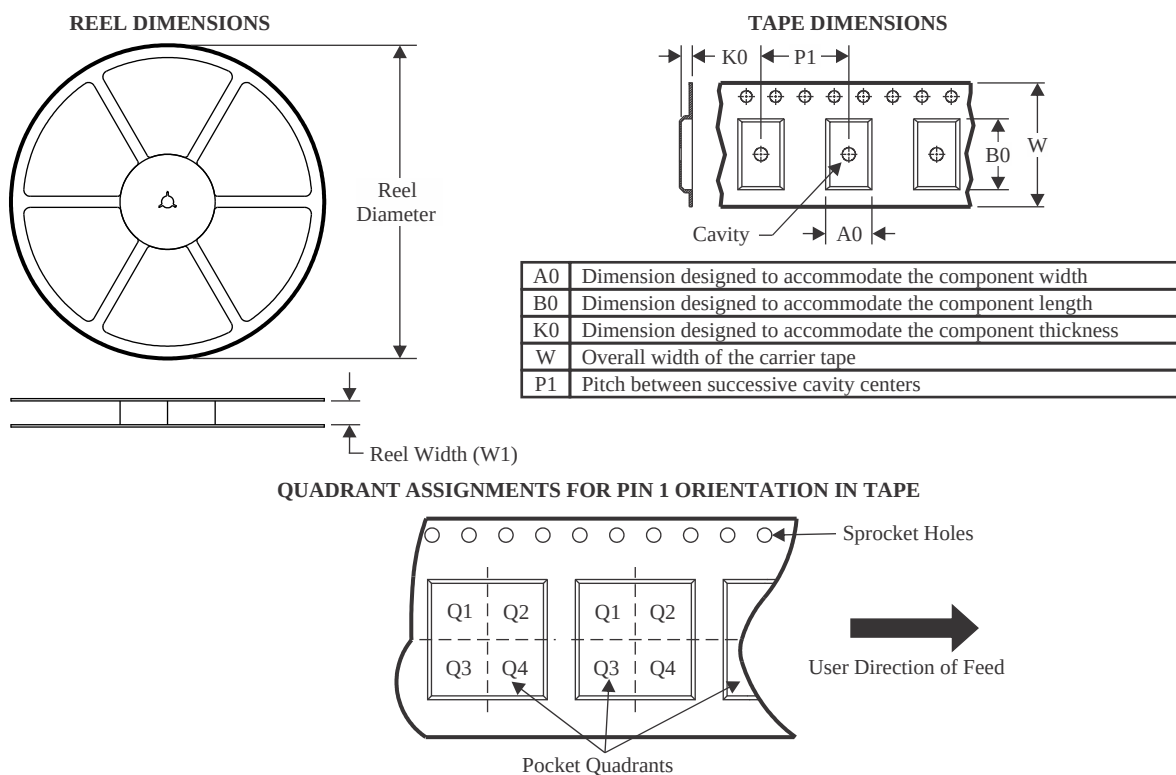
- (1) **Status:** For more details on status, see our [product life cycle](#).
- (2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.
- (3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.
- (4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.
- (5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.
- (6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

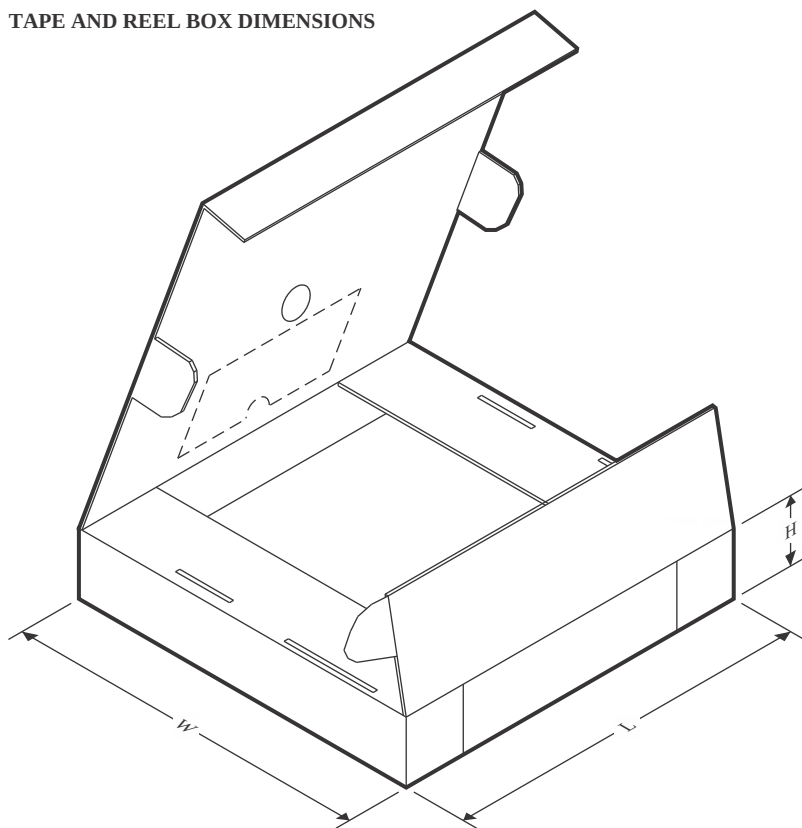
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TAS5802PWPR	HTSSOP	PWP	28	2000	330.0	16.4	6.75	10.1	1.8	12.0	16.0	Q1
TAS5802PWPR	HTSSOP	PWP	28	2000	330.0	16.4	6.9	10.2	1.8	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TAS5802PWPR	HTSSOP	PWP	28	2000	353.0	353.0	32.0
TAS5802PWPR	HTSSOP	PWP	28	2000	350.0	350.0	43.0

GENERIC PACKAGE VIEW

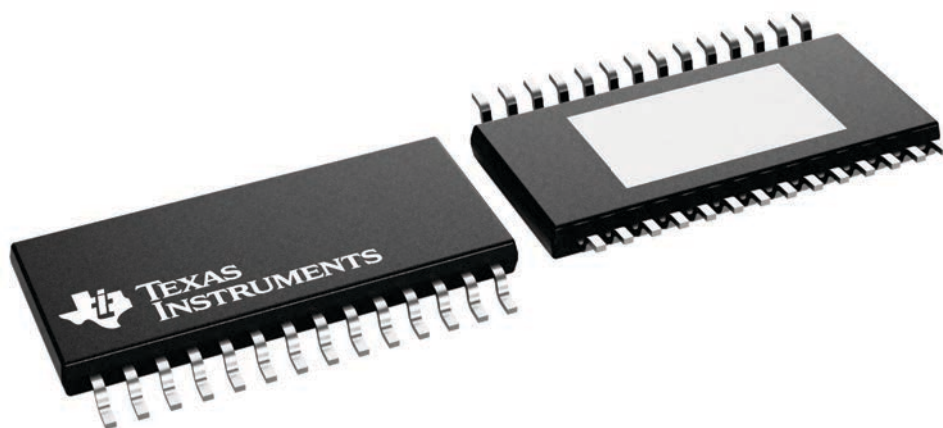
PWP 28

PowerPAD™ TSSOP - 1.2 mm max height

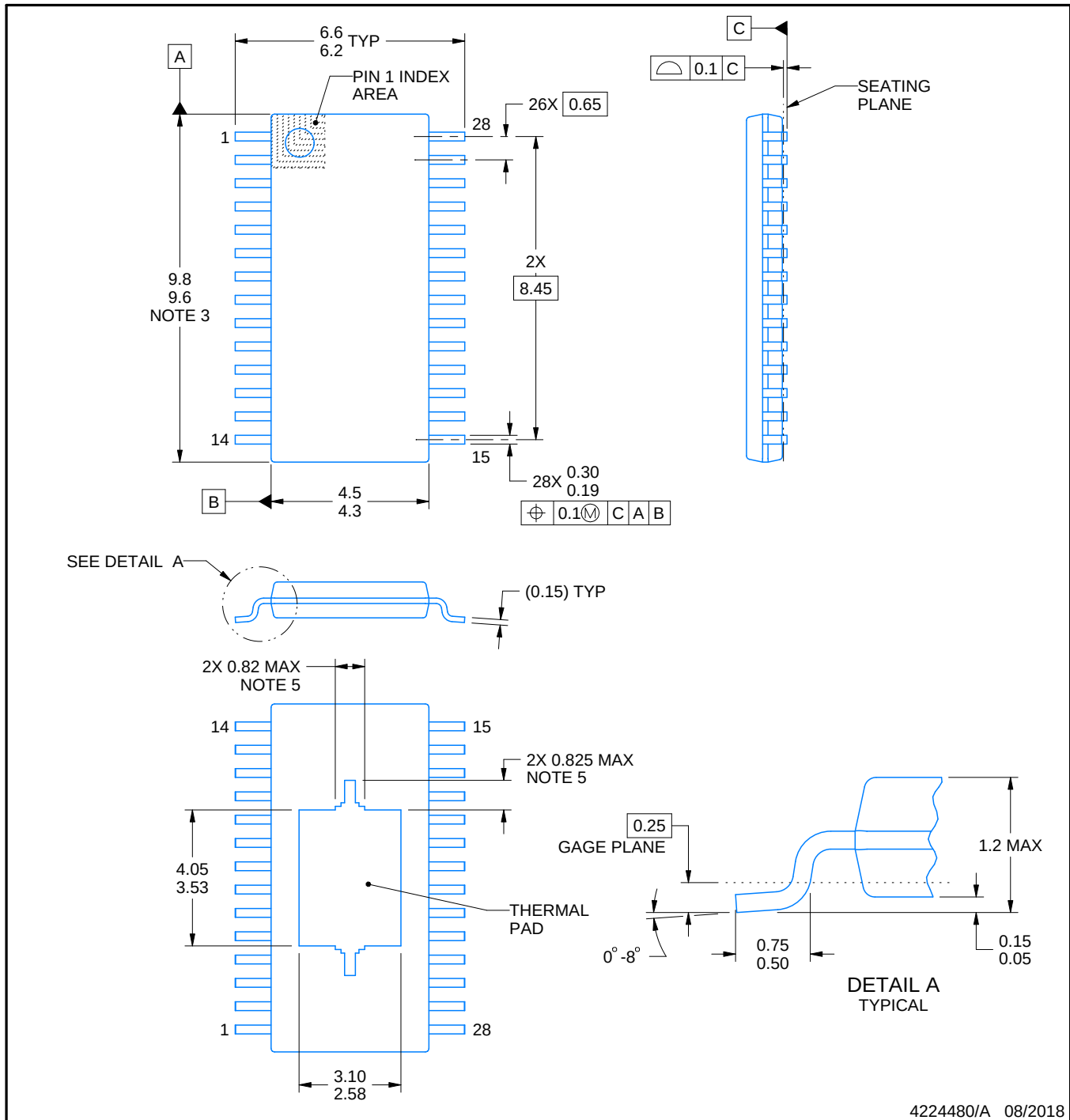
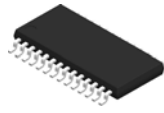
4.4 x 9.7, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224765/B



4224480/A 08/2018

NOTES:

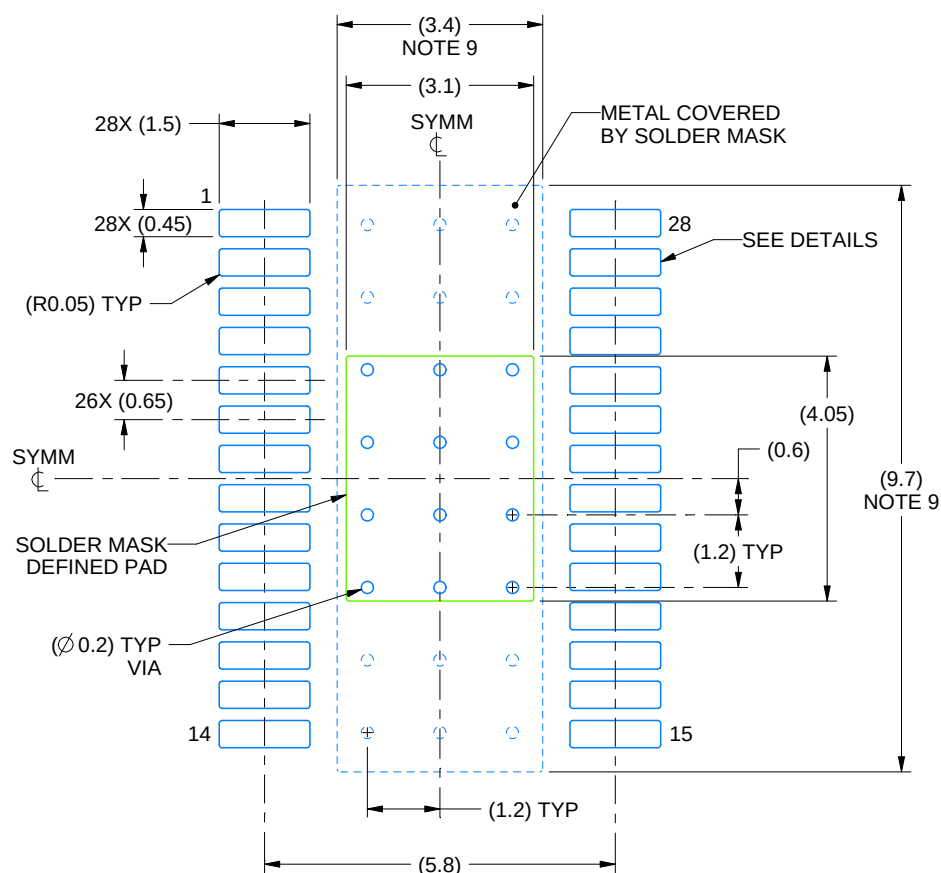
PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.

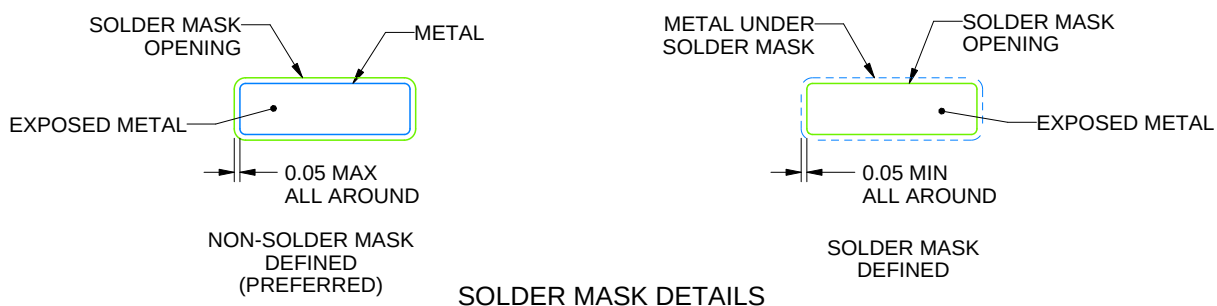
PWP0028M

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 8X



4224480/A 08/2018

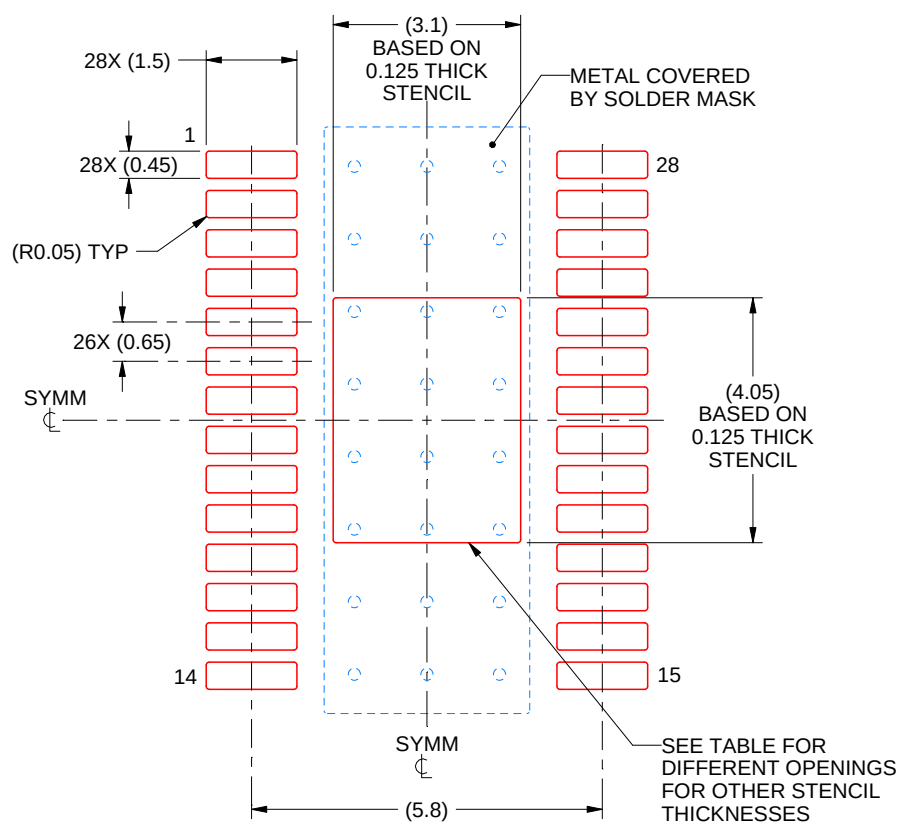
NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

PWP0028M

PowerPAD™ TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 8X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	3.47 X 4.53
0.125	3.10 X 4.05 (SHOWN)
0.15	2.83 X 3.70
0.175	2.62 X 3.42

4224480/A 08/2018

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月