

TAS2320 19W 具有 15V PVDD 支持的单声道数字输入 D 类扬声器放大器

1 特性

- 强大的 D 类放大器
 - 19W 输出功率，1% THD+N
 - 15V 外部 PVDD 电源
- 出色的效率
 - 高达 93.2% 的效率，1% TDH+N 功率
 - 14.7mW 空闲通道功率，噪声门关闭
 - 5.3mW 空闲通道功率，噪声门开启
 - 集成 1.8V VDD Y 桥
- 高性能音频通道
 - 14.2 μ V A 加权空闲通道噪声
 - 114.4dB 动态范围
 - -90dB THD+N
 - 可通过 ERC 和 SSM 实现低 EMI 性能
 - < 1 μ s 芯片间群延迟匹配
- 高级集成特性
 - 信号检测高效模式
 - 高精度电源电压监测器和温度传感器
 - 升压共享次级器件支持
 - 外部 H 类升压控制算法
- 易于使用的特性
 - HW 引脚控制或基于 I²C 的控制
 - 基于时钟的上电/断电
 - 自动时钟速率检测：16 至 192 kHz
 - 无 MCLK 运行
 - 热保护和过流保护
- 电源和用户接口
 - VBAT : 2.5V 至 5.5V
 - VDD : 1.65V 至 1.95V
 - IOVDD : 1.8V 或 3.3V
 - PVDD : 2.5V 至 15V
 - I²S/TDM : 8 通道
- 26 引脚 0.4mm 间距 QFN 封装

2 应用

- 智能音箱（带语音助理）
- 蓝牙和无线扬声器
- 楼宇自动化
- 平板电脑、可穿戴设备
- 笔记本电脑、台式电脑

3 说明

TAS2320 是一款单声道、数字输入 D 类音频放大器，能够将高峰值功率高效驱动到扬声器中。

TAS2320 经过优化，可以为音乐播放和语音通话的实际用例提供出色的电池续航表现。先进的效率优化功能（如 Y 桥和其他算法）使器件能够在工作的所有电源区域内提供出色的效果。该 D 类放大器能够使用外部 PVDD 电源提供 15W 输出功率。

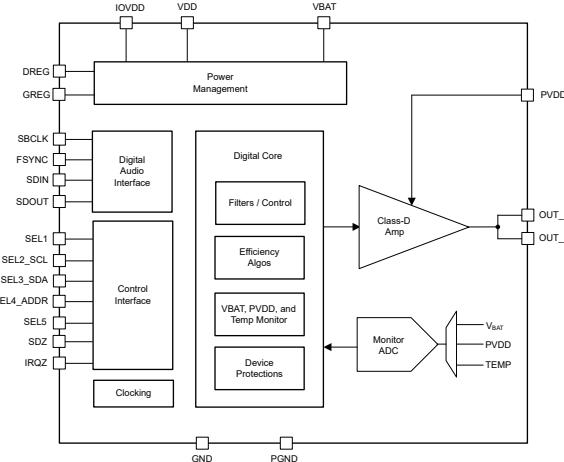
最多四个器件可通过 I²S/TDM 和 I²C 接口共用公共总线。TAS2320 还支持基于 HW 引脚的预定义控件，这些控件可以将器件配置为所需的工作模式，而无需任何 I²C 控件。

器件信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
TAS2320	QFN	4mm × 3.5mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品目录。

(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



功能方框图



本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性	1	7.3 页 2 寄存器	56
2 应用	1	7.4 页 4 寄存器	60
3 说明	1	7.5 页 5 寄存器	65
4 引脚配置和功能	3	7.6 页 6 寄存器	66
5 规格	5	7.7 页 7 寄存器	70
5.1 绝对最大额定值	5	7.8 页 8 寄存器	72
5.2 ESD 等级	5	7.9 簿 100 页 9 寄存器	74
5.3 建议运行条件	5	8 应用和实施	75
5.4 热性能信息	5	8.1 应用信息	75
5.5 电气特性	6	8.2 典型应用	75
5.6 时序要求	9	8.3 应做事项和禁止事项	78
5.7 时序图	10	8.4 电源相关建议	79
5.8 典型特性	11	8.5 布局	79
6 详细说明	15	9 器件和文档支持	80
6.1 概述	15	9.1 文档支持	81
6.2 功能方框图	15	9.2 接收文档更新通知	81
6.3 器件功能模式	15	9.3 支持资源	81
6.4 特性说明	20	9.4 商标	81
6.5 编程	31	9.5 静电放电警告	81
7 寄存器映射	35	9.6 术语表	81
7.1 页 0 寄存器	36	10 修订历史记录	81
7.2 页 1 寄存器	54	11 机械、封装和可订购信息	81

4 引脚配置和功能

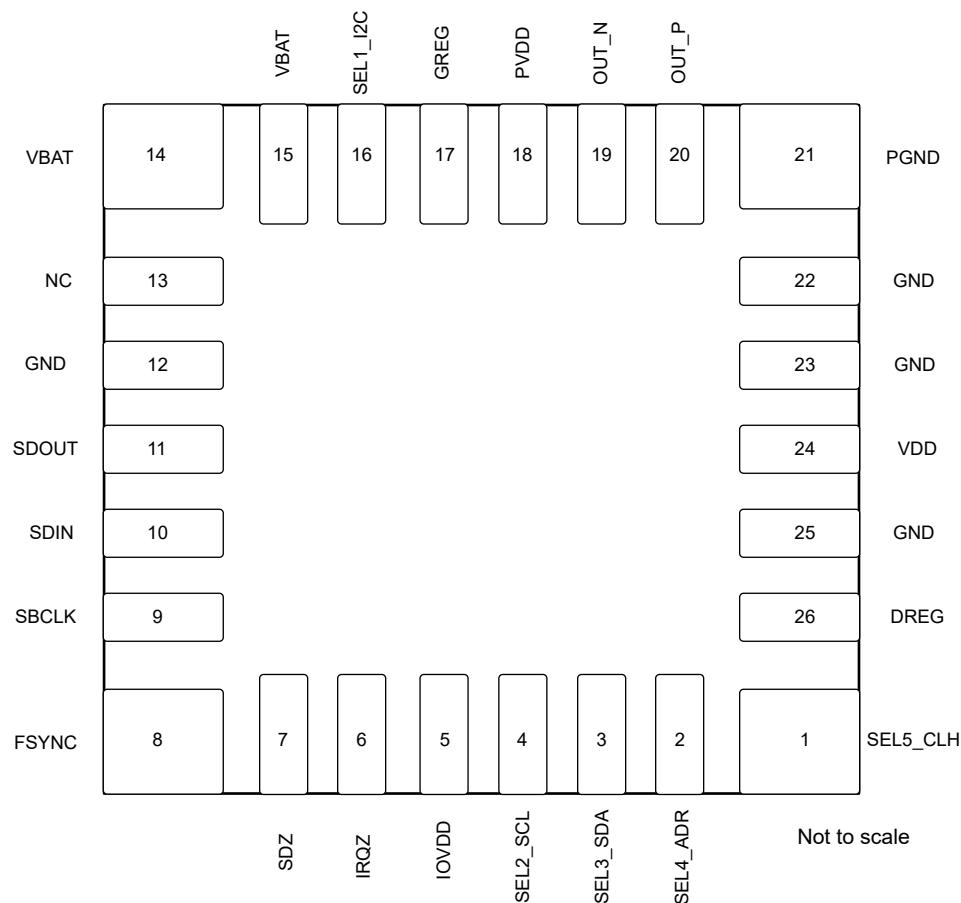


图 4-1. QFN 封装底视图

引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
DREG	26	P	数字内核稳压器输出。使用一个电容器旁路至 GND。不要连接至外部负载。
FSYNC	8	I	I ² S 字时钟或 TDM 帧同步。
GREG	17	P	高侧栅极 CP 稳压器输出。不要连接至外部负载。
GND	12、22、23、25	P	连接至 PCB 接地平面。需要通过多个过孔可靠连接到接地平面。
IOVDD	5	P	1.8V 或 3.3V 数字 IO 电源。使用电容器进行去耦（连接至 GND）。
IRQZ	6	O	开漏、低电平有效中断引脚。如果未使用可选内部上拉电阻，则使用电阻器上拉至 IOVDD。
NC	13	-	无连接。保持悬空。
OUT_N	19	O	D 类负输出。
OUT_P	20	O	D 类正输出。
PGND	21	P	D 类功率级地。通过多个过孔可靠连接到 PCB GND 平面。
PVDD	18	P	D 类功率级电源。使用电容器进行去耦（连接至 GND）。
SBCLK	9	I	I ² S 或 TDM 串行位时钟。
SDIN	10	I	I ² S 或 TDM 串行数据输入。
SDOUT	11	I/O	I ² S 或 TDM 串行数据输出。
SDZ	7	I	低电平有效硬件关断。
SEL1_I2C	16	I	HW 模式：选择 1 引脚。通过音量斜坡启用和禁用选项选择放大器增益电平。 I ² C 模式：短接至 GND 可以选择 I ² C 模式。
SEL2_SCL	4	I	HW 模式：选择 2 引脚。I ² S、TDM、左平衡选择。 I ² C 模式：时钟引脚。使用电阻器上拉至 IOVDD。
SEL3_SDA	3	I/O	HW 模式：选择 3 引脚。数据有效上升沿和下降沿选择。 I ² C 模式：数据引脚。使用电阻器上拉至 IOVDD。
SEL4_ADR	2	I	HW 模式：选择 4 引脚。Y 桥阈值配置设置。 I ² C 模式：I ² C 地址引脚。
SEL5_CLH	1	I/O	HW 模式：选择 5 引脚。连接至 IOVDD。 I ² C 模式：H 类控制。共享升压输出或外部升压 PWM 生成。如果未使用共享升压或外部升压功能，则短接至 GND。
VBAT	15	P	电池电源输入。连接至 2.5 至 5.5V 电源，并使用电容器去耦。
	14	I	电池电源输入。连接到 2.5V 至 5.5V 电源。
VDD	24	P	连接至 1.8V 电源，并使用电容器去耦至 GND。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源。

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
电源电压	PVDD	-0.3	19	V
电源电压	VBAT	-0.3	6	V
电源电压	VDD	-0.3	2	V
电源电压	IOVDD	-0.3	6	V
D 类输出	OUTP、OUTM	-0.7	19	V
高侧驱动稳压器	GREG	-0.3	PVDD + 6	V
数字电源稳压器	DREG	-0.3	1.65	V
数字 IO 引脚	以 IOVDD 电源为基准的数字引脚	-0.3	6	V
T _{stg}	贮存温度	-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

		值	单位
V _(ESD)	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚 ⁽¹⁾	±2000
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准，所有引脚 ⁽²⁾	±500

(1) JEDEC 文档 JEP155 指出：500V HBM 可通过标准 ESD 控制流程实现安全生产。

(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

		最小值	标称值	最大值	单位
V _{BAT}	电池电源	2.5	3.6	5.5	V
V _{PVDD}	放大器电源	V _{BAT}	12	15	V
V _{VDD}	电源电压	1.65	1.8	1.95	V
V _{IOVDD}	IO 电源电压 1.8V	1.62	1.8	1.98	V
V _{IOVDD}	IO 电源电压 3.3V	3.0	3.3	3.6	V
R _{SPK}	扬声器电阻	3.2	8	38.4	Ω
L _{SPK}	扬声器电感	5	33	100	μH
T _A	环境温度	-40		85	°C
T _J	结温	-40		150	°C

5.4 热性能信息

热指标 ⁽¹⁾		标准 JEDEC ⁽²⁾	单位
		HR-QFN	
		26 引脚	
R _{θ JA}	结至环境热阻	51.5	°C/W
R _{θ JC(top)}	结至外壳 (顶部) 热阻	28.5	°C/W

热指标 ⁽¹⁾		标准 JEDEC ⁽²⁾	单位
		HR-QFN	
		26 引脚	
R _{θ_JB}	结至电路板热阻	15.3	°C/W
Ψ _{JT}	结至顶部特征参数	0.9	°C/W
Ψ _{JB}	结至电路板特征参数	15.2	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用报告。

(2) JEDEC 标准 4 层 PCB

5.5 电气特性

T_A = 25°C , PVDD = 12V , VDD = 1.8V , IOVDD = 1.8V , RL = 8Ω + 33μH , Fin = 1kHz , Fs = 48kHz , 增益 = 21dBV , SDZ=1 , 禁用噪声门 , D 类边沿速率设为 2V/ns , I2C 工作模式 , 测量时无滤波器 , 通过 Audio Precision 使用 22Hz 至 20kHz 未加权带宽测得 (除非另有说明)。⁽¹⁾

参数	测试条件	最小值	典型值	最大值	单位
放大器性能					
P _{OUT_EXT_PVDD}	最大输出功率 - 1% THD+N	R _L = 8Ω + 33μH	8.3	W	
		R _L = 4Ω + 33μH	14.6	W	
		R _L = 8Ω + 33μH , PVDD = 15V	11.2	W	
		R _L = 4Ω + 33μH , PVDD = 15V	19	W	
P _{OUT_EXT_PVDD}	最大输出功率 - 10% THD+N	R _L = 8Ω + 33μH	10.3	W	
		R _L = 4Ω + 33μH	18.0	W	
η _{SYSTEM_EXT_1W}	P _{OUT} = 1.0W 时的系统效率	R _L = 8Ω + 33μH	88.5	%	
		R _L = 4Ω + 33μH	84.3	%	
η _{SYSTEM_EXT_MAX_POUT}	1% THD+N 功率级别下的系统效率	R _L = 8Ω + 33μH	93.2	%	
		R _L = 4Ω + 33μH	88.5	%	
V _{N_EXT}	空闲通道噪声	A 加权 , 增益 = 21dBV (扬声器模式) , DAC 运行	14.2	μV	
DNR _{EXT}	动态范围	A 加权 , -60dBFS 方法 , RL = 8Ω + 33μH	114.4	dB	
THD+N _{EXT}	总谐波失真 + 噪声	P _{OUT} = 1W , R _L = 8Ω + 33μH	0.003	%	
		P _{OUT} = 1W , R _L = 4Ω + 33μH	0.004	%	
K _{CP_EXT}	咔嗒声和砰砰声性能	音频通道的所有动态上电/断电 , 故障除外。包括进入/退出静音、上电和断电、噪声门模式进入和退出。在峰值 A 加权电压下测得。RL = 8Ω + 33μH , 输入 = 数字静音	-68	dBV	
V _{OS_EXT}	输出失调电压	空闲通道	-1	1	mV
PSRR _{PVDD_EXT}	PVDD 电源抑制比	PVDD + 200mVpp , f _{ripple} = 217Hz	119	dB	
		PVDD + 200mVpp , f _{ripple} = 1kHz	115	dB	
		PVDD + 200mVpp , f _{ripple} = 20kHz	91	dB	
PSRR _{VBAT_EXT}	VBAT 电源抑制比	VBAT + 200mV _{pp} , f _{ripple} = 217Hz	118	dB	
		VBAT + 200mV _{pp} , f _{ripple} = 1kHz	116	dB	
		VBAT + 200mV _{pp} , f _{ripple} = 20kHz	102	dB	
PSRR _{VDD_EXT}	VDD 电源抑制比	VDD + 200mV _{pp} , f _{ripple} = 217Hz	113	dB	
		VDD + 200mV _{pp} , f _{ripple} = 1kHz	113	dB	
		VDD + 200mV _{pp} , f _{ripple} = 20kHz	91	dB	

$T_A = 25^\circ\text{C}$, $\text{PVDD} = 12\text{V}$, $\text{VDD} = 1.8\text{V}$, $\text{IOVDD} = 1.8\text{V}$, $\text{RL} = 8\Omega + 33\mu\text{H}$, $\text{Fin} = 1\text{kHz}$, $\text{Fs} = 48\text{kHz}$, 增益 = 21dBV, SDZ=1, 禁用噪声门, D类边沿速率设为2V/ns, I²C 工作模式, 测量时无滤波器, 通过 Audio Precision 使用 22Hz 至 20kHz 未加权带宽测得(除非另有说明)。⁽¹⁾

参数	测试条件	最小值	典型值	最大值	单位
TDM 串行端口					
PCM 采样率和 FSYNC 输入频率		16	192	kHz	
SBCLK 输入频率	I ² S/TDM 运行	0.512	24.57	MHz	
SBCLK 最大输入抖动	RMS 抖动低于 40kHz, 能够耐受而不会降低性能		0.5	ns	
	RMS 抖动高于 40kHz, 能够耐受而不会降低性能		5	ns	
I ² S 和 TDM 模式下每个 FSYNC 的 SBCLK 周期数	值: 64、96、128、192、256、384 和 512	64	512	周期	
fs ≤ 48kHz 时的 PCM 回放特征					
Fs	采样率	16	48	kHz	
音频通道通带 LPF 转角频率	纹波 < 通带纹波	0.454	fs		
	20Hz 至 LPF 截止频率	±0.1	dB		
音频通道阻带衰减	≥ 0.55 fs	60	dB		
	≥ 1 fs	65	dB		
音频通道群延迟	Fin = 1kHz, 最低延迟模式(Y桥、禁用噪声门)	8.5	1/fs		
	Fin = 1kHz, 禁用 H 类	16.5	1/fs		
	直流至 20kHz, 最低延迟模式(旁路 HPF、Y桥、禁用噪声门)	13	1/fs		
	直流至 20kHz, 旁路 HPF	21	1/fs		
fs > 48kHz 时的 PCM 回放特征					
Fs	采样率	88.2	192	kHz	
音频通道通带 LPF 转角频率	fs = 96kHz	0.469	fs		
	fs = 192kHz	0.234	fs		
音频通道通带纹波	20Hz 至 LPF 截止频率	±0.2	dB		
	fs = 96kHz, fin ≥ 0.55 fs	60	dB		
音频通道阻带衰减	fs = 96kHz, fin ≥ 1 fs	65	dB		
	fs = 192kHz, 0.55 fs ≥ fin ≥ 0.275 fs	60	dB		
	Fin = 1kHz, Fs = 96kHz, 最低延迟模式(Y桥、禁用噪声门)	11	1/fs		
音频通道群延迟	Fin = 1kHz, Fs = 96kHz, 禁用 H 类	6.7	1/fs		
	直流至 20kHz, Fs = 96kHz, 最低延迟模式(旁路 HPF、Y桥、禁用噪声门)	11.5	1/fs		
	直流至 40kHz, Fs = 96kHz, 旁路 HPF	28.6	1/fs		
保护电路					
	热关断温度	140	°C		
	热关断重试时间	1.5	s		
VBAT 欠压锁定阈值 (UVLO)	UVLO 被置位	1.9	V		
	UVLO 被释放	2.3	V		
VDD 欠压锁定阈值 (UVLO)	UVLO 被置位	1.4	V		
	UVLO 被释放	1.6	V		

$T_A = 25^\circ\text{C}$, $PVDD = 12\text{V}$, $VDD = 1.8\text{V}$, $IOVDD = 1.8\text{V}$, $RL = 8\Omega + 33\mu\text{H}$, $\text{Fin} = 1\text{kHz}$, $F_s = 48\text{kHz}$, 增益 = 21dBV, $SDZ=1$, 禁用噪声门, D 类边沿速率设为 $2\text{V}/\text{ns}$, I²C 工作模式, 测量时无滤波器, 通过 Audio Precision 使用 22Hz 至 20kHz 未加权带宽测得 (除非另有说明)。⁽¹⁾

参数	测试条件	最小值	典型值	最大值	单位
PVDD 欠压锁定阈值 (UVLO)	UVLO 被置为有效	2.6			V
	UVLO 被释放		2.8		V
PVDD 过压锁定阈值 (OVLO)	OVLO 被置为有效, OVLO 保护被启用。		16		V
输出短路保护	输出到输出、输出到 GND、输出到 PVDD、输出到 VBAT, H 桥模式		5.3		A

上电/断电时间

T_{STDBY}	从 SDZ 被置为有效到器件为 I ² C 命令做好准备的开通时间		300	us
T_{ACTIVE}	从释放软件关断到放大器输出有效的开通时间	禁用音量斜坡	1.6	ms
		启用音量斜坡	3.9	ms
$T_{TURNOFF}$	从软件关断被置为有效到放大器输出高阻态的关断时间	禁用音量斜坡	0.2	ms
		启用音量斜坡	13.9	ms

电流消耗

$I_{Q_HW_SD}$	硬件关断时的电流消耗	PVDD, SDZ = 0	0.1	uA
		VBAT, SDZ = 0	0.1	uA
		VDD, SDZ = 0	0.2	uA
		IOVDD, SDZ = 0	0.1	uA
$I_{Q_SW_SD}$	软件关断时的电流消耗	PVDD, 所有时钟均停止	0.1	uA
		VBAT, 所有时钟均停止	0.1	uA
		VDD, 所有时钟均停止	12	uA
		IOVDD, 所有时钟均停止	0.1	uA
I_{Q_NG}	空闲通道中的电流消耗	PVDD, $P_{OUT} = 0$, 启用噪声门	0.1	mA
		VBAT, $P_{OUT} = 0$, 启用噪声门	0.15	mA
		VDD, $P_{OUT} = 0$, 启用噪声门	2.2	mA
		IOVDD, $P_{OUT} = 0$, 启用噪声门	0.1	mA
		总功率, $P_{OUT} = 0$, 启用噪声门	5.3	mW
I_{Q_IDLE}	空闲通道中的电流消耗	PVDD, $P_{OUT} = 0$, 禁用噪声门	0.2	mA
		VBAT, $P_{OUT} = 0$, 禁用噪声门	0.5	mA
		VDD, $P_{OUT} = 0$, 禁用噪声门	6	mA
		IOVDD, $P_{OUT} = 0$, 禁用噪声门	0.1	mA
		总功率, $P_{OUT} = 0$, 禁用噪声门	14.7	mW

数字 IO

V_{IH}	高电平数字输入逻辑电压阈值	所有数字引脚	$0.7 \times IOVDD$	V
V_{IL}	低电平数字输入逻辑电压阈值	所有数字引脚	$0.3 \times IOVDD$	V
V_{OH}	高电平数字输出电压	所有数字引脚 (SDA、SCL 和 IRQZ 除外); $I_{OH} = 100\mu\text{A}$	$IOVDD - 0.2\text{V}$	V
V_{OL}	低电平数字输出电压	所有数字引脚 (SDA、SCL 和 IRQZ 除外); $I_{OL} = -100\mu\text{A}$	0.2	V
$V_{OL(I2C)}$	低电平数字输出电压	SDA 和 SCL; $I_{OL} = -1\text{mA}$	$0.2 \times IOVDD$	V
$V_{OL(IRQZ)}$	开漏输出的低电平数字输出电压	IRQZ 引脚, $I_{OL} = -1\text{mA}$	0.2	V

$T_A = 25^\circ\text{C}$, $\text{PVDD} = 12\text{V}$, $\text{VDD} = 1.8\text{V}$, $\text{IOVDD} = 1.8\text{V}$, $\text{RL} = 8\Omega + 33\mu\text{H}$, $\text{Fin} = 1\text{kHz}$, $\text{Fs} = 48\text{kHz}$, 增益 = 21dBV, $\text{SDZ}=1$, 禁用噪声门, D 类边沿速率设为 2V/ns , I²C 工作模式, 测量时无滤波器, 通过 Audio Precision 使用 22Hz 至 20kHz 未加权带宽测得 (除非另有说明)。⁽¹⁾

参数	测试条件	最小值	典型值	最大值	单位
I_{IH} ⁽¹⁾	数字输入的输入逻辑高电平漏电流	所有数字引脚; 输入 = IOVDD。	-1	1	μA
I_{IL} ⁽¹⁾	数字输入的输入逻辑低电平漏电流	所有数字引脚; 输入 = GND	-1	1	μA
C_{IN}	数字输入的输入电容	所有数字引脚		5	pF
R_{PD}	被置为有效时数字输入/IO 引脚的下拉电阻	所有数字引脚。启用下拉电阻选项		18	$\text{k}\Omega$

(1) 勘误表：如果 IRQZ 信号被拉高，则预计会有额外的 2mA 到 3mA 电流消耗。在“应做事项和禁止事项”一节中了解更多详细信息。

5.6 时序要求

$T_A = 25^\circ\text{C}$, $\text{VDD} = \text{IOVDD} = 1.8\text{V}$ (除非另有说明)

		最小值	标称值	最大值	单位
I²C - 标准模式					
f_{SCL}	SCL 时钟频率	0	100	100	kHz
$t_{HD;STA}$	(重复) START 条件后的保持时间。在此时间段之后，生成第一个时钟脉冲。	4			μs
t_{LOW}	SCL 时钟的低电平周期	4.7			μs
t_{HIGH}	SCL 时钟的高电平周期	4			μs
$t_{SU;STA}$	重复 START 条件的建立时间	4.7			μs
$t_{HD;DAT}$	数据保持时间：对于 I ² C 总线器件	0	3.45	3.45	μs
$t_{SU;DAT}$	数据建立时间	250			ns
t_r	SDA 和 SCL 上升时间		1000		ns
t_f	SDA 和 SCL 下降时间		300		ns
$t_{SU;STO}$	STOP 条件的建立时间	4			μs
t_{BUF}	STOP 与 START 条件之间的总线空闲时间	4.7			μs
C_b	每个总线的容性负载		400		pF
I²C - 快速模式					
f_{SCL}	SCL 时钟频率	0	400	400	kHz
$t_{HD;STA}$	(重复) START 条件后的保持时间。在此时间段之后，生成第一个时钟脉冲。	0.6			μs
t_{LOW}	SCL 时钟的低电平周期	1.3			μs
t_{HIGH}	SCL 时钟的高电平周期	0.6			μs
$t_{SU;STA}$	重复 START 条件的建立时间	0.6			μs
$t_{HD;DAT}$	数据保持时间：对于 I ² C 总线器件	0	0.9	0.9	μs
$t_{SU;DAT}$	数据建立时间	100			ns
t_r	SDA 和 SCL 上升时间	$20 + 0.1 \times C_b$	300		ns
t_f	SDA 和 SCL 下降时间	$20 + 0.1 \times C_b$	300		ns
$t_{SU;STO}$	STOP 条件的建立时间	0.6			μs
t_{BUF}	STOP 与 START 条件之间的总线空闲时间	1.3			μs
C_b	每个总线的容性负载		400		pF
TDM 端口					
f_{sbclk}	SBCLK 频率范围	0.384	24.576	24.576	MHz
$t_{H(SBCLK)}$	SBCLK 高电平周期	$0.35/f_{sbclk}$			ns

$T_A = 25^\circ\text{C}$, $VDD = \text{IOVDD} = 1.8\text{V}$ (除非另有说明)

		最小值	标称值	最大值	单位
$t_L(\text{SBCLK})$	SBCLK 低电平时间	0.35/ f_{sbclk}			ns
$t_{\text{SU}(\text{FSYNC})}$	FSYNC 设置时间	8			ns
$t_{\text{HLD}(\text{FSYNC})}$	FSYNC 保持时间	8			ns
$t_{\text{SU}(\text{SDIN})}$	SDIN 设置时间	8			ns
$t_{\text{HLD}(\text{SDIN})}$	SDIN 保持时间	8			ns
$t_d(\text{SBCLK_SDOUT})$	SBCLK 到 SDOUT 延迟 : SBCLK 下降沿的 10% 或 SBCLK 上升沿的 90% 至 SDOUT 的 50%, IOVDD = 1.8V			30	ns
$t_d(\text{SBCLK_SDOUT})$	SBCLK 到 SDOUT 延迟 : SBCLK 下降沿的 10% 或 SBCLK 上升沿的 90% 至 SDOUT 的 50%, IOVDD = 3.3V			18.5	ns
$t_r(\text{SBCLK})$	SBCLK 上升时间 : 10% - 90% 上升时间		0.15/ f_{sbclk}		ns
$t_f(\text{SBCLK})$	SBCLK 下降时间 : 90% - 10% 上升时间		0.15/ f_{sbclk}		ns
$t_{\text{f}(\text{SBCLK-CLH})}$	SBCLK 到 CLH 延迟 : Boost 共享配置			1/2* f_{sbclk}	ns

5.7 时序图

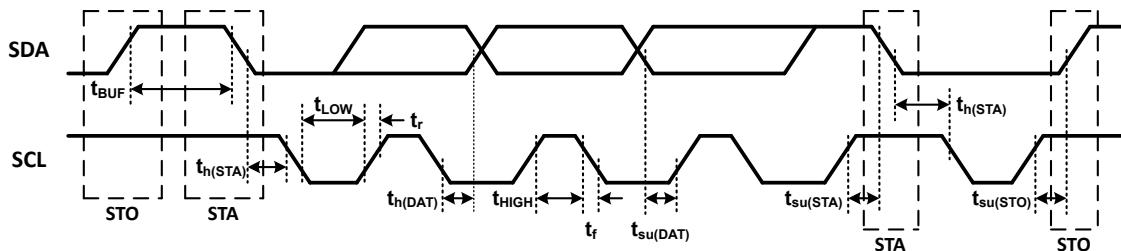


图 5-1. I²C 时序图

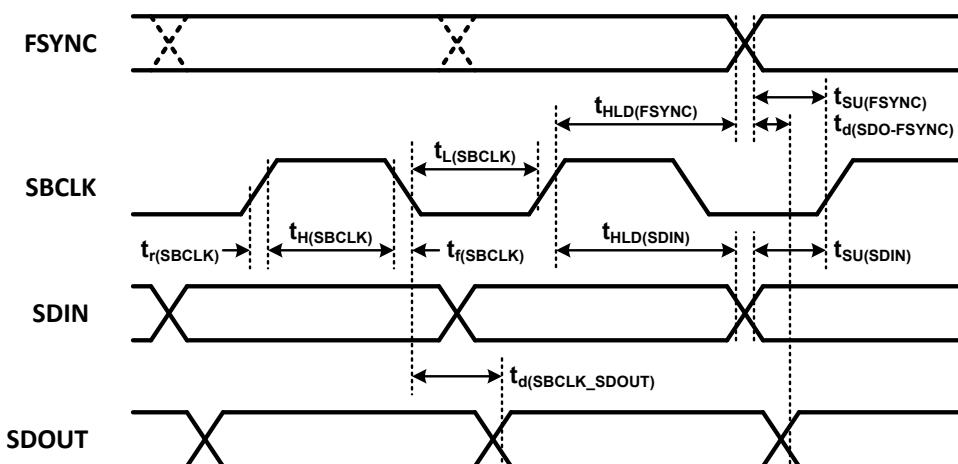
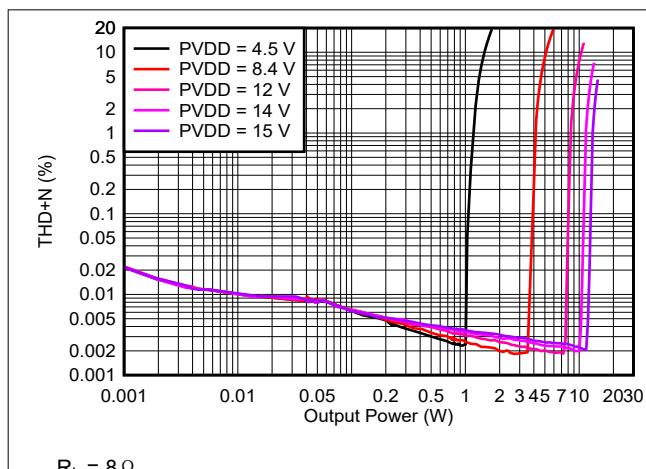


图 5-2. I²S/TDM 时序图

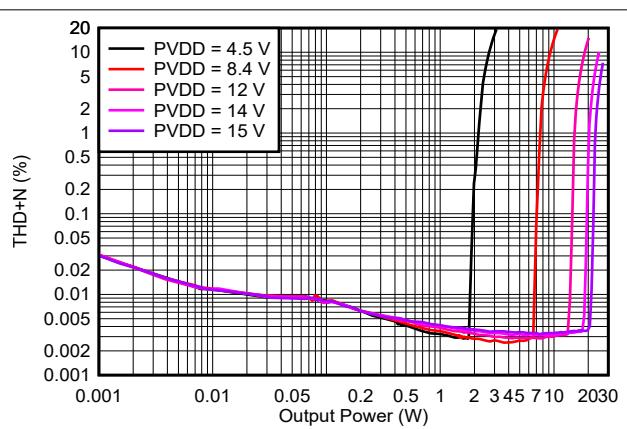
5.8 典型特性

$T_A = 25^\circ\text{C}$, $\text{VBAT} = 3.6\text{V}$, $\text{PVDD} = 12\text{V}$, $\text{VDD} = 1.8\text{V}$, $\text{IOVDD} = 1.8\text{V}$, $\text{Fin} = 1\text{kHz}$, $\text{Fs} = 48\text{kHz}$, 增益 = 21dBV, $\text{SDZ} = 1$, 禁用噪声门, I²C 工作模式, 测量时无滤波器, 通过 Audio Precision 使用 22Hz 至 20kHz 未加权带宽测得 (除非另有说明)。



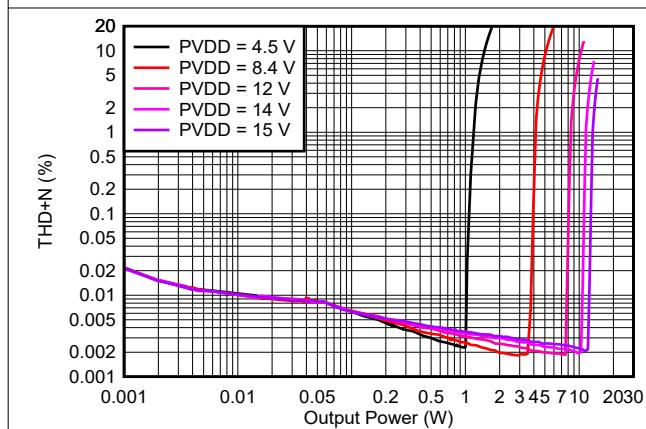
$R_L = 8 \Omega$

图 5-3. THD+N 与输出功率间的关系



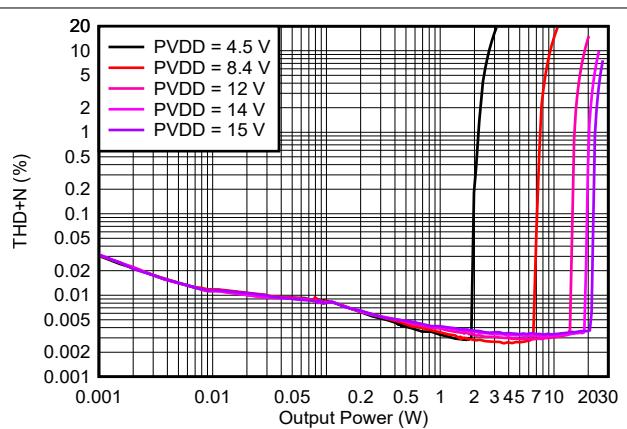
$R_L = 4 \Omega$

图 5-4. THD+N 与输出功率间的关系



$R_L = 8 \Omega$ HW 引脚控制

图 5-5. THD+N 与输出功率间的关系



$R_L = 4 \Omega$ HW 引脚控制

图 5-6. THD+N 与输出功率间的关系

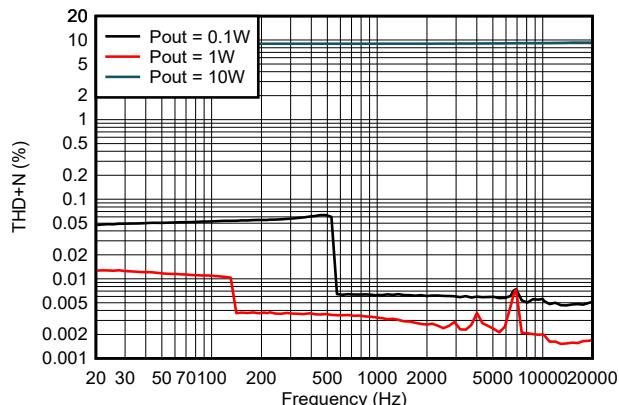
 $R_L = 8 \Omega$

图 5-7. THD+N 与频率间的关系

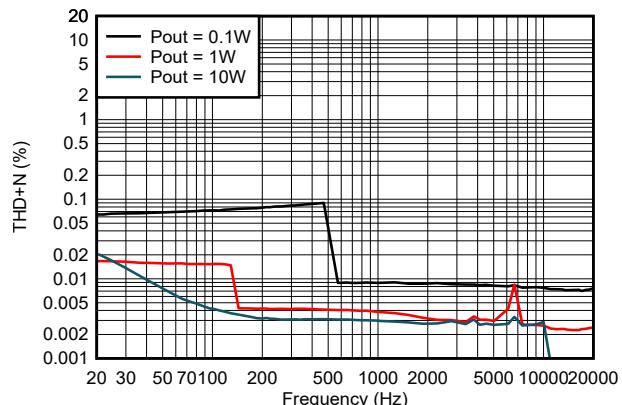
 $R_L = 4 \Omega$

图 5-8. THD+N 与频率间的关系

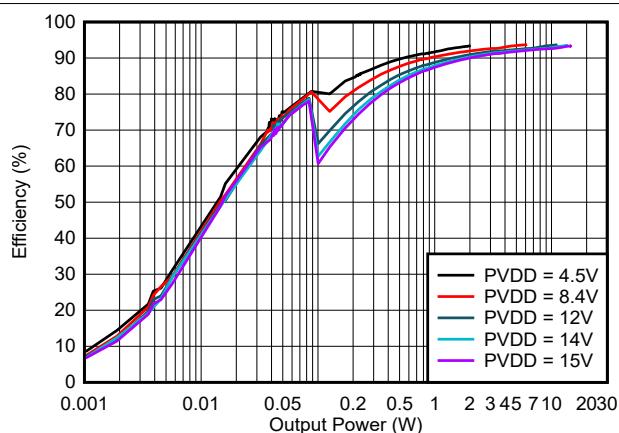
 $R_L = 8 \Omega$

图 5-9. 效率与输出功率间的关系

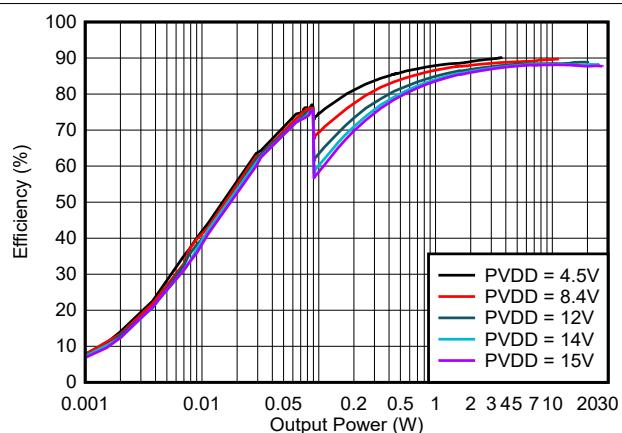
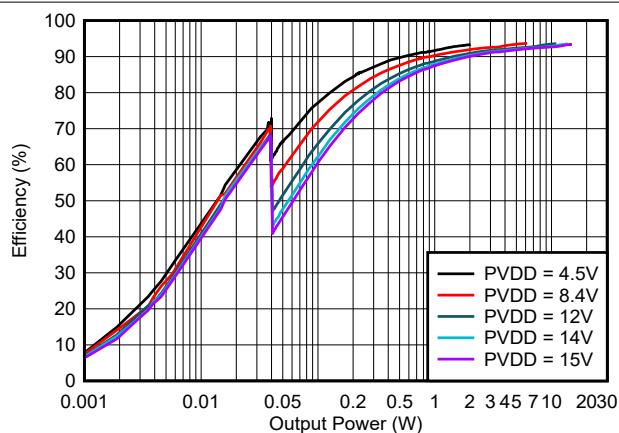
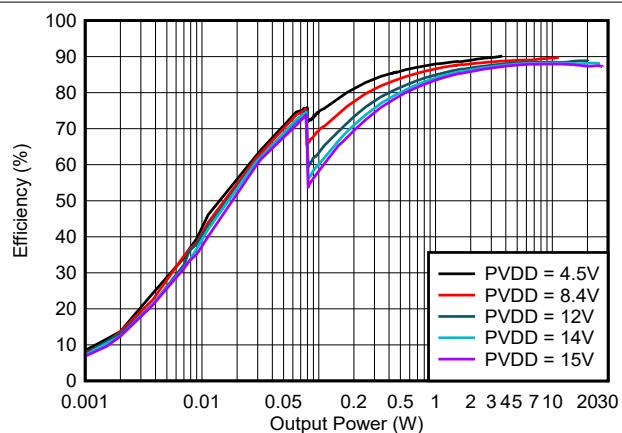
 $R_L = 4 \Omega$

图 5-10. 效率与输出功率间的关系

 $R_L = 8 \Omega$

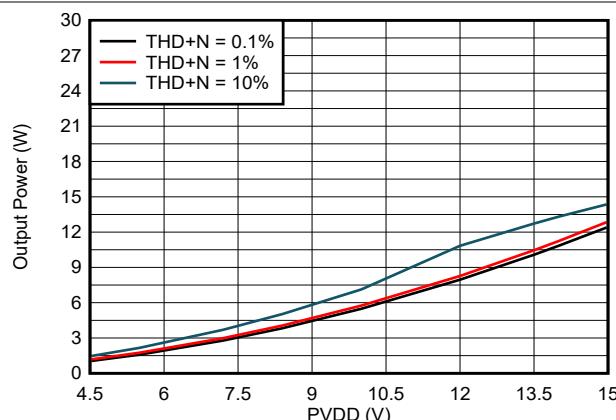
HW 引脚控制

图 5-11. 效率与输出功率间的关系

 $R_L = 4 \Omega$

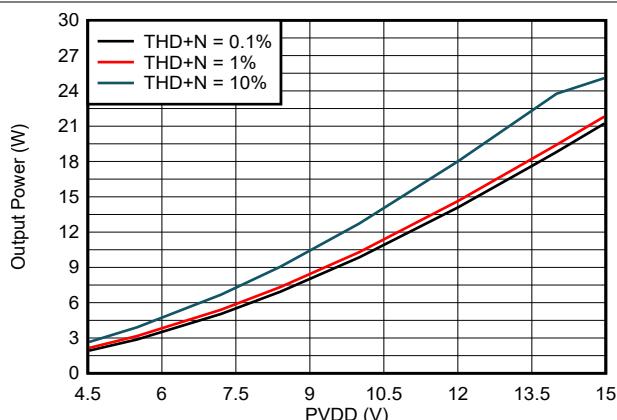
HW 引脚控制

图 5-12. 效率与输出功率间的关系



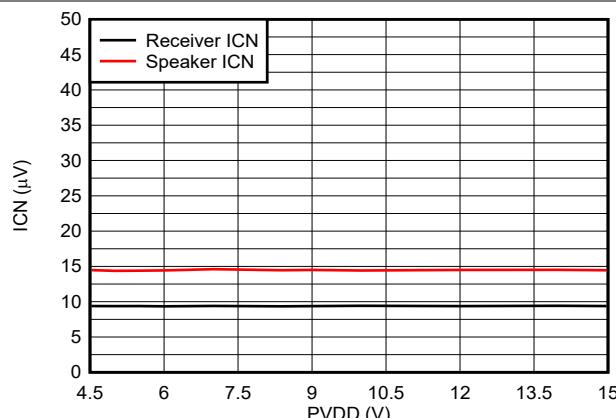
$R_L = 8 \Omega$

图 5-13. 输出功率与 PVDD 电压间的关系



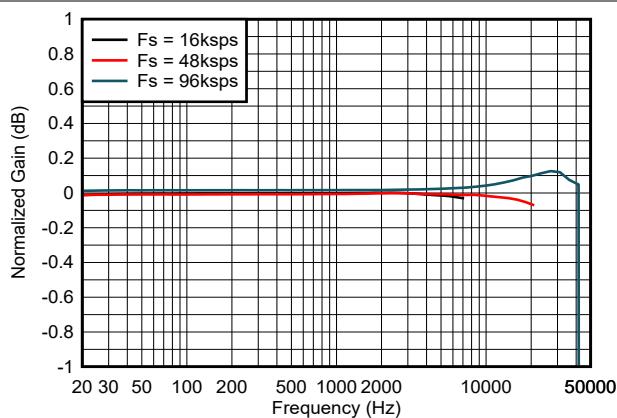
$R_L = 4 \Omega$

图 5-14. 输出功率与 PVDD 电压间的关系



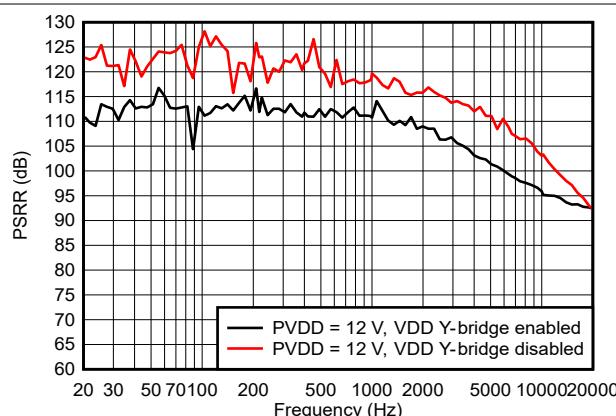
$R_L = 8 \Omega$

图 5-15. 空闲声道噪声与 PVDD 电压间的关系



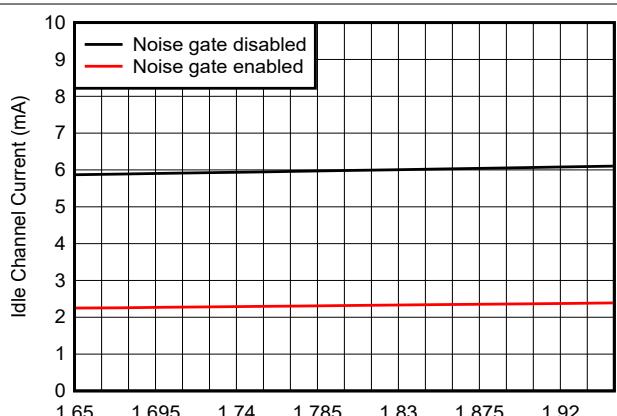
$R_L = 8 \Omega$

图 5-16. 音频通道频率响应



$R_L = 8 \Omega$

图 5-17. PSRR 与频率间的关系



$R_L = 8 \Omega$

图 5-18. 空闲通道电流与 VDD 电压间的关系

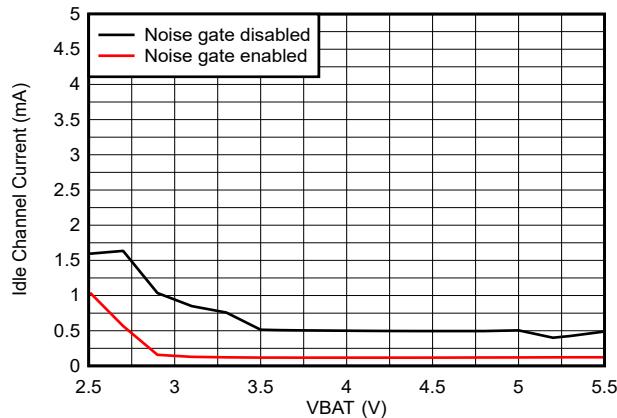
 $R_L = 8 \Omega$

图 5-19. 空闲通道电流与 VBAT 电压间的关系

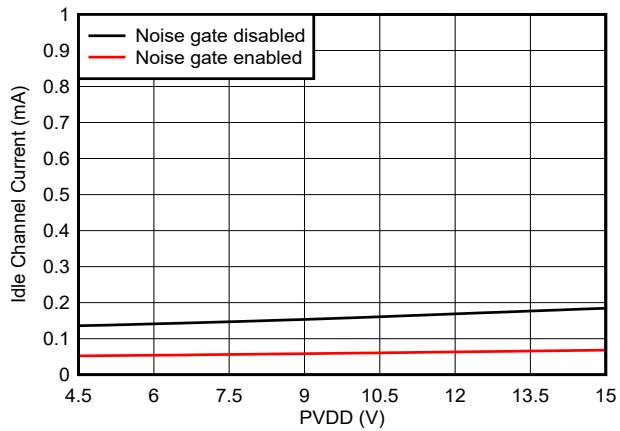
 $R_L = 8 \Omega$

图 5-20. 空闲通道电流与 PVDD 电压间的关系

6 详细说明

6.1 概述

TAS2320 是一款单声道数字输入 D 类放大器，经优化可在所有电源上提供超高效率，从而延长电池寿命。该器件具有小解决方案尺寸，适用于布板空间受限的应用。它集成了电池/温度传感器，可提供系统级保护功能。

6.2 功能方框图

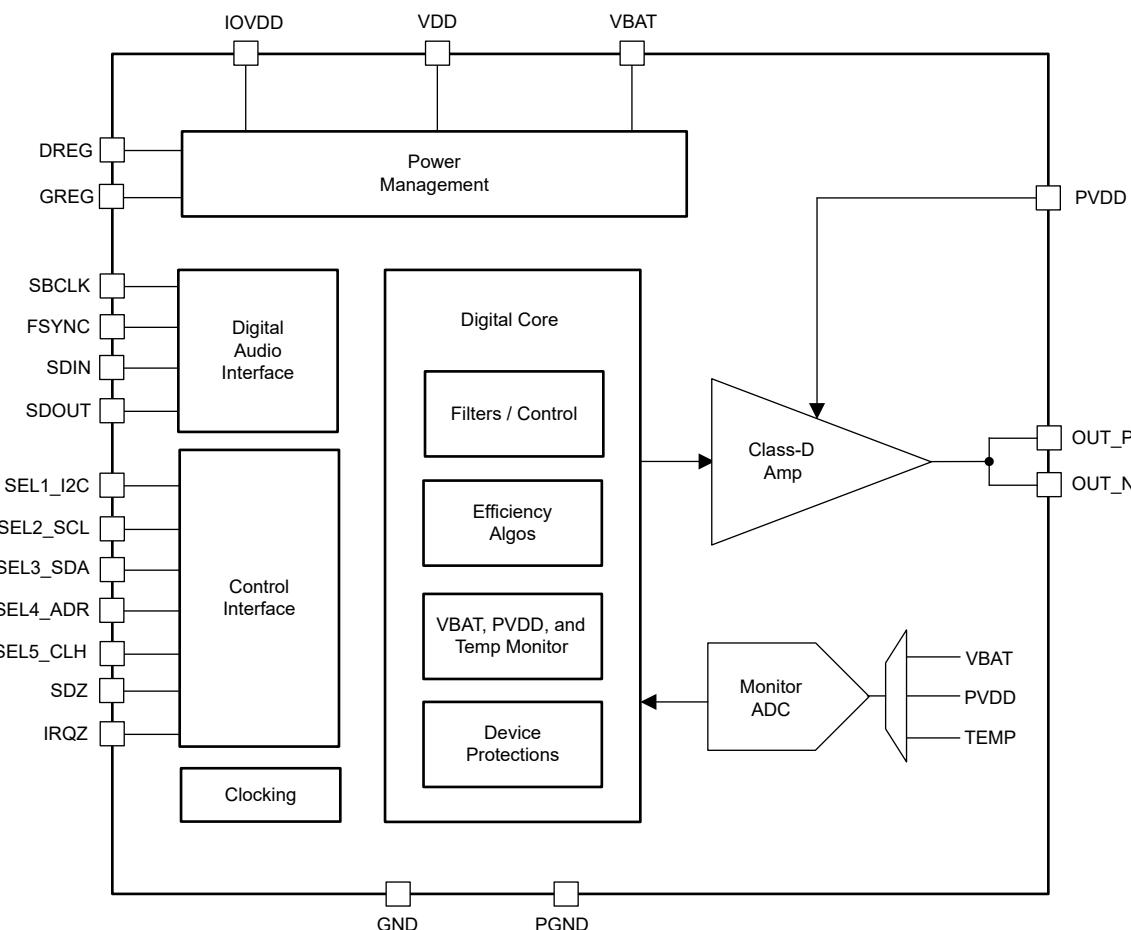


图 6-1. 简要功能方框图

6.3 器件功能模式

6.3.1 工作模式

6.3.1.1 硬件关断

可以通过将 SDZ 引脚置为低电平来关断器件。SDZ 引脚被拉至低电平时，器件关断，该行为由 SDZ_MODE 寄存器设置控制。

在硬件关断模式下 ($SDZ_MODE[1:0] = 00$ 或 01)，如果 SDZ 引脚被置为低电平，则器件会消耗来自电源的最小静态电流。在该模式下所有寄存器会丢失状态并恢复默认设置，同时禁用 I²C 通信。

如果配置为 $SDZ_MODE[1:0] = 00$ ，则当 SDZ 引脚在音频播放过程中被置为低电平时，器件将遵循正常的断电时序，例如音频音量斜降（如果启用），停止 D 类开关，为模拟和数字块断电以确保没有断电砰砰声，并最终将器件置于硬件关断模式。在该模式下，SDZ 引脚被置为低电平时会禁用 I²C 通信。

如果配置为 **SDZ_MODE[1:0] = 01**，则当 **SDZ** 引脚被置为低电平时，器件将立即进入硬件关断状态，而不会执行任何断电时序例程。建议确保在该模式下将 **SDZ** 引脚置为低电平之前，将音频输入信号斜降至空闲通道，可以使用户器件软件静音模式来实现这一点。在该模式下，**SDZ** 引脚被置为低电平时会禁用 I²C 通信。

最后，可以通过设置 **SDZ_MODE[1:0] = 10** 将器件配置为软件关断模式。在该模式下，当 **SDZ** 引脚被拉至低电平时，器件将遵循正常的断电时序并进入软件关断模式。编程的所有器件寄存器配置均按照器件在 **SDZ** 引脚被拉至低电平之前所处的状态进行保留。在该模式下，**SDZ** 引脚被置为低电平时 I²C 通信仍然可用。

表 6-1. 关断控制

SDZ_MODE[1:0]	配置
00 (默认值)	具有断电时序的硬件关断模式
01	硬件关断模式 - 立即
10	软件关断模式 (保留所有寄存器值)
11	保留

当 **SDZ_MODE[1:0]** 为 00 或 10 时，器件会执行关断时序，**SDZ** 引脚必须在整个关断时间内保持低电平。关断时间在“电气特性”部分的“上电/断电时间”部分中指定。释放 **SDZ** 引脚时，器件会对相关配置和地址引脚进行采样，然后进入软件关断模式。

6.3.1.2 硬件配置模式

的 TAS2320 器件可根据用于选择引脚 1 至选择引脚 5 的电阻器端接，在基于引脚控制的 HW 模式下运行。基于引脚控制的 HW 模式行为旨在简化器件配置，而无需通过 I²C 通信使用任何基于软件的配置。

表 6-2. 选择引脚功能

选择引脚名称	功能
SEL1	通过音量斜坡启用/禁用选项设置放大器增益
SEL2	I ² S、TDM、左平衡选择
SEL3	数据有效上升/下降沿选择
SEL4	Y 桥阈值配置
SEL5	电源电压模式选项

表 6-3. SEL1 HW 模式配置

SEL1 连接	放大器增益	音量斜坡
直接短接至 GND	通过 I ² C 进行配置	通过 I ² C 进行配置
1.2k Ω 至 GND	6dBV	禁用
1.2k Ω 至 VBAT	12dBV	禁用
5k Ω 至 GND	18dBV	禁用
330 Ω 至 VBAT	21dBV	禁用
5k Ω 至 VBAT	6dBV	启用
24k Ω 至 GND	12dBV	启用
24k Ω 至 VBAT	18dBV	启用
直接短接至 VBAT	21dBV	启用

表 6-4. SEL2 HW 模式配置

SEL2 连接	配置
直接短接至 GND	I ² S L 或 TDM0
330 Ω 至 IOVDD	I ² S R 或 TDM1

表 6-4. SEL2 HW 模式配置 (续)

SEL2 连接	配置
直接短接至 IOVDD	I ² S (L+R)/2 或 TDM2
1.2kΩ 至 GND	左对齐 L 或 TDM3
1.2kΩ 至 IOVDD	左对齐 R 或 TDM4
5kΩ 至 GND	左对齐 (L+R)/2 或 TDM5
5kΩ 至 IOVDD	I ² S L 或 TDM6
24kΩ 至 GND	I ² S R 或 TDM7
24kΩ 至 IOVDD	保留

表 6-5. SEL3 HW 模式配置

SEL3 连接	配置
直接短接至 GND	数据在上升沿有效
直接短接至 IOVDD	数据在下降沿有效

表 6-6. SEL4 HW 模式配置

SEL4 连接	配置
直接短接至 GND	80mW 的 Y 桥阈值
直接短接至 IOVDD	40mW 的 Y 桥阈值
24kΩ 至 IOVDD	1mW 的 Y 桥阈值

表 6-7. SEL5 HW 模式配置

SEL5 连接	配置
直接短接至 IOVDD	HW 模式电源配置

6.3.1.3 软件电源模式控制和软件复位

当 SEL1 引脚短接至 GND 时，TAS2320 被配置为 I²C 模式，可以通过 I²C 接口修改配置寄存器来进行配置。

可以使用寄存器 MODE[1:0] 来控制 TAS2320 电源状态。任何 MODE 设置的更改都不会导致器件丢失任何现有器件配置寄存器设置。

表 6-8. 软件模式控制

MODE[1:0]	配置
00	器件处于工作运行模式
01	保留
10 (默认值)	器件处于软件关断模式
11	器件处于基于时钟的工作和关断模式

工作状态：当 MODE[1:0] 配置为 “00” 时，器件进入工作运行模式，采用适当的上电时序，从而尽可能地减少咔嗒声和砰砰声。

软件关断状态：当 MODE[1:0] 配置为 “10” 时，器件进入软件关断模式。该模式会将回放音频所需的所有模拟块断电，但不会导致器件丢失寄存器状态。如果在软件关断有效时正在播放音频，则 D 类音频放大器将在关断前缓慢降低音量。当软件关断被置为无效后，D 类音频放大器开始恢复，音量将缓慢升回所设定的数字音量值。

基于时钟的工作和关断状态：当 MODE[1:0] 配置为 “11” 时，器件会根据应用于 ASI 输入引脚 BCLK 和 FSYNC 上的有效 ASI 时钟信号在工作和关断状态之间切换。应用时钟时，器件将自动检测时钟信号，并遵循正确的上电时序，以避免任何上电咔嗒声和砰砰声。当音频通道上电且 ASI 时钟被移除时，器件将自动启动断电时序并避免

出现任何咔嗒声和砰砰声。建议在停止时钟之前在输入数据流中降低音量，以实现最佳咔嗒声和砰砰声体验（可以使用器件软件静音模式来实现这一点）。

通过将 **SW_RESET** 寄存器设置为“1”，可以将 TAS2320 复位至默认配置。如果器件上电，则当 **SW_RESET** 位被设置为高电平时，所有通道都会立即断电。当 **SW_RESET** 被设置为高电平时，所有寄存器都会恢复为默认状态。该位会自清零，在复位完成后返回到“0”。

一旦器件状态达到工作运行模式，器件还可以使用 **INT_LTCH0[1]** 位（[节 6.3.2](#)）向主机发送信号。该位是实时器件状态位，实时反映器件状态。当器件处于工作模式时，该位被设置为高电平；当器件处于关断模式时，该位被设置为低电平。

6.3.1.4 高效和节能模式

TAS2320 具有多种节能运行模式，可在所有工作条件下实现超高系统级效率。器件会根据配置的模式和信号条件，从一种模式转换到另一种模式。器件会自动从一种模式切换到另一种模式，旨在确保在模式切换期间提供高性能音频电平。

6.3.1.4.1 噪声门

启用噪声门功能后，器件会在有效回放模式下自动检测静音周期，并显著降低空闲通道的功耗，从而延长电池寿命。该功能对于长时间静音的信号播放（例如语音呼叫、电影原声等）非常有用。

器件根据由 **NG_TH_LVL[2:0]** 寄存器配置的编程噪声门阈值监测输入音频信号电平。当音频信号降至阈值以下时，会启用内部迟滞计时器。如果信号电平在 **NG_HYST_TIMER[1:0]** 整个持续时间内保持低于配置的 **NG_TH_LVL[2:0]**，则器件进入噪声门模式并降低空闲通道功耗。在噪声门运行模式下，D 类 PWM 输出等高开关块将关断，并将输出拉至低电平。当噪声门模式有效时，可以使用 **CLASSD_HIZ_MODE** 寄存器来控制 D 类的输出阻抗。当噪声门模式有效时，D 类输出不进行开关，器件不会产生任何音频输出信号。当器件处于噪声门模式时，**NG_STATUS** 位设置被为高电平，而当器件退出噪声门模式时，状态位被设置为低电平。

当信号电平增加到高于 **NG_TH_LVL[1:0]** 时，器件会在低 IQ 模式下自动唤醒块并开始播放音频输入信号。从噪声门唤醒可在从噪声门模式到有效回放模式的转换期间通过缓冲输入信号数据来保持信号保真度。器件在从噪声门转换到有效回放时不会丢失任何音频输入样本。

通过遵循正确的关断和上电时序，可以在转换到噪声门模式和从噪声门模式恢复时无咔嗒声和砰砰声。

表 6-9. 噪声门阈值

NG_TH_LVL[2:0]	配置
000	-85dBFS
001	-90dBFS
010	-95dBFS
011	-100dBFS
100 (默认值)	-105dBFS
101	-110dBFS
110	-115dBFS
111	-120dBFS

表 6-10. 噪声门迟滞计时器

NG_HYST_TIMER[1:0]	配置
00	10ms
01 (默认值)	50ms
10	100ms

表 6-10. 噪声门迟滞计时器 (续)

NG_HYST_TIMER[1:0]	配置
11	1000ms

6.3.1.4.2 音乐效率模式

启用音乐效率模式功能后，器件会在有效回放模式期间自动检测低功耗信号状态并降低整体 I_Q 功耗，从而延长电池寿命。此功能对于具有不同信号电平的动态音频信号（例如音乐曲目、语音呼叫、电影原声等）非常有用。

器件根据由 *MUSIC_EFF_MODE_THR[23:0]* 寄存器配置的编程音乐效率阈值监测输入音频信号电平。当音频信号降至阈值以下时，会启用内部迟滞计时器。如果信号电平在 *MUSIC_EFF_MODE_TIMER[23:0]* 的整个持续时间内保持低于配置的 *MUSIC_EFF_MODE_THR[23:0]*，则器件进入音乐效率模式。当器件处于音乐效率模式时，*MUSIC_EFF_STATUS* 位被设置为高电平，而当器件退出音乐效率模式时，状态位被设置为低电平。

当信号电平增加到高于 *MUSIC_EFF_MODE_THR[23:0]* 时，器件会在低 I_Q 模式下自动唤醒块并继续播放音频输入信号。从音乐效率模式到正常操作的转换仅会产生极少的咔嗒声和砰砰声。当器件处于音乐效率模式时，音频通道性能保持不变，不会影响输出信号电平和噪声。

可以使用 PPC3 软件配置 *MUSIC_EFF_MODE_THR[23:0]* 和 *MUSIC_EFF_MODE_TIMER[23:0]* 寄存器，请参阅节 6.4.1。

6.3.2 故障和状态

在上电时序期间，上电复位电路 (POR) 监测 VDD 和 IOVDD 引脚并使器件保持在复位状态（包括所有配置寄存器），直到电源有效。VDD 或 IOVDD 上的任何电源电压骤降至 UVLO 电压阈值以下都会立即使器件和所有寄存器配置复位。

在运行模式期间，器件会监测内部器件状态和故障情况，并可以使用 IRQZ 中断引脚和基于 I²C 的内部中断寄存器向主机通知错误和状态情况。可以通过配置相应的中断屏蔽寄存器位来屏蔽 IRQZ 引脚中的中断生成。

表 6-11 列出了器件监测的不同故障和中断以及相应的配置位，用于启用/禁用中断产生和读取 I²C 中断状态。

表 6-11. 故障和中断

类别	中断	中断屏蔽寄存器位	默认屏蔽状态	中断锁存状态位
限制器和欠压保护 节 6.4.2.4	检测到欠压	<i>INT_MASK0[3]</i>	不屏蔽	<i>INT_LTCH0[3]</i>
	BOP 有效	<i>INT_MASK0[2]</i>	不屏蔽	<i>INT_LTCH0[2]</i>
	BOP 无限保持	<i>INT_MASK0[7]</i>	不屏蔽	<i>INT_LTCH0[7]</i>
	限制器运行	<i>INT_MASK0[4]</i>	不屏蔽	<i>INT_LTCH0[4]</i>
	限制器衰减	<i>INT_MASK0[6]</i>	不屏蔽	<i>INT_LTCH0[6]</i>
	电源电压低于拐点	<i>INT_MASK0[5]</i>	不屏蔽	<i>INT_LTCH0[5]</i>
电源电压监测 节 6.4.5	PVDD 过压	<i>INT_MASK3[2]</i>	不屏蔽	<i>INT_LTCH3[2]</i>
	PVDD 欠压	<i>INT_MASK1[7]</i>	不屏蔽	<i>INT_LTCH1[7]</i>
热保护 节 6.4.6	135°C 热警告	<i>INT_MASK1[4]</i>	已屏蔽	<i>INT_LTCH1[4]</i>
	125°C 热警告	<i>INT_MASK1[3]</i>	已屏蔽	<i>INT_LTCH1[3]</i>
	115°C 热警告	<i>INT_MASK1[2]</i>	已屏蔽	<i>INT_LTCH1[2]</i>
	105°C 热警告	<i>INT_MASK1[1]</i>	已屏蔽	<i>INT_LTCH1[1]</i>
	过热错误	<i>INT_MASK3[7]</i>	不屏蔽	<i>INT_LTCH3[7]</i>

表 6-11. 故障和中断 (续)

类别	中断	中断屏蔽寄存器位	默认屏蔽状态	中断锁存状态位
时钟保护 节 6.4.7.1	看门狗到期	<i>INT_MASK2[7]</i>	不屏蔽	<i>INT_LTCH2[7]</i>
	帧不同步	<i>INT_MASK2[5]</i>	已屏蔽	<i>INT_LTCH2[5]</i>
	PLL 时钟错误	<i>INT_MASK2[4]</i>	不屏蔽	<i>INT_LTCH2[4]</i>
	TDM 时钟错误	<i>INT_MASK2[3]</i>	已屏蔽	<i>INT_LTCH2[3]</i>
	上电前时钟错误	<i>INT_MASK4[2]</i>	不屏蔽	<i>INT_LTCH4[2]</i>
	时钟比率变化错误	<i>INT_MASK2[2]</i>	已屏蔽	<i>INT_LTCH2[2]</i>
	Fs 变化错误	<i>INT_MASK2[1]</i>	已屏蔽	<i>INT_LTCH2[1]</i>
	Fs 无效错误	<i>INT_MASK2[0]</i>	已屏蔽	<i>INT_LTCH2[0]</i>
	帧不同步	<i>INT_MASK2[5]</i>	已屏蔽	<i>INT_LTCH2[5]</i>
	内部 PLL 时钟错误	<i>INT_MASK2[4]</i>	不屏蔽	<i>INT_LTCH2[4]</i>
其他保护和状态	数字看门狗	<i>INT_MASK2[7]</i>	不屏蔽	<i>INT_LTCH2[7]</i>
	D 类过流错误	<i>INT_MASK3[3]</i>	不屏蔽	<i>INT_LTCH3[3]</i>
	设备激活	<i>INT_MASK0[1]</i>	已屏蔽	<i>INT_LTCH0[1]</i>

6.3.2.1 中断生成和清除

IRQZ 引是一个漏极开路输出，在未屏蔽的故障条件下置位为低电平，因此必须通过一个电阻器将其上拉至 IOVDD。器件中提供了一个内部上拉电阻器 ($18\text{k}\Omega$)，可通过设置 *IRQZ_PU* 寄存器位对其进行评估。

可以使用 *IRQZ_PIN_CFG[1:0]* 寄存器配置 IRQZ 引脚上的中断生成。对于具有自动重试功能的中断，可以使用 *RETRY_WAIT_TIME* 寄存器来配置重试计时器。通过将 *IRQZ_POL* 寄存器位设置为高电平，可以将中断引脚极性从默认的低电平有效更改为高电平有效。

可以通过将 *INT_CLR_LTCH* 位设置为高电平来清除任何锁存中断。此位将自行清除，并在中断被清除后自动更新为低电平。通过硬件关断（通过拉低 SDZ 引脚）或使用 *SW_RESET* 位进行软件复位也可以清除中断。

表 6-12. IRQZ 引脚配置

<i>IRQZ_PIN_CFG[1:0]</i>	配置
00	保留
01 (默认值)	任何未屏蔽的锁存中断生成中断
10	保留
11	任何未屏蔽锁存中断每 4ms 生成一个持续 2 至 4ms 的中断

表 6-13. 重试等待计时器

<i>RETRY_WAIT_TIME</i>	配置
0 (默认值)	每 1.5 秒重试一次
1	每 100ms 重试一次

6.4 特性说明

6.4.1 PurePath™ Console 3 软件

可以使用 PurePath Console 3 (PPC3) 软件来执行 TAS2320 的高级特性和器件配置。可以从 [TI 网站](#) 下载并安装基本 PPC3 软件。安装后，可以从基本 PPC3 软件内部下载 TAS2320 应用程序。TAS2320 PPC3 应用程序会计算以下各节中介绍的必要寄存器系数，因此强烈建议在 I²C 模式下使用 PPC3。根据 PPC3 中选择的选项，使用寄存器更新来优化器件配置。这是配置器件以获得最佳性能的推荐方法。TAS2320 PPC3 应用程序计算并更新器件后，可使用 PPC3 中的“End System Integration”选项卡来生成用于最终系统集成的文件。

6.4.2 播放信号路径

6.4.2.1 数字音量控制和放大器输出电平

通过设置放大器的模拟增益电平 (A_{AMP}) 和数字音量控制 (A_{DVC}) 来控制从音频输入到扬声器端子的增益。方程式 1 用于计算放大器输出电压。放大器模拟增益设置应在回放通道上电之前设置，并且在通道处于工作状态时不应更改。可在通道处于工作状态时修改数字音量控制，并且还支持软音量斜升/斜降功能，从而实现输出电压从一个电平到另一个电平的平滑转换。

$$V_{AMP} = \text{Input} + A_{dvc} + A_{AMP} \text{ dBV} \quad (1)$$

其中

- V_{AMP} 是以 dBV 为单位的放大器输出电压
- Input 是相对于 0dBFS 的数字输入振幅，以 dB 为单位
- A_{DVC} 是数字音量控制设置，范围为 6dB 至 -110dB，阶跃为 0.5dB
- A_{AMP} 是放大器输出电平设置，范围为 -0.071dBV 至 21.0dBV，阶跃为 0.5017dBV。

放大器输出电平设置以 dBV 为单位 (dB 对应于 $1V_{rms}$)，满标度数字音频输入 (0dBFS) 和数字音量控制设置为 0dB。应该注意的是，由于放大器中存在模拟削波，这些电平可能无法实现，因此它们应仅用于传达增益。

下表显示了可通过 *AMP_LVL* 寄存器编程的增益设置。当 *AMP_LVL* 设置为低于 9dBV 时，回放通道将自动配置为低噪声模式或接收器运行模式。

表 6-14. 放大器输出电平设置

<i>AMP_LVL[5:0]</i>	满标度输出	
	dBV	V_{PEAK} (V)
0x00	21.000	15.9
0x01	20.498	15.0
0x02	19.997	14.1
0x03	19.495	13.3
0x04	18.993	12.6
...
0x27	1.434	1.7
0x28	0.932	1.6
0x29	0.430	1.5
0x2A	-0.071	1.4
0x2B-0x3F	保留	保留

当数字音量控制发生变化时，器件会根据 *DVC_SLEW_RATE* 寄存器位将音量斜升到新设置。如果 *DVC_SLEW_RATE* 被设置为 0xFFFFFFF，则禁用音量斜坡。当系统主机处理音量斜坡时，这可用于加速启动、关闭和数字音量更改。禁用音量斜坡后，输入音频数据流应在器件关断和上电期间保持数字静音，以避免任何咔嗒声和砰砰声。

通过将 *DVC_LEVEL* 设置为 0x000000，可将该器件置于基于软件的静音模式。

数字电压控制寄存器 *DVC_LEVEL* 和 *DVC_SLEW_RATE* 寄存器可以使用 PPC3 软件（请参阅节 6.4.1）进行配置。

表 6-15. 数字音量控制

<i>DVC_LEVEL[23:0]</i>	音量 (dB)
0x000000	软件 MUTE
0x00000D (MIN)	-110
...	...

表 6-15. 数字音量控制 (续)

DVC_LEVEL[23:0]	音量 (dB)
0x400000	0 (默认值)
...	...
0x7FB261 (最大值)	6

表 6-16. 数字音量斜坡速率

DVC_SLEW_RATE[23:0]	48kHz 下的
0x00036A	1000ms
...	...
0x034A51	4ms (默认)
...	...
0x7FFFFFFF	0 - 禁用斜坡

6.4.2.2 高通滤波器

音频播放信号中直流和低频成分过多会损坏扬声器。回放路径采用高通滤波器 (HPF) 来防止发生这种情况。HPF 是一个一阶滤波器，可以使用 *AUDIO_HPF_N0*、*AUDIO_HPF_N1*、*AUDIO_HPF_D1* 寄存器在 48ksps fs 下更改默认的 2Hz 频率。HPF 滤波器频率随 FSYNC 时钟的变化而变化，并且可以重新配置以实现不同 FSYNC 时钟频率所需的截止频率。还可以更改系数以相应地禁用 HPF 系数。应使用 PPC3 软件计算和设置这些系数，请参阅节 6.4.1。

6.4.2.3 D 类放大器

TAS2320 集成了高性能 D 类放大器，具有低空闲通道噪声、低失真和高 PSRR。D 类放大器以源自 SBCLK 频率的时钟频率进行开关，并且始终与输入时钟源同步。*SAMP_RATE_CFG* 寄存器支持根据 44.1kHz 和 48kHz 倍数来选择输入时钟源。

表 6-17. 采样率配置

SAMP_RATE_CFG	配置
0 (默认值)	音频数据速率是 48ksps 的倍数/约数
1	音频数据速率是 44.1ksps 的倍数/约数

为了改进 EMI 性能，D 类放大器支持可编程边沿速率控制 (ERC) 和 D 类时钟展频调制 (SSM)。

D 类的边缘速率可使用 *CLASSD_OUTPUT_EDGERATE_CTRL[1:0]* 寄存器来控制。默认情况下，D 类输出边沿速率配置为最快设置，以实现系统高效率。可使用其他配置设置来降低 D 类输出边沿速率，从而降低高频下的 EMI 能量，这同时会降低效率。输出边沿速率的确切变化率取决于输出负载条件，下表中提到的值是默认负载条件下的近似边沿速率水平。

表 6-18. D 类输出边沿速率控制

CLASSD_OUTPUT_EDGERATE_CTRL[1:0]	配置
00	0.5V/ns 的 D 类输出边沿速率
01	1.0V/ns 的 D 类输出边沿速率
10	保留
11 (默认值)	2V/ns 的 D 类输出边沿速率

D 类放大器在每个输出功率 FET (包括 PVDD 高侧和接地功率 FET) 上都具有过流保护。

当输出在噪声门模式期间停止开关时，可以使用 *CLASSD_HIZ_MODE* 控制寄存器来控制 D 类放大器输出阻抗。

表 6-19. D 类高阻态模式控制

<i>CLASSD_HIZ_MODE</i>	配置
0 (默认值)	通过 $2.5\text{k}\Omega$ 电阻下拉输出
1	通过大于 $13\text{k}\Omega$ 的电阻下拉输出

6.4.2.4 具有欠压保护功能的电源跟踪限制器

TAS2320 会监控 D 类电源电压和音频信号，以便在音频信号峰值超过可编程阈值时自动降低增益。这有助于防止削波并在电池充电结束的情况下延长播放时间。限制器和欠压模块根据信号电平、通道增益和所选电源电压的条件计算所需的信号衰减。

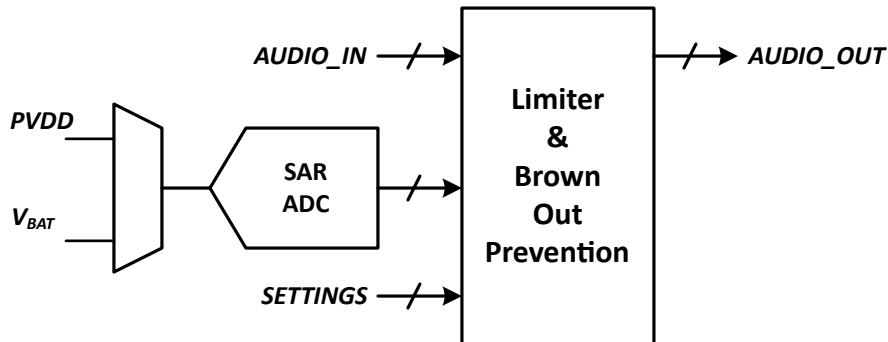


图 6-2. 限制器和欠压保护模块

欠压保护 (BOP) 模块提供优先输入，以便对电池电源的瞬态突降作出快速响应。可以通过将寄存器位 *BOP_EN* 配置为高电平来启用 BOP 功能。根据系统配置需求，可以使用 *BOP_SRC* 寄存器位将跟踪用于确定欠压条件的电源电压配置为 PVDD。当所选电源降至通过设置寄存器 *BOP_THR_LVL[23:0]* 配置的欠压阈值以下时，BOP 将开始降低增益。可以通过设置 *BOP_ATK_RATE[23:0]* 寄存器来配置增益降低速率 (dB/样本)。当电源电压升至欠压阈值以上时，BOP 将在已编程的保持计时器 *BOP_HLD_COUNT[23:0]* 之后开始释放增益。BOP 功能使用 *LIM_RLS_RATE[23:0]* 寄存器设置在欠压事件后释放。释放速率是以 db/样本比率表示的增益增加速率。在 BOP 事件期间，限制器更新将暂停。这是为了防止限制器在 BOP 事件期间释放。

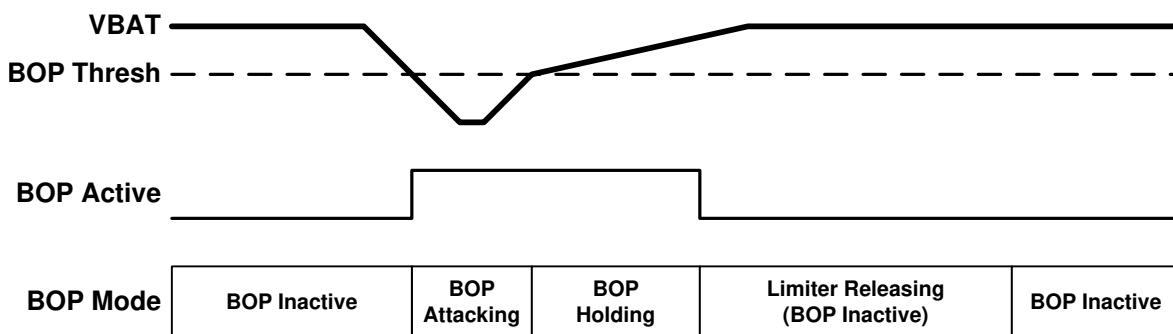


图 6-3. 欠压保护事件

通过将寄存器位 *BOP_INF_HLD* 设置为高电平，可以将器件配置为在检测到 BOP 事件时保持增益衰减。当该位被编程为高电平时，限制器和 BOP 模块不会释放增益衰减，并且会将器件保持在编程的最小增益衰减水平，直到通过将寄存器位 *BOP_HLD_CLR* 设置为高电平来清除无限保持。保持清除位将自行清除，并在保持被清除后自动复位至低电平状态。

如果 BOP 增益衰减无法缓解电池电压下降，则可以设置硬欠压电平来关断器件。当 **BOPSD_EN** 位被设置为高电平时，会启用基于欠压的器件关断，当电池电压低于 **BOSD_THR_LVL[23:0]** 寄存器位设置的电压阈值时，器件关断。

可以通过 **LIM_MAX_ATN** 寄存器来配置限制器和欠压保护功能所应用的最大衰减水平。该衰减限制在各个功能之间共用。例如，如果最大衰减设置为 6dB，而限制器增益降低 4dB，欠压保护功能只能再将增益降低 2dB。如果限制器或欠压保护功能正在启动并且达到最大衰减，则不会进一步降低增益。

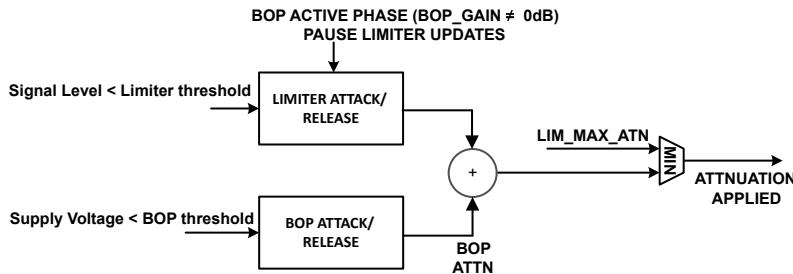


图 6-4. 限制器和欠压增益衰减

6.4.2.4.1 电压限制器和削波保护

可以使用 **LIM_MODE[1:0]** 寄存器配置电源跟踪限制器。在 VBAT 电压模式下，限制器跟踪 VBAT 电源电压以用于电压限制器，而在 PVDD 电压模式下，限制器跟踪 PVDD 电压。

表 6-20. 限制器模式选择

LIM_MODE[1:0]	配置
00 (默认值)	禁用
01	基于 VBAT 电压的限制器
10	基于 PVDD 电压的限制器
11	保留

限制器可以配置为根据固定信号阈值电平降低输出信号，或者可以根据跟踪所选电源电压的动态阈值衰减信号。寄存器位 **SUPPLY_HEADROOM_LIM_MODE** 可启用动态电源跟踪，可用于在系统中电源电压发生变化时限制削波失真。

表 6-21. 限制器动态电源余量跟踪模式

SUPPLY_HEADROOM_LIM_MODE	配置
0 (默认值)	禁用
1	被启用。限制器阈值会根据受监测电源电压的固定百分比进行动态更改。

当 **SUPPLY_HEADROOM_LIM_MODE** 被设置为高电平时，限制器将阈值设置为受监测电源电压的固定百分比。当输出信号电平大于配置的阈值时，限制器开始降低增益。例如，如果希望电压限制比电源电压低 10%，则 **LIM_SLOPE[23:0]** 被配置为 0.9，阈值通过受监测电源电压乘以 1.1 计算得出。类似地，如果 **LIM_SLOPE[23:0]** 被配置为 > 1.0，则限制器阈值将被设置为高于电源电压，并且会发生少量受控削波。

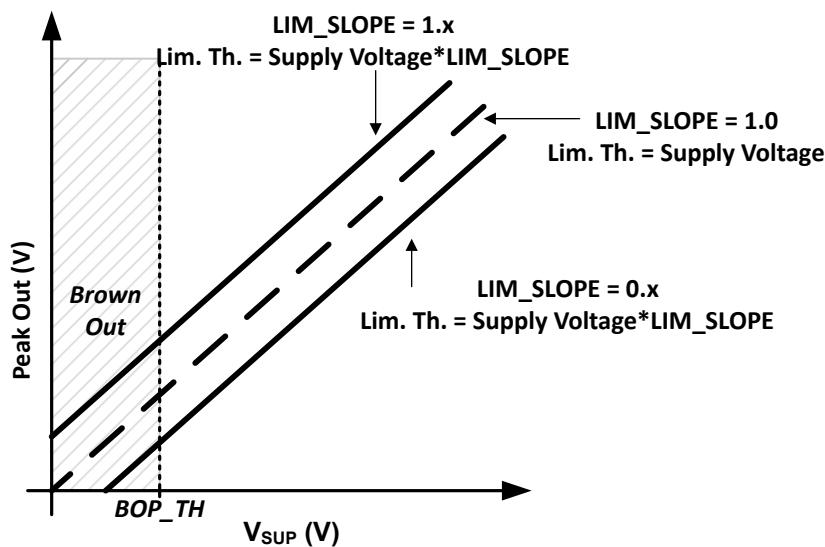


图 6-5. 具有动态电源余量的限制器

当 *SUPPLY_HEADROOM_LIM_MODE* 被设置为低电平时，如果输出信号电平大于限制器阈值，则限制器开始降低增益。限制器可配置为以最小阈值跟踪低于可编程拐点的所选电源。下面的图 6-6 显示了将限制器配置为限制到一个恒定电平，而不管所选电源电平如何。要实现此行为，请使用 *LIM_TH_MAX[23:0]* 将限制器最大阈值设置为所需水平。使用 *LIM_INF_PT[23:0]* 将限制器拐点设置为低于允许的最小电源电压设置。限制器最小阈值寄存器 *LIM_TH_MIN[23:0]* 不会影响此用例中的限制器行为。

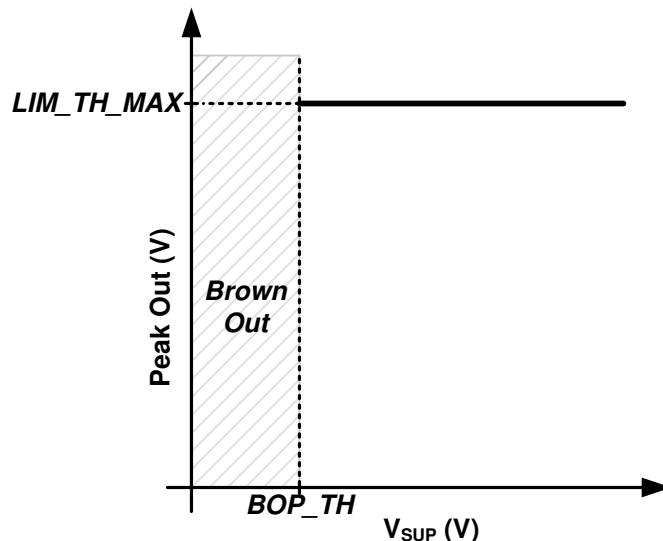


图 6-6. 具有固定阈值的限制器

图 6-7 显示了如何配置限制器以跟踪低于阈值的所选电源，而无需设置最小阈值。将 *LIM_TH_MAX[23:0]* 寄存器设置为所需的阈值，并将 *LIM_INF_PT[23:0]* 寄存器设置为限制器开始降低所选电源阈值的所需拐点。*LIM_SLOPE[23:0]* 寄存器位可用于更改限制器跟踪电源电压的斜率（以 V/V 为单位）。例如，如果斜率值为 1V/V，则电源电压每降低 1V，限制器阈值就会降低 1V。将 *LIM_TH_MIN[23:0]* 位编程为低于所选电源的最小值，以防止限制器在跟踪所选电源时出现最小阈值降低。

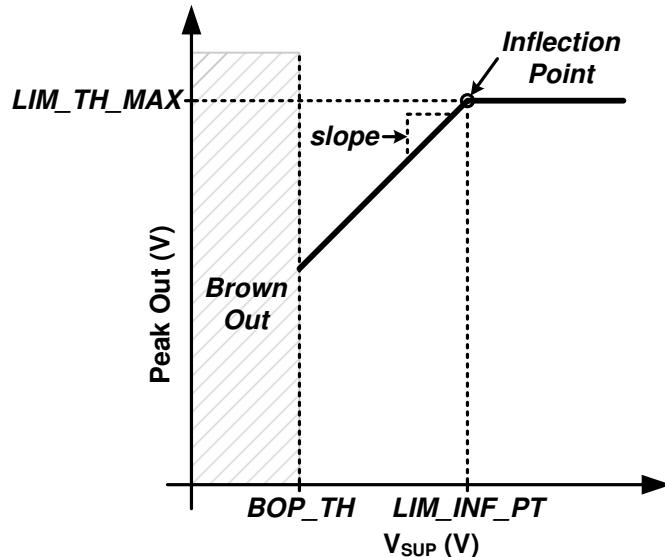


图 6-7. 具有拐点的限制器

要实现跟踪所选电源低于阈值的限制器，请按照上一个示例中的说明配置限制器，但需要将 *LIM_TH_MIN[23:0]* 寄存器编程为所需的最小阈值。下面的图 6-8 展示了这种情况。

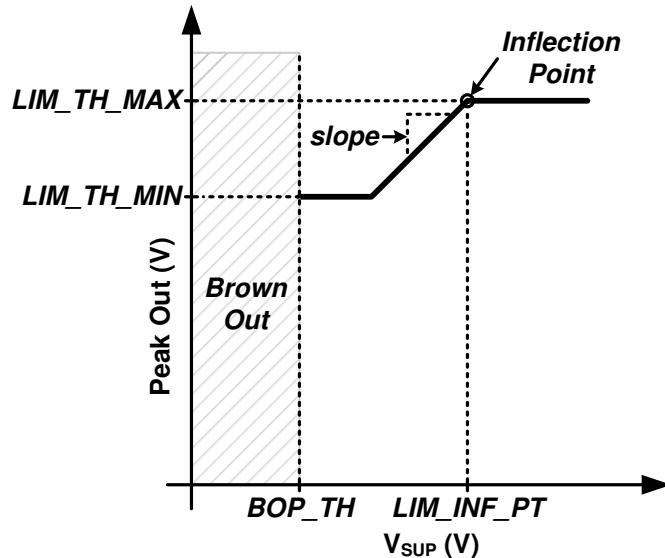


图 6-8. 具有拐点和最小阈值的限制器

限制器具有可配置的启动速率 (dB/样本)、保持时间 (样本数) 和释放速率 (dB/样本)，可通过 *LIM_ATK_RATE[23:0]*、*LIM_HLD_COUNT[23:0]*、*LIM_RLS_RATE[23:0]* 寄存器位获取。

6.4.2.5 音调发生器

TAS2320 可以使用集成音调发生器在内部生成正弦音调。可以通过将寄存器位 *INTERNAL_TONE_GEN_ENZ* 配置为低电平来启用该特性。通过将 *INTERNAL_TONE_PLAYBACK_EN* 位配置为高电平，音调信号将开始在输出端回放。当设置为高电平时，器件将根据编程的 *TONE_GEN_CTRL_xx* 寄存器开始生成正弦音调。音调发生器可以生成从 16Hz 到最大频率 $0.45 * F_s$ 的任何频率，其中 F_s 是输入数字时钟的采样率。也可以使用 *TONE_GEN_CTRL_xx* 寄存器来控制音调信号的振幅。建议使用 PPC3 软件对音调频率和振幅进行编程。

内部生成的音调可以与传入的音频流混合，或者可以替换输入音频流，仅使用 *INTERNAL_TONE_MIXING_EN* 寄存器生成音调信号。

表 6-22. 内部音调发生器混合选项

<i>INTERNAL_TONE_MIXING_EN</i>	配置
0	仅生成内部音调。
1 (默认值)	内部生成的音调与输入音频数据混 合并一起播放。

音调发生器可以使用 *BCLK* 等外部时钟源，或者可以使用内部振荡器生成音调信号（使用 *INTERNAL_TONE_CLK_SEL* 寄存器），即使没有外部时钟源也是如此。

表 6-23. 内部音调时钟源选择

<i>INTERNAL_TONE_CLK_SEL</i>	配置
0 (默认值)	音调发生器使用外部时钟
1	音调发生器使用内部振荡器

6.4.3 数字音频串行接口

该器件提供灵活的音频串行接口 (ASI) 端口。该端口可配置为支持多种格式，包括立体声 I²S、左对齐和 TDM。通过 *SDIN* 引脚提供单音频播放。*SDOUT* 引脚用于传输样本流，包括 *I-sense*、*V-sense*、*PVDD* 电压、*VBAT* 电压、内核温度、状态以及用于回声基准的音频。

TDM 串行音频端口在 44.1/48kHz 采样率下支持多达 16 个 32 位时隙，在 88.2/96kHz 采样率下支持多达 8 个 32 位时隙，在 176.4/192kHz 采样率下支持多达 4 个 32 位时隙。该器件支持 2 个宽度为 32 位的时隙，以及 4 个或 8 个宽度为 16 位、24 位或 32 位的时隙。器件可自动检测时隙数，无需编程。TDM 总线上检测到的 PCM 数据采样率以及 *SBCLK* 与 *FSYNC* 之比会分别在只读寄存器位 *FS_RATE_DETECTED[2:0]* 和 *FS_RATIO_DETECTED[3:0]* 上报告。

表 6-24. 检测到的 PCM 数据采样率

<i>FS_RATE_DETECTED[2:0]</i> (只读)	设置
000	保留
001	14.7kHz/16kHz
010	22.05kHz/24kHz
011	29.4kHz/32kHz
100 (默认值)	44.1kHz/48kHz
101	88.2kHz/96kHz
110	176.4kHz/192kHz
111	错误条件

帧以 *FSYNC* 从高电平转换到低电平或从低电平转换到高电平（由 *FRAME_START* 寄存器位设置）开始。

Fsync 和 *SDIN* 由 *SBCLK* 使用由 *RX_EDGE* 寄存器位设置的上升沿或下降沿进行采样。*RX_OFFSET[4:0]* 寄存器位定义从 *Fsync* 转换到时隙 0 开始的 *SBCLK* 周期数。这通常设置为值 0 (对于左对齐) 和 1 (对于 I²S 格式)。

RX_SLEN[1:0] 寄存器位将 *RX* 时隙的长度设置为 16、24 或 32 (默认) 位。时隙内音频样本字的长度由 *RX_WLEN[1:0]* 寄存器位配置。默认情况下，*RX* 端口将使时隙内的音频样本左对齐，但这可以通过 *RX_JUSTIFY* 寄存器位更改为右对齐。器件支持单声道和立体声下混音播放 (*[L+R]/2*)。默认情况下，器件将从等于 I²C 基地址偏移量 (由 *AD1* 和 *AD2* 引脚设置) 的时隙播放单声道。*RX_SCFG[1:0]* 寄存器位可用于将播放源覆盖到左时隙、右时隙或由 *RX_SLOT_R[3:0]* 和 *RX_SLOT_L[3:0]* 寄存器位设置的立体声下混频。

如果时隙选择将接收部分或全部置于帧边界之外，则接收器返回一个空样本，相当于一个数字静音样本。

TDM 端口可以在 SDOUT 引脚上传输多个样本流，包括扬声器电压检测、扬声器电流检测、中断和状态、PVDD 电压、VBAT 电压和内核温度。

SCLK 的上升沿或下降沿均可用于在 SDOUT 引脚上传输数据。这可以通过设置 TX_EDGE 寄存器位来配置。TX_OFFSET[2:0] 寄存器位定义从帧开始到时隙 0 开始的 SCLK 周期数。这会编程为 0 (对于左对齐格式) 和 1 (对于 I²S 格式)。TDM TX 可以发送逻辑 0 或高阻态，具体取决于 TX_FILL 寄存器位的设置。当所有器件都驱动高阻态时，可选的总线保持器可以弱保持 SDOUT 引脚的状态。由于 SDOUT 上只需要一个总线保持器，因此可以通过 TX_KEEPEN 寄存器位禁用此功能。使用 TX_KEEPEN 寄存器位可以将总线保持器配置为仅将总线保持 1 个 LSB 或始终保持 (永久)。此外，可以使用 TX_KEEPENY 寄存器位将保持器 LSB 驱动一个完整周期或半个周期。

可以分别使用 VSNS_TX 和 ISNS_TX 寄存器位来启用电压和电流检测值的 TDM 传输。每个检测流可以单独启用或禁用。这对于管理有限的 TDM 带宽会很有用，因为可能没有必要为总线上的所有器件传输所有流。

每个检测流的 VSNS_SLOT[5:0]、ISNS_SLOT[5:0] 定义了 MSB 传输开始的位置。例如，如果 VSNS_SLOT 被设置为 2，则高 8 位 (MSB) 在时隙 2 中传输，低 8 位 (LSB) 在时隙 3 中传输。

确保主动传输的样本流的时隙分配不产生冲突很重要。例如，如果 VSNS_SLOT 被设置为 2 且 ISNS_SLOT 被设置为 3，则电压检测的低 8 位 (LSB) 将与电流检测的高 8 位 (MSB) 发生冲突。这会在冲突的位时隙中产生不可预测的传输结果 (例如未定义优先级)。

默认情况下，电压和电流检测值以完整的 16 位测量值进行传输。IVMON_SLEN[1:0] 位可用于在一个时隙中仅传输 8 个 MSB 位或跨多个时隙传输 12 个 MSB 位值。当主机处理器只能处理 24 位 I²S/TDM 数据时，使用特殊的 12 位模式。该器件需要配置为将电压检测时隙和电流检测时隙错开 1 个时隙，并占用 3 个连续的 8 位时隙。在这种模式下，器件将发送前 12 个 MSB 位，然后发送由前一个时隙指定的接下来的 12 个 MSB 位。

器件还支持输入电源电压的监测和 TDM 传输。对于 PVDD 时隙，可以使用使能和长度设置 PVDD_SLOT[5:0]、PVDD_TX 和 PVDD_SLEN 寄存器位。同样，对于 VBAT 时隙，可以使用使能和长度设置 VBAT_SLOT[5:0]、VBAT_TX 和 VBAT_SLEN 寄存器位。内核温度也能够以相同的方式从器件传输。可以使用 TEMP_TX 和 TEMP_SLOT[5:0] 寄存器位来完成内核温度的使能和时隙设置。

STATUS_SLOT[5:0] 寄存器位提供了有关时隙状态的信息。将 STATUS_TX 寄存器位设置为高电平会启用状态发送。如果时隙选择将传输置于帧边界之外，则发送器将在帧边界截断传输。

6.4.3.1 数字环回

该器件支持环回功能，可在两个级别将 SDIN 数据环回到 SDOUT。当通过 TDM_LOOPBACK 寄存器位启用该功能时，会在 IO 引脚级别完成环回，器件内不进行任何 ASI 数据解码。另一个选项是通过 TDM_DESER_LOOPBACK 寄存器位启用环回功能，在这种情况下，SDIN 数据首先通过器件内的 ASI 协议解码，然后通过 SDOUT 发送回来。这些 SDIN 到 SDOUT 环回选项可用于音频系统的板级调试。

器件还可以通过 SDOUT 信号在内部信号处理块 (例如限制器、BOP 等) 的末尾环回声基准数字音频数据。这使音频系统能够在连接到器件的主机处理器中执行噪声和回声消除算法。可以通过配置 AUDIO_TX 寄存器位来启用回声基准。可以使用 AUDIO_SLEN 和 AUDIO_SLOT[5:0] 寄存器位选择时隙长度和时隙。

6.4.4 外部 H 类升压控制器

TAS2320 器件实现了 H 类算法，使用户能够通过控制外部电源和保持足够的裕度来优化系统效率，从而提供高动态范围而不会出现削波失真。

启用后，该控制器会在器件的 CLH 引脚上生成一个占空比与扬声器峰值电压成比例的 PWM 信号。使用外部 RC 滤波器，信号被转换为模拟电压，并可用于控制带反馈输入的升压转换器。

下图显示了 CLH 引脚如何连接到外部升压控制 RC 网络。

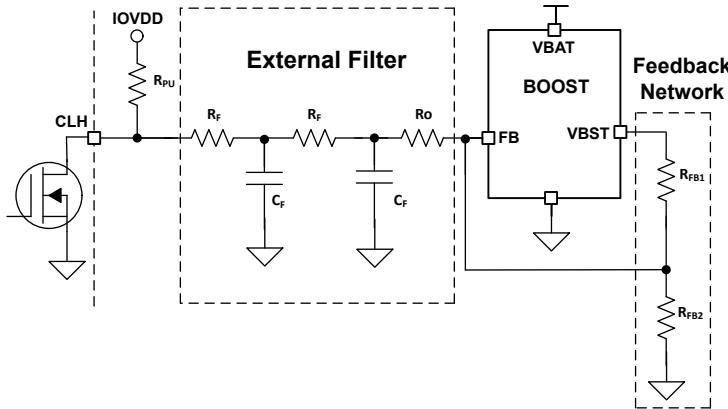


图 6-9. CLH 引脚和外部元件

默认情况下，CLH 引脚具有漏极开路配置，它使得可以仅使用一个 RC 电路以线或配置轻松实现多通道控制环路。

6.4.5 电源电压监测

TAS2320 集成了 SAR ADC 来监测电源电压引脚。检测电压用于内部器件特性和保护，也可通过数字数据总线流式传输或通过 I2C 寄存器读取。

与 PVDD 引脚电压相比，监测器 ADC 以更高的速率对 VBAT 引脚进行采样。该采样速度可以切换，以优先采用 PVDD 引脚采样率，而不是 VBAT。

表 6-25. 电源监测采样率

SUPPLY_SAMPLING_RATE	配置
0 (默认值)	VBAT 采样率高于 PVDD
1	PVDD 采样率高于 VBAT

VBAT 和 PVDD 监测电压存储在寄存器 *VBAT_CNV* 和 *PVDD_CNV* 中，可以使用 I2C 命令进行读取。

电源监测器还用于电压保护，例如 VBAT 欠压、PVDD 过压和欠压。电压保护功能可监测电源电压，在电压超过保护阈值电平时关断器件。该器件还设置了相应的故障寄存器，可以根据节 6.3.2 所述的配置的中断掩码寄存器在 IRQZ 引脚上产生中断。器件由于故障条件关断后，可以使用 *MODE[1:0]* 寄存器位使器件重新上电。

PVDD 过压保护基于监测的 PVDD 电压与可编程阈值的比较，该阈值 *PVDD_OVLO_TH_SEL_EXT* 进行控制。PVDD 过压保护默认启用，可以通过将 *PVDD_OV_DET_DIS* 位设置为高电平来禁用。

6.4.6 热保护

TAS2320 具有内部器件结温监测器，可保护器件免受过热影响。当内部温度上升至高于过热阈值时，器件自动关断并在相应的中断寄存器中设置过热标志。如果 *OTE_RETRY* 位被设置为高电平，则器件可以自动重试上电。设置为高电平时，器件在每次 *RETRY_WAIT_TIME* 设置后尝试重新上电（默认重试 1.5 秒）。

除了过热保护，该器件还具有热警告阈值，使系统能够在结温接近关断时生成中断或标志。四个热警告标志分别对应内部温度 105°C、115°C、125°C 和 135°C。每个热警告标志都可以单独设置，以控制 IRQZ 焊盘上的中断生成。可以使用寄存器 *THERMAL_WARN_MIN_TEMP[23:0]* 和 *THERMAL_WARN_TEMP_STEP[23:0]* 对最低温度和温度警告标志的阶跃大小进行编程。

实时监测到的内部结温存储在寄存器 *TMP_CNV* 中，可以使用 i2c 命令进行读取。

6.4.7 时钟和PLL

在 TDM/I2S 模式下，器件采用 SBCLK 运行。下面的表 6-26 显示了每个采样率的有效 SBCLK 频率以及 SBCLK 与 FSYNC 的比率。对于基于 44.1kHz 的时钟，该表同样适用，但相关比率在 48ksps 和 44.1ksps 之间变化。

虽然支持 192kHz 的采样率，但数据在内部下采样至 96kHz。因此，不应应用大于 40kHz 的音频内容，以防止混叠。此外，这会影响所有处理块，例如 BOP 和限制器，它们在接受 192kHz 音频时应使用 96kHz fs。

如果通过 **SAMPLE_RATE_CFG** 寄位正确配置了采样率，则只要 SBCLK 与 FSYNC 之比有效，就无需额外配置。器件会自动检测输入 PCM FSYNC 和 BCLK 频率并自动配置为回放音频信号。可以使用只读寄存器 **FS_RATIO_DETECTED** 和 **FS_RATE_DETECTED** 读取检测到的时钟速率。该器件将检测不正确的 SBCLK 频率、SBCLK 与 FSYNC 之比以及播放路径上的音量降低，以便更大限度地减少可闻失真。

表 6-26. 支持的 SBCLK 频率 (MHz) (基于 48kHz 的采样率)

采样率 (kHz)	SBCLK 与 FSYNC 之比													
	16	24	32	48	64	96	128	192	256	384	512	125	250	500
16kHz	不适用	0.384	0.512	0.768	1.024	1.536	2.048	3.072	4.096	6.144	8.192	2	4	8
24kHz	0.384	0.576	0.768	1.152	1.536	2.304	3.072	4.608	6.144	9.216	12.288	3	6	12
32kHz	0.512	0.768	1.024	1.536	2.048	3.072	4.096	6.144	8.192	12.288	16.384	4	8	16
48kHz	0.768	1.152	1.536	2.304	3.072	4.608	6.144	9.216	12.288	18.432	24.576	6	12	24
96kHz	1.536	2.304	3.072	4.608	6.144	9.216	12.288	18.432	24.576	不适用	不适用	12	24	不适用
192kHz	3.027	4.608	6.144	9.216	12.288	18.432	24.576	不适用	不适用	不适用	不适用	24	不适用	不适用

6.4.7.1 基于自动时钟的唤醒和时钟错误

TAS2320 使用 ASI 时钟自动检测功能，支持从工作到关断以及从关断到工作的灵活运行模式转换。当 MODE[1:0] 配置为“11”时，器件会根据应用于 ASI 输入引脚上的有效 ASI 时钟信号（即 BCLK 和 FSYNC）在工作和软件关断状态之间切换。如果在该模式下未检测到 ASI 时钟，器件将保持软件关断状态，VDD 引脚上具有软件关断模式 IQ，直到检测到有效的 BCLK 和 FSYNC 时钟。一旦检测到有效时钟，器件就会在工作状态下上电，直到时钟有效或器件使用软件或硬件关断命令关断。

该器件可以根据 CLK_ERR_PWR_EN 的状态在检测到错误的时钟配置时检测并生成中断标志。当该位被设置为高电平时，器件会监测时钟引脚上的活动并使用锁存的中断状态寄存器标记任何错误。器件还可以根据相应中断屏蔽寄存器的状态使用 IRQZ 引脚生成中断。当启用错误保护位时，如果检测到时钟错误，器件将通过适当的关断时序自动关断，并尽可能地减少因时钟无效而导致的任何咔嗒声和砰砰声。

当器件处于关断状态时，可以延迟时钟错误检测，以便为系统提供稳定输入时钟所需的时间。时钟错误检测中的该上电延迟由 CLK_HALT_TIMER 配置的内部上电前时钟错误检测计时器进行控制。如果器件在 CLK_HALT_TIMER 到期结束时未检测到有效时钟，则会在 INT_LTCH4[2] 位上标记上电前时钟错误，并根据 INT_MASK4[2] 位的状态在 IRQZ 引脚上生成相应的中断。当 MODE[1:0] 配置为“11”（ASI 模式唤醒）时，不建议使用值为“000”的 CLK_HALT_TIMER，它会阻止器件进入软件关断模式，并在器件关断时增大 VDD IQ。

一旦器件上电，就会根据 CLK_ERR_PWR_EN 位的状态持续监测外部时钟和内部生成的时钟。如果启用，则会使用时钟错误状态寄存器 INT_LTCH2[3] 位标记外部或内部时钟中的任何错误，并根据 INT_MASK2[3] 的状态在 IRQZ 引脚上生成相应的中断。

为了实现系统灵活性，器件还会针对检测到时钟错误的类型设置错误状态。器件还可以配置为针对任何特定类型的时钟错误在 IRQZ 引脚上生成中断，而不是使用通用时钟错误中断生成。下面的表 6-29 说明了不同类型的时钟错误和相应的状态位以及中断屏蔽寄存器位。可以根据检测到的时钟错误类型设置下表中的一个或多个寄存器位。

如果器件由于任何类型的时钟错误而关断，则可以在 MODE[1:0] 设置为“11”时尝试自动重新上电。

表 6-27. 时钟错误检测控制

CLK_ERR_PWR_EN	设置
0	禁用
1	启用（默认设置）

表 6-28. 时钟暂停计时器

CLK_HALT_TIMER[2:0]	设置
000	禁用 (无限时间)。
001	0.8ms (默认)
010	3.2ms
011	34.1ms
100	68.3ms
101	256ms
110	768ms
111	1.3s

表 6-29. 时钟错误类型说明

时钟错误类型	说明	状态标志寄存器位	IRQZ 生成屏蔽位
时钟错误	有关任何内部或外部时钟配置错误的时钟错误。该位将与在下表其余部分中检测到的特定时钟错误一起设置，上电前时钟错误除外。	<i>INT_LTCH2[3]</i>	<i>INT_MASK2[3]</i>
上电前时钟错误	在 CLK_HALT_TIMER 结束时检测到时钟错误后，在关断模式期间检测到的时钟错误。	<i>INT_LTCH4[2]</i>	<i>INT_MASK4[2]</i>
时钟比率变化错误	由于 FSYNC 与 SBCLK 比率动态变化而检测到的时钟错误。	<i>INT_LTCH2[2]</i>	<i>INT_MASK2[2]</i>
Fs 变化错误	由于 FSYNC 时钟频率动态变化而检测到的时钟错误。	<i>INT_LTCH2[1]</i>	<i>INT_MASK2[1]</i>
Fs 无效错误	由于 FSYNC 时钟频率不正确而检测到的时钟错误。	<i>INT_LTCH2[0]</i>	<i>INT_MASK2[0]</i>
帧不同步	由于帧不同步而检测到时钟错误。	<i>INT_LTCH2[5]</i>	<i>INT_MASK2[5]</i>
内部 PLL 时钟错误	由于内部产生的时钟频率错误而检测到的时钟错误。	<i>INT_LTCH2[4]</i>	<i>INT_MASK2[4]</i>

器件还具有一个数字看门狗计时器，可监测内部数字状态机中的错误，并在检测到此类错误时关断器件。该错误还会在 **IRQZ** 引脚上生成中断并向主机器件报告错误状态。

6.4.8 数字 IO 引脚

TAS2320 根据施加在 **IOVDD** 引脚上的电压支持 1.8V 和 3.3V IO 电压电源。

I2S 数字输入引脚具有可选的弱下拉电阻，可防止引脚悬空。**HW** 关断期间不启用下拉电阻器。默认情况下禁用下拉电阻器，可通过将相应的下拉使能位设置为高电平来启用下拉电阻器。

表 6-30. 数字引脚弱下拉

引脚名称	下拉控制寄存器名称
SDOUT	SDOUT_PD_EN
SDIN	SDIN_PD_EN
FSYNC	FSYNC_PD_EN
SBCLK	SBCLK_PD_EN

6.5 编程

该器件包含配置寄存器和编程系数，这些系数可以设置为特定系统和应用用例所需的值。这些寄存器称为器件控制寄存器，每个寄存器的宽度均为 8 位，使用页方案进行映射。

每页包含 128 个配置寄存器。所有关键的器件配置寄存器都存储在页 0 中，这是上电时和软件复位后的默认页设置。所有可编程系数寄存器都位于页 2、页 3 和后续页中。通过使用每页上寄存器 0 中的 **PAGE[7:0]** 位，可以将器件的当前页切换到所需的新页。

6.5.1 I²C 控制接口

该器件作为目标器件支持 I²C 控制协议，能够在标准模式、快速模式和快速+ 模式下运行。使用 I²C 协议通过 SDA 和 SCL 引脚提供器件配置和状态。

6.5.2 I²C 地址选择

TAS2320 可以使用以下四种可选器件地址之一运行：I²C 目标地址定义为 7 个 MSB 后跟读取/写入位。下面的表 6-31 说明了如何选择器件 I²C 地址，该地址对应于设置为 0 的 R/W 位（即 ADDR[6:0]，1b'0）。当 SDZ 引脚被释放或使用软件复位位将器件复位时，会通过对地址引脚进行采样来检测 I²C 地址。

表 6-31. I²C 模式地址选择

I ² C 目标地址	ADDR 引脚
0x80 (全局地址)	不适用
0x90	短接至 GND
0x92	24k 至 GND
0x94	24k 至 IOVDD
0x96	连接到 IOVDD

TAS2320 具有 7 位全局 I²C 地址 0x40（8 位格式 0x80，R/W 位设置为 0）。无论选择了哪些地址引脚，器件启用后，会另外响应此地址的 I²C 命令。这可以在使用多个 TAS2320 器件并在所有器件上对类似设置进行编程时，用于加快器件配置。由于在多器件写入期间，多个器件均响应 I²C 命令，因此无法使用 I²C ACK/NACK。应使用 I²C CRC 功能确保每个器件正确接收 I²C 命令。使用全局地址完成对多个器件的写入后，应根据本地地址检查每个器件上 *I2C_CKSUM* 寄存器的 CRC 值是否正确。全局 I²C 地址可以使用 *I2C_GBL_EN* 寄存器来禁用。

表 6-32. I²C 全局地址启用

<i>I2C_GBL_EN</i>	设置
0	禁用
1	启用（默认设置）

6.5.3 常规 I²C 运行

I²C 总线使用 SDA（数据）和 SCL（时钟）这两个信号，通过串行数据传输在系统中的集成电路之间进行通信。地址和数据 8 位字节优先以 MSB 的形式传输。此外，总线上传输的每个字节都由接收器件通过一个响应位进行响应。每次传输操作从控制器器件在总线上驱动启动条件开始，到控制器器件在总线上驱动停止条件结束。当时钟处于逻辑高电平时，总线使用数据引脚 (SDA) 上的转换来指示启动和停止条件。SDA 上从高电平转换到低电平表示启动，而从低电平转换到高电平表示停止。正常的数据位转换必须发生在时钟周期的低电平时间内。

控制器器件会驱动一个启动条件，后跟 7 位目标地址和读取/写入 (R/W) 位，以开启与另一个器件的通信，然后等待响应条件。目标器件会在响应时钟期间将 SDA 保持为低电平以指示响应。当发生这种情况时，控制器器件会传输序列的下一个字节。每个目标器件都通过一个唯一的 7 位目标地址加上 R/W 位（1 个字节）进行寻址。所有兼容器件均使用线与连接，通过双向总线共享相同的信号。

在启动和停止条件之间可以传输的字节数没有限制。在传输最后一个字时，控制器器件会生成一个停止条件以释放总线。图 6-10 显示了一般的数据传输序列。

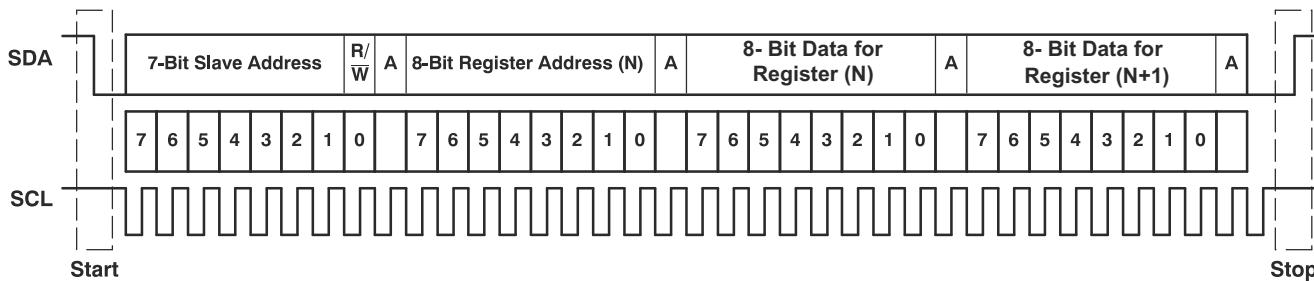


图 6-10. 典型的 I²C 序列

在系统中，对 SDA 和 SCL 信号使用外部上拉电阻器，以设置总线的逻辑高电平。SDA 和 SCL 电压不得超过器件电源电压 IOVDD。

6.5.4 I²C 单字节和多字节传输

该器件的 I²C 接口支持对所有寄存器进行单字节和多字节读取/写入操作。在多字节读取操作期间，只要控制器器件继续响应，器件就会从分配的寄存器开始，一次一个字节地以数据进行响应。

该器件支持顺序 I²C 寻址。对于写入事务，如果发出一个寄存器，然后是该寄存器的数据以及随后的所有剩余寄存器，则发生了顺序 I²C 写入事务。对于 I²C 顺序写入事务，发出的寄存器作为起始点，随后在传输停止或开始之前传输的数据量决定了写入的寄存器数量。

6.5.5 I²C 单字节写入

如图 6-11 所示，单字节数据写入传输始于控制器器件发送启动条件，后跟 I²C 器件地址和读取/写入位。读/写位决定数据传输的方向。对于写入数据传输，读取/写入位必须设置为 0。在接收到正确的 I²C 目标地址和读取/写入位后，该器件会以一个响应位 (ACK) 进行响应。接下来，控制器器件传输对应于正在访问的器件内部寄存器地址的寄存器字节。收到寄存器字节之后，器件会再次用一个响应位 (ACK) 进行响应。然后，控制器将要写入的数据字节发送到指定的寄存器。完成后，目标器件以一个响应位 (ACK) 进行响应。最后，控制器器件发送停止条件以完成单字节数据写入传输。

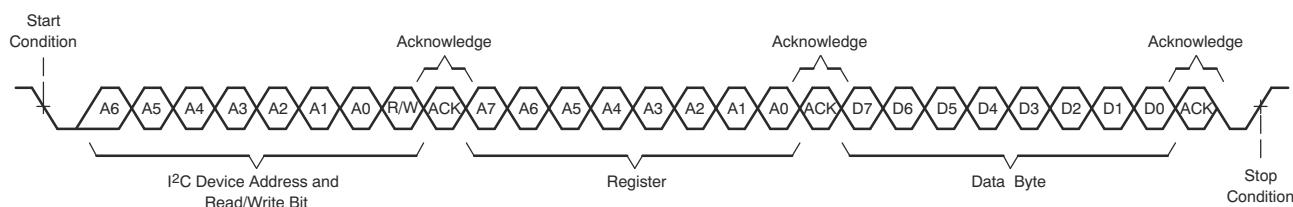


图 6-11. I²C 单字节写入传输

6.5.6 I²C 多字节写入

如图 6-12 所示，多字节数据写入传输与单字节数据写入传输完全相同，唯一的例外是控制器器件将多个数据字节传输到目标器件。收到每个数据字节之后，器件会用一个响应位 (ACK) 进行响应。最后，在完成最后一个数据字节传输后，控制器器件发送停止条件。

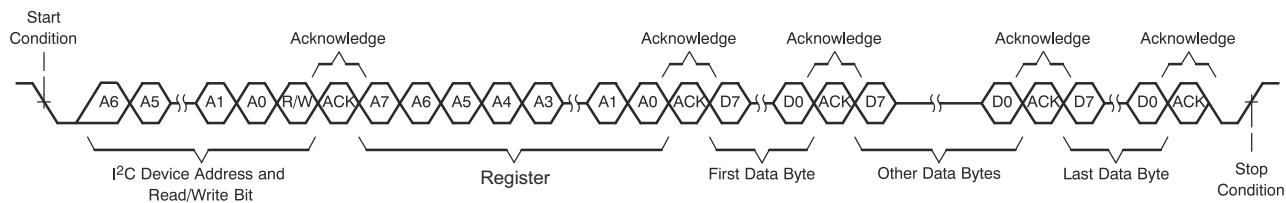


图 6-12. I²C 多字节写入传输

6.5.7 I²C 单字节读取

如图 6-13 所示，单字节数据读取传输始于控制器器件发送启动条件，后跟 I²C 目标地址和读取/写入位。对于数据读取传输，先后完成了写入和读取操作。最初，执行写入以传输要读取的内部寄存器地址的地址字节。因此，将读取/写入位设置为 0。

在接收到目标地址和读取/写入位后，器件会以一个响应位 (ACK) 进行响应。然后，控制器器件发送内部寄存器地址字节，之后器件发出一个响应位 (ACK)。控制器器件再次发送另一个启动条件，然后是目标地址和读取/写入位。这次，将读取/写入位设置为 1，指示读取传输。接下来，该器件从正在读取的寄存器地址传输数据字节。接收到数据字节后，控制器器件发送一个无应答 (NACK) 信号，然后是一个停止条件，以完成单字节数据读取传输。

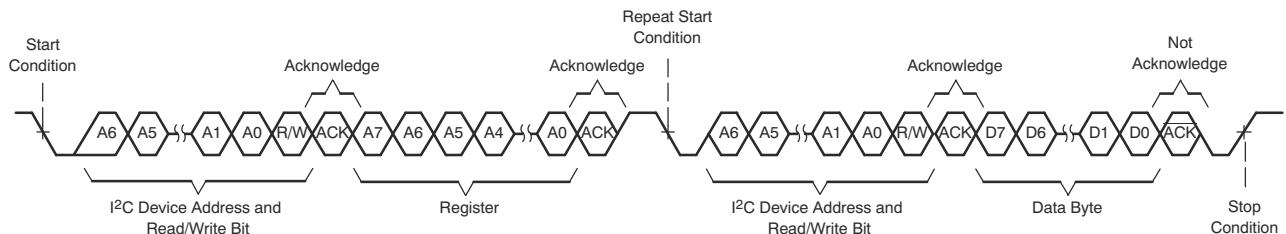


图 6-13. I²C 单字节读取传输

6.5.8 I²C 多字节读取

如图 6-14 所示，多字节数据读取传输与单字节数据读取传输完全相同，唯一的例外是器件将多个数据字节传输到控制器器件。除最后一个数据字节外，控制器器件在收到每个数据字节后都会用一个响应位进行响应。收到最后一个数据字节后，控制器器件发送一个无应答 (NACK) 信号，然后是一个停止条件，以完成数据读取传输。

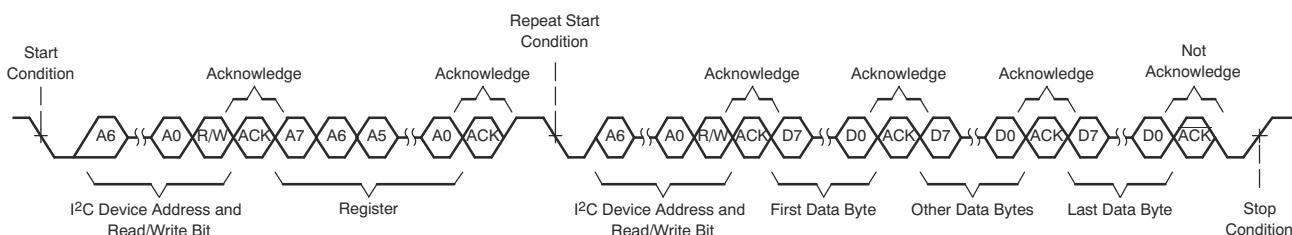


图 6-14. I²C 多字节读取传输

7 寄存器映射

TAS2320 器件寄存器被组织成多个页和簿。页 0 至页 8 中的寄存器都位于簿 0 中，而页 9 中的寄存器位于簿 100 中。通过对 *BOOK[7:0]* 寄存器位进行编程来更改寄存器映射簿编号，通过对 *PAGE[7:0]* 寄存器位进行编程来更改页编号。

7.1 页 0 寄存器

表 7-1 列出了页 0 寄存器的存储器映射寄存器。表 7-1 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 7-1. 页 0 寄存器

地址	首字母缩写词	说明	部分
0h	页	器件页	节 7.1.1
1h	SW_RESET	软件复位	节 7.1.2
2h	PWR_CTL	功率控制	节 7.1.3
3h	DEVICE_CFG_01	器件配置寄存器	节 7.1.4
4h	DEVICE_CFG_02	器件配置寄存器	节 7.1.5
5h	DEVICE_CFG_03	器件配置寄存器	节 7.1.6
6h	DEVICE_CFG_04	器件配置寄存器	节 7.1.7
7h	DEVICE_CFG_05	器件配置寄存器	节 7.1.8
8h	TDM_CFG1	TDM 配置寄存器	节 7.1.9
9h	TDM_CFG2	TDM 配置寄存器	节 7.1.10
Ah	TDM_CFG3	TDM 配置寄存器	节 7.1.11
Ch	TDM_CFG5	TDM 配置寄存器	节 7.1.12
10h	TDM_CFG9	TDM 配置寄存器	节 7.1.13
11h	TDM_CFG10	TDM 配置寄存器	节 7.1.14
12h	TDM_CFG11	TDM 配置寄存器	节 7.1.15
13h	TDM_CFG12	TDM 配置寄存器	节 7.1.16
14h	TDM_DET	TDM 时钟检测监视器	节 7.1.17
18h	BOP_CFG_0	欠压保护配置	节 7.1.18
1Ch	IO_CFG_02	IO 配置	节 7.1.19
1Dh	IO_CFG_03	IO 配置	节 7.1.20
1Eh	NG_CFG0	噪声门控制	节 7.1.21
25h	INTERRUPT_CFG1	IRQZ 清除	节 7.1.22
28h	SAR_MONITOR_03	PVDD 监视器 MSB	节 7.1.23
29h	SAR_MONITOR_04	PVDD 监视器 MSB	节 7.1.24
2Ah	SAR_MONITOR_06	温度监视器	节 7.1.25
31h	CLASSD_CFG_01	D 类放大器配置	节 7.1.26
32h	CLASSD_CFG_02	D 类放大器配置	节 7.1.27
3Ch	THERM_CFG	热警告配置	节 7.1.28
5Bh	INT_MASK_0	中断屏蔽	节 7.1.29
5Ch	INT_MASK_1	中断屏蔽	节 7.1.30
5Dh	INT_MASK_2	中断屏蔽	节 7.1.31
5Eh	INT_MASK_3	中断屏蔽	节 7.1.32
5Fh	INT_MASK_4	中断屏蔽	节 7.1.33
60h	INT_LATCH_0	锁存中断读回	节 7.1.34
61h	INT_LATCH_1	锁存中断读回	节 7.1.35
62h	INT_LATCH_2	锁存中断读回	节 7.1.36
63h	INT_LATCH_3	锁存中断读回	节 7.1.37
64h	INT_LATCH_4	锁存中断读回	节 7.1.38
65h	NG_IDLE_STATUS	锁存中断读回	节 7.1.39

表 7-1. 页 0 寄存器 (续)

地址	首字母缩写词	说明	部分
78h	REV_ID	修订 ID	节 7.1.40
7Fh	BOOK	器件簿	节 7.1.41

7.1.1 页面寄存器 (地址 = 0h) [复位 = 00h]

返回到[汇总表](#)。

器件存储器映射分为多个页和簿。该寄存器设置页。

表 7-2. 页面寄存器字段说明

位	字段	类型	复位	说明
7-0	PAGE[7:0]	R/W	0h	设置器件页。 0h = 页 0 1h = 页 1 FFh = 页 255

7.1.2 SW_RESET 寄存器 (地址 = 1h) [复位 = 00h]

返回到[汇总表](#)。

将软件复位置为有效会将所有寄存器值置于其默认 POR (上电复位) 状态。

表 7-3. SW_RESET 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R	0h	保留
0	SW_RESET	R/W	0h	软件复位。位可自行清除。 0h = 不复位 1h = 复位

7.1.3 PWR_CTL 寄存器 (地址 = 2h) [复位 = 03h]

返回到[汇总表](#)。

设置器件的运行模式和电源配置。

表 7-4. PWR_CTL 寄存器字段说明

位	字段	类型	复位	说明
7-2	RESERVED	R	0h	保留
1-0	MODE[1:0]	R/W	3h	器件运行模式。 0h = 有效运行 1h = 保留 2h = 软件关断 3h = 根据 ASI 时钟唤醒和关断

7.1.4 DEVICE_CFG_01 寄存器 (地址 = 3h) [复位 = 81h]

返回到[汇总表](#)。

该寄存器配置各种器件模式。

表 7-5. DEVICE_CFG_01 寄存器字段说明

位	字段	类型	复位	说明
7-6	EFFICIENCY_MODE[1:0]	R/W	2h	器件运行模式。 0h = 禁用音乐效率和噪声门模式 1h = 启用噪声门模式 2h = 仅音乐效率 3h = 音乐效率和噪声门模式
5-2	RESERVED	R	0h	保留
1-0	SDZ_MODE[1:0]	R/W	1h	SDZ 模式配置。 0h = 软关断和器件复位 1h = 立即关断和器件复位 2h = 仅软关断 3h = 保留

7.1.5 DEVICE_CFG_02 寄存器 (地址 = 4h) [复位 = 8Ch]返回到[汇总表](#)。

该寄存器配置各种器件模式。

表 7-6. DEVICE_CFG_02 寄存器字段说明

位	字段	类型	复位	说明
7	I2C_GBL_EN	R/W	1h	I2C 全局地址。 0h = 禁用 1h = 启用
6	RESERVED	R/W	0h	保留
5-3	CLK_HALT_TIME[2:0]	R/W	1h	上电前有效时钟检查持续时间。 0h = 禁用 (无限时间) 1h = 800 us 2h = 3.2ms 3h = 34.1ms 4h = 68.3ms 5h = 256ms 6h = 768ms 7h = 1.3s
2	CLK_BASED_PWR_UP	R/W	1h	时钟错误检测启用/禁用。 0h = 禁用 1h = 启用
1	RESERVED	R/W	0h	保留
0	RESERVED	R/W	0h	保留

7.1.6 DEVICE_CFG_03 寄存器 (地址 = 5h) [复位 = 00h]返回到[汇总表](#)。

该寄存器配置各种器件模式。

表 7-7. DEVICE_CFG_03 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R/W	0h	保留
6	RESERVED	R/W	0h	保留
5	RESERVED	R/W	0h	保留
4	OTE_RETRY	R/W	0h	过热事件后重试。 0h = 不重试 1h = 在 “RETRY_WAIT_TIME” 之后重试

表 7-7. DEVICE_CFG_03 寄存器字段说明 (续)

位	字段	类型	复位	说明
3	RESERVED	R/W	0h	保留
2	CLKE_RETRY	R/W	0h	内部时钟错误事件后重试。 0h = 不重试 1h = 在“RETRY_WAIT_TIME”之后重试
1	RESERVED	R/W	0h	保留
0	RESERVED	R/W	0h	保留

7.1.7 DEVICE_CFG_04 寄存器 (地址 = 6h) [复位 = 04h]

返回到[汇总表](#)。

该寄存器配置各种器件模式。

表 7-8. DEVICE_CFG_04 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	0h	保留
5-4	RESERVED	R	0h	保留
3-2	IRQZ_PIN_CFG[1:0]	R/W	1h	IRQZ 中断配置。IRQZ 将置为有效。 0h = 保留 1h = 发生任何未屏蔽的锁存中断时 2h = 保留 3h = 发生任何未屏蔽锁存中断时每 4ms 持续 2-4ms
1	RESERVED	R	0h	保留
0	RETRY_WAIT_TIME	R/W	0h	在器件检测到错误后重试的等待时间 (仅对重试选项可用的错误有效)。 0h = 1.5s 1h = 100ms

7.1.8 DEVICE_CFG_05 寄存器 (地址 = 7h) [复位 = 00h]

返回到[汇总表](#)。

该寄存器配置各种器件模式。

表 7-9. DEVICE_CFG_05 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6	SAMPLE_RATE_CFG	R/W	0h	采样率选择。 0h = 音频数据速率是 48Ksps 的倍数/约数 1h = 音频数据速率是 44.1Ksps 的倍数/约数
5-0	AMP_LVL[5:0]	R/W	0h	器件通道增益设置 0h = 21.000dB 1h = 20.498dB 2h = 19.997dB 3h = 19.495dB 4h = 18.993dB 26h = 1.935dB 27h = 1.434dB 28h = 0.932dB 29h = 0.430dB 2Ah = -0.071dB

7.1.9 TDM_CFG1 寄存器 (地址 = 8h) [复位 = 82h]

返回到[汇总表](#)。

该寄存器配置器件 TDM 模式。

表 7-10. TDM_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7	FRAME_START	R/W	1h	TDM 帧开始极性。 0h = FSYNC 从低电平变为高电平 1h = FSYNC 从高电平变为低电平
6	RX_JUSTIFY	R/W	0h	时隙内的 TDM RX 样本对齐方式。 0h = 左侧 1h = 靠右
5-1	RX_OFFSET[4:0]	R/W	1h	TDM RX 帧开始到时隙 0 的偏移 (SBCLK 周期) 。
0	RX_EDGE	R/W	0h	TDM RX 捕获时钟极性。 0h = SBCLK 的上升沿 1h = SBCLK 的下降沿

7.1.10 TDM_CFG2 寄存器 (地址 = 9h) [复位 = 0Ah]

返回到[汇总表](#)。

该寄存器配置器件 TDM 模式。

表 7-11. TDM_CFG2 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R/W	0h	保留
5-4	RX_SCFG[1:0]	R/W	0h	TDM RX 时隙选择配置。 0h = 时隙等于 I2C 地址偏移时进行单声道播放 1h = 单声道播放左声道 2h = 单声道播放右声道 3h = 立体声下混频 (L+R)/2
3-2	RX_WLEN[1:0]	R/W	2h	TDM RX 字长。 0h = 16 位 1h = 20 位 2h = 24 位 3h = 32 位
1-0	RX_SLEN[1:0]	R/W	2h	TDM RX 时隙长度。 0h = 16 位 1h = 24 位 2h = 32 位 3h = 保留

7.1.11 TDM_CFG3 寄存器 (地址 = Ah) [复位 = 10h]

返回到[汇总表](#)。

该寄存器配置器件 TDM 模式。

表 7-12. TDM_CFG3 寄存器字段说明

位	字段	类型	复位	说明
7-4	RX_SLOT_R[3:0]	R/W	1h	TDM RX 右声道时隙。
3-0	RX_SLOT_L[3:0]	R/W	0h	TDM RX 左声道时隙。

7.1.12 TDM_CFG5 寄存器 (地址 = Ch) [复位 = 13h]

[返回到汇总表。](#)

该寄存器配置器件 TDM 模式。

表 7-13. TDM_CFG5 寄存器字段说明

位	字段	类型	复位	说明
7	TX_KEEPYCY	R/W	0h	TDM TX SDOUT LSB 数据将驱动为 0h = 完整周期 1h = 半个周期
6	TX_KEEPPLN	R/W	0h	当 TX_KEEPEN 启用时，TDM TX SDOUT 将在以下时间内保持总线 0h = 1 个 LSB 周期 1h = 始终
5	TX_KEEPEN	R/W	0h	TDM TX SDOUT 总线保持器启用。 0h = 禁用总线保持器 1h = 启用总线保持器
4	TX_FILL	R/W	1h	TDM TX SDOUT 未使用的位字段填充。 0h = 发送 0 1h = 发送 Hi-Z
3-1	TX_OFFSET[2:0]	R/W	1h	TDM TX 帧开始到时隙 0 的偏移。
0	TX_EDGE	R/W	1h	TDM TX 启动时钟极性。 0h = SBCLK 的上升沿 1h = SBCLK 的下降沿

7.1.13 TDM_CFG9 寄存器 (地址 = 10h) [复位 = 05h]

[返回到汇总表。](#)

该寄存器配置器件 TDM 模式。

表 7-14. TDM_CFG9 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6	TEMP_TX	R/W	0h	TDM TX 温度传感器启用。 0h = 禁用 1h = 启用
5-0	TEMP_SLOT[5:0]	R/W	5h	TDM TX 温度传感器时隙。

7.1.14 TDM_CFG10 寄存器 (地址 = 11h) [复位 = 07h]

[返回到汇总表。](#)

该寄存器配置器件 TDM 模式。

表 7-15. TDM_CFG10 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6	STATUS_TX	R/W	0h	TDM TX 状态位发送启用。 0h = 禁用 1h = 启用
5-0	STATUS_SLOT[5:0]	R/W	7h	TDM TX 状态位时隙。

7.1.15 TDM_CFG11 寄存器 (地址 = 12h) [复位 = 06h]

返回到[汇总表](#)。

该寄存器配置器件 TDM 模式。

表 7-16. TDM_CFG11 寄存器字段说明

位	字段	类型	复位	说明
7	PVDD_SLEN	R/W	0h	TDM TX PVDD 时隙长度。 0h = 截断至 8 位 1h = 左对齐至 16 位
6	PVDD_TX	R/W	0h	TDM TX PVDD 发送启用。 0h = 禁用 1h = 启用
5-0	PVDD_SLOT[5:0]	R/W	6h	TDM TX PVDD 时隙。

7.1.16 TDM_CFG12 寄存器 (地址 = 13h) [复位 = 12h]

返回到[汇总表](#)。

该寄存器配置器件 TDM 模式。

表 7-17. TDM_CFG12 寄存器字段说明

位	字段	类型	复位	说明
7	AUDIO_SLEN	R/W	0h	TDM 音频时隙长度 0h = 16 位 1h = 24 位
6	AUDIO_TX	R/W	0h	TDM 音频输出传输为 0h = 禁用 1h = 启用
5-0	AUDIO_SLOT[5:0]	R/W	12h	TDM TX 状态时隙。

7.1.17 TDM_DET 寄存器 (地址 = 14h) [复位 = 7Fh]

返回到[汇总表](#)。

内部自动时钟检测的回读。

表 7-18. TDM_DET 寄存器字段说明

位	字段	类型	复位	说明
7	RESERVED	R	0h	保留
6-3	FS_RATIO_DETECTED[3:0]	R	Fh	检测到的 SBCLK 与 FSYNC 之比。 0h = 16 1h = 24 2h = 32 3h = 48 4h = 64 5h = 96 6h = 128 7h = 192 8h = 256 9h = 384 Ah = 512 Bh = 250 Dh = 500 Eh = 保留 Fh = 比率无效

表 7-18. TDM_DET 寄存器字段说明 (续)

位	字段	类型	复位	说明
2-0	FS_RATE_DETECTED[2:0]	R	7h	检测到的 TDM 总线采样率。 0h = 保留 1h = 14.7/16KHz 2h = 22.05/24KHz 3h = 29.4/32KHz 4h = 44.1/48KHz 5h = 88.2/96kHz 6h = 176.4/192kHz 7h = 错误条件

7.1.18 BOP_CFG_0 寄存器 (地址 = 18h) [复位 = 00h][返回到汇总表。](#)

该寄存器配置欠压保护模块。

表 7-19. BOP_CFG_0 寄存器字段说明

位	字段	类型	复位	说明
7-5	RESERVED	R	0h	保留
4	BOP_SRC	R/W	0h	欠压预防源控制 0h = VBAT 1h = PVDD
3	BOPSD_EN	R/W	0h	欠压保护关断启用。 0h = 禁用 1h = 启用
2	BOP_HLD_CLR	R/W	0h	BOP 无限保持清除 (自行清除)。当 BOP_INF_HLD = 1 时可用 0h = 不清除 1h = 清除
1	BOP_INF_HLD	R/W	0h	发生欠压事件时无限保持。 0h = 在发生欠压事件后使用 BOP_HLD_TM 1h = 在 BOP_HLD_CLR 置为高电平之前不要释放
0	BOP_EN	R/W	0h	欠压保护 (BOP) 启用。 0h = 禁用 1h = 启用

7.1.19 IO_CFG_02 寄存器 (地址 = 1Ch) [复位 = 3Fh][返回到汇总表。](#)

该寄存器配置 IO 缓冲器。

表 7-20. IO_CFG_02 寄存器字段说明

位	字段	类型	复位	说明
7	IRQZ_POL	R/W	0h	用于中断的 IRQZ 引脚极性。 0h = 低电平有效 1h = 高电平有效
6	RESERVED	R	0h	保留
5	RESERVED	R/W	1h	保留
4	IRQZ_PD	R/W	1h	适用于 IRQZ 的弱下拉。 0h = 禁用 1h = 启用
3	RESERVED	R/W	1h	保留
2	RESERVED	R/W	1h	保留

表 7-20. IO_CFG_02 寄存器字段说明 (续)

位	字段	类型	复位	说明
1	SDZ_PD	R/W	1h	适用于 SDZ 的弱下拉。 0h = 禁用 1h = 启用
0	SDA_PD	R/W	1h	适用于 SDA 的弱下拉。 0h = 禁用 1h = 启用

7.1.20 IO_CFG_03 寄存器 (地址 = 1Dh) [复位 = F0h]返回到[汇总表](#)。

该寄存器配置 IO 缓冲器。

表 7-21. IO_CFG_03 寄存器字段说明

位	字段	类型	复位	说明
7	ADR_PD	R/W	1h	适用于 ADR 的弱下拉。 0h = 禁用 1h = 启用
6	SDZ_PD	R/W	1h	适用于 SDZ 的弱下拉。 0h = 禁用 1h = 启用
5	RESERVED	R/W	1h	保留
4	CLH_PD	R/W	1h	适用于 CLH 的弱下拉。 0h = 禁用 1h = 启用
3	SDOUT_PD	R/W	0h	适用于 SDOUT 的弱下拉。 0h = 禁用 1h = 启用
2	SDIN_PD	R/W	0h	适用于 SDIN 的弱下拉。 0h = 禁用 1h = 启用
1	FSYNC_PD	R/W	0h	适用于 FSYNC 的弱下拉。 0h = 禁用 1h = 启用
0	SBCLK_PD	R/W	0h	适用于 SBCLK 的弱下拉。 0h = 禁用 1h = 启用

7.1.21 NG_CFG0 寄存器 (地址 = 1Eh) [复位 = 60h]返回到[汇总表](#)。

噪声门迟滞、阈值电平和启用。

表 7-22. NG_CFG0 寄存器字段说明

位	字段	类型	复位	说明
7-6	NG_HYST_TIMER[1:0]	R/W	1h	噪声门启动迟滞计时器。 0h = 10ms 1h = 50ms 2h = 100ms 3h = 1000ms

表 7-22. NG_CFG0 寄存器字段说明 (续)

位	字段	类型	复位	说明
5-3	NG_TH_LVL[2:0]	R/W	4h	噪声门音频阈值水平。 0h = -85 dBFS 1h = -90 dBFS 2h = -95 dBFS 3h = -100 dBFS 4h = -105 dBFS 5h = -110 dBFS 6h = -115 dBFS 7h = -120 dBFS
2-0	RESERVED	R	0h	保留

7.1.22 INTERRUPT_CFG1 寄存器 (地址 = 25h) [复位 = 00h]

返回到[汇总表](#)。

该寄存器清除所有锁存中断寄存器。

表 7-23. INTERRUPT_CFG1 寄存器字段说明

位	字段	类型	复位	说明
7	Shared_boost_primary_en	R/W	0h	共享升压模式下的主器件控制 0h = 禁用 1h = 启用
6	shared_boost_secondary_en	R/W	0h	共享升压模式下的辅助器件控制 0h = 禁用 1h = 启用
5-2	RESERVED	R	0h	保留
1	INT_CLR_LTCH	R/W	0h	清除 INT_LTCH 寄存器。 0h = 不清除 1h = 清除
0	RESERVED	R	0h	保留

7.1.23 SAR_MONITOR_03 寄存器 (地址 = 28h) [复位 = 00h]

返回到[汇总表](#)。

该寄存器提供检测到的 VBAT 电压。

表 7-24. SAR_MONITOR_03 寄存器字段说明

位	字段	类型	复位	说明
7-0	PVDD_CNV_MSB[7:0]	R	0h	返回 SAR ADC PVDD 监测的电压 MSB。

7.1.24 SAR_MONITOR_04 寄存器 (地址 = 29h) [复位 = 00h]

返回到[汇总表](#)。

该寄存器提供检测到的 VBAT 电压。

表 7-25. SAR_MONITOR_04 寄存器字段说明

位	字段	类型	复位	说明
7-4	PVDD_CNV_LSB[3:0]	R	0h	返回 SAR ADC PVDD 监测的电压 LSB。
3-0	RESERVED	R	0h	保留

7.1.25 SAR_MONITOR_06 寄存器 (地址 = 2Ah) [复位 = 00h]

返回到[汇总表](#)。

该寄存器提供检测到的温度。

表 7-26. SAR_MONITOR_06 寄存器字段说明

位	字段	类型	复位	说明
7-0	TMP_CNV[7:0]	R	0h	返回 SAR ADC 温度监测数据。

7.1.26 CLASSD_CFG_01 寄存器 (地址 = 31h) [复位 = 04h]

返回到[汇总表](#)。

该寄存器配置 D 类放大器。

表 7-27. CLASSD_CFG_01 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R/W	0h	保留
5-4	CLASSD_OUTPUT_EDGE_RATE_CTRL[1:0]	R/W	0h	边沿速率可编程性控制。 0h = 大约 0.5V/ns 的 D 类输出边沿速率 1h = 大约 1V/ns 的 D 类输出边沿速率 2h = 保留 3h = 大约 2V/ns 的 D 类输出边沿速率
3	CLASSD_HIZ_MODE	R/W	0h	噪声门模式下的放大器输出状态 (0 = 非 Hi-Z , 1 = Hi-Z) 0h = 禁用 1h = 启用
2	RESERVED	R/W	1h	保留
1-0	RESERVED	R	0h	保留

7.1.27 CLASSD_CFG_02 寄存器 (地址 = 32h) [复位 = 9Ch]

返回到[汇总表](#)。

该寄存器配置 D 类放大器。

表 7-28. CLASSD_CFG_02 寄存器字段说明

位	字段	类型	复位	说明
7	EN_Y_BRIDGE_MODE	R/W	1h	在器件运行期间启用/禁用 VDD 桥接器模式 0h = 禁用 VDD 桥接器模式 1h = 启用 VDD 桥接器模式
6	RESERVED	R/W	0h	保留
5-4	RESERVED	R/W	1h	保留
3-2	Ybridge_hyst_timer[1:0]	R/W	3h	时间迟滞可编程性 0h = 100 us 1h = 500 us 2h = 5ms 3h = 50ms
1-0	RESERVED	R	0h	保留

7.1.28 THERM_CFG 寄存器 (地址 = 3Ch) [复位 = 00h]

返回到[汇总表](#)。

该寄存器配置热警告检测。

表 7-29. THERM_CFG 寄存器字段说明

位	字段	类型	复位	说明
7-1	RESERVED	R	0h	保留
0	EN_THERM_WARN_DET	R/W	0h	启用热警告检测功能控制。 0h = 禁用 1h = 启用

7.1.29 INT_MASK_0 寄存器 (地址 = 5Bh) [复位 = 03h]

[返回到汇总表。](#)

该寄存器配置中断标志的屏蔽。

表 7-30. INT_MASK_0 寄存器字段说明

位	字段	类型	复位	说明
7	INT_MASK0[7]	R/W	0h	BOP Inf 保持标志导致的中断的屏蔽。 0h = 不屏蔽 1h = 屏蔽
6	INT_MASK0[6]	R/W	0h	限制器衰减标志导致的中断的屏蔽。 0h = 不屏蔽 1h = 屏蔽
5	INT_MASK0[5]	R/W	0h	电源电压低于 inf pt 标志导致的中断的屏蔽。 0h = 不屏蔽 1h = 屏蔽
4	INT_MASK0[4]	R/W	0h	限制器有效标志导致的中断的屏蔽。 0h = 不屏蔽 1h = 屏蔽
3	INT_MASK0[3]	R/W	0h	监测到欠压标志导致的中断的屏蔽。 0h = 不屏蔽 1h = 屏蔽
2	INT_MASK0[2]	R/W	0h	BOP 有效标志导致的中断的屏蔽。 0h = 不屏蔽 1h = 屏蔽
1	INT_MASK0[1]	R/W	1h	器件有效标志导致的中断的屏蔽。 0h = 不屏蔽 1h = 屏蔽
0	RESERVED	R/W	1h	保留

7.1.30 INT_MASK_1 寄存器 (地址 = 5Ch) [复位 = 1Fh]

[返回到汇总表。](#)

该寄存器配置中断标志的屏蔽。

表 7-31. INT_MASK_1 寄存器字段说明

位	字段	类型	复位	说明
7	INT_MASK1[7]	R/W	0h	PVDD 欠压导致的中断的屏蔽。 0h = 不屏蔽 1h = 屏蔽
6	RESERVED	R/W	0h	保留
5	RESERVED	R/W	0h	保留
4	INT_MASK1[4]	R/W	1h	热警告 135C 导致的中断的屏蔽 0h = 不屏蔽 1h = 屏蔽

表 7-31. INT_MASK_1 寄存器字段说明 (续)

位	字段	类型	复位	说明
3	INT_MASK1[3]	R/W	1h	热警告 125C 导致的中断的屏蔽 0h = 不屏蔽 1h = 屏蔽
2	INT_MASK1[2]	R/W	1h	热警告 115C 导致的中断的屏蔽 0h = 不屏蔽 1h = 屏蔽
1	INT_MASK1[1]	R/W	1h	热警告 105C 导致的中断的屏蔽 0h = 不屏蔽 1h = 屏蔽
0	RESERVED	R/W	1h	保留

7.1.31 INT_MASK_2 寄存器 (地址 = 5Dh) [复位 = 2Fh]返回到[汇总表](#)。

该寄存器配置中断标志的屏蔽。

表 7-32. INT_MASK_2 寄存器字段说明

位	字段	类型	复位	说明
7	INT_MASK2[7]	R/W	0h	看门狗到期导致的中断的屏蔽 0h = 不屏蔽 1h = 屏蔽
6	RESERVED	R/W	0h	保留
5	INT_MASK2[5]	R/W	1h	帧不同步导致的中断的屏蔽 0h = 不屏蔽 1h = 屏蔽
4	INT_MASK2[4]	R/W	0h	PLL 时钟错误导致的中断的屏蔽 0h = 不屏蔽 1h = 屏蔽
3	INT_MASK2[3]	R/W	1h	TDM 错误导致的中断的屏蔽 0h = 不屏蔽 1h = 屏蔽
2	INT_MASK2[2]	R/W	1h	比率变化错误标志导致的中断的屏蔽 0h = 不屏蔽 1h = 屏蔽
1	INT_MASK2[1]	R/W	1h	FS 变化错误标志导致的中断的屏蔽 0h = 不屏蔽 1h = 屏蔽
0	INT_MASK2[0]	R/W	1h	无效比率 FS 标志导致的中断的屏蔽 0h = 不屏蔽 1h = 屏蔽

7.1.32 INT_MASK_3 寄存器 (地址 = 5Eh) [复位 = 10h]返回到[汇总表](#)。

该寄存器配置中断标志的屏蔽。

表 7-33. INT_MASK_3 寄存器字段说明

位	字段	类型	复位	说明
7	INT_MASK3[7]	R/W	0h	检测到温度过高导致的中断的屏蔽 0h = 不屏蔽 1h = 屏蔽

表 7-33. INT_MASK_3 寄存器字段说明 (续)

位	字段	类型	复位	说明
6	RESERVED	R/W	0h	保留
5	RESERVED	R/W	0h	保留
4	RESERVED	R/W	1h	保留
3	INT_MASK3[3]	R/W	0h	D 类过流保护导致的中断的屏蔽 0h = 不屏蔽 1h = 屏蔽
2	INT_MASK3[2]	R/W	0h	pvdd_ov_flag 导致的中断的屏蔽 0h = 不屏蔽 1h = 屏蔽
1	RESERVED	R/W	0h	保留
0	RESERVED	R/W	0h	保留

7.1.33 INT_MASK_4 寄存器 (地址 = 5Fh) [复位 = 0Ah]

返回到[汇总表](#)。

该寄存器配置中断标志的屏蔽。

表 7-34. INT_MASK_4 寄存器字段说明

位	字段	类型	复位	说明
7	INT_MASK4[7]	R/W	0h	vbat_por 导致的中断的屏蔽 0h = 不屏蔽 1h = 屏蔽
6	RESERVED	R/W	0h	保留
5	RESERVED	R/W	0h	保留
4	RESERVED	R/W	0h	保留
3	RESERVED	R/W	1h	保留
2	INT_MASK4[2]	R/W	0h	时钟暂停标志导致的中断的屏蔽。该中断还会在使用 ASI 唤醒功能时 标记由于上电前时钟错误而导致的错误 0h = 不屏蔽 1h = 屏蔽
1	RESERVED	R/W	1h	保留
0	RESERVED	R/W	0h	保留

7.1.34 INT_LATCH_0 寄存器 (地址 = 60h) [复位 = 00h]

返回到[汇总表](#)。

该寄存器提供锁存中断的状态。

表 7-35. INT_LATCH_0 寄存器字段说明

位	字段	类型	复位	说明
7	INT_LTCH0[7]	R	0h	BOP 无限保持标志导致的中断 0h = 无中断 1h = 中断
6	INT_LTCH0[6]	R	0h	限制器衰减标志导致的中断 0h = 无中断 1h = 中断
5	INT_LTCH0[5]	R	0h	电源电压低于 inf pt 标志导致的中断 0h = 无中断 1h = 中断

表 7-35. INT_LATCH_0 寄存器字段说明 (续)

位	字段	类型	复位	说明
4	INT_LTCH0[4]	R	0h	限制器有效标志导致的中断 0h = 无中断 1h = 中断
3	INT_LTCH0[3]	R	0h	检测到欠压标志导致的中断 0h = 无中断 1h = 中断
2	INT_LTCH0[2]	R	0h	BOP 有效标志导致的中断 0h = 无中断 1h = 中断
1	INT_LTCH0[1]	R	0h	器件有效标志导致的实时中断 0h = 无中断 1h = 中断
0	RESERVED	R	0h	保留

7.1.35 INT_LATCH_1 寄存器 (地址 = 61h) [复位 = 00h]返回到[汇总表](#)。

该寄存器提供锁存中断的状态。

表 7-36. INT_LATCH_1 寄存器字段说明

位	字段	类型	复位	说明
7	INT_LTCH1[7]	R	0h	PVDD 欠压检测导致的中断 0h = 无中断 1h = 中断
6	RESERVED	R	0h	保留
5	RESERVED	R	0h	保留
4	INT_LTCH1[4]	R	0h	热警告 135C 导致的中断 0h = 无中断 1h = 中断
3	INT_LTCH1[3]	R	0h	热警告 125C 导致的中断 0h = 无中断 1h = 中断
2	INT_LTCH1[2]	R	0h	热警告 115C 导致的中断 0h = 无中断 1h = 中断
1	INT_LTCH1[1]	R	0h	热警告 105C 导致的中断 0h = 无中断 1h = 中断
0	RESERVED	R	0h	保留

7.1.36 INT_LATCH_2 寄存器 (地址 = 62h) [复位 = 00h]返回到[汇总表](#)。

该寄存器提供锁存中断的状态。

表 7-37. INT_LATCH_2 寄存器字段说明

位	字段	类型	复位	说明
7	INT_LTCH2[7]	R	0h	看门狗到期导致的中断 0h = 无中断 1h = 中断

表 7-37. INT_LATCH_2 寄存器字段说明 (续)

位	字段	类型	复位	说明
6	RESERVED	R	0h	保留
5	INT_LTCH2[5]	R	0h	帧不同步导致的中断 0h = 无中断 1h = 中断
4	INT_LTCH2[4]	R	0h	PLL 时钟错误导致的中断 0h = 无中断 1h = 中断
3	INT_LTCH2[3]	R	0h	TDM 错误导致的中断 0h = 无中断 1h = 中断
2	INT_LTCH2[2]	R	0h	比率变化错误标志导致的中断 0h = 无中断 1h = 中断
1	INT_LTCH2[1]	R	0h	FS 变化错误标志导致的中断 0h = 无中断 1h = 中断
0	INT_LTCH2[0]	R	0h	无效比率 FS 标志导致的中断 0h = 无中断 1h = 中断

7.1.37 INT_LATCH_3 寄存器 (地址 = 63h) [复位 = 00h]

[返回到汇总表。](#)

该寄存器提供锁存中断的状态。

表 7-38. INT_LATCH_3 寄存器字段说明

位	字段	类型	复位	说明
7	INT_LTCH3[7]	R	0h	检测到温度过高导致的中断 0h = 无中断 1h = 中断
6	RESERVED	R	0h	保留
5	RESERVED	R	0h	保留
4	RESERVED	R	0h	保留
3	INT_LTCH3[3]	R	0h	D 类过流保护导致的中断 0h = 无中断 1h = 中断
2	INT_LTCH3[2]	R	0h	PVDD 电源上的过压导致的中断。 0h = 无中断 1h = 中断
1	RESERVED	R	0h	保留
0	RESERVED	R	0h	保留

7.1.38 INT_LATCH_4 寄存器 (地址 = 64h) [复位 = 00h]

[返回到汇总表。](#)

该寄存器提供锁存中断的状态。

表 7-39. INT_LATCH_4 寄存器字段说明

位	字段	类型	复位	说明
7	INT_LTCH4[7]	R	0h	VBAT 欠压检测导致的中断 0h = 无中断 1h = 中断
6	RESERVED	R	0h	保留
5	RESERVED	R	0h	保留
4	RESERVED	R	0h	保留
3	RESERVED	R	0h	保留
2	INT_LTCH4[2]	R	0h	时钟暂停标志导致的中断 0h = 无中断 1h = 中断
1	RESERVED	R	0h	保留
0	RESERVED	R	0h	保留

7.1.39 NG_IDLE_STATUS 寄存器 (地址 = 65h) [复位 = 00h]

返回到[汇总表](#)。

该寄存器提供噪声门的状态。

表 7-40. NG_IDLE_STATUS 寄存器字段说明

位	字段	类型	复位	说明
7	NG_STATUS	R	0h	噪声模式状态位 0h = 器件未处于噪声门模式 1h = 器件处于噪声门模式
6	MUSIC_EFF_STATUS	R	0h	音乐效率模式状态位 0h = 器件未处于音乐效率模式 1h = 器件处于音乐效率模式
5-0	RESERVED	R	0h	保留

7.1.40 REV_ID 寄存器 (地址 = 78h) [复位 = 00h]

返回到[汇总表](#)。

返回修订 ID (REV_ID)。

表 7-41. REV_ID 寄存器字段说明

位	字段	类型	复位	说明
7-4	REV_ID[3:0]	R	0h	返回修订 ID。
3-0	RESERVED	R	0h	保留

7.1.41 BOOK 寄存器 (地址 = 7Fh) [复位 = 00h]

返回到[汇总表](#)。

器件存储器映射分为多个页和簿。该寄存器设置簿。

表 7-42. BOOK 寄存器字段说明

位	字段	类型	复位	说明
7-0	BOOK[7:0]	R/W	0h	设置器件 Book。 0h = Book 0 1h = Book 1 FFh = Book 255

7.2 页 1 寄存器

表 7-43 列出了页 1 寄存器的存储器映射寄存器。表 7-43 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 7-43. 页 1 寄存器

地址	首字母缩写词	说明	部分
0h	PAGE	器件页	节 7.2.1
Eh	DEV_PERF_TUNING_07	器件性能调优寄存器	节 7.2.2
18h	PVDD_OVLO1	PVDD 过压	节 7.2.3
2Bh	DEV_PERF_TUNING_04	器件性能调优寄存器	节 7.2.4
64h	I2C_CKSUM	I2C 校验和	节 7.2.5

7.2.1 页面寄存器 (地址 = 0h) [复位 = 00h]

返回到[汇总表](#)。

器件存储器映射分为多个页和簿。该寄存器设置页。

表 7-44. 页面寄存器字段说明

位	字段	类型	复位	说明
7-0	PAGE[7:0]	R/W	0h	设置器件页。 0h = 页 0 1h = 页 1 FFh = 页 255

7.2.2 DEV_PERF_TUNING_07 寄存器 (地址 = Eh) [复位 = 0Bh]

返回到[汇总表](#)。

器件性能调优寄存器

表 7-45. DEV_PERF_TUNING_07 寄存器字段说明

位	字段	类型	复位	说明
7-6	RESERVED	R	0h	保留
5-4	RESERVED	R	0h	保留
3-0	DEV_PERF_TUNING_07[3:0]	R/W	Bh	器件性能调优寄存器 0h = 外部 PVDD 模式调优 Bh = 保留

7.2.3 PVDD_OVLO1 寄存器 (地址 = 18h) [复位 = EBh]

返回到[汇总表](#)。

在外部 PVDD 模式下配置 PVDD OVLO 电压

表 7-46. PVDD_OVLO1 寄存器字段说明

位	字段	类型	复位	说明
7-6	pvdd_ovlo_th_sel_ext_boos[1:0]	R/W	3h	外部 PVDD 模式期间的 PVDD OVLO 阈值选择 0h = 13.5V 1h = 14V 2h = 15V 3h = 16V
5-4	RESERVED	R/W	2h	保留

表 7-46. PVDD_OVLO1 寄存器字段说明 (续)

位	字段	类型	复位	说明
3-2	RESERVED	R/W	2h	保留
1-0	RESERVED	R/W	3h	保留

7.2.4 DEV_PERF_TUNING_04 寄存器 (地址 = 2Bh) [复位 = 80h]

返回到[汇总表](#)。

器件性能调优寄存器

表 7-47. DEV_PERF_TUNING_04 寄存器字段说明

位	字段	类型	复位	说明
7-0	DEV_PERF_TUNING_04[7:0]	R/W	80h	器件性能调优。PPC3 软件生成所需的正确配置

7.2.5 I2C_CKSUM 寄存器 (地址 = 64h) [复位 = 00h]

返回到[汇总表](#)。

返回 I2C 校验和。

表 7-48. I2C_CKSUM 寄存器字段说明

位	字段	类型	复位	说明
7-0	I2C_CKSUM[7:0]	R/W	0h	返回 I2C 校验和。写入此寄存器会将校验和复位为写入值。此寄存器在所有簿和页上的其他寄存器进行写操作时更新。

7.3 页 2 寄存器

表 7-49 列出了页 2 寄存器的存储器映射寄存器。表 7-49 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 7-49. 页 2 寄存器

地址	首字母缩写词	说明	部分
0h	PAGE	器件页	节 7.3.1
Ch	DVC_LEVEL	数字音量控制电平	节 7.3.2
10h	DVC_SLEW_RATE	数字音量控制压摆率	节 7.3.3
18h	AUDIO_HPF_NO	设置音频直流阻断器滤波器系数	节 7.3.4
1Ch	AUDIO_HPF_N1	设置音频直流阻断器滤波器系数	节 7.3.5
20h	AUDIO_HPF_D1	设置音频直流阻断器滤波器系数	节 7.3.6
54h	TONE_GEN_CNTRL_01	音调发生器频率控制寄存器	节 7.3.7
58h	TONE_GEN_CNTRL_02	音调发生器频率控制寄存器	节 7.3.8
5Ch	TONE_GEN_CNTRL_03	音调发生器频率控制寄存器	节 7.3.9
60h	TONE_GEN_CNTRL_04	音调发生器频率控制寄存器	节 7.3.10
64h	TONE_GEN_CNTRL_05	音调发生器频率控制寄存器	节 7.3.11
68h	TONE_GEN_CNTRL_06	音调发生器振幅控制寄存器	节 7.3.12
6Ch	CLASSH_TUNING_01	H 类调优系数	节 7.3.13
70h	CLASSH_TUNING_02	H 类调优系数	节 7.3.14
74h	CLASSH_TUNING_03	H 类调优系数	节 7.3.15
78h	CLASSH_TUNING_04	H 类调优系数	节 7.3.16
7Ch	CLASSH_TUNING_05	H 类调优系数	节 7.3.17

7.3.1 页面寄存器 (地址 = 0h) [复位 = 00h]

返回到[汇总表](#)。

器件存储器映射分为多个页和簿。该寄存器设置页。

表 7-50. 页面寄存器字段说明

位	字段	类型	复位	说明
7-0	PAGE[7:0]	R/W	0h	设置器件页。 0h = 页 0 1h = 页 1 FFh = 页 255

7.3.2 DVC_LEVEL 寄存器 (地址 = Ch) [复位 = 400000h]

返回到[汇总表](#)。

数字音量控制电平

表 7-51. DVC_LEVEL 寄存器字段说明

位	字段	类型	复位	说明
23-0	DVC_LEVEL[23:0]	R/W	400000h	地址 0xC 至 0xE 合并在一起。可以使用 PPC3 软件进行配置。

7.3.3 DVC_SLEW_RATE 寄存器 (地址 = 10h) [复位 = 034A51h]

[返回到汇总表。](#)

数字音量控制压摆率

表 7-52. DVC_SLEW_RATE 寄存器字段说明

位	字段	类型	复位	说明
23-0	DVC_SLEW_RATE[23:0]	R/W	34A51h	地址 0x10 至 0x12 合并在一起。可以使用 PPC3 软件进行配置。

7.3.4 AUDIO_HPF_N0 寄存器 (地址 = 18h) [复位 = 7FFBB6h]

[返回到汇总表。](#)

设置音频直流阻断器滤波器系数

表 7-53. AUDIO_HPF_N0 寄存器字段说明

位	字段	类型	复位	说明
23-0	AUDIO_HPF_N0[23:0]	R/W	7FFBB6h	地址 0x18 至 0x1A 合并在一起。可以使用 PPC3 软件进行配置。

7.3.5 AUDIO_HPF_N1 寄存器 (地址 = 1Ch) [复位 = 80044Ah]

[返回到汇总表。](#)

设置音频直流阻断器滤波器系数

表 7-54. AUDIO_HPF_N1 寄存器字段说明

位	字段	类型	复位	说明
23-0	AUDIO_HPF_N1[23:0]	R/W	80044Ah	地址 0x1C 至 0x1E 合并在一起。可以使用 PPC3 软件进行配置。

7.3.6 AUDIO_HPF_D1 寄存器 (地址 = 20h) [复位 = 7FF76Ch]

[返回到汇总表。](#)

设置音频直流阻断器滤波器系数

表 7-55. AUDIO_HPF_D1 寄存器字段说明

位	字段	类型	复位	说明
23-0	AUDIO_HPF_D1[23:0]	R/W	7FF76Ch	地址 0x20 至 0x22 合并在一起。可以使用 PPC3 软件进行配置。

7.3.7 TONE_GEN_CNTRL_01 寄存器 (地址 = 54h) [复位 = 7FFFEDh]

[返回到汇总表。](#)

音调发生器频率控制寄存器

表 7-56. TONE_GEN_CNTRL_01 寄存器字段说明

位	字段	类型	复位	说明
23-0	TONE_GEN_CNTRL_01[23:0]	R/W	7FFFEDh	地址 0x54 至 0x56 合并在一起。可以使用 PPC3 软件进行配置。

7.3.8 TONE_GEN_CNTRL_02 寄存器 (地址 = 58h) [复位 = 4D0582h]

[返回到汇总表。](#)

音调发生器频率控制寄存器

表 7-57. TONE_GEN_CNTRL_02 寄存器字段说明

位	字段	类型	复位	说明
23-0 [3:0]	TONE_GEN_CNTRL_02[2]	R/W	4D0582h	地址 0x58 至 0x5A 合并在一起。可以使用 PPC3 软件进行配置。

7.3.9 TONE_GEN_CNTRL_03 寄存器 (地址 = 5Ch) [复位 = 002250h]

[返回到汇总表。](#)

音调发生器频率控制寄存器

表 7-58. TONE_GEN_CNTRL_03 寄存器字段说明

位	字段	类型	复位	说明
23-0 [3:0]	TONE_GEN_CNTRL_03[2]	R/W	2250h	地址 0x5C 至 0x5E 合并在一起。可以使用 PPC3 软件进行配置。

7.3.10 TONE_GEN_CNTRL_04 寄存器 (地址 = 60h) [复位 = 42FC96h]

[返回到汇总表。](#)

音调发生器频率控制寄存器

表 7-59. TONE_GEN_CNTRL_04 寄存器字段说明

位	字段	类型	复位	说明
23-0 [3:0]	TONE_GEN_CNTRL_04[2]	R/W	42FC96h	地址 0x60 至 0x62 合并在一起。可以使用 PPC3 软件进行配置。

7.3.11 TONE_GEN_CNTRL_05 寄存器 (地址 = 64h) [复位 = 000BB8h]

[返回到汇总表。](#)

音调发生器频率控制寄存器

表 7-60. TONE_GEN_CNTRL_05 寄存器字段说明

位	字段	类型	复位	说明
23-0 [3:0]	TONE_GEN_CNTRL_05[2]	R/W	BB8h	地址 0x64 至 0x66 合并在一起。可以使用 PPC3 软件进行配置。

7.3.12 TONE_GEN_CNTRL_06 寄存器 (地址 = 68h) [复位 = 01235Ah]

[返回到汇总表。](#)

音调发生器振幅控制寄存器

表 7-61. TONE_GEN_CNTRL_06 寄存器字段说明

位	字段	类型	复位	说明
23-0 [3:0]	TONE_GEN_CNTRL_06[2]	R/W	1235Ah	地址 0x68 至 0x6A 合并在一起。可以使用 PPC3 软件进行配置。

7.3.13 CLASSH_TUNING_01 寄存器 (地址 = 6Ch) [复位 = 000280h]

[返回到汇总表。](#)

H 类调优系数

表 7-62. CLASSH_TUNING_01 寄存器字段说明

位	字段	类型	复位	说明
23-0	CLASSH_TUNING_01[23:0]	R/W	280h	地址 0x6C 至 0x6E 合并在一起。可以使用 PPC3 软件进行配置。

7.3.14 CLASSH_TUNING_02 寄存器 (地址 = 70h) [复位 = 800000h]

[返回到汇总表。](#)

H 类调优系数

表 7-63. CLASSH_TUNING_02 寄存器字段说明

位	字段	类型	复位	说明
23-0	CLASSH_TUNING_02[23:0]	R/W	800000h	地址 0x70 至 0x72 合并在一起。可以使用 PPC3 软件进行配置。

7.3.15 CLASSH_TUNING_03 寄存器 (地址 = 74h) [复位 = 507480h]

[返回到汇总表。](#)

H 类调优系数

表 7-64. CLASSH_TUNING_03 寄存器字段说明

位	字段	类型	复位	说明
23-0	CLASSH_TUNING_03[23:0]	R/W	507480h	地址 0x74 至 0x76 合并在一起。可以使用 PPC3 软件进行配置。

7.3.16 CLASSH_TUNING_04 寄存器 (地址 = 78h) [复位 = 400000h]

[返回到汇总表。](#)

H 类调优系数

表 7-65. CLASSH_TUNING_04 寄存器字段说明

位	字段	类型	复位	说明
23-0	CLASSH_TUNING_04[23:0]	R/W	400000h	地址 0x78 至 0x7A 合并在一起。可以使用 PPC3 软件进行配置。

7.3.17 CLASSH_TUNING_05 寄存器 (地址 = 7Ch) [复位 = 006666h]

[返回到汇总表。](#)

H 类调优系数

表 7-66. CLASSH_TUNING_05 寄存器字段说明

位	字段	类型	复位	说明
23-0	CLASSH_TUNING_05[23:0]	R/W	6666h	地址 0x7C 至 0x7E 合并在一起。可以使用 PPC3 软件进行配置。

7.4 页 4 寄存器

表 7-67 列出了页 4 寄存器的存储器映射寄存器。表 7-67 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 7-67. 页 4 寄存器

地址	首字母缩写词	说明	部分
0h	PAGE	器件页	节 7.4.1
8h	VDD_MODE_THR_LVL	VDD Y 桥设置阈值	节 7.4.2
Ch	VDD_MODE_HYST	VDD Y 桥设置阈值迟滞	节 7.4.3
18h	MUSIC_EFF_MODE_THR	设置音乐效率模式阈值	节 7.4.4
1Ch	MUSIC_EFF_MODE_TIMER	设置音乐效率模式迟滞	节 7.4.5
38h	LIM_MAX_ATT	限制器设置最大衰减	节 7.4.6
3Ch	LIM_TH_MAX	限制器设置最大音频限制阈值	节 7.4.7
40h	LIM_TH_MIN	限制器设置最小音频限制阈值	节 7.4.8
44h	LIM_INF_PT	限制器设置拐点	节 7.4.9
48h	LIM_SLOPE	限制器设置斜率	节 7.4.10
4Ch	LIM_ATK_RATE	限制器设置启动速率	节 7.4.11
50h	LIM_RLS_RATE	限制器设置释放速率	节 7.4.12
54h	LIM_HLD_COUNT	限制器设置保持计数	节 7.4.13
58h	BOP_ATK_RATE	欠压保护设置启动速率	节 7.4.14
5Ch	BOP_HLD_COUNT	欠压保护设置保持计数	节 7.4.15
60h	BOP_THR_LVL	欠压保护设置阈值电平	节 7.4.16
64h	BOSD_THR_LVL	欠压保护关断设置阈值电平	节 7.4.17
74h	DEV_PERF_TUNING_01	器件性能调优寄存器	节 7.4.18
78h	DEV_PERF_TUNING_02	器件性能调优寄存器	节 7.4.19

7.4.1 页面寄存器 (地址 = 0h) [复位 = 00h]

返回到[汇总表](#)。

器件存储器映射分为多个页和簿。该寄存器设置页。

表 7-68. 页面寄存器字段说明

位	字段	类型	复位	说明
7-0	PAGE[7:0]	R/W	0h	设置器件页。 0h = 页 0 1h = 页 1 FFh = 页 255

7.4.2 VDD_MODE_THR_LVL 寄存器 (地址 = 8h) [复位 = 50A3D7h]

返回到[汇总表](#)。

VDD Y 桥设置阈值

表 7-69. VDD_MODE_THR_LVL 寄存器字段说明

位	字段	类型	复位	说明
23-0	VDD_MODE_THR_LVL[2:0]	R/W	50A3D7h	地址 0x8 至 0xA 合并在一起。可以使用 PPC3 软件进行配置。

7.4.3 VDD_MODE_HYST 寄存器 (地址 = Ch) [复位 = 00DA74h]

返回到[汇总表](#)。

VDD Y 桥设置阈值迟滞

表 7-70. VDD_MODE_HYST 寄存器字段说明

位	字段	类型	复位	说明
23-0	VDD_MODE_HYST[23:0]	R/W	DA74h	地址 0xC 至 0xE 合并在一起。可以使用 PPC3 软件进行配置。

7.4.4 MUSIC_EFF_MODE_THR 寄存器 (地址 = 18h) [复位 = 0443F5h]

返回到[汇总表](#)。

设置音乐效率模式阈值

表 7-71. MUSIC_EFF_MODE_THR 寄存器字段说明

位	字段	类型	复位	说明
23-0	MUSIC_EFF_MODE_THR[23:0]	R/W	443F5h	地址 0x18 至 0x1A 合并在一起。可以使用 PPC3 软件进行配置。

7.4.5 MUSIC_EFF_MODE_TIMER 寄存器 (地址 = 1Ch) [复位 = 000034h]

返回到[汇总表](#)。

设置音乐效率模式迟滞

表 7-72. MUSIC_EFF_MODE_TIMER 寄存器字段说明

位	字段	类型	复位	说明
23-0	MUSIC_EFF_MODE_TIMER[23:0]	R/W	34h	地址 0x1C 至 0x1E 合并在一起。可以使用 PPC3 软件进行配置。

7.4.6 LIM_MAX_ATT 寄存器 (地址 = 38h) [复位 = 2D6A86h]

返回到[汇总表](#)。

限制器设置最大衰减

表 7-73. LIM_MAX_ATT 寄存器字段说明

位	字段	类型	复位	说明
23-0	LIM_MAX_ATT[23:0]	R/W	2D6A86h	地址 0x38 至 0x3A 合并在一起。可以使用 PPC3 软件进行配置。

7.4.7 LIM_TH_MAX 寄存器 (地址 = 3Ch) [复位 = 400000h]

返回到[汇总表](#)。

限制器设置最大音频限制阈值

表 7-74. LIM_TH_MAX 寄存器字段说明

位	字段	类型	复位	说明
23-0	LIM_TH_MAX[23:0]	R/W	400000h	地址 0x3C 至 0x3E 合并在一起。可以使用 PPC3 软件进行配置。

7.4.8 LIM_TH_MIN 寄存器 (地址 = 40h) [复位 = 0A0000h][返回到汇总表。](#)

限制器设置最小音频限制阈值

表 7-75. LIM_TH_MIN 寄存器字段说明

位	字段	类型	复位	说明
23-0	LIM_TH_MIN[23:0]	R/W	A0000h	地址 0x40 至 0x42 合并在一起。可以使用 PPC3 软件进行配置。

7.4.9 LIM_INF_PT 寄存器 (地址 = 44h) [复位 = 0D3333h][返回到汇总表。](#)

限制器设置拐点

表 7-76. LIM_INF_PT 寄存器字段说明

位	字段	类型	复位	说明
23-0	LIM_INF_PT[23:0]	R/W	D3333h	地址 0x44 至 0x46 合并在一起。可以使用 PPC3 软件进行配置。

7.4.10 LIM_SLOPE 寄存器 (地址 = 48h) [复位 = 100000h][返回到汇总表。](#)

限制器设置斜率

表 7-77. LIM_SLOPE 寄存器字段说明

位	字段	类型	复位	说明
23-0	LIM_SLOPE[23:0]	R/W	100000h	地址 0x48 至 0x4A 合并在一起。可以使用 PPC3 软件进行配置。

7.4.11 LIM_ATK_RATE 寄存器 (地址 = 4Ch) [复位 = 7C5E4Eh][返回到汇总表。](#)

限制器设置启动速率

表 7-78. LIM_ATK_RATE 寄存器字段说明

位	字段	类型	复位	说明
23-0	LIM_ATK_RATE[23:0]	R/W	7C5E4Eh	地址 0x4C 至 0x4E 合并在一起。可以使用 PPC3 软件进行配置。

7.4.12 LIM_RLS_RATE 寄存器 (地址 = 50h) [复位 = 400179h][返回到汇总表。](#)

限制器设置释放速率

表 7-79. LIM_RLS_RATE 寄存器字段说明

位	字段	类型	复位	说明
23-0	LIM_RLS_RATE[23:0]	R/W	400179h	地址 0x50 至 0x52 合并在一起。可以使用 PPC3 软件进行配置。

7.4.13 LIM_HLD_COUNT 寄存器 (地址 = 54h) [复位 = 005DC0h][返回到汇总表。](#)

限制器设置保持计数

表 7-80. LIM_HLD_COUNT 寄存器字段说明

位	字段	类型	复位	说明
23-0	LIM_HLD_COUNT[23:0]	R/W	5DC0h	地址 0x5C 至 0x5E 合并在一起。可以使用 PPC3 软件进行配置。

7.4.14 BOP_ATK_RATE 寄存器 (地址 = 58h) [复位 = 78D67Ch]

返回到[汇总表](#)。

欠压保护设置启动速率

表 7-81. BOP_ATK_RATE 寄存器字段说明

位	字段	类型	复位	说明
23-0	BOP_ATK_RATE[23:0]	R/W	78D67Ch	地址 0x58 至 0x5A 合并在一起。可以使用 PPC3 软件进行配置。

7.4.15 BOP_HLD_COUNT 寄存器 (地址 = 5Ch) [复位 = 005DC0h]

返回到[汇总表](#)。

欠压保护设置保持计数

表 7-82. BOP_HLD_COUNT 寄存器字段说明

位	字段	类型	复位	说明
23-0	BOP_HLD_COUNT[23:0]	R/W	5DC0h	地址 0x5C 至 0x5E 合并在一起。可以使用 PPC3 软件进行配置。

7.4.16 BOP_THR_LVL 寄存器 (地址 = 60h) [复位 = 0B9999h]

返回到[汇总表](#)。

欠压保护设置阈值电平

表 7-83. BOP_THR_LVL 寄存器字段说明

位	字段	类型	复位	说明
23-0	BOP_THR_LVL[23:0]	R/W	B9999h	地址 0x60 至 0x62 合并在一起。可以使用 PPC3 软件进行配置。

7.4.17 BOSD_THR_LVL 寄存器 (地址 = 64h) [复位 = 0ACCCCh]

返回到[汇总表](#)。

欠压保护关断设置阈值电平

表 7-84. BOSD_THR_LVL 寄存器字段说明

位	字段	类型	复位	说明
23-0	BOSD_THR_LVL[23:0]	R/W	ACCCCh	地址 0x64 至 0x66 合并在一起。可以使用 PPC3 软件进行配置。

7.4.18 DEV_PERF_TUNING_01 寄存器 (地址 = 74h) [复位 = 079BCCh]

返回到[汇总表](#)。

器件性能调优寄存器

表 7-85. DEV_PERF_TUNING_01 寄存器字段说明

位	字段	类型	复位	说明
23-0	DEV_PERF_TUNING_01[23:0]	R/W	79BCCh	地址 0x74 至 0x76 合并在一起。可以使用 PPC3 软件进行配置。

7.4.19 DEV_PERF_TUNING_02 寄存器 (地址 = 78h) [复位 = 000034h]返回到[汇总表](#)。

器件性能调优寄存器

表 7-86. DEV_PERF_TUNING_02 寄存器字段说明

位	字段	类型	复位	说明
23-0	DEV_PERF_TUNING_02[23:0]	R/W	34h	地址 0x78 至 0x7A 合并在一起。可以使用 PPC3 软件进行配置。

7.5 页 5 寄存器

表 7-87 列出了页 5 寄存器的存储器映射寄存器。表 7-87 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 7-87. 页 5 寄存器

地址	首字母缩写词	说明	部分
0h	PAGE	器件页	节 7.5.1
64h	THERMAL_WARN_MIN_TEMP	热标志	节 7.5.2
68h	THERMAL_WARN_TEMP_STEP	热标志	节 7.5.3

7.5.1 页面寄存器 (地址 = 0h) [复位 = 00h]

返回到[汇总表](#)。

器件存储器映射分为多个页和簿。该寄存器设置页。

表 7-88. 页面寄存器字段说明

位	字段	类型	复位	说明
7-0	PAGE[7:0]	R/W	0h	设置器件页。 0h = 页 0 1h = 页 1 FFh = 页 255

7.5.2 THERMAL_WARN_MIN_TEMP 寄存器 (地址 = 64h) [复位 = 348000h]

返回到[汇总表](#)。

设置热标志的最小阈值

表 7-89. THERMAL_WARN_MIN_TEMP 寄存器字段说明

位	字段	类型	复位	说明
23-0	THERMAL_WARN_MIN_TEMP[23:0]	R/W	348000h	地址 0x64 至 0x66 合并在一起。可以使用 PPC3 软件进行配置。

7.5.3 THERMAL_WARN_TEMP_STEP 寄存器 (地址 = 68h) [复位 = 050000h]

返回到[汇总表](#)。

设置热标志的增量阈值

表 7-90. THERMAL_WARN_TEMP_STEP 寄存器字段说明

位	字段	类型	复位	说明
23-0	THERMAL_WARN_TEMP_STEP[23:0]	R/W	50000h	地址 0x68 至 0x6A 合并在一起。可以使用 PPC3 软件进行配置。

7.6 页 6 寄存器

表 7-91 列出了页 6 寄存器的存储器映射寄存器。表 7-91 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 7-91. 页 6 寄存器

地址	首字母缩写词	说明	部分
0h	PAGE	器件页	节 7.6.1
1Ch	CLASSH_TUNING_07	H 类调优系数	节 7.6.2
20h	CLASSH_TUNING_08	H 类调优系数	节 7.6.3
24h	CLASSH_TUNING_09	H 类调优系数	节 7.6.4
30h	DEV_PERF_TUNING_14	器件性能调优	节 7.6.5
34h	DEV_PERF_TUNING_24	器件性能调优	节 7.6.6
38h	DEV_PERF_TUNING_18	器件性能调优	节 7.6.7
48h	DEV_PERF_TUNING_25	器件性能调优	节 7.6.8
60h	CLASSH_TUNING_10	H 类调优系数	节 7.6.9
70h	CLASSH_TUNING_11	H 类调优系数	节 7.6.10
74h	CLASSH_TUNING_12	H 类调优系数	节 7.6.11
78h	CLASSH_TUNING_13	H 类调优系数	节 7.6.12
7Ch	CLASSH_TUNING_14	H 类调优系数	节 7.6.13

7.6.1 页面寄存器 (地址 = 0h) [复位 = 00h]

返回到[汇总表](#)。

器件存储器映射分为多个页和簿。该寄存器设置页。

表 7-92. 页面寄存器字段说明

位	字段	类型	复位	说明
7-0	PAGE[7:0]	R/W	0h	设置器件页。 0h = 页 0 1h = 页 1 FFh = 页 255

7.6.2 CLASSH_TUNING_07 寄存器 (地址 = 1Ch) [复位 = 0A72ABh]

返回到[汇总表](#)。

H 类调优系数

表 7-93. CLASSH_TUNING_07 寄存器字段说明

位	字段	类型	复位	说明
23-0	CLASSH_TUNING_07[23:0]	R/W	A72ABh	地址 0x1C 至 0x1E 合并在一起。可以使用 PPC3 软件进行配置。

7.6.3 CLASSH_TUNING_08 寄存器 (地址 = 20h) [复位 = 103F46h]

返回到[汇总表](#)。

H 类调优系数

表 7-94. CLASSH_TUNING_08 寄存器字段说明

位	字段	类型	复位	说明
23-0	CLASSH_TUNING_08[23:0]	R/W	103F46h	地址 0x20 至 0x22 合并在一起。可以使用 PPC3 软件进行配置。

7.6.4 CLASSH_TUNING_09 寄存器 (地址 = 24h) [复位 = 0A45F1h]

返回到[汇总表](#)。

H 类调优系数

表 7-95. CLASSH_TUNING_09 寄存器字段说明

位	字段	类型	复位	说明
23-0	CLASSH_TUNING_09[23:0]	R/W	A45F1h	地址 0x24 至 0x26 合并在一起。可以使用 PPC3 软件进行配置。

7.6.5 DEV_PERF_TUNING_14 寄存器 (地址 = 30h) [复位 = 400000h]

返回到[汇总表](#)。

器件性能调优

表 7-96. DEV_PERF_TUNING_14 寄存器字段说明

位	字段	类型	复位	说明
23-0	DEV_PERF_TUNING_14[23:0]	R/W	400000h	地址 0x30 至 0x32 合并在一起。可以使用 PPC3 软件进行配置。

7.6.6 DEV_PERF_TUNING_24 寄存器 (地址 = 34h) [复位 = 400000h]

返回到[汇总表](#)。

器件性能调优

表 7-97. DEV_PERF_TUNING_24 寄存器字段说明

位	字段	类型	复位	说明
23-0	DEV_PERF_TUNING_24[23:0]	R/W	400000h	地址 0x34 至 0x36 合并在一起。可以使用 PPC3 软件进行配置。

7.6.7 DEV_PERF_TUNING_18 寄存器 (地址 = 38h) [复位 = 400000h]

返回到[汇总表](#)。

器件性能调优

表 7-98. DEV_PERF_TUNING_18 寄存器字段说明

位	字段	类型	复位	说明
23-0	DEV_PERF_TUNING_18[23:0]	R/W	400000h	地址 0x38 至 0x3A 合并在一起。可以使用 PPC3 软件进行配置。

7.6.8 DEV_PERF_TUNING_25 寄存器 (地址 = 48h) [复位 = 166666h]

返回到[汇总表](#)。

器件性能调优

表 7-99. DEV_PERF_TUNING_25 寄存器字段说明

位	字段	类型	复位	说明
23-0	DEV_PERF_TUNING_25[23:0]	R/W	166666h	地址 0x48 至 0x4A 合并在一起。可以使用 PPC3 软件进行配置。

7.6.9 CLASSH_TUNING_10 寄存器 (地址 = 60h) [复位 = 074969h]返回到[汇总表](#)。

H 类调优系数

表 7-100. CLASSH_TUNING_10 寄存器字段说明

位	字段	类型	复位	说明
23-0	CLASSH_TUNING_10[23:0]	R/W	74969h	地址 0x60 至 0x62 合并在一起。可以使用 PPC3 软件进行配置。

7.6.10 CLASSH_TUNING_11 寄存器 (地址 = 70h) [复位 = 133333h]返回到[汇总表](#)。

H 类调优系数

表 7-101. CLASSH_TUNING_11 寄存器字段说明

位	字段	类型	复位	说明
23-0	CLASSH_TUNING_11[23:0]	R/W	133333h	地址 0x70 至 0x72 合并在一起。可以使用 PPC3 软件进行配置。

7.6.11 CLASSH_TUNING_12 寄存器 (地址 = 74h) [复位 = 04999Ah]返回到[汇总表](#)。

H 类调优系数

表 7-102. CLASSH_TUNING_12 寄存器字段说明

位	字段	类型	复位	说明
23-0	CLASSH_TUNING_12[23:0]	R/W	4999Ah	地址 0x74 至 0x76 合并在一起。可以使用 PPC3 软件进行配置。

7.6.12 CLASSH_TUNING_13 寄存器 (地址 = 78h) [复位 = 046666h]返回到[汇总表](#)。

H 类调优系数

表 7-103. CLASSH_TUNING_13 寄存器字段说明

位	字段	类型	复位	说明
23-0	CLASSH_TUNING_13[23:0]	R/W	46666h	地址 0x78 至 0x7A 合并在一起。可以使用 PPC3 软件进行配置。

7.6.13 CLASSH_TUNING_14 寄存器 (地址 = 7Ch) [复位 = 280000h]返回到[汇总表](#)。

H 类调优系数

表 7-104. CLASSH_TUNING_14 寄存器字段说明

位	字段	类型	复位	说明
23-0	CLASSH_TUNING_14[23:0]	R/W	280000h	地址 0x7C 至 0x7E 合并在一起。可以使用 PPC3 软件进行配置。

7.7 页 7 寄存器

表 7-105 列出了页 7 寄存器的存储器映射寄存器。表 7-105 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 7-105. 页 7 寄存器

地址	首字母缩写词	说明	部分
0h	PAGE	器件页	节 7.7.1
30h	DEV_PERF_TUNING_17	器件性能调优	节 7.7.2
44h	CLASSH_TUNING_15	H 类调优寄存器	节 7.7.3
78h	DEV_PERF_TUNING_21	器件性能调优	节 7.7.4
7Ch	DEV_PERF_TUNING_05	器件性能调优	节 7.7.5

7.7.1 页面寄存器 (地址 = 0h) [复位 = 00h]

返回到[汇总表](#)。

器件存储器映射分为多个页和簿。该寄存器设置页。

表 7-106. 页面寄存器字段说明

位	字段	类型	复位	说明
7-0	PAGE[7:0]	R/W	0h	设置器件页。 0h = 页 0 1h = 页 1 FFh = 页 255

7.7.2 DEV_PERF_TUNING_17 寄存器 (地址 = 30h) [复位 = 0E9DDFh]

返回到[汇总表](#)。

器件性能调优

表 7-107. DEV_PERF_TUNING_17 寄存器字段说明

位	字段	类型	复位	说明
23-0	DEV_PERF_TUNING_17[23:0]	R/W	E9DDFh	地址 0x30 至 0x32 合并在一起。可以使用 PPC3 软件进行配置。

7.7.3 CLASSH_TUNING_15 寄存器 (地址 = 44h) [复位 = 580000h]

返回到[汇总表](#)。

H 类调优寄存器

表 7-108. CLASSH_TUNING_15 寄存器字段说明

位	字段	类型	复位	说明
23-0	CLASSH_TUNING_15[23:0]	R/W	580000h	地址 0x44 至 0x46 合并在一起。可以使用 PPC3 软件进行配置。

7.7.4 DEV_PERF_TUNING_21 寄存器 (地址 = 78h) [复位 = 000070h]

返回到[汇总表](#)。

器件性能调优

表 7-109. DEV_PERF_TUNING_21 寄存器字段说明

位	字段	类型	复位	说明
23-0	DEV_PERF_TUNING_21[23:0]	R/W	70h	地址 0x78 至 0x7A 合并在一起。可以使用 PPC3 软件进行配置。

7.7.5 DEV_PERF_TUNING_05 寄存器 (地址 = 7Ch) [复位 = 000000h]

返回到[汇总表](#)。

器件性能调优

表 7-110. DEV_PERF_TUNING_05 寄存器字段说明

位	字段	类型	复位	说明
23-0	DEV_PERF_TUNING_05[23:0]	R/W	0h	地址 0x7C 至 0x7E 合并在一起。可以使用 PPC3 软件进行配置。

7.8 页 8 寄存器

表 7-111 列出了页 8 寄存器的存储器映射寄存器。表 7-111 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 7-111. 页 8 寄存器

地址	首字母缩写词	说明	部分
0h	PAGE	器件页	节 7.8.1
8h	DEV_PERF_TUNING_08	器件性能调优	节 7.8.2
Ch	DEV_PERF_TUNING_09	器件性能调优	节 7.8.3
10h	DEV_PERF_TUNING_10	器件性能调优	节 7.8.4
14h	DEV_PERF_TUNING_06	器件性能调优	节 7.8.5

7.8.1 页面寄存器 (地址 = 0h) [复位 = 00h]

返回到[汇总表](#)。

器件存储器映射分为多个页和簿。该寄存器设置页。

表 7-112. 页面寄存器字段说明

位	字段	类型	复位	说明
7-0	PAGE[7:0]	R/W	0h	设置器件页。 0h = 页 0 1h = 页 1 FFh = 页 255

7.8.2 DEV_PERF_TUNING_08 寄存器 (地址 = 8h) [复位 = 002D0Eh]

返回到[汇总表](#)。

器件性能调优

表 7-113. DEV_PERF_TUNING_08 寄存器字段说明

位	字段	类型	复位	说明
23-0	DEV_PERF_TUNING_08[23:0]	R/W	2D0Eh	地址 0x8 至 0xA 合并在一起。可以使用 PPC3 软件进行配置。

7.8.3 DEV_PERF_TUNING_09 寄存器 (地址 = Ch) [复位 = F8CCCDh]

返回到[汇总表](#)。

器件性能调优

表 7-114. DEV_PERF_TUNING_09 寄存器字段说明

位	字段	类型	复位	说明
23-0	DEV_PERF_TUNING_09[23:0]	R/W	F8CCCDh	地址 0xC 至 0xE 合并在一起。可以使用 PPC3 软件进行配置。

7.8.4 DEV_PERF_TUNING_10 寄存器 (地址 = 10h) [复位 = 009AC0h]

返回到[汇总表](#)。

器件性能调优

表 7-115. DEV_PERF_TUNING_10 寄存器字段说明

位	字段	类型	复位	说明
23-0	DEV_PERF_TUNING_10[23:0]	R/W	9AC0h	地址 0x10 至 0x12 合并在一起。可以使用 PPC3 软件进行配置。

7.8.5 DEV_PERF_TUNING_06 寄存器 (地址 = 14h) [复位 = 000007h]

返回到[汇总表](#)。

器件性能调优

表 7-116. DEV_PERF_TUNING_06 寄存器字段说明

位	字段	类型	复位	说明
23-0	DEV_PERF_TUNING_06[23:0]	R/W	7h	地址 0x14 至 0x16 合并在一起。可以使用 PPC3 软件进行配置。

7.9 簿 100 页 9 寄存器

表 7-117 列出了簿 100 页 9 寄存器的存储器映射寄存器。表 7-117 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 7-117. 簿 100 页 9 寄存器

地址	首字母缩写词	说明	部分
0h	PAGE	器件页	节 7.9.1
58h	DEV_PERF_TUNING_19	器件性能调优	节 7.9.2

7.9.1 页面寄存器 (地址 = 0h) [复位 = 00h]

返回到[汇总表](#)。

器件存储器映射分为多个页和簿。该寄存器设置页。

表 7-118. 页面寄存器字段说明

位	字段	类型	复位	说明
7-0	PAGE[7:0]	R/W	0h	设置器件页。 0h = 页 0 1h = 页 1 FFh = 页 255

7.9.2 DEV_PERF_TUNING_19 寄存器 (地址 = 58h) [复位 = 000000h]

返回到[汇总表](#)。

器件性能调优

表 7-119. DEV_PERF_TUNING_19 寄存器字段说明

位	字段	类型	复位	说明
23-0	DEV_PERF_TUNING_19[23:0]	R/W	0h	地址 0x58 至 0x5A 合并在一起。可以使用 PPC3 软件进行配置。

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

TAS2320 是一款单通道数字输入 D 类放大器，具有电池电压和温度监测功能。I²S 音频数据与位时钟和帧同步信号一起由主机处理器通过 SDIN 数据端口提供。I²C 总线用于配置和控制。

器件需要由外部电源电压轨供电，即 VBAT：2.5V 至 5.5V，VDD：1.65V 至 1.95V，以及 IOVDD：1.8V 或 3.3V。

建议使用 PurePath™ Console 3 (PPC3) 软件来配置器件，该工具可根据不同的应用场景优化器件性能参数。

8.2 典型应用

以下示意图显示了 TAS2320 器件的典型应用连接。SEL1_I2C 引脚用于选择器件的 HW 模式或 I²C 模式。

如果需要，系统可以使用相同的 1.8V 电源为 IOVDD 和 VDD 供电。去耦电容器 C2 和 C3 应靠近器件引脚放置。

VBAT、VDD、PVDD 电源轨对器件性能至关重要，应在源 PMIC 和这些引脚之间使用宽引线，以尽量减小寄生电感。对于这些电源轨，电源纹波应保持最小并应连接到公共电源平面。

勘误表：如果 IRQZ 信号被拉高，则预计会有额外的 2mA 到 3mA 电流消耗。在[应做事项和禁止事项](#)一节中了解更多详细信息。

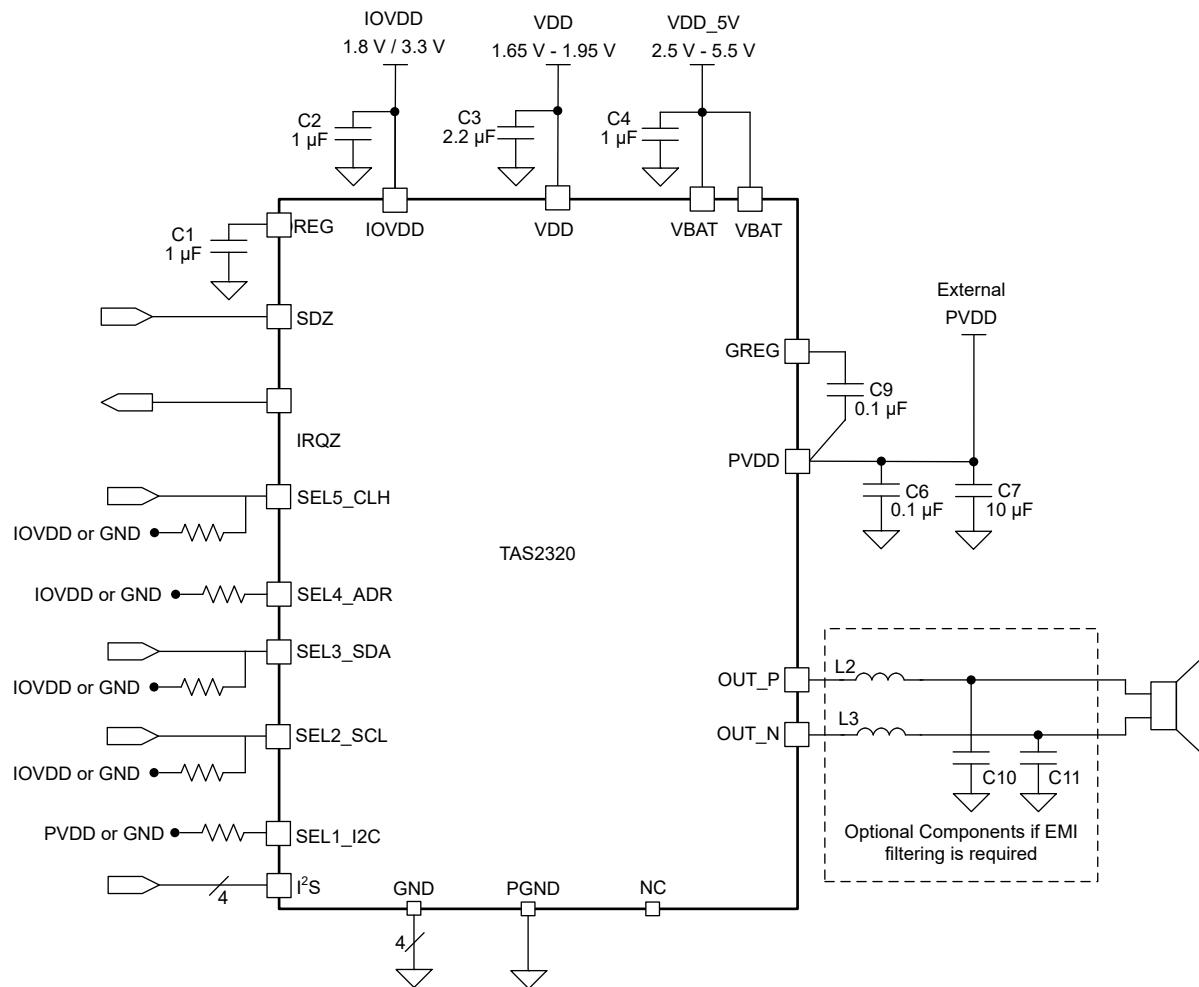


图 8-1. 基于 TAS2320 的系统的应用示意图

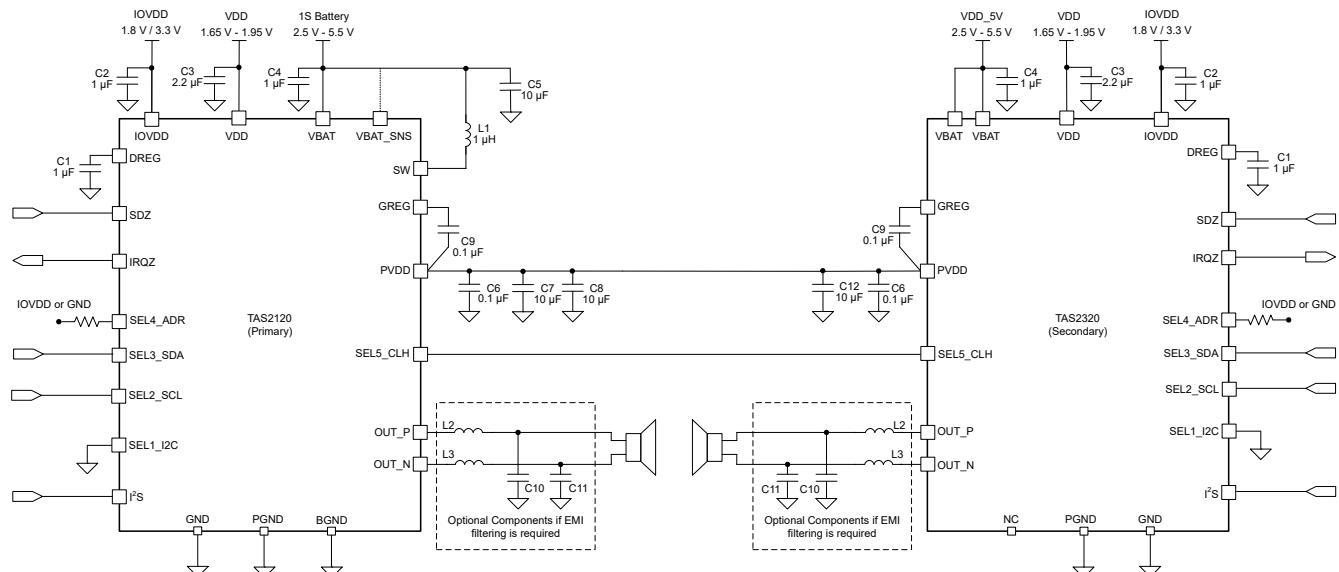


图 8-2. 升压共享拓扑应用示意图

表 8-1. 推荐的外部元件

元件	说明	规格	最小值	典型值	最大值	单位
L2、L3	可选的 EMI 滤波电感器 (如果使用 L2、L3，则必须使用 C10、C11)	直流电流	2			A
C1, C2	DREG、IOVDD 去耦电容器	电容，容差为 20%		1		μF
		电压额定值	2	6.3		V
C3	VDD 去耦电容器	电容，容差为 20%		2.2		μF
		电压额定值	2	6.3		V
C4	VBAT 去耦电容器	电容，容差为 20%		1		μF
		电压额定值	6.3	10		V
C6	PVDD 低 ESL 去耦	电容，容差为 20%		0.1		μF
		电压额定值	16	25		V
C7	PVDD 电源去耦电容器	电容，容差为 20%		10		μF
		电压额定值	16	25		V
C9	GREG 去耦电容器	电容，容差为 20%		0.1		μF
		电压额定值	6.3	10		V
C10、C11	可选的 EMI 滤波电容器 (如果使用 C10、C11，则必须使用 L2、L3)	电压额定值	2xPVDD			V

8.2.1 设计要求

表 8-1 列出了应用所需的 BOM 元件。表 8-2 列出了应用的其他要求。

表 8-2. 设计参数

参数	条件	规格
VDD 电源电流 ⁽¹⁾	禁用 VDD Y 桥，48ksps 模式，启用所有块	< 15mA
	禁用 VDD Y 桥，96ksps 模式，启用所有块	< 20mA
IOVDD 电源电流	1.8V 模式	< 1mA
	3.3V 模式	< 1mA
LC 滤波器截止频率 ⁽²⁾	可选 EMI 滤波器	$F_c > 2.4\text{MHz}$
LC 滤波电感器	可选 EMI 滤波器	$L_{IND} > 4 * VBST / (\pi * F_c)$

(1) 当启用 VDD Y 桥时，会根据所选的切换阈值电压和输出负载阻抗从 VDD 电源获取额外的功率。

(2) 在 I²C 模式下，可以禁用 VDD Y 桥功能，以使用较低的 LC 滤波器截止频率。

8.2.2 详细设计过程

8.2.2.1 单声道/立体声配置

在该应用中，假定器件在单声道模式下运行。有关更改 TAS2320 的 I²C 地址以支持立体声或多通道运行的信息，请参阅节 6.5.2。单声道或立体声配置不会影响器件性能。

8.2.2.2 EMI 无源器件

TAS2320 支持边沿速率控制，以更大限度地降低 EMI，但系统设计人员可能希望在 D 类输出端使用无源器件来进一步降低 EMI。这些无源器件在节 8.2 中标记为 L2、L3、C10 和 C11。如果使用 C10 和 C11，那么还必须安装 L2 和 L3，并且 C10 和 C11 必须分别放置在 L2 和 L3 之后，以保持输出级的稳定性。

EMI 滤波器的元件值选择取决于需要使用这些滤波器抑制的频带的应用需求。较高的截止频率有助于减少 BOM 并降低与滤波器相关的开关功率损耗。应用应选择符合系统频率抑制目标的最高截止频率滤波器，从而获得更好的效率性能。

EMI 滤波器中使用的电感器或铁氧体磁珠的直流电阻也对系统效率起着至关重要的作用。较低的电阻可降低功率损耗并有助于提高整体系统效率。根据可用的布板空间，满足应用需求的超小直流电阻元件将提供更好的效率性能。

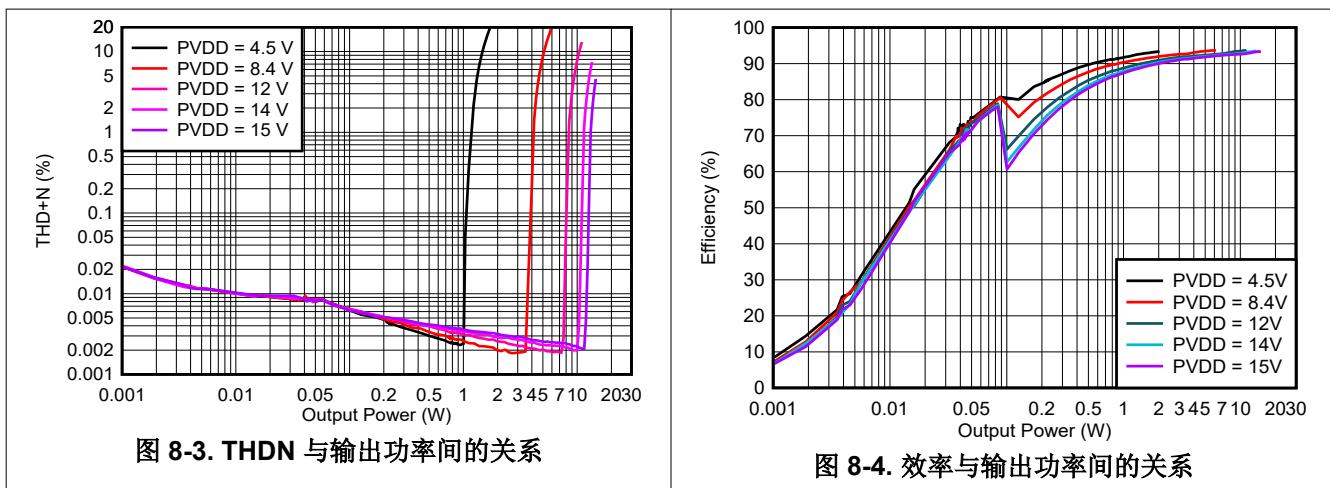
8.2.2.3 各种无源器件

GREG 电容器需要 100nF 来满足 D 类电力输送和效率规格。对于器件功能，GREG 电容器应通过开尔文/星形接法连接到器件的 PVDD 引脚。

为了保持器件性能并将电源纹波保持在器件规格范围内，需要尽可能地减小去耦电容器的电源/接地路径上的寄生电感。选择的所有电源去耦电容器应具有超小封装尺寸，从而尽可能减小电容器的 ESL。电容器的布局放置和布线对于更大限度地减小布线寄生电感至关重要。有关详细建议，请参阅“布局”部分（节 8.5.1）。

8.2.3 应用性能曲线图

$T_A = 25^\circ\text{C}$ 、 $\text{VBAT} = 3.6\text{V}$ 、 $\text{PVDD} = 12\text{V}$ 、 $\text{VDD} = 1.8\text{V}$ 、 $\text{IOVDD} = 1.8\text{V}$ 、 $R_L = 8 \Omega + 33 \mu\text{H}$ 、 $F_{\text{in}} = 1\text{kHz}$ 、 $F_s = 48\text{kHz}$ 、增益 = 21dBV、SDZ=1、禁用噪声门模式，在 EVM 上使用典型应用用例（节 8.2）测得。测量时无滤波器，通过 Audio Precision 使用 22Hz 至 20kHz 未加权带宽测得（除非另有说明）。



8.3 应做事项和禁止事项

- 当 IRQZ 引脚被拉高时，预计 VDD 电源会有额外 2mA 到 3mA 漏电流。
- IRQZ 引脚应在电路板上保持悬空或接地，而不是连接上拉电阻器，以避免漏电流问题。
- 基于 I²C 轮询的中断机制可以在主机中实现，而不是来自器件的基于 HW 引脚的中断。

- 对于基于 HW 引脚的中断，建议将 IRQZ 极性更改为高电平有效，而不是默认的低电平有效状态。这可以通过将“1”写入 Page0 中 IO_CFG_02 寄存器中的 IRQZ_POL 寄存器来完成（[节 7.1](#)）。

8.4 电源相关建议

只要 SDZ 引脚保持低电平，电源轨和 ASI 时钟的 TAS2320 上电序列就可以按任何顺序应用。一旦所有电源和 ASI 时钟稳定，就可以将 SDZ 引脚拉至高电平以初始化器件。

对于断电序列建议，首先使器件静音。然后，在电源轨按任何顺序斜降之前，必须将 SDZ 引脚拉至低电平。

一旦所有电源有效且 SDZ 引脚释放为高电平，数字内核电压稳压器就会上电，并启动内部初始化序列。硬件或软件复位后，对器件执行的附加 I²C 命令应延迟至少 300us，以允许初始化器件内部块。

VBAT 电源电压需要始终为 2.2V 或更高，包括纹波条件，以避免器件 VBAT UVLO。

8.5 布局

8.5.1 布局指南

- 针对承载大电流的信号使用宽引线，并尽可能避免使用过孔。如果无法避免使用过孔，则应添加多个过孔，以实现低寄生电感和高电流能力。这些包括用于 PVDD、VBAT、VDD、PGND、GND、OUT_P 和 OUT_N 的引线。
- PGND 信号应直接连接并短接到电路板的接地平面，从而更大限度地减小寄生电感。在连接到接地平面之前，应避免在接地引脚之间（例如 GND 和 PGND 共模布线）产生共模电感。
- 敏感低压信号应避免在 OUT_P、OUT_N、SW、等高开关信号布线之间产生耦合。
- 尽可能地减小 OUT_P、OUT_N、SW、等高开关线路与接地/静态节点之间的电容。较大的电容会导致效率下降。OUT_P 和 OUT_N 之间的耦合也会导致效率降低。
- 去耦电容器应靠近器件放置。建议为去耦电容器使用尽可能小的封装尺寸，从而使器件发挥最佳性能。建议 DREG、VDD、IOVDD、VBAT（C4 电容器）、PVDD 低 ESL（C6 电容器）具有 0201 外壳尺寸或更小。应避免在去耦电容器和器件引脚之间使用过孔，或者也可以添加多个过孔来尽可能减小寄生电感。
- 所有去耦电容器的接地端子都应通过多个接地过孔牢固地连接到接地平面。应尽可能地减小电容器接地与器件接地引脚之间的接地布线环路。
- 对于 VDD Y 桥功能，从主机 PMIC 到器件 VDD 的布线应采用宽电源平面布线，并尽可能减小布线寄生电感。
- 对于 GREG-PVDD（C9 电容器）之间的电容器，电容器的 PVDD 侧不应直接连接到 PVDD 去耦电容器（C6、C7 和 C8），而应尽可能靠近器件 PVDD 引脚连接。

8.5.2 布局示例

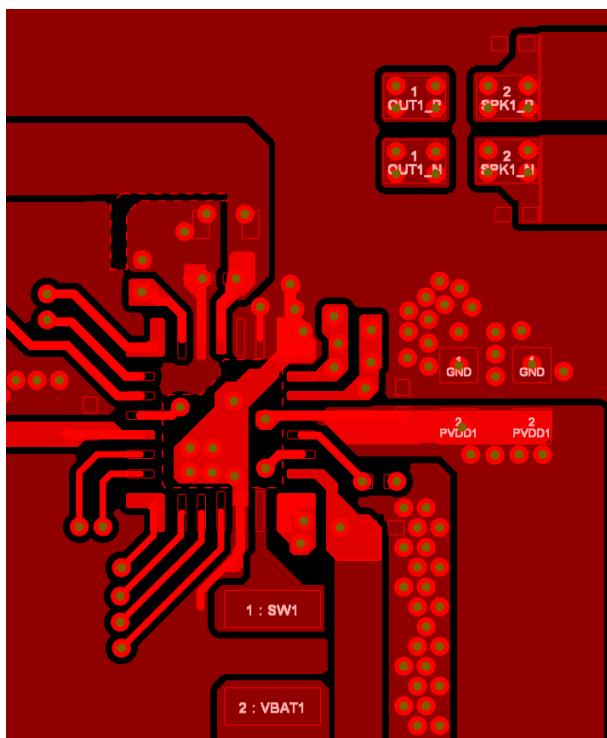


图 8-5. 示例布局顶部

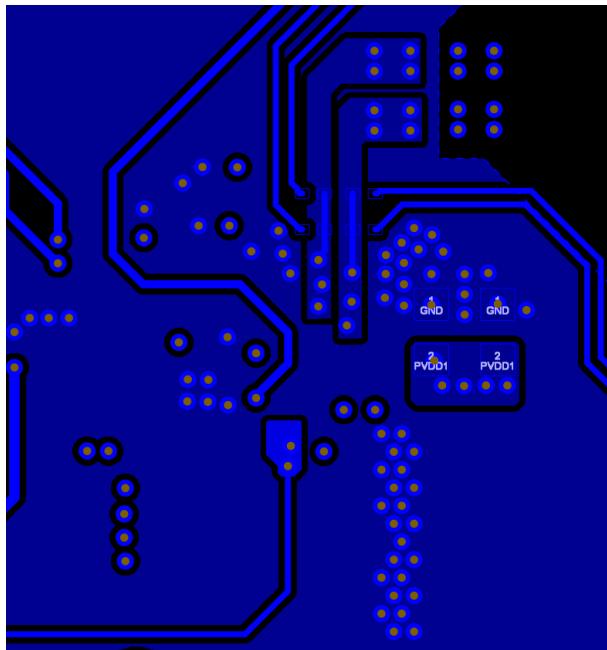


图 8-6. 示例布局底部

9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档

- 德州仪器 (TI) , [PurePath Console 3 \(PPC3\) 软件](#)

9.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击[通知](#)进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

[TI E2E™ 中文支持论坛](#)是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (August 2024) to Revision A (October 2025)	Page
• 将器件状态更新为量产数据。	1

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TAS2320RBGR	Active	Production	VQFN-HR (RBG) 26	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	TAS2X20

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

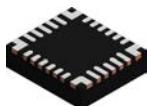
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

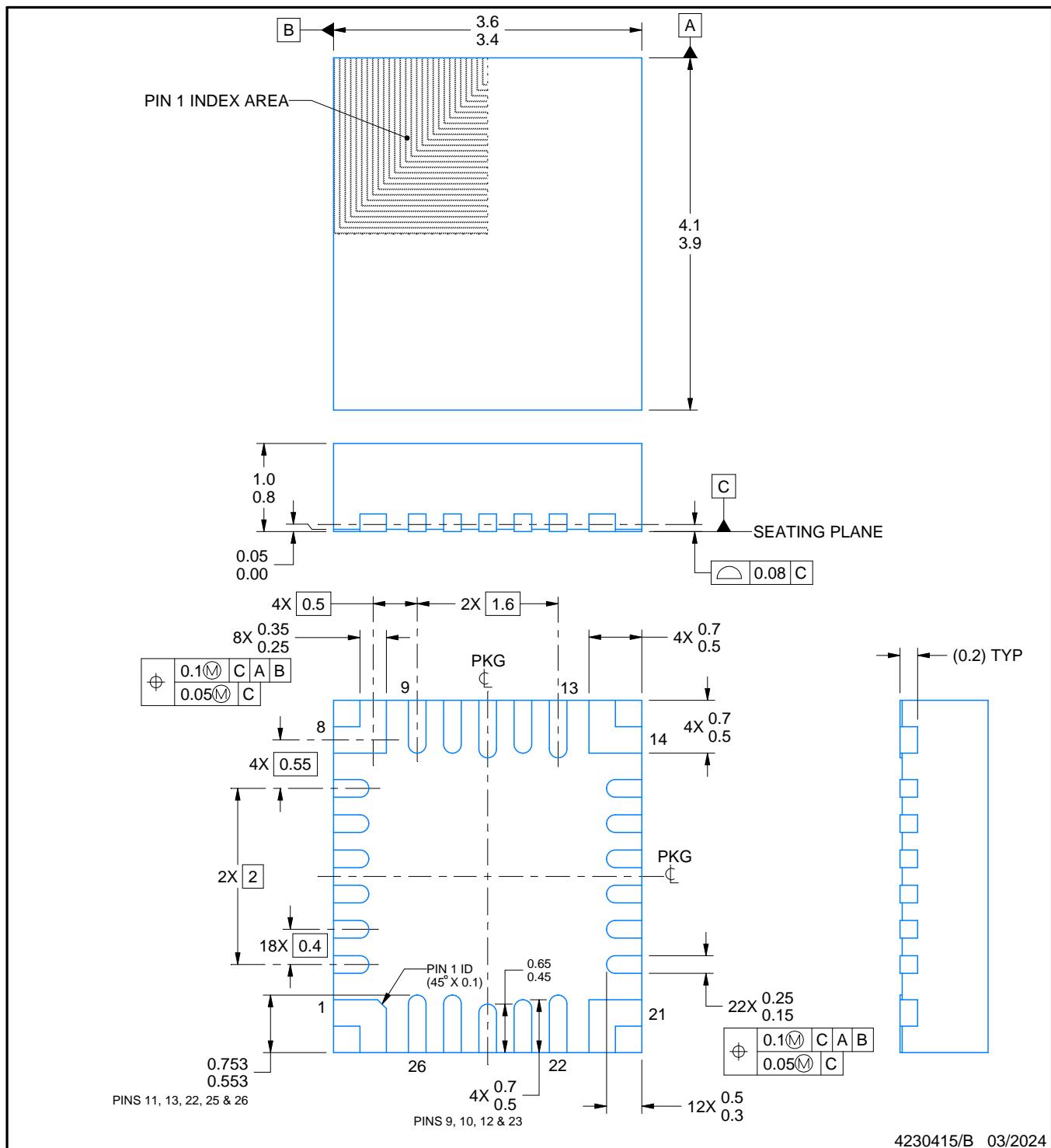
PACKAGE OUTLINE

RBG0026A



VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4230415/B 03/2024

NOTES:

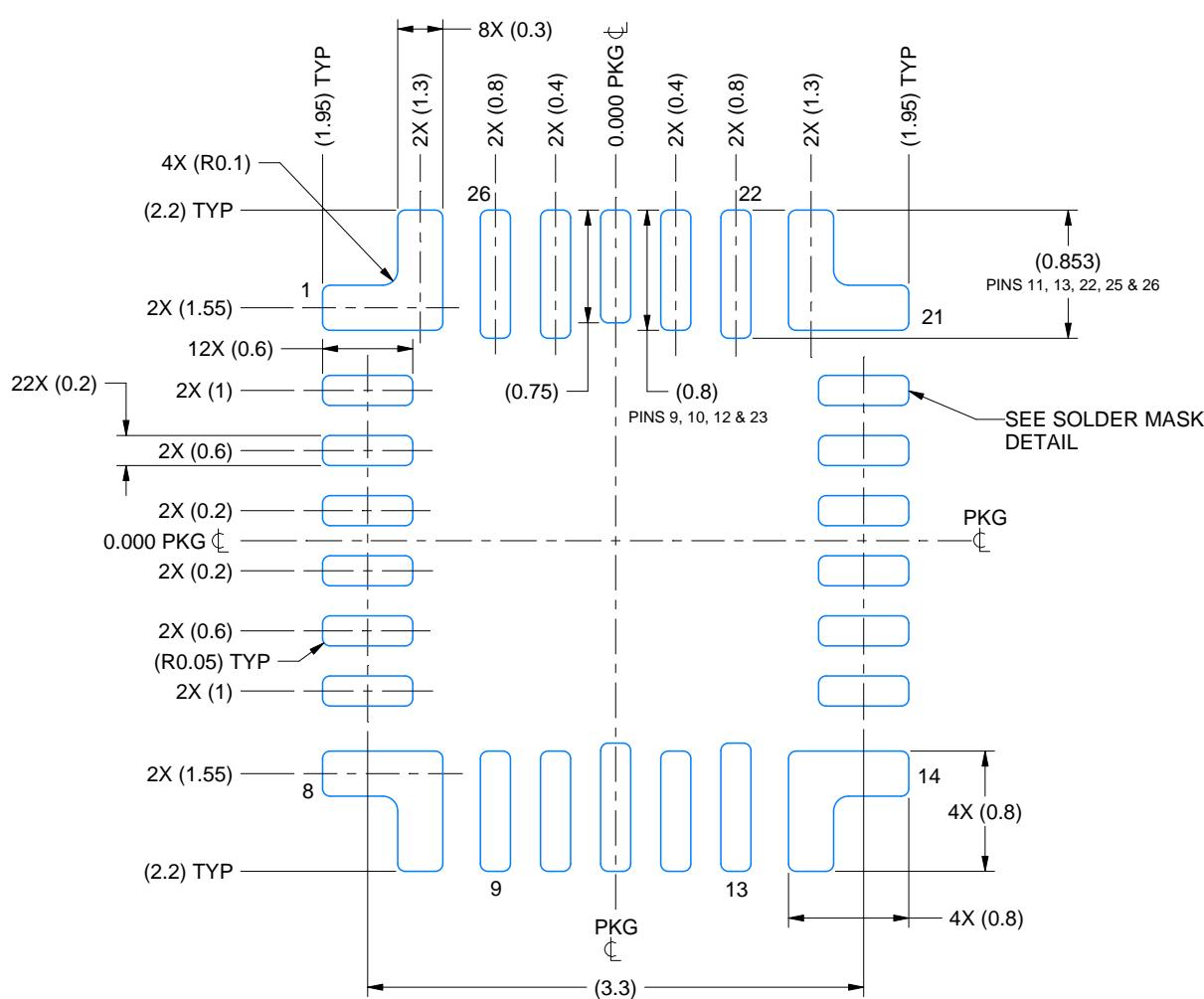
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

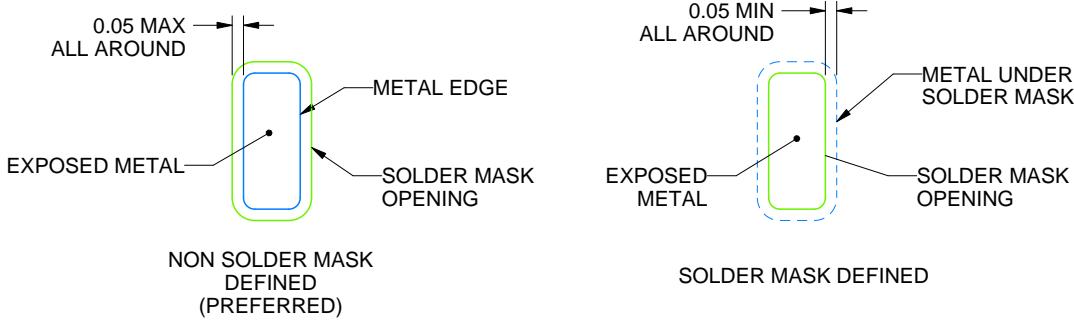
RBG0026A

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



**LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X**



SOLDER MASK DETAILS

4230415/B 03/2024

NOTES: (continued)

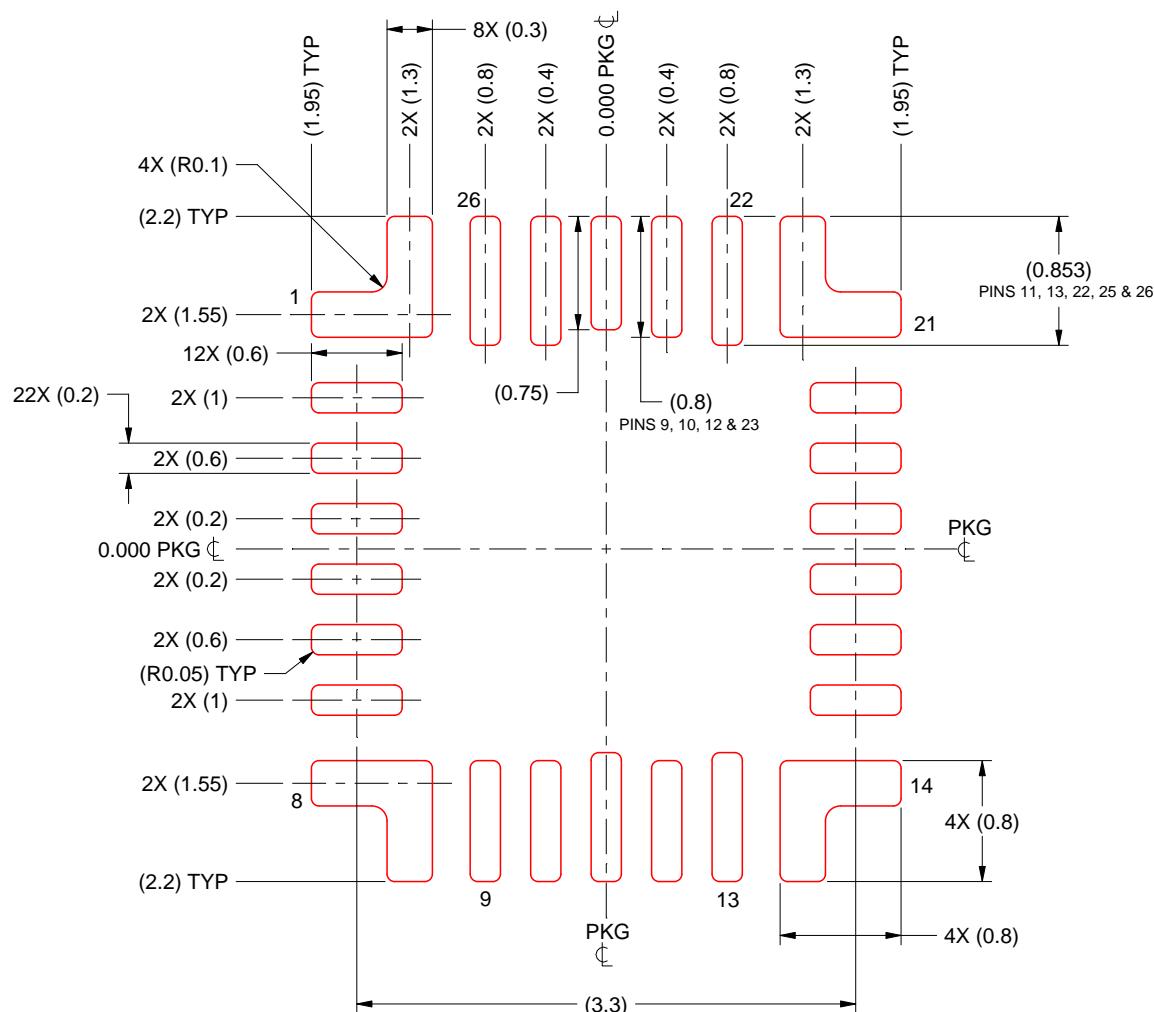
3. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

RBG0026A

VQFN-HR - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.1 MM THICK STENCIL
SCALE: 20X

4230415/B 03/2024

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#))、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025 , 德州仪器 (TI) 公司

最后更新日期 : 2025 年 10 月