

SN75LVPE3410 四通道 PCI-Express 3.0 线性转接驱动器

1 特性

- 四通道线性均衡器，可支持 PCIe 1.0/2.0/3.0 传输速率高达 8 的接口
- CTLE 在 4GHz 下可升至 12dB，有助于扩展通道覆盖范围
- 70 ps 的超低延迟
- 4 GHz 时 -17dB 的极低回波损耗
- PRBS 数据具有 60fs (典型值) 的低附加随机抖动
- 3.3V 单电源
- 内部稳压器具有抗电源噪声能力
- 124mW/通道的低有功功率
- 无需散热器
- 引脚搭接或 SMBus 编程
- 通过一个或多个 SN75LVPE3410 支持 x2、x4、x8、x16 PCIe 总线宽度
- 针对 PCIe 用例的自动接收器检测
- 与协议无关的线性转接驱动器可无缝支持 PCIe 链接训练
- 0°C 至 70°C 的商用温度范围
- 4.0mm × 6.0mm、40 引脚 WQFN 封装

2 应用

- 台式计算机或主板
- 笔记本电脑
- 数据存储
- 工业模块化计算机

3 说明

SN75LVPE3410 是一款四通道低功耗高性能线性中继器或转接驱动器，专为支持 PCI Express (PCIe™) 第 1.0、2.0 和 3.0 代而设计。

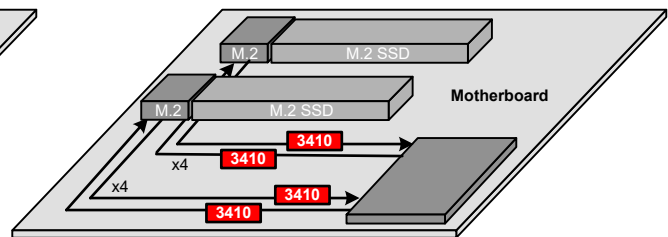
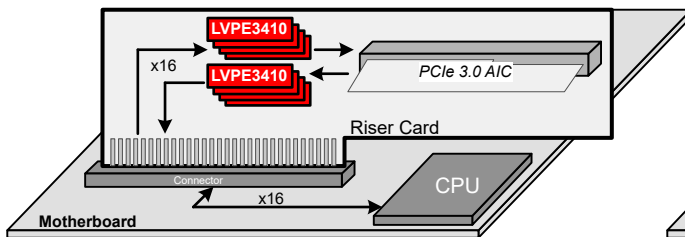
SN75LVPE3410 接收器部署了连续时间线性均衡器 (CTLE)，用以提供可编程高频增强功能。均衡器可以打开由于 PCB 布线等互连介质引起的码间串扰 (ISI) 而完全关闭的输入眼图。CTLE 接收器后跟一个线性输出驱动器。SN75LVPE3410 的线性数据路径保留了发射预设信号的特性。线性转接驱动器成为无源通道的一部分，该通道作为一个整体进行链路训练，可获得更优发送和接收均衡设置。对这种链路训练协议进行透明管理可实现最优的电气链路和尽可能低的延迟。该器件的可编程均衡功能及其线性数据路径能够在互连通道内的实体布局方面实现最大的灵活性，并提高通道的总体性能。

可通过软件 (SMBus 或 I²C) 或使用引脚控制来轻松应用可编程设置。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
SN75LVPE3410	RNQ (WQFN, 40)	6 mm × 4 mm

- (1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
- (2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



典型应用



内容

1 特性	1	7.2 功能模块图	9
2 应用	1	7.3 特性说明	10
3 说明	1	7.4 器件功能模式	11
4 修订历史记录	2	7.5 编程	11
5 引脚配置和功能	3	8 应用和实现	13
6 规格	5	8.1 应用信息	13
6.1 绝对最大额定值.....	5	8.2 典型应用	13
6.2 ESD 等级.....	5	8.3 电源相关建议	17
6.3 建议运行条件.....	5	8.4 布局	18
6.4 热性能信息.....	6	9 器件和文档支持	20
6.5 直流电气特性.....	6	9.1 文档支持	20
6.6 高速电气特性.....	7	9.2 接收文档更新通知	20
6.7 SMBus/I ² C 时序特性.....	7	9.3 支持资源	20
6.8 典型特性.....	8	9.4 商标	20
7 详细说明	9	9.5 静电放电警告	20
7.1 概述.....	9	9.6 术语表	20

4 修订历史记录

日期	修订版本	说明
2023 年 6 月	*	初始发行版

5 引脚配置和功能

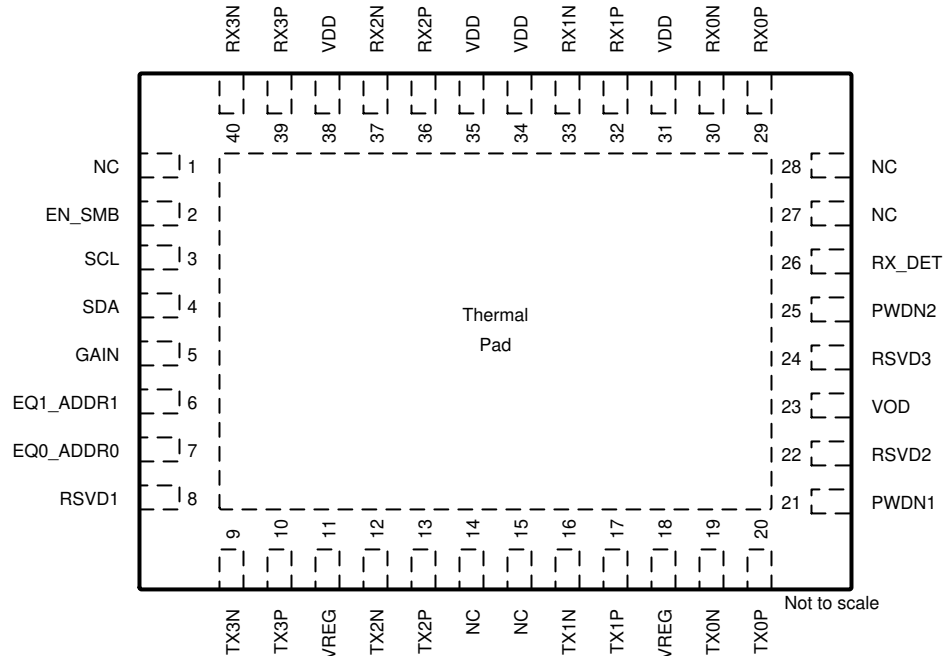


图 5-1. RNQ 封装、40 引脚 WQFN (顶视图)

表 5-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
EN_SMB	2	I, 4 电平	四电平控制输入, 用于选择 SMBus/I ² C 或引脚控制。 L0: 引脚模式 L1: 保留 L2: 保留 L3: I ² C 或 SMBus 目标模式
EQ0_ADDR0	7	I, 4 电平	表 7-4 中提供了 SN75LVPE3410 的 4 电平控制输入引脚。 在 I ² C 或 SMBus 模式 (EN_SMB = L3) 下, 这些引脚用于设置器件的 I ² C 或 SMBus 地址。 上电时读取引脚状态, 并根据表 7-5 进行解码。 在引脚模式 (EN_SMB = L0) 下, 引脚在上电时解码, 以控制 CTLE 增强设置, 如表 7-1 所示。
EQ1_ADDR1	6	I, 4 电平	
增益	5	I, 4 电平	设置加电时 CTLE 的直流增益。 L0: 保留 L1: 保留 L2: 0dB (推荐) L3: 3.5dB
GND	EP	P	EP 是 WQFN 封装底部的外露焊盘。它用作器件的 GND 回路。EP 应通过低电阻路径连接到一个或多个接地平面。过孔阵列提供了一条到 GND 的低阻抗路径, 并且还改善了散热。
NC	1、14、15、27、28	—	无连接
PWDN1	21	I, 3.3V LVCMOS	控制转接驱动器运行状态的两级逻辑。切换时, 该引脚会触发 PCIe Rx 检测状态机。 高电平: 通道 0 和 1 断电 低电平: 上电时, 通道 0 和 1 正常运行。
PWDN2	25	I, 3.3V LVCMOS	控制转接驱动器运行状态的两级逻辑。切换时, 该引脚会触发 PCIe Rx 检测状态机。 高电平: 通道 2 和 3 断电 低电平: 上电时, 通道 2 和 3 正常运行。
RSVD1	8	—	保留。可保持未连接状态或通过 4.7K 电阻上拉至 VDD。

表 5-1. 引脚功能 (continued)

引脚		类型 ⁽¹⁾	说明
名称	编号		
RSVD2	22	—	保留。必须使用外部 4.7k 电阻将该引脚拉高至 VDD。
RSVD3	24	—	保留供 TI 使用。该引脚必须保持悬空 (NC)。
RX_DET	26	I, 4 电平	RX_DET 引脚控制接收器检测功能。根据输入电平的不同, 电源轨的 50 Ω 或 >50k Ω 端接被启用。其他信息请参阅表 7-3。
RX0N	30	I	均衡器的反相差分输入。片上 100 Ω 端接电阻将 RXP 连接到 RXN。通道 0。
RX0P	29	I	均衡器的非反相差分输入。片上 100 Ω 端接电阻将 RXP 连接到 RXN。通道 0。
RX1N	33	I	均衡器的反相差分输入。片上 100 Ω 端接电阻将 RXP 连接到 RXN。通道 1。
RX1P	32	I	均衡器的非反相差分输入。片上 100 Ω 端接电阻将 RXP 连接到 RXN。通道 1。
RX2N	37	I	均衡器的反相差分输入。片上 100 Ω 端接电阻将 RXP 连接到 RXN。通道 2。
RX2P	36	I	均衡器的非反相差分输入。片上 100 Ω 端接电阻将 RXP 连接到 RXN。通道 2。
RX3N	40	I	均衡器的反相差分输入。片上 100 Ω 端接电阻将 RXP 连接到 RXN。通道 3。
RX3P	39	I	均衡器的非反相差分输入。片上 100 Ω 端接电阻将 RXP 连接到 RXN。通道 3。
SCL	3	I/O, 3.3V LVC MOS, 开漏	SMBus/I ² C 时钟输入/开漏输出。根据 SMBus / I ² C 接口标准, 需要外部 1k Ω 至 5k Ω 上拉电阻。该引脚为 3.3V 耐压引脚。
SDA	4	I/O, 3.3V LVC MOS, 开漏	SMBus/I ² C 数据输入/开漏时钟输出。根据 SMBus 接口标准, 需要外部 1k Ω 至 5k Ω 上拉电阻。该引脚为 3.3V 耐压引脚。
TX0N	19	O	反相 50 Ω 驱动器输出。与交流耦合差分输入兼容。也用于上电时的 RX 检测。通道 0。
TX0P	20	O	同相 50 Ω 驱动器输出。与交流耦合差分输入兼容。也用于上电时的 RX 检测。通道 0。
TX1N	16	O	反相 50 Ω 驱动器输出。与交流耦合差分输入兼容。也用于上电时的 RX 检测。通道 1。
TX1P	17	O	同相 50 Ω 驱动器输出。与交流耦合差分输入兼容。也用于上电时的 RX 检测。通道 1。
TX2N	12	O	反相 50 Ω 驱动器输出。与交流耦合差分输入兼容。也用于上电时的 RX 检测。通道 2。
TX2P	13	O	同相 50 Ω 驱动器输出。与交流耦合差分输入兼容。也用于上电时的 RX 检测。通道 2。
TX3N	9	O	反相 50 Ω 驱动器输出。与交流耦合差分输入兼容。也用于上电时的 RX 检测。通道 3。
TX3P	10	O	同相 50 Ω 驱动器输出。与交流耦合差分输入兼容。也用于上电时的 RX 检测。通道 3。
VDD	31、34、35、38	P	电源引脚。VDD = 3.3V ± 10%。该器件的 VDD 引脚应通过一个低电阻路径与电路板的 VDD 平面相连。典型的电源去耦包括每个 VDD 引脚一个 0.1 μF 电容器和每个器件一个 1.0 μF 大容量电容器。
VOD	23	I, 4 电平	设置上电时的 TX VOD 设置。 L0 : -6dB L1 : -3.5dB L2 : 0dB (推荐) L3 : -1.5dB
VREG	11、18	P	内部稳压器输出。必须在每个引脚附近添加 0.1 μF 的去耦电容。该稳压器仅供内部使用。请勿用于为任何外部元件供电。请勿将信号路由到电路板上的去耦电容器之外。

(1) I = 输入, O = 输出, P = 电源

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
VDD _{ABSMAX}	电源电压 (VDD)	-0.5	4.0	V
VIO _{CMOS,ABSMAX}	3.3V LVCMOS 和开漏 I/O 电压	-0.5	4.0	V
VIO _{4LVL,ABSMAX}	4 电平输入 I/O 电压	-0.5	2.75	V
VIO _{HS-RX,ABSMAX}	高速 I/O 电压 (RXnP、RXnN)	-0.5	3.2	V
VIO _{HS-TX,ABSMAX}	高速 I/O 电压 (TXnP、TXnN)	-0.5	2.75	V
T _{J,ABSMAX}	结温		150	°C
T _{stg}	贮存温度范围	-65	150	°C

(1) 超出绝对最大额定值的运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果在建议运行条件之外但又在绝对最大额定值范围内使用,器件可能不会完全正常运行,这可能会影响器件的可靠性、功能性和性能,并缩短器件的寿命。

6.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±2000	V
		充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	±500	

(1) JEDEC 文件 JEP155 指出: 500V HBM 可实现在标准 ESD 控制流程下安全生产。列为 ±2 kV 的引脚的实际性能可能会更高。

(2) JEDEC 文件 JEP157 指出: 250V CDM 可实现在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

			最小值	标称值	最大值	单位
VDD	电源电压, VDD 至 GND	直流 + 交流电源不应超过这些限制	3.0	3.3	3.6	V
N _{VDD}	电源噪声容限	电源噪声, 直流至 < 50Hz, 正弦 ¹			250	mVpp
		电源噪声, 50Hz 至 10MHz, 正弦 ¹			20	mVpp
		电源噪声, >10MHz, 正弦 ¹			10	mVpp
T _{RampVDD}	VDD 电源斜坡时间	从 0 V 至 3.0 V	0.150		100	ms
T _A	运行环境温度		0		70	°C
PW _{LVCMOS}	器件检测 LVCMOS 输入端上有效信号所需的最小脉冲宽度	PWDN1/2	200			μs
VDD _{SMBUS}	SMBus SDA 和 SCL 开漏端接电压	开漏上拉电阻器的电源电压			3.6	V
F _{SMBus}	SMBus 目标模式下的 SMBus 时钟 (SCL) 频率		10		400	kHz
VID _{LAUNCH}	源差分启动幅值		800		1200	mVpp
DR	数据速率	SN75LVPE3410	1		8	Gbps

6.4 热性能信息

热指标 ⁽¹⁾		SN75LVPE3410	单位
		RNQ, 40 引脚	
$R_{\theta JA-High}$	结至环境热阻	31.1	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	21.4	°C/W
$R_{\theta JB}$	结至电路板热阻	12.1	°C/W
ψ_{JT}	结至顶部特征参数	0.3	°C/W
ψ_{JB}	结至电路板特征参数	12.1	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	4.1	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [IC 封装热指标](#) 应用报告。

6.5 直流电气特性

在自然通风条件下的工作温度范围和电压范围内测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
电源						
I_{ACTIVE}	所有四个通道均处于活动状态时的器件电流消耗	在 $VOD = L2$ 、 $PWDN1$ 、 $2 = L$ 时启用所有四个通道		150	200	mA
$I_{ACTIVE-HALF}$	两个通道均处于活动状态时的器件电流消耗	在 $VOD = L2$ 、 $PWDN1$ 或 $PWDN2 = L$ 时启用两个通道		85	112	mA
I_{STBY}	待机功耗模式下的器件电流消耗	禁用所有四个通道， $PWDN1$ 、 $2 = H$		22	33	mA
V_{REG}	内部稳压器输出			2.5		V
控制 IO						
V_{IH}	高电平输入电压	SDA、SCL、 $PWDN1$ 、 $PWDN2$ 引脚	2.1			V
V_{IL}	低电平输入电压	SDA、SCL、 $PWDN1$ 、 $PWDN2$ 引脚			1.08	V
V_{OH}	高电平输出电压	$R_{pull-up} = 100k\Omega$ (SDA、SCL 引脚)	2			V
V_{OL}	低电平输出电压	$I_{OL} = -4mA$ (SDA、SCL 引脚)			0.4	V
I_{IH}	输入高漏电流	$V_{Input} = VDD$, (SCL、SDA、 $PWDN1$ 、 $PWDN2$ 引脚)			10	μA
I_{IL}	输入低漏电流	$V_{Input} = 0V$, (SCL、SDA、 $PWDN1$ 、 $PWDN2$ 引脚)	-10			μA
$C_{IN-CTRL}$	输入电容			1.5		pF
4 电平 IO (EQ0_ADDR0、EQ1_ADDR1、EN_SMB、RX_DET、VOD、GAIN 引脚)						
I_{IH_4L}	输入高漏电流，4 级 IO	$V_{IN} = 2.5V$			10	μA
I_{IL_4L}	输入低漏电流，4 电平 IO	$V_{IN} = GND$	-150			μA
接收器						
Z_{RX-DC}	RX 直流单端阻抗			50		Ω
$Z_{RX-DIFF-DC}$	Rx 直流差分阻抗			100		Ω
发送器						
$Z_{TX-DIFF-DC}$	直流差分 Tx 阻抗	有源信令期间 Tx 的阻抗， V_{ID} , diff = 1Vpp			120	Ω
$V_{TX-DC-CM}$	Tx 直流共模电压			0.75		V
$I_{TX-SHORT}$	Tx 短路电流	Tx 在短接至 GND 时可提供的总电流			90	mA

6.6 高速电气特性

在自然通风条件下的工作温度范围和电压范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
接收器						
RL _{RX-DIFF}	TI 评估板中具有极小通道的输入差分回波损耗	50 MHz 至 1.25 GHz		-22		dB
		1.25 GHz 到 2.5 GHz		-19		dB
		2.5 GHz 到 4.0 GHz		-17		dB
RL _{RX-CM}	TI 评估板中具有极小通道的输入共模回波损耗	50 MHz 至 2.5 GHz		-18		dB
		2.5 GHz 到 4.0 GHz		-13		dB
XT _{RX}	接收侧线对间隔	两个相邻接收器对之间的最小线对间隔 (SDD21)，范围为 10MHz 至 4GHz。		-50		dB
增益	CTLE 块直流增益	增益 = L3 和增益 = L2 时的比率，具有低频 CK		3.0		dB
发送器						
VOD _{L0-L2}	VOD 增益 L0 与 L2 之比	增益 = L2，具有低频 CK		-6		dB
VOD _{L1-L2}	VOD 增益 L1 与 L2 之比	增益 = L2，具有低频 CK		-3.5		dB
VOD _{L3-L2}	VOD 增益 L3 与 L2 的比率	增益 = L2，具有低频 CK		-1.5		dB
RL _{TX-DIFF}	TI 评估板中具有极小通道的输出差分回波损耗	50 MHz 至 1.25 GHz		-22		dB
		1.25 GHz 到 2.5 GHz		-20		dB
		2.5 GHz 到 4.0 GHz		-18		dB
RL _{TX-CM}	TI 评估板中具有极小通道的输出共模回波损耗	50 MHz 至 2.5 GHz		-13		dB
		2.5 GHz 到 4.0 GHz		-15		dB
XT _{TX}	发送侧线对间隔	两个相邻发送器对之间的最小线对间隔 (SDD21)，范围为 10MHz 至 4GHz。		-50		dB
器件数据路径						
T _{PLHD/PHLD}	通过通道的输入到输出延迟（传播延迟）	通过观察低到高或高到低转换期间的传播延迟来测量		70	90	ps
L _{TX-SKEW}	通道间输出偏斜	在单个发送器内的任意两个通道之间测量			20	ps
EQGAIN _{4G}	4GHz 时高频 EQ 增强	使用最大 CTLE 设置和最大 BW 设置 (EQ1 = L3、EQ0 = L3) 进行测量。增强定义为 4GHz 时相对于 100MHz 的增益。		12		dB
DCGAIN _{VAR, max}	最大交流/直流增益变化	VOD=L2，增益=L2，最小 EQ 设置	-2.5		2.5	dB
线性	输出交流/直流线性度	VOD = L2。		800		mVpp

6.7 SMBus/I²C 时序特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
目标模式						
T _{SDA-HD}	数据保持时间		0			ns
T _{SDA-SU}	数据设置时间		100			ns
T _{SDA-R}	SDA 上升时间，读取操作	上拉电阻 = 1kΩ，Cb = 50pF		120		ns
T _{SDA-F}	SDA 下降时间，读取操作	上拉电阻 = 1kΩ，Cb = 50pF		10		ns

6.8 典型特性

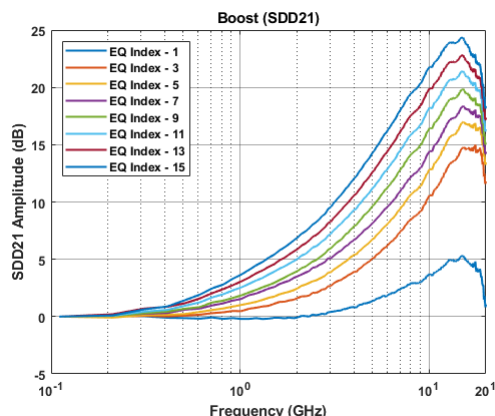


图 6-1. 8 个 (总共 16 个可用) EQ 指数的典型 EQ 增强与频率间的关系

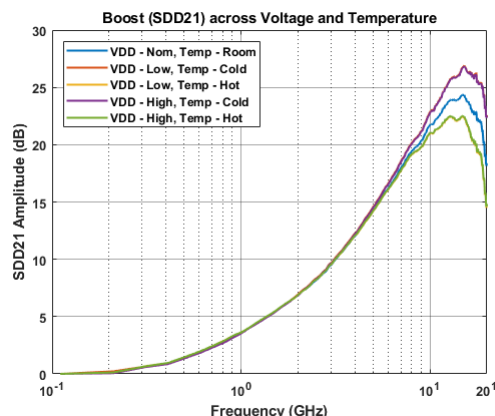


图 6-2. 针对不同电源电压和温度设置, EQ 指数 15 (最大设置) 下的 EQ 增强与频率间的关系

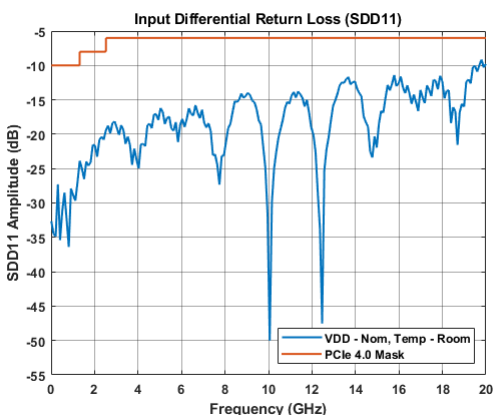


图 6-3. 具有大约 2dB 输入损耗和大约 2dB 输出损耗的 TI 评估板中典型输入 (RX) 差分回波损耗与频率间的关系

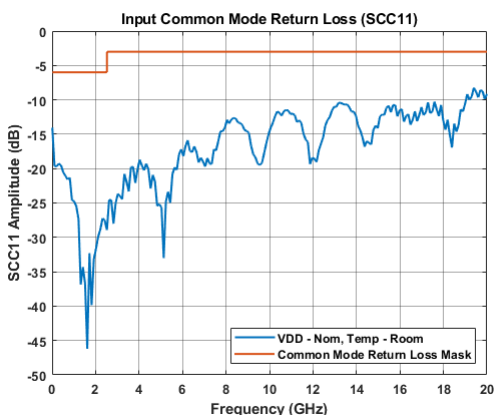


图 6-4. 具有大约 2dB 输入损耗和大约 2dB 输出损耗的 TI 评估板中典型输入 (RX) 共模回波损耗与频率间的关系

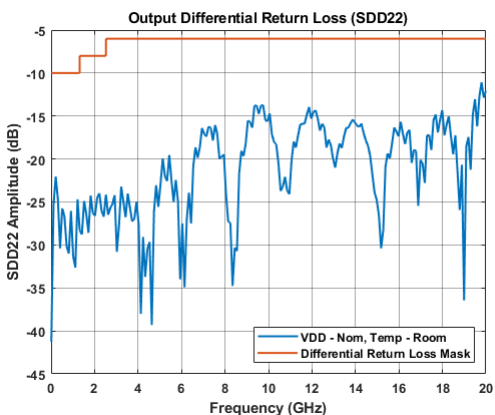


图 6-5. 具有大约 2dB 输入损耗和大约 2dB 输出损耗的 TI 评估板中典型输出 (TX) 差分回波损耗与频率间的关系

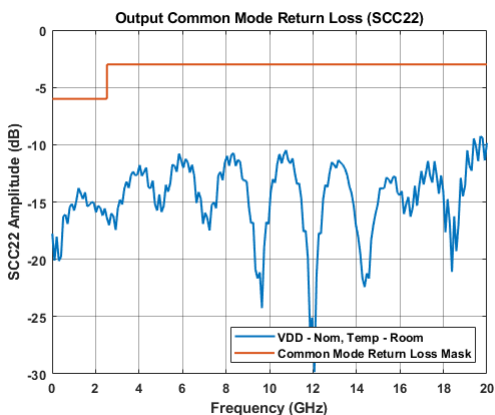


图 6-6. 具有大约 2dB 输入损耗和大约 2dB 输出损耗的 TI 评估板中典型输出 (TX) 共模回波损耗与频率间的关系

7 详细说明

7.1 概述

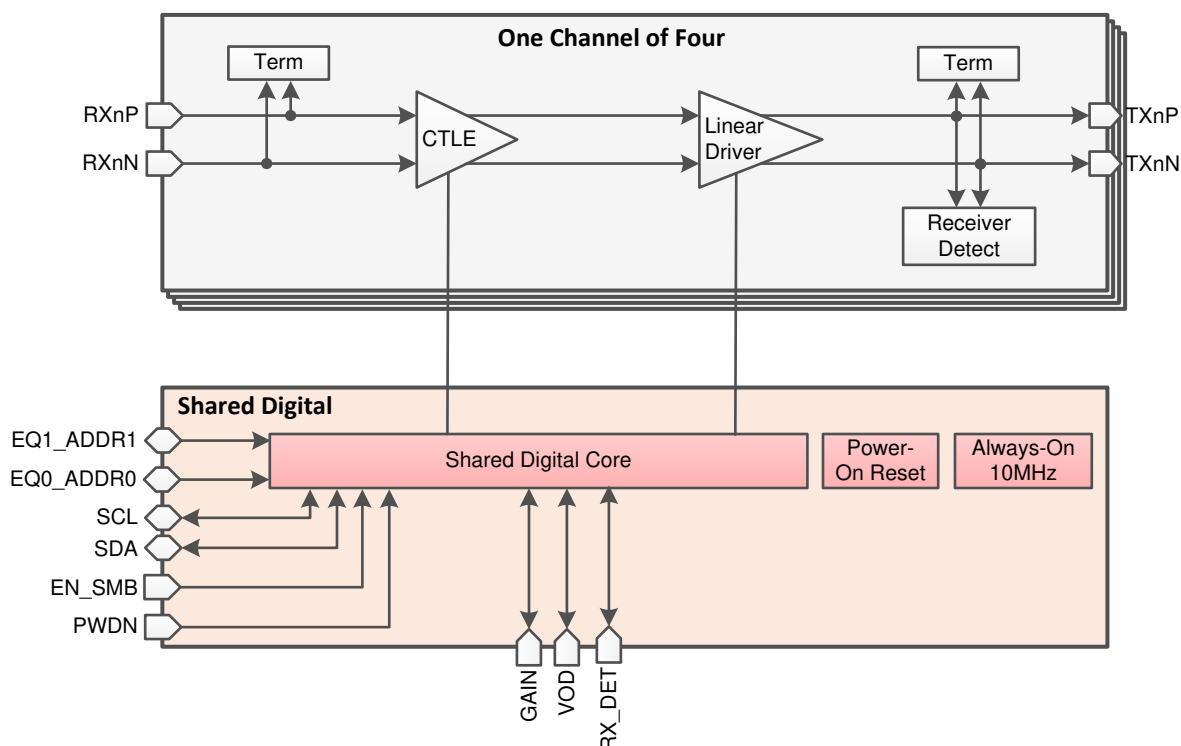
SN75LVPE3410 是一款具有集成信号调节功能的四通道多速率线性中继器。四个通道彼此独立运行。每条通道均包含一个连续时间线性均衡器 (CTLE) 和一个线性输出驱动器 (DFE)，二者共同补偿源发送器和最终接收器之间的有损传输通道。数据路径的线性度经过专门设计，可在保持接收器均衡有效的同时保留任何传输均衡。

SN75LVPE3410 可通过以下两种不同的方式进行配置：

引脚模式 - 器件控制配置仅由自举引脚完成。引脚模式应足以满足许多系统实现需求。

SMBus/I²C 目标模式 - 提供更大的灵活性。要求 SMBus/I²C 控制器器件通过写入目标地址来配置 SN75LVPE3410。

7.2 功能模块图



7.3 特性说明

7.3.1 线性均衡

SN75LVPE3410 接收器具有一个连续时间线性均衡器 (CTLE)，它应用高频增强和低频衰减功能来帮助均衡无源通道的频率制约型插入损耗。表 7-1 展示了在引脚控制模式 (EN_SMB = L0) 下通过 EQ0_ADDR0 和 EQ1_ADDR1 控制引脚提供的均衡增强。

表 7-1. 均衡控制设置

均衡设置			典型 EQ 增强
INDEX	EQ1_ADDR1	EQ0_ADDR0	4 GHz 时
0	L0	L0	- 0.3
1	L0	L1	0.4
2	L0	L2	3.3
3	L0	L3	3.8
4	L1	L0	4.9
5	L1	L1	5.2
6	L1	L2	5.4
7	L1	L3	6.5
8	L2	L0	6.7
9	L2	L1	7.7
10	L2	L2	8.7
11	L2	L3	9.1
12	L3	L0	9.4
13	L3	L1	10.3
14	L3	L2	10.6
15	L3	L3	11.8

在目标模式下，也可以通过写入 SMBus/I²C 寄存器来设置器件的均衡。

7.3.2 直流增益

VOD 或 GAIN 引脚可用于设置 SN75LVPE3410 的整体数据路径直流 (低频) 增益。有关详情，请参阅 [引脚配置和功能](#) 部分。

表 7-2 提供了在引脚控制模式 (EN_SMB = L0) 下，如何使用 GAIN 和 VOD 引脚设置整体数据路径的直流增益。

表 7-2. 直流增益设置

所需直流增益 (dB)	增益	VOD
+3.5	L3	L2
0	L2	L2
-1.5	L2	L3
-3.5	L2	L1
-6	L2	L0

建议设置 SN75LVPE3410 的直流增益和均衡，以便直流和高频下的信号摆幅分别不超过器件的直流和交流线性范围。对于大多数 PCIe 系统，默认的直流增益设置为 0dB (GAIN 和 VOD 引脚悬空) 就足够了。但是，可以利用直流衰减在需要时应用额外的均衡，从而保持线性数据路径。

7.3.3 接收器检测状态机

SN75LVPE3410 部署了一个 RX 检测状态机，用于管理 PCI Express 规范中定义的 RX 检测周期。上电时，在通过 PWDN1 和 PWDN2 引脚 (在引脚模式下) 或向相关 I²C/SMBus 寄存器写入数据手动触发事件后，转接驱动器

将确定链路远端是否存在有效的 PCI Express 终端。根据表 7-3，SN75LVPE3410 的 RX_DET 引脚为系统设计人员带来了额外的灵活性，可适当地将器件设置为所需的模式。

如果 SN75LVPE3410 的所有四个通道用于同一个 PCI Express 链路，则 PRWDN1 和 PWDN2 引脚可在系统中短接并一起驱动（例如，通过 PCIE 连接器 PRSNTx# 或基础复位 PERST# 信号）。

表 7-3. 接收器检测状态机设置

PWDN1 和 PWDN2	RXDET	注释
L	L0	PCI Express RX 检测状态机已启用。RX 检测在 2 次有效检测后生效。检测前：高阻态；检测后：50 Ω。
L	L1	PCI Express RX 检测状态机已启用。RX 检测在 3 次有效检测后生效。检测前：高阻态；检测后：50 Ω。
L	L2 (悬空)	PCI Express RX 检测状态机已启用。RX 检测在 1 次有效检测后生效。检测前：高阻态；检测后：50 Ω。
L	L3	PCI Express RX 检测状态机已禁用。建议用于 SN75LVPE3410 用作具有均衡功能的缓冲器的非 PCI Express 接口用例。始终为 50 Ω。
H	X	手动复位，输入为高阻抗。

7.4 器件功能模式

7.4.1 工作 PCIe 模式

该器件正常运行，通过 RX_DET = L0/L1/L2 启用 PCIe 状态机。在此模式下，PWDN1/PWDN2 引脚在系统中被驱动为低电平（例如，通过 PCIE 连接器 PRSNTx# 或基础复位 PERST# 信号）。在此模式下，SN75LVPE3410 转接驱动器可均衡 PCIe RX 或 TX 信号，从而提供更好的信号完整性。

7.4.2 工作缓冲模式

该器件正常运行，通过 RX_DET = L3 禁用 PCIe 状态机。建议将此模式用于非 PCIe 用例。在此模式下，器件充当缓冲器以提供线性均衡，从而提高信号完整性。

7.4.3 待机模式

器件处于待机模式，由 PWDN1/PWDN2 = H 调用。在此模式下，器件处于待机模式，以节省电力。

7.5 编程

7.5.1 控制和配置接口

7.5.1.1 引脚模式

SN75LVPE3410 可通过 GPIO/引脚搭接引脚完全配置。在此模式下，器件使用 2 电平和 4 电平引脚实现器件控制和信号完整性优化设置。有关控制引脚定义，请参阅[引脚配置和功能](#)。

7.5.1.1.1 四电平控制输入

SN75LVPE3410 有六个四电平输入引脚（GAIN、VOD、EQ1_ADDR1、EQ0_ADDR0、EN_SMB 和 RX_DET），用于控制器件。这些四电平输入使用电阻分压器来帮助设置四个电平并提供更广泛的控制设置。外部电阻器必须具有 10% 或更高的容差。

表 7-4. 4 级控制引脚设置

等级	设置
L0	1kΩ 至 GND
L1	13kΩ 至 GND
L2	F (悬空)
L3	59kΩ 至 GND

7.5.1.2 SMBus/I²C 寄存器控制接口

如果 EN_SMB = L3 (SMBus/I²C 控制模式)，可通过运行频率高达 400kHz 的标准 I²C 或 SMBus 接口对 SN75LVPE3410 进行配置。SN75LVPE3410 的目标地址由 EQ1_ADDR1 和 EQ0_ADDR0 引脚上的引脚搭接设置决定。可以使用 I²C 或 SMBus 接口对器件进行配置，从而在系统中实现良好的信号完整性并获得出色的功率设置。表 7-5 中提供了 SN75LVPE3410 的 16 个可能目标地址 (8 位)。

表 7-5. SMBUS/I²C 目标地址设置

EQ1_ADDR1 引脚电平	EQ0_ADDR0 引脚电平	8 位写地址 (十六进制)	7 位写地址 (十六进制)
L0	L0	0x30	0x18
L0	L1	0x32	0x19
L0	L2	0x34	0x1A
L0	L3	0x36	0x1B
L1	L0	0x38	0x1C
L1	L1	0x3A	0x1D
L1	L2	0x3C	0x1E
L1	L3	0x3E	0x1F
L2	L0	0x40	0x20
L2	L1	0x42	0x21
L2	L2	0x44	0x22
L2	L3	0x46	0x23
L3	L0	0x48	0x24
L3	L1	0x4A	0x25
L3	L2	0x4C	0x26
L3	L3	0x4E	0x27

8 应用和实现

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

SN75LVPE3410 是一款高速线性中继器，可扩展因 PCB 和电缆等传输介质损耗而受损的差分通道的覆盖范围。它可以部署在各种不同的系统中。以下各节概述了典型应用及其相关的设计注意事项。

8.2 典型应用

SN75LVPE3410 是一款 PCI Express 线性转接驱动器，也可通过禁用其 RX 检测功能将其配置为与接口无关的转接驱动器。该器件可用于各种接口，包括 PCI Express、SAS 和 SATA。

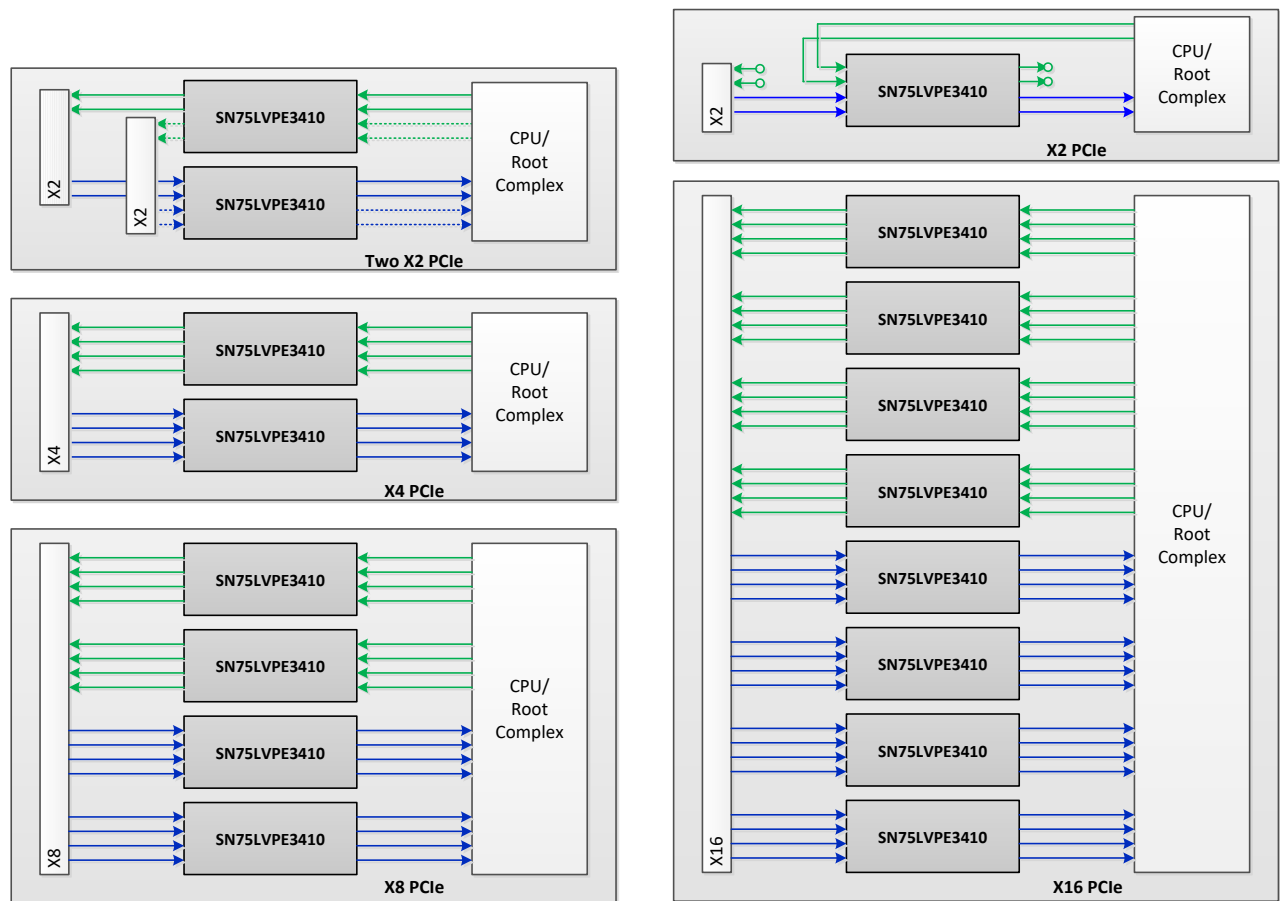


图 8-1. 使用 SN75LVPE3410 的 PCI Express x2、x4、x8 和 x16 用例

SN75LVPE3410 是一款具有 PCI Express 接收器检测功能的协议无关型 4 通道线性转接驱动器。其协议无关性使其能够在 PCI Express x2、x4、x8 和 x16 应用中使用。图 8-1 展示了如何使用多个 SN75LVPE3410 器件来获得不同宽度 PCI Express 总线的信号调节。请注意，SN75LVPE3410 的所有四个通道都朝同一方向流动。因此，如果器件用于 x2 配置，则需要仔细考虑布局。在 x2 配置中，可将双通道分组用于 PCIe 接收器检测。PWDN1 引脚将通道 1 和 2 置于待机状态，PWDN2 引脚将通道 3 和 4 置于待机状态。

8.2.1 PCIe x4 通道配置

SN75LVPE3410 可用于服务器或主板应用，以增强发送和接收信号，从而增大主机或根复合体处理器到 PCI Express 插槽或连接器的覆盖范围。以下设计建议可用于任何通道配置。图 8-2 展示了 x4 配置的简化版原理图。

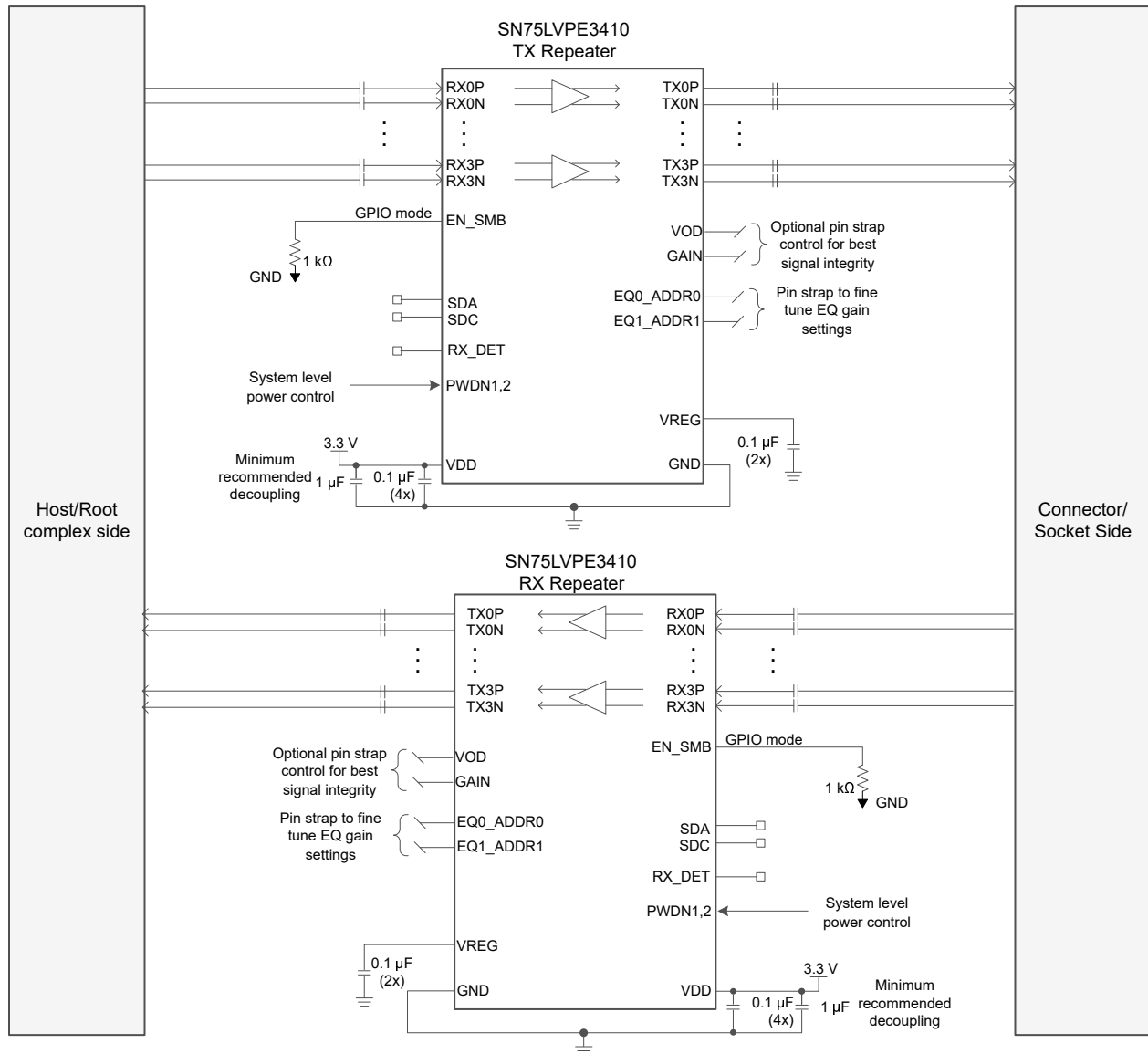


图 8-2. PCIe x4 通道配置的简化版原理图

8.2.1.1 设计要求

与任何高速设计一样，有许多因素会影响总体性能。以下列表指示了设计过程中需要考虑的关键领域。

- 连接 PCIe CEM 连接器时，请使用 85 Ω 阻抗布线。P 和 N 布线上的长度匹配应在差分对的单端段上完成。
- 对差分对使用一致的布线宽度和布线间距。
- 将交流耦合电容器放置在靠近每个通道段的接收器端的位置，以尽可能减少反射。

- 建议使用 220nF 的交流耦合电容器，将最大封装尺寸设置为 0402，并在电容器着陆焊盘下方的 GND 平面上添加一个镂空，以减少接地的寄生电容。
- 背钻连接器过孔和信号过孔，以尽可能缩短残桩长度。
- 使用参考平面过孔确保为返回电流提供低电感路径。

8.2.1.2 详细设计过程

在 PCIe 第 3.0 代应用中，该规范要求进行 Rx-Tx 链路训练，以分别建立和优化 8Gbps 的信号调节设置。在链路训练中，Rx 伙伴向 Tx 伙伴请求一系列 FIR - 预冲和去加重系数（10 个预设）。Rx 伙伴包括 7 级（6dB 至 12dB）CTLE，后跟单抽头 DFE。链路训练将通过根复合体和端点之间的均衡链路对信号进行预调节。

请注意，PCIe 第 1.0 代 (2.5Gbps) 或 PCIe 第 2.0 代 (5.0Gbps) 应用中没有链路训练。SN75LVPE3410 位于 Tx 和 Rx 之间。它通过均衡功能增强衰减信号来帮助延长 PCB 布线可达距离，从而使用户能够更轻松地通过下游 Rx 恢复信号。

为了在第 3.0 代链路中运行，SN75LVPE3410 发送输出设计为将 Tx 预设信号传递到 PCIe 第 3.0 代链路的 Rx 上，以便训练和优化均衡设置。SN75LVPE3410 的建议设置为 VOD = 0dB 且直流增益 = 0dB。应根据通道损耗调整 EQ 设置，以优化 Rx 伙伴中的眼图张开度。表 7-1 中提供了可用的 EQ 增益设置。

Rx 中的 Tx 均衡预设或 CTLE 和 DFE 系数也可进行调节，以进一步改善眼图张开度。

图 8-3 展示了 SN75LVPE3410 典型连接原理图的示例。

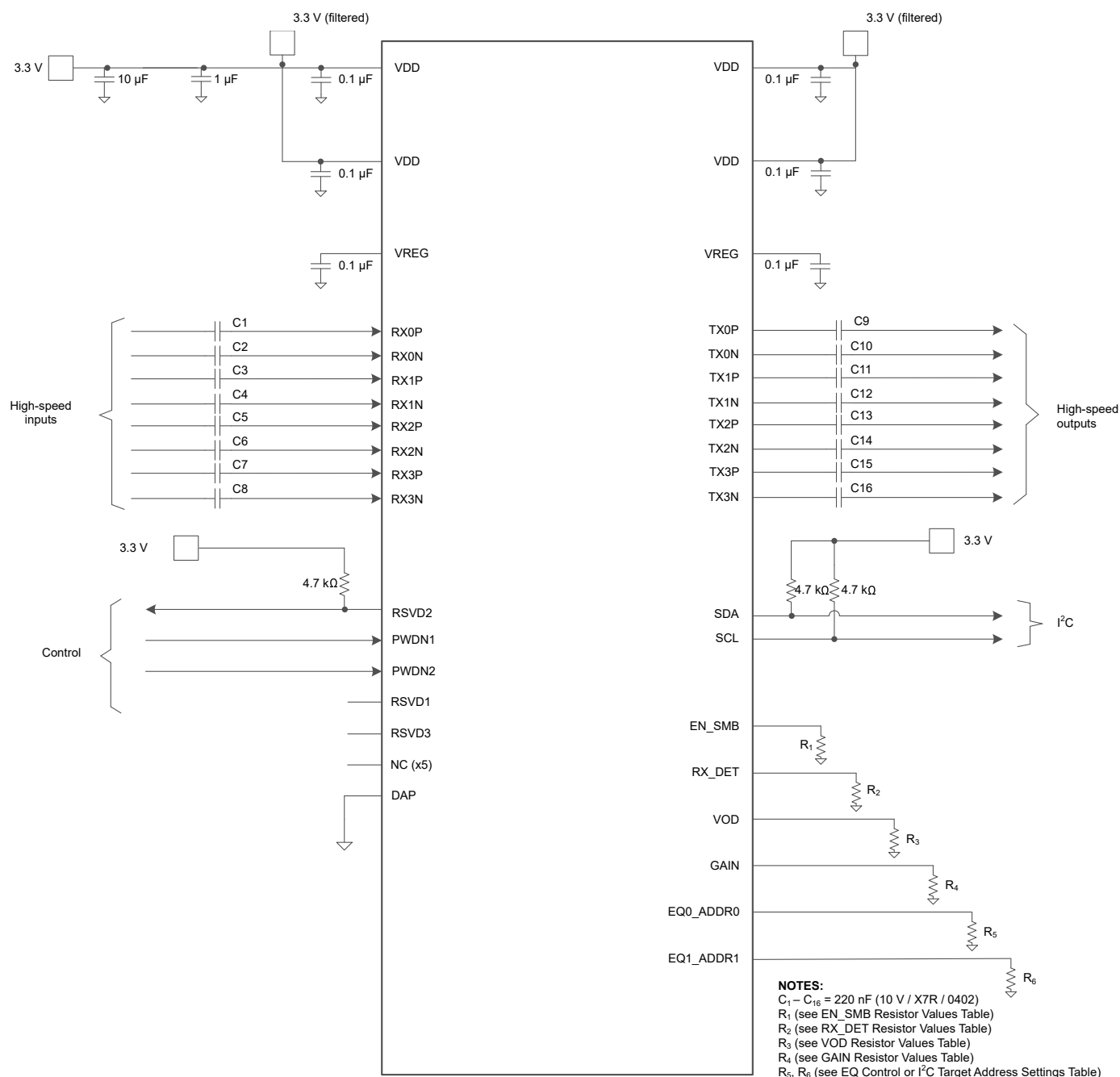


图 8-3. SN75LVPE3410 典型连接原理图

8.2.1.3 应用曲线

SN75LVPE3410 是一款线性转接驱动器，可用于扩展 PCIe 链路的通道覆盖范围。通常，PCIe 兼容的 TX 和 RX 配备信号调节功能，可在 4GHz 时处理高达 22dB 的通道损耗。使用 SN75LVPE3410，PCIe 根复合体和端点之间的总通道损耗在 4GHz 时高达 32dB。

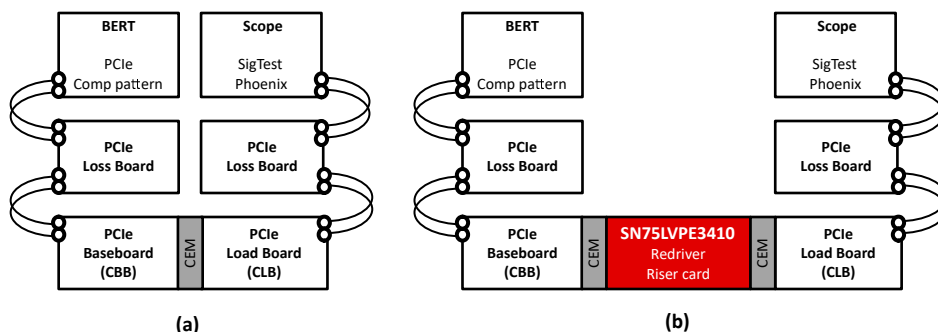


图 8-4. 用于演示使用 SN75LVPE3410 的 PCIe 3.0 链路覆盖范围扩展的测试设置 - (a) 基线设置, (b) 带转接驱动器

图 8-4 展示了一个测试设置, 演示了 SN75LVPE3410 作为 PCIe 3.0 转接驱动器的覆盖范围扩展功能。表 8-1 提供了测试结果。可以看到, SN75LVPE3410 提供了覆盖范围扩展, 从而使总损耗为 34dB 的 PCIe 3.0 链路满足 SigTest 合规性要求。图 8-5 展示了 PCIe 3.0 SigTest 工具的眼图。

表 8-1. 使用 SN75LVPE3410 的 PCIe 3.0 链路覆盖范围扩展

设置	总链路损耗	最小眼宽	复合眼高	PCIe 3.0 SigTest 结果
基线设置 - 无转接驱动器	22dB	62 ps	88 mV	通过
带转接驱动器的链路	34dB	37 ps	141 mV	通过

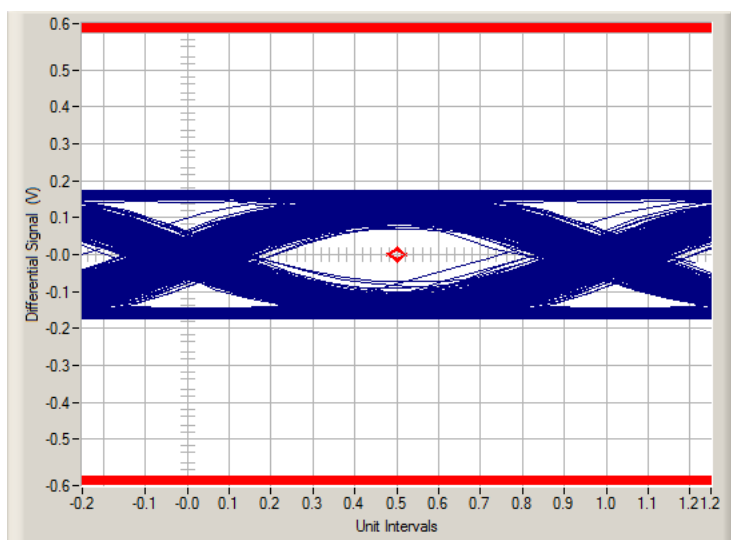


图 8-5. 使用 SN75LVPE3410 时总损耗为 34dB 的 PCIe 3.0 SigTest 眼图

8.3 电源相关建议

设计电源时请遵循以下通用准则：

- 在直流电压、交流噪声和启动斜升时间方面, 电源应设计为符合 *建议运行条件* 中列出的运行条件。
- SN75LVPE3410 只要满足建议运行条件, 即无需进行任何特殊的电源滤波 (例如铁氧体磁珠)。仅需要进行标准的电源去耦。典型的电源去耦包括每个 VDD 引脚一个 0.1 μ F 电容器、每个器件一个 1.0 μ F 大容量电容器, 以及每个电源总线一个 10 μ F 大容量电容器, 可为一个或多个 SN75LVPE3410 器件供电。本地去耦 (0.1 μ F) 电容器必须尽可能靠近 VDD 引脚连接, 并尽量缩短与 SN75LVPE3410 接地焊盘的连接路径。

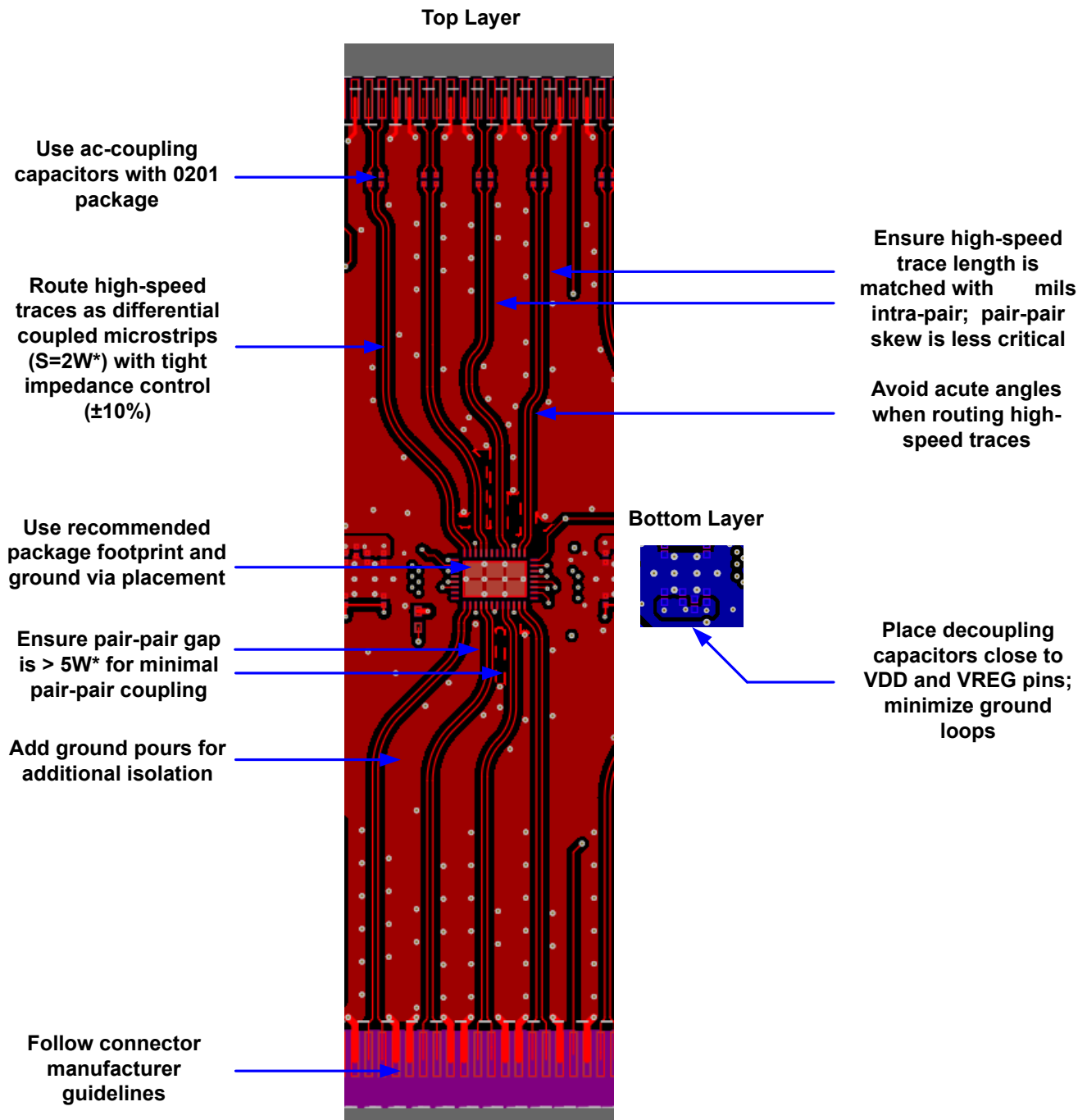
8.4 布局

8.4.1 布局指南

设计布局布线时应遵循以下准则：

1. 去耦电容应当尽量靠近 **VDD** 引脚。如果电路板设计允许，建议将去耦电容器放置在器件正下方。
2. 高速差分信号 **TXnP/TXnN** 和 **RXnP/RXnN** 应紧密耦合、实现偏差匹配并通过阻抗控制。
3. 高速差分信号应尽量远离过孔。当必须使用过孔时，请务必谨慎操作，通过在大多数层/所有层之间进行转换或背钻孔来更大限度地减少过孔残桩。
4. 可以在高速差分信号焊盘下方使用 **GND** 消除（但不是必需的），以通过抵消焊盘电容来提高信号完整性。
5. **GND** 过孔应直接放置于器件下方，以将器件所连的 **GND** 平面与其他层的 **GND** 平面相连。此举进一步提升了器件与电路板之间的导热性能。

8.4.2 布局示例



*W is a trace width. S is a gap between adjacent traces.

图 8-6. SN75LVPE3410 布局示例 - 具有 CEM 连接器的 PCIe 转接卡的子部分

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI)，[DS160PR410 编程指南 用户指南](#)

9.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [订阅更新](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

[TI E2E™ 支持论坛](#) 是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《[使用条款](#)》。

9.4 商标

PCIe™ is a trademark of PCI-SIG.

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表

本术语表列出并解释了术语、首字母缩略词和定义。

机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN75LVPE3410RNQR	Active	Production	WQFN (RNQ) 40	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	PX410
SN75LVPE3410RNQR.A	Active	Production	WQFN (RNQ) 40	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	PX410
SN75LVPE3410RNQR.B	Active	Production	WQFN (RNQ) 40	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	PX410
SN75LVPE3410RNQT	Active	Production	WQFN (RNQ) 40	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	PX410
SN75LVPE3410RNQT.A	Active	Production	WQFN (RNQ) 40	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	PX410
SN75LVPE3410RNQT.B	Active	Production	WQFN (RNQ) 40	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	PX410

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

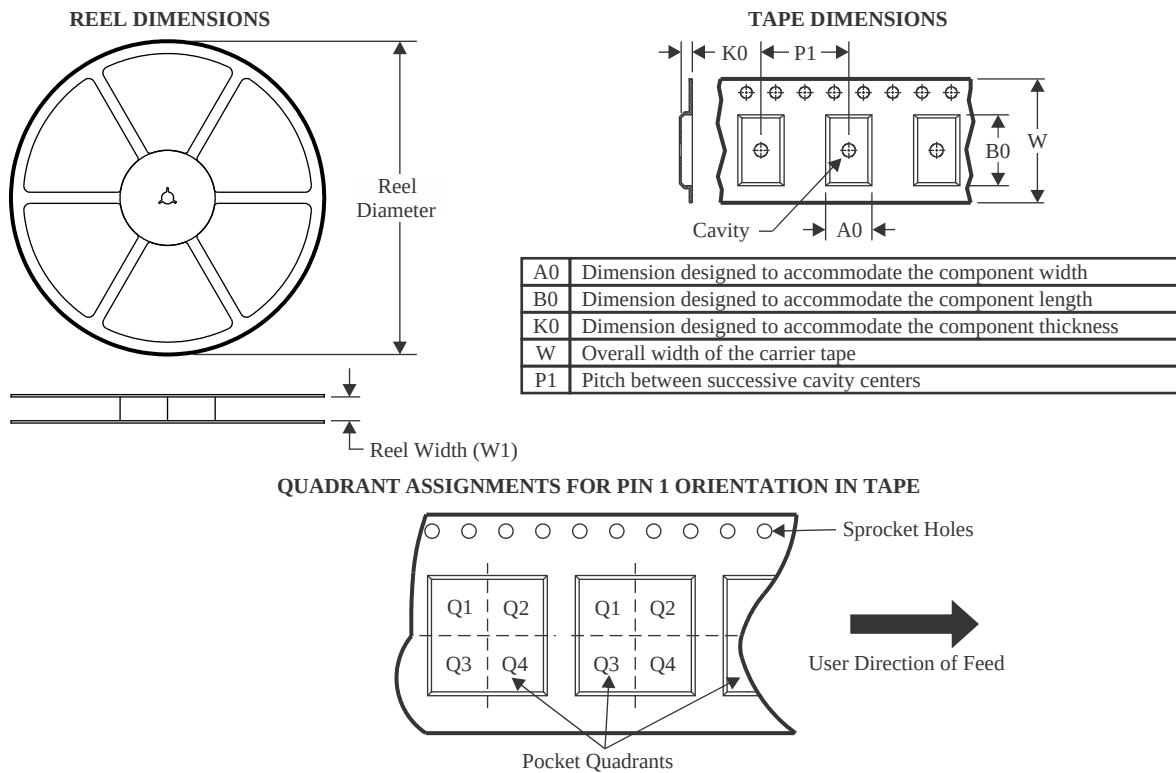
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

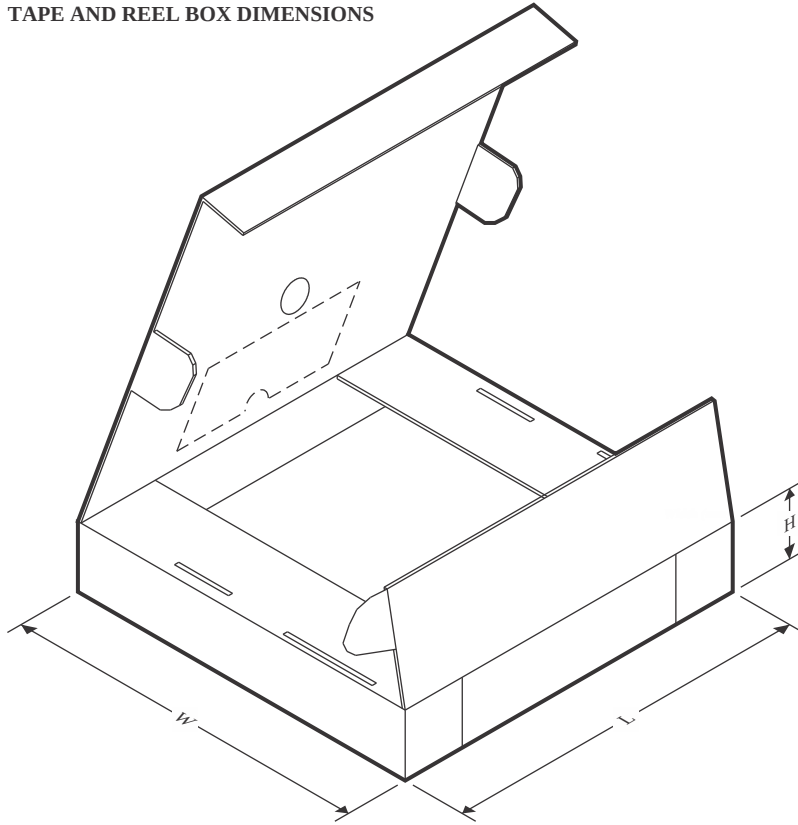
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN75LVPE3410RNQR	WQFN	RNQ	40	3000	330.0	12.4	4.3	6.3	1.1	8.0	12.0	Q2
SN75LVPE3410RNQT	WQFN	RNQ	40	250	180.0	12.4	4.3	6.3	1.1	8.0	12.0	Q2

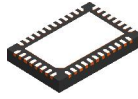
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN75LVPE3410RNQR	WQFN	RNQ	40	3000	367.0	367.0	35.0
SN75LVPE3410RNQT	WQFN	RNQ	40	250	210.0	185.0	35.0

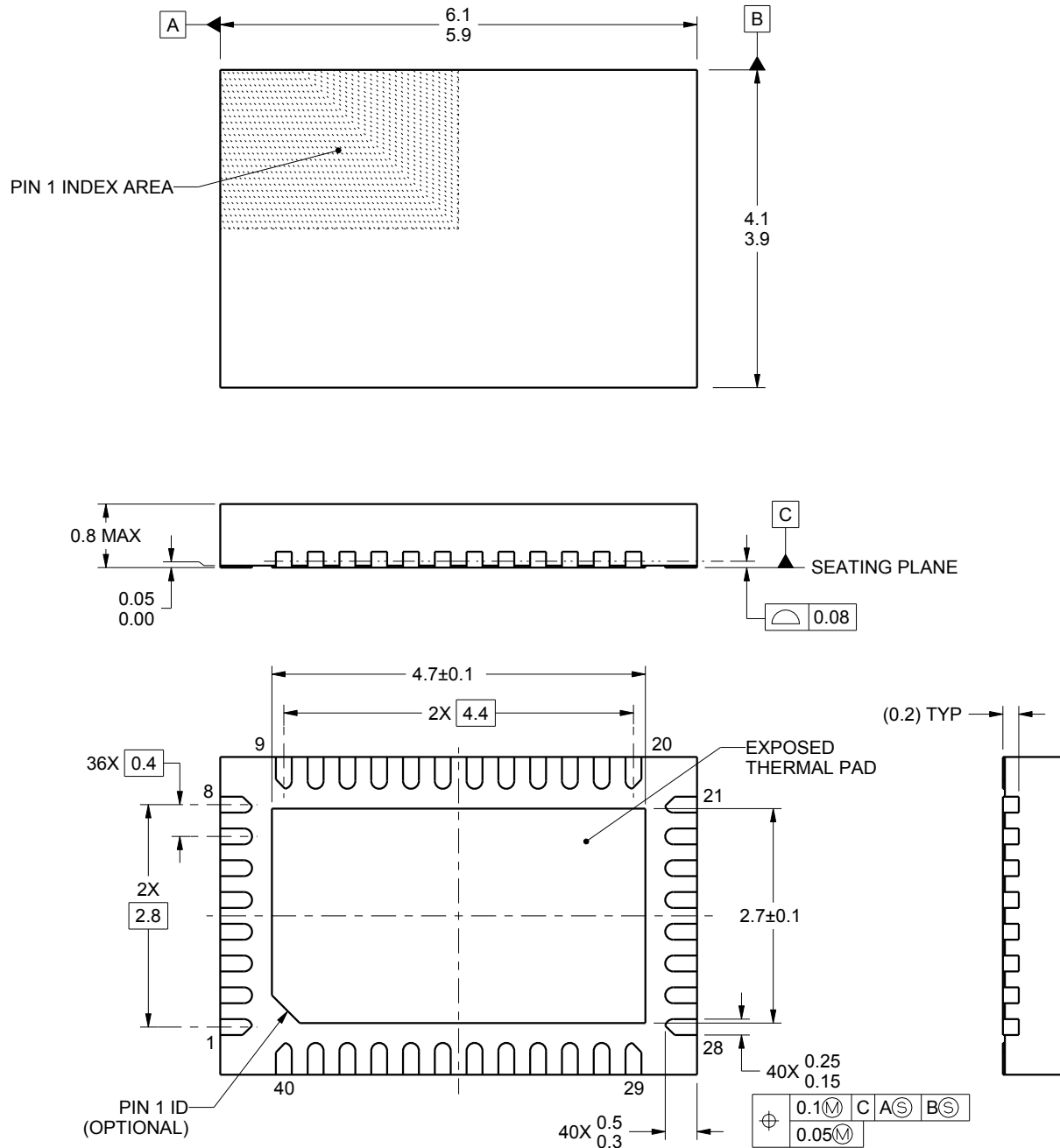
RNQ0040A



PACKAGE OUTLINE

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4222125/B 01/2016

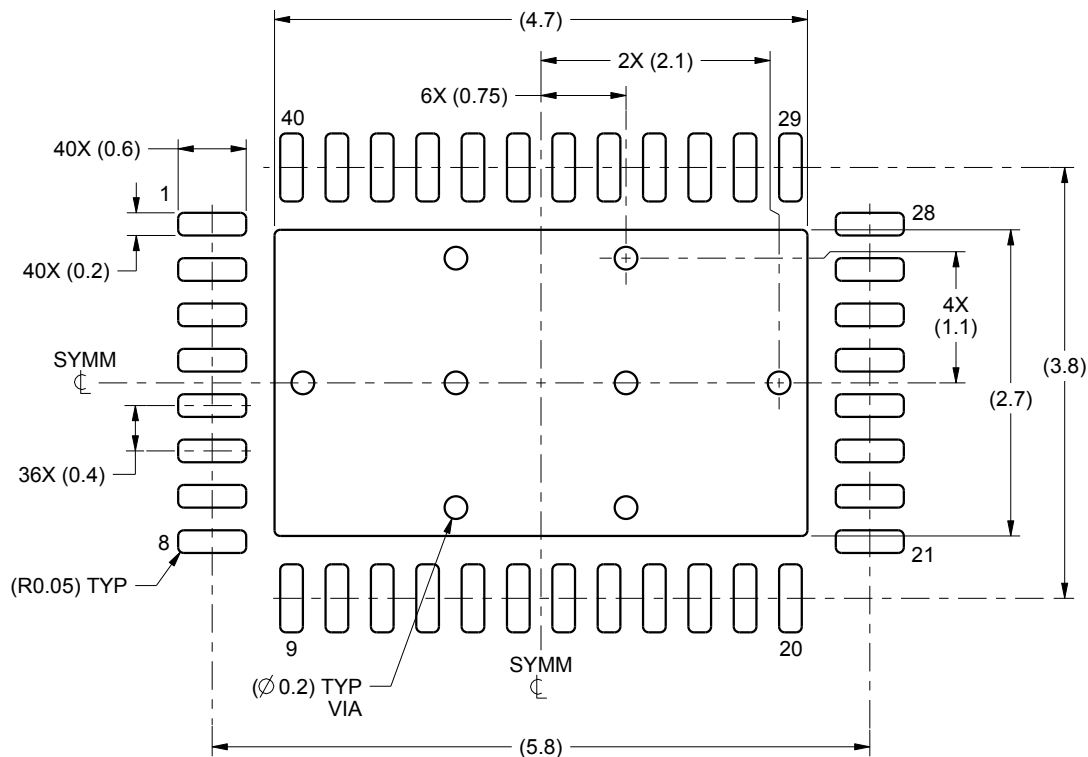
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

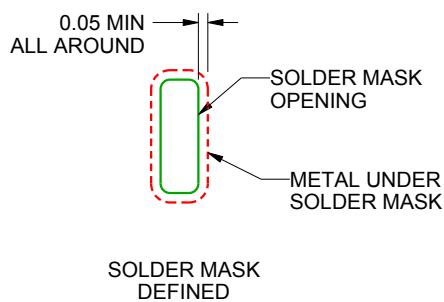
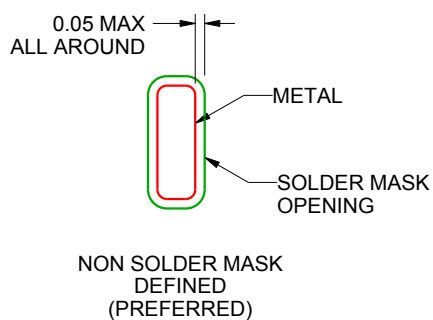
RNQ0040A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
SCALE:15X



SOLDER MASK DETAILS

4222125/B 01/2016

NOTES: (continued)

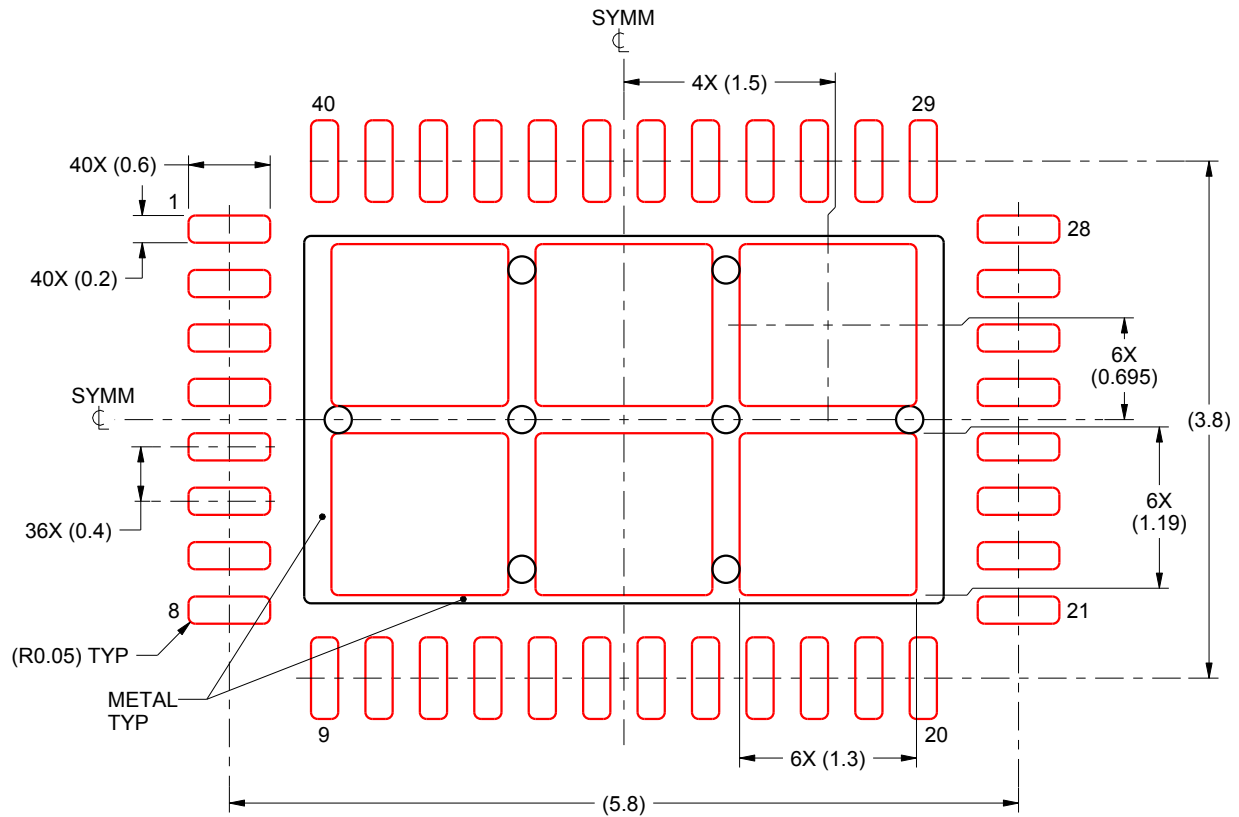
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

RNQ0040A

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE
 BASED ON 0.1 mm THICK STENCIL
 EXPOSED PAD
 73% PRINTED SOLDER COVERAGE BY AREA
 SCALE:18X

4222125/B 01/2016

NOTES: (continued)

5. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月