

具有施密特触发输入的 SN74LVC1G123 单路可重触发单稳多谐振荡器

1 特性

- 采用德州仪器 (TI) NanoFree™ 封装
- 支持 5V V_{CC} 运行
- 允许接受输入电压 5.5V
- 3.3V 时, t_{pd} 最大值为 8ns
- 所有端口上均支持以混合模式电压运行
- 支持降压转换到 V_{CC}
- $\bar{A}$ 和 B 输入上的施密特触发电路支持低输入转换速率
- 通过高电平有效或低电平有效门式逻辑输入触发边沿
- 可重触发, 因此可实现非常长的输出脉冲, 具有高达 100% 的占空比
- 可通过覆盖清零终止输出脉冲
- 可在输出端实现无干扰上电复位
- I_{off} 支持带电插入、局部省电模式和后驱动保护
- 闩锁性能超过 100mA, 符合 JESD 78 II 类规范的要求
- ESD 保护性能超过 JESD 22 规范要求
 - 2000V 人体放电模型 (A114-A)
 - 200V 机器放电模型 (A115-A)
 - 1000V 充电器件模型 (C101)

2 应用

- AV 接收器
- 蓝光播放器和家庭影院
- DVD 录像机和播放器
- 台式机或笔记本电脑
- 数字音频广播和互联网广播播放器
- 数码摄像机 (DVC)
- 嵌入式个人电脑 (PC)
- GPS: 个人导航设备
- 移动互联网设备
- 网络附属存储 (NAS)
- 个人数字助理 (PDA)
- 服务器 PSU
- 固态硬盘 (SSD): 客户端和企业级
- 视频分析服务器
- 无线耳机、键盘和鼠标

3 说明

SN74LVC1G123 器件是一款单通道可重触发单稳多谐振荡器, 需在 1.65V 至 5.5V V_{CC} 下运行。

该单稳多谐振荡器可通过三种方法来控制输出脉冲持续时间。在第一种方法中, $\bar{A}$ 输入为低电平, B 输入为高电平。在第二种方法中, B 输入为高电平, $\bar{A}$ 输入为低电平。在第三种方法中, $\bar{A}$ 输入为低电平, B 输入为高电平, 清零 ($\overline{CLR}$) 输入为高电平。

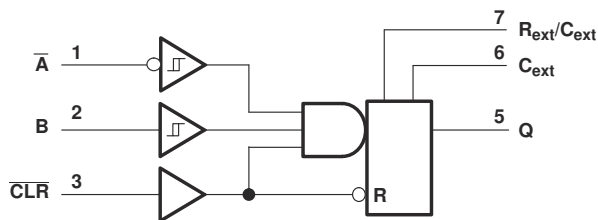
通过选择外部电阻和电容值, 可对输出脉冲持续时间进行编程。外部计时电容器必须连接在 C_{ext} 和 R_{ext}/C_{ext} (正极) 之间, 外部电阻器则必须连接在 R_{ext}/C_{ext} 和 V_{CC} 之间。要实现脉冲持续时间可变, 请在 R_{ext}/C_{ext} 和 V_{CC} 之间连接一个可变的外部电阻。此外, 还可以通过将 $\overline{CLR}$ 设置为低电平来缩短输出脉冲的持续时间。

脉冲触发在特定的电压电平发生, 与输入脉冲的转换时间没有直接关系。 $\bar{A}$ 输入端和 B 输入端上的施密特触发具有足够的迟滞, 可应对较慢的输入转换速率, 且在输出端完全没有抖动。

器件信息

器件型号	封装 (1)	本体尺寸 (标称值)
SN74LVC1G123	SSOP (8)	2.95mm x 2.80mm
	VSSOP (8)	2.30mm x 2.00mm
	DSBGA (8)	1.91mm x 0.91mm

(1) 如需了解所有可用封装, 请参阅数据表末尾的可订购产品附录。



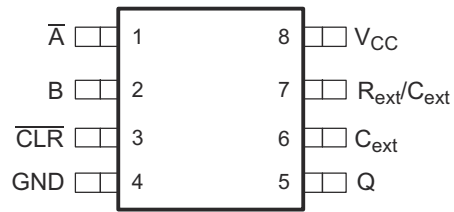
逻辑图 (正逻辑)



内容

1 特性	1	7.2 功能方框图	13
2 应用	1	7.3 特性说明	13
3 说明	1	7.4 器件功能模式	14
4 引脚配置和功能	3	8 应用和实施	15
5 规格	4	8.1 应用信息	15
5.1 绝对最大额定值.....	4	8.2 典型应用	15
5.2 ESD 等级.....	4	9 电源相关建议	17
5.3 建议运行条件.....	4	10 布局	17
5.4 热性能信息.....	5	10.1 布局指南.....	17
5.5 电气特性.....	5	10.2 布局示例.....	17
5.6 时序要求.....	6	11 器件和文档支持	18
5.7 开关特性, $C_L = 15\text{pF}$, -40°C 至 85°C	8	11.1 文档支持.....	18
5.8 开关特性, $C_L = 50\text{pF}$, -40°C 至 85°C	8	11.2 接收文档更新通知.....	18
5.9 开关特性, $C_L = 50\text{pF}$, -40°C 至 125°C	8	11.3 支持资源.....	18
5.10 工作特性.....	9	11.4 商标.....	18
5.11 典型特性.....	10	11.5 静电放电警告.....	18
6 参数测量信息	11	11.6 术语表.....	18
7 详细说明	13	12 修订历史记录	18
7.1 概述.....	13	13 机械、封装和可订购信息	19

4 引脚配置和功能



请参阅机械制图，了解尺寸。

图 4-1. DCT 封装 8 引脚 SSOP 顶视图

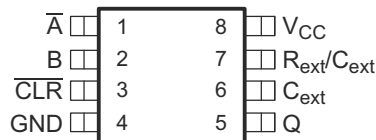


图 4-2. DCU 封装 8 引脚 VSSOP 顶视图

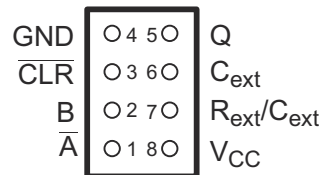


图 4-3. YZP 封装 8 引脚 DSBGA 底视图

表 4-1. 引脚功能

引脚		I/O	说明
名称	编号		
$\bar{A}$	1	I	下降沿敏感输入；需要 B 和 $\overline{CLR}$ 保持高电平。
B	2	I	上升沿敏感输入；需要 $\bar{A}$ 保持低电平，同时 $\overline{CLR}$ 保持高电平。
$\overline{CLR}$	3	I	清零、低电平有效；如果 $\bar{A}$ 保持低电平并且 B 保持高电平，也可作为上升沿敏感输入。
GND	4	—	接地
Q	5	O	输出
C_{ext}	6	—	仅连接到外部电容器
R_{ext}/C_{ext}	7	—	连接到外部电容器和电阻器
V_{CC}	8	—	电源

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

			最小值	最大值	单位
V _{CC}	电源电压		-0.5	6.5	V
V _I	输入电压 ⁽²⁾		-0.5	6.5	V
V _O	施加到任一处于高阻抗或断电状态输出的电压 ⁽²⁾		-0.5	6.5	V
V _O	施加到任一处于高电平或低电平状态输出的电压 ^{(2) (3)}		-0.5	V _{CC} + 0.5	V
I _{IK}	输入钳位电流	V _I < 0		-50	mA
I _{OK}	输出钳位电流	V _O < 0		-50	mA
I _O	持续输出电流			±50	mA
	通过 V _{CC} 或 GND 的持续电流			±100	mA
T _{stg}	贮存温度		-65	150	°C

- (1) 应力超出绝对最大额定值下面列出的值可能会对器件造成损坏。这些仅为应力等级，并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 如果遵守输入和输出钳位电流额定值，则可能会超过输入和输出负电压额定值。
- (3) V_{CC} 的值在建议运行条件表中提供。

5.2 ESD 等级

		值	单位	
V _(ESD)	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	+2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101 ⁽²⁾	+1000	

- (1) JEDEC 文档 JEP155 指出：500V HBM 能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位	
V _{CC}	电源电压	运行	1.65	5.5	V
		仅数据保留	1.5		
V _{IH}	高电平输入电压	V _{CC} = 1.65 V 至 1.95 V	0.65 × V _{CC}		V
		V _{CC} = 2.3 V 至 2.7 V	1.7		
		V _{CC} = 3 V 至 3.6 V	2		
		V _{CC} = 4.5 V 至 5.5 V	0.7 × V _{CC}		
V _{IL}	低电平输入电压	V _{CC} = 1.65 V 至 1.95 V	0.35 × V _{CC}		V
		V _{CC} = 2.3 V 至 2.7 V	0.7		
		V _{CC} = 3 V 至 3.6 V	0.8		
		V _{CC} = 4.5 V 至 5.5 V	0.3 × V _{CC}		
V _I	输入电压	0	5.5	V	
V _O	输出电压	0	V _{CC}	V	
I _{OH}	高电平输出电流	V _{CC} = 1.65 V	-4		mA
		V _{CC} = 2.3 V	-8		
		V _{CC} = 3 V	-16		
			-24		
		V _{CC} = 4.5 V	-32		

5.3 建议运行条件 (续)

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
I_{OL} 低电平输出电流	$V_{CC} = 1.65\text{ V}$		4	mA
	$V_{CC} = 2.3\text{ V}$		8	
	$V_{CC} = 3\text{ V}$		16	
			24	
	$V_{CC} = 4.5\text{ V}$		32	
R_{ext} ⁽²⁾ 外部时序电阻	$V_{CC} = 2\text{ V}$	5		k Ω
	$V_{CC} \geq 3\text{ V}$	1		
T_A 自然通风条件下的工作温度范围		-40	125	$^{\circ}\text{C}$

- (1) 器件所有的未使用输入必须保持在 V_{CC} 或 GND 以确保器件正常运行。请参阅 TI 应用报告 [CMOS 输入缓慢或悬空的影响](#), [SCBA004](#)。
(2) R_{ext}/C_{ext} 是一个 I/O, 不得直接连接到 GND 或 V_{CC} 。

5.4 热性能信息

热指标 ⁽¹⁾		SN74LVC1G123			单位
		DCT (SSOP)	DCU (VSSOP)	YZP (DSBGA)	
		8 引脚	8 引脚	8 引脚	
$R_{\theta JA}$ 结至环境热阻		220	227	102	$^{\circ}\text{C}/\text{W}$

- (1) 有关新旧热指标的更多信息, 请参阅 [半导体和 IC 封装热指标](#) 应用报告 [SPRA953](#)。

5.5 电气特性

在自然通风条件下的建议运行温度范围内测得 (除非另有说明)

参数		测试条件	V _{CC}	-40°C 至 85°C			-40°C 至 125°C			单位
				最小值	典型值 (1)	最大值	最小值	典型值 (1)	最大值	
V _{OH}		I _{OH} = -100μA	1.65V 至 5.5V	V _{CC} - 0.1			V _{CC} - 0.1			V
		I _{OH} = -4mA	1.65V	1.2			1.2			
		I _{OH} = -8mA	2.3V	1.9			1.9			
		I _{OH} = -16mA	3 V	2.4			2.4			
		I _{OH} = -24 mA		2.3			2.3			
		I _{OH} = -32 mA	4.5 V	3.8			3.8			
V _{OL}		I _{OL} = 100μA	1.65V 至 5.5V	0.1			0.1			V
		I _{OL} = 4 mA	1.65V	0.45			0.45			
		I _{OL} = 8 mA	2.3V	0.3			0.3			
		I _{OL} = 16 mA	3V	0.4			0.4			
		I _{OL} = 24 mA		0.55			0.55			
		I _{OL} = 32 mA	4.5V	0.55			0.55			
I _I	R _{ext} /C _{ext} (2)	B = GND , $\overline{A}$ = $\overline{\text{CLR}}$ = V _{CC}	1.65V 至 5.5V	±0.25			±0.25			μA
	$\overline{A}$ 、B、 $\overline{\text{CLR}}$	V _I = 5.5V 或 GND		±1			±1			
I _{off}	$\overline{A}$ 、B、Q、 $\overline{\text{CLR}}$	V _I 或 V _O = 5.5V	0	±10			±10			μA
I _{CC}	静态	V _I = V _{CC} 或 GND , I _O = 0	5.5V	20			20			μA

5.5 电气特性（续）

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

参数	测试条件	V _{CC}	-40°C 至 85°C			-40°C 至 125°C			单位
			最小值	典型值 ⁽¹⁾	最大值	最小值	典型值 ⁽¹⁾	最大值	
I _{CC} 有效状态	V _I = V _{CC} 或 GND , R _{ext} /C _{ext} = 0.5V _{CC}	1.65V			165			165	μA
		2.3V			220			220	
		3V			280			280	
		4.5V			650			650	
		5.5V			975			975	
C _I	V _I = V _{CC} 或 GND	3.3V		3					pF

- (1) 所有典型值均在 V_{CC} = 3.3V、T_A = 25°C 下测得。
(2) 执行此测试时，端子处于关断状态。

5.6 时序要求

在自然通风条件下的建议工作温度范围内测得（除非另有说明）（请参阅图 6-1）

参数		测试条件		-40°C 至 125°C								单位
				V _{CC} = 1.8V ± 0.15V		V _{CC} = 2.5 V ± 0.2 V		V _{CC} = 3.3 V ± 0.3 V		V _{CC} = 5 V ± 0.5 V		
				最小 值	典型 值	最小 值	典型 值	最小 值	典型 值	最小 值	典型 值	
t _w IN 脉冲持续时间	CLR			8		4		3		2.5		ns
	$\overline{A}$ 或 B 触发			8		4		3		2.5		
t _{rr} 脉冲再触发时间	R _{ext} = 1k Ω		C _{ext} = 100pF					5.5		4.5		ns
			C _{ext} = 100μF					1.4		1.1		μs
	R _{ext} = 5k Ω		C _{ext} = 100pF		75		45				ns	
			C _{ext} = 100μF		1.8		1.4				μs	

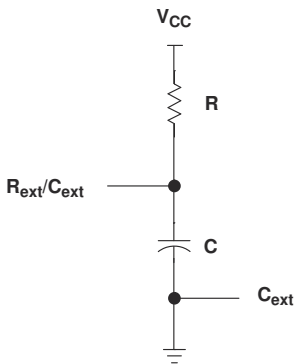


图 5-1. 所需时序电路

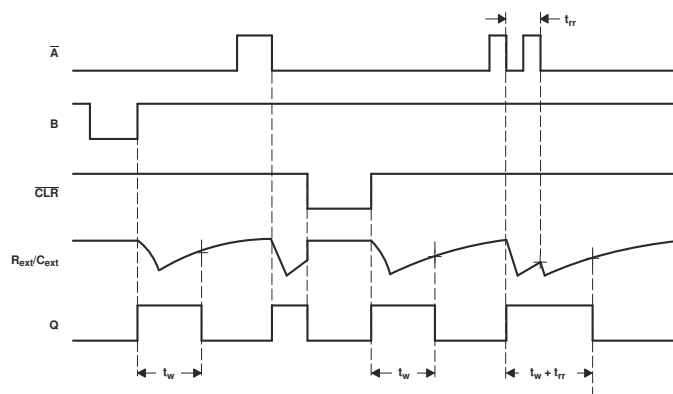


图 5-2. 输入/输出时序图

5.7 开关特性, $C_L = 15\text{pF}$, -40°C 至 85°C

在自然通风条件下的建议工作温度范围内测得, $C_L = 15\text{pF}$ (除非另有说明) (请参阅图 6-1)

参数	从 (输入)	至 (输出)	-40°C 至 85°C								单位	
			V _{CC} = 1.8V ± 0.15V			V _{CC} = 2.5 V ± 0.2 V		V _{CC} = 3.3 V ± 0.3 V		V _{CC} = 5 V ± 0.5 V		
			最小值	典型值	最大值	最小值	最大值	最小值	最大值	最小值		最大值
t _{pd}	$\overline{A}$ 或 B	Q	7	18.5	52	4	17	3	11.5	2	7.6	ns
	$\overline{CLR}$		5	12.4	34	3	11.5	2	8	1.5	5.5	
	$\overline{CLR}$ 触发		7	17.4	54	4	15.5	3	10.5	2	7	

5.8 开关特性, $C_L = 50\text{pF}$, -40°C 至 85°C

在自然通风条件下的建议工作温度范围内测得, $C_L = 50\text{pF}$ (除非另有说明) (请参阅图 6-1)

参数	从 (输入)	至 (输出)	测试 条件	-40°C 至 85°C								单位	
				V _{CC} = 1.8V ± 0.15V			V _{CC} = 2.5 V ± 0.2 V		V _{CC} = 3.3 V ± 0.3 V		V _{CC} = 5 V ± 0.5 V		
				最小值	典型值 (1)	最大值	最小值	最大值	最小值	最大值	最小值		最大值
t _{pd}	$\overline{A}$ 或 B	Q		6	18.6	57	3	18.5	2	12.5	1.5	8.2	ns
	$\overline{CLR}$		4	11.6	36.5	2	12.5	1.5	8.6	1.5	6		
	$\overline{CLR}$ 触发		5	17.3	59	2.5	17	2	11.5	1.5	7.5		
t _{wOUT} (2)		Q	C _{ext} = 28pF , R _{ext} = 2k Ω		225	600	190	220	170	200	150	180	ns
			C _{ext} = 0.01 μ F , R _{ext} = 10k Ω		100	110	100	110	100	110	100	110	μs
			C _{ext} = 0.1 μ F , R _{ext} = 10k Ω		1	1.1	1	1.1	1	1.1	1	1.1	ms

(1) $T_A = 25^\circ\text{C}$

(2) $t_w = Q$ 输出端的脉冲持续时间

5.9 开关特性, $C_L = 50\text{pF}$, -40°C 至 125°C

在自然通风条件下的建议工作温度范围内测得, $C_L = 50\text{pF}$ (除非另有说明) (请参阅图 6-1)

参数	从 (输入)	至 (输出)	测试 条件	-40°C 至 125°C								单位	
				V _{CC} = 1.8V ± 0.15V			V _{CC} = 2.5 V ± 0.2 V		V _{CC} = 3.3 V ± 0.3 V		V _{CC} = 5 V ± 0.5 V		
				最小值	典型值 (1)	最大值	最小值	最大值	最小值	最大值	最小值		最大值
t _{pd}	$\overline{A}$ 或 B	Q		6		58	3	19.5	2	13.2	1.5	8.7	ns
	CLR			4		37	2	13.5	1.5	9.2	1.5	6.5	
	CLR 触发			5		60	2.5	18	2	12	1.5	8	
t _{wOUT} (2)		Q	C _{ext} = 28pF , R _{ext} = 2k Ω		225	600	190	220	170	200	150	180	ns
			C _{ext} = 0.01μF , R _{ext} = 10k Ω		100	110	100	110	100	110	100	110	μs
			C _{ext} = 0.1μF , R _{ext} = 10k Ω		1	1.1	1	1.1	1	1.1	1	1.1	ms

(1) $T_A = 25^\circ\text{C}$

(2) $t_w = Q$ 输出端的脉冲持续时间

5.10 工作特性

$T_A = 25^\circ\text{C}$

参数	测试条件		$V_{CC} = 1.8\text{ V}$	$V_{CC} = 2.5\text{ V}$	$V_{CC} = 3.3\text{ V}$	$V_{CC} = 5\text{ V}$	单位
			典型值	典型值	典型值	典型值	
C_{pd} 功率耗散电容	$\bar{A} = \text{低电平}, B = \text{高电平},$ $\text{CLR} = 10\text{MHz}$	$R_{\text{ext}} = 1\text{k}\Omega,$ 无 C_{ext}			35	37	pF
		$R_{\text{ext}} = 5\text{k}\Omega,$ 无 C_{ext}	41	40			

5.11 典型特性

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

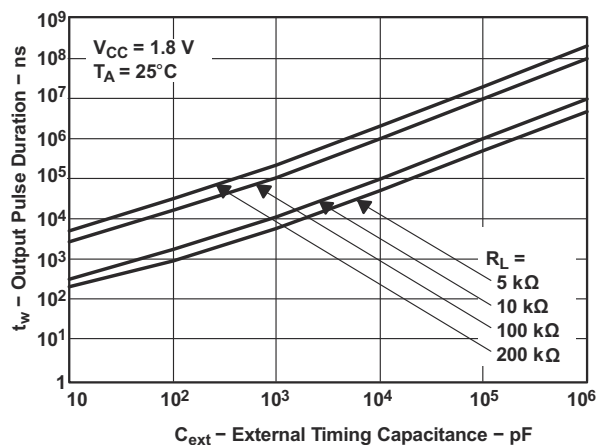


图 5-3. 输出脉冲持续时间与外部时序电容的关系

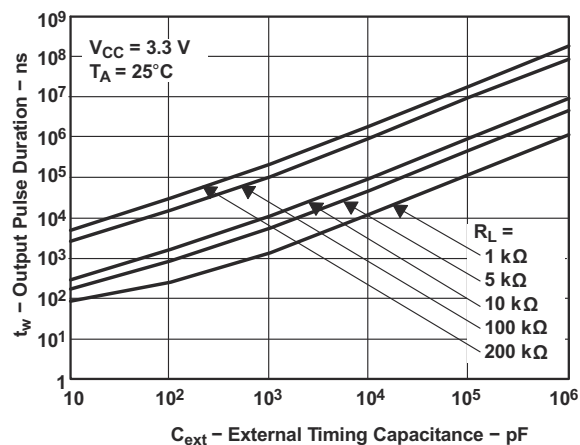


图 5-4. 输出脉冲持续时间与外部时序电容的关系

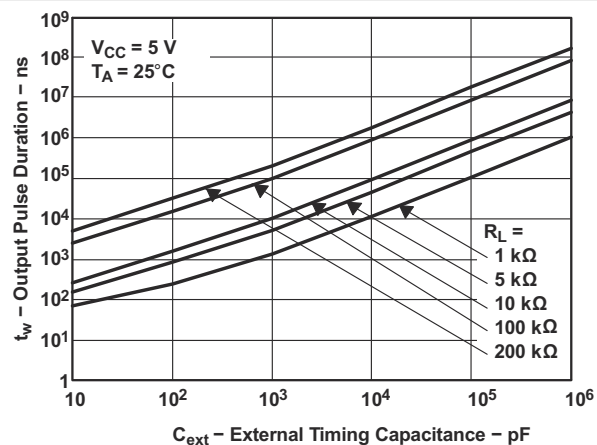


图 5-5. 输出脉冲持续时间与外部时序电容的关系

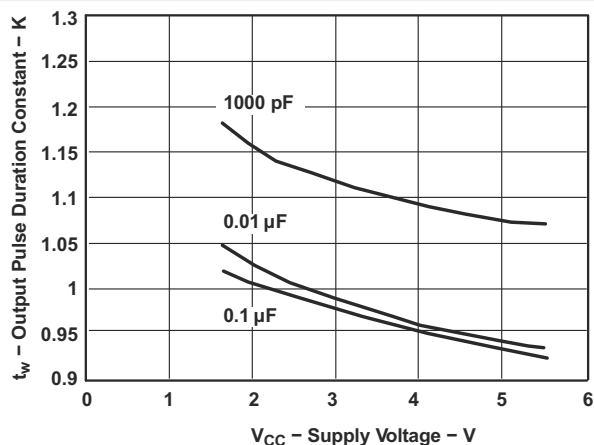


图 5-6. 输出脉冲持续时间常数与电源电压的关系

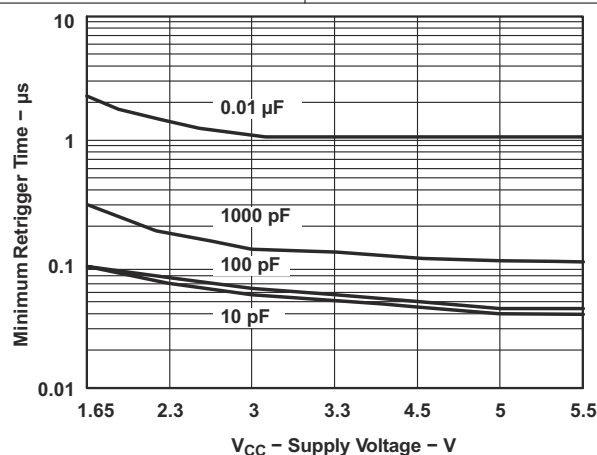
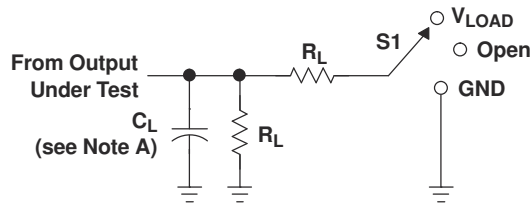


图 5-7. 最短再触发时间与电源电压的关系

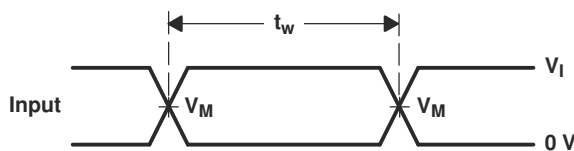
6 参数测量信息



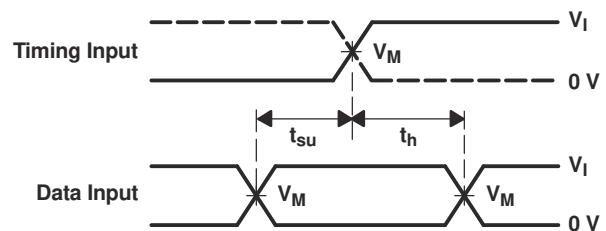
LOAD CIRCUIT

TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{LOAD}
t_{PHZ}/t_{PZH}	GND

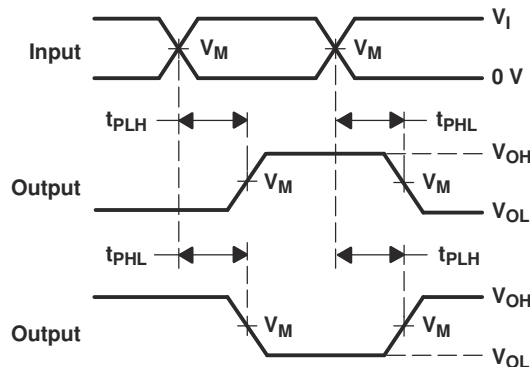
V_{CC}	INPUTS		V_M	V_{LOAD}	C_L	R_L	V_{Δ}
	V_I	t_r/t_f					
$1.8\text{ V} \pm 0.15\text{ V}$	V_{CC}	$\leq 2\text{ ns}$	$V_{CC}/2$	$2 \times V_{CC}$	15 pF	1 M Ω	0.15 V
$2.5\text{ V} \pm 0.2\text{ V}$	V_{CC}	$\leq 2\text{ ns}$	$V_{CC}/2$	$2 \times V_{CC}$	15 pF	1 M Ω	0.15 V
$3.3\text{ V} \pm 0.3\text{ V}$	3 V	$\leq 2.5\text{ ns}$	1.5 V	6 V	15 pF	1 M Ω	0.3 V
$5\text{ V} \pm 0.5\text{ V}$	V_{CC}	$\leq 2.5\text{ ns}$	$V_{CC}/2$	$2 \times V_{CC}$	15 pF	1 M Ω	0.3 V



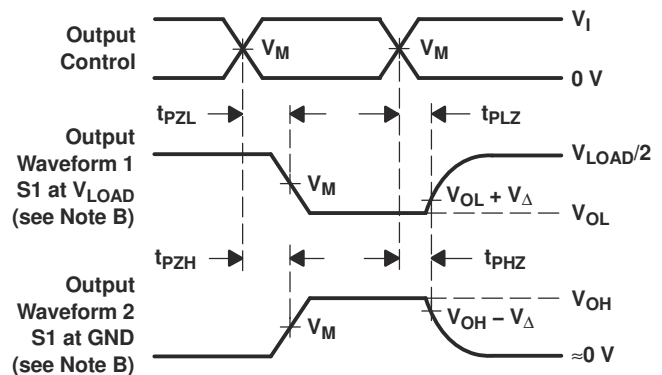
VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
SETUP AND HOLD TIMES



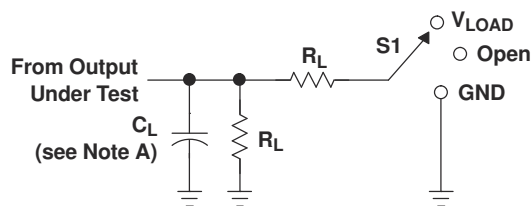
VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

- NOTES:
- C_L includes probe and jig capacitance.
 - Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
 - All input pulses are supplied by generators having the following characteristics: $PRR \leq 10\text{ MHz}$, $Z_O = 50\text{ }\Omega$.
 - The outputs are measured one at a time, with one transition per measurement.
 - t_{PLZ} and t_{PHZ} are the same as t_{dis} .
 - t_{PZL} and t_{PZH} are the same as t_{en} .
 - t_{PLH} and t_{PHL} are the same as t_{pd} .
 - All parameters and waveforms are not applicable to all devices.

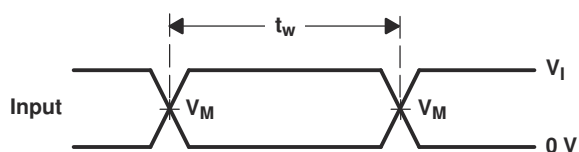
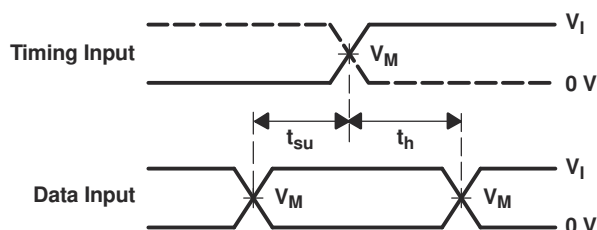
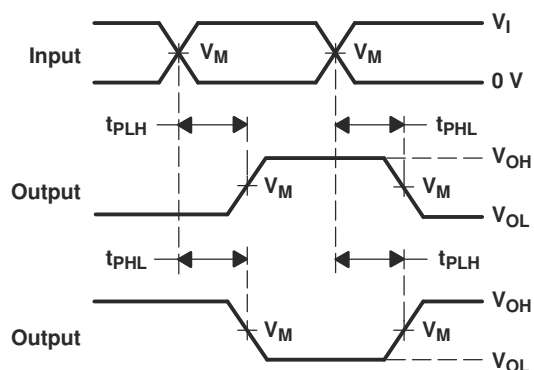
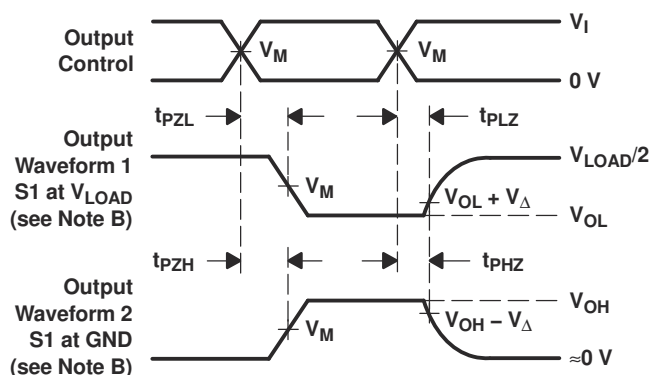
图 6-1. 负载电路和电压波形



LOAD CIRCUIT

TEST	S1
t_{PLH}/t_{PHL}	Open
t_{PLZ}/t_{PZL}	V_{LOAD}
t_{PHZ}/t_{PZH}	GND

V_{CC}	INPUTS		V_M	V_{LOAD}	C_L	R_L	V_{Δ}
	V_I	t_r/t_f					
$1.8\text{ V} \pm 0.15\text{ V}$	V_{CC}	$\leq 2\text{ ns}$	$V_{CC}/2$	$2 \times V_{CC}$	30 pF	1 k Ω	0.15 V
$2.5\text{ V} \pm 0.2\text{ V}$	V_{CC}	$\leq 2\text{ ns}$	$V_{CC}/2$	$2 \times V_{CC}$	30 pF	500 Ω	0.15 V
$3.3\text{ V} \pm 0.3\text{ V}$	3 V	$\leq 2.5\text{ ns}$	1.5 V	6 V	50 pF	500 Ω	0.3 V
$5\text{ V} \pm 0.5\text{ V}$	V_{CC}	$\leq 2.5\text{ ns}$	$V_{CC}/2$	$2 \times V_{CC}$	50 pF	500 Ω	0.3 V

VOLTAGE WAVEFORMS
PULSE DURATIONVOLTAGE WAVEFORMS
SETUP AND HOLD TIMESVOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES
INVERTING AND NONINVERTING OUTPUTSVOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES
LOW- AND HIGH-LEVEL ENABLING

- NOTES: A. C_L includes probe and jig capacitance.
 B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
 C. All input pulses are supplied by generators having the following characteristics: $PRR \leq 10\text{ MHz}$, $Z_O = 50\text{ }\Omega$.
 D. The outputs are measured one at a time, with one transition per measurement.
 E. t_{PLZ} and t_{PHZ} are the same as t_{dis} .
 F. t_{PZL} and t_{PZH} are the same as t_{en} .
 G. t_{PLH} and t_{PHL} are the same as t_{pd} .
 H. All parameters and waveforms are not applicable to all devices.

图 6-2. 负载电路和电压波形

7.4 器件功能模式

表 7-1 列出了 SN74LVC1G123 器件的功能模式。

表 7-1. 功能表

输入			输出 Q
CLR	A	B	
L	X	X	L
X	H	X	L ⁽¹⁾
X	X	L	L ⁽¹⁾
H	L	↑	⌋
H	↓	H	⌋
↑	L	H	⌋

- (1) 这些输出基于以下假设：A 和 B 输入端所显示的稳定状态已持续足够长的时间，以确保在任何新的设定操作开始前，之前的脉冲过程已经完成。

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

SN74LVC1G123 可用于多种应用。此处所示的应用是开关去抖电路。许多开关在按下时会产生多次触发，而去抖电路的作用是将这些多次触发整合为单一触发。此电路利用了 SN74LVC1G123 的再触发能力，即输出脉冲长度只需大于开关单次抖动的最长时间（通常小于 1ms）即可。

8.2 典型应用

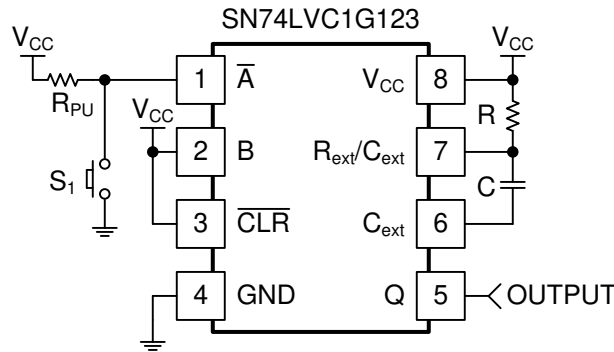


图 8-1. SN74LVC1G123 典型应用

8.2.1 设计要求

- 建议的输入条件：
 - 有关指定的高电平和低电平，请参阅 [节 5.3](#) 中的 V_{IH} 和 V_{IL} 。
 - 输入和输出具有过压容限，因此在任何有效 V_{CC} 下均高达 4.6V。
- 建议的输出条件：
 - 负载电流不应超过 [节 5.3](#) 中列出的值。

8.2.2 详细设计过程

为确保正确运行，必须确定 V_{CC} 、 R_{PU} 、 R 和 C 的值。

确定 V_{CC} 的值为 1.8V。该值通常由系统的逻辑电压决定，但在本例中为任意值。

确定 R_{PU} 的值为 10k Ω 。

可根据 [节 8.2.3](#) 中的曲线图和所需的输出脉冲时间来确定 R 和 C 的值。在本例中，输出脉冲时间将为 1ms。确定电源电压的值为 1.8V，因此可根据 [图 8-2](#) 来确定所需的 R 和 C 的值。首先将所需脉冲宽度 (t_w) 1ms 换算为以 ns 为单位的值。由此得出该值为 10⁶ ns。接下来，沿着该直线横移，观察与之相交的 R 值和 C 值。

确定 R 值为 10k Ω ，因为该电阻值所对应的线在图表上恰与 10⁶ns 和 10⁵pF 交点完美重合，进而轻松确定 C 值为 0.1 μ F。

表 8-1. 应用特定值

参数	值
V_{CC}	1.8V
R_{PU}	10k Ω
t_w	1ms
R (R_{ext})	10k Ω
C (C_{ext})	0.1 μ F

除了所示的元件外，还需配备一个 0.1 μ F 去耦电容器，连接 V_{CC} 与接地端，并尽量紧贴器件安放，以优化电路性能。

8.2.3 应用曲线

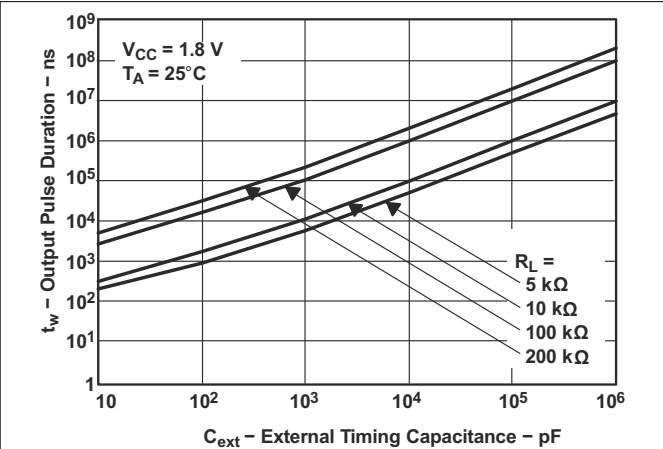


图 8-2. 输出脉冲持续时间与外部时序电容的关系

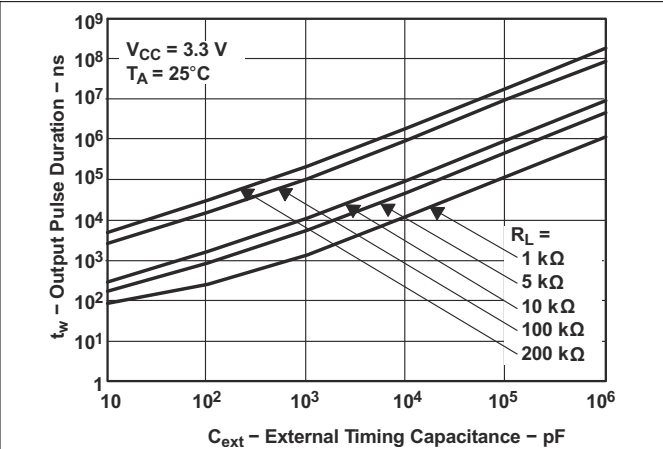


图 8-3. 输出脉冲持续时间与外部时序电容的关系

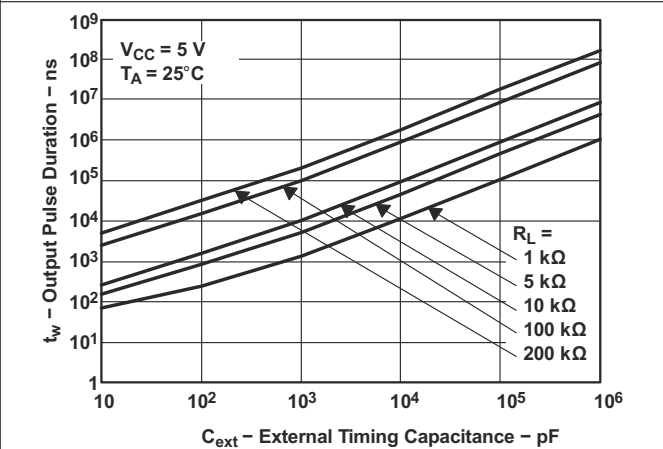


图 8-4. 输出脉冲持续时间与外部时序电容的关系

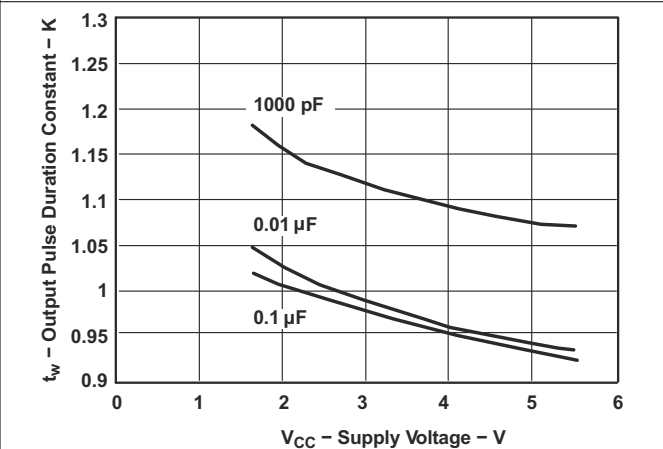


图 8-5. 输出脉冲持续时间常数与电源电压的关系

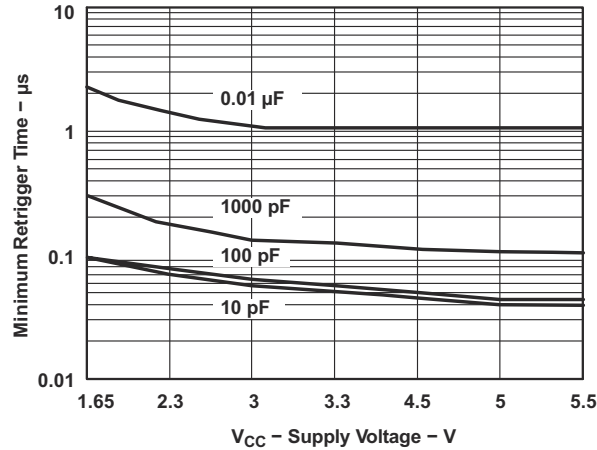


图 8-6. 最短再触发时间与电源电压的关系

9 电源相关建议

电源可以是 [节 5.3](#) 表中列出的最小和最大电源电压额定值之间的任何电压。

每个 V_{CC} 端子均应具有一个良好的旁路电容器，以防止功率干扰。对于单电源器件，建议使用 0.1 μF 旁路电容器。如果多个引脚被标记为 V_{CC} ，鉴于 V_{CC} 引脚在电路内部彼此相连，建议为每个 V_{CC} 引脚配备一个 0.01 μF 或 0.022 μF 电容器。若器件具备 V_{CC} 和 V_{DD} 等在不同电压水平运作的双电源引脚，为保证稳定，建议为每个电源引脚配备一个 0.1 μF 旁路电容器。要抑制不同的噪声频率，请并联多个旁路电容器。0.1 μF 和 1 μF 电容器通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

10 布局

10.1 布局指南

反射和匹配问题与环路天线理论密切相关，但两者之间存在显著差异，故而需要独立于该理论框架外进行探讨。当 PCB 布线以 90° 角拐角时，会发生反射。反射的主要原因是布线宽度发生了变化。在拐角的顶点，布线宽度增加到原来宽度的 1.414 倍。这种增加会影响传输线特性，尤其是导致反射的布线的分布式电容和自感特性。并非所有 PCB 布线都是直线，因此某些布线必须拐角。[图 10-1](#) 展示了渐入佳境的圆角技术。只有最后一个示例 (理想) 保持恒定的布线宽度并能够更大限度地减少反射。

10.2 布局示例

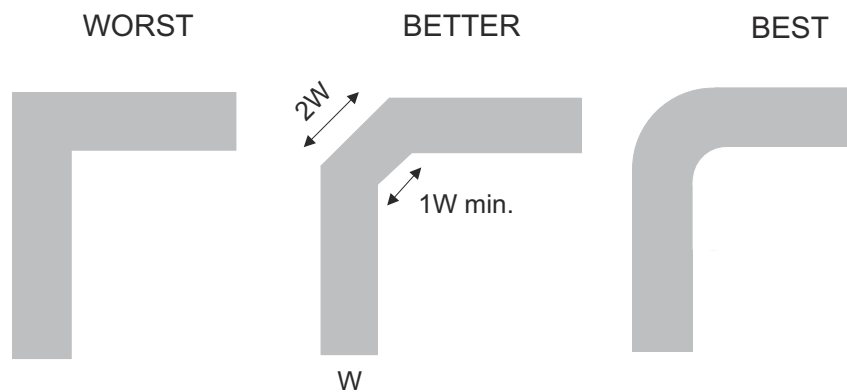


图 10-1. 布线示例

11 器件和文档支持

11.1 文档支持

11.1.1 相关文档

请参阅以下相关文档：

慢速或浮点 CMOS 输入的影响，SCBA004

11.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

11.4 商标

NanoFree™ is a trademark of Texas Instruments.

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

11.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

11.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

12 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision D (June 2015) to Revision E (March 2024)	Page
--	------

- | | |
|---|---|
| • 更新了格式以匹配新的 TI 布局 and 流程。整个文档中的表、图和交叉参考使用新的编号顺序..... | 1 |
|---|---|

Changes from Revision C (October 2013) to Revision D (June 2015)	Page
--	------

- | | |
|---|---|
| • 添加了应用、器件信息表、引脚配置和功能部分、ESD 等级表、典型特性表、特性说明部分、器件功能模式、应用和实施部分、电源相关建议部分、布局部分、器件和文档支持部分以及机械、封装和可订购信息部分..... | 1 |
| • 删除了重复的时序要求表..... | 6 |

Changes from Revision B (January 2007) to Revision C (October 2013)	Page
---	------

- | | |
|--------------------------|---|
| • 将文档更新为新的 TI 数据表格式..... | 1 |
|--------------------------|---|

• 更新了 <i>特性</i>	1
• 更新了工作温度范围.....	4
• 添加了 <i>热性能信息</i> 表.....	5

13 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
74LVC1G123DCTRE4	Active	Production	SSOP (DCT) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C23 (R, Z)
74LVC1G123DCTRE4.B	Active	Production	SSOP (DCT) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C23 (R, Z)
74LVC1G123DCTRG4	Active	Production	SSOP (DCT) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C23 (R, Z)
74LVC1G123DCTRG4.B	Active	Production	SSOP (DCT) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C23 (R, Z)
74LVC1G123DCTTE4	Active	Production	SSOP (DCT) 8	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C23 (R, Z)
74LVC1G123DCTTE4.B	Active	Production	SSOP (DCT) 8	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C23 (R, Z)
74LVC1G123DCTTG4	Active	Production	SSOP (DCT) 8	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C23 (R, Z)
74LVC1G123DCTTG4.B	Active	Production	SSOP (DCT) 8	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C23 (R, Z)
74LVC1G123DCURE4	Active	Production	VSSOP (DCU) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C23R
74LVC1G123DCURG4	Active	Production	VSSOP (DCU) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C23R
74LVC1G123DCURG4.B	Active	Production	VSSOP (DCU) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C23R
74LVC1G123DCUTG4	Active	Production	VSSOP (DCU) 8	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C23R
74LVC1G123DCUTG4.B	Active	Production	VSSOP (DCU) 8	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	C23R
SN74LVC1G123DCTR	Active	Production	SSOP (DCT) 8	3000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	(2W95, C23) (R, Z)
SN74LVC1G123DCTR.B	Active	Production	SSOP (DCT) 8	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(2W95, C23) (R, Z)
SN74LVC1G123DCTT	Active	Production	SSOP (DCT) 8	250 SMALL T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	(2W95, C23) (R, Z)
SN74LVC1G123DCTT.B	Active	Production	SSOP (DCT) 8	250 SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(2W95, C23) (R, Z)
SN74LVC1G123DCUR	Active	Production	VSSOP (DCU) 8	3000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	(C23J, C23Q, C23R)
SN74LVC1G123DCUR.B	Active	Production	VSSOP (DCU) 8	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(C23J, C23Q, C23R)

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LVC1G123DCUT	Active	Production	VSSOP (DCU) 8	250 SMALL T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	(C23J, C23Q, C23R)
SN74LVC1G123DCUT.B	Active	Production	VSSOP (DCU) 8	250 SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	(C23J, C23Q, C23R)
SN74LVC1G123YZPR	Active	Production	DSBGA (YZP) 8	3000 LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	(D87, D8N)
SN74LVC1G123YZPR.B	Active	Production	DSBGA (YZP) 8	3000 LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	(D87, D8N)

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

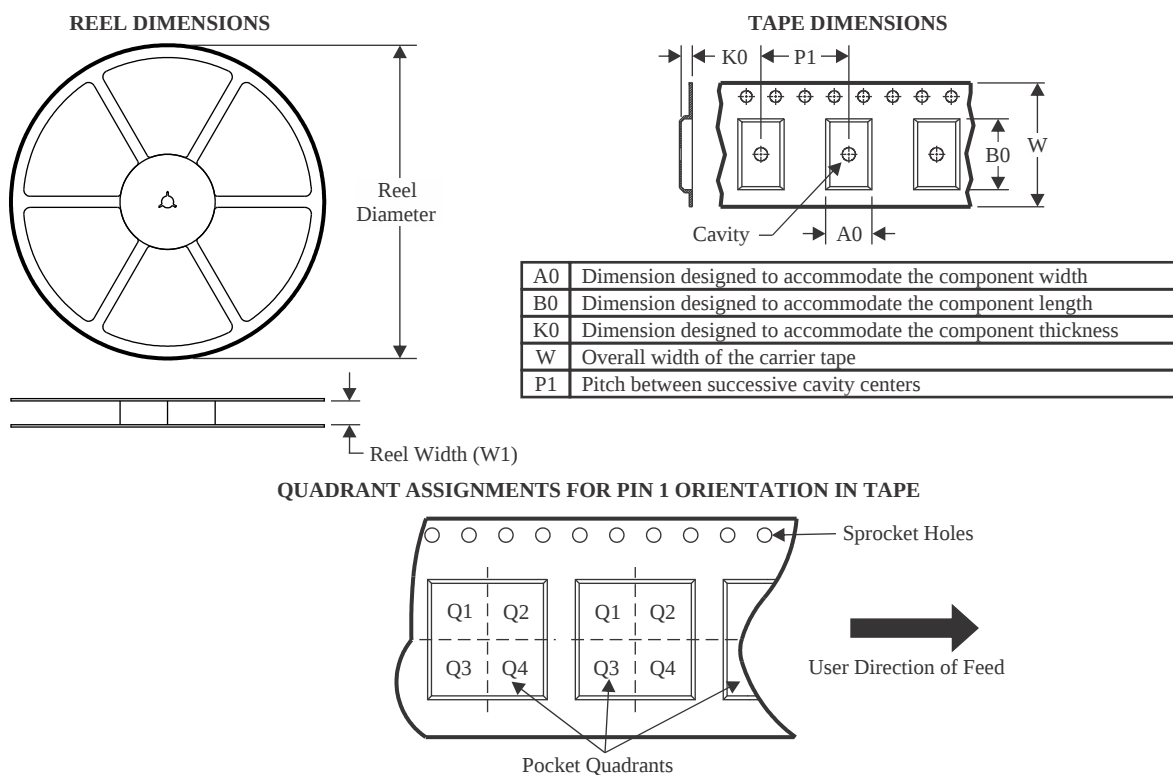
⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

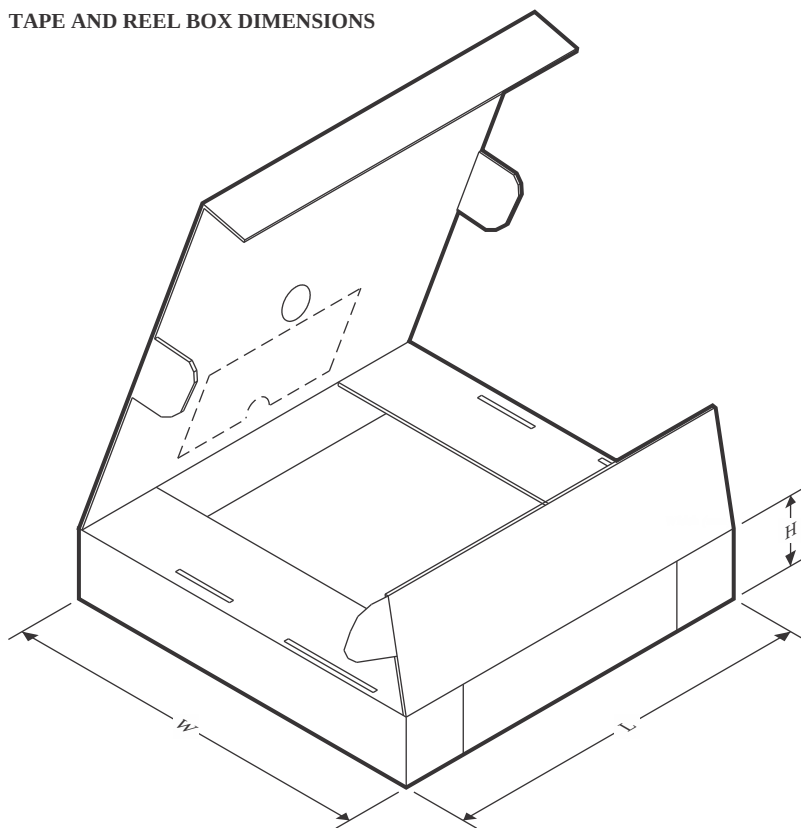
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
74LVC1G123DCTRE4	SSOP	DCT	8	3000	177.8	12.4	3.45	4.4	1.45	4.0	12.0	Q3
74LVC1G123DCTRG4	SSOP	DCT	8	3000	177.8	12.4	3.45	4.4	1.45	4.0	12.0	Q3
74LVC1G123DCTTE4	SSOP	DCT	8	250	177.8	12.4	3.45	4.4	1.45	4.0	12.0	Q3
74LVC1G123DCTTG4	SSOP	DCT	8	250	177.8	12.4	3.45	4.4	1.45	4.0	12.0	Q3
74LVC1G123DCURG4	VSSOP	DCU	8	3000	180.0	8.4	2.25	3.35	1.05	4.0	8.0	Q3
74LVC1G123DCUTG4	VSSOP	DCU	8	250	180.0	8.4	2.25	3.35	1.05	4.0	8.0	Q3
SN74LVC1G123DCTR	SSOP	DCT	8	3000	180.0	12.4	3.15	4.35	1.55	4.0	12.0	Q3
SN74LVC1G123DCTR	SSOP	DCT	8	3000	177.8	12.4	3.45	4.4	1.45	4.0	12.0	Q3
SN74LVC1G123DCTT	SSOP	DCT	8	250	177.8	12.4	3.45	4.4	1.45	4.0	12.0	Q3
SN74LVC1G123DCTT	SSOP	DCT	8	250	180.0	12.4	3.15	4.35	1.55	4.0	12.0	Q3
SN74LVC1G123DCUR	VSSOP	DCU	8	3000	178.0	9.5	2.25	3.35	1.05	4.0	8.0	Q3
SN74LVC1G123DCUR	VSSOP	DCU	8	3000	178.0	9.0	2.25	3.35	1.05	4.0	8.0	Q3
SN74LVC1G123DCUR	VSSOP	DCU	8	3000	180.0	8.4	2.25	3.35	1.05	4.0	8.0	Q3
SN74LVC1G123DCUT	VSSOP	DCU	8	250	178.0	9.5	2.25	3.35	1.05	4.0	8.0	Q3
SN74LVC1G123DCUT	VSSOP	DCU	8	250	178.0	9.0	2.25	3.35	1.05	4.0	8.0	Q3
SN74LVC1G123YZPR	DSBGA	YZP	8	3000	178.0	9.2	1.02	2.02	0.63	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

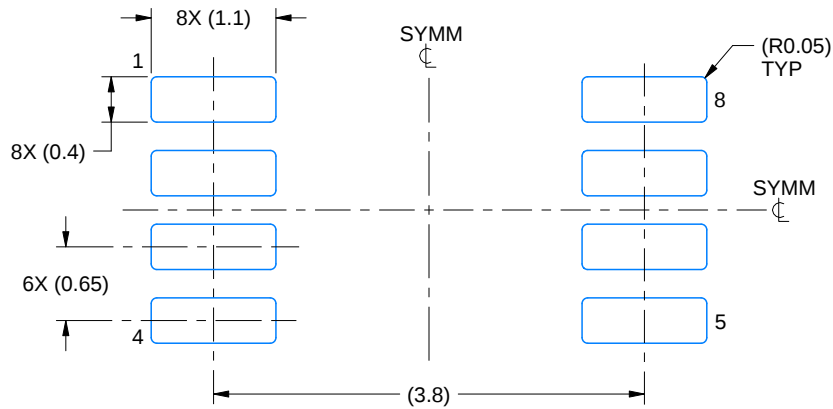
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
74LVC1G123DCTRE4	SSOP	DCT	8	3000	183.0	183.0	20.0
74LVC1G123DCTRG4	SSOP	DCT	8	3000	183.0	183.0	20.0
74LVC1G123DCTTE4	SSOP	DCT	8	250	183.0	183.0	20.0
74LVC1G123DCTTG4	SSOP	DCT	8	250	183.0	183.0	20.0
74LVC1G123DCURG4	VSSOP	DCU	8	3000	202.0	201.0	28.0
74LVC1G123DCUTG4	VSSOP	DCU	8	250	202.0	201.0	28.0
SN74LVC1G123DCTR	SSOP	DCT	8	3000	190.0	190.0	30.0
SN74LVC1G123DCTR	SSOP	DCT	8	3000	183.0	183.0	20.0
SN74LVC1G123DCTT	SSOP	DCT	8	250	183.0	183.0	20.0
SN74LVC1G123DCTT	SSOP	DCT	8	250	190.0	190.0	30.0
SN74LVC1G123DCUR	VSSOP	DCU	8	3000	202.0	201.0	28.0
SN74LVC1G123DCUR	VSSOP	DCU	8	3000	180.0	180.0	18.0
SN74LVC1G123DCUR	VSSOP	DCU	8	3000	202.0	201.0	28.0
SN74LVC1G123DCUT	VSSOP	DCU	8	250	202.0	201.0	28.0
SN74LVC1G123DCUT	VSSOP	DCU	8	250	180.0	180.0	18.0
SN74LVC1G123YZPR	DSBGA	YZP	8	3000	220.0	220.0	35.0

EXAMPLE BOARD LAYOUT

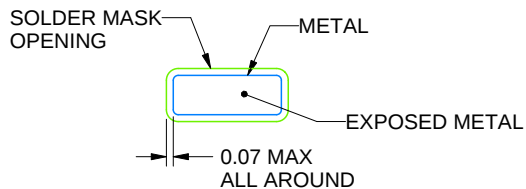
DCT0008A

SSOP - 1.3 mm max height

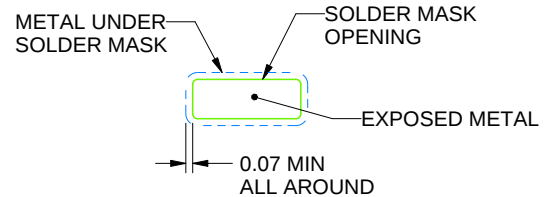
SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



NON SOLDER MASK
DEFINED



SOLDER MASK
DEFINED

SOLDER MASK DETAILS

4220784/D 10/2025

NOTES: (continued)

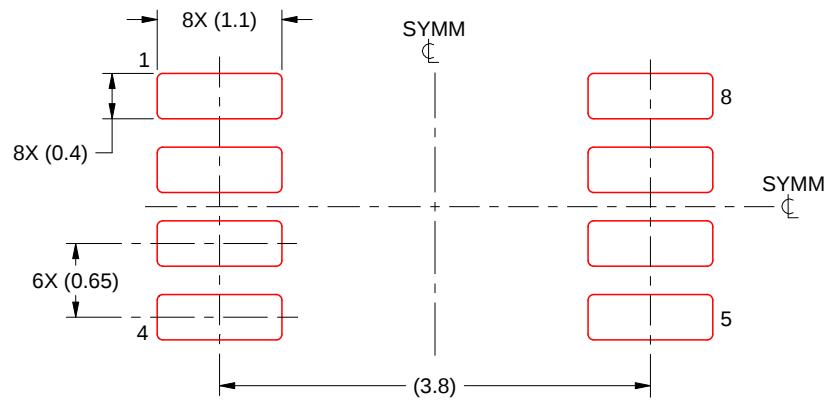
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DCT0008A

SSOP - 1.3 mm max height

SMALL OUTLINE PACKAGE

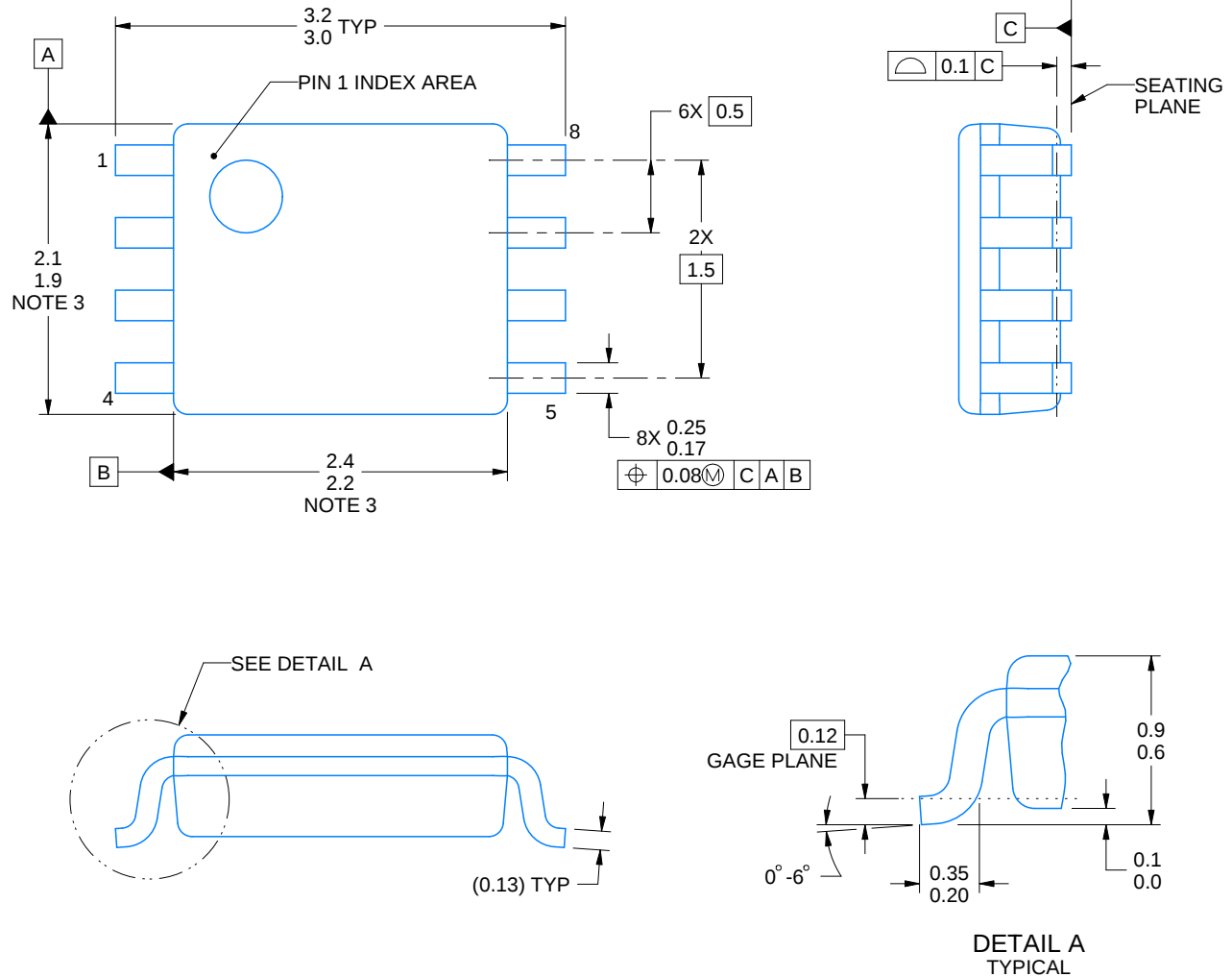


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4220784/D 10/2025

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.



4225266/A 09/2014

NOTES:

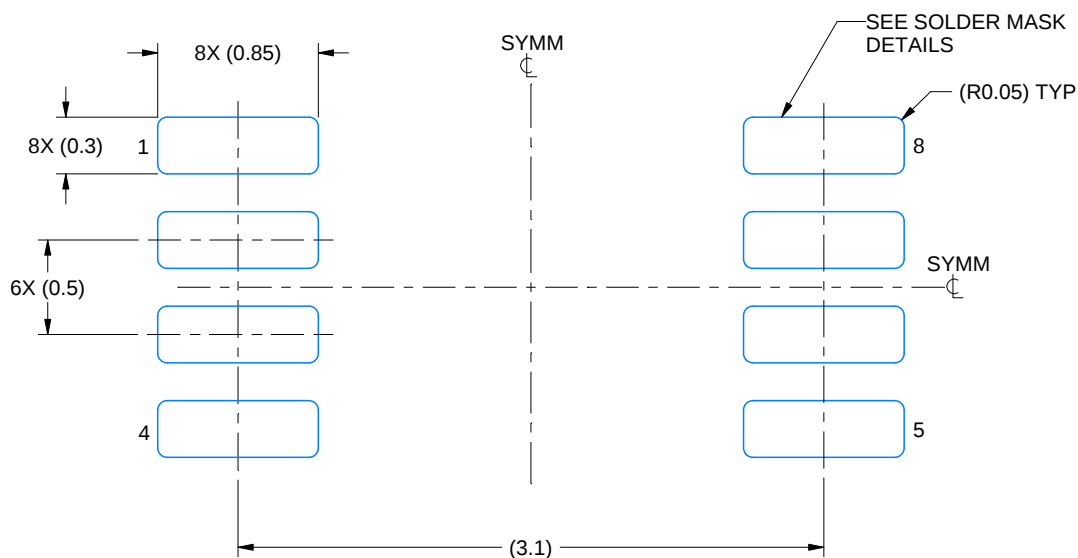
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-187 variation CA.

EXAMPLE BOARD LAYOUT

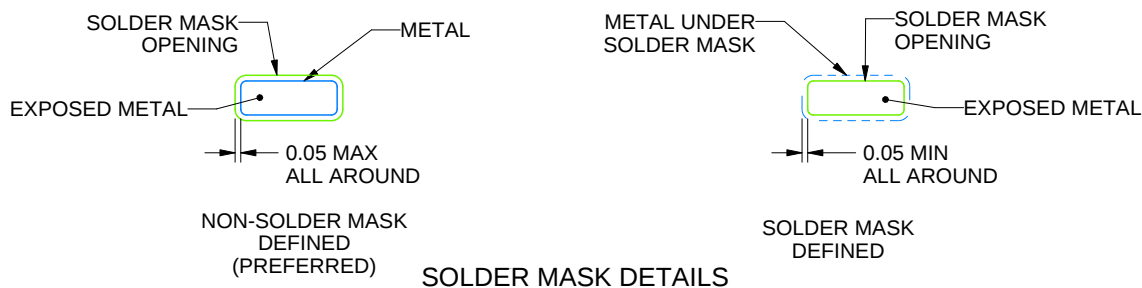
DCU0008A

VSSOP - 0.9 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 25X



4225266/A 09/2014

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.

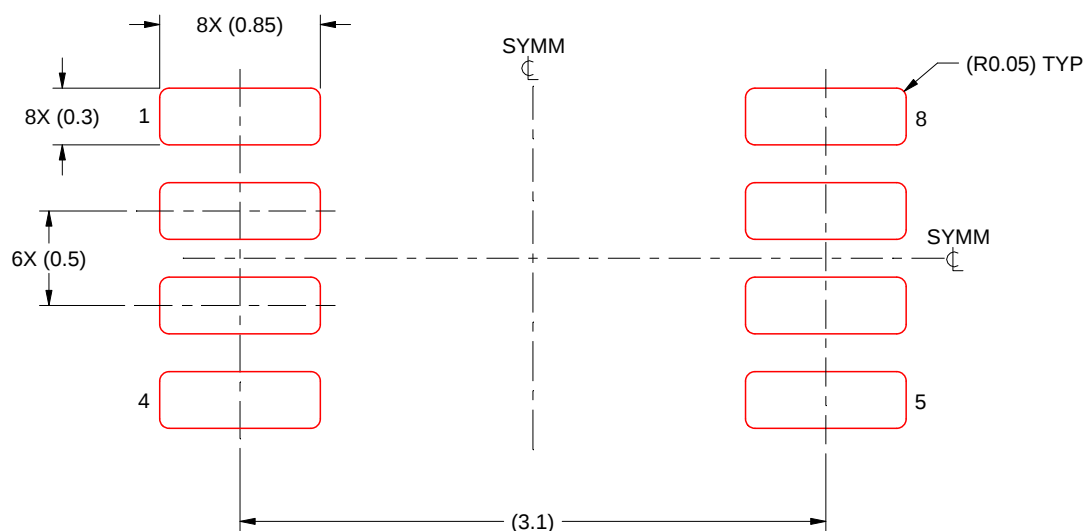
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DCU0008A

VSSOP - 0.9 mm max height

SMALL OUTLINE PACKAGE



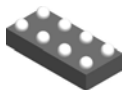
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 25X

4225266/A 09/2014

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

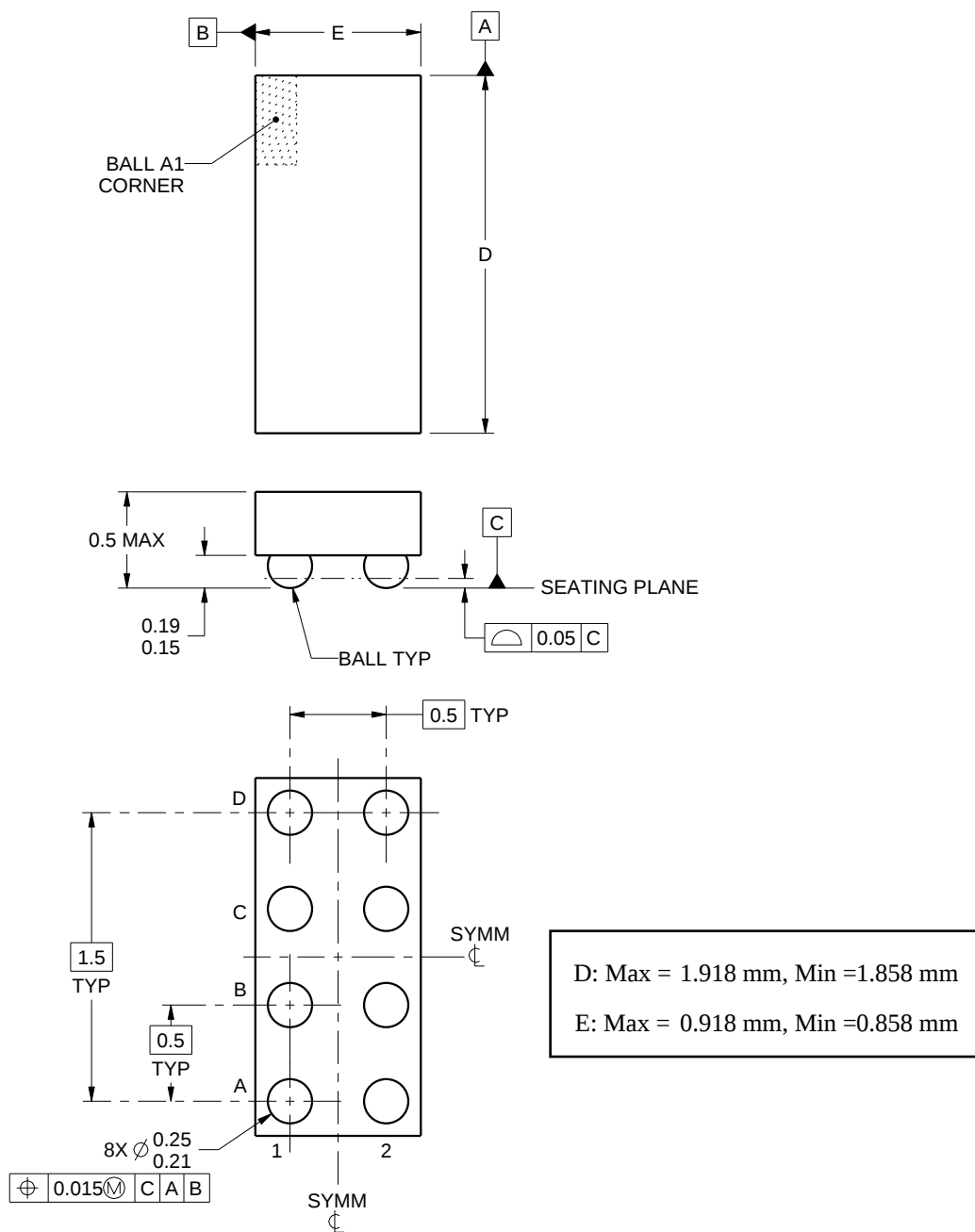
YZP0008



PACKAGE OUTLINE

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



4223082/A 07/2016

NOTES:

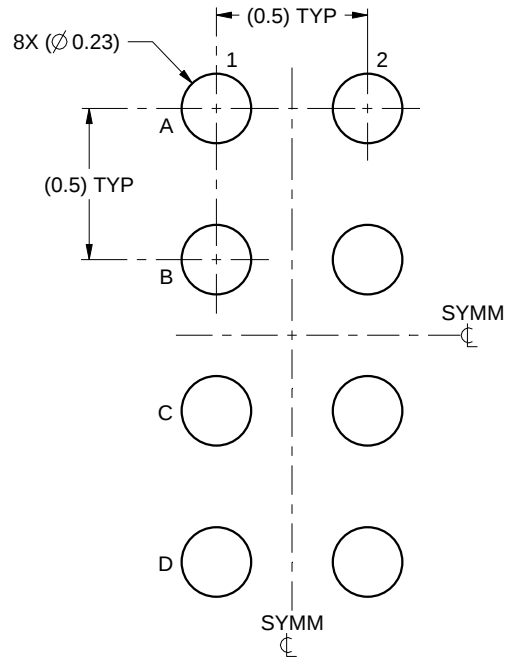
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

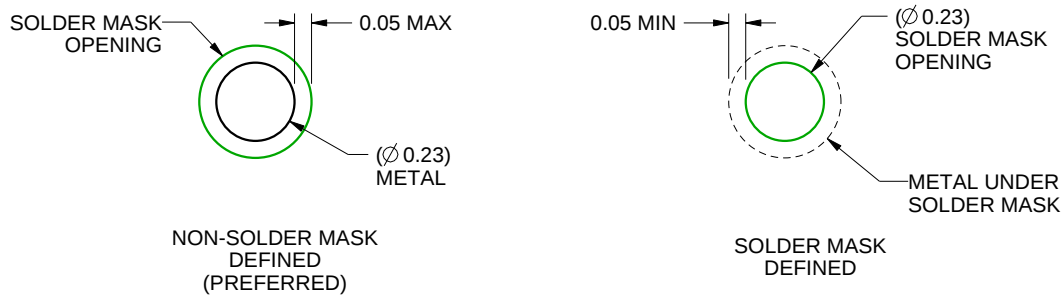
YZP0008

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
SCALE:40X



SOLDER MASK DETAILS
NOT TO SCALE

4223082/A 07/2016

NOTES: (continued)

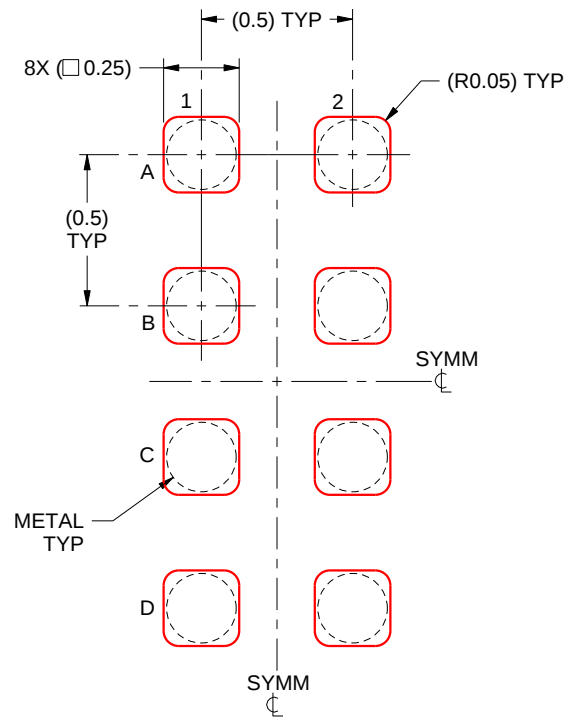
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN

YZP0008

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:40X

4223082/A 07/2016

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月