

SN74LV8T244-Q1 具有三态输出和逻辑电平转换器的汽车级八通道缓冲器和驱动器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
 - 器件温度等级 1：-40°C 至 +125°C
 - 器件 HBM ESD 分类等级 2
 - 器件 CDM ESD 分类等级 C4B
- 采用具有可湿性侧面的 QFN 封装
- 1.65V 至 5.5V 的宽工作电压范围
- 5.5V 容限输入引脚
- 单电源电压转换器（参阅 *LVxT 增强输入电压*）：
 - 升压转换：
 - 1.2V 至 1.8V
 - 1.5V 至 2.5V
 - 1.8V 至 3.3V
 - 3.3V 至 5.0V
 - 降压转换：
 - 5.0V、3.3V、2.5V 至 1.8V
 - 5.0V、3.3V 至 2.5V
 - 5.0V 至 3.3V
- 速率高达 150Mbps，具有 5V 或 3.3V V_{CC}
- 支持标准功能引脚排列
- 闩锁性能超过 250mA，符合 JESD 17 规范

2 应用

- 数字标牌
- 控制指示灯 LED
- 增加微控制器上的输出数

3 说明

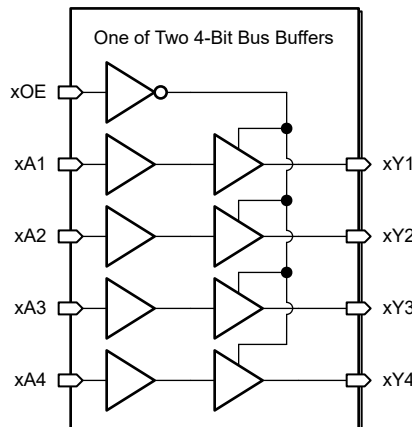
SN74LV8T244-Q1 是一款具有三态输出和施密特触发输入的八通道缓冲器。该器件配置为两组，每组四个驱动器，每组都通过一个输出使能引脚进行控制。

该输入经设计，具有较低阈值电路，支持电源电压大于输入电压时的升压转换。此外，当输入电压大于电源电压时，5V 容限输入引脚可实现降压转换。输出电平始终以电源电压 (V_{CC}) 为基准，并支持 1.8V、2.5V、3.3V 和 5V CMOS 电平。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾	封装尺寸 (标称值) ⁽³⁾
SN74LV8T244-Q1	PW (TSSOP , 20)	6.5mm × 6.4mm	6.5mm × 4.4mm
	RKS (VQFN , 20)	4.5mm × 2.5mm	4.5mm × 2.5mm
	DGS (VSSOP , 20)	5.1mm × 4.9mm	5.1mm × 3mm

- (1) 有关更多信息，请参阅节 11。
(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。
(3) 封装尺寸 (长 × 宽) 为标称值，不包括引脚。



简化逻辑图 (正逻辑)



内容

1 特性	1	7.3 特性说明	10
2 应用	1	7.4 器件功能模式	14
3 说明	1	8 应用和实施	15
4 引脚配置和功能	3	8.1 应用信息	15
5 规格	4	8.2 典型应用	15
5.1 绝对最大额定值.....	4	8.3 电源相关建议	16
5.2 ESD 等级.....	4	8.4 布局	16
5.3 建议运行条件.....	4	9 器件和文档支持	18
5.4 热性能信息.....	5	9.1 文档支持	18
5.5 电气特性.....	5	9.2 接收文档更新通知	18
5.6 开关特性.....	5	9.3 支持资源	18
5.7 典型特性.....	7	9.4 商标	18
6 参数测量信息	9	9.5 静电放电警告	18
7 详细说明	10	9.6 术语表	18
7.1 概述.....	10	10 修订历史记录	18
7.2 功能方框图.....	10	11 机械、封装和可订购信息	18

4 引脚配置和功能

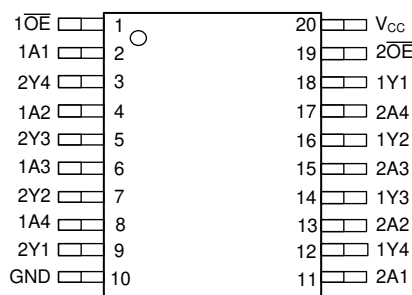


图 4-1. PW 和 DYY 封装，16 引脚 TSSOP 和 SOT-23
(顶视图)

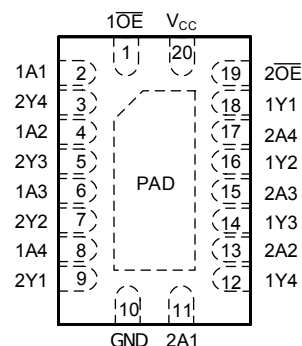


图 4-2. RKS 封装，20 引脚 VQFN (透明顶视图)

表 4-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
1OE	1	I	组 1，输出使能，低电平有效
1A1	2	I	组 1，通道 1 输入
2Y4	3	O	组 2，通道 4 输出
1A2	4	I	组 1，通道 2 输入
2Y3	5	O	组 2，通道 3 输出
1A3	6	I	组 1，通道 3 输入
2Y2	7	O	组 2，通道 2 输出
1A4	8	I	组 1，通道 4 输入
2Y1	9	O	组 2，通道 1 输出
GND	10	G	接地
2A1	11	I	组 2，通道 1 输入
1Y4	12	O	组 1，通道 4 输出
2A2	13	I	组 2，通道 2 输入
1Y3	14	O	组 1，通道 3 输出
2A3	15	I	组 2，通道 3 输入
1Y2	16	O	组 1，通道 2 输出
2A4	17	I	组 2，通道 4 输入
1Y1	18	O	组 1，通道 1 输出
2OE	19	I	组 2，输出使能，低电平有效
V _{CC}	20	P	正电源
散热焊盘 ⁽²⁾		—	散热焊盘可连接到 GND 或悬空。请勿连接到任何其他信号或电源。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 地，P = 电源

(2) 仅限 WRKS 封装

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

			最小值	最大值	单位
V_{CC}	电源电压范围		-0.5	7	V
V_I	输入电压范围 ⁽²⁾		-0.5	7	V
V_O	在高阻抗或断电状态对任一输出施加的电压范围 ⁽²⁾		-0.5	7	V
V_O	输出电压范围 ⁽²⁾		-0.5	$V_{CC} + 0.5$	V
I_{IK}	输入钳位电流	$V_I < -0.5V$		-20	mA
I_{OK}	输出钳位电流	$V_O < -0.5V$ 或 $V_O > V_{CC} + 0.5V$		±20	mA
I_O	持续输出电流	$V_O = 0$ 至 V_{CC}		±25	mA
	通过 V_{CC} 或 GND 的持续输出电流			±75	mA
T_{stg}	贮存温度		-65	150	°C

(1) 在绝对最大额定值范围外运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果在建议运行条件之外但在绝对最大额定值范围内短暂运行,器件可能不会受到损坏,但可能无法完全正常工作。以这种方式运行器件可能会影响器件的可靠性、功能和性能,并缩短器件寿命。

(2) 如果遵守输入和输出电流额定值,输入和输出电压可超过额定值。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 HBM ESD 分类等级 2 ⁽¹⁾	±2000	V
		充电器件模型 (CDM), 符合 AEC Q100-011 CDM ESD 分类等级 C4B	±1000	

(1) AEC Q100-002 指示 HBM 应力测试应当符合 ANSI/ESDA/JEDEC JS-001 规范。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

规格	说明	条件	最小值	最大值	单位
V _{CC}	电源电压		1.65	5.5	V
V _I	输入电压		0	5.5	V
V _O	输出电压		0	V _{CC}	V
V _{IH}	高电平输入电压	V _{CC} = 1.65V 至 2V	1.1	V	
		V _{CC} = 2.25V 至 2.75V	1.28		
		V _{CC} = 3V 至 3.6V	1.45		
		V _{CC} = 4.5V 至 5.5V	2		
V _{IL}	低电平输入电压	V _{CC} = 1.65V 至 2V	0.51	V	
		V _{CC} = 2.25V 至 2.75V	0.65		
		V _{CC} = 3V 至 3.6V	0.75		
		V _{CC} = 4.5V 至 5.5V	0.8		
I _O	输出电流	V _{CC} = 1.6V 至 2V	±8	mA	
		V _{CC} = 2.25V 至 2.75V	±15		
		V _{CC} = 3.3V 至 5.0V	±25		
Δ t / Δ v	输入转换上升或下降速率	V _{CC} = 1.6V 至 5.0V	20	ns/V	
T _A	自然通风条件下的工作温度范围		-40	125	°C

5.4 热性能信息

封装	引脚	热指标 ⁽¹⁾						单位
		$R_{\theta JA}$	$R_{\theta JC(top)}$	$R_{\theta JB}$	Ψ_{JT}	Ψ_{JB}	$R_{\theta JC(bot)}$	
PW (TSSOP)	20	117.2	58.6	79.1	12.6	78.3	不适用	°C/W
DGS (VSSOP)	20	131.6	69.5	86.7	10.9	85.9	不适用	°C/W
RKS (VQFN)	20	90.4	92.2	63.4	29	63.5	41.3	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用手册。

5.5 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件	V_{CC}	$T_A = 25^{\circ}\text{C}$			-40°C 至 125°C			单位
			最小值	典型值	最大值	最小值	典型值	最大值	
V_{OH}	$I_{OH} = -50\mu\text{A}$	1.65V 至 5.5V	$V_{CC}-0.1$			$V_{CC}-0.1$			V
	$I_{OH} = -2\text{mA}$	1.65V 至 2V	1.28	1.7 ⁽¹⁾		1.21			
	$I_{OH} = -3\text{mA}$	2.25V 至 2.75V	2	2.4 ⁽¹⁾		1.93			
	$I_{OH} = -5.5\text{mA}$	3V 至 3.6V	2.6	3.08 ⁽¹⁾		2.49			
	$I_{OH} = -8\text{mA}$	4.5V 至 5.5V	4.1	4.65 ⁽¹⁾		3.95			
V_{OL}	$I_{OL} = 50\mu\text{A}$	1.65V 至 5.5V			0.1			0.1	V
	$I_{OL} = 2\text{mA}$	1.65V 至 2V		0.1 ⁽¹⁾	0.2			0.25	
	$I_{OL} = 3\text{mA}$	2.25V 至 2.75V		0.15 ⁽¹⁾	0.17			0.2	
	$I_{OL} = 5.5\text{mA}$	3V 至 3.6V		0.2 ⁽¹⁾	0.23			0.25	
	$I_{OL} = 8\text{mA}$	4.5V 至 5.5V		0.3 ⁽¹⁾	0.3			0.35	
I_I	$V_I = 0\text{V}$ 或 V_{CC}	0V 至 5.5V			± 0.1			± 1	μA
I_{CC}	$V_I = 0\text{V}$ 或 V_{CC} , $I_O = 0$; 负载开路	1.65V 至 5.5V			2			20	μA
ΔI_{CC}	一个输入为 0.3V 或 3.4V, 其他输入为 0V 或 V_{CC} , $I_O = 0$	5.5V			1.35			1.5	mA
	一个输入为 0.3V 或 1.1V, 其他输入为 0V 或 V_{CC} , $I_O = 0$	1.8V			10			20	μA
I_{OZ}	$V_O = V_{CC}$ 或 GND 且 $V_{CC} = 5.5\text{V}$	5.5V			± 0.25			± 2.5	μA
C_I	$V_I = V_{CC}$ 或 GND	5V		4	10			10	pF
C_O	$V_O = V_{CC}$ 或 GND	5V		5					pF
C_{PD}	空载, $F = 1\text{MHz}$	5V		17					pF

(1) 最接近标称电压 (1.8V、2.5V、3.3V 和 5V) 时的典型值

5.6 开关特性

在自然通风条件下的工作温度范围内； $T_A = 25^{\circ}\text{C}$ 时测得的典型值（除非另有说明）。请参阅[参数测量信息](#)。

参数	从 (输入)	至 (输出)	负载电容	V_{CC}	$T_A = 25^{\circ}\text{C}$			-40°C 至 125°C			单位
					最小值	典型值	最大值	最小值	典型值	最大值	
t_{PLH}	A	Y	$C_L = 15\text{pF}$	1.8V	5.3		12.4	4.8		13.5	ns
t_{PHL}					6.6		15.9	5.8		17.4	ns
t_{PZH}	OE	Y	$C_L = 15\text{pF}$	1.8V	8.3		18.4	7.2		20.6	ns
t_{PZL}					7.2		17.1	6.4		18.7	ns

5.6 开关特性 (续)

在自然通风条件下的工作温度范围内； $T_A = 25^\circ\text{C}$ 时测得的典型值（除非另有说明）。请参阅参数测量信息。

参数	从 (输入)	至 (输出)	负载电容	V_{CC}	$T_A = 25^\circ\text{C}$			-40°C 至 125°C			单位
					最小值	典型值	最大值	最小值	典型值	最大值	
t_{PHZ}	$\overline{OE}$	Y	$C_L = 15\text{pF}$	1.8V	7.1		13.6	6.3		15.4	ns
t_{PLZ}					6.9		11.9	6.3		13.2	ns
t_{PLH}	A	Y	$C_L = 50\text{pF}$	1.8V	7.3		16.7	6.5		18.3	ns
t_{PHL}					8.3		19.6	7.5		21.8	ns
t_{PZH}	$\overline{OE}$	Y	$C_L = 50\text{pF}$	1.8V	10.6		23	9.5		25.7	ns
t_{PZL}					9.2		21.2	8.3		23.4	ns
t_{PHZ}	$\overline{OE}$	Y	$C_L = 50\text{pF}$	1.8V	12.9		20.8	12.1		22.8	ns
t_{PLZ}					12.6		19.3	12.1		20.6	ns
$t_{sk(o)}$			$C_L = 50\text{pF}$	1.8V			0.5			0.5	ns
t_{PLH}	A	Y	$C_L = 15\text{pF}$	2.5V	3.9		7.7	3.4		8.8	ns
t_{PHL}					4.8		9.8	4.3		11.3	ns
t_{PZH}	$\overline{OE}$	Y	$C_L = 15\text{pF}$	2.5V	6.1		11.6	5.3		13.2	ns
t_{PZL}					5.2		10.6	4.6		12.1	ns
t_{PHZ}	$\overline{OE}$	Y	$C_L = 15\text{pF}$	2.5V	5		8.6	4.4		9.9	ns
t_{PLZ}					5.1		8	4.7		9	ns
t_{PLH}	A	Y	$C_L = 50\text{pF}$	2.5V	5.3		10.6	4.7		12	ns
t_{PHL}					6.2		12.5	5.6		14.3	ns
t_{PZH}	$\overline{OE}$	Y	$C_L = 50\text{pF}$	2.5V	8		14.9	7.1		16.9	ns
t_{PZL}					6.9		13.5	6.2		15.4	ns
t_{PHZ}	$\overline{OE}$	Y	$C_L = 50\text{pF}$	2.5V	8.8		13.5	8.1		15	ns
t_{PLZ}					9		12.9	8.6		14	ns
$t_{sk(o)}$			$C_L = 50\text{pF}$	2.5V			0.3			0.4	ns
t_{PLH}	A	Y	$C_L = 15\text{pF}$	3.3V	3.4		6.4	3		7.3	ns
t_{PHL}					4.3		8.1	3.7		9.4	ns
t_{PZH}	$\overline{OE}$	Y	$C_L = 15\text{pF}$	3.3V	5.4		9.5	4.6		11	ns
t_{PZL}					4.5		8.7	4		9.9	ns
t_{PHZ}	$\overline{OE}$	Y	$C_L = 15\text{pF}$	3.3V	3.9		6.9	3.3		8.1	ns
t_{PLZ}					4.4		6.8	4.1		7.6	ns
t_{PLH}	A	Y	$C_L = 50\text{pF}$	3.3V	4.6		8.8	4		10.1	ns
t_{PHL}					5.5		10.4	4.9		11.9	ns
t_{PZH}	$\overline{OE}$	Y	$C_L = 50\text{pF}$	3.3V	7.1		12.4	6.3		14.1	ns
t_{PZL}					6.1		11.3	5.6		12.9	ns
t_{PHZ}	$\overline{OE}$	Y	$C_L = 50\text{pF}$	3.3V	7		10.7	6.5		12	ns
t_{PLZ}					7.7		10.8	7.3		11.6	ns
$t_{sk(o)}$			$C_L = 50\text{pF}$	3.3V			0.3			0.4	ns
t_{PLH}	A	Y	$C_L = 15\text{pF}$	5V	3.1		5.4	2.9		6.1	ns
t_{PHL}					3.1		5.5	2.7		6.4	ns
t_{PZH}	$\overline{OE}$	Y	$C_L = 15\text{pF}$	5V	4		6.7	3.5		7.8	ns
t_{PZL}					3.3		5.9	2.9		6.9	ns
t_{PHZ}	$\overline{OE}$	Y	$C_L = 15\text{pF}$	5V	3.1		5.1	2.8		6	ns
t_{PLZ}					4.3		6	4.1		6.6	ns

5.6 开关特性 (续)

在自然通风条件下的工作温度范围内； $T_A = 25^\circ\text{C}$ 时测得的典型值（除非另有说明）。请参阅参数测量信息。

参数	从 (输入)	至 (输出)	负载电容	V_{CC}	$T_A = 25^\circ\text{C}$			-40°C 至 125°C			单位
					最小值	典型值	最大值	最小值	典型值	最大值	
t_{PLH}	A	Y	$C_L = 50\text{pF}$	5V	4.1		7.2	3.7		8.1	ns
t_{PHL}					4.2		7.2	3.7		8.4	ns
t_{PZH}	$\overline{OE}$	Y	$C_L = 50\text{pF}$	5V	5.4		9	4.7		10.3	ns
t_{PZL}					4.6		8	4.1		9.2	ns
t_{PHZ}	$\overline{OE}$	Y	$C_L = 50\text{pF}$	5V	4.9		7.3	4.6		8.3	ns
t_{PLZ}					6.2		8.5	6		9.1	ns
$t_{sk(o)}$			$C_L = 50\text{pF}$	5V			0.4			0.4	ns

5.7 典型特性

$T_A = 25^\circ\text{C}$ (除非另外注明)

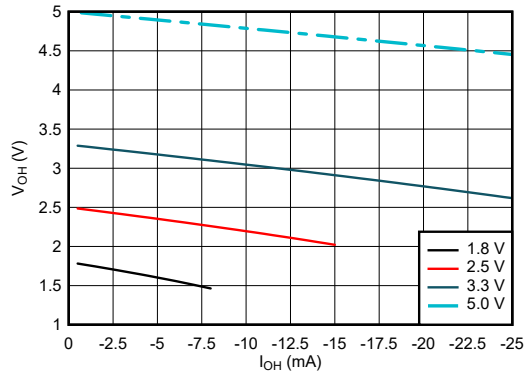


图 5-1. 高电平状态下输出电压与电流间的关系

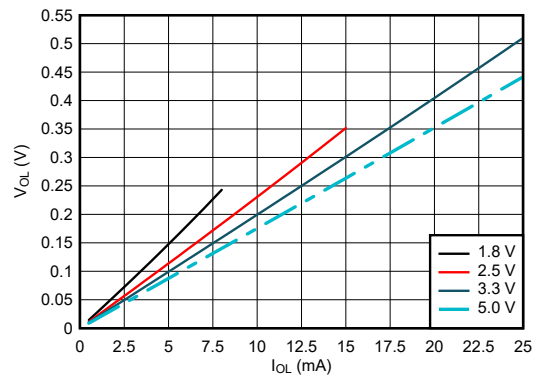


图 5-2. 低电平状态下输出电压与电流间的关系

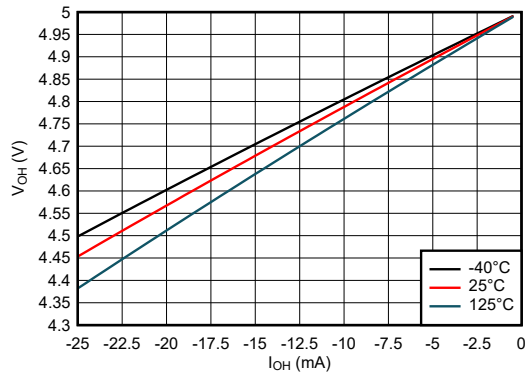


图 5-3. 高电平状态下输出电压与电流间的关系 (5V 电源)

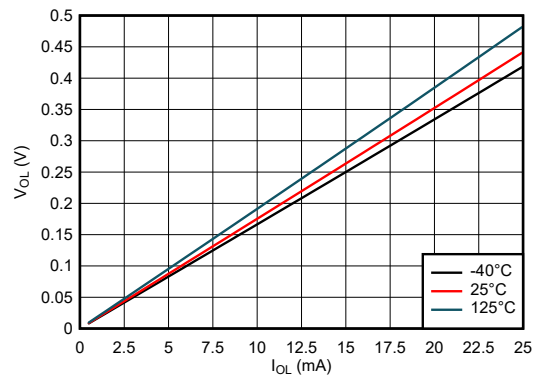


图 5-4. 低电平状态下输出电压与电流间的关系 (5V 电源)

5.7 典型特性 (续)

$T_A = 25^\circ\text{C}$ (除非另外注明)

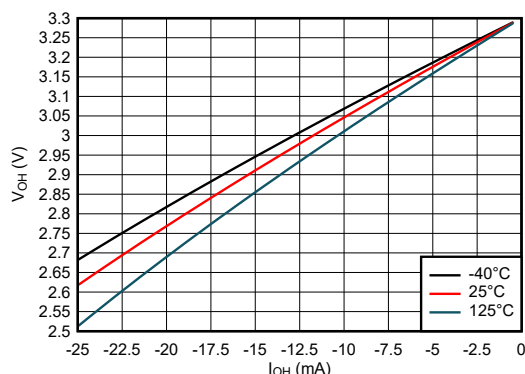


图 5-5. 高电平状态下输出电压与电流间的关系 (3.3V 电源)

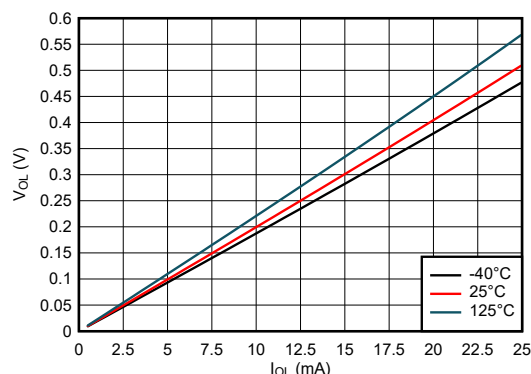


图 5-6. 低电平状态下输出电压与电流间的关系 (3.3V 电源)

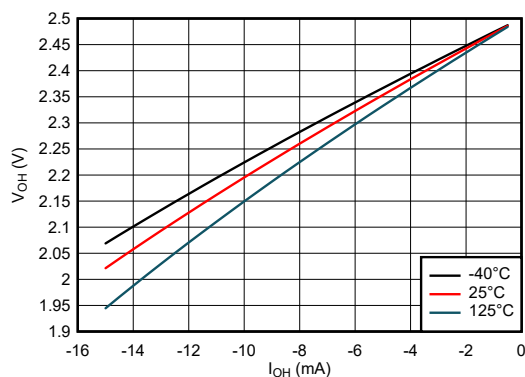


图 5-7. 高电平状态下输出电压与电流间的关系 (2.5V 电源)

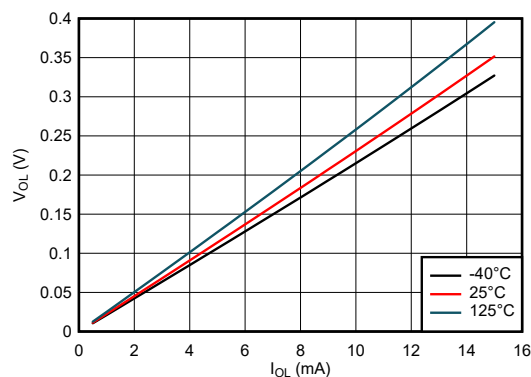


图 5-8. 低电平状态下输出电压与电流间的关系 (2.5V 电源)

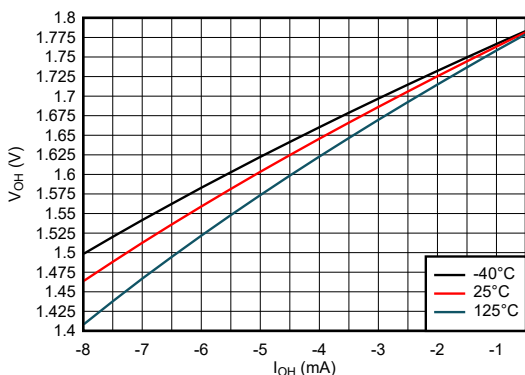


图 5-9. 高电平状态下输出电压与电流间的关系 (1.8V 电源)

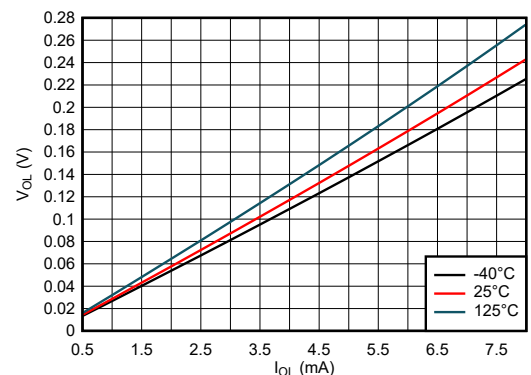


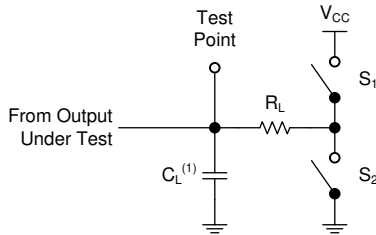
图 5-10. 低电平状态下输出电压与电流间的关系 (1.8V 电源)

6 参数测量信息

对于下表中列出的示例，波形之间的相位关系是任意选择的。所有输入脉冲均由具有以下特性的发生器提供：
 $PRR \leq 1\text{MHz}$ ， $Z_O = 50\Omega$ ， $t_f < 2.5\text{ns}$ 。

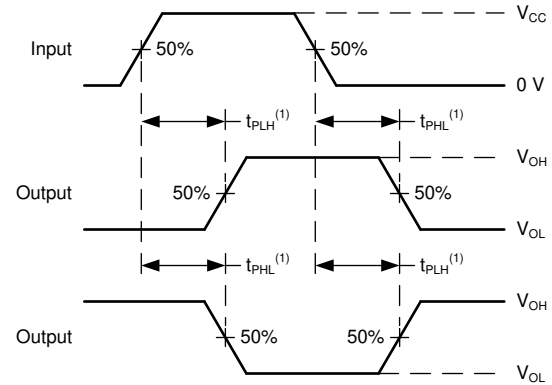
输出单独测量，每次测量一个输入转换。

测试	S1	S2	R_L	C_L	ΔV	V_{CC}
t_{PLH} 、 t_{PHL}	断开	断开	—	15pF、50pF	—	全部
t_{PLZ} 、 t_{PZL}	闭合	断开	1k Ω	15pF、50pF	0.15V	$\leq 2.5\text{V}$
t_{PHZ} 、 t_{PZH}	断开	闭合	1k Ω	15pF、50pF	0.15V	$\leq 2.5\text{V}$
t_{PLZ} 、 t_{PZL}	闭合	断开	1k Ω	15pF、50pF	0.3V	$> 2.5\text{V}$
t_{PHZ} 、 t_{PZH}	断开	闭合	1k Ω	15pF、50pF	0.3V	$> 2.5\text{V}$



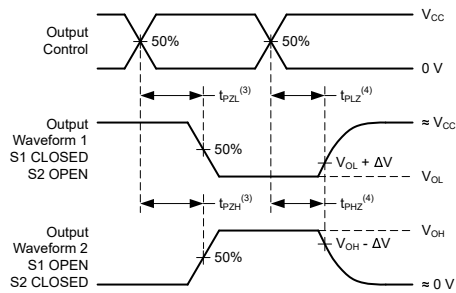
(1) C_L 包括探头和测试夹具电容。

图 6-1. 三态输出的负载电路



(1) t_{PLH} 和 t_{PHL} 之间的较大者与 t_{pd} 相同。

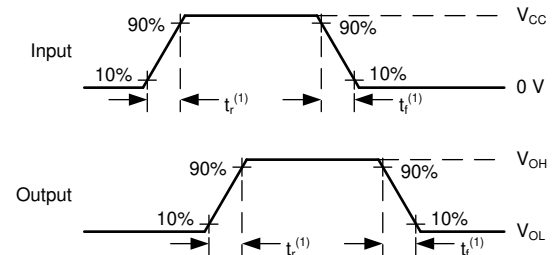
图 6-2. 电压波形传播延迟



(3) t_{PZL} 和 t_{PZH} 之间的较大者与 t_{en} 相同。

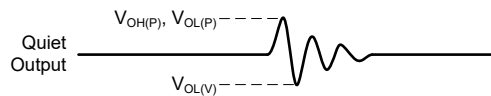
(4) t_{PLZ} 和 t_{PHZ} 之间的较大者与 t_{dis} 相同。

图 6-3. 电压波形传播延迟



(1) t_r 和 t_f 之间的较大值与 t_t 相同。

图 6-4. 电压波形，输入和输出转换时间



在所有其他输出同时切换时测得的噪声值。

图 6-5. 电压波形和噪声

7 详细说明

7.1 概述

SN74LV8T244-Q1 包含 8 个独立的高速 CMOS 缓冲器，配置为两个具有三态输出的 4 位缓冲器/线路驱动器。

每个缓冲器均可执行布尔逻辑函数 $xY_n = xA_n$ ，其中 x 为存储体编号， n 为通道编号。

每个输出使能 ($\overline{xOE}$) 控制四个缓冲器。当 $\overline{xOE}$ 引脚处于低电平状态时，存储体 x 中所有缓冲器的输出将被启用。当 $\overline{xOE}$ 引脚处于高电平状态时，存储体 x 中所有缓冲器的输出将被禁用。所有被禁用的输出将置于高阻抗状态。

为了在上电或断电期间将器件置于高阻抗状态，需将两个 $\overline{OE}$ 引脚通过一个上拉电阻连接至 V_{CC} ；电阻的最小值由驱动器的灌电流能力和电气特性表中定义的引脚漏电流决定。

7.2 功能方框图

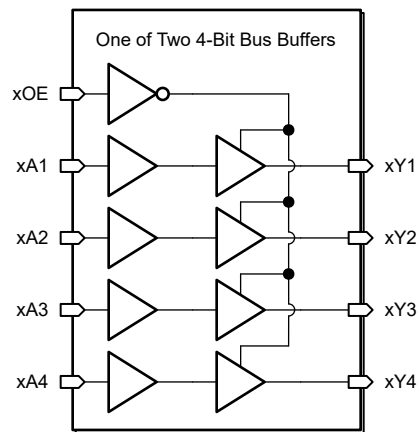


图 7-1. 逻辑图 (正逻辑)

7.3 特性说明

7.3.1 平衡 CMOS 三态输出

此器件包含平衡 CMOS 三态输出。这些输出可以处于三种状态：高驱动、低驱动和高阻抗。术语 *平衡* 表示器件可以灌入和拉出相似的电流。此器件的驱动能力可能在轻负载时产生快速边缘，因此应考虑布线和负载条件以防止振铃。此外，该器件的输出能够驱动的电流比此器件能够承受、不会损坏的电流更大。务必限制器件的输出功率，以避免因过电流而损坏器件。必须始终遵守 *绝对最大额定值* 中规定的电气和热限值。

当置于高阻态时，输出既不会拉出电流，也不会灌入电流，但 *电气特性* 表中定义的小漏电流除外。在高阻抗状态下，输出电压不受器件控制，而取决于外部因素。如果没有其他驱动器连接到该节点，则这称为悬空节点且电压未知。上拉或下拉电阻可以连接到输出端，以便当输出端处于高阻抗状态时在输出端提供已知电压。电阻值将取决于多种因素，包括寄生电容和功耗限制。通常，可以使用 10k Ω 电阻器来满足这些要求。

未使用的三态 CMOS 输出应保持断开状态。

7.3.2 LVxT 增强输入电压

SN74LV8T244-Q1 属于 TI 的 LVxT 逻辑器件系列，具有集成电压电平转换功能。该系列器件的设计具有更低的输入电压阈值，支持升压转换；其输入可承受高达 5.5V 电平的信号，支持降压转换。为了正常运行，输入信号必须保持或高于指定的 $V_{IH(MIN)}$ 电平才能获得高电平输入状态，保持或低于指定的 $V_{IL(MAX)}$ 电平才能获得低电平输入状态。图 7-2 展示了 LVxT 系列器件的典型 V_{IH} 和 V_{IL} 电平，以及标准 CMOS 器件的电压电平用于比较。

输入为高阻抗，通常建模为与输入电容并联的电阻器，如 *电气特性* 中所示。最坏情况下的电阻是使用 *绝对最大额定值* 中给出的最大输入电压和 *电气特性* 中给出的最大输入漏电流，根据欧姆定律 ($R = V \div I$) 计算得出的。

输入信号必须在有效逻辑状态之间快速转换，如 *建议运行条件* 表中的输入转换速率所定义。不符合此规范将导致功耗过大并可能导致振荡。有关更多详细信息，请参阅 *CMOS 输入缓慢或悬空的影响* 应用报告。

在运行期间，任何时候都不要让输入悬空。未使用的输入必须在有效的高或低电压电平下进行端接。如果系统不会一直主动驱动输入，则可以添加上拉或下拉电阻器，以在这些时间段提供有效的输入电压。电阻值将取决于多种因素；但建议使用 10k Ω 电阻器，这通常可以满足所有要求。

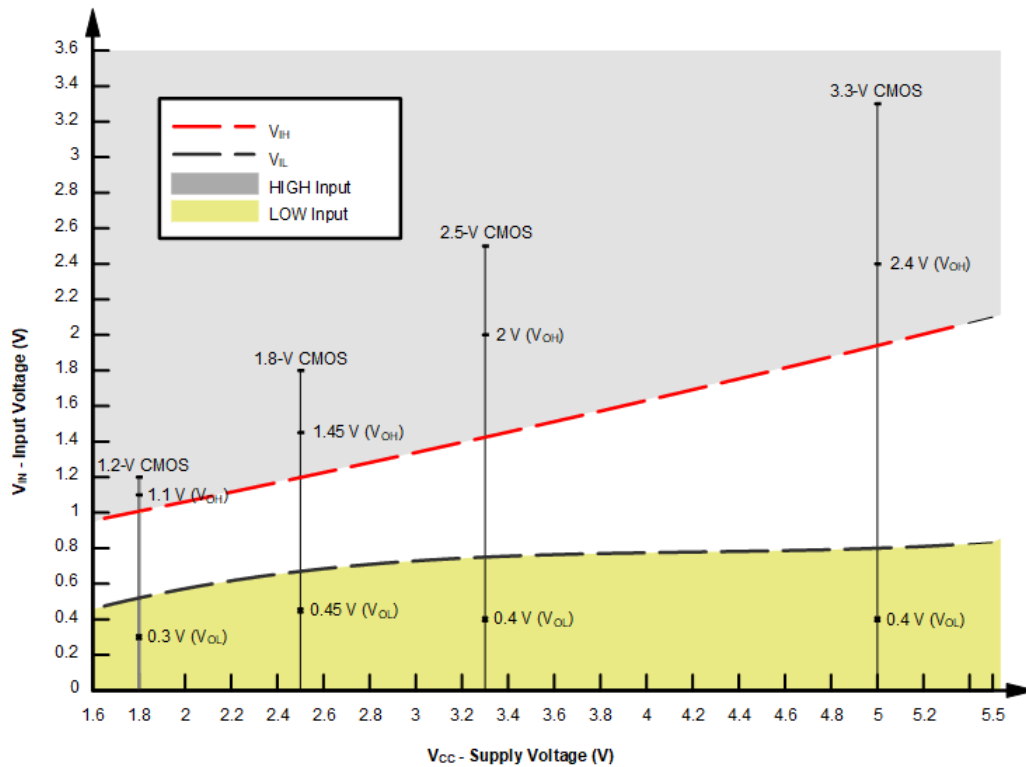


图 7-2. LVxT 输入电压电平

7.3.2.1 上行转换

可以使用 SN74LV8T244-Q1 对输入信号进行升压转换。施加在 V_{CC} 上的电压将决定输出电压和输入阈值，如 *建议的工作条件* 和 *电气特性* 表中所述。当连接到高阻抗输入时，输出电压在高电平状态下约为 V_{CC} ，在低电平状态下约为 0V。

输入具有更低的阈值，使得输入高状态电平远低于标准值。例如，工作电源电压为 5V 的器件的标准 CMOS 输入将具有 3.5V 的 $V_{IH(MIN)}$ 。对于 SN74LV8T244-Q1，电源电压为 5V 时， $V_{IH(MIN)}$ 仅为 2V，可以实现信号从典型 2.5V 至 5V 的升压转换。

如图 7-3 所示，确保处于高电平状态的输入信号高于 $V_{IH(MIN)}$ ，而处于低电平状态的输入信号低于 $V_{IL(MAX)}$ 。

升压转换组合如下：

- 1.8V V_{CC} - 输入为 1.2V
- 2.5V V_{CC} - 输入为 1.8V
- 3.3V V_{CC} - 输入为 1.8V 和 2.5V
- 5.0V V_{CC} - 输入为 2.5V 和 3.3V

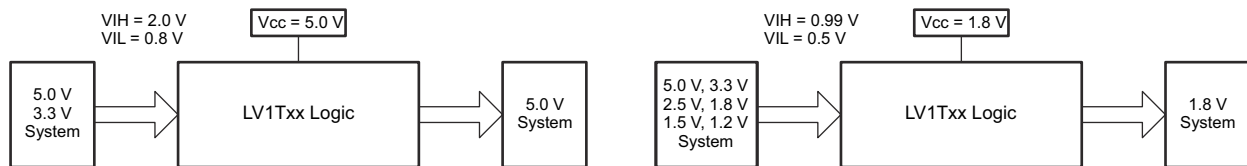


图 7-3. LVxT 升压和降压转换示例

7.3.2.2 下行转换

可以使用 SN74LV8T244-Q1 对信号进行降压转换。施加在 V_{CC} 上的电压将决定输出电压和输入阈值，如 *建议的工作条件* 和 *电气特性* 表中所述。

当连接到高阻抗输入时，输出电压在高电平状态下约为 V_{CC} ，在低电平状态下约为 0V。如图 7-2 所示，确保处于高电平状态的输入信号介于 $V_{IH(MIN)}$ 和 5.5V 之间，而处于低电平状态的输入信号低于 $V_{IL(MAX)}$ 。

例如，在 5.0V、3.3V 或 2.5V 电压下运行的器件的标准 CMOS 输入可进行降压转换，以匹配器件在 1.8V V_{CC} 电压下运行时的 1.8V CMOS 信号。请参阅图 7-3。

降压转换组合如下：

- 1.8V V_{CC} - 输入为 2.5V、3.3V 和 5.0V
- 2.5V V_{CC} - 输入为 3.3V 和 5.0V
- 3.3V V_{CC} - 输入为 5.0V

7.3.3 标准 CMOS 输入

此器件包括标准 CMOS 输入。标准 CMOS 输入为高阻抗，通常建模为与输入电容并联的电阻器，如 *电气特性* 中所示。最坏情况下的电阻是根据 *绝对最大额定值* 中给出的最大输入电压和 *电气特性* 中给出的最大输入漏电流，使用欧姆定律 ($R = V \div I$) 计算得出的。

标准 CMOS 输入要求输入信号在有效逻辑状态之间快速转换，如 *建议运行条件* 表中的输入转换时间或速率所定义。不符合此规范将导致功耗过大并可能导致振荡。更多详细信息，请参阅 *CMOS 输入缓慢或悬空的影响*。

在运行期间，任何时候都不要让标准 CMOS 输入悬空。未使用的输入必须在 V_{CC} 或 GND 端接。如果系统不会一直主动驱动输入，则可以添加上拉或下拉电阻器，以在这些时间段提供有效的输入电压。电阻值将取决于多种因素；但建议使用 10k Ω 电阻器，这通常可以满足所有要求。

7.3.4 可润湿侧翼

该器件采用至少一种具有可润湿侧翼的封装。请参阅数据表首页上的特性部分，了解哪些封装包含此特性。

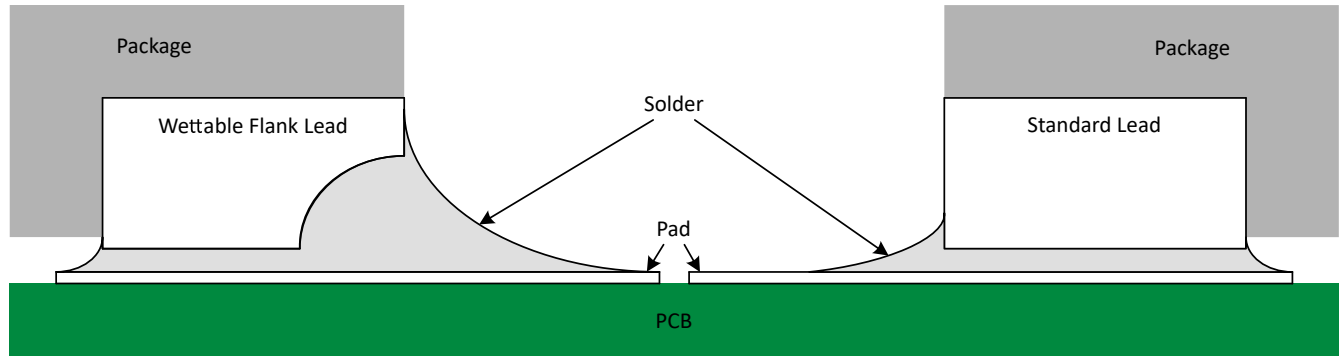


图 7-4. 焊接后具有可润湿侧翼的 QFN 封装和标准 QFN 封装的简化剖面图

可润湿侧翼有助于改善焊接后的侧翼润湿性，从而使 QFN 封装可通过自动光学检测 (AOI) 轻松检测。如图 7-4 所示，可润湿侧翼可做出凹陷或进行阶梯切割，为焊接粘附提供额外的表面积，有助于可靠创建侧面填角。有关其他详细信息，请参阅机械图。

7.3.5 钳位二极管结构

该器件的输出同时具有正负钳位二极管，而该器件的输入只有负钳位二极管，如图 7-5 所示。

小心

电压超出绝对最大额定值表中规定的值可能会损坏器件。如果遵守输入和输出钳制电流额定值，输入和输出电压可超过额定值。

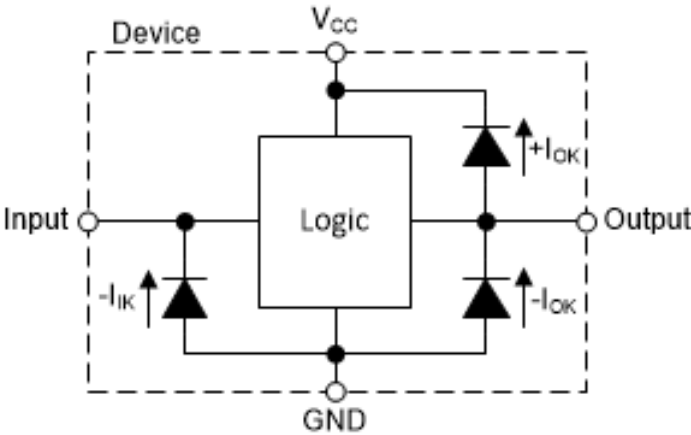


图 7-5. 每个输入和输出的钳位二极管的电气布置

7.4 器件功能模式

表 7-1 列出了 SN74LV8T244-Q1 的功能模式。

表 7-1. 功能表

输入 ⁽¹⁾		输出
OE	A	Y
L	L	L
L	H	H
H	X	Z

(1) H = 高压电平, L = 低压电平, X = 无关, Z = 高阻抗状态

8 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

SN74LV8T244-Q1 是一款高驱动 CMOS 器件，可用于需要考虑输出驱动或 PCB 布线长度的多种总线接口类型应用。这些输入可在任何有效 V_{CC} 下接受高达 5.5V 的电压，使得该器件成为降压转换的理想选择。

8.2 典型应用

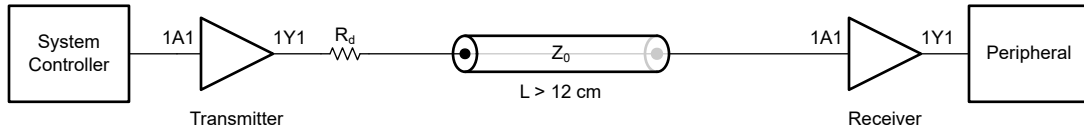


图 8-1. 应用原理图

8.2.1 设计要求

此器件采用 CMOS 技术并具有平衡输出驱动。避免总线争用，因为它可以驱动超过最大限制的电流。高驱动也会在轻负载时产生快速边缘，因此请考虑布线和负载条件以防止振铃。

8.2.2 详细设计过程

- 建议的输入条件：
 - 有关上升时间和下降时间规格，请参阅 *建议运行条件* 表中的 ($\Delta t / \Delta V$)。
 - 有关指定的高电平和低电平，请参阅 *建议运行条件* 表中的 (V_{IH} 和 V_{IL})。
 - 输入可耐受过压，允许它们在任何有效 V_{CC} 下高达 *建议运行条件* 表中的 (V_I 最大值)。
- 建议的输出条件上限：
 - 每路输出的负载电流不应超过 (I_O 最大值)，且不能超过该器件的总电流 (通过 V_{CC} 或 GND 的持续电流)。这些限值位于 *绝对最大额定值* 表中。
 - 输出不应被拉至高于 V_{CC} 。

8.2.3 应用曲线

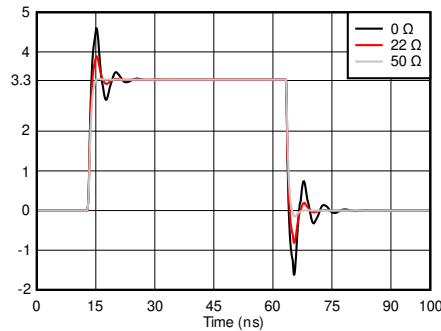


图 8-2. 使用不同阻尼电阻器 (R_d) 值的接收器模拟信号完整性

8.3 电源相关建议

电源可以是 *建议运行条件* 中最小和最大电源电压额定值之间的任何电压。每个 V_{CC} 端子均应具有一个良好的旁路电容器，以防止功率干扰。建议为该器件使用 $0.1\ \mu\text{F}$ 电容器。可以并联多个旁路电容器以抑制不同的噪声频率。 $0.1\ \mu\text{F}$ 和 $1\ \mu\text{F}$ 电容器通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

8.4 布局

8.4.1 布局指南

- 旁路电容器的放置
 - 靠近器件的正电源端子放置
 - 提供电气短接地返回路径
 - 使用宽布线以最大限度减小阻抗
 - 尽可能将器件、电容器和布线保持在电路板的同一面
- 信号布线几何形状
 - 8mil 至 12mil 布线宽度
 - 布线长度小于 12cm 可最大限度减轻传输线路影响
 - 避免信号布线出现 90° 角
 - 在信号布线下方使用不间断的接地平面
 - 通过接地对信号布线周围的区域进行泛洪填充
 - 并行布线之间必须至少间隔 3 倍电介质厚度
 - 对于长度超过 12cm 的布线
 - 使用阻抗受控的布线
 - 在输出端附近使用串联阻尼电阻进行源端接
 - 避免分支；对必须单独分支的每条信号进行缓冲

8.4.2 布局示例

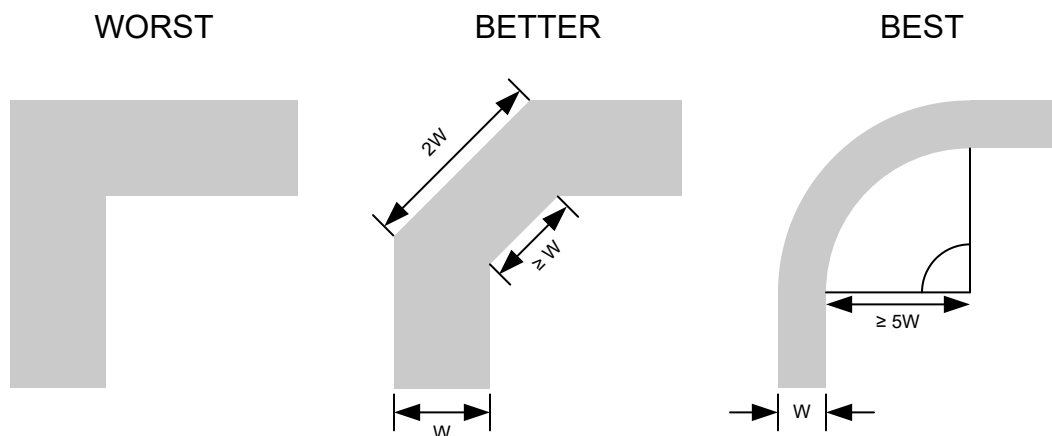


图 8-3. 可改善信号完整性的布线转角示例

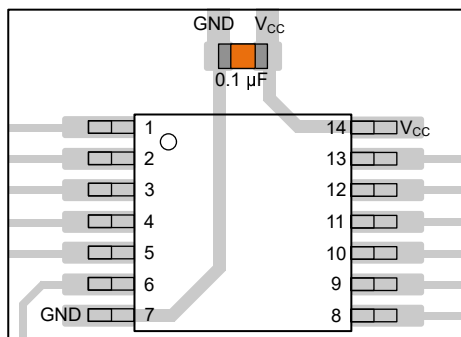


图 8-4. TSSOP 和类似封装的旁路电容器放置示例

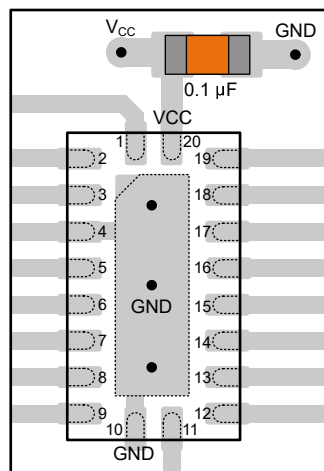


图 8-5. WQFN 和类似封装的旁路电容器放置示例

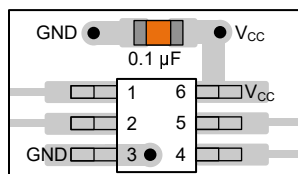


图 8-6. SOT、SC70 和类似封装的旁路电容器放置示例

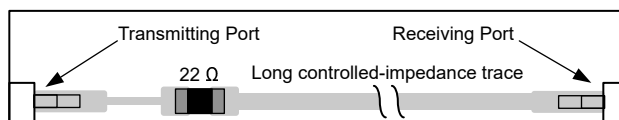


图 8-7. 可改善信号完整性的阻尼电阻放置示例

9 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 文档支持

9.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI)，[CMOS 功耗与 \$C_{pd}\$ 计算应用报告](#)
- 德州仪器 (TI)，[使用逻辑器件进行设计应用报告](#)
- 德州仪器 (TI)，[标准线性和逻辑 \(SLL\) 封装和器件的热特性应用报告](#)

9.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

Changes from Revision * (March 2024) to Revision A (June 2025)	Page
• 将文档状态从“预告信息”更新为“量产数据”	1

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CLV8T244QWRKSRQ1	Active	Production	VQFN (RKS) 20	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L8T244Q
SN74LV8T244QDGSRQ1	Active	Production	VSSOP (DGS) 20	5000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	8T244Q
SN74LV8T244QPWRQ1	Active	Production	TSSOP (PW) 20	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV8T244Q

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LV8T244-Q1 :

- Catalog : [SN74LV8T244](#)

- Enhanced Product : [SN74LV8T244-EP](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

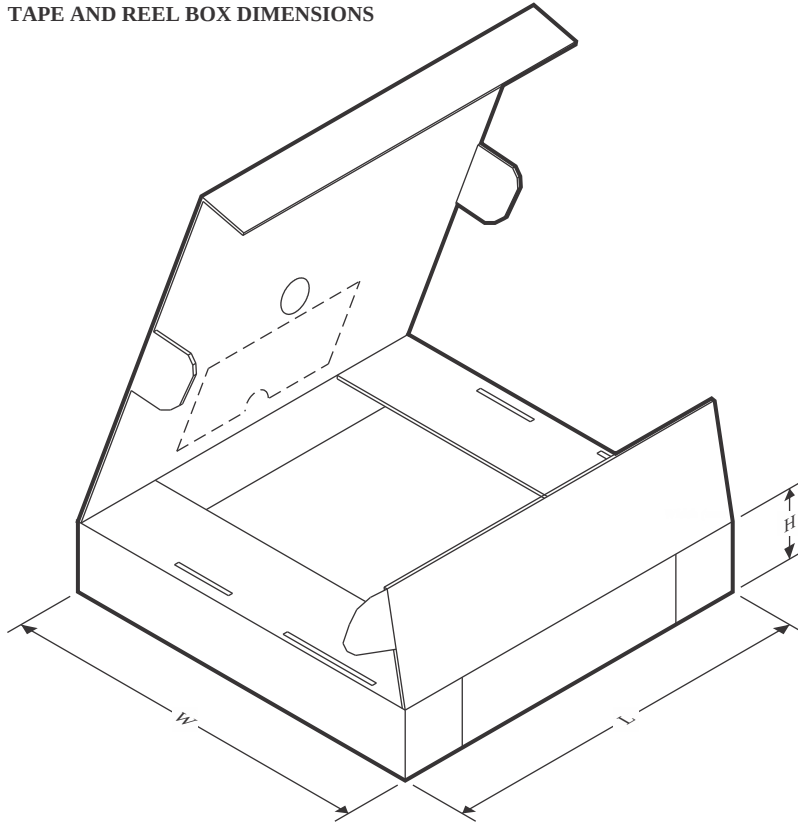
TAPE AND REEL INFORMATION



*All dimensions are nominal

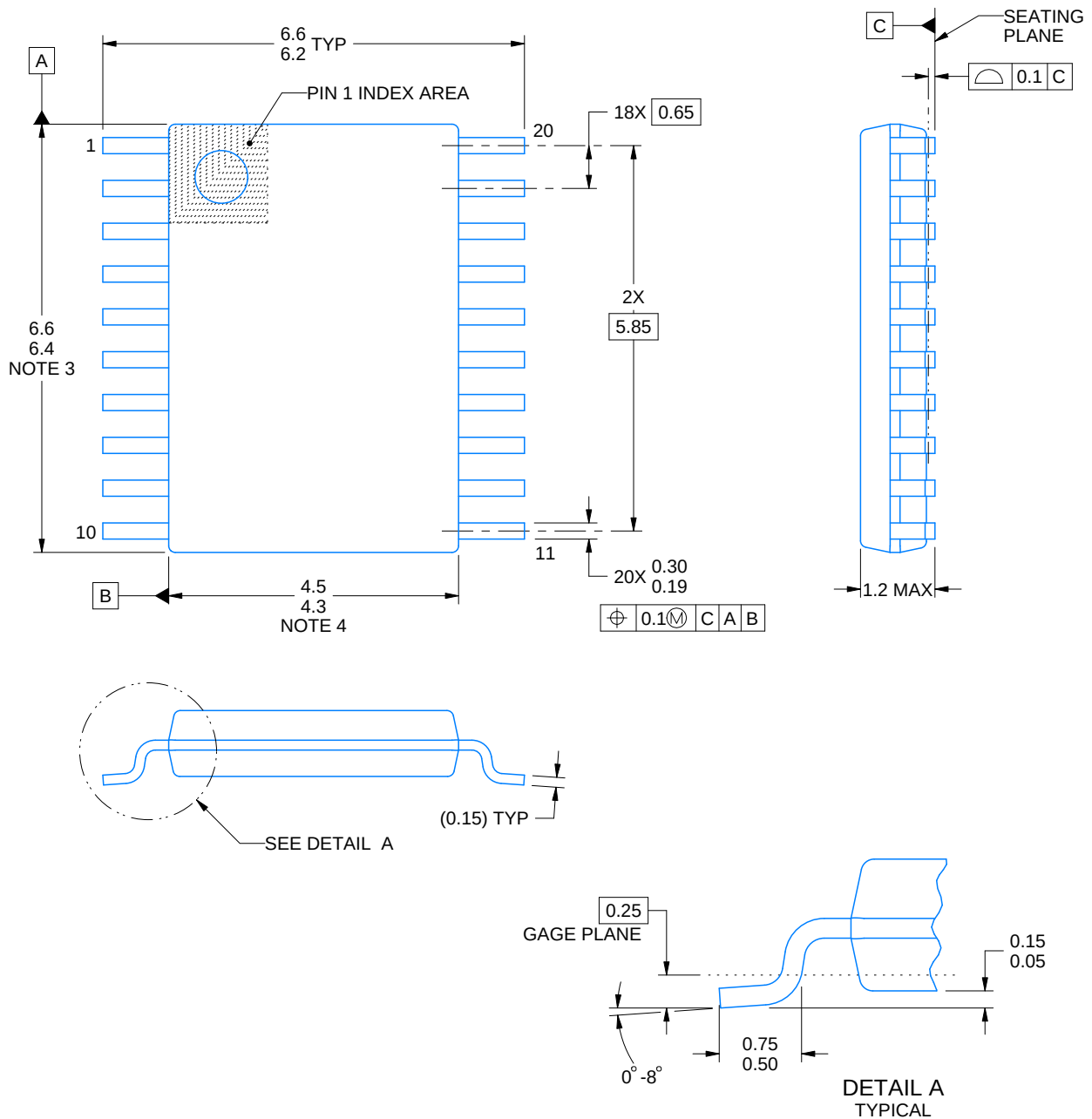
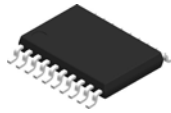
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CLV8T244QWRKSRQ1	VQFN	RKS	20	3000	180.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1
SN74LV8T244QDGSRQ1	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
SN74LV8T244QPWRQ1	TSSOP	PW	20	3000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CLV8T244QWRKSRQ1	VQFN	RKS	20	3000	210.0	185.0	35.0
SN74LV8T244QDGSRQ1	VSSOP	DGS	20	5000	353.0	353.0	32.0
SN74LV8T244QPWRQ1	TSSOP	PW	20	3000	353.0	353.0	32.0



4220206/A 02/2017

NOTES:

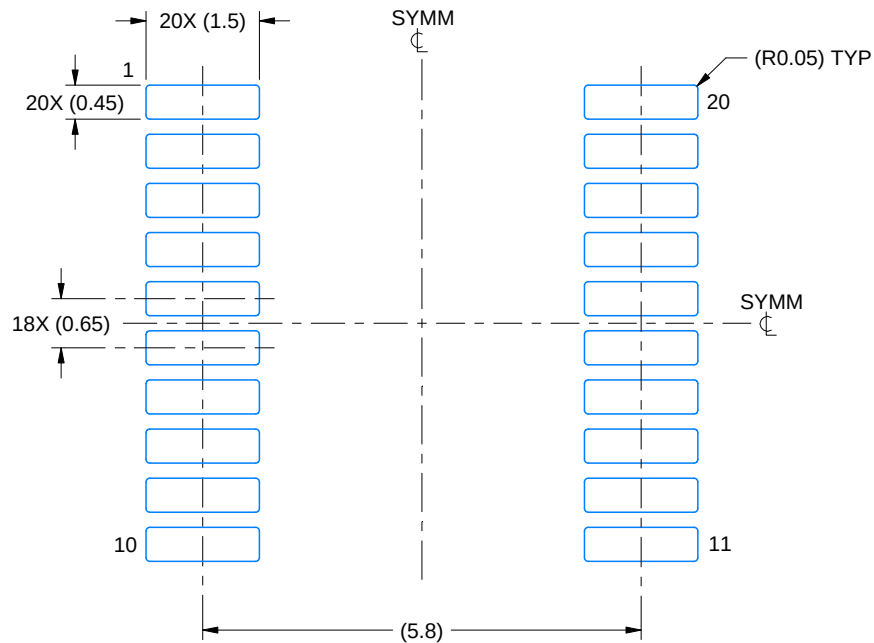
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

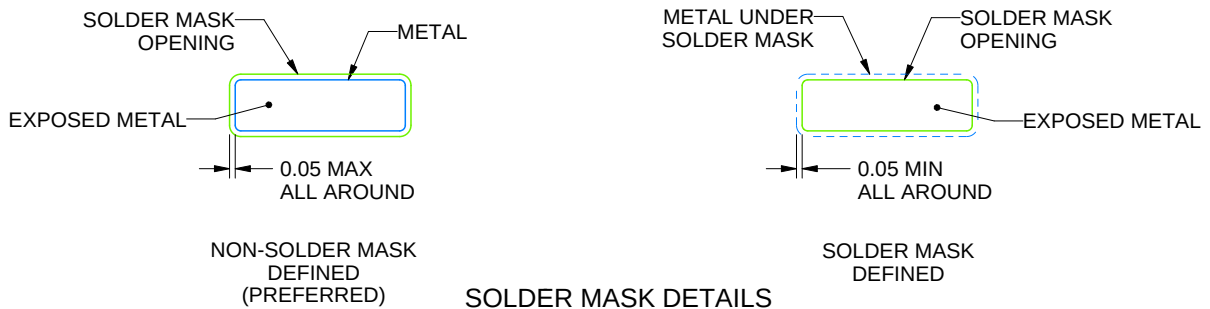
PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220206/A 02/2017

NOTES: (continued)

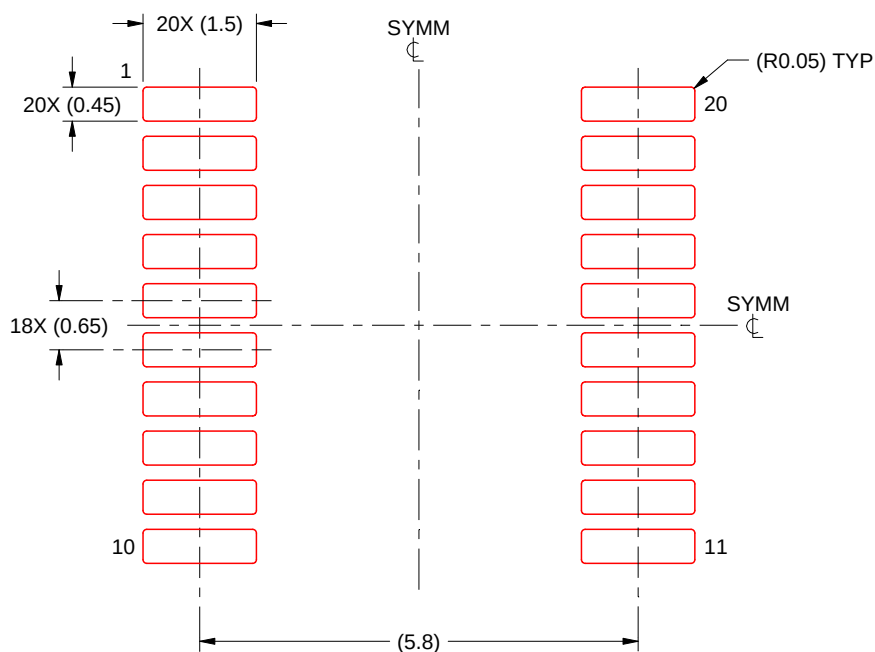
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

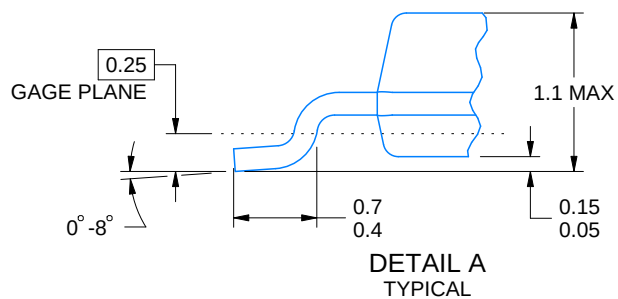
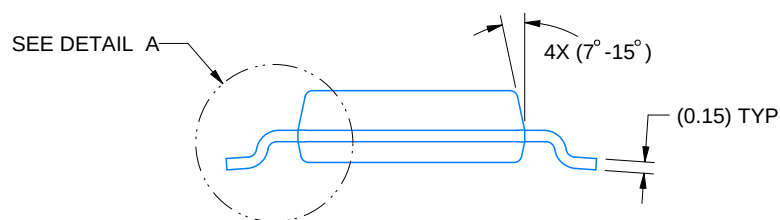
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

VSSOP - 1.1 mm max height

The drawing shows a 20-pin connector with the following features and dimensions:

- Front View (Left):**
 - PIN 1 INDEX AREA:** Indicated by a dashed line and a leader pointing to a specific pin location.
 - Dimensions:**
 - Overall width: 5.1 (typical) / 4.7
 - Pin pitch: 5.2 / 5.0
 - Pin 1 location: 10
 - Pin 20 location: 11
 - Pin 10 location: 1
 - Pin 11 location: 20
 - Pin 12 location: 18X 0.5
 - Pin 13 location: 2X 4.5
 - Pin 14 location: 20X 0.275 / 0.165
 - Pin 15 location: 3.1 / 2.9
- Side View (Right):**
 - SEATING PLANE:** Indicated by a vertical line and a leader.
 - Dimensions:**
 - Pin pitch: 0.1
 - Pin 1 location: C
 - Pin 20 location: C
 - Pin 10 location: A
 - Pin 11 location: B



PowerPAD is a trademark of Texas Instruments.

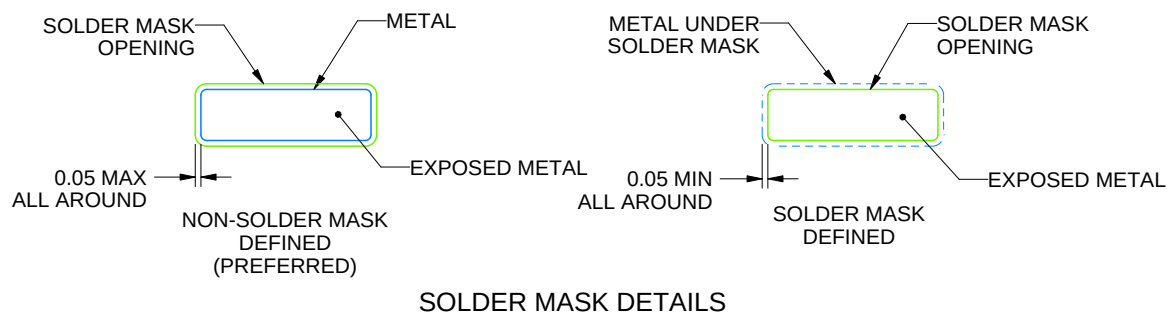
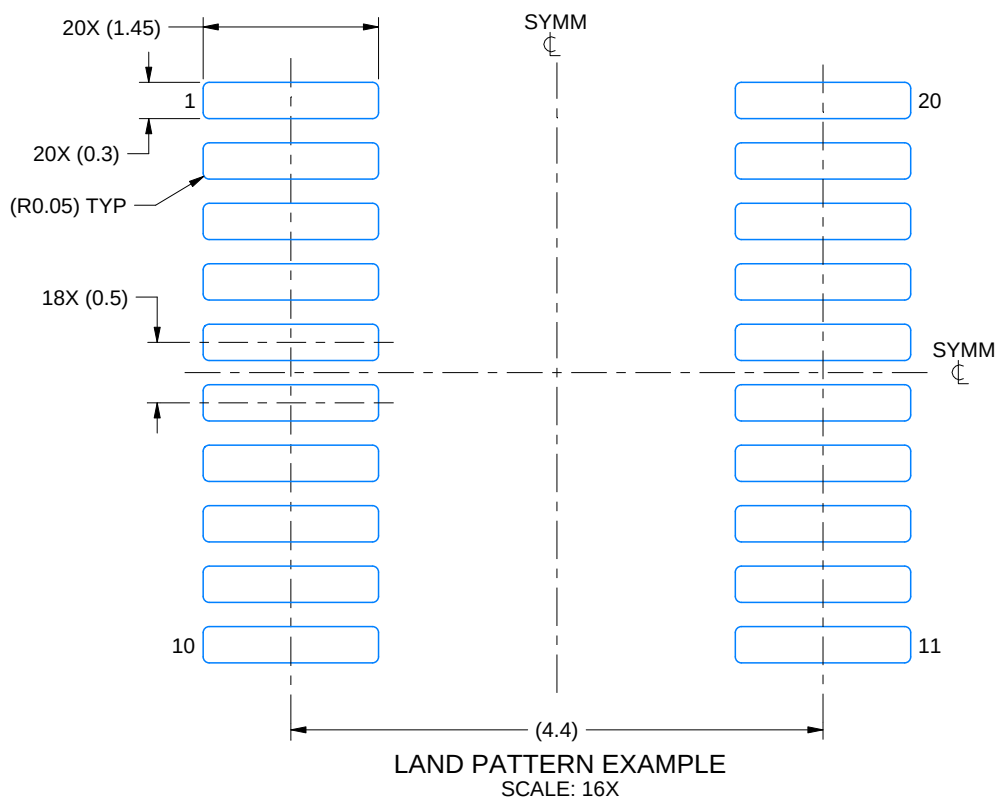
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4226367/A 10/2020

NOTES: (continued)

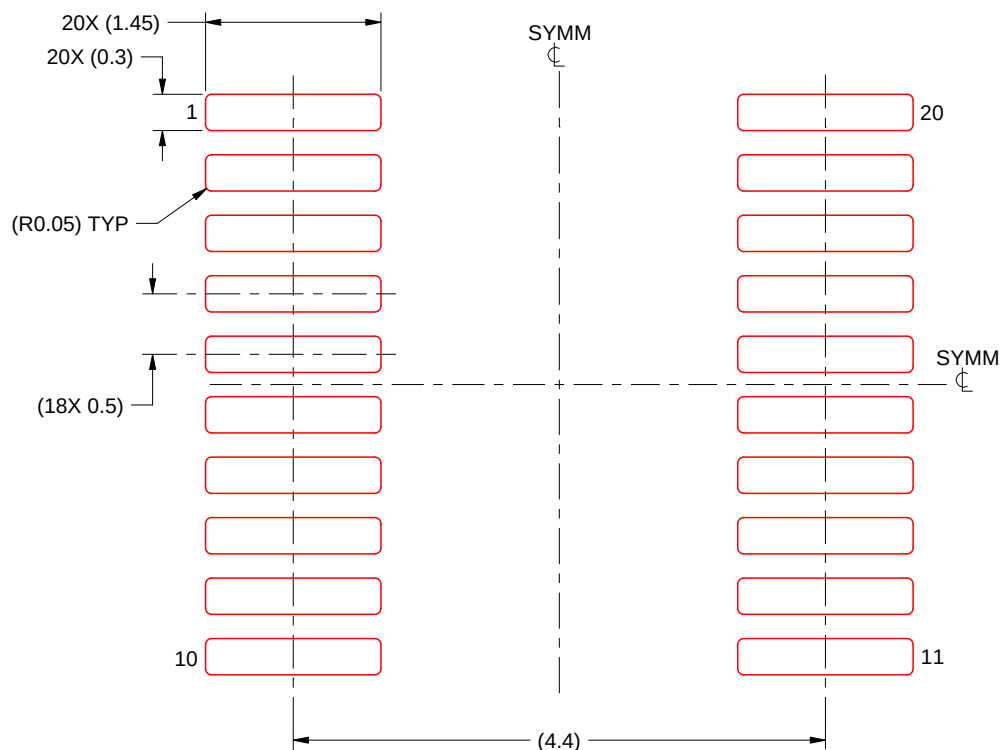
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226367/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

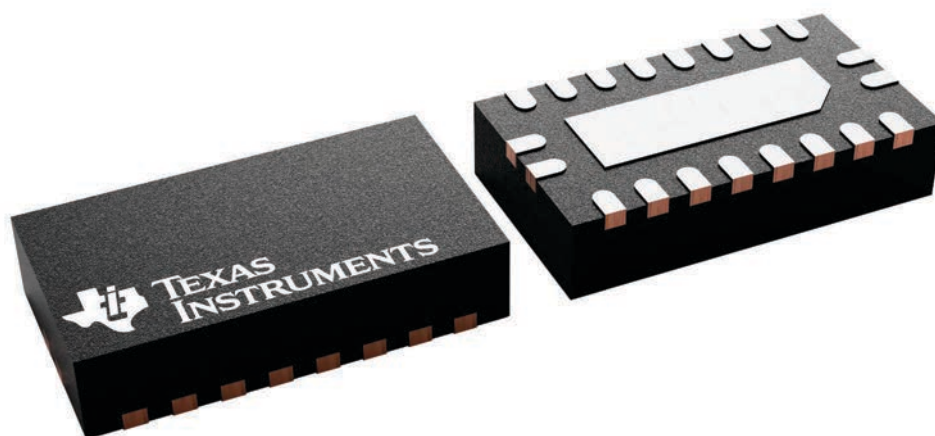
RKS 20

VQFN - 1 mm max height

2.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司