SN74LV244A 具有三态输出的八路缓冲器和驱动器

1 特性

- V_{CC} 工作范围为 2V 至 5.5V
- 5V 时 t_{pd} 最大值为 6.5 ns
- V_{OLP}（输出接地反弹）典型值小于 0.8V（V_{CC} = 3.3V，T_A = 25°C）
- V_{OHV}（输出 V_{OH} 下冲）典型值大于 2.3 V（V_{CC} = 3.3V，T_A = 25°C）
- 支持所有端口上的混合模式电压运行
- I_{off} 支持局部断电模式运行
- 闩锁性能超过 250mA，符合 JESD 17 规范

2 应用

- 服务器和网络交换机
- LED 显示屏
- 电信基础设施
- 电机驱动控制板

3 说明

SN74LV244A 八路缓冲器和线路驱动器在 2V 至 5.5V V_{CC} 电压下运行。

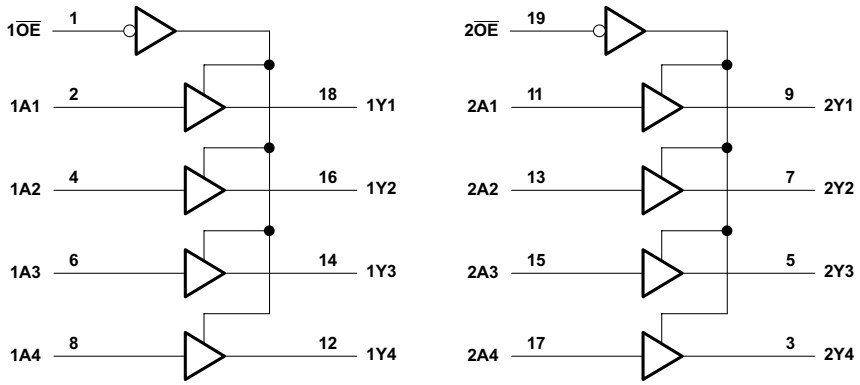
SN74LV244A 器件专门设计用于提高三态存储器地址驱动器、时钟驱动器以及总线导向接收器和发射器的性能和密度。这些器件配置为两个具有独立输出使能 ($\overline{OE}$) 输入的 4 位线路驱动器。

封装信息

器件型号	封装 [1]	封装尺寸 [2]
SN74LV244A	DB（SSOP，20）	7.2mm × 7.8mm
	DGV（TVSOP，20）	5.00mm x 6.4mm
	DW（SOIC，20）	12.80mm x 10.3mm
	NS（SO，20）	12.60mm × 5.30mm
	PW（TSSOP，20）	6.50mm x 7.8mm
	RGY（VQFN，20）	4.5mm x 3.50mm
	RKS（VQFN，20）	4.50mm × 2.50mm
	DGS（VSSOP，20）	5.10mm x 4.9mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

(2) 封装尺寸（长 x 宽）为标称值，并包括引脚（如适用）。



逻辑图（正逻辑）

本文档旨在为方便起见，提供有关 TI 产品中文版本的信息，以确认产品的概要。有关适用的官方英文版本的最新信息，请访问 www.ti.com，其内容始终优先。TI 不保证翻译的准确性和有效性。在实际设计之前，请务必参考最新版本的英文版本。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 修订历史记录.....2
5 引脚配置和功能.....3
6 规格.....4
6.1 绝对最大额定值.....4
6.2 ESD 等级.....4
6.3 建议运行条件.....5
6.4 热性能信息.....5
6.5 电气特性.....6
6.6 噪声特性.....6
6.7 工作特性.....6
6.8 开关特性：V_{CC} = 2.5V ± 0.2V.....7
6.9 开关特性：V_{CC} = 3.3V ± 0.3V.....7
6.10 开关特性：V_{CC} = 5V ± 0.5V.....7
6.11 典型特性.....8
7 参数测量信息.....9
8 详细说明.....10
8.1 概述.....10
8.2 功能方框图.....10
8.3 特性说明.....10
8.4 器件功能模式.....11
9 应用和实施.....12
9.1 应用信息.....12
9.2 典型应用.....12
9.3 电源相关建议.....15
9.4 布局.....15
10 器件和文档支持.....16
10.1 文档支持.....16
10.2 接收文档更新通知.....16
10.3 支持资源.....16
10.4 商标.....16
10.5 静电放电警告.....16
10.6 术语表.....16
11 机械、封装和可订购信息.....16

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision Q (March 2023) to Revision R (August 2023) **Page**

- 添加了 *DB* 封装，并将*封装信息* 表中的封装尺寸 (body size) 替换为封装尺寸 (package size).....1
- 将 PW 封装的热性能值从 R θ JA = 102.6 更新为 128.2，从 R θ JC(top) = 36.7 更新为 70.5，从 R θ JB = 53.6 更新为 79.3，从 ΨJT = 2.4 更新为 23.4，从 ΨJB = 53.1 更新为 78.9，所有值均以 °C/W 为单位.....5

Changes from Revision P (January 2023) to Revision Q (March 2023) **Page**

- 将 DB 封装的热性能值从 R θ JA = 94.7 更新为 118.2，从 R θ JC(top) = 56.7 更新为 77.2，从 R θ JB = 49.9 更新为 73，从 ΨJT = 18.7 更新为 42.2，从 ΨJB = 49.5 更新为 72.6，所有值均以 °C/W 为单位.....5
- 将 DW 封装的热性能值从 R θ JA = 79.4 更新为 102.3，从 R θ JC(top) = 43.8 更新为 69.9，从 R θ JB = 47.2 更新为 70.8，从 ΨJT = 18.8 更新为 46.4，从 ΨJB = 46.7 更新为 70.4，所有值均以 °C/W 为单位.....5
- 将 NS 封装的热性能值从 R θ JA = 76.9 更新为 108.1，从 R θ JC(top) = 43.4 更新为 73.9，从 R θ JB = 44.5 更新为 73.1，从 ΨJT = 17.0 更新为 44.1，从 ΨJB = 44.1 更新为 72.8，所有值均以 °C/W 为单位.....5

Copyright © 2023 Texas Instruments Incorporated

5 引脚配置和功能

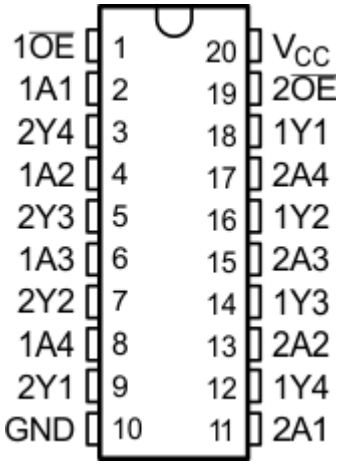


图 5-1. DB、DGV、DW、NS、PW 或 DGS 封装，20 引脚 SSOP、TVSOP、SOIC、SO、TSSOP 或 VSSOP（顶视图）

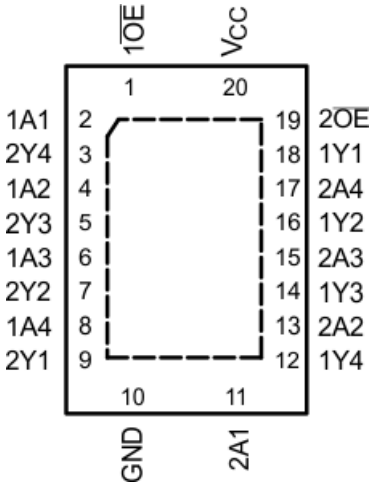


图 5-2. RGY 和 RKS 封装，20 引脚 VQFN（带外露散热焊盘）（顶视图）

表 5-1. 引脚功能

引脚		类型[1]	说明
名称	编号		
1A1	2	I	输入
1A2	4	I	输入
1A3	6	I	输入
1A4	8	I	输入
1 $\overline{OE}$	1	I	输出使能测试点
1Y1	18	O	输出
1Y2	16	O	输出
1Y3	14	O	输出
1Y4	12	O	输出
2A1	11	I	输入
2A2	13	I	输入
2A3	15	I	输入
2A4	17	I	输入
2 $\overline{OE}$	19	I	输出使能测试点
2Y1	9	O	输出
2Y2	7	O	输出
2Y3	5	O	输出
2Y4	3	O	输出
GND	10	—	接地
V_{CC}	20	—	电源引脚
散热焊盘[2]		—	散热焊盘可连接到 GND 或悬空。请勿连接到任何其他信号或电源。

(1) 信号类型：I = 输入，O = 输出，I/O = 输入或输出
(2) 仅限 RKS 封装

Copyright © 2023 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的运行温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_{CC}	电源电压		-0.5	7	V
V_I	输入电压(2)		-0.5	7	V
V_O	在高阻抗或断电状态对任一输出施加的电压范围(2)		-0.5	7	V
V_O	输出电压(2) (3)		-0.5	V_{CC}+0.5	V
I_{IK}	输入钳位电流	V_I < 0		-20	mA
I_{OK}	输出钳位电流	V_O < 0		-50	mA
I_O	持续输出电流	V_O = 0 至 V_{CC}		±35	mA
	通过 V_{CC} 或 GND 的持续电流			±70	mA
T_j	结温		-65	150	°C
T_{stg}	贮存温度		-65	150	°C

(1) 应力超出*绝对最大额定值*下所列的值可能会对器件造成损坏。这些仅为压力额定值，并不表示器件在这些条件下以及在*建议的工作条件*以外的任何其他条件下能够正常运行。长时间处于最大绝对额定情况下会影响设备的可靠性。
(2) 如果遵守输入和输出电流额定值，则可能会超过输入和输出负电压额定值。
(3) 该值被限制为最大 5.5V。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001(1)	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	±1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

Copyright © 2023 Texas Instruments Incorporated

6.3 建议运行条件

在自然通风条件下的运行温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_{CC}	电源电压		2	5.5	V
V_{IH}	高电平输入电压	V_{CC} = 2V	1.5		V
		V_{CC}=2.3V 至 2.7V	V_{CC} × 0.7		
		V_{CC}=3V 至 3.6V	V_{CC} × 0.7		
		V_{CC} = 4.5V 至 5.5V	V_{CC} × 0.7		
V_{IL}	低电平输入电压	V_{CC} = 2V		0.5	V
		V_{CC}=2.3V 至 2.7V		V_{CC} × 0.3	
		V_{CC}=3V 至 3.6V		V_{CC} × 0.3	
		V_{CC} = 4.5V 至 5.5V		V_{CC} × 0.3	
V_I	输入电压		0	5.5	V
V_O	输出电压	高电平或低电平状态	0	V_{CC}	V
		三态	0	5.5	
I_{OH}	高电平输出电流	V_{CC} = 2V		-50	μA
		V_{CC}=2.3V 至 2.7V		– 2	mA
		V_{CC}=3V 至 3.6V		– 8	
		V_{CC} = 4.5V 至 5.5V		– 16	
I_{OL}	低电平输出电流	V_{CC} = 2V		50	μA
		V_{CC}=2.3V 至 2.7V		2	mA
		V_{CC}=3V 至 3.6V		8	
		V_{CC} = 4.5V 至 5.5V		16	
Δt/Δv	输入转换上升或下降速率	V_{CC}=2.3V 至 2.7V		200	ns/V
		V_{CC}=3V 至 3.6V		100	
		V_{CC} = 4.5V 至 5.5V		20	
T_A	自然通风工作温度		-40	125	°C

(1) 器件所有的未使用输入必须被保持在 V_{CC} 或 GND 以确保器件正常运行。请参阅 TI 应用报告 *CMOS 输入缓慢或悬空的影响*，SCBA004。

6.4 热性能信息

热指标(1)		SN74LV244A								单位
		DB (SSOP)	DGV (TVSOP)	DW (SOIC)	NS (SO)	PW (TSSOP)	RGY (VQFN)	RKS (VQFN)	DGS (VSSOP)	
		20 个引脚	20 个引脚	20 个引脚	20 个引脚	20 个引脚	20 个引脚	20 个引脚	20 个引脚	
$R_{\theta JA}$	结至环境热阻	118.2	115.9	102.3	108.1	128.2	34.9	75.2	125.5	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	77.2	31.1	69.9	73.9	70.5	43.1	79.4	80.0	°C/W
$R_{\theta JB}$	结至电路板热阻	73	57.4	70.8	73.1	79.3	12.7	47.8	63.8	°C/W
ψ_{JT}	结至顶部特征参数	42.2	1.0	46.4	44.1	23.4	0.9	14.6	8.4	°C/W
ψ_{JB}	结至电路板特征参数	72.6	56.7	70.4	72.8	78.9	12.8	47.8	79.9	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	不适用	不适用	7.8	31.5	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告，SPRA953。

Copyright © 2023 Texas Instruments Incorporated

6.5 电气特性

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

参数		测试条件	V_{CC}	最小值	典型值	最大值	单位
V_{OH}	高电平输出电压	I_{OH} = -50μA	2V 至 5.5V	V_{CC} – 0.1			V
		I_{OH} = -2mA	2.3V	2			
		I_{OH} = -8mA	3V	2.48			
		I_{OH}=16 mA	4.5V	3.8			
V_{OL}	低电平输出电压	I_{OL} = 50μA	2V 至 5.5V			0.1	V
		I_{OL} = 2mA	2.3V			0.4	
		I_{OL} = 8mA	3V			0.44	
		I_{OL}=16mA	4.5V			0.55	
I_I	输入漏电流	V_I=5.5V 或 GND	0 至 5.5V			±1	μA
I_{OZ}	（三态输出）关闭状态（高阻抗状态）输出电流	V_O = V_{CC} 或 GND	5.5V			±5	μA
I_{CC}	电源电流	V_I = V_{CC} 或 GND，I_O = 0	5.5V			20	μA
I_{off}	输入/输出断电漏电流	V_I 或 V_O = 0V 至 5.5 V	0			5	μA
C_i	输入电容	V_I=V_{CC} 或 GND	3.3V		2.3		pF

6.6 噪声特性

V_{CC} = 3.3V，C_L = 50pF，T_A = 25°C(1)

		最小值	典型值	最大值	单位
$V_{OL(P)}$	安静输出，最大动态		0.55		V
$V_{OL(V)}$	安静输出，最小动态		– 0.5		V
$V_{OH(V)}$	安静输出，最小动态		2.9		V
$V_{IH(D)}$	高电平动态输入电压	2.31			V
$V_{IL(D)}$	低电平动态输入电压			0.99	V

(1) 特性仅适用于表面贴装封装。

6.7 工作特性

T_A = 25°C

参数		测试条件	V_{CC}	典型值	单位
C_{pd}	功率耗散电容	C_L = 50pF，f = 10MHz	3.3V	14	pF
			5V	16	

Copyright © 2023 Texas Instruments Incorporated

6.8 开关特性：V_{CC} = 2.5V ± 0.2V

在自然通风条件下的运行温度范围内测得（除非另有说明），（请参阅负载电路和电压波形）

参数	从（输入）	到（输出）	负载电容	25°C			–40°C 至 125°C			单位
				最小值	典型值	最大值	最小值	典型值	最大值	
t_{pd}	A	Y	C_L = 15 pF		7.5	12.5	1		15	ns
			C_L = 50pF		9.5	15.3	1		18	
t_{en}	$\overline{OE}$	Y	C_L = 15 pF		8.9	14.6	1		17	ns
			C_L = 50pF		10.8	17.8	1		21	
t_{dis}	$\overline{OE}$	Y	C_L = 15 pF		9.1	14.1	1		16	ns
			C_L = 50pF		13.4	19.2	1		21	
$t_{sk(o)}$			C_L = 50pF			2			2	ns

6.9 开关特性：V_{CC} = 3.3V ± 0.3V

在自然通风条件下的运行温度范围内测得（除非另有说明），（请参阅负载电路和电压波形）

参数	从（输入）	到（输出）	负载电容	25°C			–40°C 至 125°C			单位
				最小值	典型值	最大值	最小值	典型值	最大值	
t_{pd}	A	Y	C_L = 15 pF		5.4	8.4	1		10	ns
			C_L = 50pF		6.8	11.9	1		13.5	
t_{en}	$\overline{OE}$	Y	C_L = 15 pF		6.3	10.6	1		12.5	ns
			C_L = 50pF		7.8	14.1	1		16	
t_{dis}	$\overline{OE}$	Y	C_L = 15 pF		7.6	11.7	1		13	ns
			C_L = 50pF		11	16	1		18	
$t_{sk(o)}$			C_L = 50pF			1.5			1.5	ns

6.10 开关特性：V_{CC} = 5V ± 0.5V

在自然通风条件下的运行温度范围内测得（除非另有说明），（请参阅负载电路和电压波形）

参数	从（输入）	到（输出）	负载电容	25°C			–40°C 至 125°C			单位
				最小值	典型值	最大值	最小值	典型值	最大值	
t_{pd}	A	Y	C_L = 15 pF		3.9	5.5	1		6.5	ns
			C_L = 50pF		4.9	7.5	1		8.5	
t_{en}	$\overline{OE}$	Y	C_L = 15 pF		4.5	7.3	1		8.5	ns
			C_L = 50pF		5.6	9.3	1		10.5	
t_{dis}	$\overline{OE}$	Y	C_L = 15 pF		6.5	12.2	1		13.5	ns
			C_L = 50pF		8.8	14.2	1		15.5	
$t_{sk(o)}$			C_L = 50pF			1			1	ns

Copyright © 2023 Texas Instruments Incorporated

6.11 典型特性

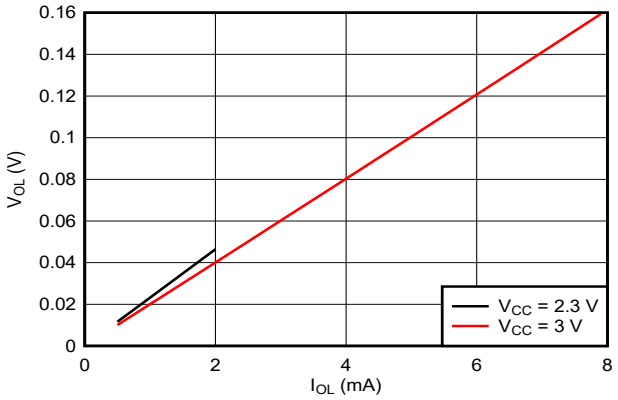


图 6-1. 低电平状态下的输出电压，2.3V 和 3V 电源

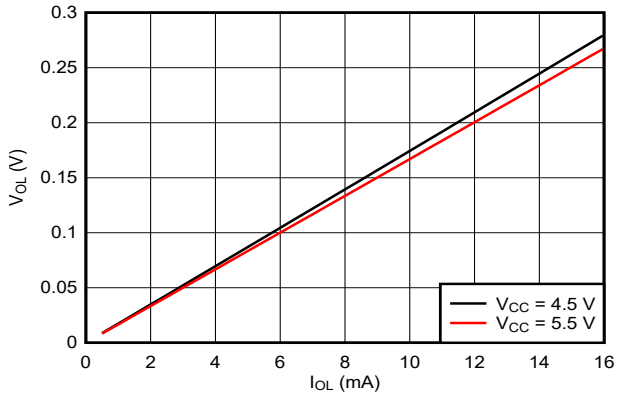


图 6-2. 低电平状态下的输出电压，4.5V 和 5.5V 电源

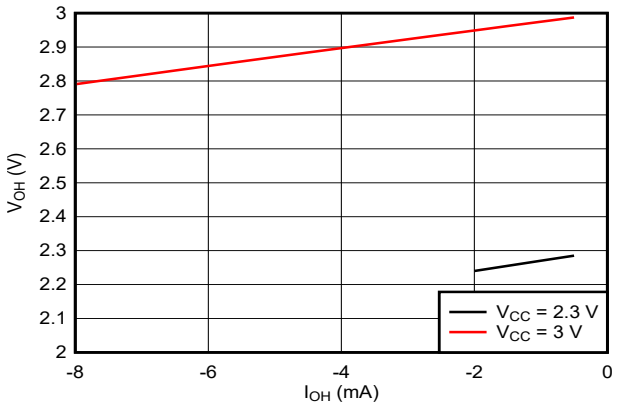


图 6-3. 高电平状态下的输出电压，2.3V 和 3V 电源

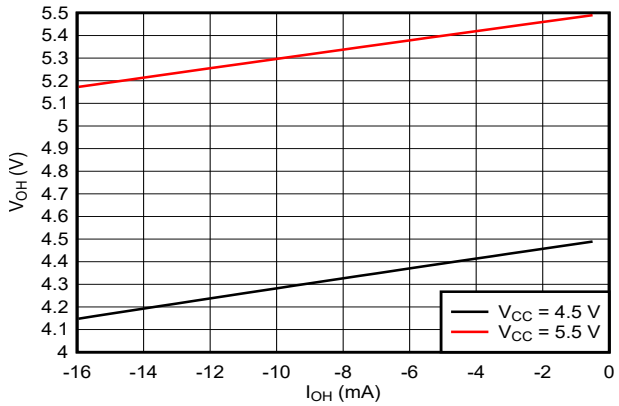


图 6-4. 高电平状态下的输出电压，4.5V 和 5.5V 电源

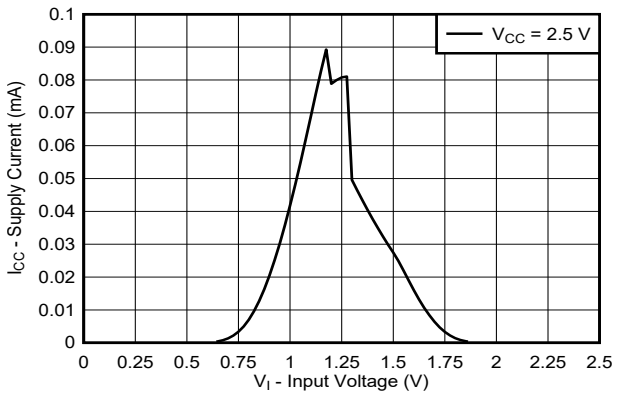


图 6-5. 输入电压范围内的电源电流，2.5V 电源

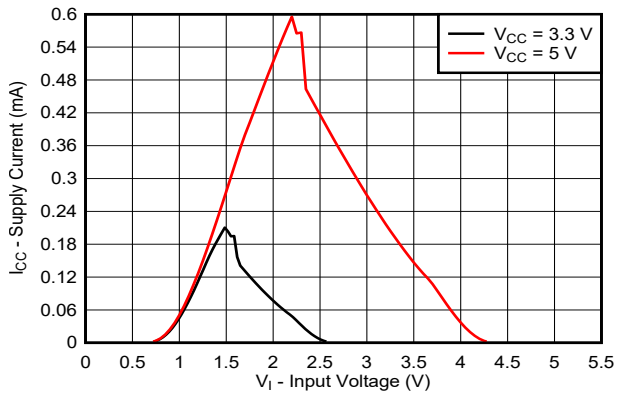
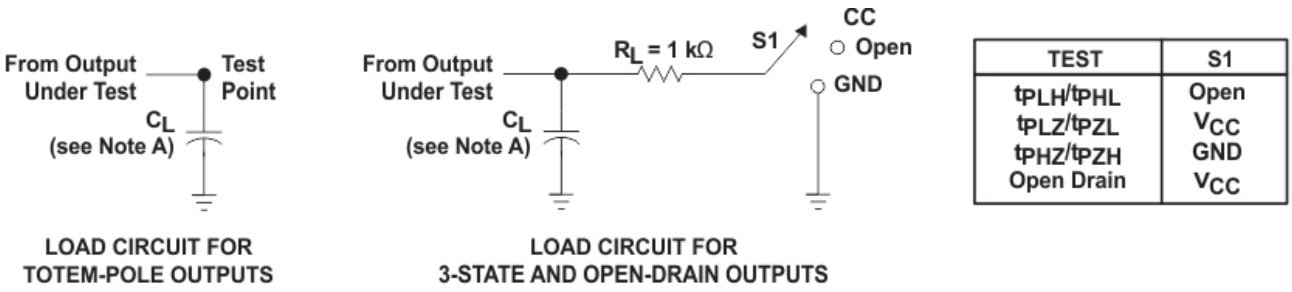


图 6-6. 输入电压范围内的电源电流，3.3V 和 5V 电源

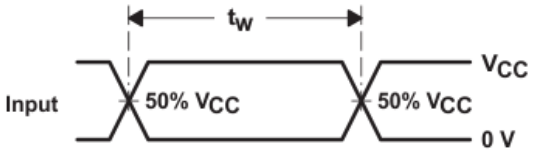
Copyright © 2023 Texas Instruments Incorporated

7 参数测量信息

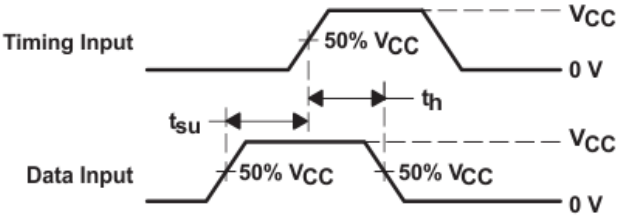


LOAD CIRCUIT FOR TOTEM-POLE OUTPUTS

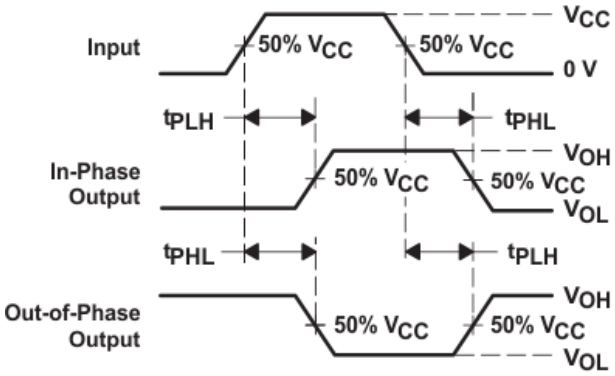
LOAD CIRCUIT FOR 3-STATE AND OPEN-DRAIN OUTPUTS



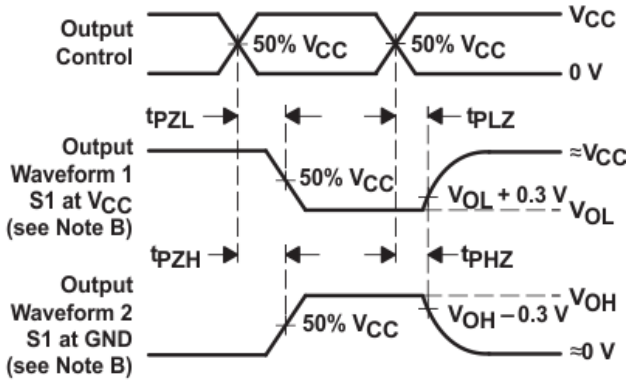
VOLTAGE WAVEFORMS PULSE DURATION



VOLTAGE WAVEFORMS SETUP AND HOLD TIMES



VOLTAGE WAVEFORMS PROPAGATION DELAY TIMES INVERTING AND NONINVERTING OUTPUTS



VOLTAGE WAVEFORMS ENABLE AND DISABLE TIMES LOW- AND HIGH-LEVEL ENABLING

A. C_L 包括探头和夹具电容。
B. 波形 1 用于具有内部条件的输出，使得输出为低电平，除非被输出控制禁用。
   波形 2 用于具有内部条件的输出，使得输出为高电平，除非被输出控制禁用。
C. 所有输入脉冲均由具有以下特性的发生器提供：PRR ≤ 1MHz，Z_O = 50Ω，t_r ≤ 3ns，t_f ≤ 3ns。
D. 一次测量一个输出，每次测量一个输入转换。
E. t_{PLZ} 和 t_{PHZ} 与 t_{dis} 一样。
F. t_{PZL} 和 t_{PZH} 与 t_{en} 一样。
G. t_{PHL} 和 t_{PLH} 与 t_{pd} 一样。
H. 并非所有参数和波形都适用于所有器件。

图 7-1. 负载电路和电压波形

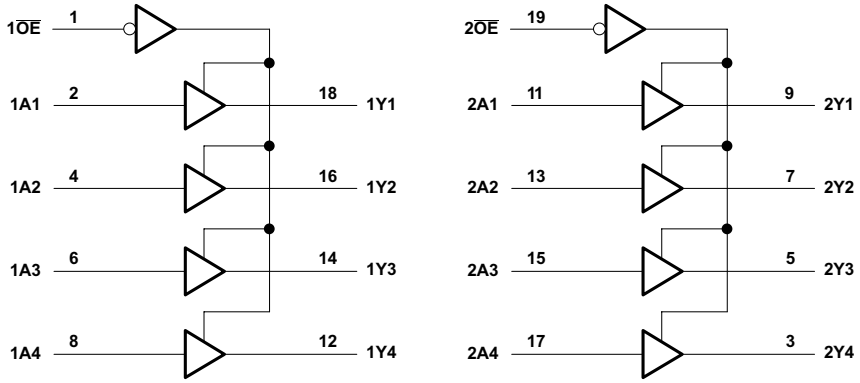
Copyright © 2023 Texas Instruments Incorporated

8 详细说明

8.1 概述

SN74LV244 器件是八路（分为四组）缓冲器，每组配有各自的使能引脚。LV 系列支持约 16mA 的高电流驱动，因此适用于在较长的电路板上驱动数字信号。该器件通常用于缓冲或整合两个微控制器或外设器件之间的信号延迟。

8.2 功能方框图



8.3 特性说明

8.3.1 平衡 CMOS 三态输出

此器件包含平衡 CMOS 三态输出。这些输出可以处于三种状态：高驱动、低驱动和高阻抗。术语*平衡*表示器件可以灌入和拉出相似的电流。此器件的驱动能力可能在轻负载时产生快速边缘，因此应考虑布线和负载条件以防止振铃。此外，该器件的输出能够驱动的电流比此器件能够承受、不会损坏的电流更大。务必限制器件的输出功率，以避免因过电流而损坏器件。必须始终遵守*绝对最大额定值*中规定的电气和热限值。

当置于高阻抗模式时，输出既不会灌入电流，也不会拉出电流，但*电气特性*表中定义的小漏电流除外。在高阻抗状态下，输出电压不受器件控制，而取决于外部因素。如果没有其他驱动器连接到该节点，则这称为悬空节点且电压未知。上拉或下拉电阻可以连接到输出端，以便当输出端处于高阻抗状态时在输出端提供已知电压。电阻值将取决于多种因素，包括寄生电容和功耗限制。通常，可以使用 10kΩ 电阻器来满足这些要求。

未使用的三态 CMOS 输出应保持断开状态。

8.3.2 标准 CMOS 输入

此器件包括标准 CMOS 输入。标准 CMOS 输入为高阻抗，通常建模为与输入电容并联的电阻器，如*电气特性*中所示。最坏情况下的电阻是根据*绝对最大额定值*中给出的最大输入电压和*电气特性*中给出的最大输入漏电流，使用欧姆定律 (R = V ÷ I) 计算得出的。

标准 CMOS 输入要求输入信号在有效逻辑状态之间快速转换，如*建议运行条件*表中的输入转换时间或速率所定义。不符合此规范将导致功耗过大并可能导致振荡。更多详细信息，请参阅 *CMOS 输入缓慢或悬空的影响*。

在运行期间，任何时候都不要让标准 CMOS 输入悬空。未使用的输入必须在 V_{CC} 或 GND 端接。如果系统不会一直主动驱动输入，则可以添加上拉或下拉电阻器，以在这些时间段提供有效的输入电压。电阻值将取决于多种因素；但建议使用 10kΩ 电阻器，这通常可以满足所有要求。

8.3.3 局部断电 (I_{off})

该器件包含在电源引脚保持在 0V 时用于禁用所有输出的电路。输出被禁用后，将不会拉出和灌入电流，无论施加何种输入电压。每个输出端的漏电流大小由*电气特性*表中的 I_{off} 规格定义。

8.3.4 钳位二极管结构

图 8-1 展示了该器件的输入和输出仅布置负钳位二极管。

Copyright © 2023 Texas Instruments Incorporated

CAUTION

电压超出*绝对最大额定值*表中规定的值可能会损坏器件。如果遵守输入和输出钳制电流额定值，输入和输出电压可超过额定值。

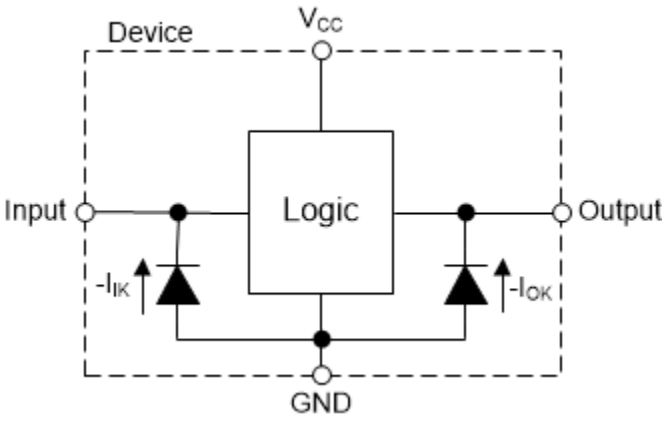


图 8-1. 每个输入和输出的钳位二极管的电气布置

8.4 器件功能模式

SN74LV244A 器件配置为两个具有独立输出使能 ($\overline{OE}$) 输入的 4 位线路驱动器。当 $\overline{OE}$ 为低电平时，该器件将来自 A 输入的数据传输到 Y 输出。当 $\overline{OE}$ 为高电平时，输出处于高阻态。为了确保加电或断电期间的高阻抗状态，$\overline{OE}$ 必须通过一个上拉电阻器被连接至 V_{CC}；该电阻器的最小值由驱动器的电流灌入能力来决定。

表 8-1. 功能表

输入(1)		输出(2)
$\overline{OE}$	A	Y
低电平	L	L
L	H	H
H	X	Z

(1) H = 高电压电平，L = 低电压电平，X = 不用考虑
(2) H = 高电平驱动，L = 低电平驱动，Z = 高阻抗状态

Copyright © 2023 Texas Instruments Incorporated

9 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

SN74LV244A 器件可用作 8 通道缓冲器，将信号从一个控制器驱动到另一器件。缓冲器通常用于在印刷电路板长布线上运行的信号，或通过将两个印刷电路板连接在一起的连接器传输的信号。缓冲器还用于在线路之间创建延迟，以匹配两个时钟或数据信号的边沿。SN74LV244A 器件具有高电流能力，还允许控制器驱动高达 16mA 的 LED。

9.2 典型应用

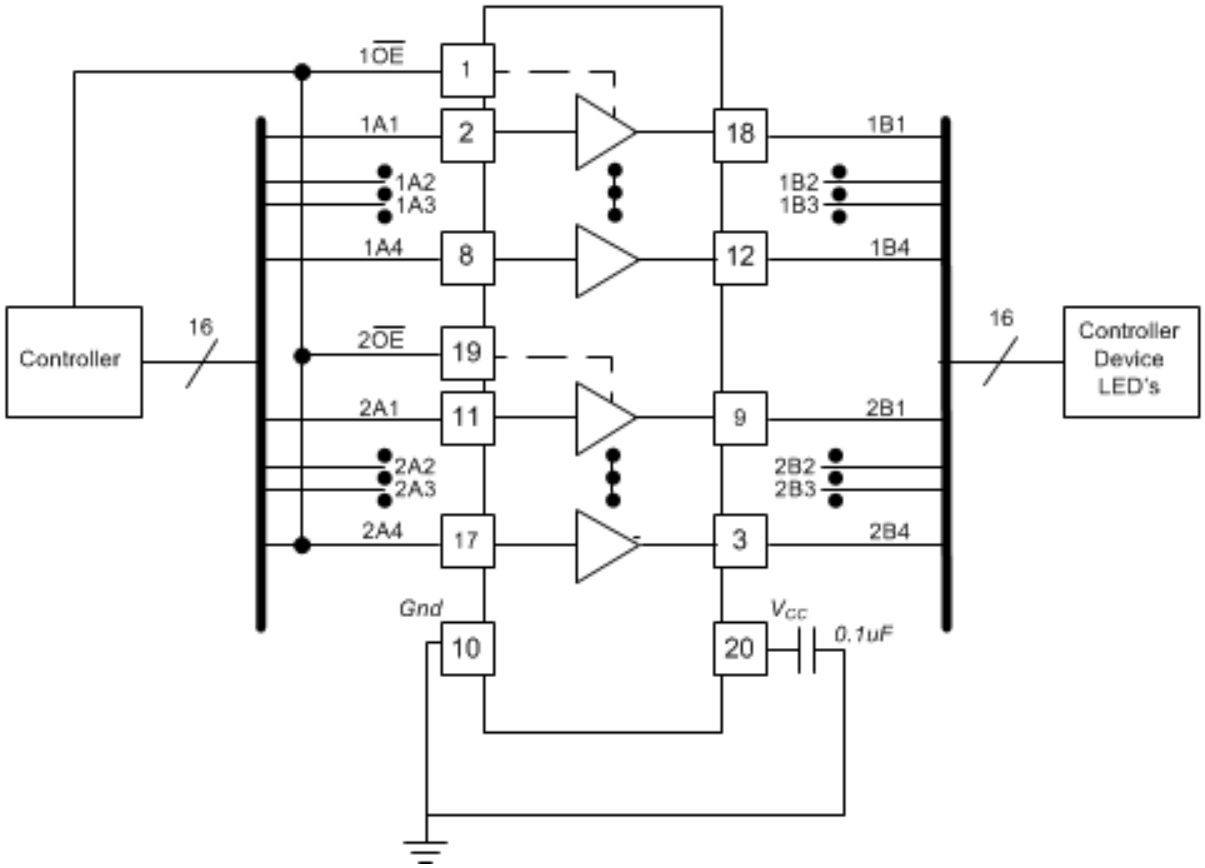


图 9-1. 典型应用图

9.2.1 电源注意事项

确保所需电源电压在*建议运行条件*中规定的范围内。电源电压按照*电气特性*部分所述设置器件的电气特性。

正电压电源必须能够提供的电流等于 SN74LV244A 所有输出端拉出的总电流加上最大静态电源电流 I_{CC}（在*电气特性*中列出）以及开关所需的任何瞬态电流之和。逻辑器件只能拉出与正电源提供的大小相同的电流。确保不要超过*绝对最大额定值*中列出的通过 V_{CC} 的最大总电流。

Copyright © 2023 Texas Instruments Incorporated

地必须能够灌入的电流等于 SN74LV244A 所有输出端灌入的总电流加上最大电源电流 I_{CC}（在*电气特性*中列出）以及开关所需的任何瞬态电流之和。逻辑器件只能灌入其所接的地可灌入的大小相同的电流。确保不要超过*绝对最大额定值*中列出的通过 GND 的最大总电流。

SN74LV244A 可以驱动总电容小于或等于 50pF 的负载，同时仍满足所有数据表规格。可以施加更大的容性负载；但建议不要超过 50pF。

SN74LV244A 可以驱动由 $R_L \geq V_O/I_O$ 描述的总电阻负载，输出电压和电流在*电气特性*表中用 V_{OH} 和 V_{OL} 定义。在高电平状态下输出时，公式中的输出电压定义为测量的输出电压与 V_{CC} 引脚处的电源电压之间的差值。

总功耗可以使用 *CMOS 功耗与 Cpd 计算*中提供的信息进行计算。

可以使用*标准线性和逻辑 (SLL) 封装和器件的热特性*中提供的信息计算热增量。

CAUTION

*绝对最大额定值*中列出的最高结温 $T_{J(max)}$ 是防止损坏器件的附加限制。请勿违反*绝对最大额定值*中列出的任何值。提供这些限制是为了防止损坏器件。

9.2.2 输入注意事项

输入信号必须超过 $V_{IL(max)}$ 才能被视为逻辑低电平，超过 $V_{IH(min)}$ 才能被视为逻辑高电平。不要超过*绝对最大额定值*中的最大输入电压范围。

未使用的输入必须端接至 V_{CC} 或地。如果输入完全不使用，则可以直接端接未使用的输入，如果有时要使用输入，但并非始终使用，则可以使用上拉或下拉电阻器连接输入。上拉电阻用于默认高电平状态，下拉电阻用于默认低电平状态。控制器的驱动电流、进入 SN74LV244A 的漏电流（如*电气特性*中所规定）以及所需输入转换率会限制电阻大小。由于这些因素，通常使用 10kΩ 的电阻值。

SN74LV244A 具有 CMOS 输入，因此需要进行快速输入转换才能正常工作，如*建议运行条件*表中所定义。缓慢的输入转换会导致振荡、额外的功耗以及器件可靠性下降。

有关此器件的输入的附加信息，请参阅*特性描述*部分。

9.2.3 输出注意事项

正电源电压用于产生输出高电平电压。根据*电气特性*中 V_{OH} 规范的规定，从输出端汲取电流将降低输出电压。接地电压用于产生输出低电平电压。根据*电气特性*中 V_{OL} 规范的规定，向输出端灌入电流将提高输出电压。

可能处于相反状态的推挽输出始终不应直接连接在一起，即使时间很短也不例外。否则可能会导致电流过大并损坏器件。

同一器件内具有相同输入信号的两个通道可以并联，以获得额外的输出驱动强度。

未使用的输出可以保持悬空状态。不要将输出直接连接到 V_{CC} 或地。

有关此器件的输出的附加信息，请参阅*特性描述*部分。

9.2.4 详细设计过程

1. 在 V_{CC} 至 GND 之间添加一个去耦电容器。此电容器需要在物理上靠近器件，在电气上靠近 V_{CC} 和 GND 引脚。*布局*部分中显示了示例布局。
2. 确保输出端的容性负载 ≤ 50pF。这不是硬性限制；但是，根据设计，该限制将优化性能。这可以通过从 SN74LV244A 向一个或多个接收器件提供适当大小的短布线来实现。
3. 确保输出端的电阻负载大于 $(V_{CC}/I_{O(max)})$ Ω。这可防止超出*绝对最大额定值*中的最大输出电流。大多数 CMOS 输入具有以 MΩ 为单位的电阻负载；远大于之前计算的最小值。
4. 逻辑门很少关注热问题；然而，可以使用应用报告 *CMOS 功耗与 Cpd 计算*中提供的步骤计算功耗和热增量。

Copyright © 2023 Texas Instruments Incorporated

9.2.5 应用曲线

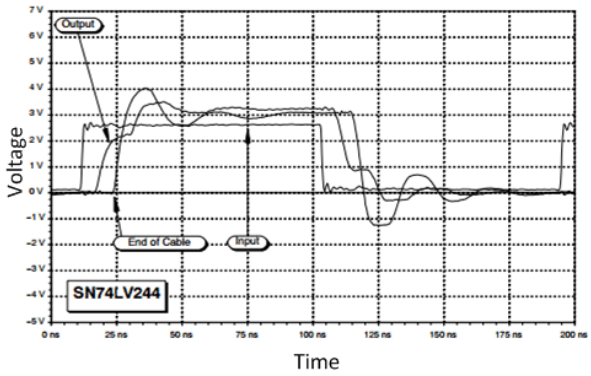


图 9-2. SN74LV244A 瞬态响应

Copyright © 2023 Texas Instruments Incorporated

9.3 电源相关建议

电源可以是*绝对最大额定值*部分中最小与最大电源电压额定值之间的任何电压。每个 V_{CC} 端子都必须具有一个良好的旁路电容器，以防止功率干扰。对于单电源器件，TI 建议使用 0.1μF 电容器；如果有多个 V_{CC} 端子，则 TI 建议为每个电源端子使用 0.01μF 或 0.022μF 电容器。可以并联多个旁路电容器以抑制不同的噪声频率。0.1 μ F 和 1 μ F 频率通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

9.4 布局

9.4.1 布局指南

使用多输入和多通道逻辑器件时，输入不得悬空。在许多情况下，未使用数字逻辑器件的功能或部分功能；例如，当仅使用三输入与门的两个输入或仅使用 4 个缓冲门中的 3 个时。此类未使用的输入引脚不得悬空，因为外部连接处的未定义电压会导致未定义的操作状态。数字逻辑器件的所有未使用输入必须连接到由输入电压规范定义的逻辑高电平电压或逻辑低电平电压，以防止其悬空。必须应用于任何特定未使用输入的逻辑电平取决于器件的功能。通常，输入连接到 GND 或 V_{CC}，以对逻辑功能更有意义或更方便者为准。

9.4.2 布局示例

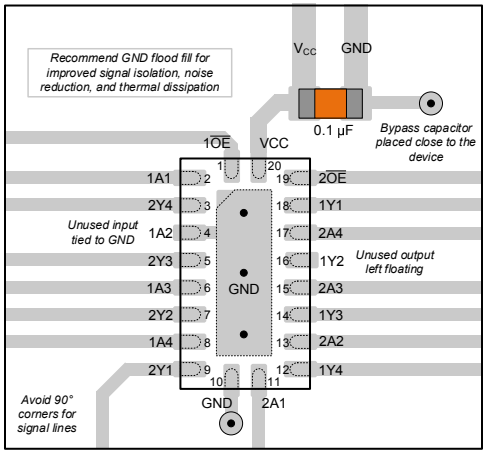


图 9-3. 采用 RKS 封装的 SN74LV244A 布局示例

10 器件和文档支持

10.1 文档支持

10.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI)，*CMOS 功耗与 Cpd 计算*
- 德州仪器 (TI)，*CMOS 输入缓慢或悬空的影响* 应用手册
- 德州仪器 (TI)，*标准线性和逻辑 (SLL) 封装和器件的热特性*

10.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 *订阅更新* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

TI E2E™ 支持论坛是工程师的重要参考资料，可直接从专家获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题可获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的《使用条款》。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

10.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2023 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
SN74LV244ADBR	ACTIVE	SSOP	DB	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV244A	Samples
SN74LV244ADBRE4	ACTIVE	SSOP	DB	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV244A	Samples
SN74LV244ADBRG4	ACTIVE	SSOP	DB	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV244A	Samples
SN74LV244ADGSR	ACTIVE	VSSOP	DGS	20	5000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	L244A	Samples
SN74LV244ADGVR	ACTIVE	TVSOP	DGV	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV244A	Samples
SN74LV244ADWR	ACTIVE	SOIC	DW	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV244A	Samples
SN74LV244ADWRG4	ACTIVE	SOIC	DW	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV244A	Samples
SN74LV244ANSR	ACTIVE	SO	NS	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	74LV244A	Samples
SN74LV244APWR	ACTIVE	TSSOP	PW	20	2000	RoHS & Green	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 125	LV244A	Samples
SN74LV244APWRE4	ACTIVE	TSSOP	PW	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV244A	Samples
SN74LV244APWRG3	ACTIVE	TSSOP	PW	20	2000	RoHS & Green	SN	Level-1-260C-UNLIM	-40 to 125	LV244A	Samples
SN74LV244APWRG4	ACTIVE	TSSOP	PW	20	2000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV244A	Samples
SN74LV244ARGYR	ACTIVE	VQFN	RGY	20	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	LV244A	Samples
SN74LV244ARKSR	ACTIVE	VQFN	RKS	20	3000	RoHS & Green	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LV244A	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LV244A :

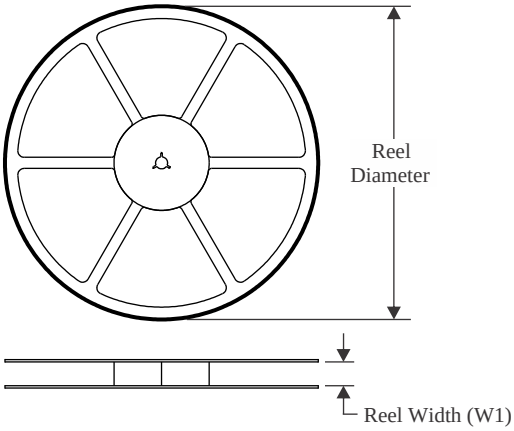
- Automotive : SN74LV244A-Q1
- Enhanced Product : SN74LV244A-EP

NOTE: Qualified Version Definitions:

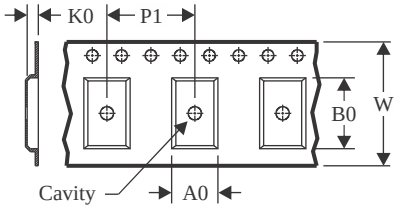
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

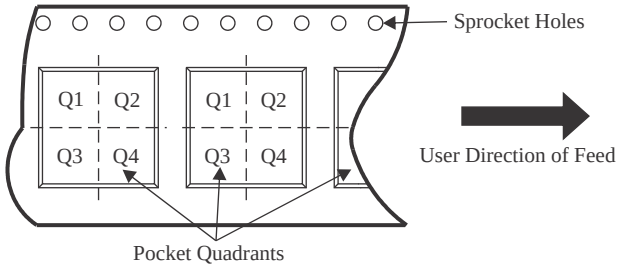


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

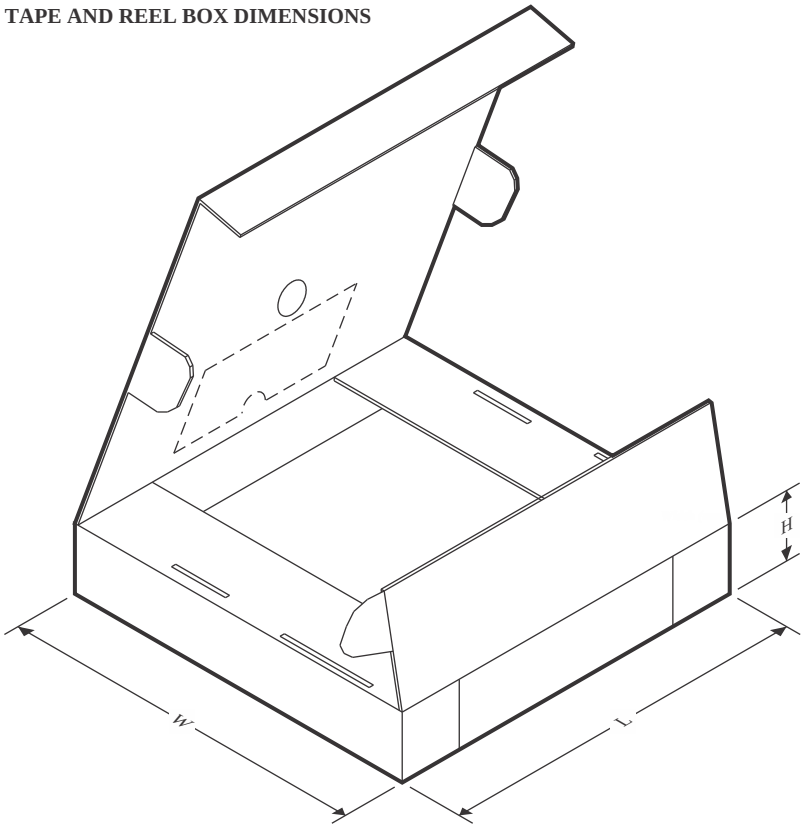
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

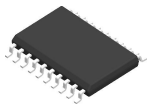
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LV244ADBR	SSOP	DB	20	2000	330.0	16.4	8.2	7.5	2.5	12.0	16.0	Q1
SN74LV244ADGSR	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
SN74LV244ADGVR	TVSOP	DGV	20	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LV244ADWR	SOIC	DW	20	2000	330.0	24.4	10.8	13.3	2.7	12.0	24.0	Q1
SN74LV244ADWR	SOIC	DW	20	2000	330.0	24.4	10.9	13.3	2.7	12.0	24.0	Q1
SN74LV244ANSR	SO	NS	20	2000	330.0	24.4	8.4	13.0	2.5	12.0	24.0	Q1
SN74LV244APWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74LV244APWRG3	TSSOP	PW	20	2000	330.0	16.4	6.95	7.1	1.6	8.0	16.0	Q1
SN74LV244APWRG4	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74LV244APWRG4	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74LV244ARGYR	VQFN	RGY	20	3000	330.0	12.4	3.8	4.8	1.6	8.0	12.0	Q1
SN74LV244ARKSR	VQFN	RKS	20	3000	180.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LV244ADBR	SSOP	DB	20	2000	356.0	356.0	35.0
SN74LV244ADGSR	VSSOP	DGS	20	5000	356.0	356.0	35.0
SN74LV244ADGVR	TVSOP	DGV	20	2000	356.0	356.0	35.0
SN74LV244ADWR	SOIC	DW	20	2000	367.0	367.0	45.0
SN74LV244ADWR	SOIC	DW	20	2000	356.0	356.0	41.0
SN74LV244ANSR	SO	NS	20	2000	367.0	367.0	45.0
SN74LV244APWR	TSSOP	PW	20	2000	356.0	356.0	35.0
SN74LV244APWRG3	TSSOP	PW	20	2000	364.0	364.0	27.0
SN74LV244APWRG4	TSSOP	PW	20	2000	356.0	356.0	35.0
SN74LV244APWRG4	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74LV244ARGYR	VQFN	RGY	20	3000	356.0	356.0	35.0
SN74LV244ARKSR	VQFN	RKS	20	3000	210.0	185.0	35.0

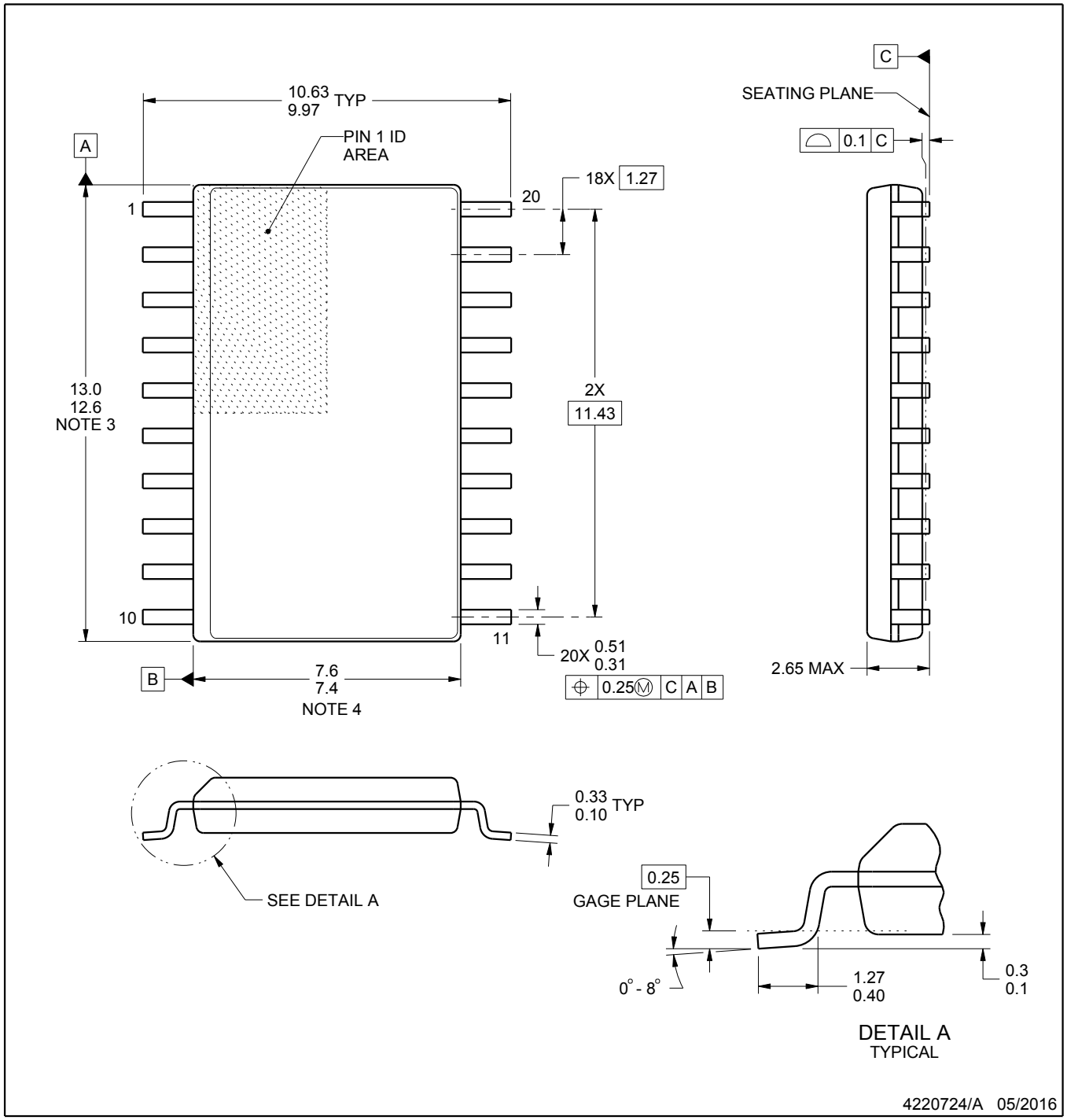


PACKAGE OUTLINE

DW0020A

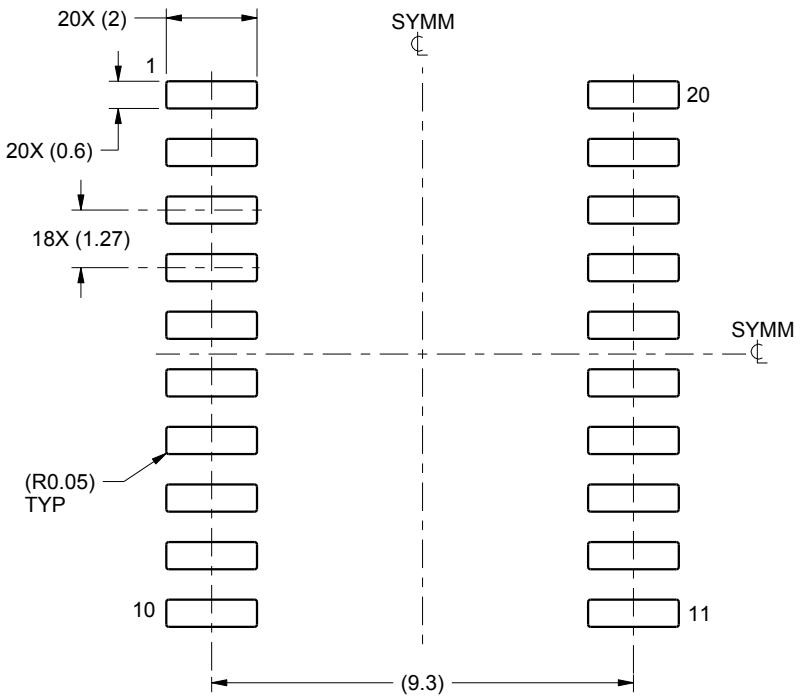
SOIC - 2.65 mm max height

SOIC

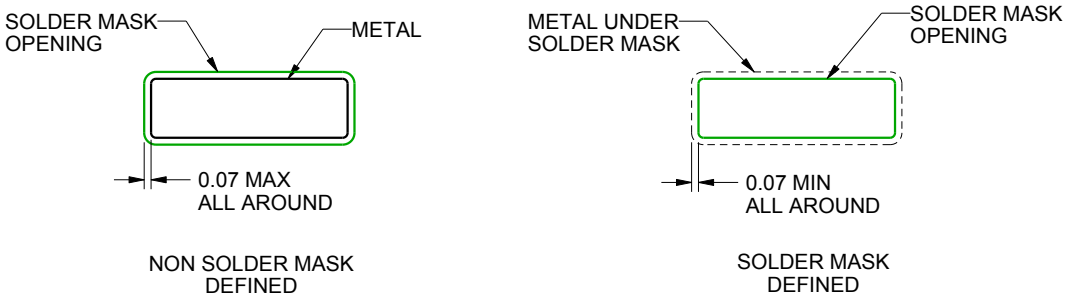


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm per side.
5. Reference JEDEC registration MS-013.



LAND PATTERN EXAMPLE
SCALE:6X

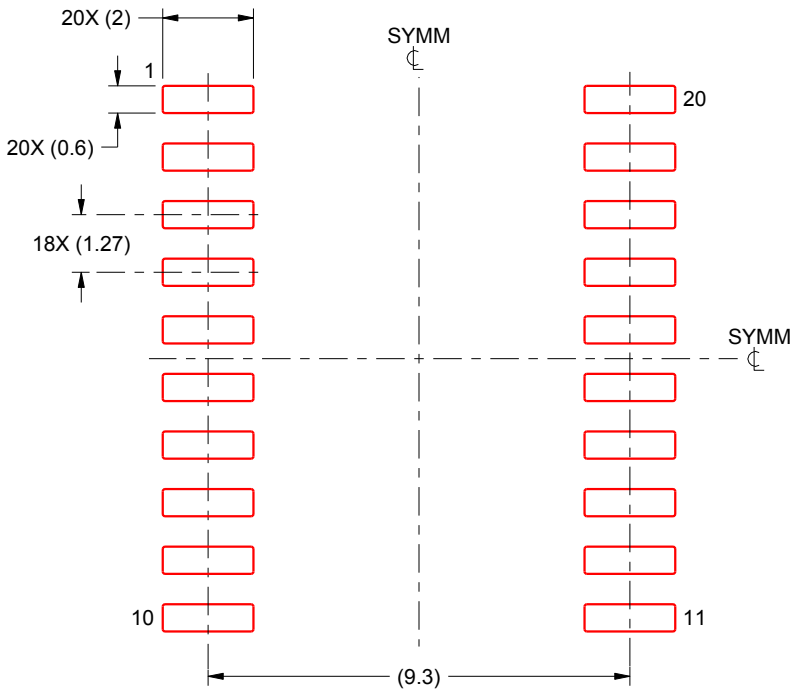


SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

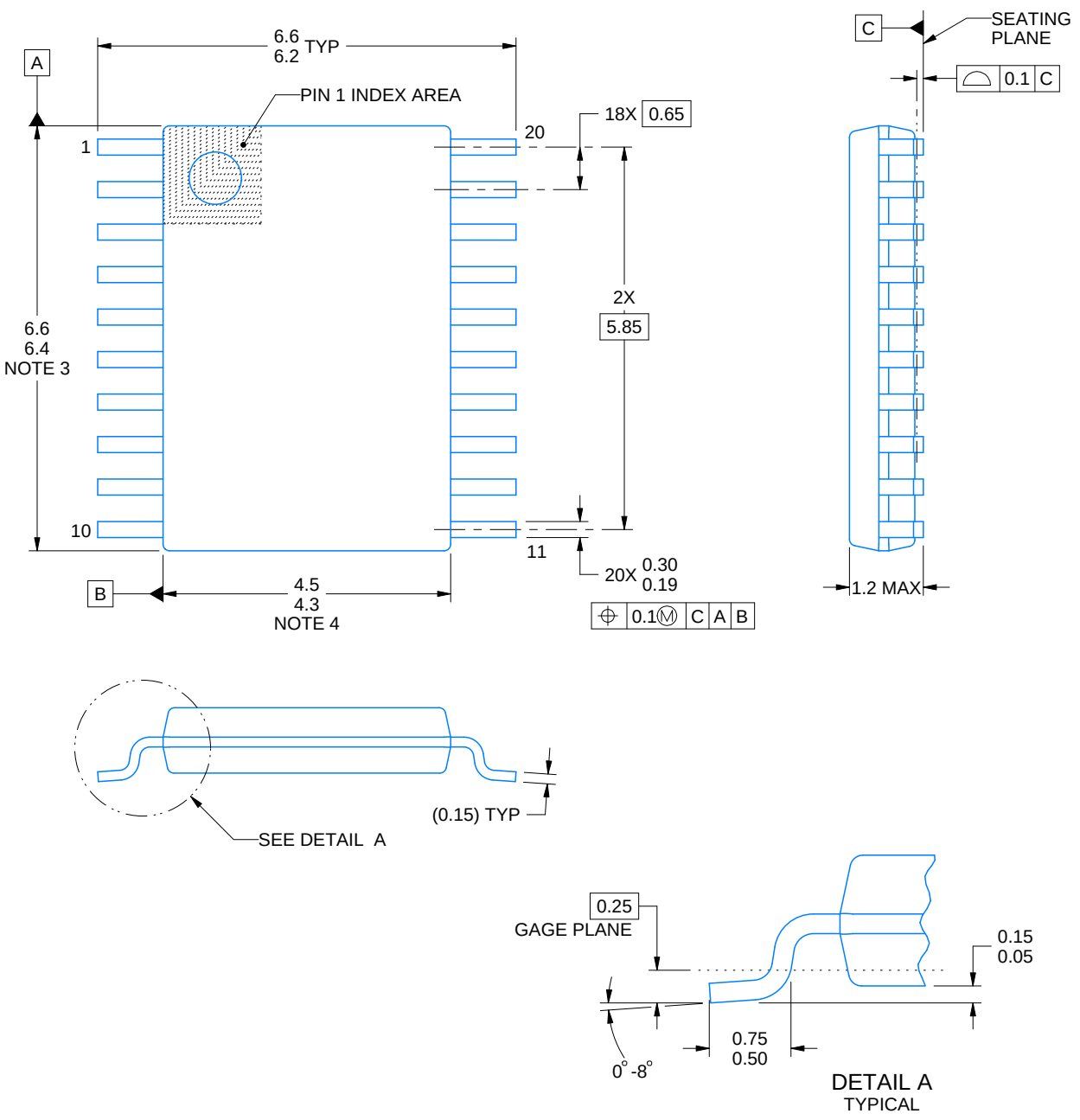
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0020A

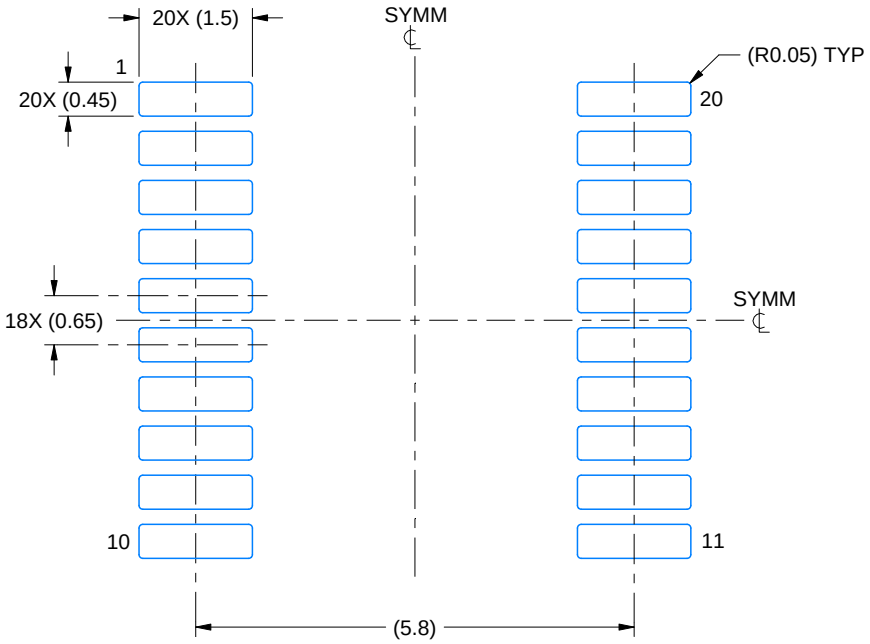
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

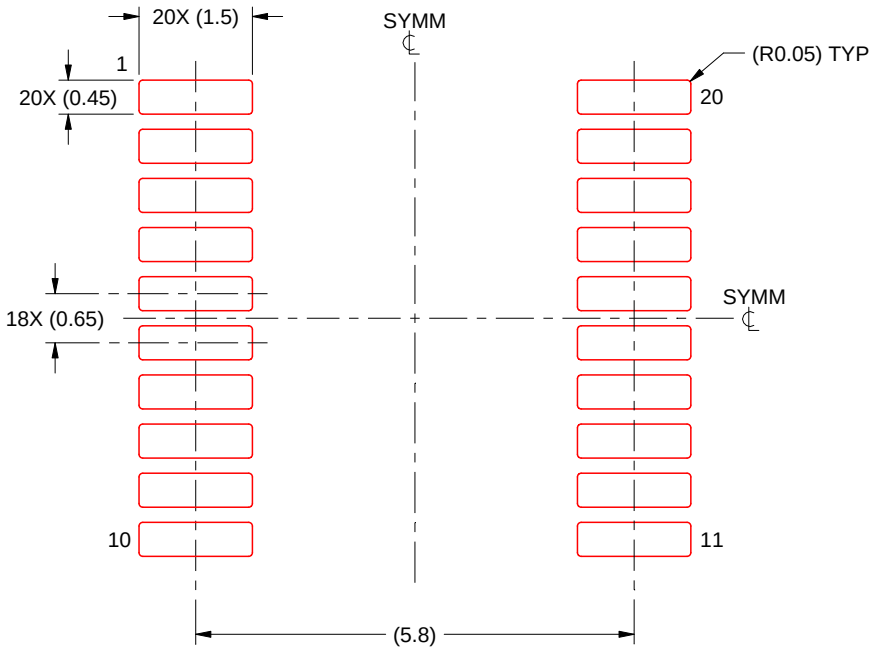


SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



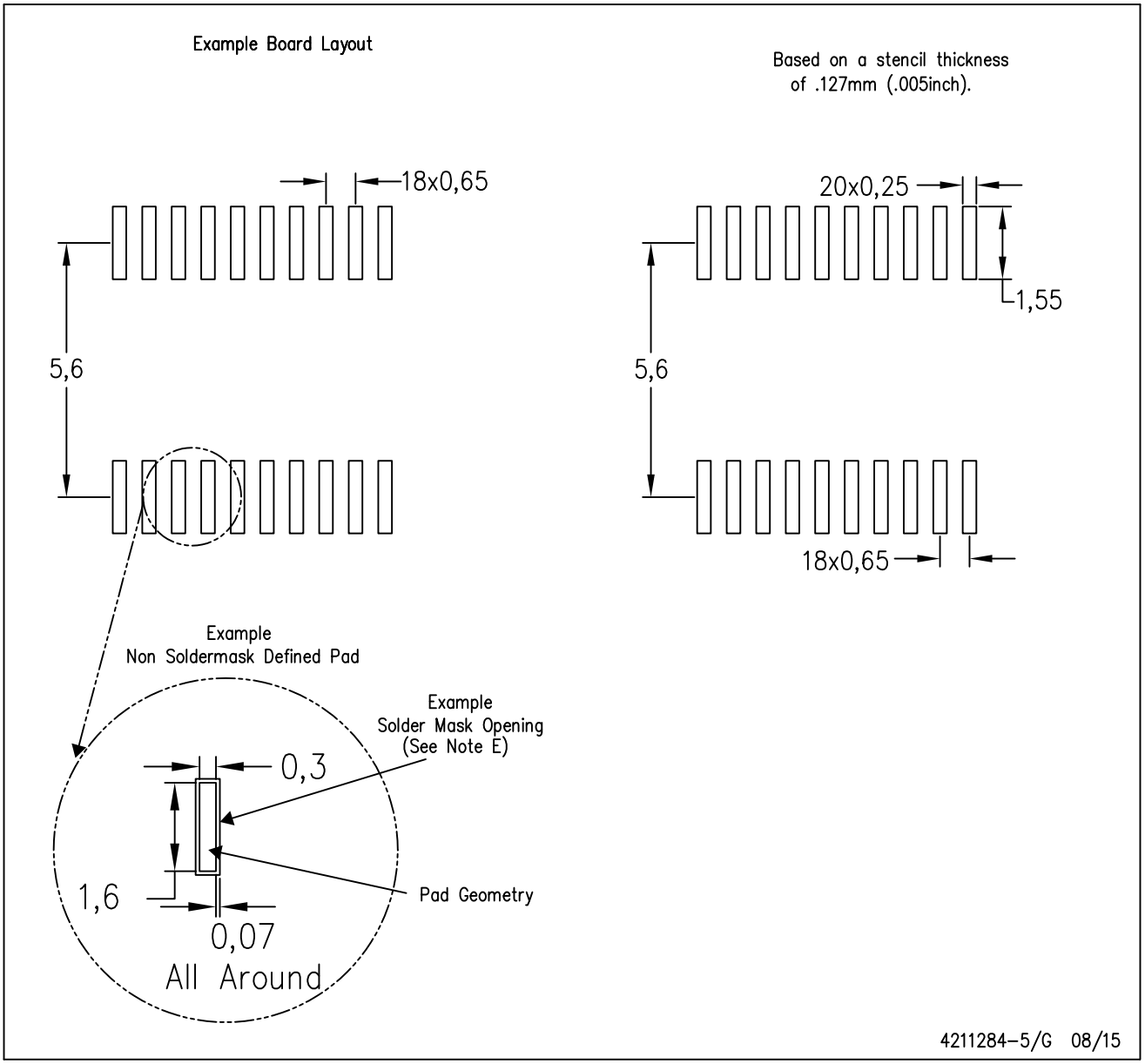
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PW (R–PDSO–G20) PLASTIC SMALL OUTLINE



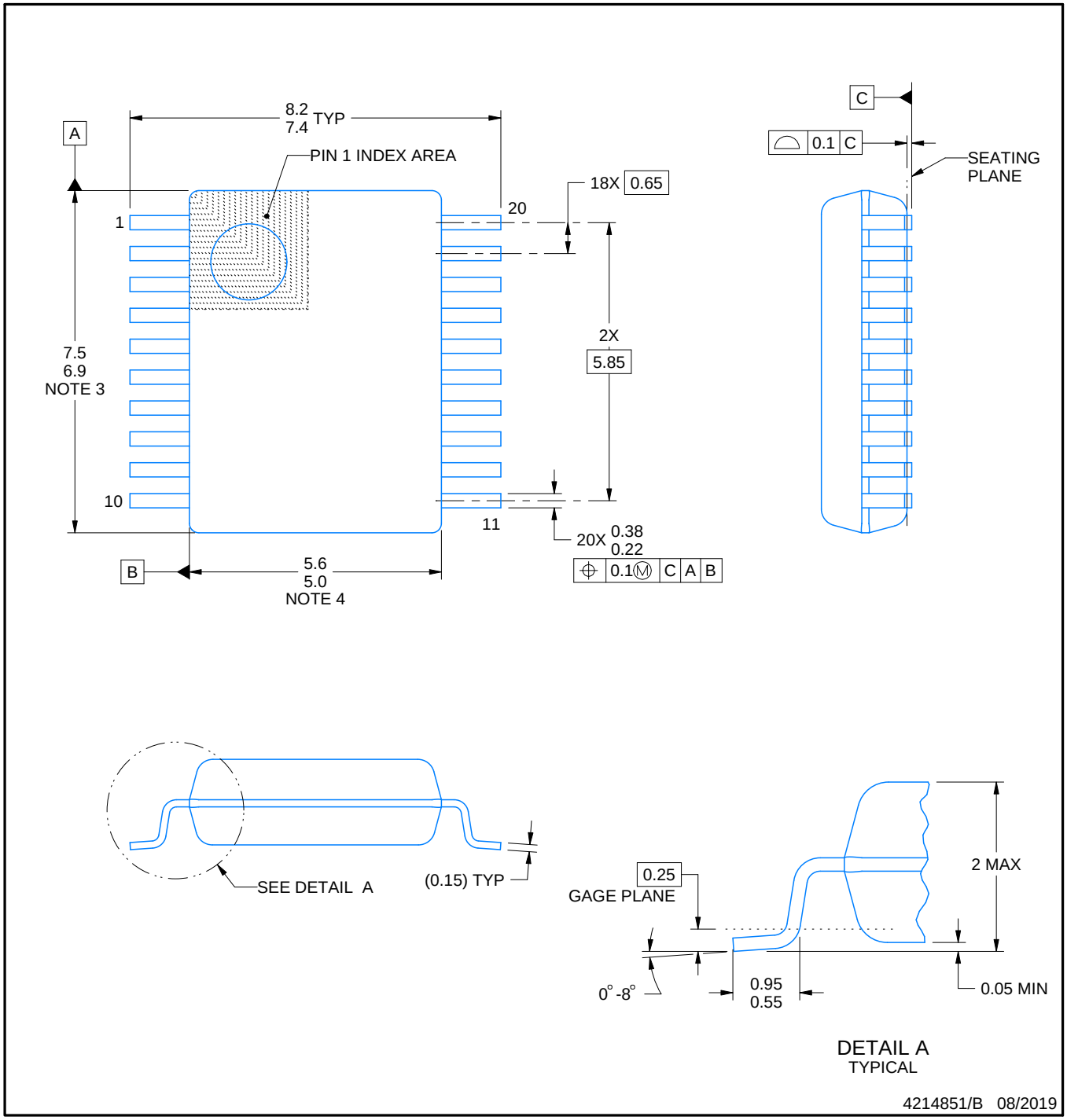
NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Publication IPC–7351 is recommended for alternate design.
D. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC–7525 for other stencil recommendations.
E. Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

PACKAGE OUTLINE

DB0020A

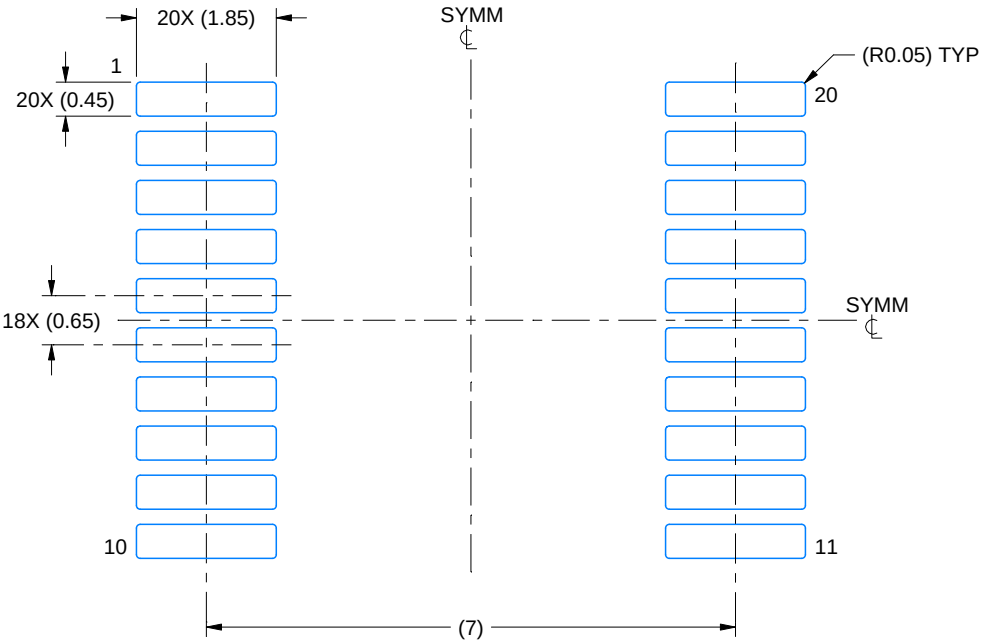
SSOP - 2 mm max height

SMALL OUTLINE PACKAGE

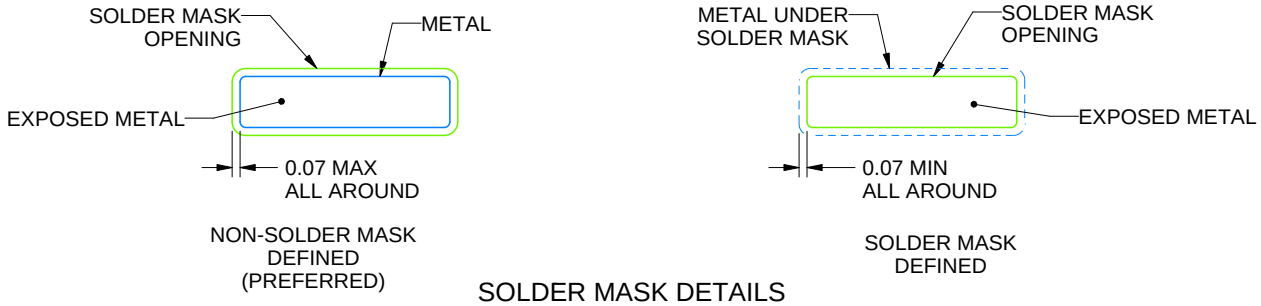


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-150.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4214851/B 08/2019

NOTES: (continued)

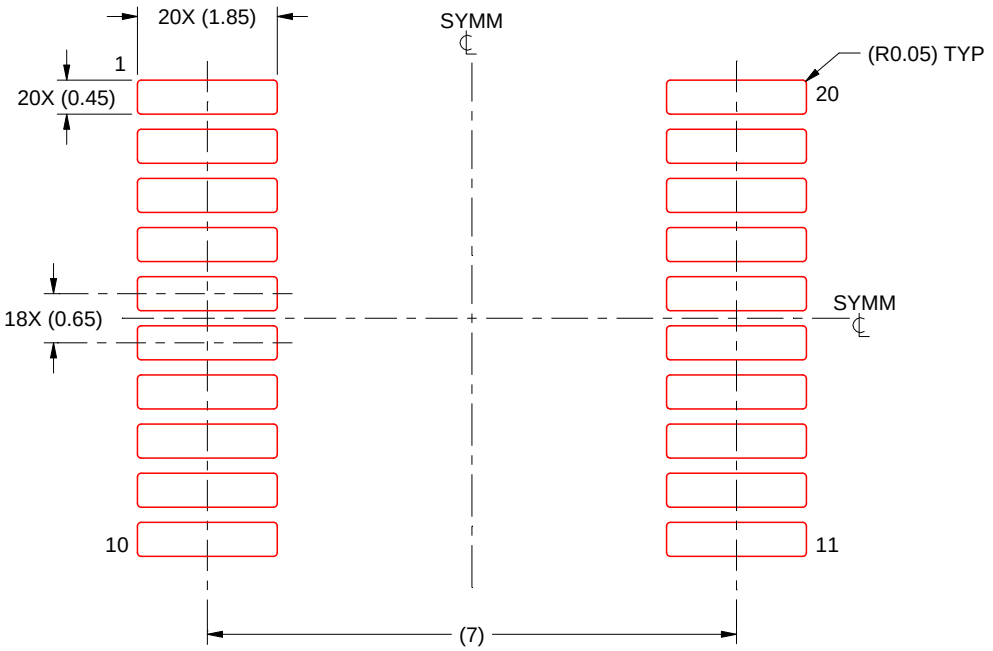
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DB0020A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4214851/B 08/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

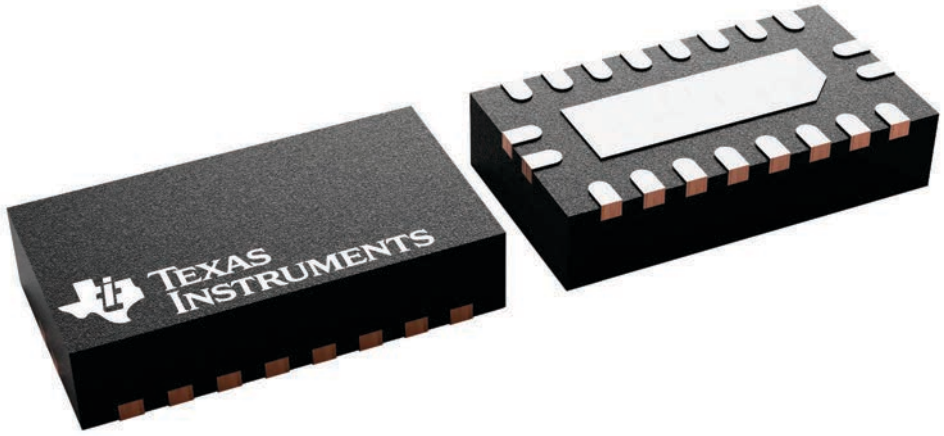
RKS 20

VQFN - 1 mm max height

2.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

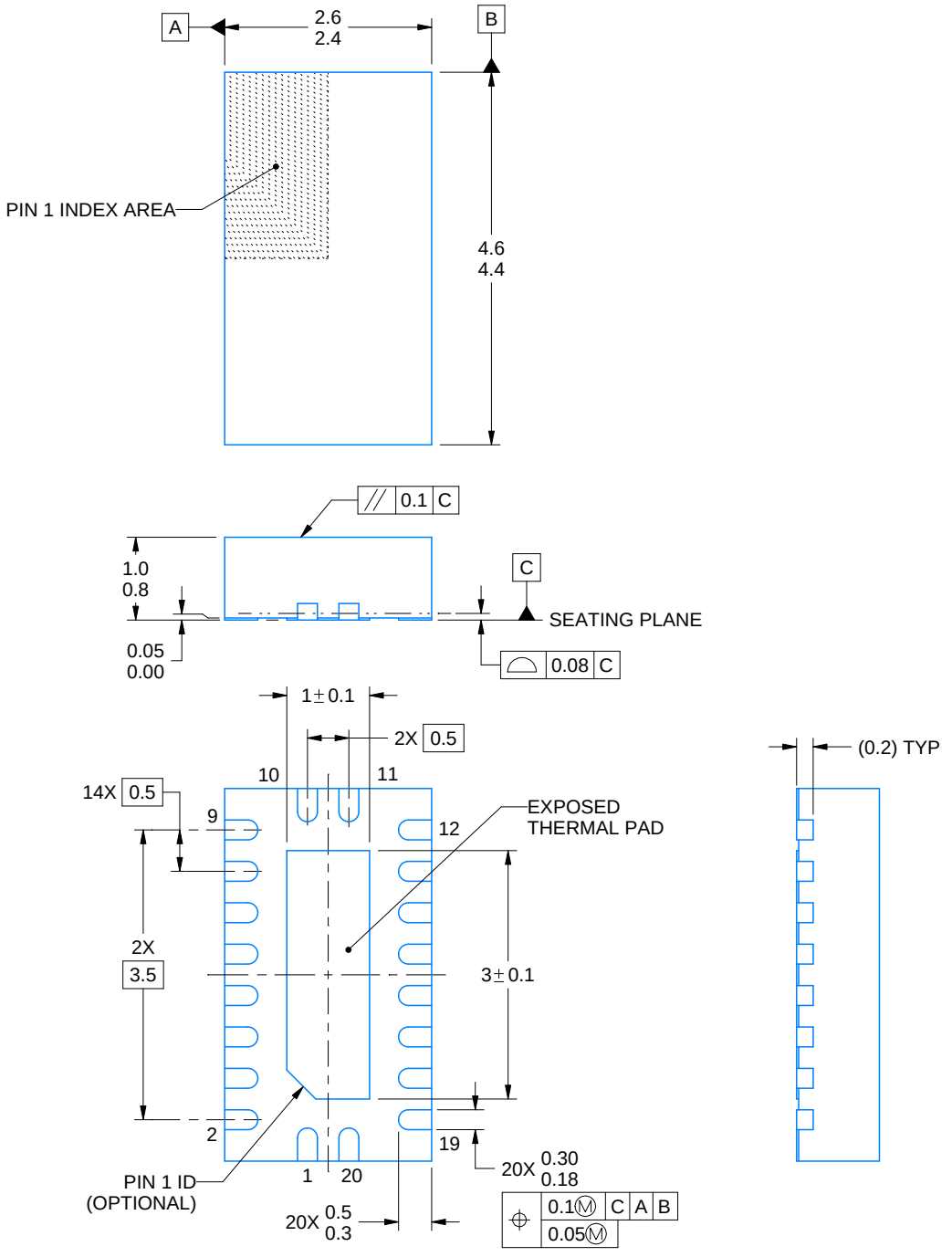


PACKAGE OUTLINE

RKS0020A

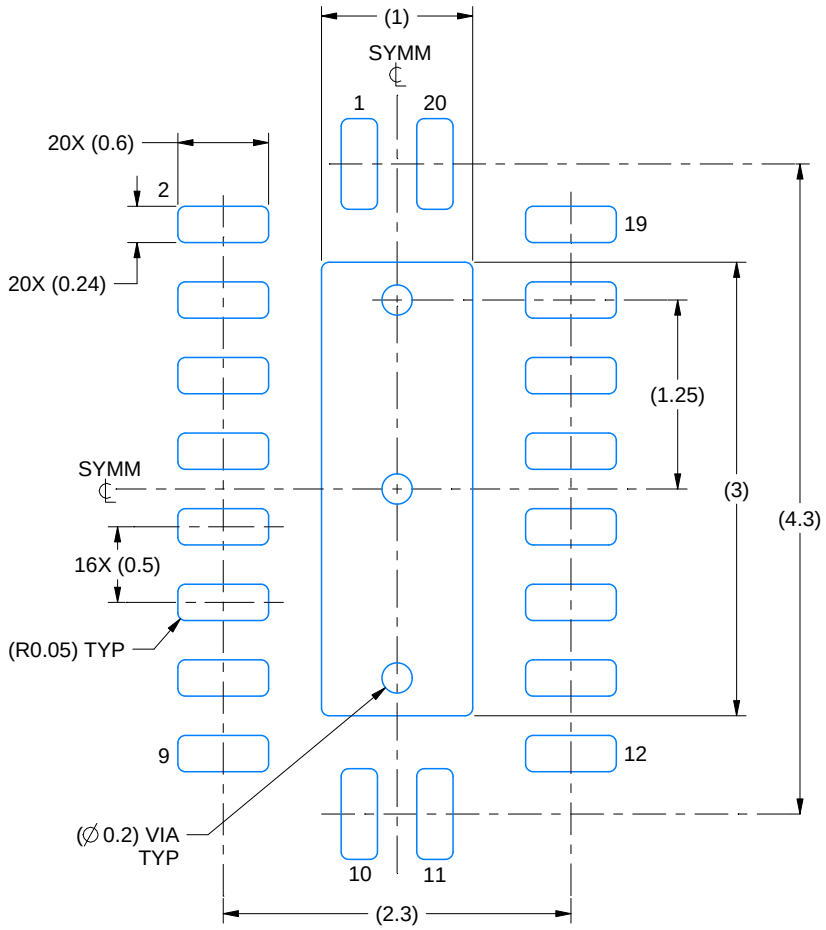
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

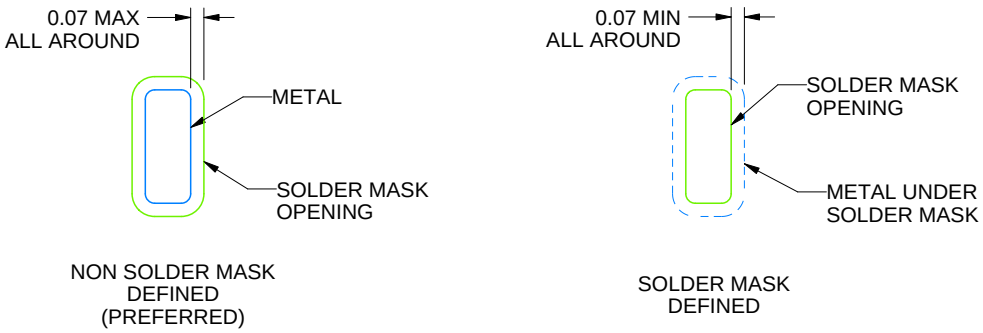


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

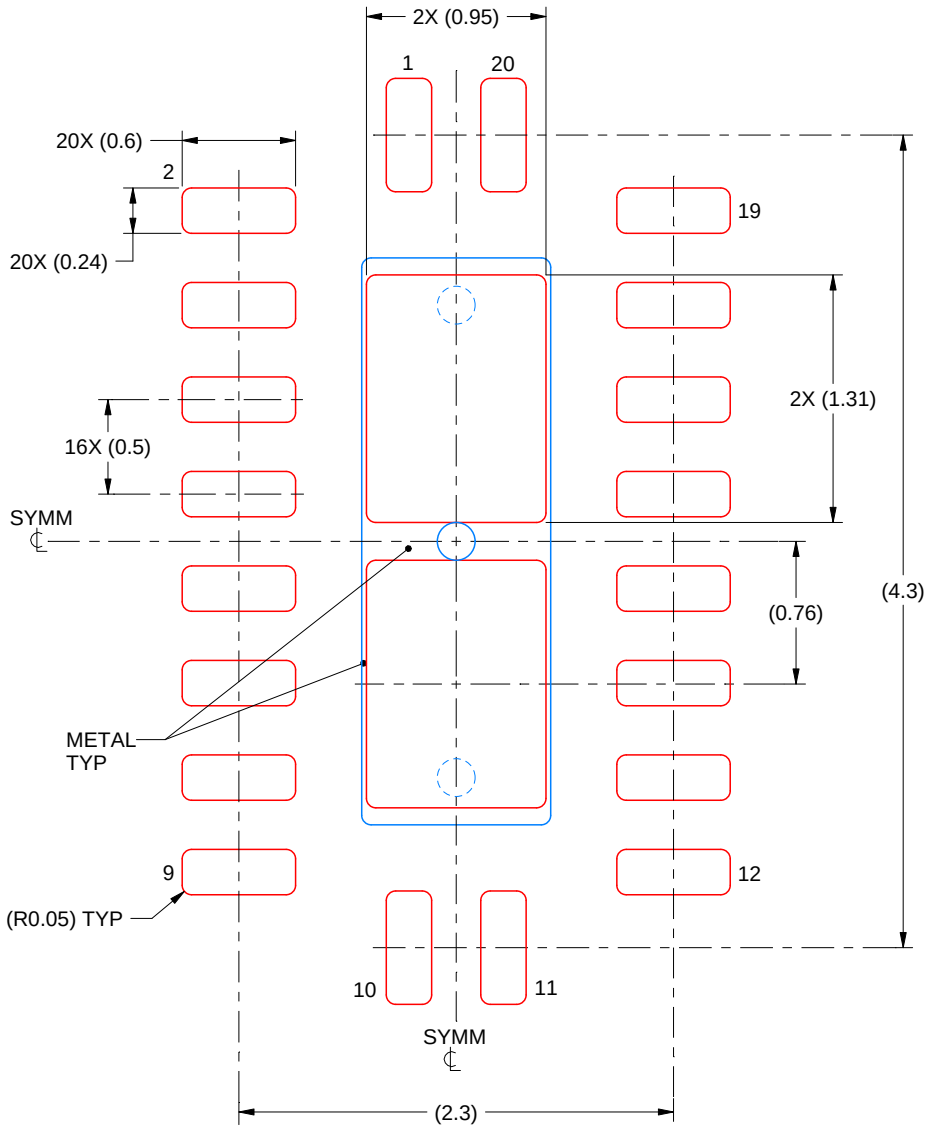


SOLDER MASK DETAILS

4222490/B 02/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If some or all are implemented, recommended via locations are shown.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
83% PRINTED SOLDER COVERAGE BY AREA
SCALE:25X

4222490/B 02/2021

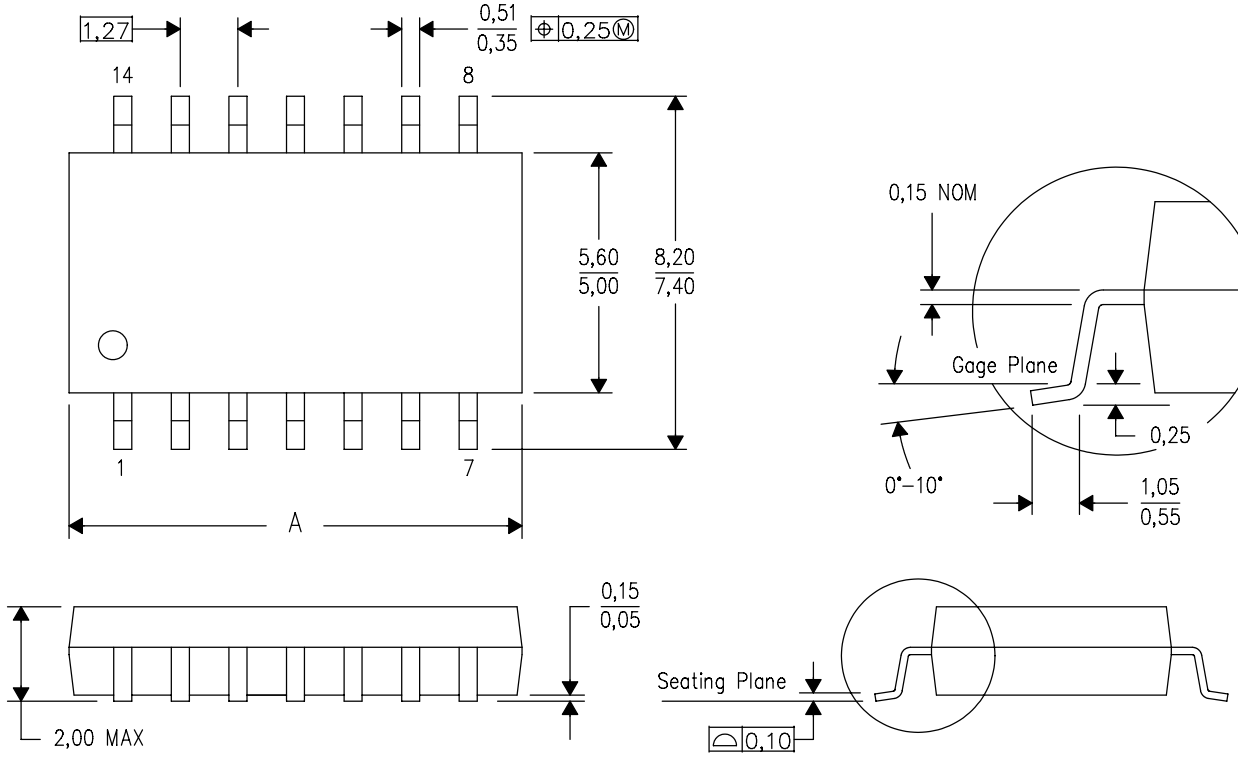
NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

MECHANICAL DATA

NS (R-PDSO-G)** **PLASTIC SMALL-OUTLINE PACKAGE**

14-PINS SHOWN



DIM \ PINS **	14	16	20	24
A MAX	10,50	10,50	12,90	15,30
A MIN	9,90	9,90	12,30	14,70

4040062/C 03/03

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

GENERIC PACKAGE VIEW

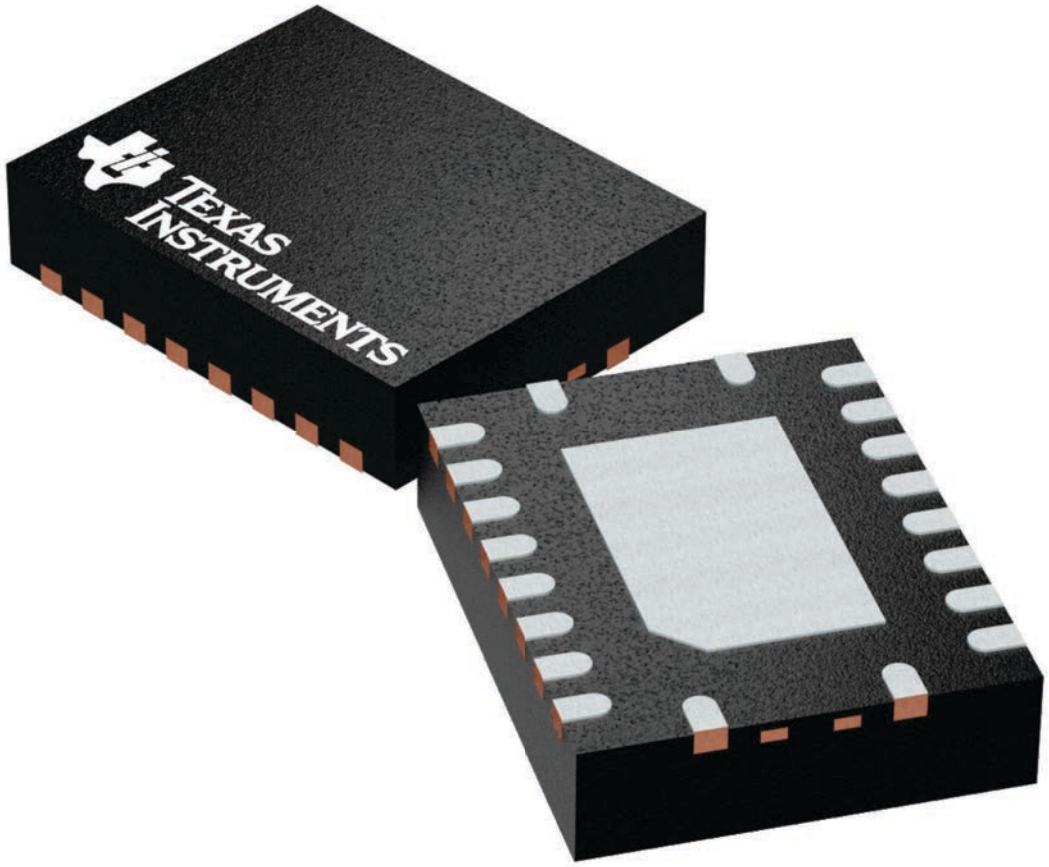
RGY 20

VQFN - 1 mm max height

3.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FGLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



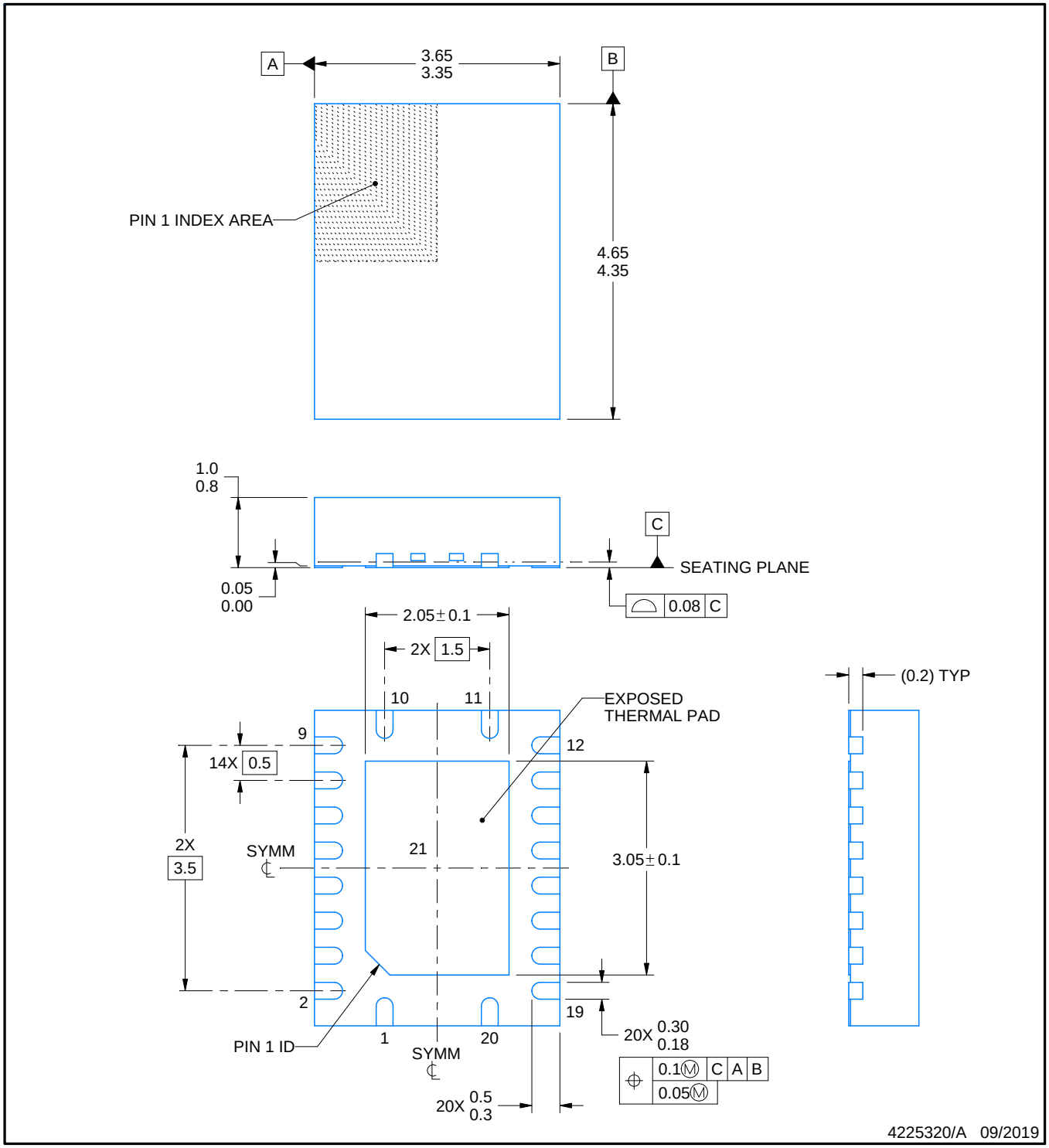
4225264/A

PACKAGE OUTLINE

RGY0020A

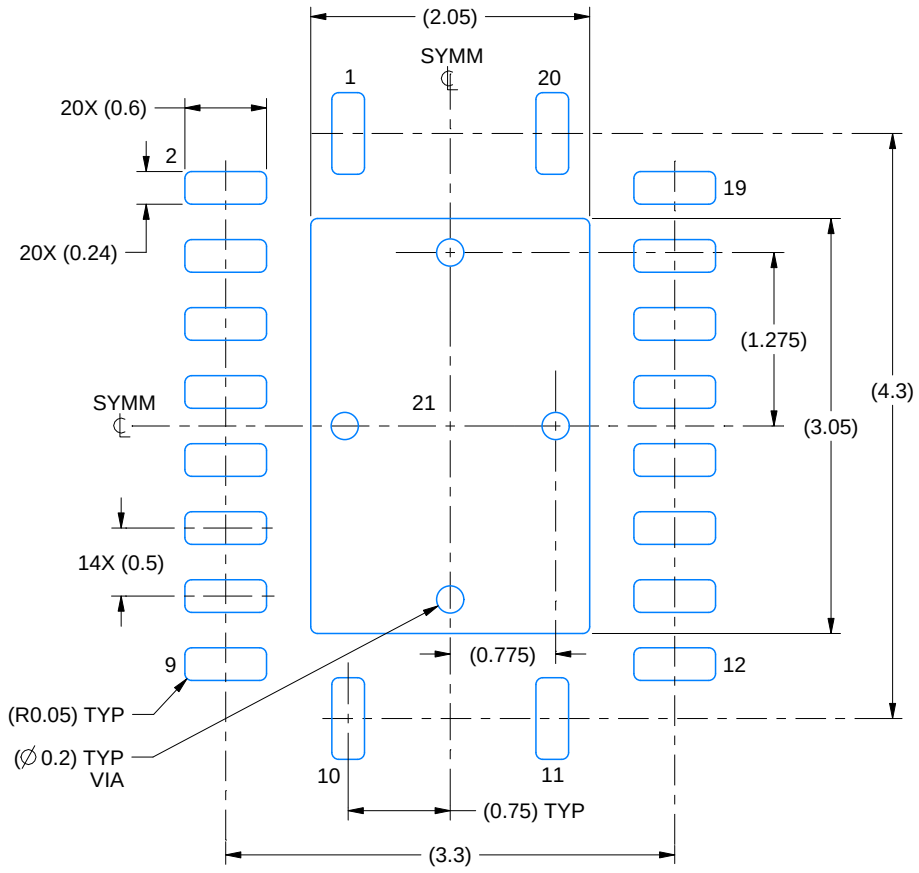
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

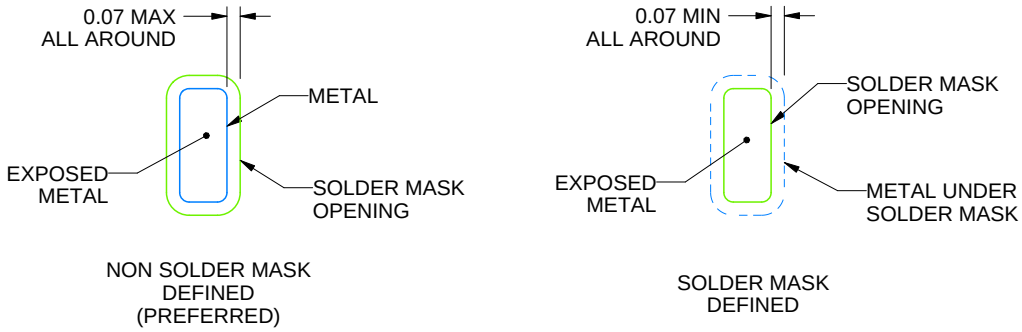


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

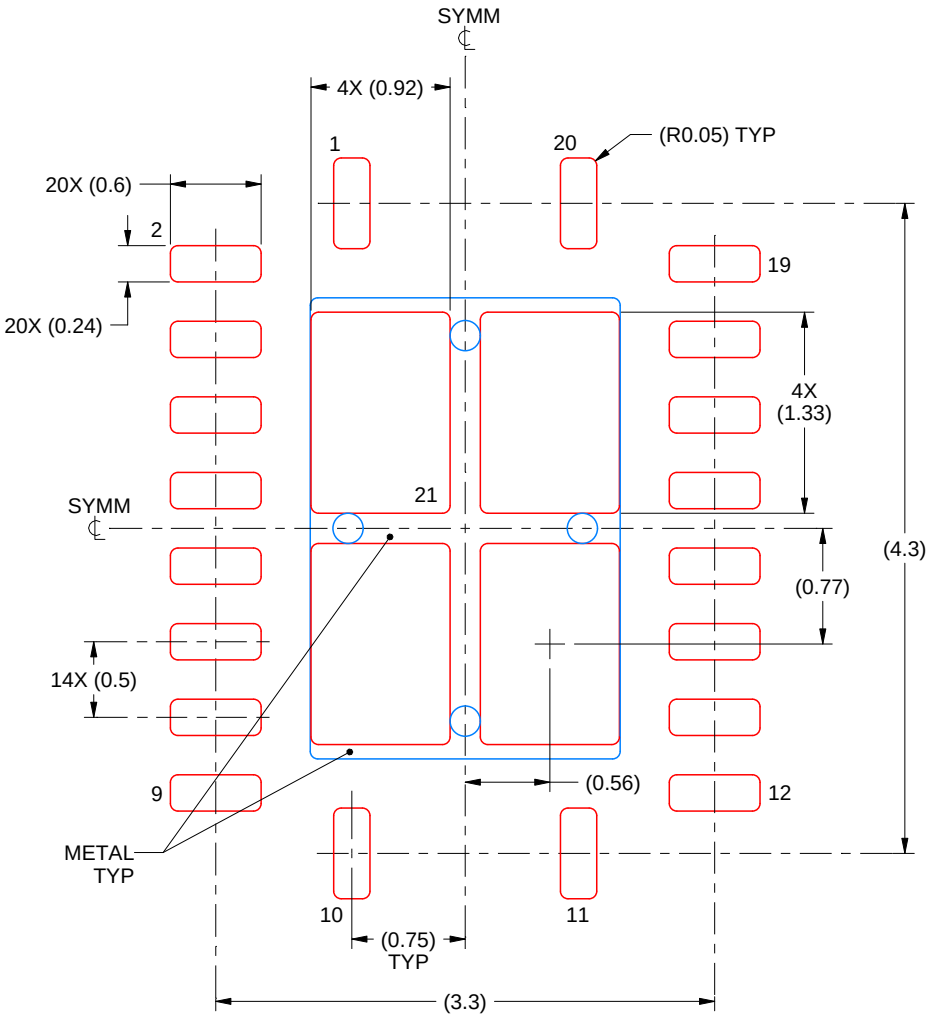


SOLDER MASK DETAILS

4225320/A 09/2019

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 21
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:20X

4225320/A 09/2019

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司