

具有三态输出的 SN74AHC573-Q1 车用八路透明 D 类锁存器

1 特性

- 符合汽车应用要求
- 工作范围为 2V 至 5.5V V_{CC}
- 三态输出可直接驱动总线

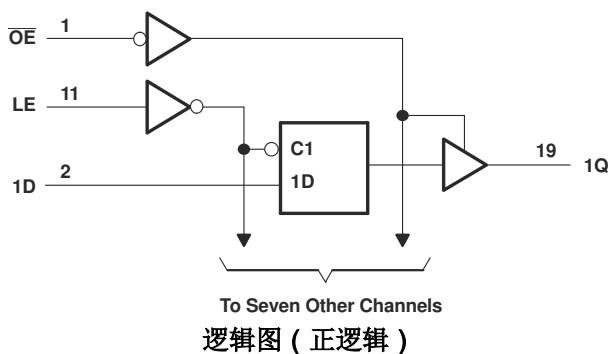
2 说明

SN74AHC573 是一款设计用于在 2V 至 5.5V V_{CC} 下运行的八路透明 D 类锁存器。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾	本体尺寸 ⁽³⁾
SN74AHC573-Q1	PW (TSSOP , 20)	6.50mm × 6.4mm	6.50mm × 4.40mm

- (1) 如需了解更多信息, 请参阅[机械、封装和可订购信息](#)。
 (2) 封装尺寸 (长 × 宽) 为标称值, 并包括引脚 (如适用)。
 (3) 本体尺寸 (长 × 宽) 为标称值, 不包括引脚。



内容

1 特性	1	6.1 概述	8
2 说明	1	6.2 功能方框图	8
3 引脚配置和功能	3	6.3 器件功能模式	8
4 规格	4	7 应用和实施	9
4.1 绝对最大额定值.....	4	7.1 电源相关建议.....	9
4.2 ESD 等级.....	4	7.2 布局.....	9
4.3 建议运行条件.....	4	8 器件和文档支持	11
4.4 热性能信息.....	5	8.1 文档支持.....	11
4.5 电气特性.....	5	8.2 接收文档更新通知.....	11
4.6 时序要求, $V_{CC} = 3.3V \pm 0.3V$	5	8.3 支持资源.....	11
4.7 时序要求, $V_{CC} = 5V \pm 0.5V$	5	8.4 商标.....	11
4.8 开关特性, $V_{CC} = 3.3V \pm 0.3V$	6	8.5 静电放电警告.....	11
4.9 开关特性, $V_{CC} = 5V \pm 0.5V$	6	8.6 术语表.....	11
4.10 工作特性.....	6	9 修订历史记录	11
5 参数测量信息	7	10 机械、封装和可订购信息	11
6 详细说明	8		

3 引脚配置和功能

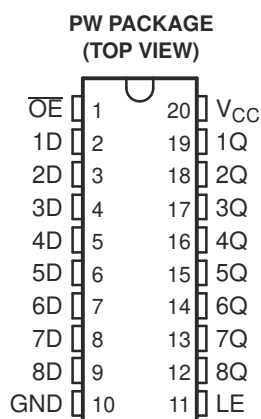


图 3-1. PW 封装，20 引脚 TSSOP (俯视图)

引脚		I/O ¹	说明
编号	名称		
1	OE	I	输出使能
2	1D	I	1D 输入
3	2D	I	2D 输入
4	3D	I	3D 输入
5	4D	I	4D 输入
6	5D	I	5D 输入
7	6D	I	6D 输入
8	7D	I	7D 输入
9	8D	I	8D 输入
10	GND	—	接地
11	LE	I	锁存器使能
12	8Q	O	8Q 输出
13	7Q	O	7Q 输出
14	6Q	O	6Q 输出
15	5Q	O	5Q 输出
16	4Q	O	4Q 输出
17	3Q	O	3Q 输出
18	2Q	O	2Q 输出
19	1Q	O	1Q 输出
20	VCC	—	电源引脚

1. I = 输入、O = 输出、P = 电源、FB = 反馈、GND = 接地、N/A = 不适用

4 规格

4.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	最大值	单位
V_{CC}	电源电压范围	-0.5	7	V
V_I	输入电压范围 ⁽¹⁾	-0.5	7	V
V_O	输出电压范围 ⁽¹⁾	-0.5	$V_{CC} + 0.5$	V
I_{IK}	输入钳位电流	$V_I < 0$		-20 mA
I_{OK}	输出钳位电流	$V_O < 0$ 或 $V_O > V_{CC}$		±20 mA
I_O	持续输出电流	$V_O = 0$ 至 V_{CC}		±25 mA
	通过 V_{CC} 或 GND 的持续电流			±75 mA
T_{stg}	贮存温度范围	-65	150	°C

(1) 超出“最大绝对额定值”下列出的值可能会对器件造成永久损坏。这些仅为在额定值下的工作情况，对于额定值下或者在超出“推荐的操作条件”下的任何其它情况下的器件功能性操作，在此并未说明。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

4.2 ESD 等级

		值	单位
$V_{(ESD)}$	静电放电		
	人体放电模型 (HBM), 符合 AEC Q100-002 标准 ⁽¹⁾	±1000	V
	充电器件模型 (CDM), 符合 AEC Q100-011 标准	±1000	

(1) AEC Q100-002 指示必须按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

4.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

			-40°C 至 125°C		-40°C 至 85°C		单位
			最小值	最大值	最小值	最大值	
V _{CC}	电源电压		2	5.5	2	5.5	V
V _{IH}	高电平输入电压	V _{CC} = 2V	1.5		1.5		V
		V _{CC} = 3V	2.1		2.1		
		V _{CC} = 5.5V	3.85		3.85		
V _{IL}	低电平输入电压	V _{CC} = 2V		0.5		0.5	V
		V _{CC} = 3V		0.9		0.9	
		V _{CC} = 5.5V		1.65		1.65	
V _I	输入电压		0	5.5	0	5.5	V
V _O	输出电压		0	V _{CC}	0	V _{CC}	V
I _{OH}	高电平输出电流	V _{CC} = 2V		-50		-50	μ A
		V _{CC} =3.3V±0.3V		-4		-4	mA
		V _{CC} =5V±0.5V		-8		-8	
I _{OL}	低电平输出电流	V _{CC} = 2V		50		50	μ A
		V _{CC} =3.3V±0.3V		4		4	mA
		V _{CC} =5V±0.5V		8		8	
Δ t/ Δ v	输入转换上升或下降速率	V _{CC} =3.3V±0.3V		100		100	ns/V
		V _{CC} =5V±0.5V		20		20	
T _A	自然通风条件下的工作温度范围		-40	125	-40	85	°C

(1) 器件所有的未使用输入必须保持在 V_{CC} 或 GND 以确保器件正常运行。请参阅 TI 应用报告 **CMOS 输入缓慢变化或悬空的影响**，文献编号 SCBA004。

4.4 热性能信息

热指标 ⁽¹⁾	结至环境热阻	SN74AHC573-Q1	单位
		PW (TSSOP)	
		20 引脚	
$R_{\theta JA}$		83	°C/W

(1) 有关新旧热指标的更多信息, 请参阅 *IC 封装热指标* 应用报告 (SPRA953)。

4.5 电气特性

在自然通风条件下的建议运行温度范围内测得 (除非另有说明)

参数	测试条件	V_{CC}	$T_A = 25^{\circ}\text{C}$			-40°C 至 125°C		-40°C 至 85°C		单位
			最小值	典型值	最大值	最小值	最大值	最小值	最大值	
V_{OH}	$I_{OH} = -50\ \mu\text{A}$	2V	1.9	2		1.9		1.9		V
		3V	2.9	3		2.9		2.9		
		4.5V	4.4	4.5		4.4		4.4		
	$I_{OH} = -4\text{mA}$	3V	2.58			2.48		2.48		
		4.5V	3.94			3.8		3.8		
V_{OL}	$I_{OL} = 50\ \mu\text{A}$	2V			0.1		0.1		0.1	V
		3V			0.1		0.1		0.1	
		4.5V			0.1		0.1		0.1	
	$I_{OL} = 4\text{mA}$	3V			0.36		0.5		0.44	
		4.5V			0.36		0.5		0.44	
I_I	$V_I = 5.5\text{V}$ 或 GND	0V 至 5.5V			± 0.1		± 1		± 1	μA
I_{OZ}	$V_I = V_{IL}$ 或 V_{IH} , $V_O = V_{CC}$ 或 GND	5.5V			± 0.25		± 2.5		± 2.5	μA
I_{CC}	$V_I = V_{CC}$ 或 GND , $I_O = 0$	5.5V			4		40		40	μA
C_i	$V_I = V_{CC}$ 或 GND	5V		2.5	10				10	pF
C_o	$V_O = V_{CC}$ 或 GND	5V		3.5						pF

4.6 时序要求, $V_{CC} = 3.3\text{V} \pm 0.3\text{V}$

在自然通风条件下的建议工作温度范围内测得, $V_{CC} = 3.3\text{V} \pm 0.3\text{V}$ (除非另有说明) (请参阅 [负载电路和电压波形](#))

		$T_A = 25^{\circ}\text{C}$		-40°C 至 125°C		-40°C 至 85°C		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
t_w	脉冲持续时间, LE 高电平	5		5		5		ns
t_{su}	设置时间, LE ↓ 前的数据	3.5		3.5		3.5		ns
t_h	保持时间, LE ↓ 后的数据	1.5		1.5		1.5		ns

4.7 时序要求, $V_{CC} = 5\text{V} \pm 0.5\text{V}$

在自然通风条件下的建议工作温度范围内测得, $V_{CC} = 5\text{V} \pm 0.5\text{V}$ (除非另有说明) (请参阅 [负载电路和电压波形](#))

		$T_A = 25^{\circ}\text{C}$		-40°C 至 125°C		-40°C 至 85°C		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
t_w	脉冲持续时间, LE 高电平	5		5		5		ns
t_{su}	设置时间, LE ↓ 前的数据	3.5		3.5		3.5		ns
t_h	保持时间, LE ↓ 后的数据	1.5		1.5		1.5		ns

4.8 开关特性， $V_{CC} = 3.3V \pm 0.3V$

在自然通风条件下的建议工作温度范围内测得， $V_{CC} = 3.3V \pm 0.3V$ （除非另有说明）（请参阅[负载电路和电压波形](#)）

参数	从 (输入)	至 (输出)	负载 电容	$T_A = 25^\circ\text{C}$			-40°C 至 125°C		-40°C 至 85°C		单位
				最小值	典型值	最大值	最小值	最大值	最小值	最大值	
t_{PLH}	D	Q	$C_L = 50\text{pF}$	9.5	14.5		1	16.5	1	16.5	ns
t_{PHL}				9.5	14.5		1	16.5	1	16.5	
t_{PLH}	LE	Q	$C_L = 50\text{pF}$	10.1	15.4		1	17.5	1	17.5	ns
t_{PHL}				10.1	15.4		1	17.5	1	17.5	
t_{PZH}	$\overline{OE}$	Q	$C_L = 50\text{pF}$	9.8	15		1	17	1	17	ns
t_{PZL}				9.8	15		1	17	1	17	
t_{PHZ}	$\overline{OE}$	Q	$C_L = 50\text{pF}$	10.7	14.5		1	16.5	1	16.5	ns
t_{PLZ}				10.7	14.5		1	16.5	1	16.5	

4.9 开关特性， $V_{CC} = 5V \pm 0.5V$

在自然通风条件下的建议工作温度范围内测得， $V_{CC} = 5V \pm 0.5V$ （除非另有说明）（请参阅[负载电路和电压波形](#)）

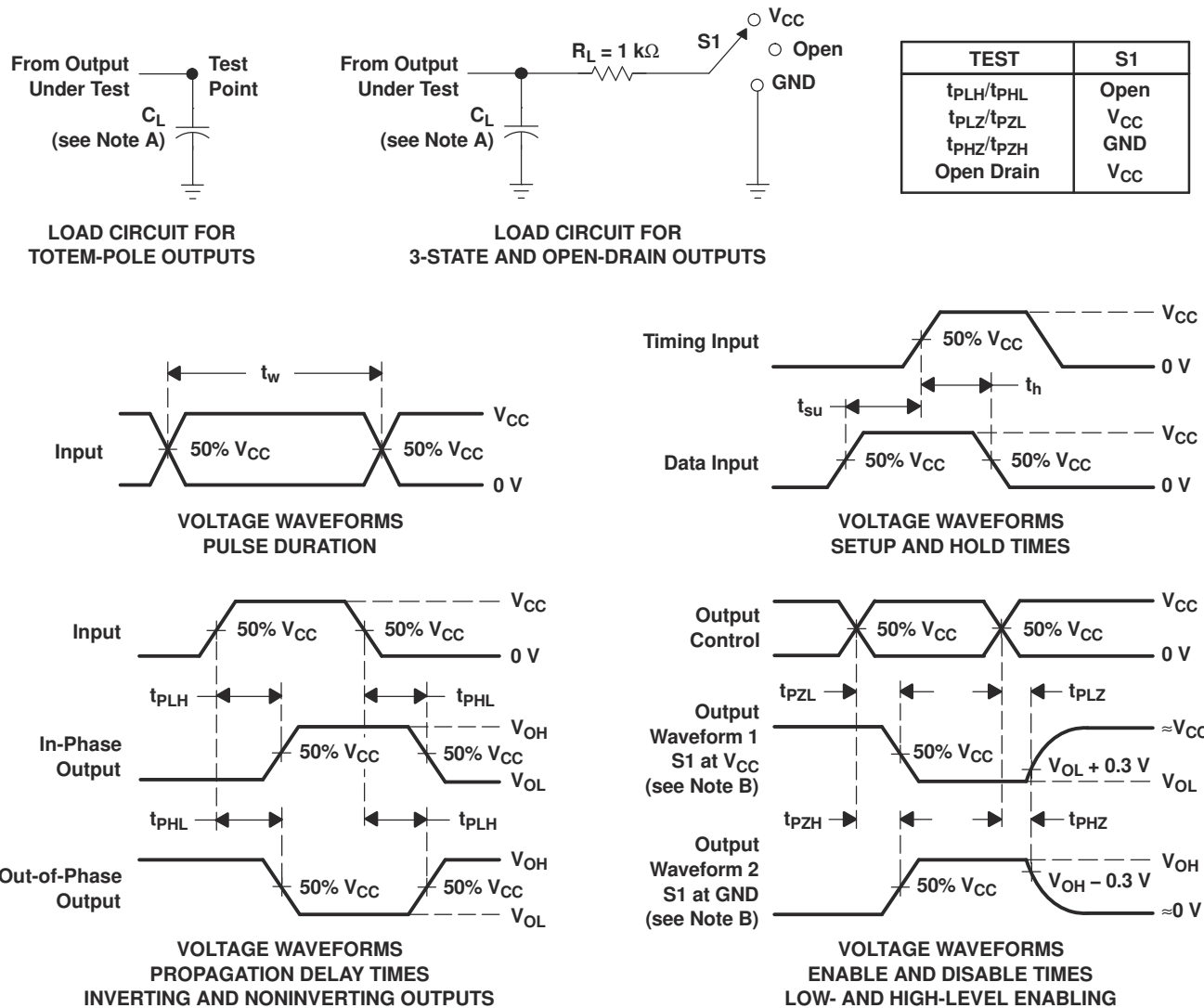
参数	从 (输入)	至 (输出)	负载 电容	$T_A = 25^\circ\text{C}$			-40°C 至 125°C		-40°C 至 85°C		单位
				最小值	典型值	最大值	最小值	最大值	最小值	最大值	
t_{PLH}	D	Q	$C_L = 50\text{pF}$	6	8.8		1	10	1	10	ns
t_{PHL}				6	8.8		1	10	1	10	
t_{PLH}	LE	Q	$C_L = 50\text{pF}$	6.5	9.7		1	11	1	11	ns
t_{PHL}				6.5	9.7		1	11	1	11	
t_{PZH}	$\overline{OE}$	Q	$C_L = 50\text{pF}$	6.7	9.7		1	11	1	11	ns
t_{PZL}				6.7	9.7		1	11	1	11	
t_{PHZ}	$\overline{OE}$	Q	$C_L = 50\text{pF}$	6.7	9.7		1	11	1	11	ns
t_{PLZ}				6.7	9.7		1	11	1	11	

4.10 工作特性

$V_{CC} = 5V$ ， $T_A = 25^\circ\text{C}$

参数		测试条件	典型值	单位
C_{pd}	功率耗散电容	无负载， $f = 1\text{MHz}$	16	pF

5 参数测量信息



- NOTES:
- C_L includes probe and jig capacitance.
 - Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
 - All input pulses are supplied by generators having the following characteristics: $PRR \leq 1\text{ MHz}$, $Z_O = 50\ \Omega$, $t_r \leq 3\text{ ns}$, $t_f \leq 3\text{ ns}$.
 - The outputs are measured one at a time, with one input transition per measurement.
 - All parameters and waveforms are not applicable to all devices.

图 5-1. 负载电路和电压波形

6 详细说明

6.1 概述

在锁存器使能 (LE) 输入为高电平时，Q 输出将跟随数据 (D) 输入。当 LE 为低电平时，Q 输出被锁存在 D 输入端的逻辑电平上。

缓冲输出使能 ($\overline{OE}$) 输入可用于将八个输出置于正常逻辑状态 (高逻辑电平或低逻辑电平) 或高阻抗状态。在高阻抗状态下，输出既不对总线施加大量负载，也不显著驱动总线。高阻抗状态和增加的驱动在没有接口或上拉元件的情况下提供了驱动总线的能力。

$\overline{OE}$ 不影响锁存器的内部运行。当输出处于高阻抗状态时，可以保留旧数据或输入新数据。

为了确保加电或断电期间的高阻抗状态， $\overline{OE}$ 应通过一个上拉电阻器被连接至 V_{CC} ；该电阻器的最小值由驱动器的电流吸收能力来决定。

6.2 功能方框图

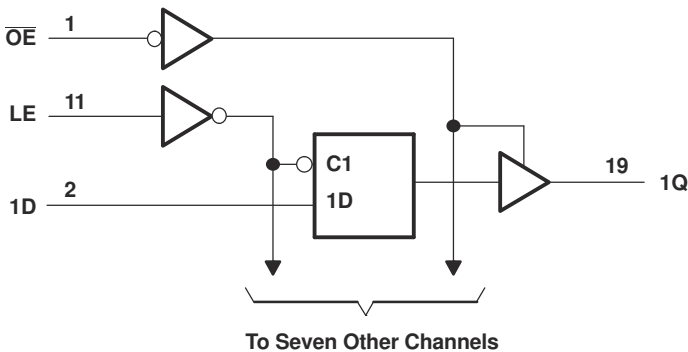


图 6-1. 逻辑图 (正逻辑)

6.3 器件功能模式

表 6-1. 功能表
(每个锁存器)

输入			输出 Q
$\overline{OE}$	LE	D	
L	H	H	H
L	H	L	L
L	L	X	Q_0
H	X	X	Z

7 应用和实施的

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 电源相关建议

电源可以是 *建议运行条件* 中最小和最大电源电压额定值之间的任何电压。每个 V_{CC} 端子均应具有一个良好的旁路电容器，以防止功率干扰。建议为该器件使用 $0.1\ \mu\text{F}$ 电容器。可以并联多个旁路电容器以抑制不同的噪声频率。 $0.1\ \mu\text{F}$ 和 $1\ \mu\text{F}$ 电容器通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

7.2 布局

7.2.1 布局指南

- 旁路电容器的放置
 - 靠近器件的正电源端子放置
 - 提供电气短接地返回路径
 - 使用宽布线以最大限度减小阻抗
 - 尽可能将器件、电容器和布线保持在电路板的同一面
- 信号布线几何形状
 - 8mil 至 12mil 布线宽度
 - 布线长度小于 12cm 可最大限度减轻传输线路影响
 - 避免信号布线出现 90° 角
 - 在信号布线下方使用不间断的接地平面
 - 通过接地对信号布线周围的区域进行泛洪填充
 - 对于长度超过 12cm 的布线
 - 使用阻抗受控的布线
 - 在输出端附近使用串联阻尼电阻进行源端接
 - 避免分支；对必须单独分支的信号进行缓冲

7.2.2 布局示例

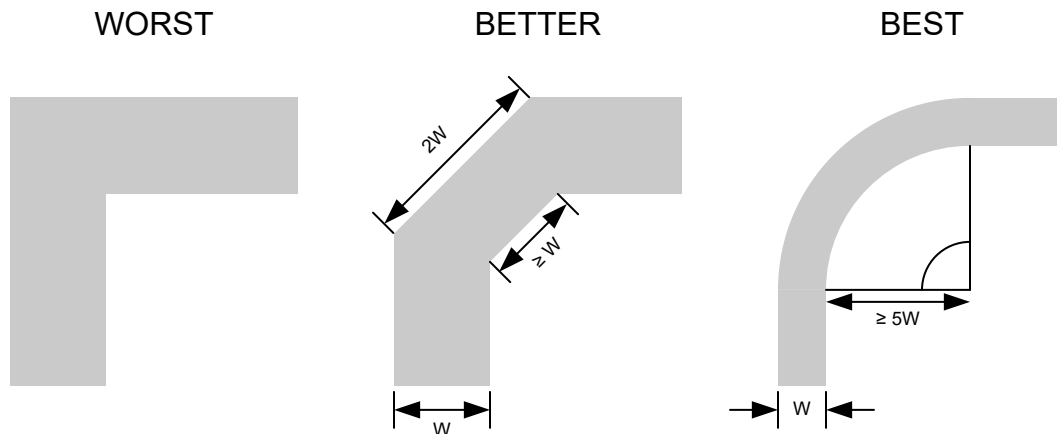


图 7-1. 可改善信号完整性的布线转角示例

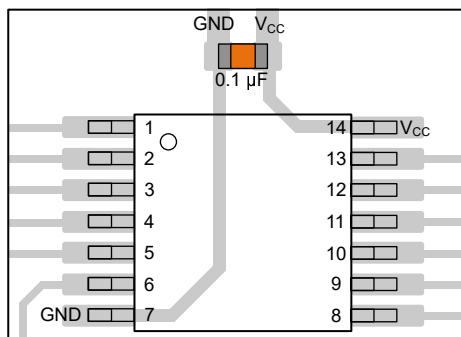


图 7-2. TSSOP 和类似封装的旁路电容器放置示例

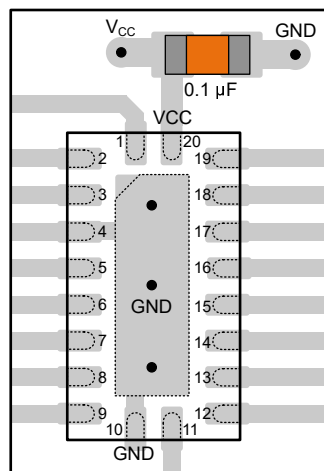


图 7-3. WQFN 和类似封装的旁路电容器放置示例

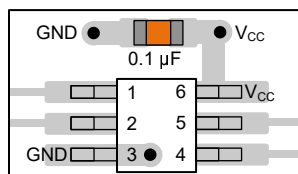


图 7-4. SOT、SC70 和类似封装的旁路电容器放置示例

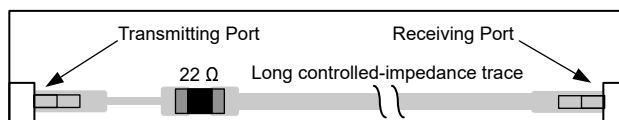


图 7-5. 可改善信号完整性的阻尼电阻放置示例

8 器件和文档支持

TI 提供大量的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

8.1 文档支持

8.1.1 相关文档

请参阅如下相关文档：

- 德州仪器 (TI)，[CMOS 功耗与 \$C_{pd}\$ 计算应用报告](#)
- 德州仪器 (TI)，[使用逻辑器件进行设计应用报告](#)
- 德州仪器 (TI)，[标准线性和逻辑 \(SLL\) 封装和器件的热特性应用报告](#)

8.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

Changes from Revision A (April 2008) to Revision B (January 2025)	Page
• 新增了“封装信息”表、“引脚功能”表、“ESD 等级”表、“热性能信息”表、“器件的功能模式、应用与实施”部分、“器件与文档支持”以及“机械、封装与可订购信息”部分	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74AHC573QDGSRQ1	Active	Production	VSSOP (DGS) 20	5000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA573Q
SN74AHC573QPWRG4Q1	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA573Q
SN74AHC573QPWRG4Q1.A	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA573Q
SN74AHC573QPWRQ1	NRND	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA573Q
SN74AHC573QPWRQ1.A	NRND	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HA573Q
SN74AHC573QWRKSRQ1	Active	Production	VQFN (RKS) 20	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHC573Q

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

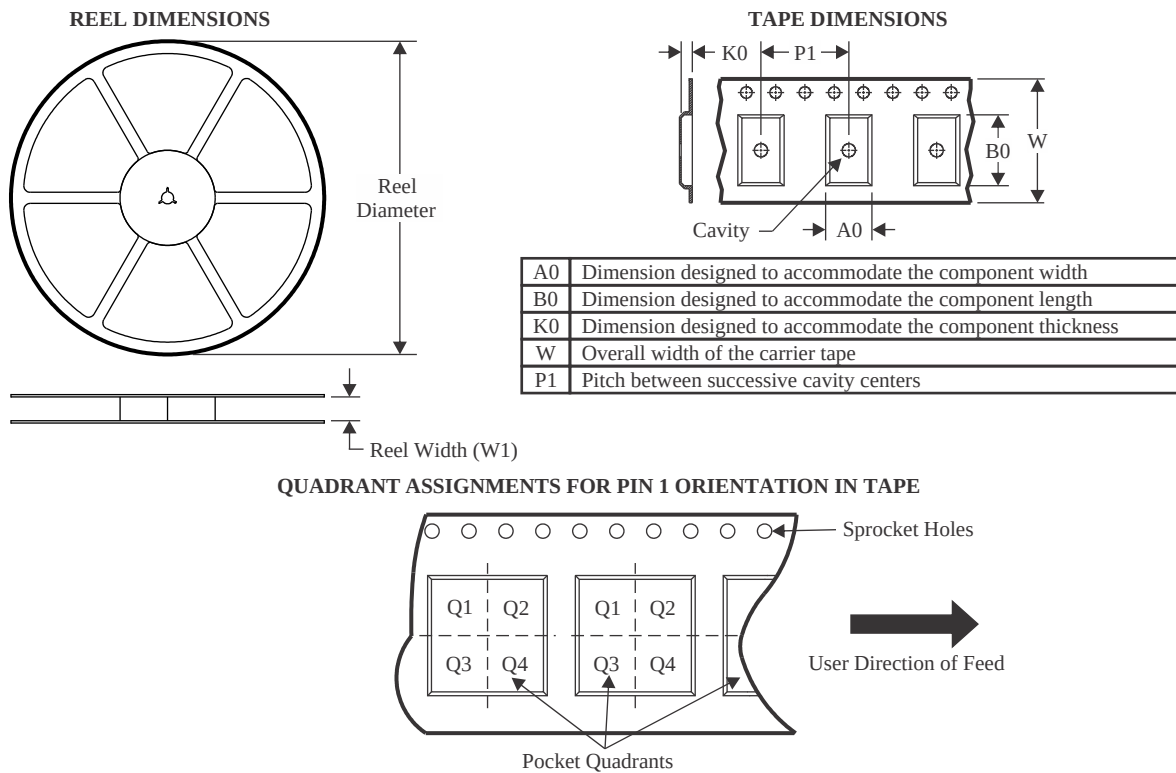
OTHER QUALIFIED VERSIONS OF SN74AHC573-Q1 :

- Catalog : [SN74AHC573](#)
- Military : [SN54AHC573](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product
- Military - QML certified for Military and Defense Applications

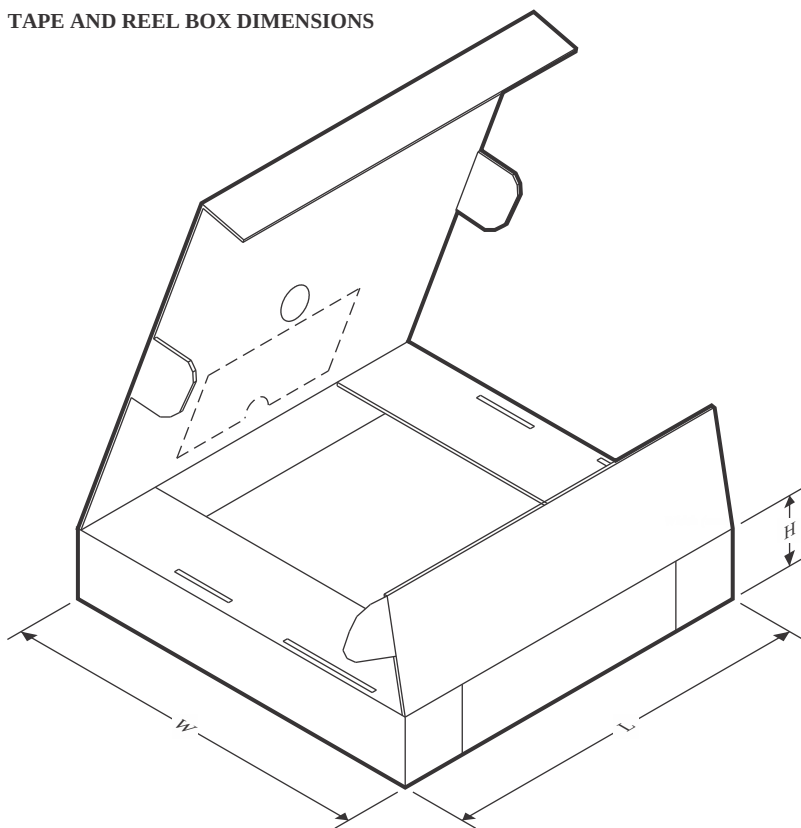
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AHC573QDGSRQ1	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
SN74AHC573QPWRG4Q1	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74AHC573QPWRQ1	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1
SN74AHC573QWRKSRQ1	VQFN	RKS	20	3000	180.0	12.4	2.8	4.8	1.2	4.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AHC573QDGSRQ1	VSSOP	DGS	20	5000	353.0	353.0	32.0
SN74AHC573QPWRG4Q1	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74AHC573QPWRQ1	TSSOP	PW	20	2000	353.0	353.0	32.0
SN74AHC573QWRKSRQ1	VQFN	RKS	20	3000	210.0	185.0	35.0

GENERIC PACKAGE VIEW

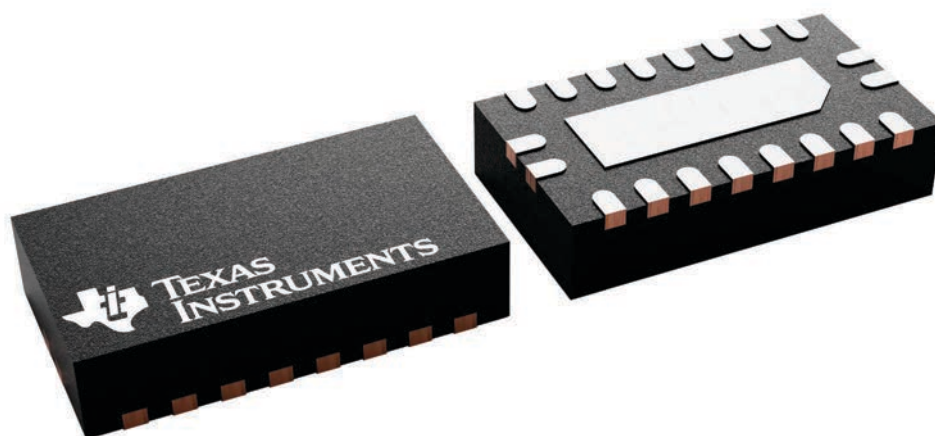
RKS 20

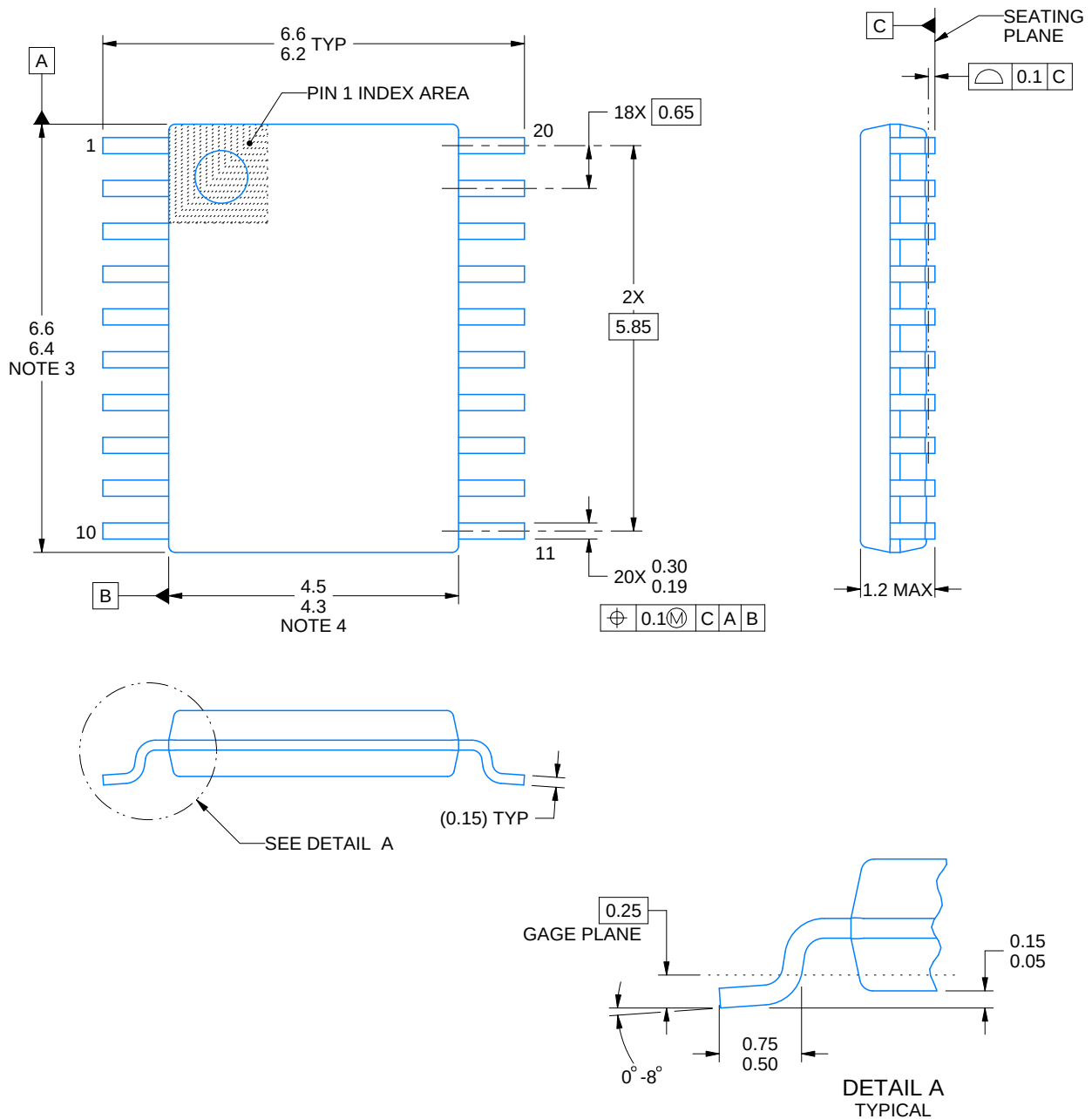
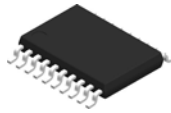
VQFN - 1 mm max height

2.5 x 4.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.





4220206/A 02/2017

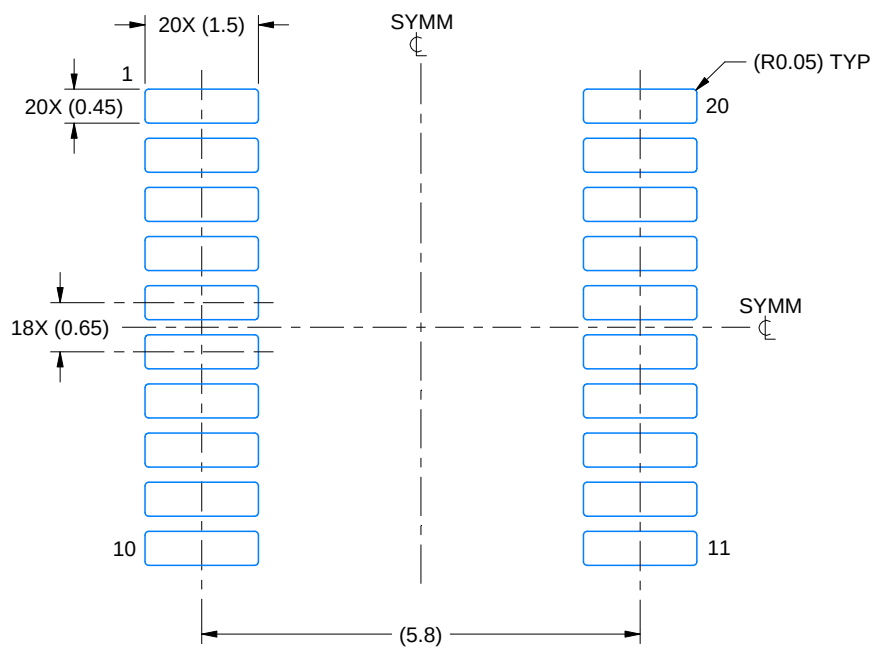
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

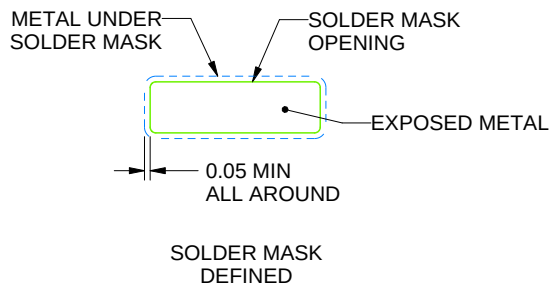
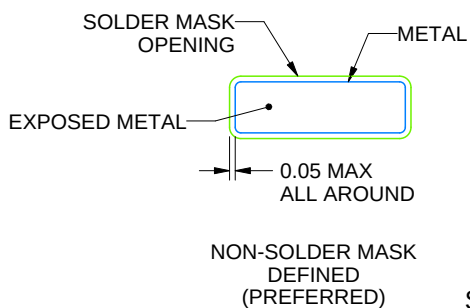
PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

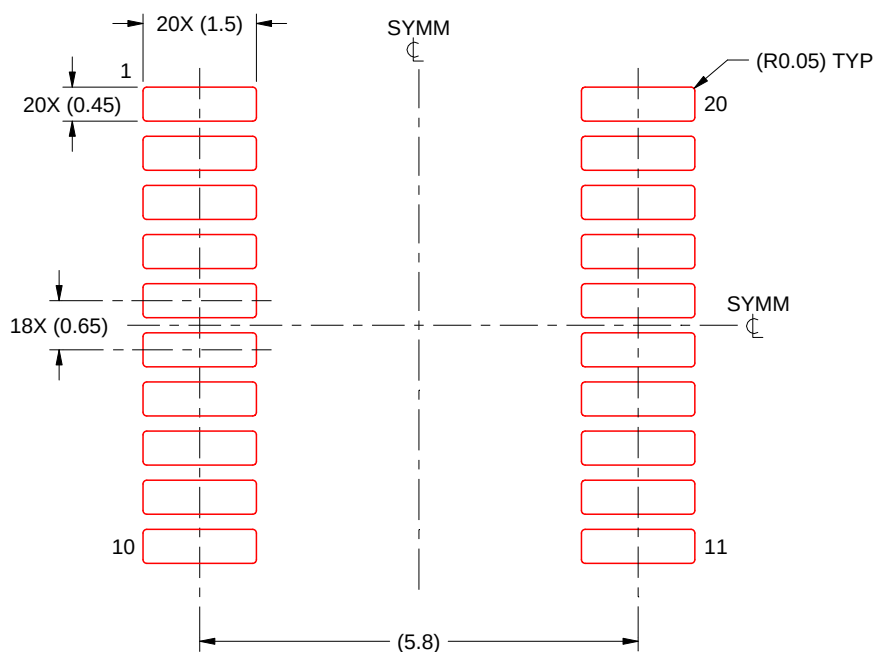
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

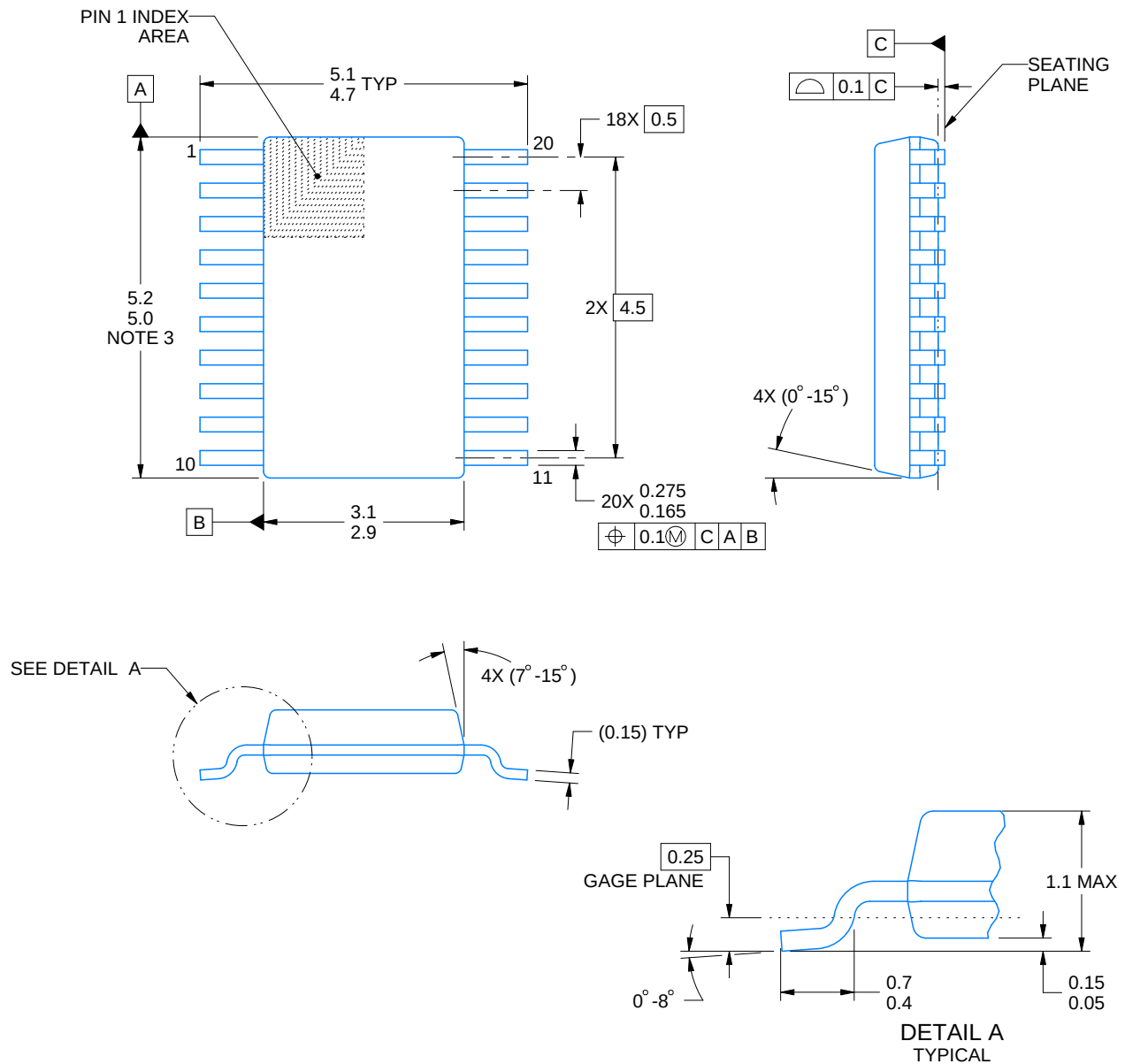


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



4226367/A 10/2020

NOTES:

PowerPAD is a trademark of Texas Instruments.

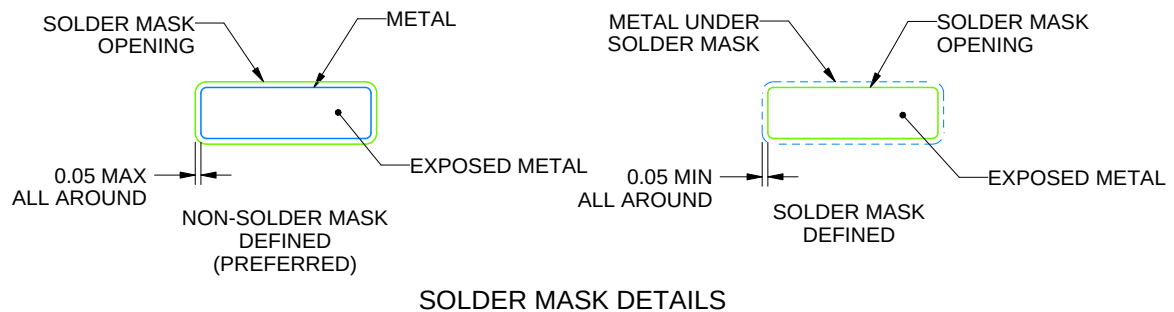
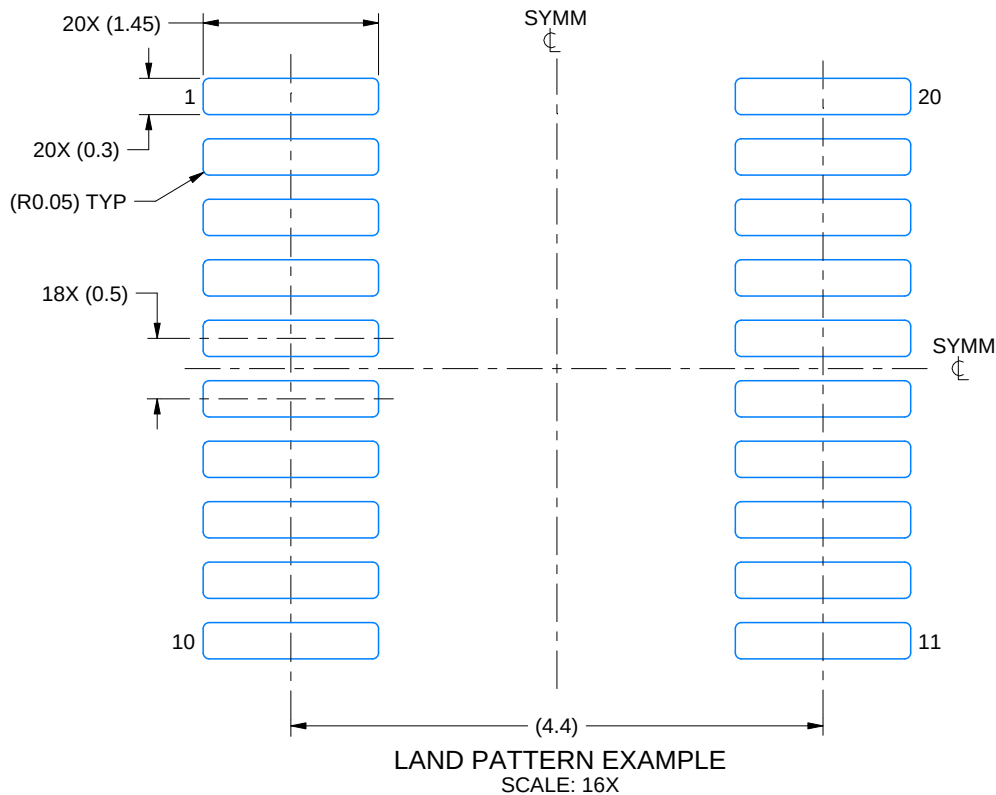
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4226367/A 10/2020

NOTES: (continued)

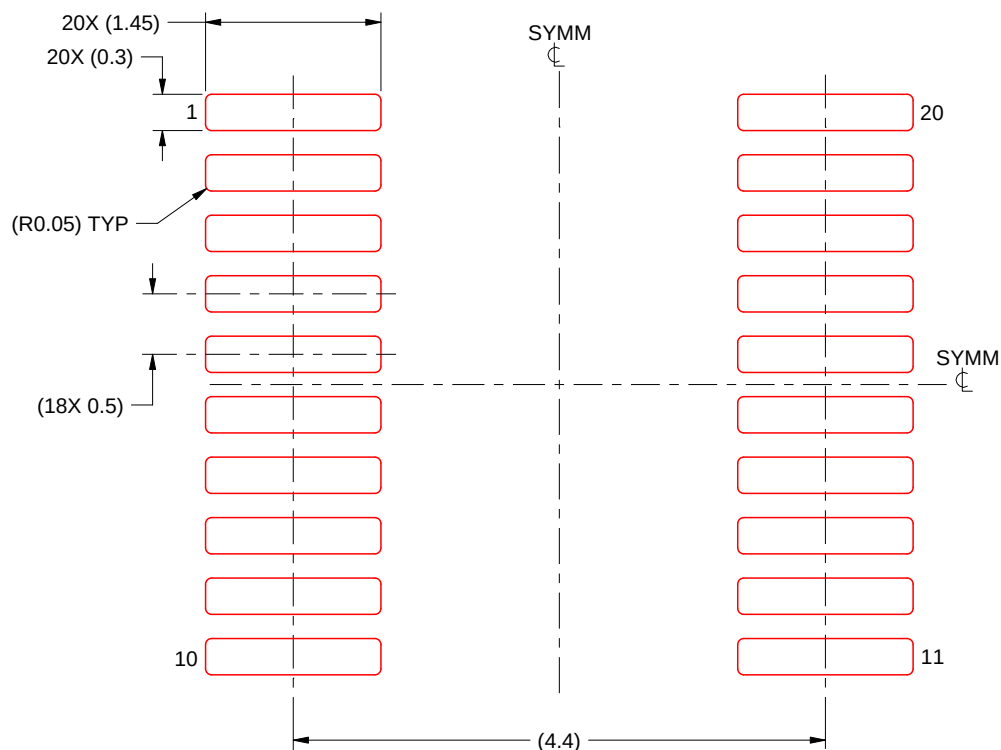
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226367/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月