

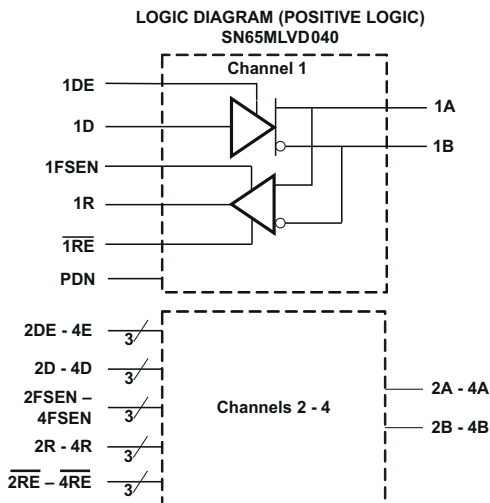
SN65MLVD040 4 通道半双工 M-LVDS 线路收发器

1 特性

- 低压差分 30Ω 至 55Ω 线路驱动器和接收器，适用于高达 250Mbps 的信号传输速率⁽¹⁾、高达 125MHz 的时钟频率
- 符合或超出 M-LVDS 标准 TIA/EIA-899，适用于多点数据交换
- 可控的驱动器输出电压转换时间可改进信号质量
- -1V 至 3.4V 共模电压范围允许在 2V 接地噪声下传输数据
- 总线引脚在禁用驱动器或 $V_{CC} \leq 1.5V$ 时具有高阻抗
- 每个驱动器和接收器均可独立启用
- 增强型 ESD 保护：针对所有引脚的 7kV HBM
- 48 引脚 7 X 7 QFN (RGZ)
- M-LVDS 总线加电/断电无干扰

2 应用

- 通过背板和电缆进行并行多点数据和时钟传输
- TIA/EIA-485 的低功耗高速短行程替代方案
- 蜂窝基站
- 局端交换机
- 网络交换机和路由器



A. 线路的信号传输速率是每秒进行电压转换的次数，以单位 bps（每秒位数）来表示

3 说明

SN65MLVD040 提供四个半双工收发器，用于发送和接收多点低压差分信号，并且完全符合 TIA/EIA-899 (M-LVDS) 标准，这些收发器经过优化，可在高达 250Mbps 的信号传输速率下运行。驱动器输出可支持

具有低至 30Ω 负载的多点总线，并包含受控转换时间，从而允许背板传输线路的残桩。

M-LVDS 标准定义了两种接收器类型，即 1 类和 2 类。1 类接收器的阈值以零为中心，迟滞为 25mV，可防止输入丢失时出现输出振荡；2 类接收器使用偏移阈值实现失效防护。xFSEN 引脚用于为每个通道选择 1 类和 2 类接收器。此外，驱动器上升和下降时间介于 1ns 和 2ns 之间，符合 M-LVDS 标准，可提供 250Mbps 的运行速度，同时还可适应总线上的残桩。接收器输出受压摆率控制，以减小与大电流浪涌相关的 EMI 和串扰影响。M-LVDS 标准允许在总线上使用 32 个节点，从而为可以容忍较低共模或需要更高信号传输速率的 RS-485 提供高速替代方案。

驱动器逻辑输入和接收器逻辑输出分别位于单独的引脚上，而不是像在某些收发器设计中那样连接在一起。驱动器具有单独的使能端 (DE)，接收器也具有单独的使能端 (RE)。通过这种单独的逻辑输入、逻辑输出和使能引脚布置，支持通信时监听操作。这些器件的额定工作温度范围为 -40°C 至 85°C。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸
SN65MLVD040RGZR	VQFN (RGZ)	7 x 7, 0.5mm 间距
SN65MLVD040RGZT	VQFN (RGZ)	7 x 7, 0.5mm 间距

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



内容

1 特性.....	1	5.11 典型特性.....	9
2 应用.....	1	6 参数测量信息.....	15
3 说明.....	1	6.1 等效输入和输出原理图.....	21
4 引脚配置和功能.....	2	7 应用和实施.....	22
5 规格.....	4	7.1 应用信息.....	22
5.1 绝对最大额定值.....	4	8 器件和文档支持.....	25
5.2 建议运行条件.....	4	8.1 文档支持.....	25
5.3 热特性.....	4	8.2 接收文档更新通知.....	25
5.4 封装功耗额定值.....	4	8.3 支持资源.....	25
5.5 器件电气特性.....	5	8.4 商标.....	25
5.6 驱动器电气特性.....	5	8.5 静电放电警告.....	25
5.7 接收器电气特性.....	6	8.6 术语表.....	25
5.8 总线输入和输出电气特性.....	6	9 修订历史记录.....	25
5.9 驱动器开关特性.....	7	10 机械、封装和可订购信息.....	25
5.10 接收器开关特性.....	8		

4 引脚配置和功能

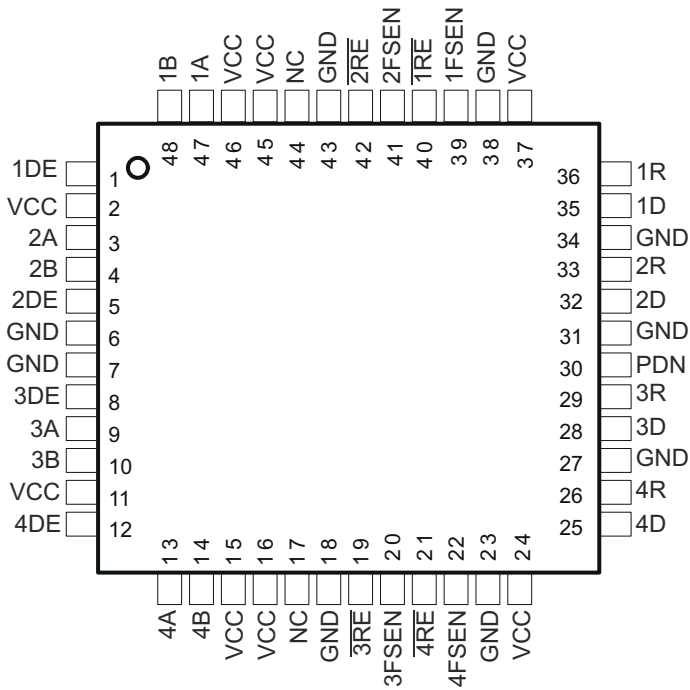


图 4-1. RGZ 封装（顶视图）

表 4-1. 引脚功能

引脚		I/O	说明
名称	编号		
1D – 4D	35、32、28、25	I	驱动器的数据输入
1R – 4R	36、33、29、26	O	接收器的数据输出
1A – 4A	47、3、9、13	总线 I/O	M-LVDS 总线同相输入/输出
1B – 4B	48、4、10、14	总线 I/O	M-LVDS 总线反相输入/输出

表 4-1. 引脚功能 (续)

引脚		I/O	说明
名称	编号		
GND	6、7、18、23、27、31、34、38、43		电路接地。所有 GND 引脚必须连接到接地端。
V _{CC}	2、11、15、16、24、37、45、46		电源电压。所有 VCC 引脚必须连接到电源。
$\overline{1RE} - 4\overline{RE}$	40、42、19、21	I	接收器启用，低电平有效，启用单独的接收器。当该引脚保持悬空时，该引脚将在内部上拉至逻辑高电平。
1DE - 4DE	1、5、8、12	I	驱动器启用，高电平有效，启用单独的驱动器。当该引脚保持悬空时，该引脚将在内部下拉至逻辑低电平。
1FSEN - 4FSEN	39、41、20、22	I	失效防护启用引脚。当该引脚保持悬空时，该引脚将在内部上拉至逻辑高电平。该引脚为相应的通道启用 2 类接收器。 xFSEN = L → 1 类接收器输入 xFSEN = H → 2 类接收器输入
PDN	30	I	关断引脚。当该引脚保持悬空时，该引脚将在内部下拉至逻辑低电平。当 PDN 为高电平时，器件上电。当 PDN 为低电平时，器件会覆盖所有其他控制并断电。所有输出均为高阻态。
NC	17		未连接
NC	44		未连接。内部 TI 测试引脚。该引脚必须保持未连接状态。
PowerPAD™	-		连接到 GND

表 4-2. 器件功能表

接收器						驱动器				
输入 ⁽¹⁾					接收器类型	输出 ⁽¹⁾	输入 ⁽¹⁾		输出 ⁽¹⁾	
$V_{ID} = V_A - V_B$	PDN	FSEN	RE		R	D	DE	A	B	
$V_{ID} > 35\text{mV}$	H	L	L	1 类	H	L	H	L	H	
$-35\text{mV} \leq V_{ID} \leq 35\text{mV}$	H	L	L	1 类	?	H	H	H	L	
$V_{ID} < 35\text{mV}$	H	L	L	1 类	L	开路	H	L	H	
						X	开路	Z	Z	
$V_{ID} > 135\text{mV}$	H	H	L	2 类	H	X	L	Z	Z	
$65\text{mV} \leq V_{ID} \leq 135\text{mV}$	H	H	L	2 类	?					
$V_{ID} < 65\text{mV}$	H	H	L	2 类	L					
开路	H	L	L	1 类	?					
开路	H	H	L	2 类	L					
X	H	X	H	X	Z					
X	H	X	开路	X	Z					
X	L	X	X	X	Z					

(1) H = 高电平, L = 低电平, Z = 高阻抗, X = 不用考虑, ? = 不确定

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

			SN65MLVD040
电源电压范围 ⁽²⁾ , V_{CC}			- 0.5V 至 4V
输入电压范围	D、DE、 $\overline{RE}$ 、FSEN		- 0.5V 至 4V
	A、B		- 1.8V 至 4V
输出电压范围	R		- 0.3V 至 4V
	A 或 B		- 1.8V 至 4V
静电放电	人体放电模型 ⁽³⁾	所有引脚	$\pm 7\text{kV}$
	充电器件模型 ⁽⁴⁾	所有引脚	$\pm 1500\text{V}$
贮存温度范围			- 65°C 至 150°C

- (1) 超出最大绝对额定值下列出的值的应力可能会对器件造成永久损坏。这些仅为在应力额定值下的工作情况，对于额定值下的器件的功能性操作以及在超出推荐的运行条件下标明的任何其它条件下的操作，在此并未说明。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 除差分 I/O 总线电压外的所有电压值都是相对于网络接地引脚的值。
- (3) 根据 JEDEC 标准 22 测试方法 A114-E 进行测试。针对 GND 和 V_{CC} 的常见连接施加总线引脚应力。
- (4) 根据 JEDEC 标准 22 测试方法 C101-D 进行测试。

5.2 建议运行条件

		最小值	标称值	最大值	单位
V_{CC}	电源电压	3	3.3	3.6	V
V_{IH}	高电平输入电压	2		V_{CC}	V
V_{IL}	低电平输入电压	GND		0.8	V
	任何总线端子处的电压 V_A 或 V_B	- 1.4		3.8	V
$ V_{ID} $	差分输入电压幅度	0.05		V_{CC}	V
T_A	自然通风条件下的工作温度范围	- 40		85	°C
	最大结温			140	°C

5.3 热特性

参数	测试条件	最小值	典型值	最大值	单位
$R_{\theta JB}$	结至电路板热阻		9		°C/W
$R_{\theta JC}$	结至外壳热阻		20		°C/W
$R_{\theta JP}$	结至焊盘热阻		1.37		°C/W
P_D	器件功率耗散（有关其他信息，请参阅典型曲线）	$\overline{RE}$ 为 0V，DE 为 0V， $C_L = 15\text{pF}$ ， $V_{ID} = 400\text{mW}$ ，125MHz，所有其他均为开路			382 mW

5.4 封装功耗额定值

封装	PCB JEDEC 标准	$T_A \leq 25^\circ\text{C}$ 额定功率	降额因子 ⁽¹⁾ 高于 $T_A = 25^\circ\text{C}$	$T_A = 85^\circ\text{C}$ 额定功率
RGZ	低 K ⁽²⁾	1298mW	12.98mW/°C	519mW
RGZ	高 K ⁽³⁾	3448mW	34.48mW/°C	1379mW

- (1) 这是已安装电路板且没有气流时的结至环境热阻的倒数。
- (2) 符合 EIA/JESD51-3 的低 K 热指标定义。
- (3) 符合 EIA/JESD51-7 的高 K 热指标定义。

5.5 器件电气特性

在建议运行条件下测得 (除非另有说明)

参数		测试条件	最小值	典型值 ⁽¹⁾	最大值	单位
I _{CC}	电源电流	仅驱动器	RE 和 DE 为 V _{CC} , R _L = 50Ω, 125MHz, 所有其他均为开路		76	mA
		两者都禁用	RE (V _{CC} 时), DE (0V 时), R _L = 空载, 125MHz, 所有其他均为开路		10	
		两者都启用	RE 为 0V, DE 为 V _{CC} , R _L = 50Ω、C _L = 15pF, 所有其他均为开路, 125MHz, 无外部 RX 激励		165	
		仅接收器	RE 为 0V, DE 为 0V, C _L = 15pF, V _{ID} = 400mV, 125MHz, 所有其他均为开路		100	
断电		PDN = L			5	mA

(1) 所有典型值均在 25°C 和 3.3V 电源电压条件下测得。

5.6 驱动器电气特性

在建议运行条件下测得 (除非另有说明)

参数		测试条件	最小值 ⁽¹⁾	典型值 ⁽²⁾	最大值	单位
V _{AB}	差分输出电压幅度 (A、B)	请参阅图 6-2	480		650	mV
Δ V _{AB}	逻辑状态 (A、B) 之间的差分输出电压幅度变化		-50		50	mV
V _{OS(SS)}	稳定状态共模输出电压 (A、B)	请参阅图 6-3	0.7		1.1	V
ΔV _{OS(SS)}	逻辑状态 (A、B) 之间的稳定状态共模输出电压变化		-50		50	mV
V _{OS(PP)}	峰峰值共模输出电压 (A、B)				150	mV
V _{A(OC)}	最大稳定状态开路输出电压 (A、B)	请参阅图 6-7	0		2.4	V
V _{B(OC)}	最大稳定状态开路输出电压 (A、B)		0		2.4	V
V _{P(H)}	电压过冲, 低电平至高电平输出 (A、B)	请参阅图 6-5			1.2 V _{SS}	V
V _{P(L)}	电压过冲, 高电平至低电平输出 (A、B)		-0.2 V _{SS}			V
I _{IH}	高电平输入电流 (D、DE)	V _{IH} = 2V 至 V _{CC}			10	μA
I _{IL}	低电平输入电流 (D、DE)	V _{IL} = GND 至 0.8V			10	μA
I _{OS}	差分短路输出电流幅度 (A、B)	请参阅图 6-4			24	mA
C _I	输入电容 (D、DE)	V _I = 0.4 sin(30E6 π t) + 0.5V ⁽³⁾		5		pF

(1) 本数据表采用将最小正值 (最大负值) 指定为最小值的代数约定。

(2) 所有典型值均在 25°C 和 3.3V 电源电压条件下测得。

(3) HP4194A 阻抗分析仪 (或等效产品)

5.7 接收器电气特性

在建议运行条件下测得 (除非另有说明)

参数		测试条件	最小值	典型值 ⁽¹⁾	最大值	单位
V_{IT+}	正向差分输入电压阈值 (A、B)	1 类			35	mV
		2 类			135	
V_{IT-}	负向差分输入电压阈值 (A、B)	1 类	请参阅表 6-1 和表 6-2		- 35	mV
		2 类			65	
V_{HYS}	差分输入电压迟滞, ($V_{IT+} - V_{IT-}$) (A、B)	1 类			25	mV
		2 类			0	
V_{OH}	高电平输出电压 (R)	$I_{OH} = - 8\text{mA}$	2.4			V
V_{OL}	低电平输出电压 (R)	$I_{OL} = 8\text{mA}$			0.4	V
I_{IH}	高电平输入电流 ($\overline{RE}$)	$V_{IH} = 2\text{V}$ 至 V_{CC}	- 10			μA
I_{IL}	低电平输入电流 ($\overline{RE}$)	$V_{IL} = \text{GND}$ 至 0.8V	- 10			μA
I_{OZ}	高阻抗输出电流 (R)	$V_O = 0\text{V}$ 或 V_{CC}	- 10		15	μA

(1) 所有典型值均在 25°C 和 3.3V 电源电压条件下测得。

5.8 总线输入和输出电气特性

在建议运行条件下测得 (除非另有说明)

参数	测试条件	最小值	典型值 ⁽¹⁾	最大值	单位
I_A	接收器或禁用了驱动器的收发器的输入电流 $V_A = 3.8\text{V}$, $V_B = 1.2\text{V}$			32	μA
	$V_A = - 1.4\text{V}$, $V_B = 1.2\text{V}$	- 32			
I_B	接收器或禁用了驱动器的收发器的输入电流 $V_B = 3.8\text{V}$, $V_A = 1.2\text{V}$			32	μA
	$V_B = - 1.4\text{V}$, $V_A = 1.2\text{V}$	- 32			
I_{AB}	接收器或禁用了驱动器的收发器的差分输入电流 ($I_A - I_B$) $V_A = V_B$, $1.4\text{V} \leq V_A \leq 3.8\text{V}$	- 4		4	μA
$I_{A(OFF)}$	接收器或收发器断电输入电流 $V_A = 3.8\text{V}$, $V_B = 1.2\text{V}$, $0\text{V} \leq V_{CC} \leq 1.5\text{V}$			32	μA
	$V_A = - 1.4\text{V}$, $V_B = 1.2\text{V}$, $0\text{V} \leq V_{CC} \leq 1.5\text{V}$	- 32			
$I_{B(OFF)}$	接收器或收发器断电输入电流 $V_B = 3.8\text{V}$, $V_A = 1.2\text{V}$, $0\text{V} \leq V_{CC} \leq 1.5\text{V}$			32	μA
	$V_B = - 1.4\text{V}$, $V_A = 1.2\text{V}$, $0\text{V} \leq V_{CC} \leq 1.5\text{V}$	- 32			
$I_{AB(OFF)}$	接收器输入或收发器断电差分输入电流 ($I_A - I_B$) $V_A = V_B$, $0\text{V} \leq V_{CC} \leq 1.5\text{V}$, $- 1.4\text{V} \leq V_A \leq 3.8\text{V}$	- 4		4	μA
C_A	禁用了驱动器的收发器的输入电容 $V_A = 0.4 \sin(30\text{E}6 \pi t) + 0.5\text{V}^{(2)}$, $V_B = 1.2\text{V}$			5	pF
C_B	禁用了驱动器的收发器的输入电容 $V_B = 0.4 \sin(30\text{E}6 \pi t) + 0.5\text{V}^{(2)}$, $V_A = 1.2\text{V}$			5	pF
C_{AB}	禁用了驱动器的收发器的差分输入电容 $V_{AB} = 0.4 \sin(30\text{E}6 \pi t)\text{V}^{(2)}$			3	pF
$C_{A/B}$	禁用了驱动器的收发器的输入电容平衡, (C_A/C_B)	0.99		1.01	

(1) 所有典型值均在 25°C 和 3.3V 电源电压条件下测得。

(2) HP4194A 阻抗分析仪 (或等效产品)

5.9 驱动器开关特性

在建议运行条件下测得 (除非另有说明)

参数	测试条件	最小值	典型值 ⁽¹⁾	最大值	单位
t_{pLH} 传播延时, 低至高电平输出	请参阅图 6-5	1.3	1.9	2.4	ns
t_{pHL} 传播延时, 高至低电平输出		1.3	1.9	2.4	ns
t_r 差分输出信号上升时间		0.9		2	ns
t_f 差分输出信号下降时间		0.9		2.2	ns
$t_{sk(o)}$ 输出偏移				200	ps
$t_{sk(p)}$ 脉冲偏移 ($ t_{pHL} - t_{pLH} $)				150	ps
$t_{sk(pp)}$ 器件间偏移 ⁽²⁾				300	ps
$t_{jit(per)}$ 周期抖动, rms (1 个标准差) ⁽³⁾	所有通道开关, 125MHz 时钟输入 ⁽⁴⁾ , 请参阅图 6-8			2	ps
$t_{jit(c-c)}$ 周期间抖动, rms ⁽³⁾				9	ps
$t_{jit(det)}$ 确定性抖动 ⁽³⁾	所有通道开关, 250Mbps 2 ¹⁵ - 1 PRBS 输入 ⁽⁴⁾ , 请参阅图 6-8			290	ps
$t_{jit(r)}$ 随机抖动 ⁽³⁾				4	ps
t_{PZH} 启用时间, 高阻抗至高电平输出	请参阅图 6-6			7	ns
t_{PZL} 启用时间, 高阻抗至低电平输出				7	ns
t_{PHZ} 禁用时间, 高电平至高阻抗输出				7	ns
t_{PLZ} 禁用时间, 低电平至高阻抗输出				7	ns

(1) 所有典型值均在 25°C 和 3.3V 电源电压条件下测得。

(2) $t_{sk(pp)}$ 是在两个器件以相同的电源电压、相同的温度运行并且具有相同的封装和测试电路时两个器件的任何指定端子之间传播延迟的时间差大小。

(3) 抖动由设计和特性来确保。已从数字中减去激励抖动。

(4) $t_r = t_f = 0.5ns$ (10% 至 90%)

5.10 接收器开关特性

在建议运行条件下测得 (除非另有说明)

参数			测试条件	最小值	典型值 ⁽¹⁾	最大值	单位
t _{pLH}	传播延时, 低至高电平输出		C _L = 15pF, 请参阅图 6-10	2.5	4.5	6	ns
t _{pHL}	传播延时, 高至低电平输出			2.5	4.5	6	ns
t _r	输出信号上升时间			1.4		2.35	ns
t _f	输出信号下降时间			1.4		2.35	ns
t _{sk(o)}	输出偏移					350	ps
t _{sk(p)}	脉冲偏移 (t _{pHL} - t _{pLH})				35	210	ps
					150	470	
t _{sk(pp)}	器件间偏移 ⁽²⁾					800	ps
t _{jit(per)}	周期抖动, rms (1 个标准差) ⁽³⁾		所有通道开关, 125MHz 时钟输入 ⁽⁴⁾ , 请参阅图 6-12			6	ps
t _{jit(c-c)}	周期间抖动, rms ⁽³⁾					13	ps
t _{jit(det)}	确定性抖动 ⁽³⁾		所有通道开关, 250Mbps 2 ¹⁵ - 1 PRBS 输入 ⁽⁴⁾ , 请参阅图 6-12			800	ps
						945	ps
t _{jit(r)}	随机抖动 ⁽³⁾					9	ps
						8	ps
t _{pZH}	启用时间, 高阻抗至高电平输出		C _L = 15pF, 请参阅图 6-11			15	ns
t _{pZL}	启用时间, 高阻抗至低电平输出					15	ns
t _{pHZ}	禁用时间, 高电平至高阻抗输出					10	ns
t _{pLZ}	禁用时间, 低电平至高阻抗输出					10	ns

(1) 所有典型值均在 25°C 和 3.3V 电源电压条件下测得。

(2) $t_{\text{sk(pp)}}$ 是在两个器件以相同的电源电压、相同的温度运行并且具有相同的封装和测试电路时两个器件的任何指定端子之间传播延迟的时间差大小。

(3) 抖动由设计和特性来确保。已从数字中减去激励抖动。

(4) $t_r = t_f = 0.5\text{ns}$ (10% 至 90%)

5.11 典型特性

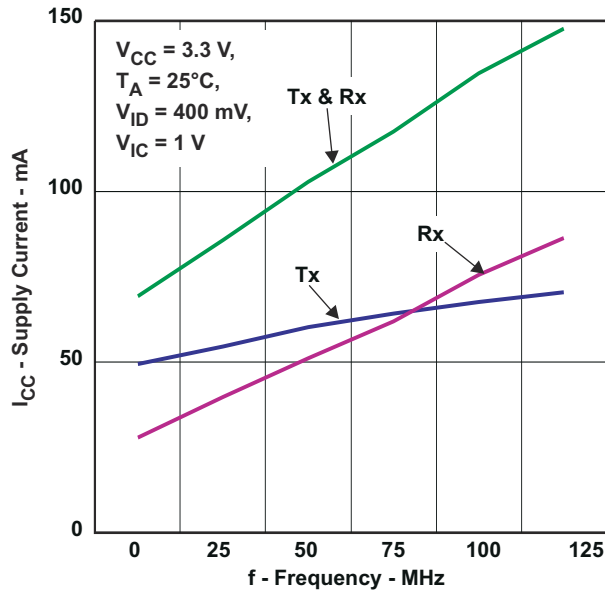


图 5-1. 电源电流与频率间的关系

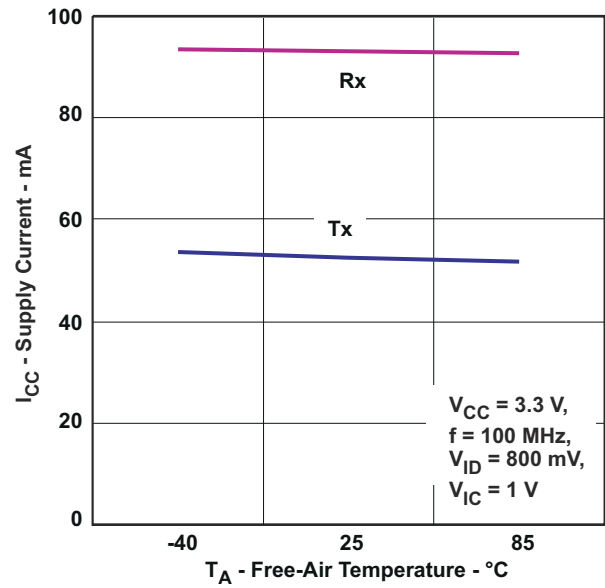


图 5-2. 电源电流与自然通风温度间的关系

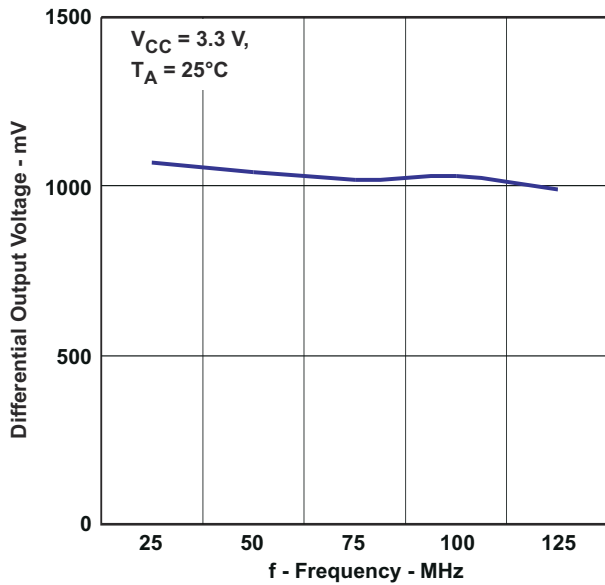


图 5-3. 差分输出电压与频率间的关系

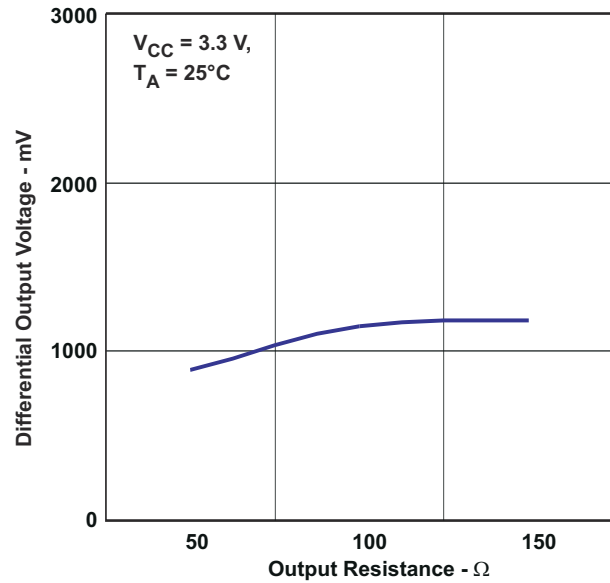


图 5-4. 差分输出电压与频率间的关系

5.11 典型特性 (续)

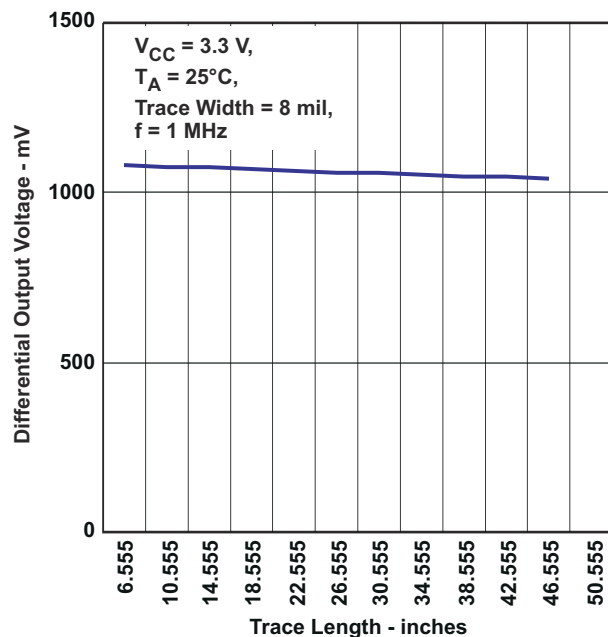


图 5-5. 差分输出电压与布线长度间的关系

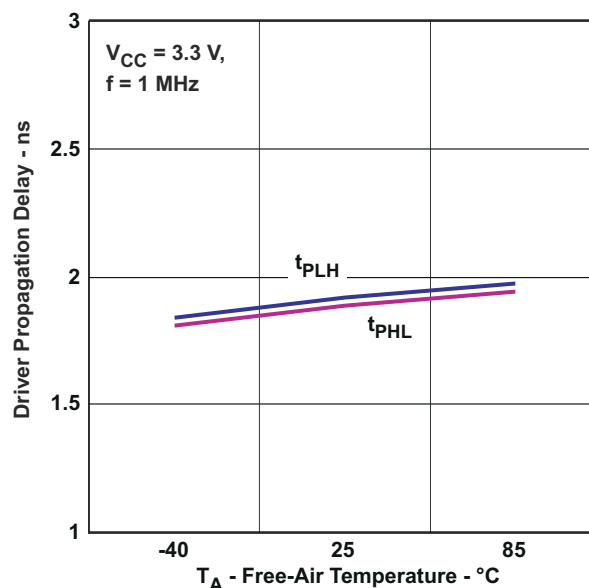


图 5-6. 驱动器传播延迟与自然通风温度间的关系

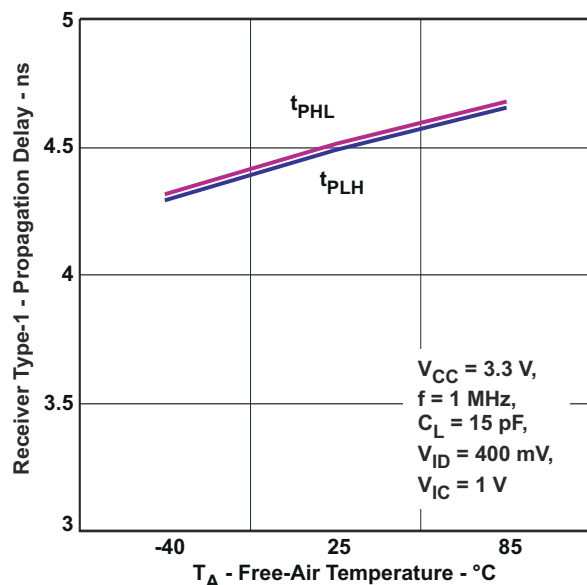


图 5-7. 接收器 1 类传播延时与自然通风温度间的关系

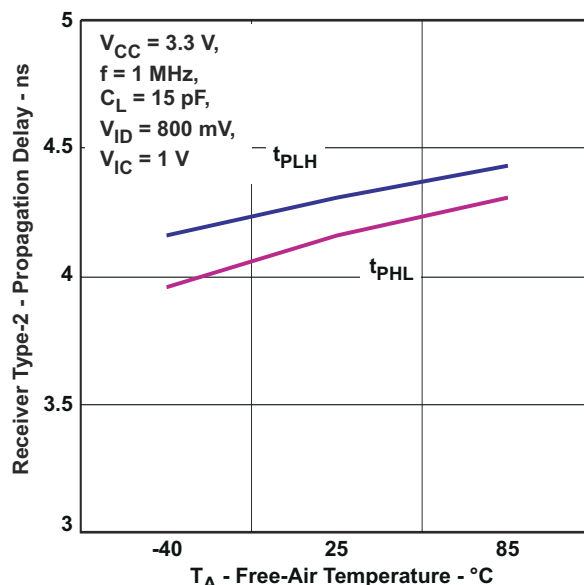


图 5-8. 接收器 2 类传播延时与自然通风温度间的关系

5.11 典型特性 (续)

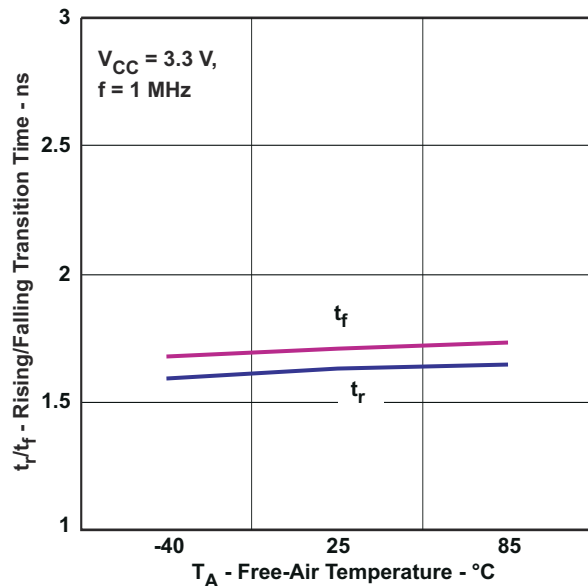


图 5-9. 驱动器转换时间与自然通风温度间的关系

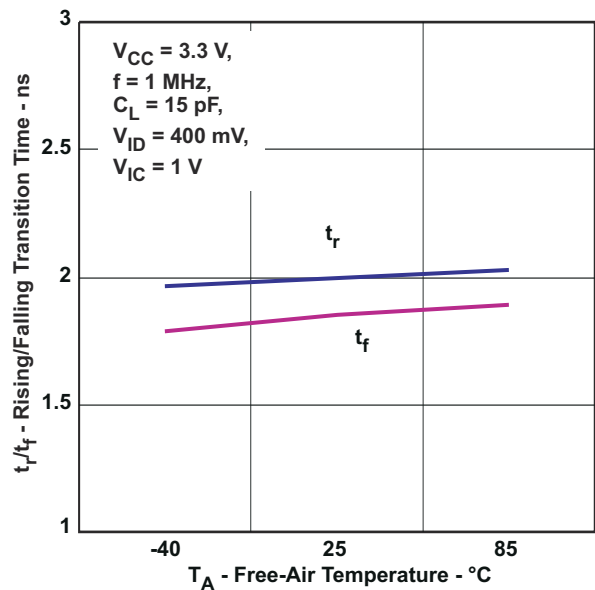


图 5-10. 1 类接收器转换时间与自然通风温度间的关系

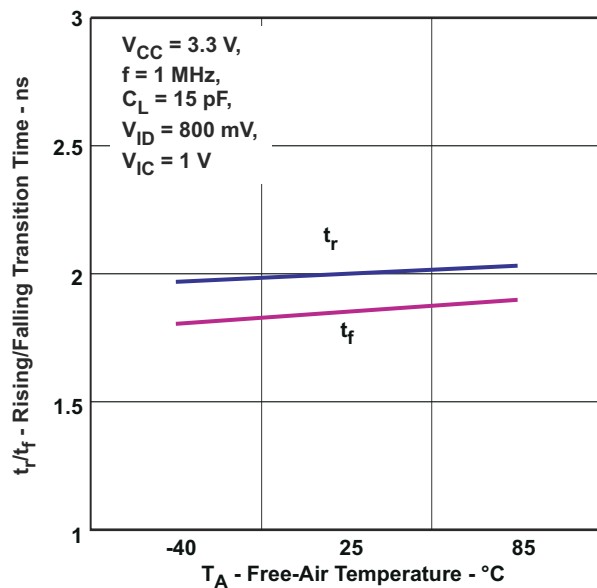


图 5-11. 2 类接收器转换时间与自然通风温度间的关系

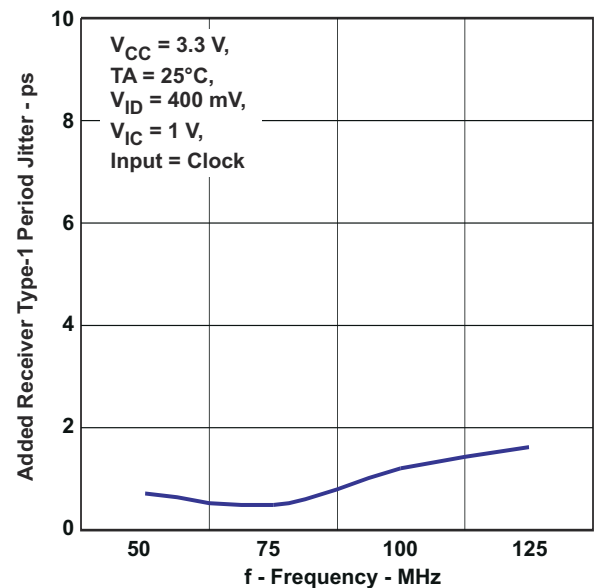


图 5-12. 添加了接收器 1 类周期抖动与频率间的关系

5.11 典型特性 (续)

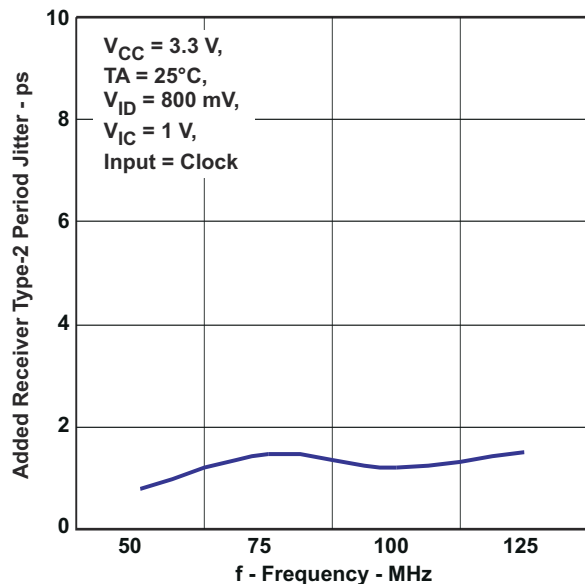


图 5-13. 添加了接收器 2 类周期抖动与频率间的关系

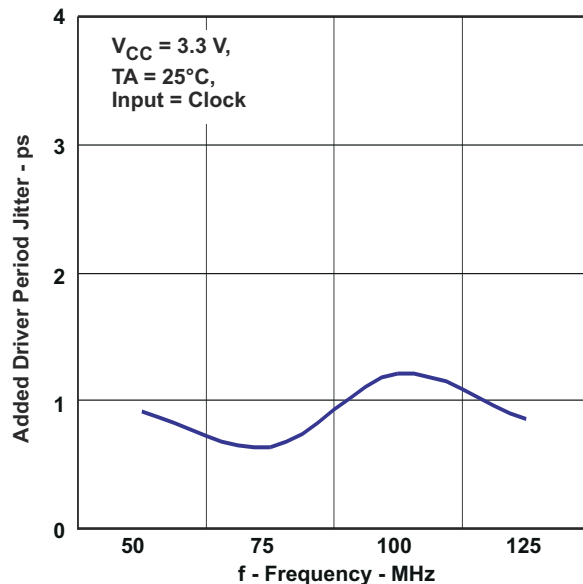


图 5-14. 添加了周期驱动器抖动与频率间的关系

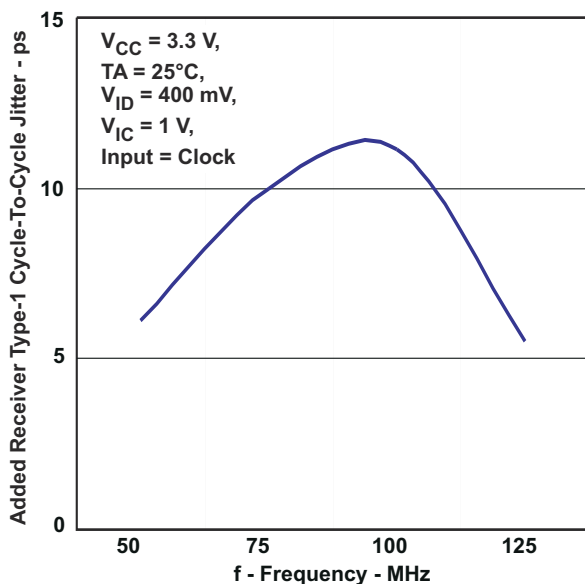


图 5-15. 添加了接收器 1 类周期期间抖动与频率间的关系

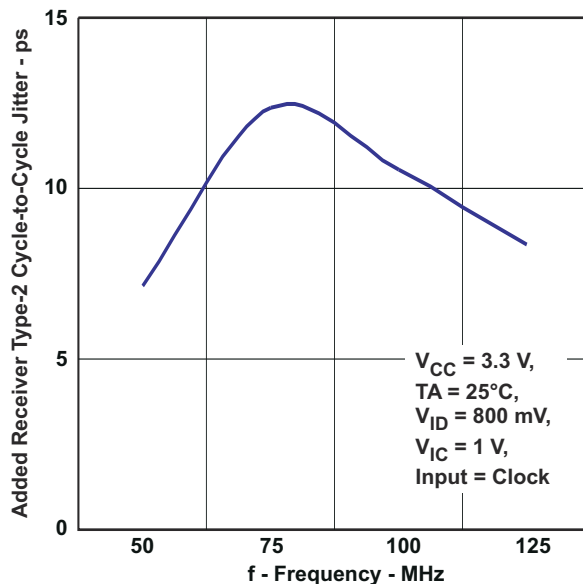


图 5-16. 添加了接收器 2 类周期期间抖动与频率间的关系

5.11 典型特性 (续)

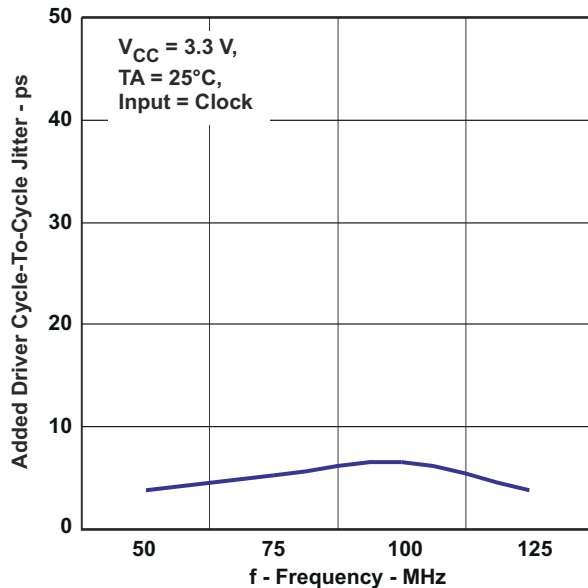


图 5-17. 添加了驱动器周期期间抖动与频率间的关系

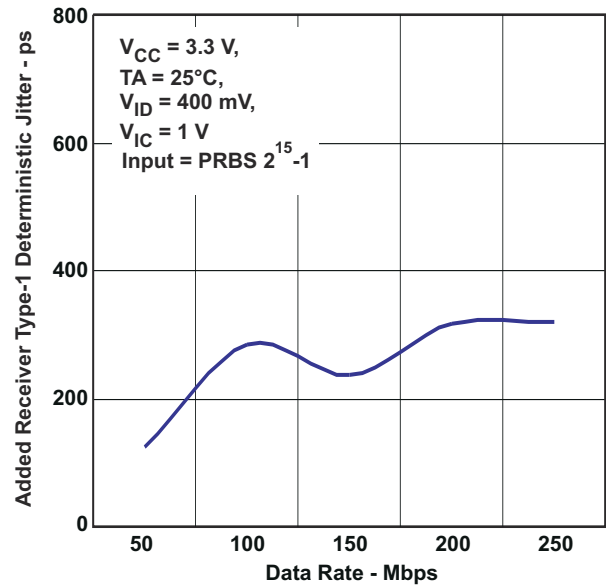


图 5-18. 添加了驱动器 1 类确定性抖动与数据速率间的关系

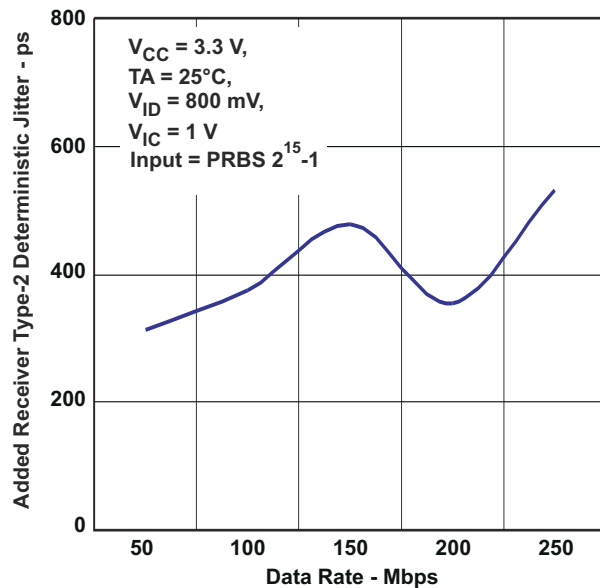


图 5-19. 添加了驱动器 1 类确定性抖动与数据速率间的关系

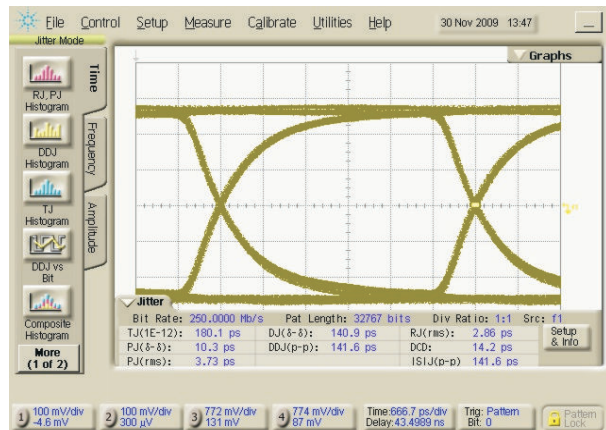


图 5-20. 驱动器输出眼图 250Mbps, $2^{15}-1$ PRBS, $V_{CC} = 3.3\text{V}$

5.11 典型特性 (续)

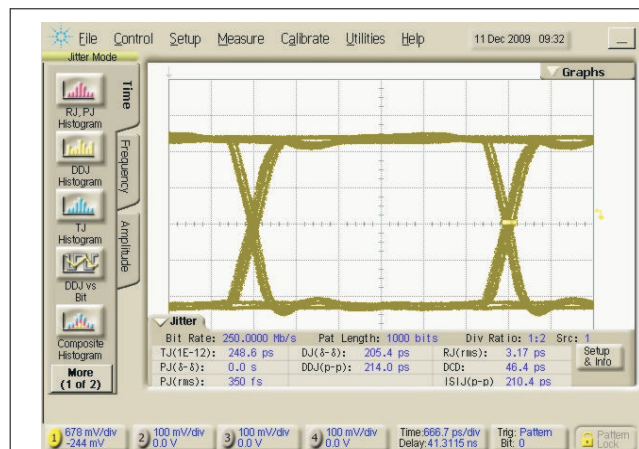


图 5-21. 接收器输出眼图 250Mbps, $2^{15}-1$ PRBS, $V_{CC} = 3.3V|V_{ID}| = 400mV_{PP}$, $V_{IC} = 1V$

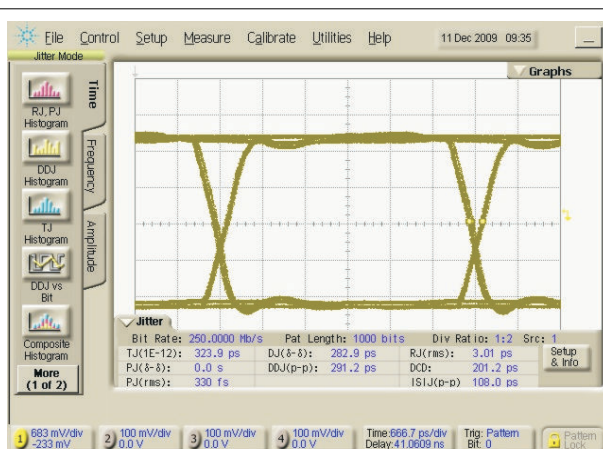


图 5-22. 接收器输出眼图 250Mbps, $2^{15}-1$ PRBS, $V_{CC} = 3.3V|V_{ID}| = 800mV_{PP}$, $V_{IC} = 1V$

6 参数测量信息

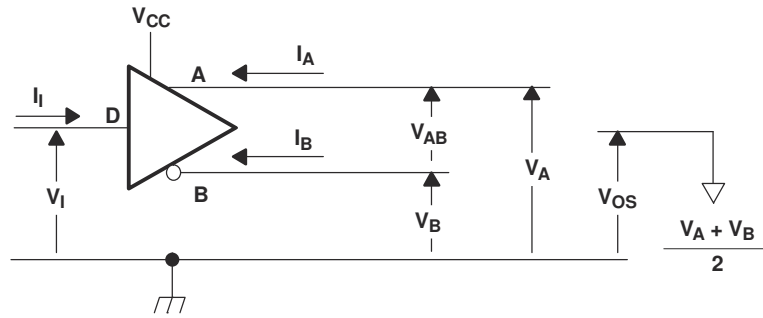
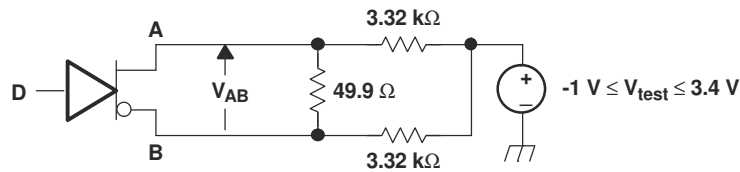
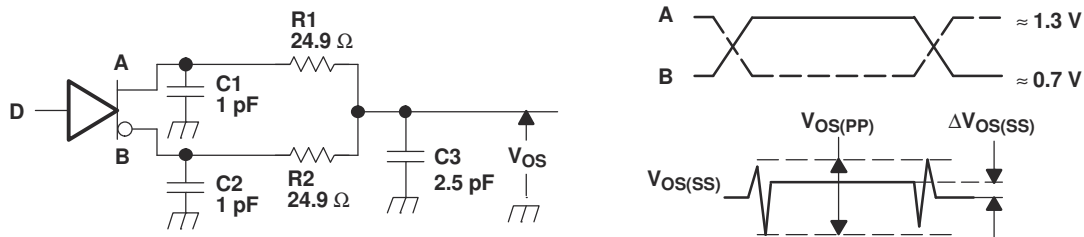


图 6-1. 驱动器电压和电流定义



所有电阻器的容差均为 1%。

图 6-2. 差分输出电压测试电路



- A. 所有输入脉冲均由具有以下特性的发生器提供： t_r 或 $t_f \leq 1\text{ns}$ ，脉冲频率 = 1MHz，占空比 = $50 \pm 5\%$ 。
- B. C1、C2 和 C3 包括距离 D.U.T. 2cm 范围内的仪表和设备电容，容差为 $\pm 20\%$ 。
- C. R1 和 R2 是金属膜，表面贴装，容差为 $\pm 1\%$ ，位于距离 D.U.T. 的 2cm 范围内。
- D. $V_{OS(PP)}$ 测量是在测试设备上使用 -3dB 带宽以至少 1GHz 的频率执行的。

图 6-3. 驱动器共模输出电压的测试电路和定义

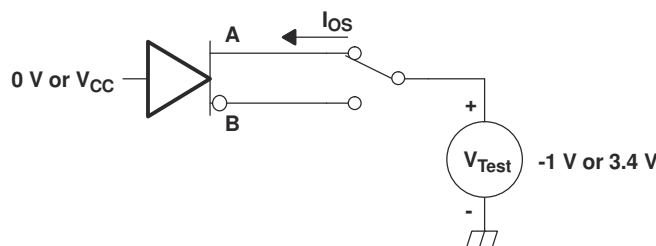
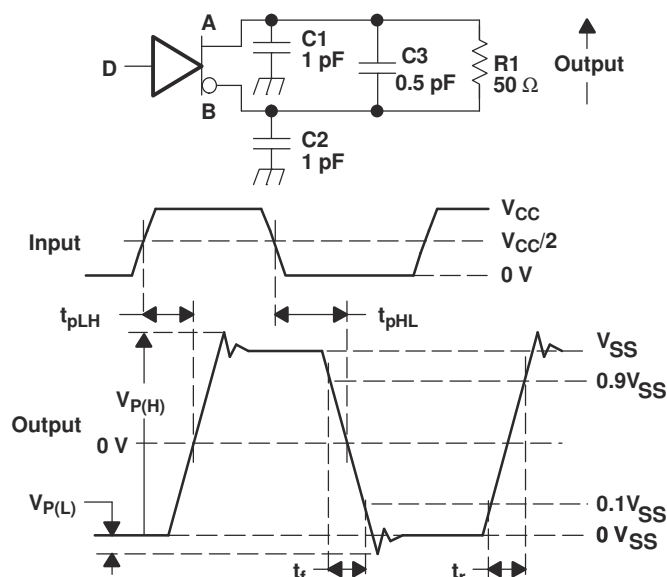
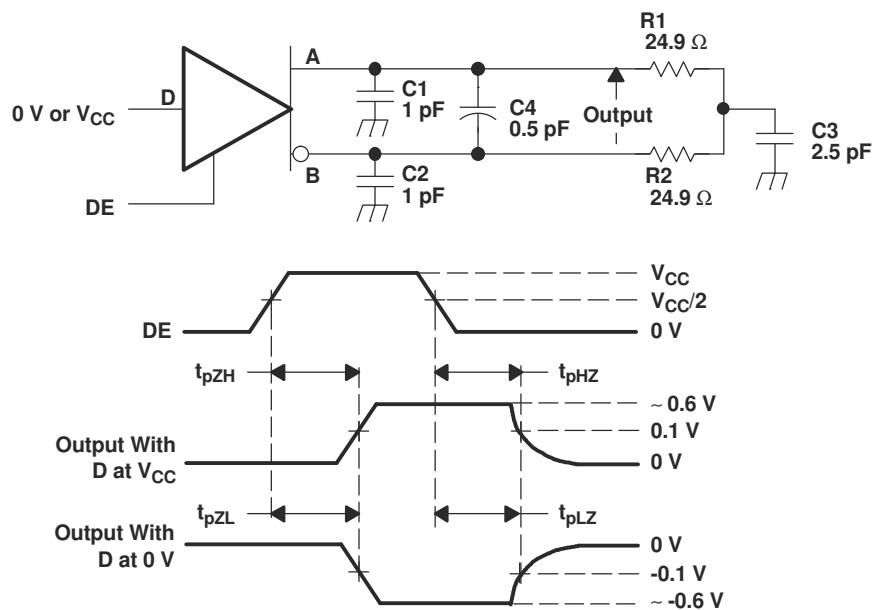


图 6-4. 驱动器短路测试电路



- A. 所有输入脉冲均由具有以下特性的发生器提供： t_r 或 $t_f \leq 1\text{ns}$ ，频率 = 1MHz，占空比 = $50 \pm 5\%$ 。
- B. C1、C2 和 C3 包括距离 D.U.T. 2cm 范围内的仪表和设备电容，容差为 $\pm 20\%$ 。
- C. R1 是金属膜，表面贴装，容差为 $\pm 1\%$ ，位于距离 D.U.T. 的 2cm 范围内。
- D. 测量是在测试设备上使用 -3dB 带宽以至少 1GHz 的频率执行的。

图 6-5. 差分输出信号的驱动器测试电路、时序和电压定义



- A. 所有输入脉冲均由具有以下特性的发生器提供： t_r 或 $t_f \leq 1\text{ns}$ ，频率 = 1MHz，占空比 = $50 \pm 5\%$ 。
- B. C1、C2、C3 和 C4 包括距离 D.U.T. 2cm 范围内的仪表和设备电容，容差为 $\pm 20\%$ 。
- C. R1 和 R2 是金属膜，表面贴装，容差为 $\pm 1\%$ ，位于距离 D.U.T. 的 2cm 范围内。
- D. 测量是在测试设备上使用 -3dB 带宽以至少 1GHz 的频率执行的。

图 6-6. 驱动器启用和禁用时间电路和定义

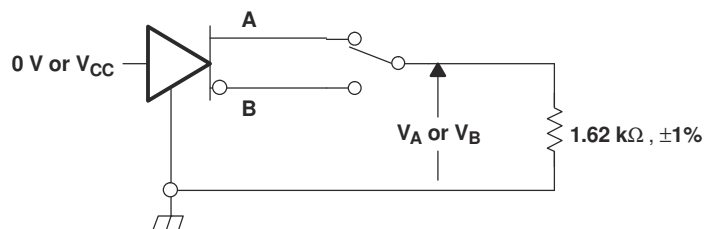
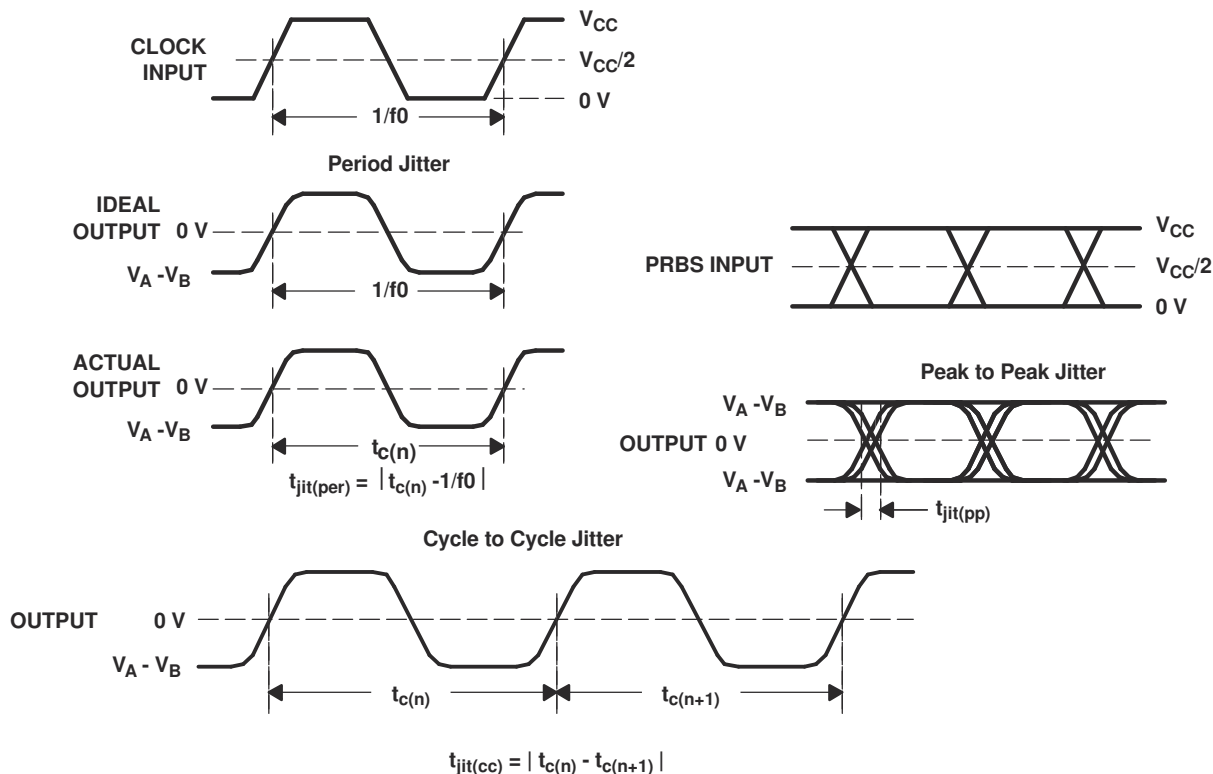


图 6-7. 最大稳态输出电压



- 所有输入脉冲由带有插件 E4832A 的 Agilent 81250 并行 BERT 激励系统提供。
- 逐周期测量在运行 TDSJIT3 应用程序的 TEK TDS6604 上执行。
- 所有其他抖动测量均使用 Agilent Infiniium DCA-J 86100C 数字通信分析仪执行。
- 周期抖动和周期间抖动是使用 125MHz 50 ±1% 占空比时钟输入测量的。对 75K 个样本进行测量。
- 确定性抖动和随机抖动使用 250Mbps $2^{15} - 1$ PRBS 输入进行测量。在 BER = 10^{-12} 的情况下测量。

图 6-8. 驱动器抖动测量波形

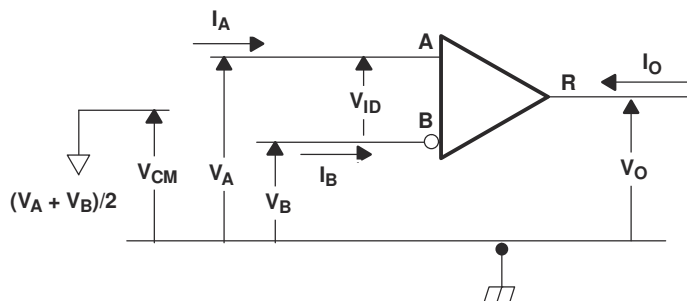


图 6-9. 接收器电压和电流定义

表 6-1. 1 类接收器输入阈值测试电压

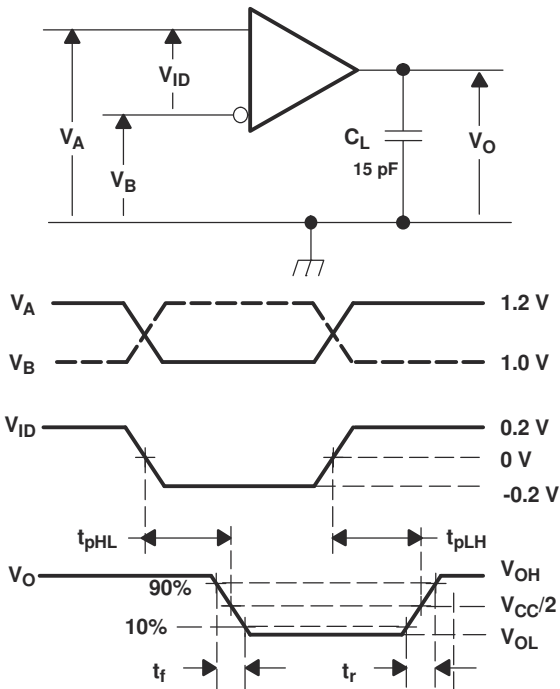
施加的电压		产生的差分 输入电压	产生的共模 输入电压	接收器 输出 ⁽¹⁾
V _{IA}	V _{IB}	V _{ID}	V _{IC}	
2.400	0.000	2.400	1.200	H
0.000	2.400	-2.400	1.200	L
3.400	3.365	0.035	3.3825	H
3.365	3.400	-0.035	3.3825	L
-0.965	-1	0.035	-0.9825	H
-1	-0.965	-0.035	-0.9825	L

(1) H = 高电平, L = 低电平, 输出状态假设接收器已启用 ($\overline{RE} = L$)

表 6-2. 2 类接收器输入阈值测试电压

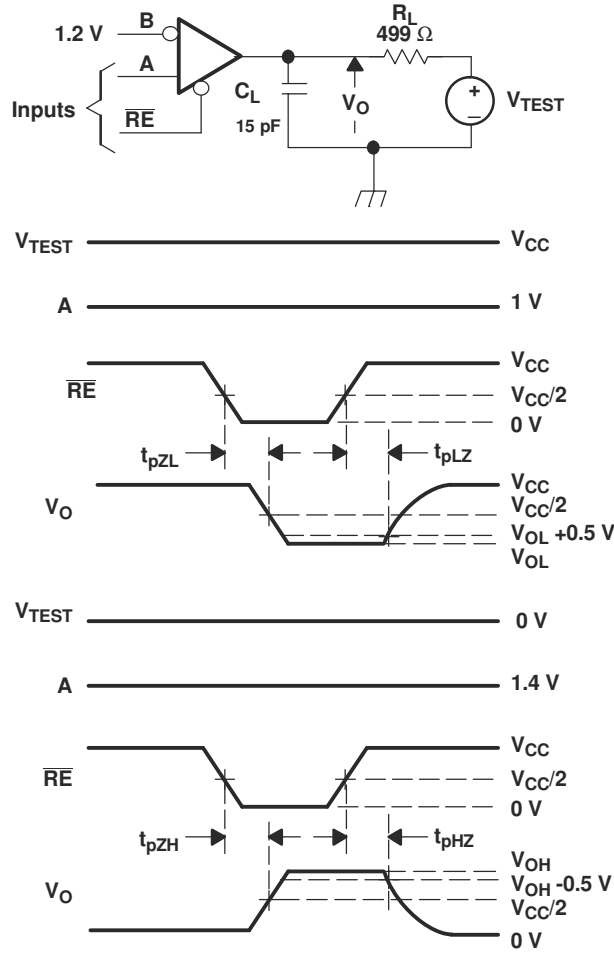
施加的电压		产生的差分 输入电压	产生的共模 输入电压	接收器 输出 ⁽¹⁾
V _{IA}	V _{IB}	V _{ID}	V _{IC}	
2.400	0.000	2.400	1.200	H
0.000	2.400	-2.400	1.200	L
3.400	3.265	0.135	3.3325	H
3.4000	3.335	0.065	3.3675	L
-0.865	-1	0.135	-0.9325	H
-0.935	-1	0.065	-0.9675	L

(1) H = 高电平, L = 低电平, 输出状态假设接收器已启用 ($\overline{RE} = L$)



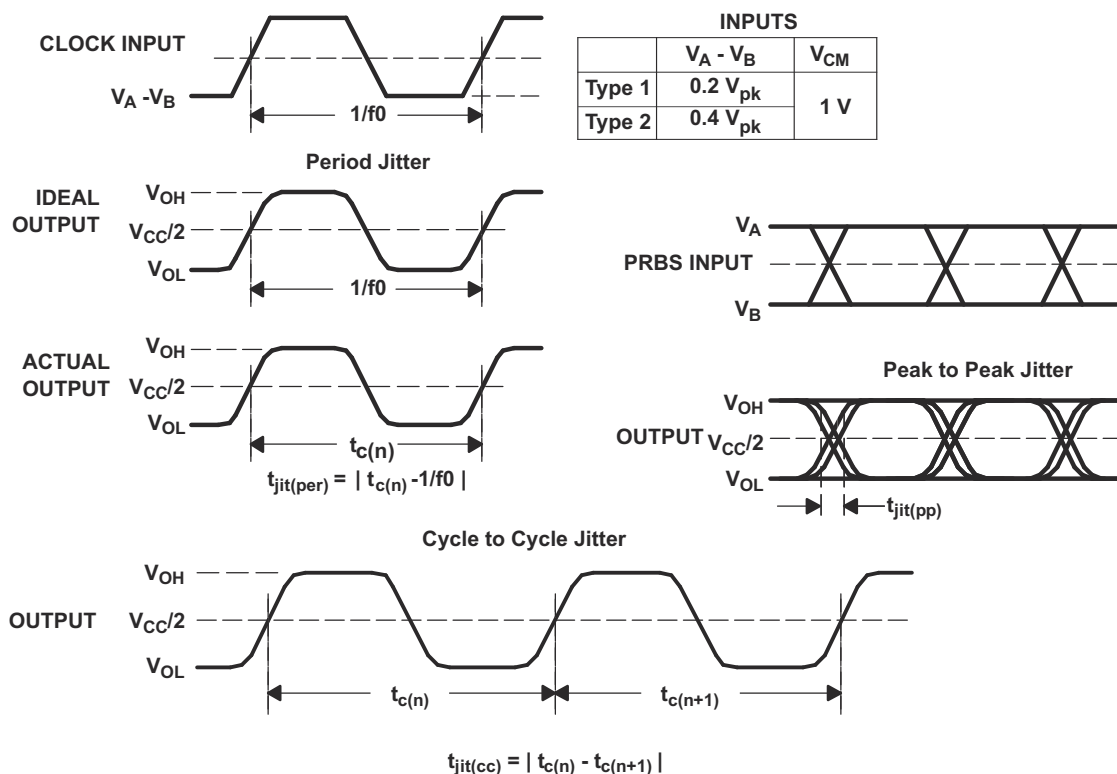
- A. 所有输入脉冲均由具有以下特性的发生器提供: t_r 或 $t_f \leq 1\text{ ns}$, 频率 = 1MHz, 占空比 = $50 \pm 5\%$ 。 C_L 是容差为 20% 的低损耗陶瓷表面贴片电容器和 D.U.T. 2cm 范围内设备电容的组合。
- B. 测量是在测试设备上使用 - 3dB 带宽至少 1GHz 的频率执行的。

图 6-10. 接收器时序测试电路和波形



- A. 所有输入脉冲均由具有以下特性的发生器提供： t_r 或 $t_f \leq 1\text{ns}$ ，频率 = 1MHz，占空比 = $50 \pm 5\%$ 。
- B. R_L 容差为 1%，金属膜，表面贴装，位于距离 D.U.T. 的 2cm 范围内。
- C. C_L 是距离 DUT 2cm 范围内的仪表和设备电容，容差为 $\pm 20\%$ 。测量是在测试设备上使用 -3dB 带宽以至少 1GHz 的频率执行的。

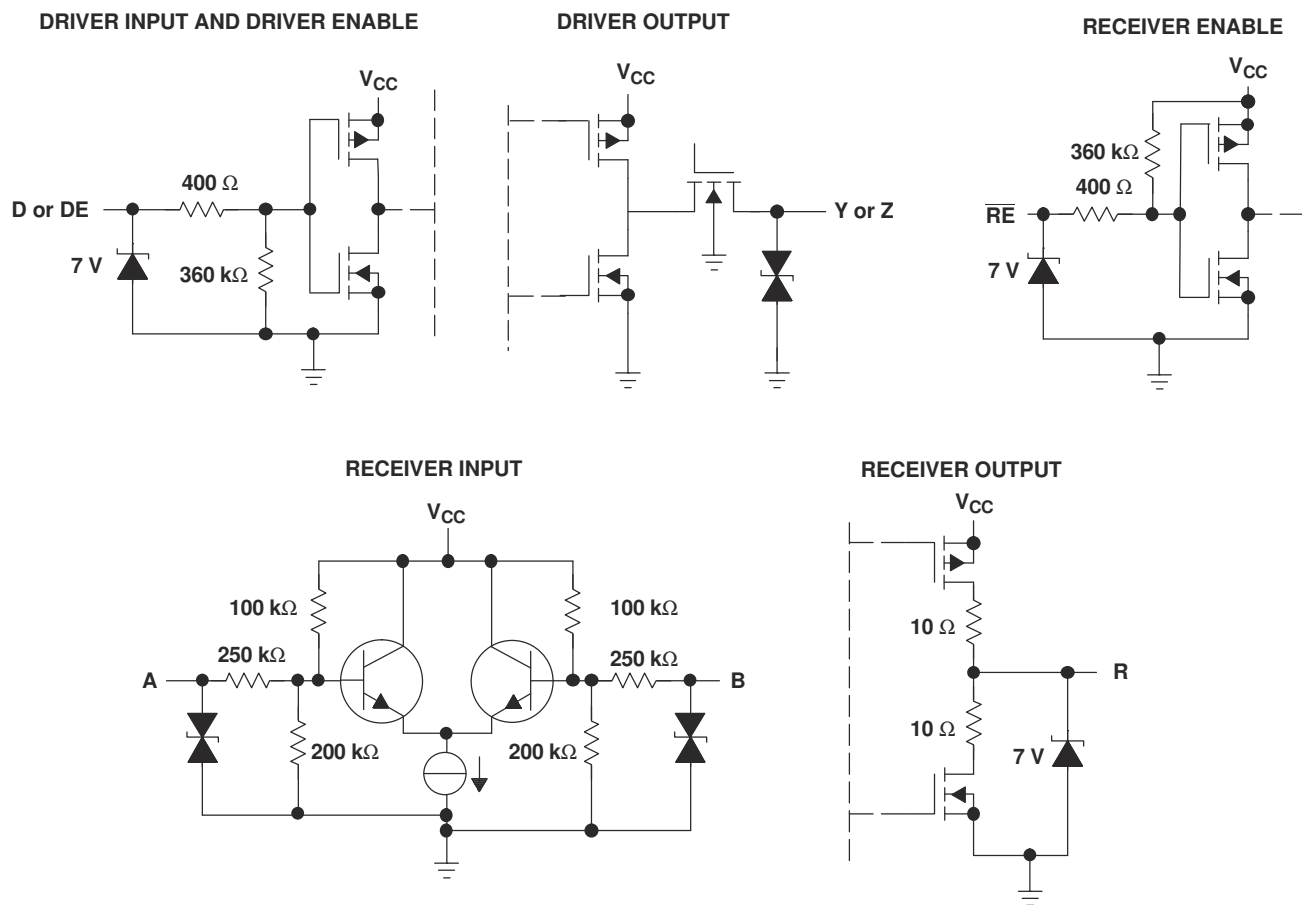
图 6-11. 接收器启用/禁用时间测试电路和波形



- 所有输入脉冲由带有插件 E4832A 的 Agilent 81250 并行 BERT 激励系统提供。
- 逐周期测量在运行 TDSJIT3 应用程序的 TEK TDS6604 上执行。
- 所有其他抖动测量均使用 Agilent Infiniium DCA-J 86100C 数字通信分析仪执行。
- 周期抖动和周期间抖动是使用 125MHz 50 ±1% 占空比时钟输入测量的。对 75K 个样本进行测量。
- 确定性抖动和随机抖动使用 250Mbps $2^{15} - 1$ PRBS 输入进行测量。在 $BER = 10^{-12}$ 的情况下测量。

图 6-12. 接收器抖动测量波形

6.1 等效输入和输出原理图



7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

7.1.1 源同步系统时钟 (SSSC)

可以使用两种方法在同步系统中发送数据：集中式同步系统时钟 (CSSC) 和源同步系统时钟 (SSSC)。CSSC 系统使用来自集中源的时钟信号来同步不同模块之间的数据传输。CSSC 系统的关键要求是数据发送和接收在单个时钟周期内完成。最大工作频率是可确保实现有效数据发送和接收的最短时钟周期的倒数。SSSC 系统通过同时发送时钟和数据信号来消除传输介质、背板或电缆上的飞行时间来实现更高的工作频率。在 SSSC 系统中，最大工作频率受时钟和数据之间可能存在的累积偏移的限制。背板上数据的绝对飞行时间不会对工作频率产生限制，这与 CSSC 一样。

SN65MLVD082 可设计用于连接数据和时钟，以支持源同步系统时钟 (SSSC) 运行。其额定数据发送速率高达 250Mbps，时钟频率高达 125MHz。图 7-1 显示了 M-LVDS 收发器支持的 SSSC 架构示例。SN65MLVD206 是一款单通道收发器，用于在模块之间传输主系统时钟。然后重定时单元应用于主系统时钟，从而为子系统同步处理生成本地时钟。系统运行数据（或控制）和子系统时钟信号由模块 1 上的数据处理单元（如微处理器、FPGA 或 ASIC）生成，并通过 SN65MLVD082 发送至从模块。在以更高的 SSSC 子系统时钟频率通过背板传输并行控制数据时，此类设计配置很常见。子系统时钟频率与数据处理单元的工作频率保持一致，从而同步不同单元之间的数据传输。

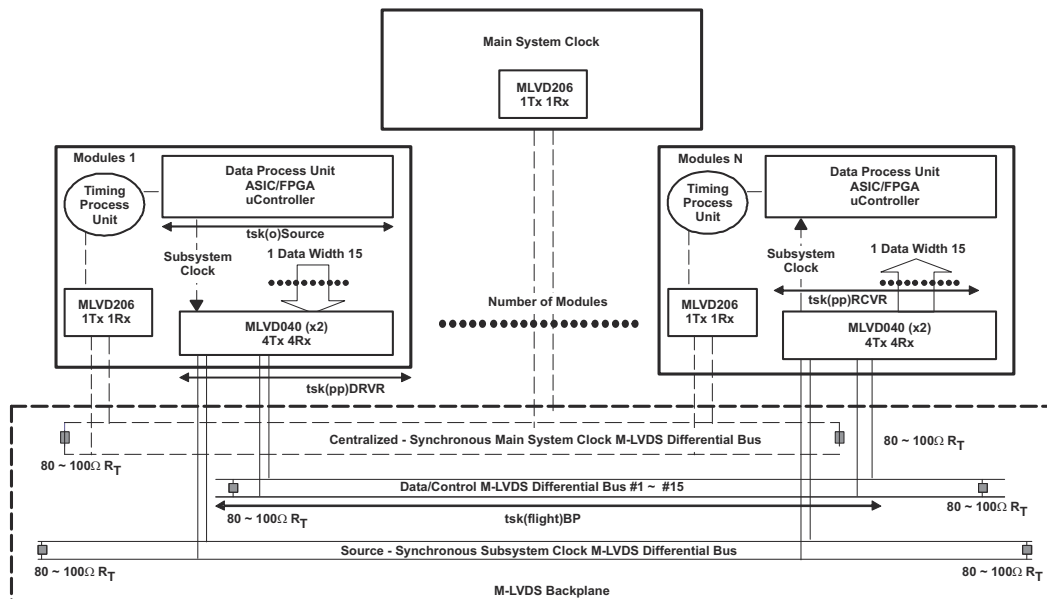


图 7-1. 使用差分 M-LVDS 执行源同步系统时钟分配

可以使用 [方程式 1](#) 来计算透明模式下的最大 SSSC 频率：

$$f_{\max(\text{clk})} < 1/[t_{\text{sk(o)Source}} + t_{\text{sk(pp)DRVR}} + t_{\text{sk(flight)BP}} + t_{\text{sk(pp)RCVR}}] \quad (1)$$

在本例中，接收器侧的设置时间和保持时间由数据处理单元 FPGA 或 ASIC 决定。如果考虑数据仅通过收发器，则在使用以下数据时，一般计算结果为 238MHz：

$t_{\text{sk(o)Source}} = 2\text{ns}$ - 数据处理单元的输出偏移（数据位或时钟和数据位之间的任何偏移）

$t_{\text{sk(pp)DRVR}} = 0.6\text{ns}$ - SN65MLVD040 的驱动器器件间偏移

$t_{\text{sk(flight)BP}} = 0.4\text{ns}$ - 背板上数据和时钟之间的传播延迟偏移

$t_{\text{sk(pp)RCVR}} = 1\text{ns}$ - SN65MLVD040 的接收器器件间偏移

上面计算的 238MHz 最大运行速度仅根据数据和时钟偏移确定。计算最大运行速度时的另一个重要考虑因素是输出转换时间。可以使用 [方程式 2](#) 来计算转换时间限制运行速度：

$$f = 45\% \times \frac{1}{2 \times t_{\text{transition}}} \quad (2)$$

在使用 SN65MLVD040 的典型转换时间 1.4ns 的情况下，可以支持 170MHz 的转换时间限制工作频率。

除了可保证的 SSSC 高工作频率之外，SN65MLVD040 还具有其他 M-LVDS 总线收发器可提供的其他优势：

- 由于使用低电压差动接收器消除共模噪声，因此系统运行稳定可靠
- 差分信号带来的低 EMI 辐射噪声可提高通过背板的信号完整性
- 单端接传输线路易于设计和实施
- 工作模式和空闲模式下的低功耗可最大程度地减少每个模块上的散热问题

在密集背板设计中，这些优势对于提高整个系统的性能非常重要。

7.1.1.1 带电插入/无干扰上电/断电

德州仪器 (TI) 提供的 SN65MLVD040 系列产品提供无干扰脉冲上电/断电功能，可防止器件的 M-LVDS 输出在上电或断电事件期间开启。当器件物理连接到 M-LVDS 多点总线且 V_{CC} 正在变化时，这在带电插入应用中尤为重要。

虽然这些器件的 M-LVDS 接口在上电/断电时无干扰，但接收器输出结构并非如此。图 7-2 显示了当 V_{CC} (通道 1) 变化时接收器输出引脚 R (通道 2) 的性能。

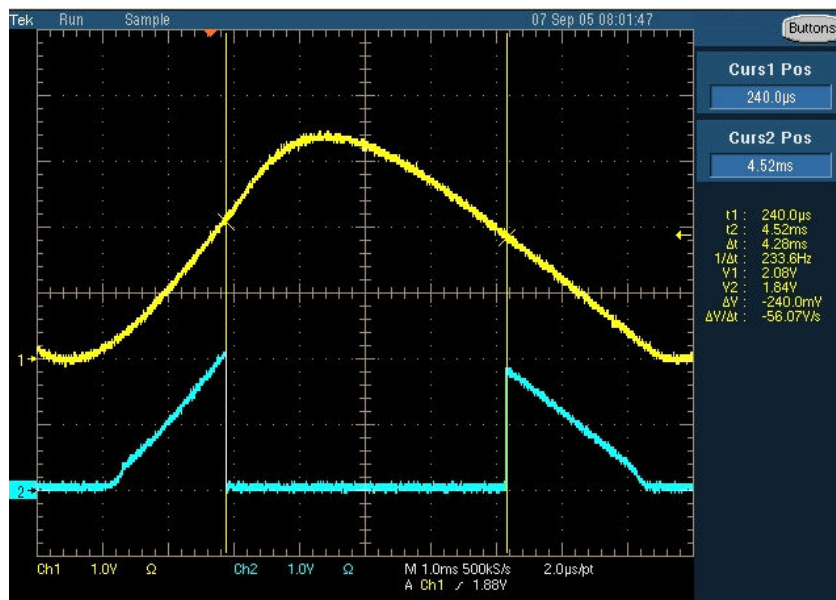


图 7-2. M-LVDS 接收器输出： V_{CC} (通道 1)，R 引脚 (通道 2)

R 引脚上的干扰与 $\overline{RE}$ 电压无关。通过在 V_{CC} 达到稳定状态值之前暂停运行的电源时序或系统要求，可以解决该干扰引起的所有复杂情况或问题。

8 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

8.1 文档支持

8.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.4 商标

PowerPAD™ and TI E2E™ are trademarks of Texas Instruments.

所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (Febuary 2010) to Revision A (March 2024)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是所指定器件的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN65MLVD040RGZR	Active	Production	VQFN (RGZ) 48	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	MLVD040
SN65MLVD040RGZR.B	Active	Production	VQFN (RGZ) 48	2500 LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	MLVD040
SN65MLVD040RGZT	Active	Production	VQFN (RGZ) 48	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	MLVD040
SN65MLVD040RGZT.B	Active	Production	VQFN (RGZ) 48	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	MLVD040
SN65MLVD040RGZTG4	Active	Production	VQFN (RGZ) 48	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	MLVD040
SN65MLVD040RGZTG4.B	Active	Production	VQFN (RGZ) 48	250 SMALL T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	MLVD040

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN65MLVD040RGZR	VQFN	RGZ	48	2500	330.0	16.4	7.3	7.3	1.5	12.0	16.0	Q2
SN65MLVD040RGZT	VQFN	RGZ	48	250	180.0	16.4	7.3	7.3	1.5	12.0	16.0	Q2
SN65MLVD040RGZTG4	VQFN	RGZ	48	250	180.0	16.4	7.3	7.3	1.5	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN65MLVD040RGZR	VQFN	RGZ	48	2500	353.0	353.0	32.0
SN65MLVD040RGZT	VQFN	RGZ	48	250	213.0	191.0	35.0
SN65MLVD040RGZTG4	VQFN	RGZ	48	250	213.0	191.0	35.0

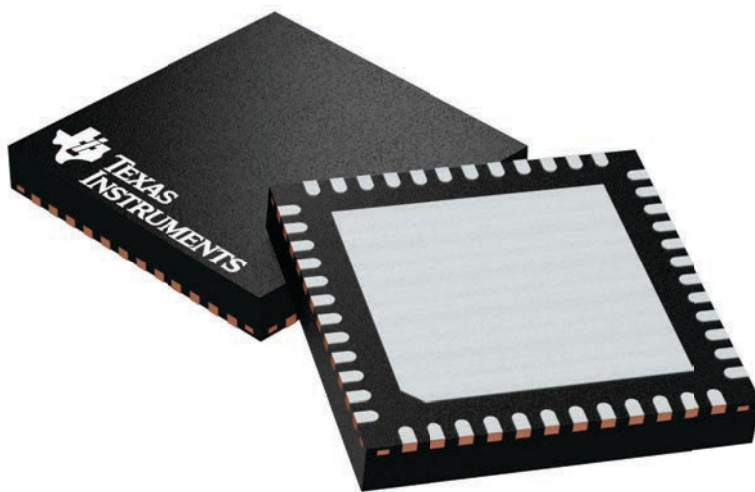
GENERIC PACKAGE VIEW

RGZ 48

VQFN - 1 mm max height

7 x 7, 0.5 mm pitch

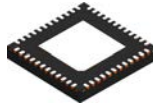
PLASTIC QUADFLAT PACK- NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4224671/A

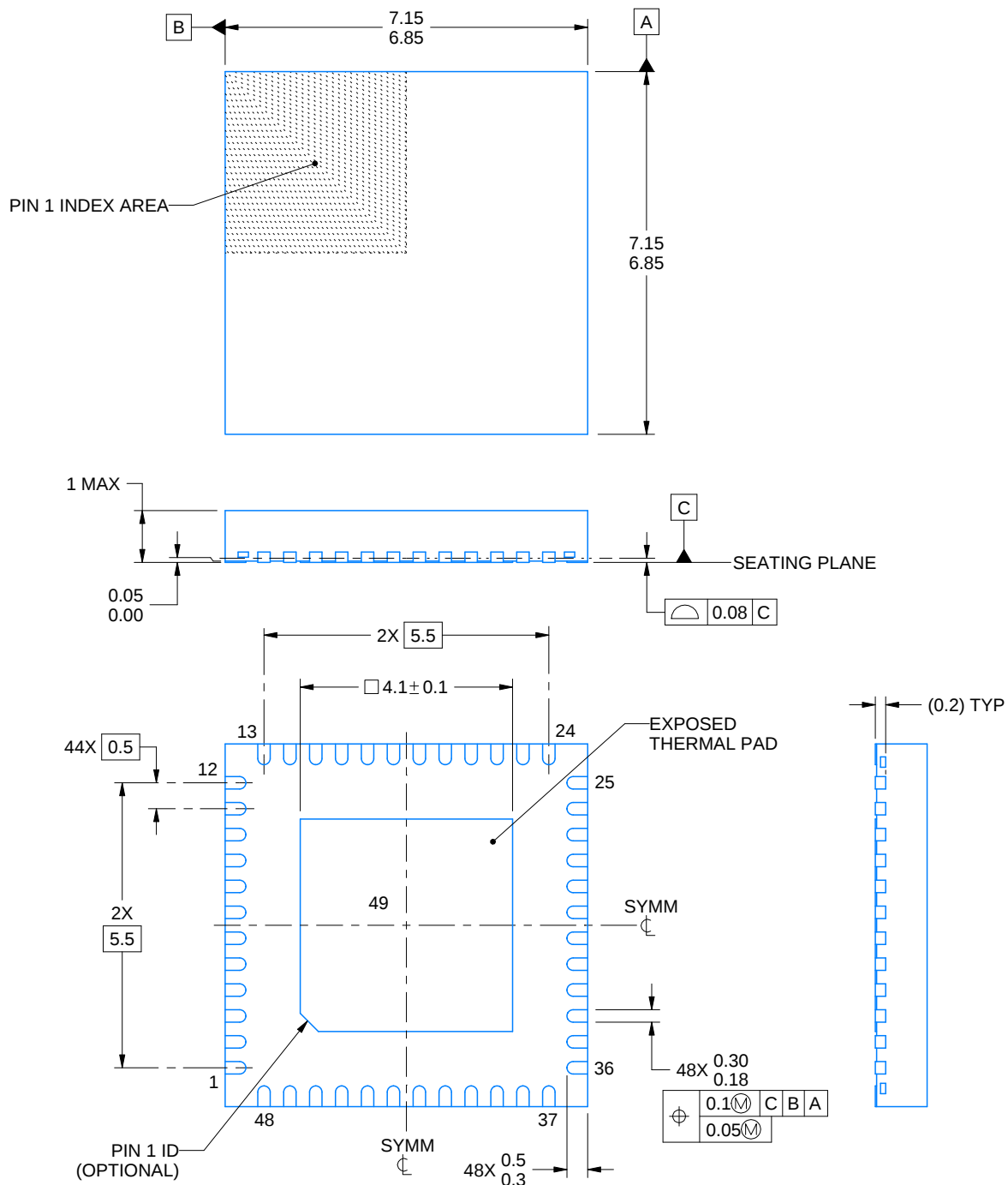
RGZ0048B



PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



4218795/B 02/2017

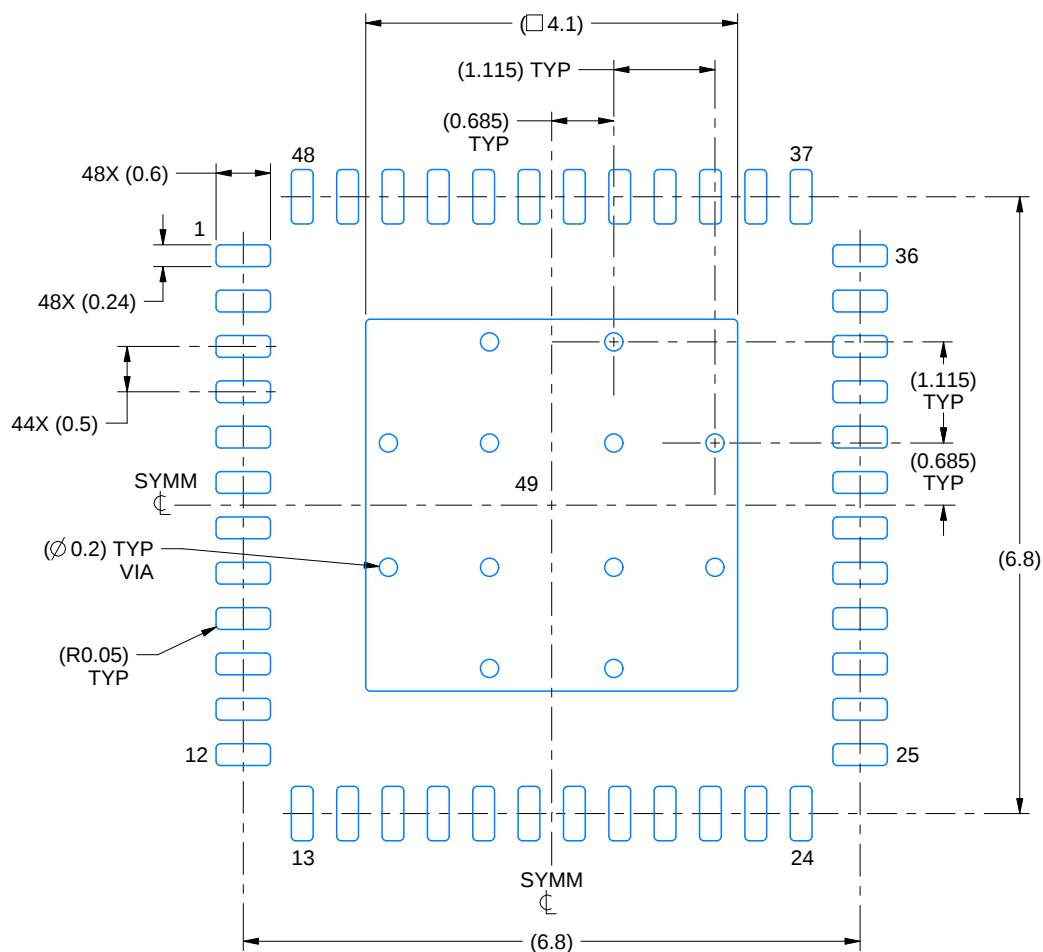
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

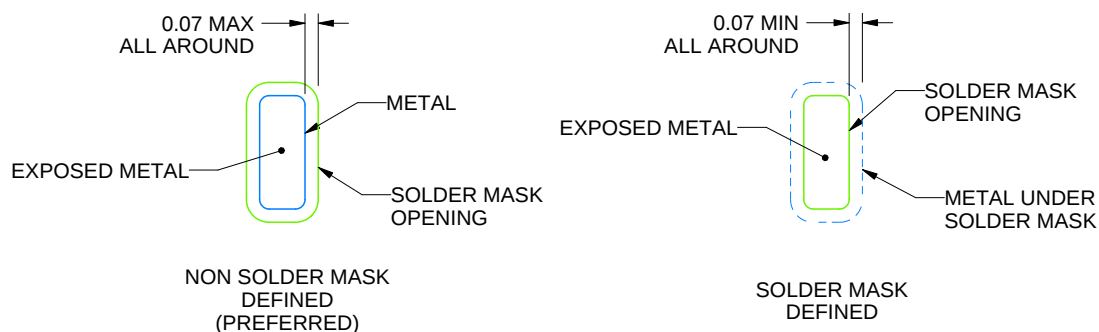
RGZ0048B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:12X



SOLDER MASK DETAILS

4218795/B 02/2017

NOTES: (continued)

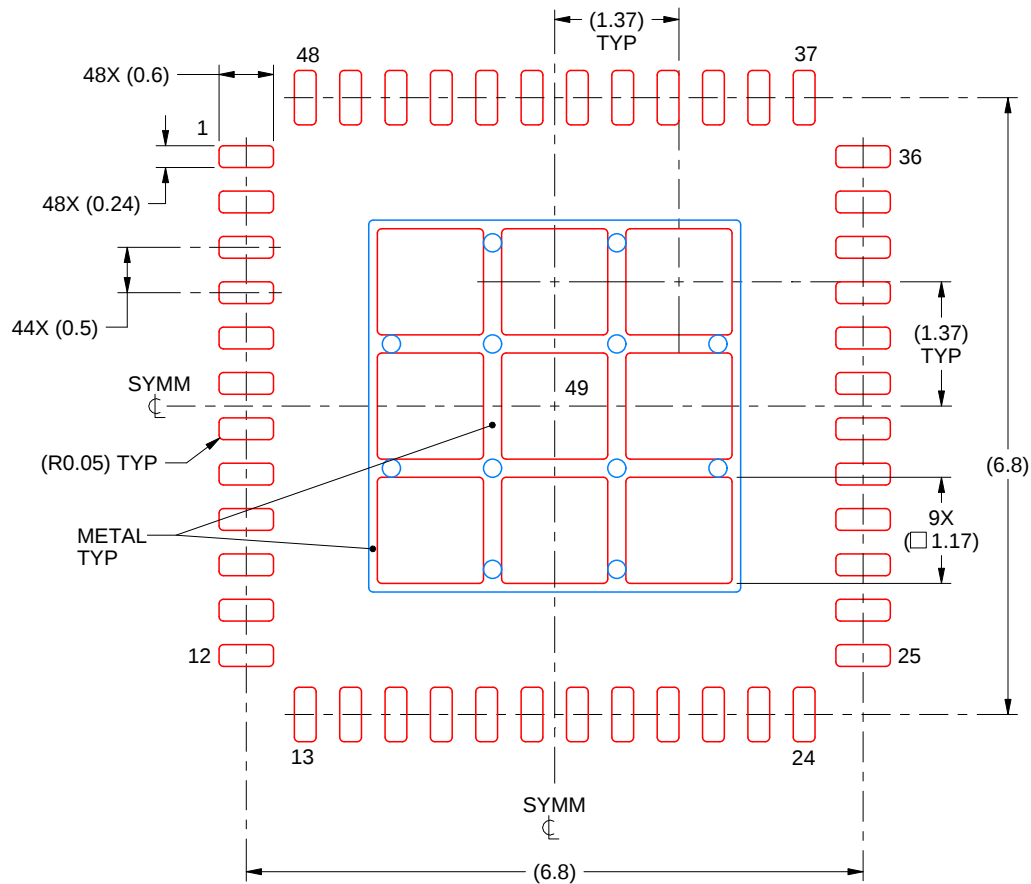
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sluea271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RGZ0048B

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



SOLDER PASTE EXAMPLE BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 49
73% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:12X

4218795/B 02/2017

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月