

PCM1809 立体声通道、102dB 动态范围音频 ADC

1 特性

- 立体声低功耗 ADC :
 - 2 通道模拟麦克风输入或线路输入
- ADC 线路和麦克风差分和单端输入性能 :
 - PCM1809 动态范围 :
 - 差分输入 : 104dB
 - 单端输入 : 102dB
 - THD+N : -95dB
- 2-V_{RMS} 差分满量程输入
- 直接耦合
 - 宽输入共模支持
 - 交流/直流耦合支持
- ADC 采样速率 (f_S) = 8kHz 至 192kHz
- 硬件引脚控制配置
- 线性相位或低延迟滤波器可选
- 灵活的音频串行数据接口 :
 - 控制器或目标接口选择
 - 32 位、2 通道 TDM
 - 32 位、2 通道 I²S
- 音频时钟丢失时自动断电
- 集成高性能音频 PLL
- 单电源运行 : 3.3V
- I/O 电源运行 : 3.3V 或 1.8V
- 3.3V AVDD 电源电压下的功耗 :
 - 16kHz 采样率下为 19.6mW/通道
 - 48kHz 采样率下为 21.3mW/通道

2 应用

- 智能扬声器
- DVD 录像机和播放器
- AV 接收机
- 视频会议系统
- IP 网络摄像头

3 说明

PCM1809 是一款低功率音频模数转换器 (ADC)，可支持最多两个模拟通道的同步采样。该器件支持单端和差分线路和麦克风输入，具有 2V_{RMS} 满量程差分信号，集成了锁相环 (PLL) 和直流滤除高通滤波器 (HPF)，并支持高达 192kHz 的采样率。该器件支持时分多路复用 (TDM) 或 I²S 音频格式，且硬件引脚电平可选。此外，PCM1809 支持为音频总线接口运行选择控制器和目标模式。这些集成的特性，以及采用 3.3V 单电源供电的功能，使该器件非常适用于麦克风录音应用中对成本敏感的空间受限型音频系统。

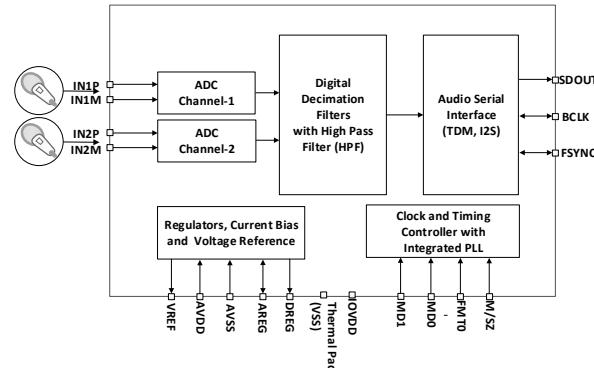
PCM1809 的额定工作温度范围为 -40°C 至 +105°C，并且采用 20 引脚 WQFN 封装。

器件信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
PCM1809	WQFN (20)	3.00mm x 3.00mm , 间距为 0.5mm

(1) 如需了解所有可用封装，请参阅数据表末尾的封装选项附录。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



简化版方框图



本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性	1	6.4 器件功能模式	22
2 应用	1	7 应用和实施	23
3 说明	1	7.1 应用信息	23
4 引脚配置和功能	3	7.2 典型应用	23
5 规格	4	8 电源相关建议	25
5.1 绝对最大额定值	4	9 布局	26
5.2 ESD 等级	4	9.1 布局指南	26
5.3 建议工作条件	4	9.2 布局示例	26
5.4 热性能信息	4	10 器件和文档支持	27
5.5 电气特性	5	10.1 接收文档更新通知	27
5.6 时序要求 : TDM、I ² S 或 LJ 接口	6	10.2 支持资源	27
5.7 开关特性 : TDM、I ² S 或 LJ 接口	7	10.3 商标	27
5.8 典型特性	8	10.4 静电放电警告	27
6 详细说明	9	10.5 术语表	27
6.1 概述	9	11 修订历史记录	27
6.2 功能方框图	9	12 机械、封装和可订购信息	27
6.3 特性说明	10		

4 引脚配置和功能

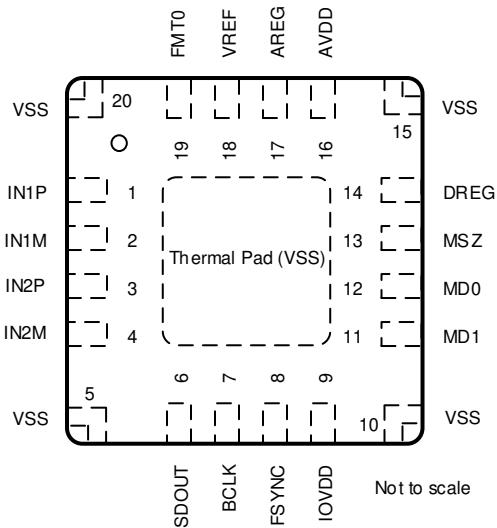


图 4-1. RTE 封装，20 引脚 WQFN（带有外露散热焊盘），顶视图

表 4-1. 引脚功能

引脚		类型	说明
编号	名称		
1	IN1P	模拟输入	模拟输入 1P 引脚
2	IN1M	模拟输入	模拟输入 1M 引脚
3	IN2P	模拟输入	模拟输入 2P 引脚
4	IN2M	模拟输入	模拟输入 2M 引脚
5	VSS	模拟电源	将该引脚直接短接至模拟接地层。
6	SDOUT	数字输出	音频串行数据接口总线输出
7	BCLK	数字 I/O	音频串行数据接口总线位时钟
8	FSYNC	数字 I/O	音频串行数据接口总线帧同步信号
9	IOVDD	数字电源	数字 I/O 电源 (标称值为 1.8V 或 3.3V)
10	VSS	模拟电源	将该引脚直接短接至模拟接地层。
11	MD1	数字输入	器件配置模式选择 1 引脚
12	MD0	数字输入	器件配置模式选择 0 引脚
13	MSZ	数字输入	音频接口总线控制器或目标选择引脚
14	DREG	数字电源	数字内核电源的数字稳压器输出电压 (标称值为 1.5V)。
15	VSS	模拟电源	将该引脚直接短接至模拟接地层。
16	AVDD	模拟电源	模拟电源 (标称值为 3.3V)
17	AREG	模拟电源	模拟电源的模拟片上稳压器输出电压 (标称值为 1.8V)
18	VREF	模拟	模拟基准电压滤波器输出。
19	FMT0	数字输入	以 AVDD 电源为基准的音频接口格式选择引脚
20	VSS	模拟电源	将该引脚直接短接至模拟接地层。
散热焊盘 (VSS)		接地电源	散热焊盘短接至内部器件接地。将散热焊盘直接短接至电路板接地平面。

5 规格

5.1 绝对最大额定值

在工作环境温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
电源电压	AVDD 至 AVSS	-0.3	3.9	V
	AREG 至 AVSS	-0.3	2.0	
	IOVDD 至 VSS (散热焊盘)	-0.3	3.9	
接地电压差	AVSS 至 VSS (散热焊盘)	-0.3	0.3	V
模拟输入电压	模拟输入引脚电压至 AVSS	-0.3	AVDD + 0.3	V
数字输入电压	数字输入引脚电压至 VSS (散热焊盘)	-0.3	IOVDD + 0.3	V
温度	工作环境温度 , T_A	-40	105	°C
	结温 , T_J	-40	150	
	贮存温度 , T_{stg}	-65	150	

(1) 应力超出绝对最大额定值下列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力等级，这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM) , 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	± 2000	V
		充电器件模型 (CDM) , 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	± 500	

(1) JEDEC 文档 JEP155 指出 : 500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出 : 250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议工作条件

		最小值	标称值	最大值	单位
功率					
AVDD、 AREG ⁽¹⁾	模拟电源电压 AVDD 至 AVSS (AREG 使用片上稳压器生成) - AVDD 3.3V 运行电压	3.0	3.3	3.6	V
IOVDD	IO 电源电压到 VSS (散热焊盘) - IOVDD 3.3V 运行电压	3.0	3.3	3.6	V
	IO 电源电压到 VSS (散热焊盘) - IOVDD 1.8V 运行电压	1.65	1.8	1.95	
输入					
	模拟输入引脚和 FMT0 电压至 VSS	0	AVDD	V	
	数字输入引脚 (FMT0 除外) 电压至 VSS (散热焊盘)	0	IOVDD	V	
温度					
T_A	工作环境温度	-40	105	°C	
其他					
	数字输入引脚用作 MCLK 输入时钟频率			36.864	MHz
C_L	数字输出负载电容		20	50	pF

(1) AVSS 和 VSS (散热焊盘) : 所有接地引脚必须连接在一起，并且电压差异不得超过 0.2V。

5.4 热性能信息

热性能指标 ⁽¹⁾		PCM1809	单位
		RTE (WQFN)	
		20 引脚	
$R_{\theta JA}$	结至环境热阻	55.9	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	33.1	°C/W
$R_{\theta JB}$	结至电路板热阻	23.4	°C/W

热性能指标 ⁽¹⁾		PCM1809	单位
		RTE (WQFN)	
		20 引脚	
Ψ_{JT}	结至顶部特征参数	0.6	°C/W
Ψ_{JB}	结至电路板特征参数	23.3	°C/W
$R_{\theta JC(bot)}$	结至外壳(底部)热阻	16.7	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [spra953](#) 应用报告。

5.5 电气特性

$T_A = 25^\circ\text{C}$ 、AVDD = 3.3V、IOVDD = 3.3V、 $f_{IN} = 1\text{kHz}$ 正弦信号、 $f_S = 48\text{kHz}$ 、32 位音频数据、BCLK = $256 \times f_S$ 、TDM 目标模式 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
ADC 配置					
	交流输入阻抗 (PCM1821) 输入引脚 INxP 或 INxM		10		kΩ
线路、麦克风输入录音的 ADC 性能 : AVDD 3.3V 运行电压					
	差分输入满量程交流信号电压	交流耦合输入		2	V _{RMS}
SNR	信噪比, A 加权 ^{(1) (2)}	选择 IN1 差分输入, 交流信号短接到地		104	dB
DR	动态范围, A 加权 ^{(1) (2)}	选择 IN1 差分直流耦合输入, -60dB 满量程交流信号输入		104	dB
THD+N	总谐波失真 ^{(2) (3)}	选择 IN1 差分输入, -1dB 满量程交流信号输入		-95	dB
	差分输入满量程交流信号电压	直流耦合输入		2	V _{RMS}
SNR	信噪比, A 加权 ^{(1) (2)}	IN1 差分输入, 选择直流耦合, 交流信号短接到地		104	dB
DR	动态范围, A 加权 ^{(1) (2)}	IN1 差分输入, 选择直流耦合和 -60dB 满量程交流信号输入		104	dB
THD+N	总谐波失真 ⁽²⁾	IN1 差分输入, 选择直流耦合和 -1dB 满量程交流信号输入		-95	dB
	单端输入满量程交流信号电压	交流耦合输入		1	V _{RMS}
SNR	信噪比, A 加权 ^{(1) (2)}	IN1 单端输入, IN1P 端采用交流耦合, IN1M 端接地, 交流信号短接到地	100	102	dB
DR	动态范围, A 加权 ^{(1) (2)}	IN1 单端输入, IN1P 端采用交流耦合, IN1M 端接地, -60dB 满量程交流信号输入		102	dB
THD+N	总谐波失真 ^{(2) (3)}	IN1 单端输入, IN1P 端采用交流耦合, IN1M 端接地, -1dB 满量程交流信号输入		-88	dB
	单端输入满量程交流信号电压	直流耦合输入		1	V _{RMS}
SNR	信噪比, A 加权 ^{(1) (2)}	IN1 单端输入, IN1P 端采用直流耦合, IN1M 端接地, 交流信号短接到地		102	dB
DR	动态范围, A 加权 ^{(1) (2)}	IN1 单端输入, IN1P 端采用直流耦合, IN1M 端接地, -60dB 满量程交流信号输入		102	dB
THD+N	总谐波失真 ⁽²⁾	IN1 单端输入, IN1P 端采用直流耦合, IN1M 端接地, -1dB 满量程交流信号输入		-88	dB
ADC 其他参数					
	输出数据采样速率		7.35	192	kHz
	输出数据样本字长			32	位
	通道间隔离	-1dB 满量程交流信号输入至非测量通道		-124	dB
	通道间增益不匹配	-6dB 满量程交流信号输入		0.1	dB
	增益漂移 ⁽⁴⁾	工作温度范围为 -40°C 至 105°C		40.5	ppm/°C
	通道间相位不匹配	1kHz 正弦信号		0.02	度
	相位漂移 ⁽⁵⁾	1kHz 正弦信号, 在 -40°C 至 105°C 的温度范围内		0.0005	度/°C

$T_A = 25^\circ\text{C}$ 、 $\text{AVDD} = 3.3\text{V}$ 、 $\text{IOVDD} = 3.3\text{V}$ 、 $f_{\text{IN}} = 1\text{kHz}$ 正弦信号、 $f_S = 48\text{kHz}$ 、32 位音频数据、 $\text{BCLK} = 256 \times f_S$ 、TDM 目标模式（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
PSRR	电源抑制比	100mV _{PP} , AVDD 上 1kHz 正弦信号, 选择差分输入, 0dB 通道增益		102		dB
PSRR	电源抑制比	100mV _{PP} , AVDD 上 1kHz 正弦信号, 选择单端输入, 0dB 通道增益		102		dB
数字 I/O						
V_{IL}	低电平数字输入逻辑电压阈值	除 FMT0 外所有数字引脚, IOVDD 1.8V 运行	-0.3	0.30 × IOVDD		V
		除 FMT0 外所有数字引脚, IOVDD 3.3V 运行	-0.3	0.8		
		FMT0 引脚	-0.3	0.8		
V_{IH}	高电平数字输入逻辑电压阈值	除 FMT0 外所有数字引脚, IOVDD 1.8V 运行	0.7 × IOVDD	IOVDD + 0.3		V
		除 FMT0 外所有数字引脚, IOVDD 3.3V 运行	2.1	IOVDD + 0.3		
		FMT0 引脚	2.1	AVDD + 0.3		
V_{OL}	低电平数字输出电压	所有数字引脚, $I_{OL} = -2\text{mA}$, IOVDD 1.8V 运行		0.45		V
		所有数字引脚, $I_{OL} = -2\text{mA}$, IOVDD 3.3V 运行		0.4		
V_{OH}	高电平数字输出电压	所有数字引脚, $I_{OH} = 2\text{mA}$, IOVDD 1.8V 运行	IOVDD - 0.45			V
		所有数字引脚, $I_{OH} = 2\text{mA}$, IOVDD 3.3V 运行	2.4			
I_{IH}	数字输入的输入逻辑高电平泄漏电流	所有数字引脚, 输入 = IOVDD	-5	0.1	5	μA
I_{IL}	数字输入的输入逻辑低电平泄漏电流	所有数字引脚, 输入 = 0V	-5	0.1	5	μA
C_{IN}	数字输入的输入电容	所有数字引脚		5		pF
R_{PD}	置位时数字 I/O 引脚的下拉电阻			20		k Ω

典型电源电流消耗

I_{AVDD}	禁用所有时钟时的电流消耗	AVDD = 3.3V, 内部 AREG	0.5	mA
I_{IOVDD}		所有外部时钟均停止, IOVDD = 3.3V	0.5	μA
I_{IOVDD}		所有外部时钟均停止, IOVDD = 1.8V	0.3	
I_{AVDD}	ADC 2 通道在 $f_S = 16\text{kHz}$ 、 $\text{BCLK} = 256 \times f_S$ 下运行时 的电流消耗	AVDD = 3.3V, 内部 AREG	11.9	mA
I_{IOVDD}		IOVDD = 3.3V	0.05	
I_{IOVDD}		IOVDD = 1.8V	0.02	
I_{AVDD}	ADC 2 通道在 $f_S = 48\text{kHz}$ 、 $\text{BCLK} = 256 \times f_S$ 下运行时 的电流消耗	AVDD = 3.3V, 内部 AREG	12.9	mA
I_{IOVDD}		IOVDD = 3.3V	0.1	
I_{IOVDD}		IOVDD = 1.8V	0.05	

- (1) 在 1kHz 满量程正弦波输入时的输出电平与交流信号输入对地短路时的输出电平之比，使用音频分析仪在 20Hz 至 20kHz 的带宽范围内测量并进行 A 加权。
- (2) 所有性能测量均使用 20kHz 低通滤波器以及 A 加权滤波器（如注明）完成。如果不使用此类滤波器，可能会导致比“电气特性”中所示更高的 THD 以及更低的 SNR 与动态范围读数。低通滤波器可消除带外噪声，尽管这种噪声不可闻，但可能会影响动态规格值。
- (3) 为了获得出色的失真性能，请使用具有低电压系数的输入交流耦合电容器。
- (4) 增益漂移 = (在温度范围内的增益变化) / 典型增益值 (室温下的增益) / 温度范围 × 10⁶，增益以线性标度测量。
- (5) 相位漂移 = (在温度范围内内的相位变化) / (温度范围)。

5.6 时序要求 : TDM、I²S 或 LJ 接口

$T_A = 25^\circ\text{C}$ 、 $\text{IOVDD} = 3.3\text{V}$ 或 1.8V 且所有输出端均具有 20pF 负载（除非另有说明）；时序图详见

		最小值	标称值	最大值	单位
$t_{(\text{BCLK})}$	BCLK 周期	40			ns
$t_{H(\text{BCLK})}$	BCLK 高电平脉冲持续时间 ⁽¹⁾	25			ns
$t_{L(\text{BCLK})}$	BCLK 低电平脉冲持续时间 ⁽¹⁾	25			ns
$t_{SU(\text{FSYNC})}$	FSYNC 设置时间	8			ns
$t_{HLD(\text{FSYNC})}$	FSYNC 保持时间	8			ns

$T_A = 25^\circ\text{C}$ 、 $\text{IOVDD} = 3.3\text{V}$ 或 1.8V 且所有输出端均具有 20pF 负载 (除非另有说明) ; 时序图详见

			最小值	标称值	最大值	单位
$t_r(\text{BCLK})$	BCLK 上升时间	10% 至 90% 上升时间 ⁽²⁾			10	ns
$t_f(\text{BCLK})$	BCLK 下降时间	90% 至 10% 下降时间 ⁽²⁾			10	ns

- (1) 如果 SDOUT 数据线锁存在与器件用于传输 SDOUT 数据的边沿相反的 BCLK 边沿极性上，则 BCLK 最短高电平或低电平脉冲持续时间必须大于 25ns (以满足时序规格)。
- (2) 如果系统中使用的 BCLK 频率低于 20MHz ，则 BCLK 最大上升和下降时间可放宽至 13ns 。这可能会因较高的时钟抖动而导致噪声增加。

5.7 开关特性 : TDM、I²S 或 LJ 接口

$T_A = 25^\circ\text{C}$ 、 $\text{IOVDD} = 3.3\text{V}$ 或 1.8V 且所有输出端均具有 20pF 负载 (除非另有说明) ; 时序图详见

参数	测试条件	最小值	典型值	最大值	单位
$t_d(\text{SDOUT-BCLK})$	BCLK 到 SDOUT 延迟 BCLK 的 50% 至 SDOUT 的 50%	3		18	ns
$t_d(\text{SDOUT-FSYNC})$	TDM 或 LJ 模式下的 FSYNC 到 SDOUT 延迟 (对于 TX_OFFSET = 0 的 MSB 数据) FSYNC 的 50% 至 SDOUT 的 50%			18	ns
$f(\text{BCLK})$	BCLK 输出时钟频率 : 控制器模式 ⁽¹⁾			24.576	MHz
$t_H(\text{BCLK})$	BCLK 高电平脉冲持续时间 : 控制器模式	14			ns
$t_L(\text{BCLK})$	BCLK 低电平脉冲持续时间 : 控制器模式	14			ns
$t_d(\text{FSYNC})$	BCLK 至 FSYNC 延迟 : 控制器模式 BCLK 的 50% 至 FSYNC 的 50%	3		18	ns
$t_r(\text{BCLK})$	BCLK 上升时间 : 控制器模式 10% 至 90% 上升时间			8	ns
$t_f(\text{BCLK})$	BCLK 下降时间 : 控制器模式 90% 至 10% 下降时间			8	ns

- (1) 如果 SDOUT 数据线锁存在与器件用于传输 SDOUT 数据的边沿相反的 BCLK 边沿极性上，则 BCLK 输出时钟频率必须低于 18.5MHz (以满足时序规格)。

5.8 典型特性

$T_A = 25^\circ\text{C}$ 、 $\text{AVDD} = 3.3\text{V}$ 、 $\text{IOVDD} = 3.3\text{V}$ 、 $f_{\text{IN}} = 1\text{kHz}$ 正弦信号、 $f_S = 48\text{kHz}$ 、32 位音频数据、 $\text{BCLK} = 256 \times f_S$ 、TDM 目标模式、PLL 开启、通道增益 = 0dB 且线性相位抽取滤波器（除非另有说明）；所有性能测量均通过 20kHz、低通滤波器和 A 加权滤波器，同时将信号调节至 0dBFS 完成

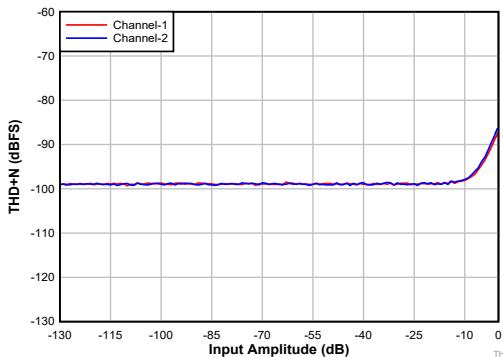


图 5-1. 单端输入：直流耦合信号（非 A 加权）下 THD +N 与输入幅度之间的关系

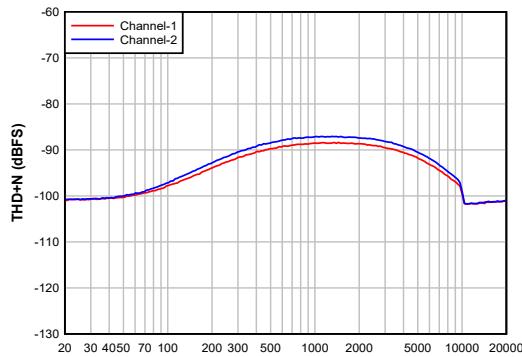


图 5-2. 单端输入：直流耦合 -1dBFS 信号下 THD +N 与频率之间的关系

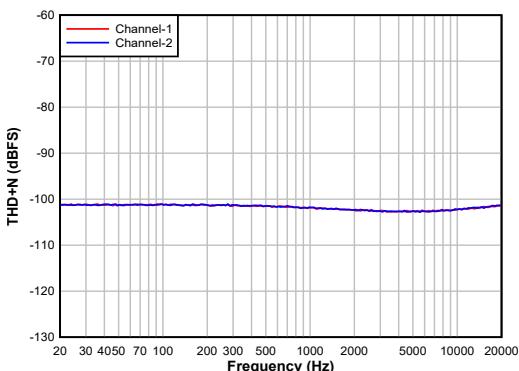
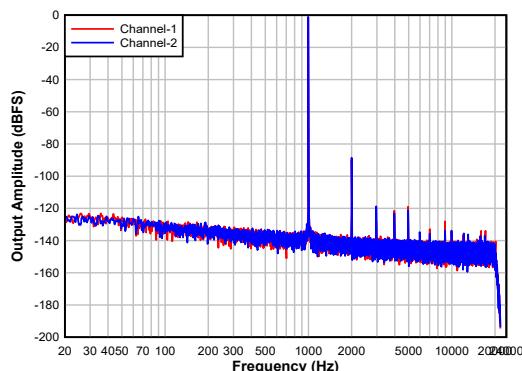


图 5-3. 单端输入：直流耦合信号下 DR 与输入频率之间的关系



调节 6dB。

图 5-4. 单端输入：-1dBFS 直流耦合信号下的 FFT

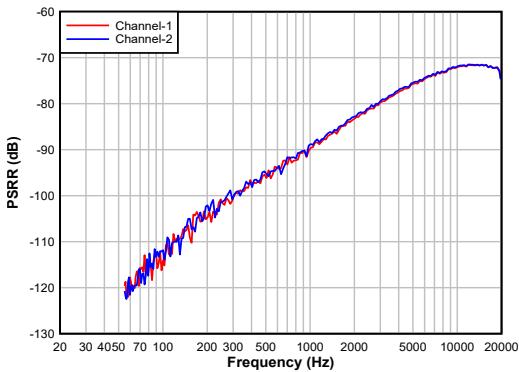


图 5-5. 单端输入：采用直流耦合输入时 PSRR 与频率之间的关系

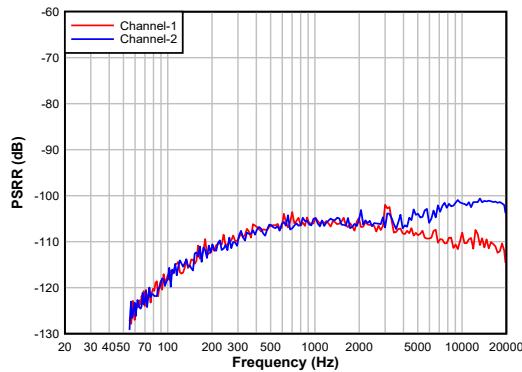


图 5-6. 单端输入：采用交流耦合输入时的 PSRR 与频率之间的关系

6 详细说明

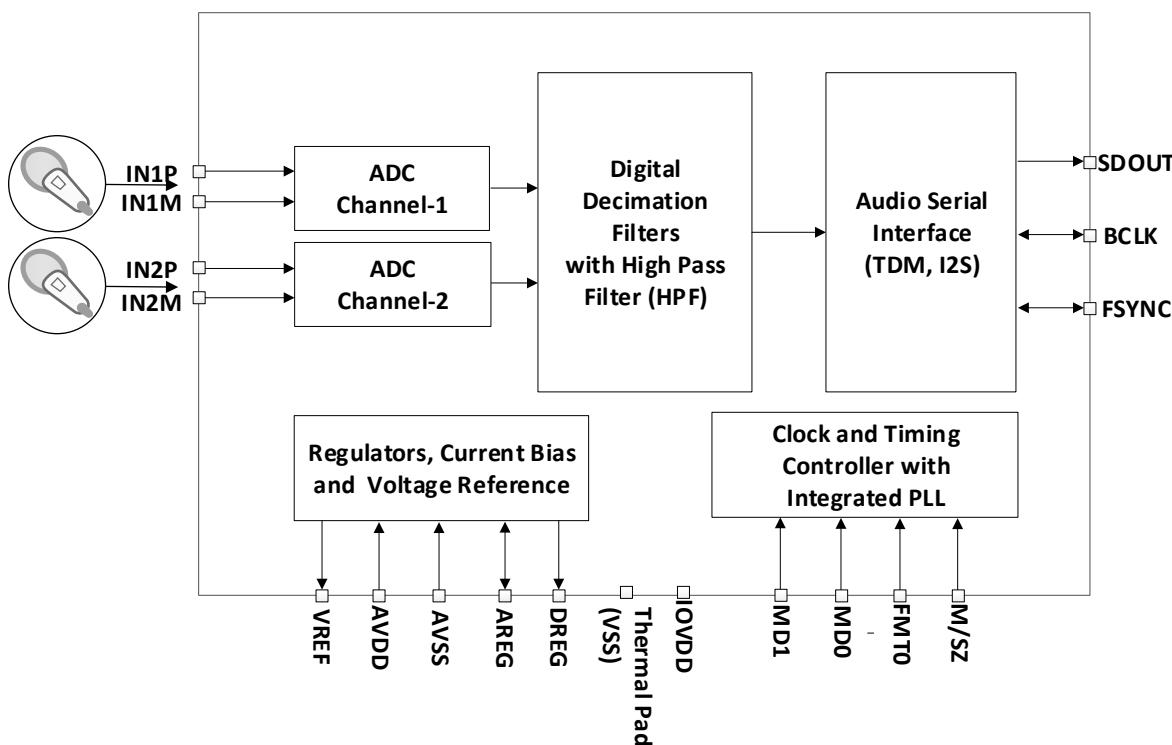
6.1 概述

PCM1809 是一款高性能、低功耗、立体声通道音频模数转换器 (ADC)，具有灵活的音频接口控制选项。该器件适用于声控系统、AV 接收器、TV 和蓝光播放器、专业麦克风、音频会议、便携式计算、通信和娱乐应用。该器件具有高动态范围，可实现高保真的远场音频录制。此器件集成了大量特性，可在空间受限的应用中降低成本、减小布板空间和功耗。器件特性可以通过硬件来控制，方法是使用电阻器或控制器 GPIO 将引脚拉高或拉低。PCM1809 还通过停止系统时钟来支持断电和复位功能。

PCM1809 包含以下模块和特性：

- 立体声通道、多位、低功耗 Δ - Σ ADC
- 具有 $2V_{RMS}$ 满量程信号的差分音频输入
- 通过硬件引脚控制操作来选择器件特性
- 音频总线串行接口控制器或目标选择选项
- 音频总线串行接口格式选择选项
- 目标模式支持采样频率高达 192kHz 的音频总线串行接口
- 目标模式支持具有线性相位或低延迟滤波器选择的抽取滤波器
- 使用 $256 \times f_S$ 或 $512 \times f_S$ 的系统时钟来支持控制器模式运行
- 通过停止音频时钟实现断电功能
- 集成高通滤波器 (HPF) 可消除输入信号的直流分量
- 支持多种系统时钟的集成低抖动锁相环 (PLL)
- 集成数字和模拟稳压器，用于支持 3.3V 单电源运行

6.2 功能方框图



6.3 特性说明

6.3.1 硬件控制

该器件支持简单的硬件引脚控制选项，以便为给定系统选择特定的工作模式和音频接口。MSZ、MD0、MD1 和 FMT0 引脚可用于通过上拉或下拉电阻器来控制器件。

6.3.2 音频串行接口

数字音频数据通过数字音频串行接口 (ASI) 或音频总线，在主机处理器和 PCM1809 之间流动。这个高度灵活的 ASI 总线包括用于多通道运行的 TDM 模式、I²S 支持，以及总线时钟线路的引脚可选控制器-目标可配置性。

该器件使用硬件引脚 MSZ 来支持音频总线控制器或目标工作模式。在目标模式下，FSYNC 和 BCLK 用作输入引脚，而在控制器模式下，FSYNC 和 BCLK 用作器件生成的输出引脚。表 6-1 展示了使用 MSZ 引脚的控制器和目标模式选择。

表 6-1. 控制器和目标模式选择

MSZ	控制器和目标选择
低	目标工作模式
高	控制器运行模式

总线协议 TDM、I²S 格式可以通过使用 FMT0 引脚进行选择。如表 6-2 所示，这些模式是最高有效字节 (MSB) 优先的脉冲编码调制 (PCM) 数据格式，输出通道数据字长为 32 位。

表 6-2. 音频串行接口格式

FMT0	音频串行接口格式
低	具有 IC 间音频 (I ² S) 模式的 2 通道输出
高	具有时分多路复用 (TDM) 模式的 2 通道输出

6.3.2.1 时分多路复用 (TDM) 音频接口

在 TDM 模式（也称为 DSP 模式）下，FSYNC 的上升沿会首先从时隙 0 数据开始数据传输。紧接着时隙 0 数据传输，会按顺序传输剩余的时隙数据。FSYNC 和每个数据位 (TX_OFFSET 等于 0 时，时隙 0 的 MSB 除外) 会在 BCLK 的上升沿传输。图 6-1 至图 6-4 展示了各种配置下 TDM 运行的协议时序。

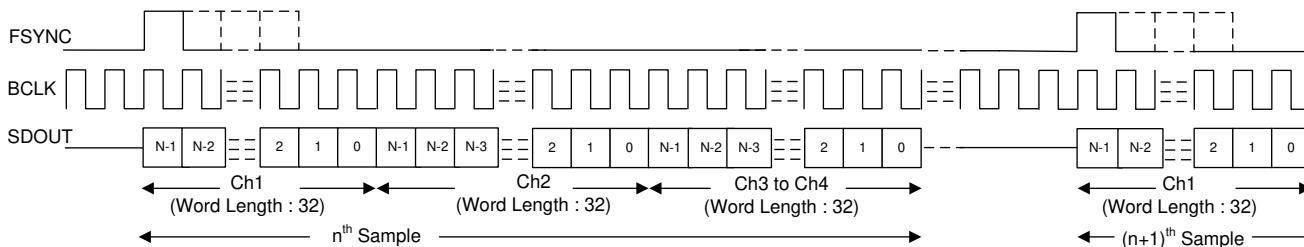


图 6-1. 目标模式下的 TDM 模式协议时序 (FMT0 = 低电平)

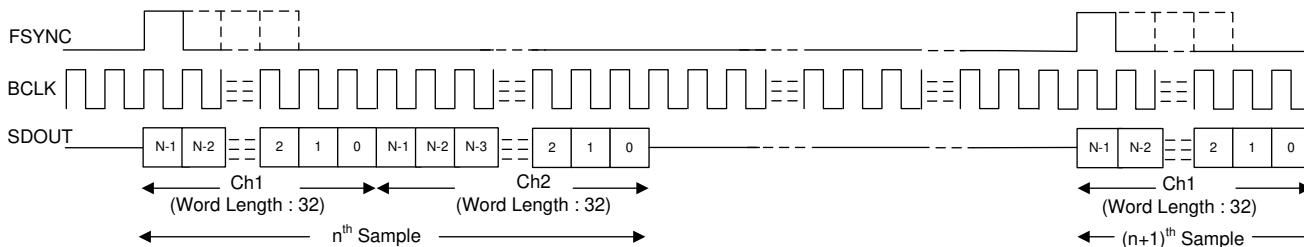


图 6-2. 目标模式下的 TDM 模式协议时序 (FMT0 = 高电平)

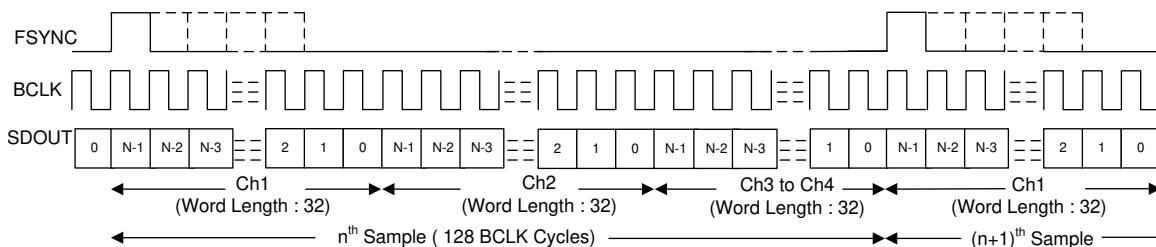


图 6-3. 控制器模式下的 TDM 模式协议时序 (FMT0 = 低电平)

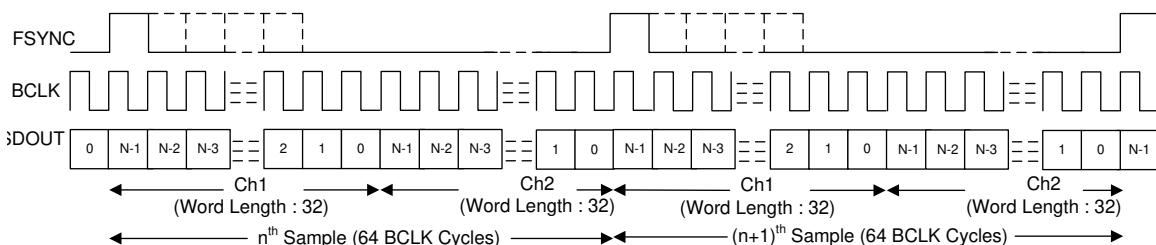


图 6-4. 控制器模式下的 TDM 模式协议时序 (FMT0 = 高电平)

为了使音频总线在 TDM 模式下正常运行，每帧的位时钟数必须大于或等于活动输出通道数乘以输出通道数据的 32 位字长。器件在 SDOUT 上为额外的未使用位时钟周期发送零数据值。该器件支持 FSYNC 作为具有 1 周期宽位时钟的脉冲，同时也支持倍数。

6.3.2.2 IC 间音频 (I²S) 接口

标准 I²S 协议仅针对两个通道进行定义：左通道和右通道。在 I²S 模式下，左时隙 0 的 MSB 会在 FSYNC 下降沿之后第二个周期中的 BCLK 下降沿上传输。右时隙 0 的 MSB 会在 FSYNC 上升沿之后第二个周期中的 BCLK 下降沿上传输。后续的每个数据位都在 BCLK 的下降沿传输。在控制器模式下，FSYNC 在 BCLK 的上升沿传输。图 6-5 和图 6-6 显示了在目标和控制器运行模式下 I²S 运行的协议时序。

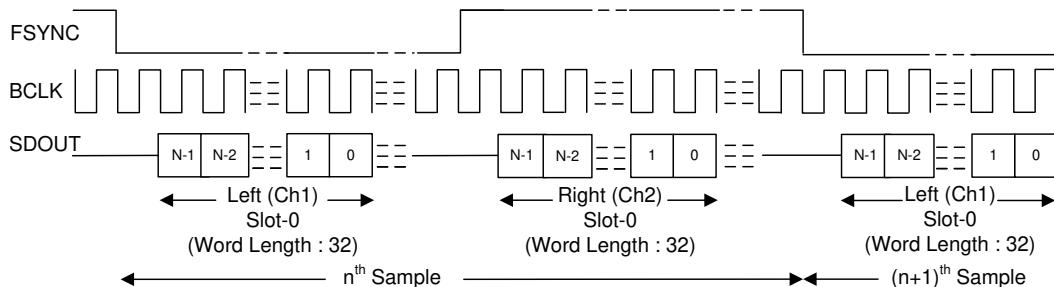


图 6-5. 目标模式下的 I²S 模式协议时序

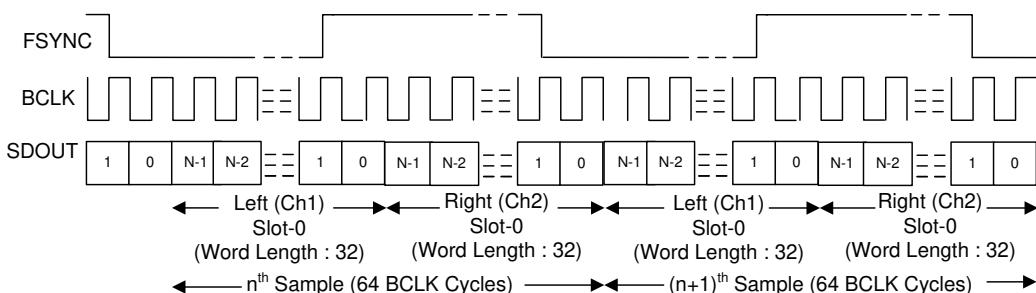


图 6-6. 控制器模式下的 I²S 协议时序

为了使音频总线在 I²S 模式下正常运行，每帧的位时钟数必须大于或等于活动输出通道的数量（包括左右时隙）乘以输出通道数据的 32 位字长。器件 FSYNC 低电平脉冲必须是大于或等于活动左时隙数量乘以 32 位数据字长的 BCLK 周期数。同样，FSYNC 高电平脉冲必须是大于或等于活动右时隙数量乘以 32 位数据字长的 BCLK 周期数。器件在 SDOOUT 上为额外的未使用位时钟周期发送零数据值。

6.3.3 锁相环 (PLL) 和时钟生成

该器件使用集成的低抖动锁相环 (PLL) 来生成 ADC 调制器和数字滤波器引擎以及其他控制块所需的内部时钟。

在目标工作模式下，该器件支持 (FSYNC 信号频率的) 各种输出数据采样速率和 BCLK 与 FSYNC 之比，以便在内部配置所有时钟分频器（包括 PLL 配置），而无需主机编程。表 6-3 和表 6-4 列出了支持的 FSYNC 和 BCLK 频率。

表 6-3. 支持的 FSYNC (48kHz 的倍数或约数) 和 BCLK 频率

BCLK 与 FSYNC 之比	BCLK (MHz)						
	FSYNC (8kHz)	FSYNC (16kHz)	FSYNC (24kHz)	FSYNC (32kHz)	FSYNC (48kHz)	FSYNC (96kHz)	FSYNC (192kHz)
16	保留	0.256	0.384	0.512	0.768	1.536	3.072
24	保留	0.384	0.576	0.768	1.152	2.304	4.608
32	0.256	0.512	0.768	1.024	1.536	3.072	6.144
48	0.384	0.768	1.152	1.536	2.304	4.608	9.216
64	0.512	1.024	1.536	2.048	3.072	6.144	12.288
96	0.768	1.536	2.304	3.072	4.608	9.216	18.432
128	1.024	2.048	3.072	4.096	6.144	12.288	24.576
192	1.536	3.072	4.608	6.144	9.216	18.432	保留
256	2.048	4.096	6.144	8.192	12.288	24.576	保留
384	3.072	6.144	9.216	12.288	18.432	保留	保留
512	4.096	8.192	12.288	16.384	24.576	保留	保留

表 6-4. 支持的 FSYNC (44.1kHz 的倍数或约数) 和 BCLK 频率

BCLK 与 FSYNC 之比	BCLK (MHz)						
	FSYNC (7.35kHz)	FSYNC (14.7kHz)	FSYNC (22.05kHz)	FSYNC (29.4kHz)	FSYNC (44.1kHz)	FSYNC (88.2kHz)	FSYNC (176.4kHz)
16	保留	保留	0.3528	0.4704	0.7056	1.4112	2.8224
24	保留	0.3528	0.5292	0.7056	1.0584	2.1168	4.2336
32	保留	0.4704	0.7056	0.9408	1.4112	2.8224	5.6448
48	0.3528	0.7056	1.0584	1.4112	2.1168	4.2336	8.4672
64	0.4704	0.9408	1.4112	1.8816	2.8224	5.6448	11.2896
96	0.7056	1.4112	2.1168	2.8224	4.2336	8.4672	16.9344
128	0.9408	1.8816	2.8224	3.7632	5.6448	11.2896	22.5792
192	1.4112	2.8224	4.2336	5.6448	8.4672	16.9344	保留
256	1.8816	3.7632	5.6448	7.5264	11.2896	22.5792	保留
384	2.8224	5.6448	8.4672	11.2896	16.9344	保留	保留
512	3.7632	7.5264	11.2896	15.0528	22.5792	保留	保留

在控制器工作模式下，器件使用 MD1 引脚（作为系统时钟，MCLK）作为参考输入时钟源，并且支持使用 MD0 引脚配置的 $256 \times f_S$ 或 $512 \times f_S$ 的系统时钟频率选项。在控制器工作模式下支持 44.1kHz 和 48kHz 的 f_S 速率。表 6-5 展示了使用 MD0 引脚的控制器模式的系统时钟选择。

表 6-5. 控制器模式的系统时钟选择

MD0	系统时钟选择 (仅对控制器模式有效)
低电平	频率为 $256 \times f_S$ 的系统时钟连接至 MD1 引脚，作为 MCLK
高电平	频率为 $512 \times f_S$ 的系统时钟连接至 MD1 引脚，作为 MCLK

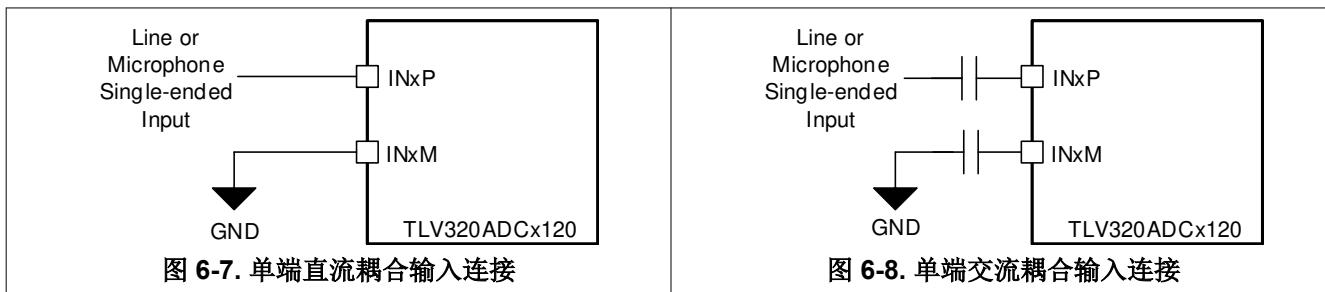
有关目标工作模式下的 MD0 和 MD1 引脚功能，请参阅表 6-7。

6.3.4 输入通道配置

该器件由两对模拟输入引脚 (INxP 和 INxM) 组成。这些引脚可配置为记录通道的差分或单端输入。该器件支持使用高性能立体声 ADC 同时对多达两个通道进行录音。模拟引脚的输入源可以来自驻极体电容式模拟麦克风、微机电系统 (MEMS) 模拟麦克风，或来自系统板的线路输入 (辅助输入)。

语音或音频信号输入可以通过电容耦合 (交流耦合) 或直流耦合连接到设备。若要在交流耦合模式下获得最佳的失真性能，请使用低电压系数电容。对于 INxP 或 INxM 引脚，PCM1809 的典型输入阻抗是 $10\text{k}\Omega$ 。在交流耦合模式下，选择的耦合电容值必须确保由耦合电容器和输入阻抗形成的高通滤波器不影响信号内容。该耦合电容器必须在上电时充电至共模电压，然后才能开始进行正确录音。为了实现快速充电，该器件配备了快速充电方案，可在上电时加快耦合电容器的充电速度。快速充电时序的值是针对耦合电容器高达 $1\mu\text{F}$ 进行设置的。

对于单端输入配置，INxM 引脚可以在单端模式下直接接地 (直流耦合请参阅图 6-7，交流耦合请参阅图 6-8)。为了获得出色的动力范围性能，必须使用差分交流耦合输入。



6.3.5 基准电压

所有音频数据转换器都需要直流基准电压。PCM1809 通过在内部生成低噪声基准电压来实现低噪声性能。该基准电压由具有高 PSRR 性能的带隙电路生成。该音频转换器基准电压必须在 VREF 引脚与模拟地 (AVSS) 之间使用一个最低 $1\mu\text{F}$ 的电容器从外部进行滤波。此基准电压 VREF 的值设置为 2.75V ，能使器件支持 $2V_{\text{RMS}}$ 差分满量程输入。该 VREF 电压所需的最小 AVDD 电压为 3V 。请勿将任何外部负载连接到 VREF 引脚。

6.3.6 信号链处理

PCM1809 信号链由超低噪声和低功耗的模拟块以及高度灵活的可编程数字处理块组成。高性能和灵活性与紧凑的封装相结合，使得 PCM1809 非常适合需要多通道音频采集的各种终端设备和应用。图 6-9 展示了一个针对 PCM1809 的概念方框图，其中突出显示了信号链中使用的各种构建块以及这些块在信号链中的交互方式。

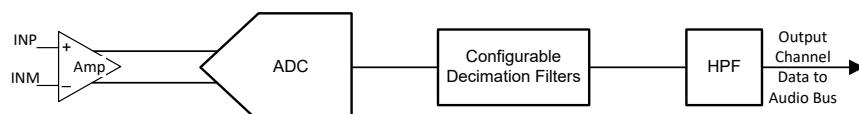


图 6-9. 信号链处理流程图

可编程的高性能多级数字抽取滤波器会通过高阻带衰减来急剧削减任何带外频率噪声。

6.3.6.1 数字高通滤波器

为了去除直流偏移分量并衰减录音数据中不需要的低频噪声成分，该器件支持固定的高通滤波器 (HPF)，其 -3dB 截止频率为 $0.00025 \times f_S$ 。HPF 不是独立于通道的滤波器，但全局适用于所有 ADC 通道。该 HPF 使用一阶无限脉冲响应 (IIR) 滤波器构建，并具有足够高的效率来滤除信号中可能的直流分量。表 6-6 展示了固定的 -3dB 截止频率值。图 6-10 展示了 HPF 滤波器的频率响应图。

表 6-6. HPF 截止频率值

-3dB 截止频率值	16 kHz 采样速率下截止频率为 -3dB	48kHz 采样速率下截止频率为 -3dB
$0.00025 \times f_S$	4 Hz	12 Hz

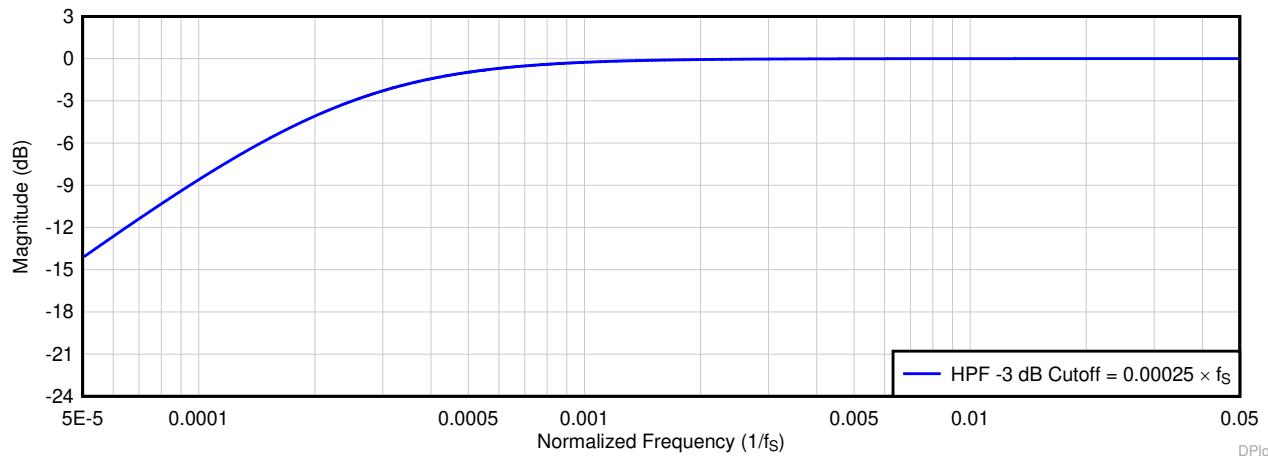


图 6-10. HPF 滤波器频率响应图

6.3.6.2 可配置数字抽取滤波器

器件录音通道包括一个内置的高动态范围数字抽取滤波器，用于处理来自多位 $\Delta-\Sigma$ 调制器的过采样数据，从而以与 FSYNC 速率相同的奈奎斯特采样速率生成数字数据。根据目标应用所需的频率响应、群延迟和相位线性度要求，在目标模式下，可以仅从两种不同的类型中选择抽取滤波器。可以通过 MDO 引脚来选择抽取滤波器选项。表 6-7 展示了录音通道的抽取滤波器模式选择。

表 6-7. 录音通道的抽取滤波器模式选择

MDO	抽取滤波器模式选择 (仅在目标模式下受支持)
低电平	线性相位滤波器用于在目标模式下进行抽取。对于控制器模式，器件始终使用线性相位滤波器进行抽取。
高电平	低延迟滤波器用于在目标模式下进行抽取。对于控制器模式，器件始终使用线性相位滤波器进行抽取。

6.3.6.2.1 线性相位滤波器

线性相位抽取滤波器是器件设置的默认滤波器，可用于需要在滤波器通带规格范围内具有良好线性相位和零相位偏差的所有应用。本节列出了所有受支持输出采样速率的滤波器性能规格和各种图。

6.3.6.2.1.1 采样速率：8 kHz 或 7.35 kHz

图 6-11 和图 6-12 分别展示了采样速率为 8 kHz 或 7.35 kHz 时抽取滤波器的幅度响应和通带纹波。表 6-8 列出了采样速率为 8kHz 或 7.35kHz 时抽取滤波器的规格。

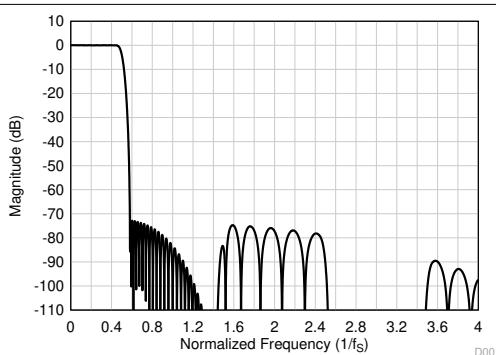


图 6-11. 线性相位抽取滤波器幅度响应

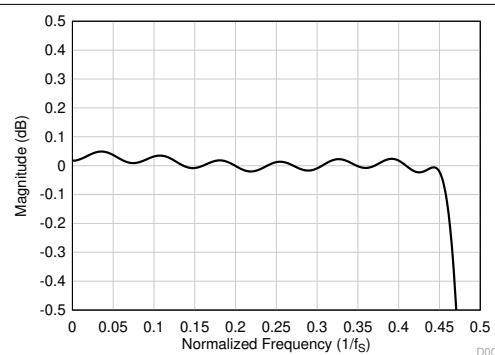


图 6-12. 线性相位抽取滤波器通带纹波

表 6-8. 线性相位抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.454 \times f_s$	-0.05	0.05	0.05	dB
阻带衰减	频率范围为 $0.58 \times f_s$ 至 $4 \times f_s$	72.7			dB
	频率范围为 $4 \times f_s$ 以上	81.2			
群延迟或延时	频率范围为 0 至 $0.454 \times f_s$			17.1	$1/f_s$

6.3.6.2.1.2 采样速率：16 kHz 或 14.7 kHz

图 6-13 和图 6-14 分别展示了采样速率为 16 kHz 或 14.7 kHz 时抽取滤波器的幅度响应和通带纹波。表 6-9 列出了采样速率为 16kHz 或 14.7kHz 时抽取滤波器的规格。

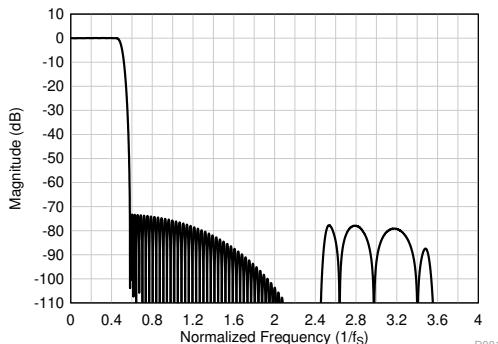


图 6-13. 线性相位抽取滤波器幅度响应

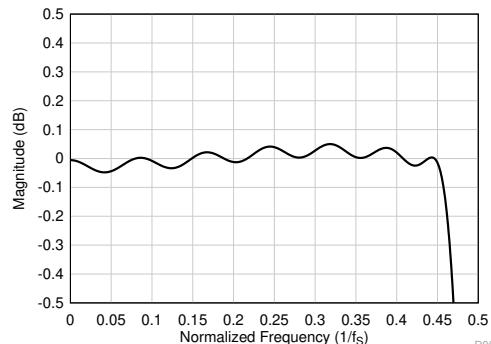


图 6-14. 线性相位抽取滤波器通带纹波

表 6-9. 线性相位抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.454 \times f_s$	-0.05	0.05	0.05	dB
阻带衰减	频率范围为 $0.58 \times f_s$ 至 $4 \times f_s$	73.3			dB
	频率范围为 $4 \times f_s$ 以上	95.0			
群延迟或延时	频率范围为 0 至 $0.454 \times f_s$		15.7		$1/f_s$

6.3.6.2.1.3 采样速率：24 kHz 或 22.05 kHz

图 6-15 和图 6-16 分别展示了采样速率为 24 kHz 或 22.05 kHz 时抽取滤波器的幅度响应和通带纹波。表 6-10 列出了采样速率为 24kHz 或 22.05kHz 时抽取滤波器的规格。

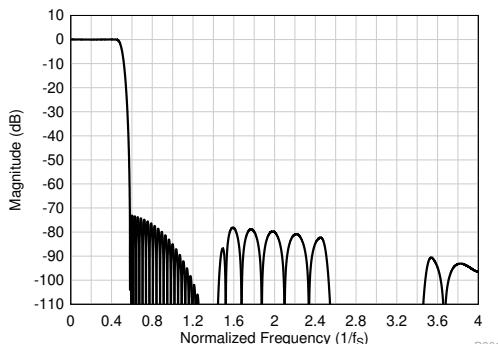


图 6-15. 线性相位抽取滤波器幅度响应

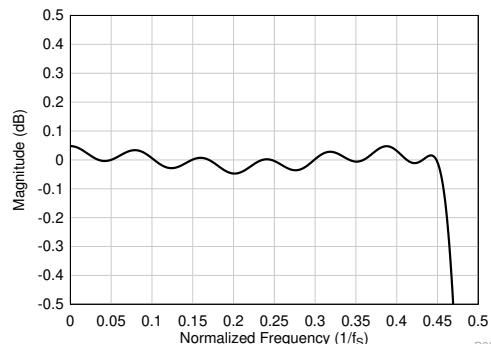


图 6-16. 线性相位抽取滤波器通带纹波

表 6-10. 线性相位抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.454 \times f_s$	-0.05	0.05	0.05	dB
阻带衰减	频率范围为 $0.58 \times f_s$ 至 $4 \times f_s$	73.0			dB
	频率范围为 $4 \times f_s$ 以上	96.4			
群延迟或延时	频率范围为 0 至 $0.454 \times f_s$		16.6		$1/f_s$

6.3.6.2.1.4 采样速率 : 32 kHz 或 29.4 kHz

图 6-17 和图 6-18 分别展示了采样速率为 32 kHz 或 29.4 kHz 时抽取滤波器的幅度响应和通带纹波。表 6-11 列出了采样速率为 32kHz 或 29.4kHz 时抽取滤波器的规格。

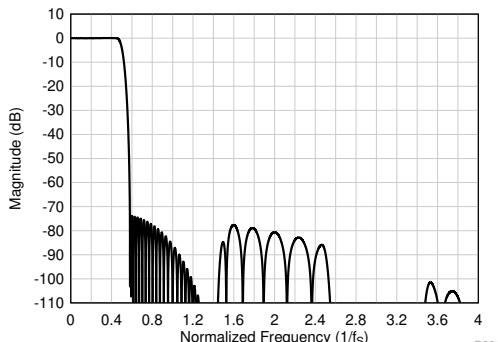


图 6-17. 线性相位抽取滤波器幅度响应

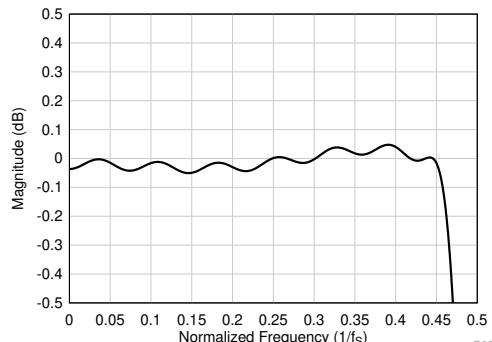


图 6-18. 线性相位抽取滤波器通带纹波

表 6-11. 线性相位抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.454 \times f_s$	-0.05	0.05	0.05	dB
阻带衰减	频率范围为 $0.58 \times f_s$ 至 $4 \times f_s$	73.7			dB
	频率范围为 $4 \times f_s$ 以上	107.2			
群延迟或延时	频率范围为 0 至 $0.454 \times f_s$	16.9		16.9	$1/f_s$

6.3.6.2.1.5 采样速率 : 48 kHz 或 44.1 kHz

图 6-19 和图 6-20 分别展示了采样速率为 48 kHz 或 44.1 kHz 时抽取滤波器的幅度响应和通带纹波。表 6-12 列出了采样速率为 48kHz 或 44.1kHz 时抽取滤波器的规格。

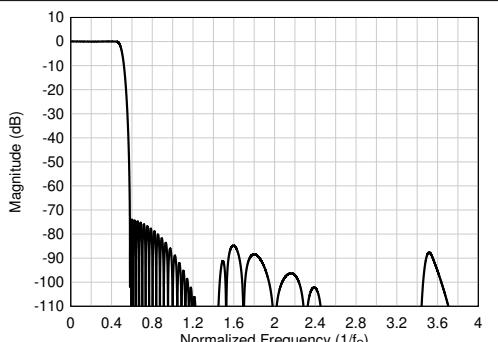


图 6-19. 线性相位抽取滤波器幅度响应

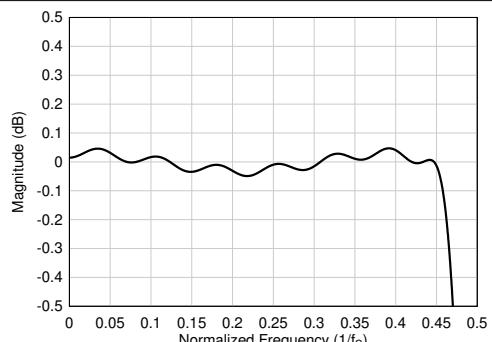


图 6-20. 线性相位抽取滤波器通带纹波

表 6-12. 线性相位抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.454 \times f_s$	-0.05	0.05	0.05	dB
阻带衰减	频率范围为 $0.58 \times f_s$ 至 $4 \times f_s$	73.8			dB
	频率范围为 $4 \times f_s$ 以上	98.1			
群延迟或延时	频率范围为 0 至 $0.454 \times f_s$	17.1		17.1	$1/f_s$

6.3.6.2.1.6 采样速率 : 96 kHz 或 88.2 kHz

图 6-21 和图 6-22 分别展示了采样速率为 96 kHz 或 88.2 kHz 时抽取滤波器的幅度响应和通带纹波。表 6-13 列出了采样速率为 96kHz 或 88.2kHz 时抽取滤波器的规格。

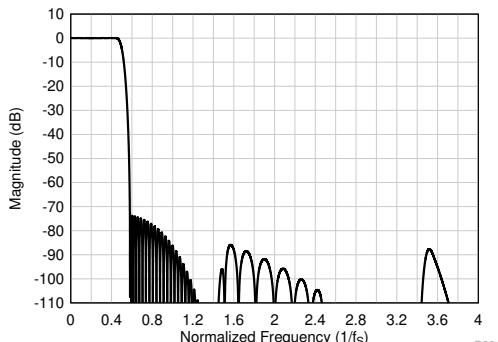


图 6-21. 线性相位抽取滤波器幅度响应

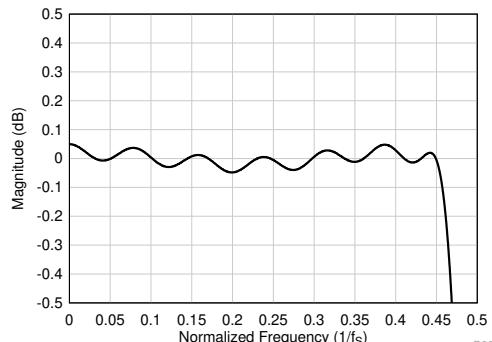


图 6-22. 线性相位抽取滤波器通带纹波

表 6-13. 线性相位抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.454 \times f_s$	-0.05	0.05	0.05	dB
阻带衰减	频率范围为 $0.58 \times f_s$ 至 $4 \times f_s$	73.6			dB
	频率范围为 $4 \times f_s$ 以上	97.9			
群延迟或延时	频率范围为 0 至 $0.454 \times f_s$		17.1		$1/f_s$

6.3.6.2.1.7 采样速率 : 192 kHz 或 176.4 kHz

图 6-23 和图 6-24 分别展示了采样速率为 192 kHz 或 176.4 kHz 时抽取滤波器的幅度响应和通带纹波。表 6-14 列出了采样速率为 192kHz 或 176.4kHz 时抽取滤波器的规格。

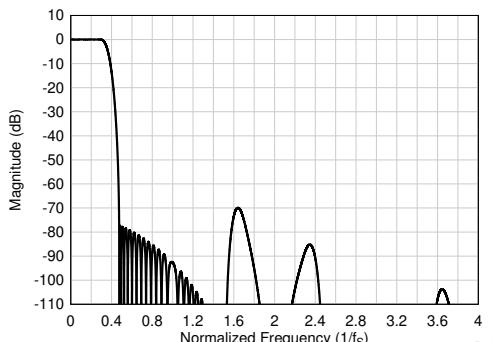


图 6-23. 线性相位抽取滤波器幅度响应

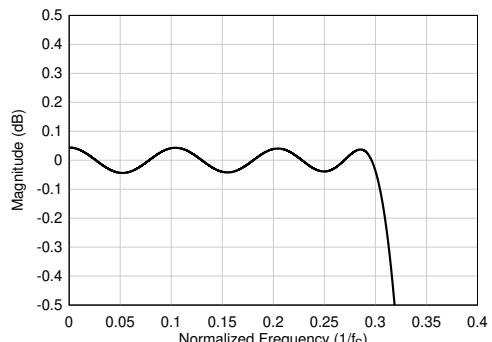


图 6-24. 线性相位抽取滤波器通带纹波

表 6-14. 线性相位抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.3 \times f_s$	-0.05	0.05	0.05	dB
阻带衰减	频率范围为 $0.473 \times f_s$ 至 $4 \times f_s$	70.0			dB
	频率范围为 $4 \times f_s$ 以上	111.0			
群延迟或延时	频率范围为 0 至 $0.3 \times f_s$		11.9		$1/f_s$

6.3.6.2.2 低延迟滤波器

对于低延迟和最小相位偏差（在音频频带内）至关重要的应用，可以使用 PCM1809 上的低延迟抽取滤波器。该器件支持这些滤波器，其群延迟约为七个样本，在 $0.365 \times f_S$ 频带内具有几乎为线性的相位响应。本节提供了低延迟滤波器所有受支持输出采样速率的滤波器性能规格和各种图。

6.3.6.2.2.1 采样速率：16 kHz 或 14.7 kHz

图 6-25 显示了采样速率为 16 kHz 或 14.7 kHz 时抽取滤波器的幅度响应，而图 6-26 显示了该条件下抽取滤波器的通带纹波和相位偏差。表 6-15 列出了采样速率为 16kHz 或 14.7kHz 时抽取滤波器的规格。

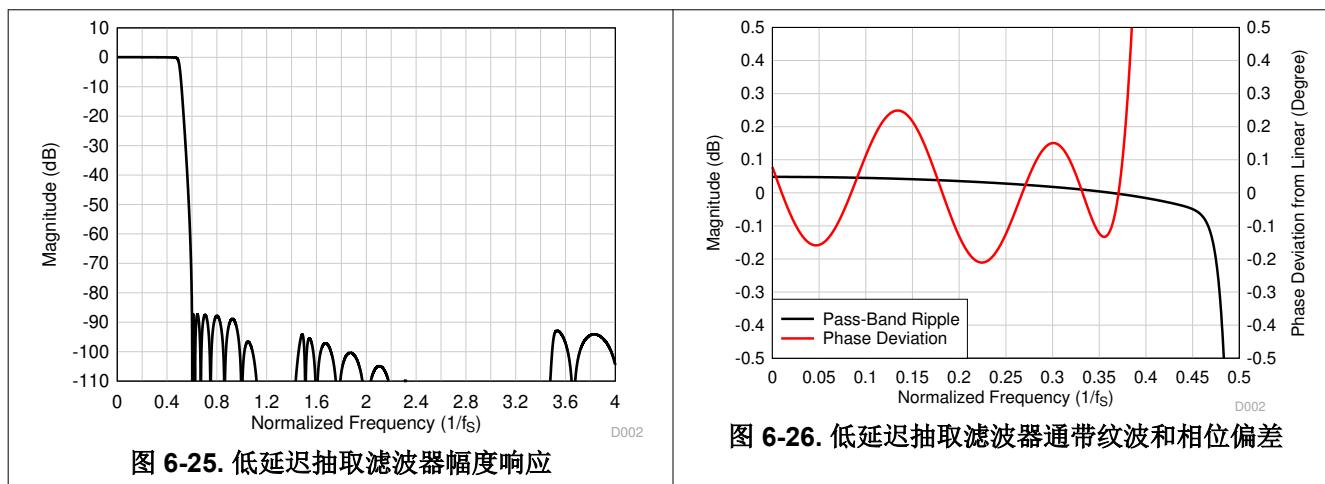


表 6-15. 低延迟抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.451 \times f_S$	-0.05	0.05	0.05	dB
阻带衰减	频率范围为 $0.61 \times f_S$ 以上	87.3			dB
群延迟或延时	频率范围为 0 至 $0.363 \times f_S$		7.6		$1/f_S$
群延迟偏差	频率范围为 0 至 $0.363 \times f_S$	-0.022		0.022	$1/f_S$
相位偏差	频率范围为 0 至 $0.363 \times f_S$	-0.21		0.25	度

6.3.6.2.2.2 采样速率 : 24 kHz 或 22.05 kHz

图 6-27 显示了采样速率为 24 kHz 或 22.05 kHz 时抽取滤波器的幅度响应，而图 6-28 显示了该条件下抽取滤波器的通带纹波和相位偏差。表 6-16 列出了采样速率为 24kHz 或 22.05kHz 时抽取滤波器的规格。

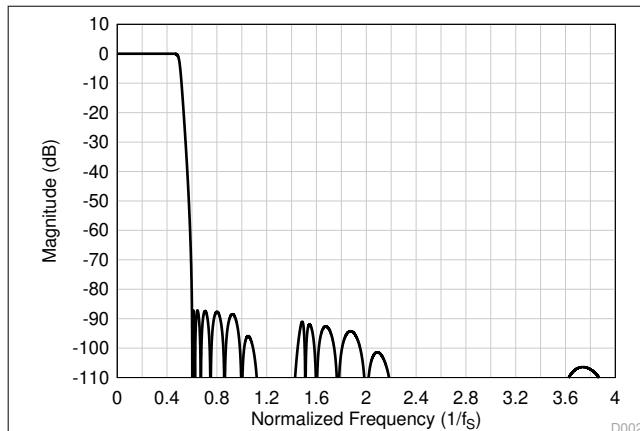


图 6-27. 低延迟抽取滤波器幅度响应

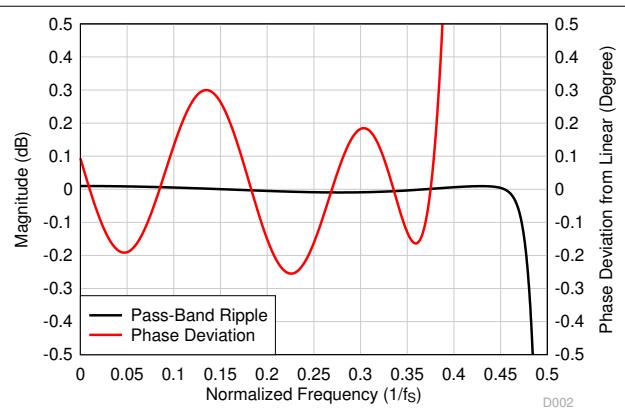


图 6-28. 低延迟抽取滤波器通带纹波和相位偏差

表 6-16. 低延迟抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.459 \times f_s$	-0.01	0.01	0.01	dB
阻带衰减	频率范围为 $0.6 \times f_s$ 以上	87.2			dB
群延迟或延时	频率范围为 0 至 $0.365 \times f_s$		7.5		$1/f_s$
群延迟偏差	频率范围为 0 至 $0.365 \times f_s$	-0.026	0.026	0.026	$1/f_s$
相位偏差	频率范围为 0 至 $0.365 \times f_s$	-0.26	0.30	0.30	度

6.3.6.2.2.3 采样速率 : 32 kHz 或 29.4 kHz

图 6-29 显示了采样速率为 32 kHz 或 29.4 kHz 时抽取滤波器的幅度响应，而图 6-30 显示了该条件下抽取滤波器的通带纹波和相位偏差。表 6-17 列出了采样速率为 32kHz 或 29.4kHz 时抽取滤波器的规格。

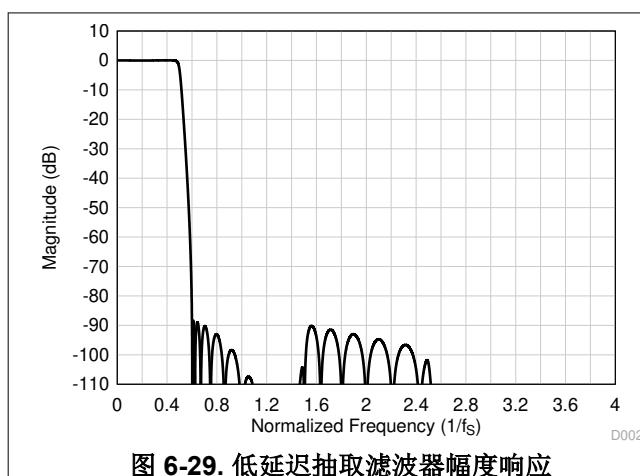


图 6-29. 低延迟抽取滤波器幅度响应

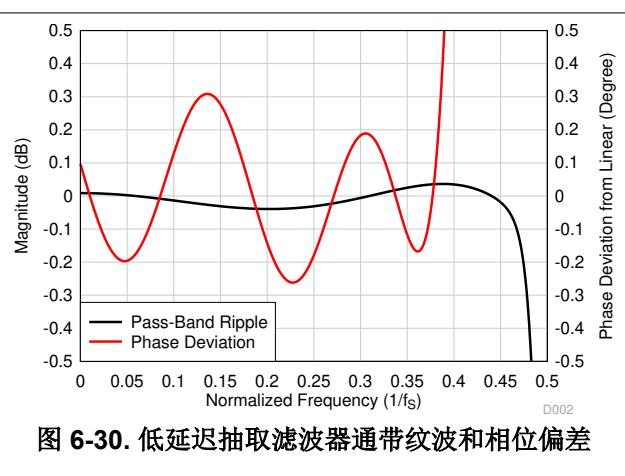


图 6-30. 低延迟抽取滤波器通带纹波和相位偏差

表 6-17. 低延迟抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.457 \times f_s$	-0.04	0.04	0.04	dB

表 6-17. 低延迟抽取滤波器规格 (续)

参数	测试条件	最小值	典型值	最大值	单位
阻带衰减	频率范围为 $0.6 \times f_S$ 以上	88.3			dB
群延迟或延时	频率范围为 0 至 $0.368 \times f_S$		8.7		$1/f_S$
群延迟偏差	频率范围为 0 至 $0.368 \times f_S$	-0.026	0.026		$1/f_S$
相位偏差	频率范围为 0 至 $0.368 \times f_S$	-0.26		0.31	度

6.3.6.2.2.4 采样速率：48 kHz 或 44.1 kHz

图 6-31 显示了采样速率为 48 kHz 或 44.1 kHz 时抽取滤波器的幅度响应，而图 6-32 显示了该条件下抽取滤波器的通带纹波和相位偏差。表 6-18 列出了采样速率为 48kHz 或 44.1kHz 时抽取滤波器的规格。

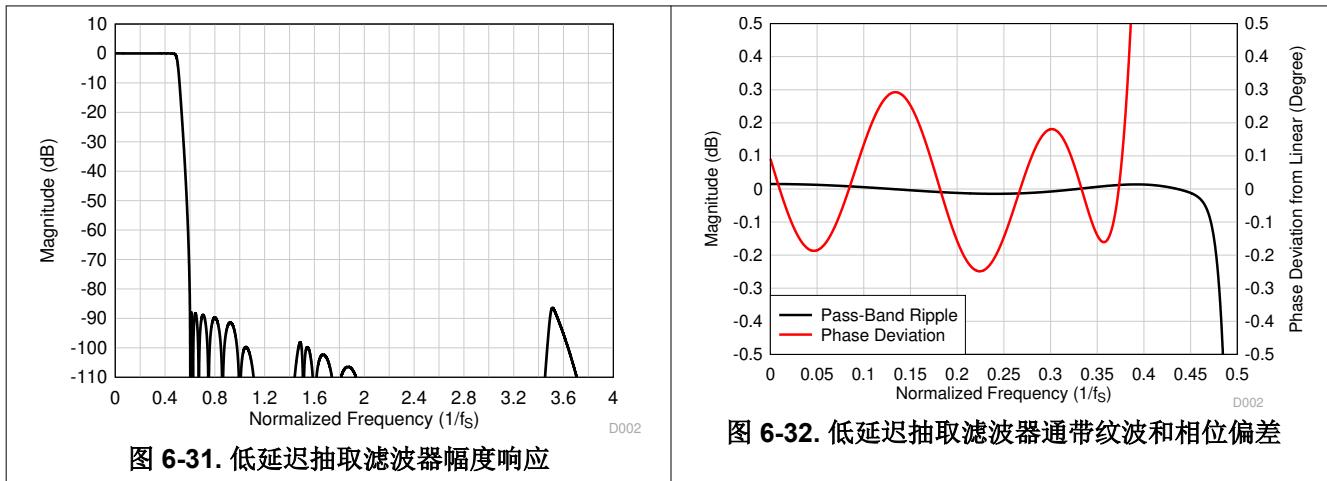


表 6-18. 低延迟抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.452 \times f_S$	-0.015	0.015		dB
阻带衰减	频率范围为 $0.6 \times f_S$ 以上	86.4			dB
群延迟或延时	频率范围为 0 至 $0.365 \times f_S$		7.7		$1/f_S$
群延迟偏差	频率范围为 0 至 $0.365 \times f_S$	-0.027	0.027		$1/f_S$
相位偏差	频率范围为 0 至 $0.365 \times f_S$	-0.25	0.30		度

6.3.6.2.2.5 采样速率：96 kHz 或 88.2 kHz

图 6-33 显示了采样速率为 96 kHz 或 88.2 kHz 时抽取滤波器的幅度响应，而图 6-34 显示了该条件下抽取滤波器的通带纹波和相位偏差。表 6-19 列出了采样速率为 96kHz 或 88.2kHz 时抽取滤波器的规格。

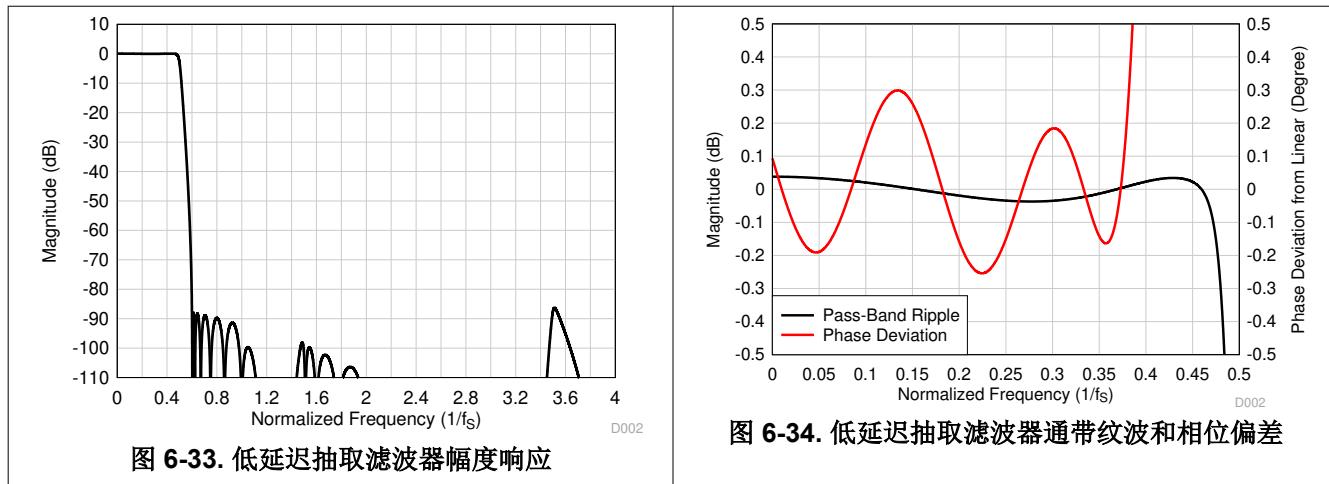


表 6-19. 低延迟抽取滤波器规格

参数	测试条件	最小值	典型值	最大值	单位
通带纹波	频率范围为 0 至 $0.466 \times f_s$	-0.04	0.04	0.04	dB
阻带衰减	频率范围为 $0.6 \times f_s$ 以上	86.3			dB
群延迟或延时	频率范围为 0 至 $0.365 \times f_s$		7.7		$1/f_s$
群延迟偏差	频率范围为 0 至 $0.365 \times f_s$	-0.027		0.027	$1/f_s$
相位偏差	频率范围为 0 至 $0.365 \times f_s$	-0.26		0.30	度

6.4 器件功能模式

6.4.1 工作模式

当 AVDD 和 IOVDD 可用时，器件会在工作模式下唤醒。在为器件启用时钟之前，为器件所需的工作模式配置所有硬件控制引脚（MSZ、MD0、MD1 和 FMT0）。

在工作模式下，如果音频时钟可用，则器件会自动为所有 ADC 通道加电并开始通过音频串行接口发送数据。如果时钟停止，则器件会自动关闭 ADC 通道。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

PCM1809 是一款多通道、高性能音频模数转换器 (ADC)，支持高达 192kHz 的输出采样速率。该器件支持多达两个模拟麦克风，适用于同步录音应用。

可以使用各种硬件引脚控制选项来支持 PCM1809 配置。该器件支持高度灵活的音频串行接口 (TDM 和 I²S)，可在系统中跨设备无缝传输音频数据。

7.2 典型应用

图 7-1 展示了典型的 PCM1809 应用配置，该配置使用立体声模拟微机电系统 (MEMS) 麦克风，通过时分多路复用 (TDM) 音频数据目标接口进行同步录音操作。为了获得出色的失真性能，请使用具有低电压系数的输入交流耦合电容器。

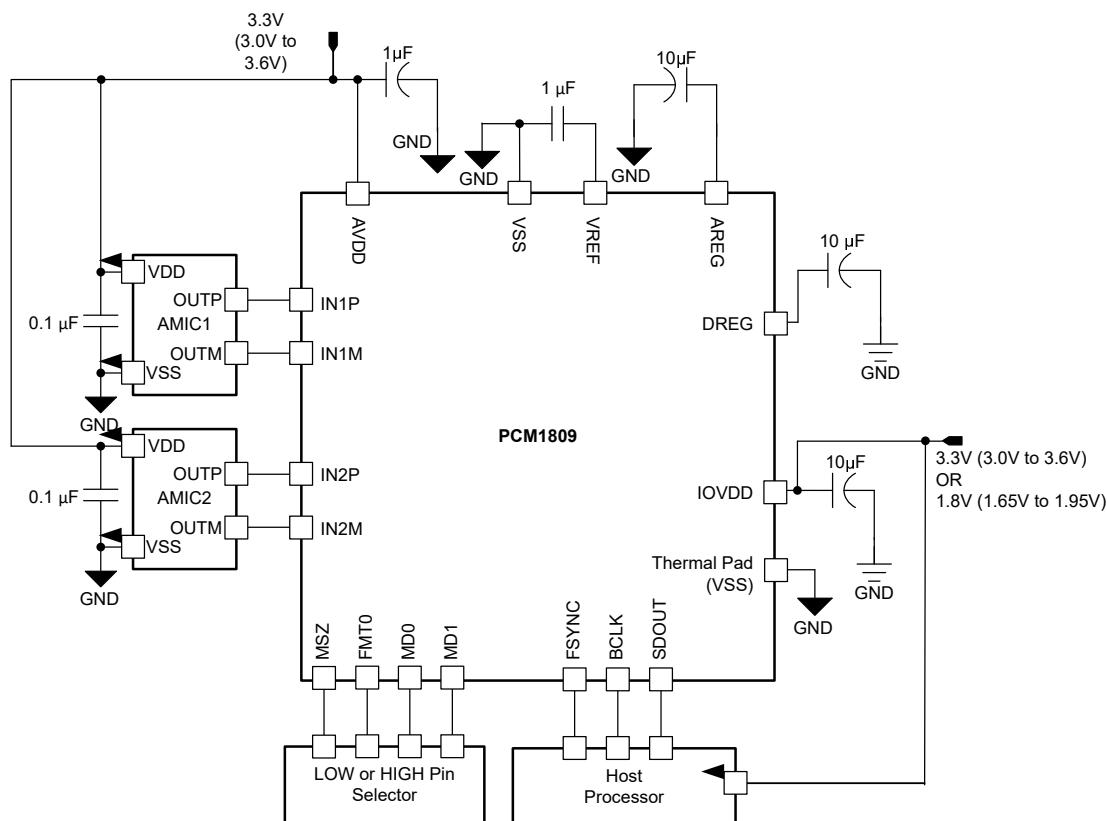


图 7-1. 3.3V AVDD 运行电压的双通道模拟麦克风录音图

7.2.1 设计要求

表 7-1 列出了此应用的设计参数。

表 7-1. 设计参数

关键参数	规格 : 3.3V AVDD 运行电压
AVDD	3.3V
AVDD 电源电流消耗	12.9mA (双通道录音 , $f_S = 48\text{kHz}$)
IOVDD	1.8V 或 3.3V

7.2.2 详细设计过程

本节介绍了为此特定应用配置 PCM1809 的必要步骤。以下步骤提供了从器件上电到从器件读取数据或从一种工作模式转换到另一种工作模式之间必须执行的一系列项目。

1. 为器件通电：
 - a. 为 IOVDD 和 AVDD 电源上电
 - b. 器件现在进入低功耗模式
 2. 将引脚配置为正确的配置：
 - a. 连接 MSZ、FMT0、MD0 和 MD1 引脚电压以实现所需配置
 - b. 施加具有所需输出采样速率和 BCLK 与 FSYNC 之比的 FSYNC 和 BCLK
- 有关支持的采样速率和 BCLK 与 FSYNC 之比，请参阅 [锁相环 \(PLL\) 和时钟生成](#) 一节。
- c. 器件录音数据现在通过音频串行数据总线发送到主机处理器
3. 停止时钟以随时停止数据记录

8 电源相关建议

IOVDD 和 AVDD 电源轨之间的电源序列可以按任何顺序应用。不过，不要提供时钟，直到 IOVDD 和 AVDD 电源电压稳定至支持的工作电压范围。仅当所有硬件控制引脚 (MSZ、MD0、MD1、FMT0 和 FMT1) 均驱动至器件所需工作模式的电压电平时，才提供时钟 (FSYNC 和 BCLK)。

对于电源上电要求， t_1 和 t_2 必须至少为 $100\mu\text{s}$ 。对于电源断电要求， t_3 和 t_4 必须至少为 10ms 。该时序 (如图 8-1 所示) 允许器件慢慢降低录音数据的音量，关闭模拟和数字块，以及将器件置于硬件关断模式。

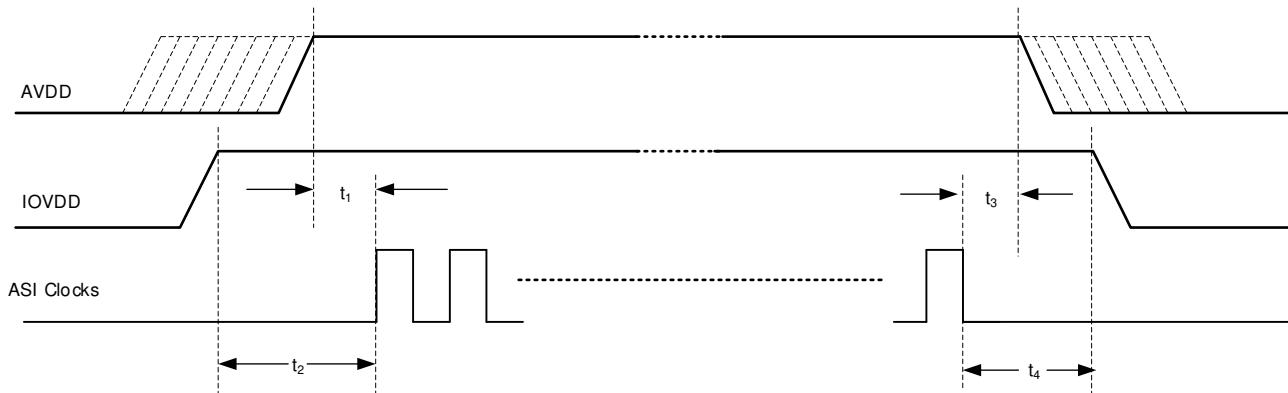


图 8-1. 电源时序要求时序图

确保电源斜坡速率低于 $1 \text{ V}/\mu\text{s}$ ，并且断电和上电事件之间的等待时间至少为 100 ms 。

9 布局

9.1 布局指南

每个系统设计和印刷电路板 (PCB) 布局布线都是独一无二的。必须在特定 PCB 设计的背景下仔细审查布局。但是，以下指南可以优化器件性能：

- 将散热焊盘连接至地。使用过孔布局将器件散热焊盘（即器件正下方的区域）连接到接地平面。该连接有助于散发器件产生的热量。
- 电源的去耦电容器必须放置在靠近器件引脚的位置。
- 在 PCB 上以差分方式路由模拟差分音频信号，以获得更好的抗噪性。避免数字和模拟信号交叉，以防止出现不良串扰。
- 必须使用外部电容器对器件内部基准电压进行滤波。将滤波电容器放置在 VREF 引脚附近以获得出色性能。
- 直接将 VREF 外部电容器接地端子短接至 AVSS 引脚，无需为该连接引线使用任何过孔。
- 使用接地平面为器件和去耦电容器之间的电源和信号电流提供最低阻抗。将器件正下方的区域视为器件的中心接地区域，所有器件接地必须直接连接到该区域。

9.2 布局示例

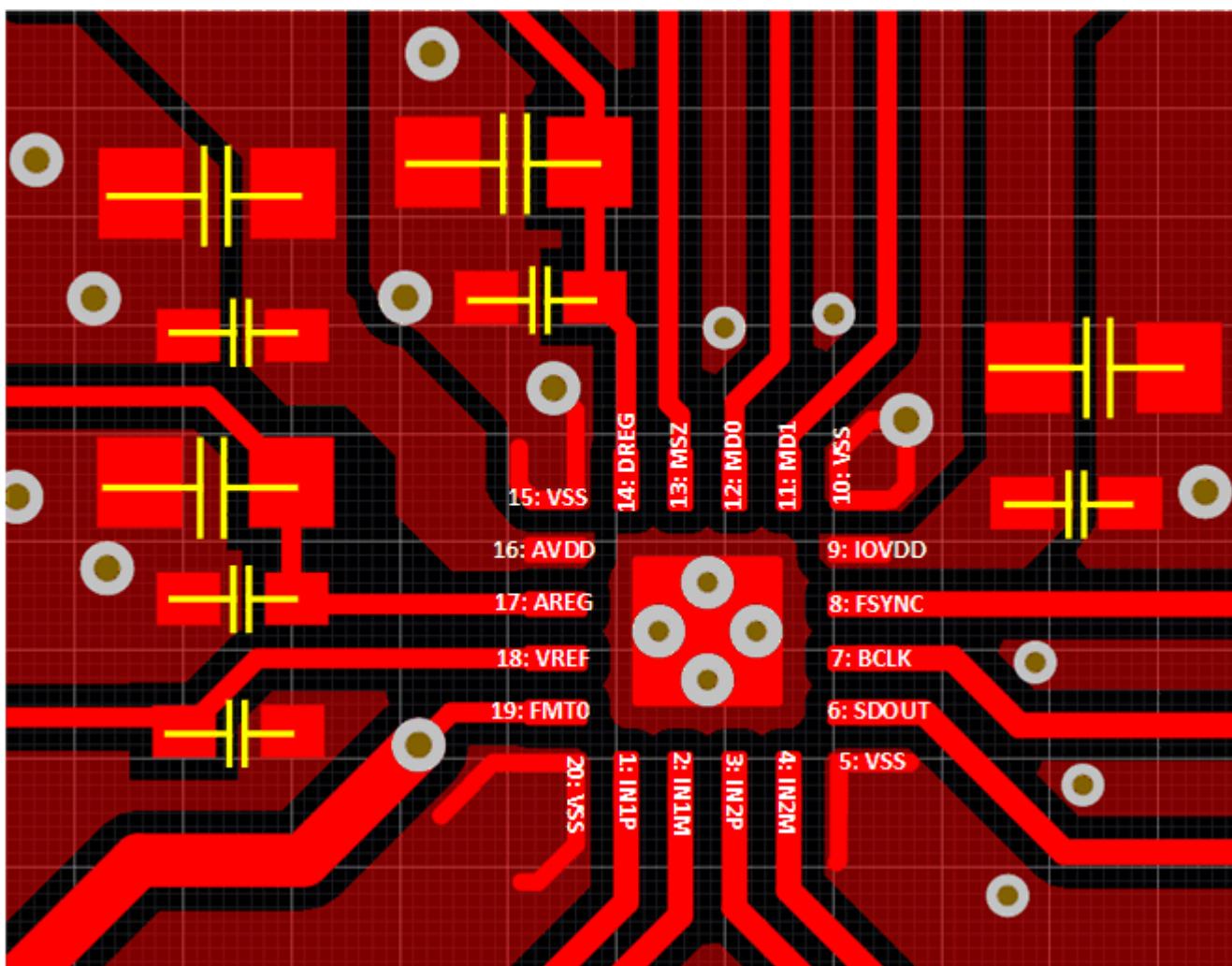


图 9-1. 示例布局

10 器件和文档支持

10.1 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.2 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

10.3 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

10.4 静电放电警告

 静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.5 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

表 11-1.

日期	修订版本	注释
2024 年 5 月	*	初始发行版

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
PCM1809IRTER	Active	Production	WQFN (RTE) 20	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	PC1809
PCM1809IRTER.A	Active	Production	WQFN (RTE) 20	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	PC1809

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

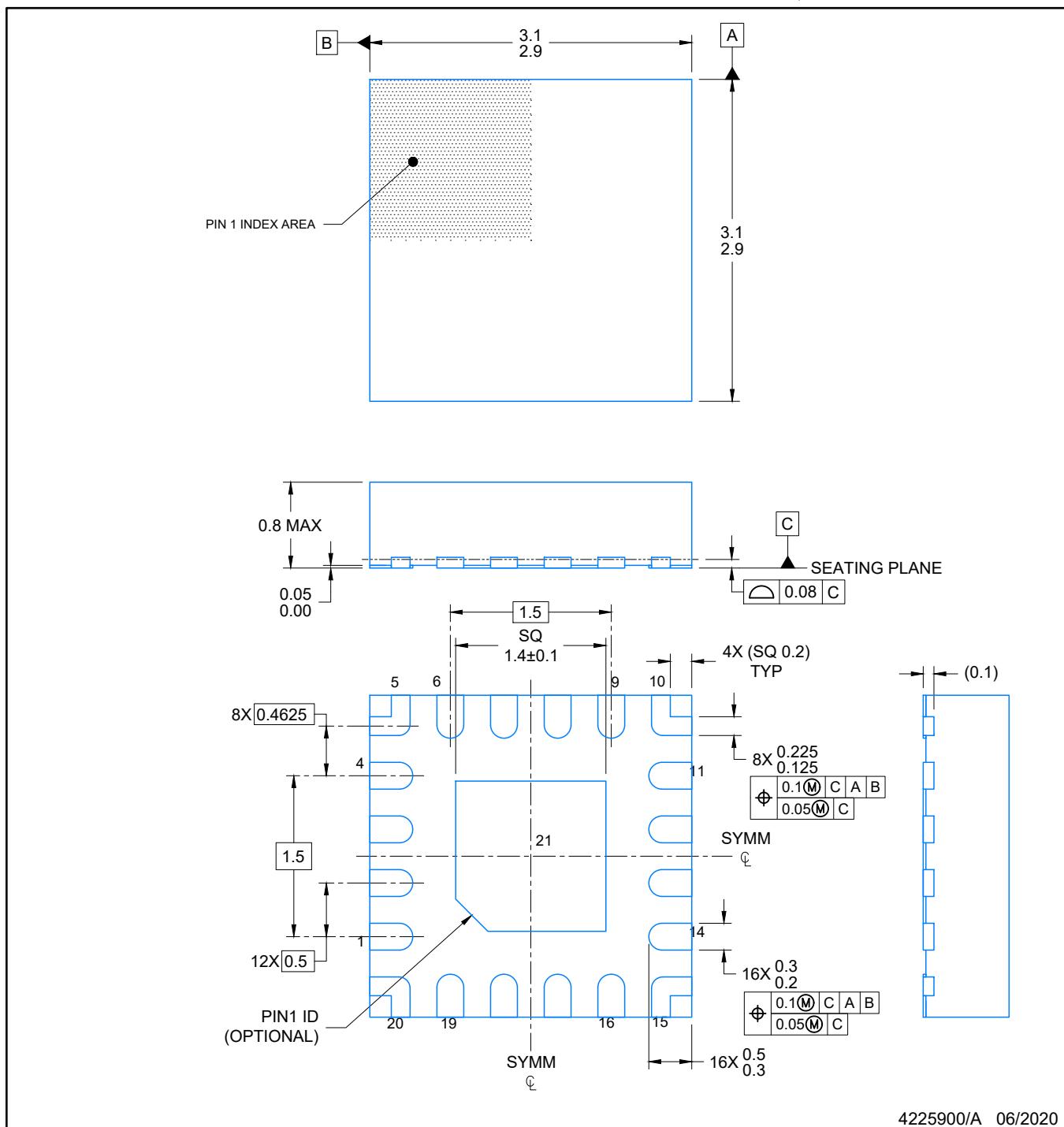
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

PACKAGE OUTLINE

WQFN - 0.8 mm max height

RTE0020A

PLASTIC QUAD FLATPACK- NO LEAD



4225900/A 06/2020

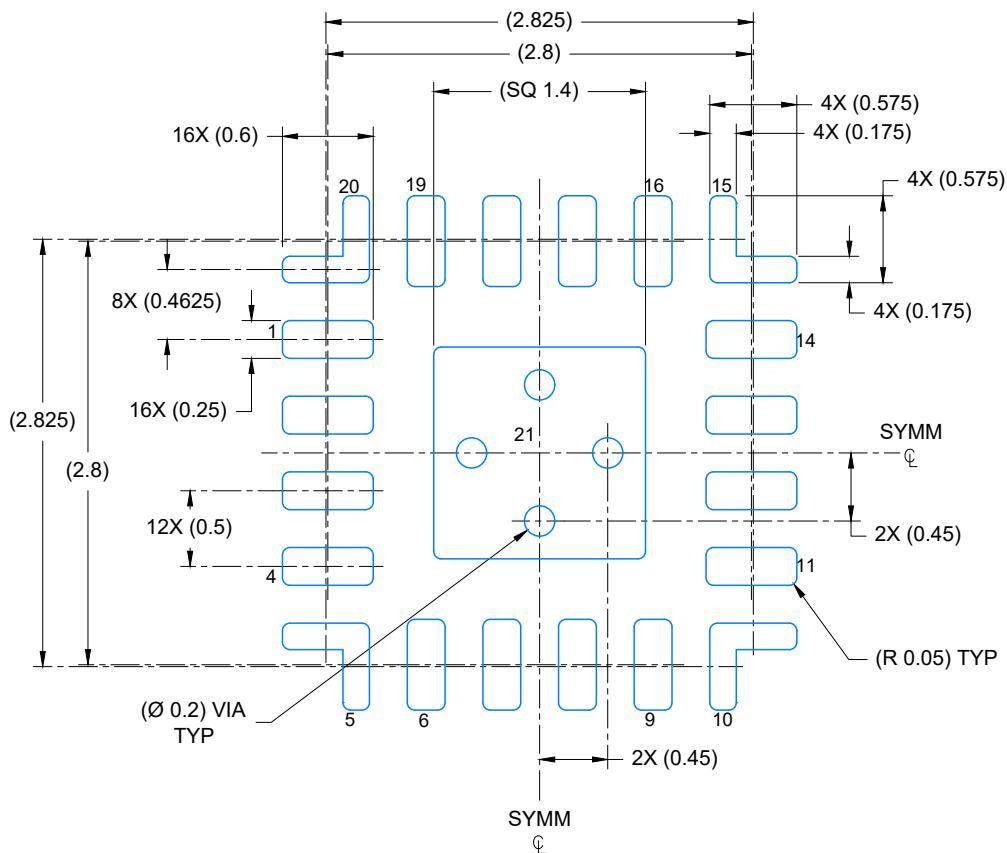
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

WQFN - 0.8 mm max height

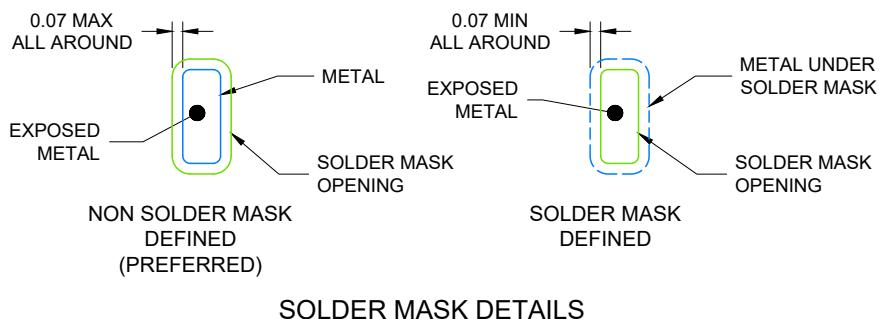
PLASTIC QUAD FLATPACK- NO LEAD



LAND PATTERN EXAMPLE

EXPOSED METAL SHOWN

SCALE: 20X



4225900/A 06/2020

NOTES: (continued)

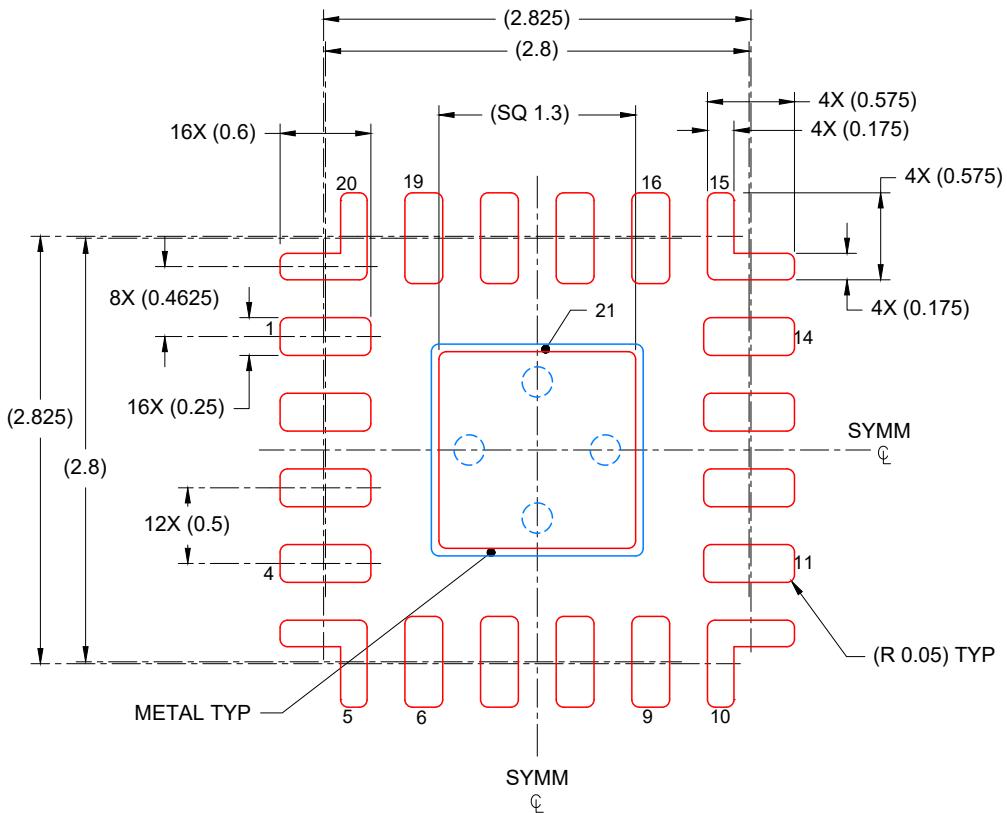
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
 5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK- NO LEAD

RTE0020A



SOLDER PASTE EXAMPLE BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
86% PRINTED COVERAGE BY AREA
SCALE: 20X

4225900/A 06/2020

NOTES: (continued)

- Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.



重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#))、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025 , 德州仪器 (TI) 公司

最后更新日期 : 2025 年 10 月