

OPAx596 具有多路复用器友好型输入的高电压 (85V)、低功耗 (420 μ A)、高压摆率 (100V/ μ s) 功率放大器

1 特性

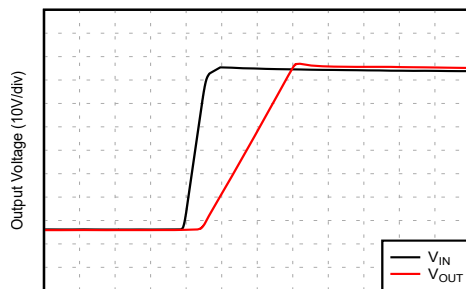
- 高压摆率：100V/ μ s
- 低功耗：420 μ A
- 宽电源电压范围：
 - ± 4 V 至 ± 42.5 V
 - 8V 至 85V
- 多路复用器友好型输入
- 低于负电源轨的输入
- 轨到轨输出
- 增益带宽：3.75MHz
- 低噪声：12.8nV/ $\sqrt{\text{Hz}}$
- 低输入偏置电流：5pA
- 低输入失调电压： ± 1 mV
- 输出电流驱动： ± 30 mA
- 宽温度范围： -40°C 至 $+125^{\circ}\text{C}$
- 业界通用小型封装：
 - D (8 引脚 SOIC)
 - DBV (5 引脚 SOT-23)
 - DGK (8 引脚 VSSOP)

2 应用

- 半导体测试
- LCD 测试
- 可编程直流电源
- CT 和 PET 扫描仪
- 源测量单元 (SMU)
- 光学模块
- 实验室和现场仪表

3 说明

OPA596 和 OPA2596 (OPAx596) 是高电压 (85V)、高压摆率 (100V/ μ s)、低功耗 (420 μ A)、单位增益稳定运算放大器。



大信号阶跃响应

OPAx596 通过高增益配置提高系统的输出电压，可实现下一代高压系统（例如半导体测试中的输出负载驱动器以及数字电源）。低功耗和业界通用小型封装使该器件可用于尺寸受限的高密度系统，同时降低系统的热管理要求。

凭借专有设计技术，OPAx596 能够实现非常高的压摆率，同时功耗极低，可改善大信号稳定时间并更大幅度地提高有效大信号带宽。与多路复用应用中的传统输入相比，这些器件还提供多路复用器友好型输入，可实现较大的差分电压（高达 85V）并有助于改善稳定行为。

OPAx596 采用业界通用封装，工作温度范围为 -40°C 至 $+125^{\circ}\text{C}$ 。

器件信息

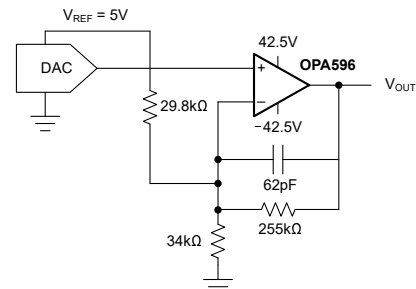
器件型号	通道数	封装 ⁽¹⁾
OPA596	单通道	DBV (SOT-23, 5)
OPA2596	双通道	D (SOIC, 8) ⁽²⁾ DGK (VSSOP, 8)

(1) 有关更多信息，请参阅 节 10。

(2) 预发布信息（非量产数据）。

相关的 85V 产品

器件型号	输出电流	输入失调
OPAx596	± 30 mA	1mV
OPAx593	± 250 mA	100 μ V



具有增益的 DAC 输出缓冲器



内容

1 特性	1	6.4 器件功能模式	19
2 应用	1	7 应用和实施	20
3 说明	1	7.1 应用信息.....	20
4 引脚配置和功能	3	7.2 典型应用.....	20
5 规格	4	7.3 爬电距离和电气间隙.....	25
5.1 绝对最大额定值.....	4	7.4 电源相关建议.....	25
5.2 ESD 等级.....	4	7.5 布局.....	26
5.3 建议运行条件.....	4	8 器件和文档支持	29
5.4 OPA596 热性能信息.....	5	8.1 接收文档更新通知.....	29
5.5 OPA596 热性能信息.....	5	8.2 支持资源.....	29
5.6 电气特性.....	6	8.3 商标.....	29
5.7 典型特性.....	8	8.4 静电放电警告.....	29
6 详细说明	16	8.5 术语表.....	29
6.1 概述.....	16	9 修订历史记录	29
6.2 功能方框图.....	16	10 机械、封装和可订购信息	29
6.3 特性说明.....	17		

4 引脚配置和功能

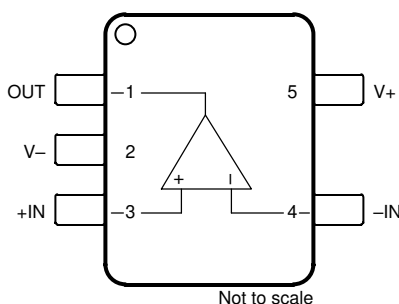


图 4-1. OPA596 DBV 封装，5 引脚 SOT-23 (顶视图)

表 4-1. 引脚功能：OPA596

引脚		类型	说明
名称	编号		
+IN	3	输入	同相输入
- IN	4	输入	反相输入
OUT	1	输出	输出
V+	5	电源	正 (最高) 电源
V -	2	电源	负 (最低) 电源

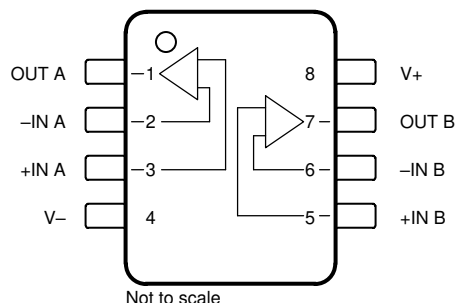


图 4-2. OPA2596 D 预发布封装，8 引脚 SOIC 和 DGK 封装，8 引脚 VSSOP (顶视图)

表 4-2. 引脚功能：OPA2596

引脚		类型	说明
名称	编号		
+IN A	3	输入	同相输入，通道 A
+IN B	5	输入	同相输入，通道 B
- IN A	2	输入	反相输入，通道 A
- IN B	6	输入	反相输入，通道 B
OUT A	1	输出	输出，通道 A
OUT B	7	输出	输出，通道 B
V+	8	电源	正 (最高) 电源
V -	4	电源	负 (最低) 电源

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

			最小值	最大值	单位
V_S	电源电压, $V_S = (V+) - (V-)$			93	V
	信号输入引脚电压 ⁽²⁾	共模	$(V-) - 0.3$	$(V+) + 0.3$	V
		差分		$(V+) - (V-)$	
	输入电流, 所有输入引脚 ⁽²⁾			± 10	mA
I_{SC}	输出短路 ⁽³⁾			持续	
T_J	结温			150	°C
T_{stg}	贮存温度		-65	150	°C

- (1) 超出绝对最大额定值范围操作可能会导致器件永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议的工作条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) 输入端子被二极管钳制至电源轨。对于摆幅可能超过电源轨 0.3V 的输入信号，必须将其电流限制为 10mA 或者更低。
- (3) 接地短路。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	± 2500	V
		充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽²⁾	± 500	

- (1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
V_S	电源电压	双电源	± 4		± 42.5	V
		单电源	8		85	
T_A	环境温度		-40		125	°C

5.4 OPA596 热性能信息

热指标 ⁽¹⁾		OPA596	单位
		DBV (SOT-23)	
		5 引脚	
$R_{\theta JA}$	结至环境热阻	165.4	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	99.1	°C/W
$R_{\theta JB}$	结至电路板热阻	64.5	°C/W
ψ_{JT}	结至顶部特征参数	42.6	°C/W
ψ_{JB}	结至电路板特征参数	64.2	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用报告。

5.5 OPA596 热性能信息

热指标 ⁽¹⁾		OPA2596	单位
		DGK (VSSOP)	
		8 引脚	
$R_{\theta JA}$	结至环境热阻	143.6	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	50.4	°C/W
$R_{\theta JB}$	结至电路板热阻	78.7	°C/W
ψ_{JT}	结至顶部特征参数	3.0	°C/W
ψ_{JB}	结至电路板特征参数	77.5	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用报告。

5.6 电气特性

在 $V_S = 85V (\pm 42.5V)$ 、 $T_A = 25^\circ C$ 、 $R_L = 10k\Omega$ (连接至 $1/2 V_S$) 和 $V_{CM} = V_{OUT} = 1/2 V_S$ 时测得 (除非另有说明)

参数		测试条件		最小值	典型值	最大值	单位
失调电压							
V _{OS}	输入偏移电压				±0.2	±1	mV
dV _{OS} /dT	输入失调电压漂移	T _A = -40°C 至 +125°C ⁽¹⁾			±1	±6	μV/°C
PSRR	电源抑制比	8V ≤ V _S ≤ 85V			±1	±5	μV/V
输入偏置电流							
I _B	输入偏置电流 ⁽¹⁾				±5	±15	pA
		T _A = -40°C 至 +85°C				±50	
		T _A = -40°C 至 +125°C				±1	nA
I _{OS}	输入失调电流 ⁽¹⁾				±5	±15	pA
		T _A = -40°C 至 +85°C				±50	
		T _A = -40°C 至 +125°C				±1	nA
噪声							
	输入电压噪声	f = 0.1Hz 至 10Hz			1.4		μV _{PP}
e _n	输入电压噪声密度	f = 100Hz			17.8		nV/ √ Hz
		f = 1kHz			12.9		
		f = 10kHz			12.8		
i _n	电流噪声密度	f = 1kHz			7		fA/ √ Hz
输入电压							
V _{CM}	共模电压	线性运算			(V ⁻) - 0.1	(V ⁺) - 3.5	V
CMRR	共模抑制	(V ⁻) ≤ V _{CM} ≤ (V ⁺) - 3.5V			120	140	dB
		T _A = -40°C 至 +125°C ⁽¹⁾			120	140	
输入阻抗							
	差分				100 2.5		MΩ pF
	共模				10 5.5		GΩ pF
开环增益							
A _{OL}	开环电压增益	(V ⁻) + 1V < V _O < (V ⁺) - 1.5V , R _L = 10kΩ (连接至 1/2 V _S) ⁽¹⁾			134	140	dB
		T _A = -40°C 至 +125°C			120	140	
					116	126	
		(V ⁻) + 3V < V _O < (V ⁺) - 3.5V , R _L = 2kΩ (连接至 1/2 V _S)			116	126	
		OPA2596 T _A = -40°C 至 +125°C ⁽¹⁾			97	110	
频率响应							
GBW	增益带宽积	G = 1			2.25		MHz
		G = 10			3		
		G = 100			3.75		
SR	压摆率	G = ±1 , V _O = 70V 阶跃			100		V/μs
t _S	趋稳时间	精度为 ±0.01% , G = 1 , V _O = 70V 阶跃 , C _L = 20pF			3		μs
	过载恢复	G = -10			115		ns
THD+N	总谐波失真 + 噪声	G = +1 , V _O = 70V _{PP} , f = 1kHz		R _L = 10kΩ	-102		dB
				R _L = 2kΩ	-95		

5.6 电气特性 (续)

在 $V_S = 85V (\pm 42.5V)$ 、 $T_A = 25^\circ C$ 、 $R_L = 10k\Omega$ (连接至 $1/2 V_S$) 和 $V_{CM} = V_{OUT} = 1/2 V_S$ 时测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
输出						
V _O	相对于电源轨的电压输出摆幅 ⁽¹⁾	无负载		40	50	mV
		R _L = 10kΩ 至 1/2 V _S		420	500	
		R _L = 2kΩ 至 1/2 V _S		2	2.5	V
I _{SC}	输出电流		±30			mA
C _{LOAD}	容性负载驱动		1			nF
Z _O	开环输出阻抗	f = 1MHz	550			Ω
电源						
I _Q	静态电流	I _O = 0mA		420	490	μA
			T _A = -40°C 至 +125°C ⁽¹⁾		500	
温度						
	过热关断	关断温度, T _J	170			°C
		热迟滞	20			

(1) 根据多个批次的器件组装工作台系统测量值建立的规范。

5.7 典型特性

$T_A = 25^\circ\text{C}$, $V_S = 85\text{V}$, $V_{CM} = V_{OUT} = 1/2 V_S$, $R_L = 10\text{k}\Omega$ (除非另有说明)

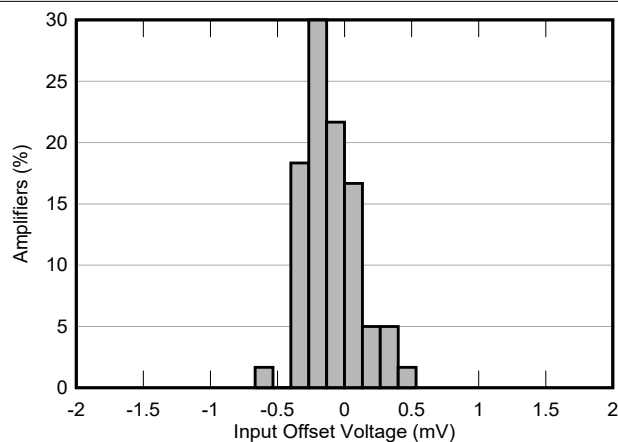


图 5-1. 25°C 下失调电压产生分布

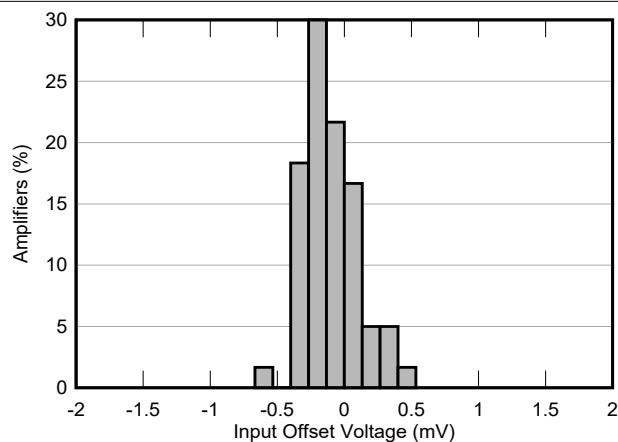


图 5-2. 125°C 下失调电压产生分布

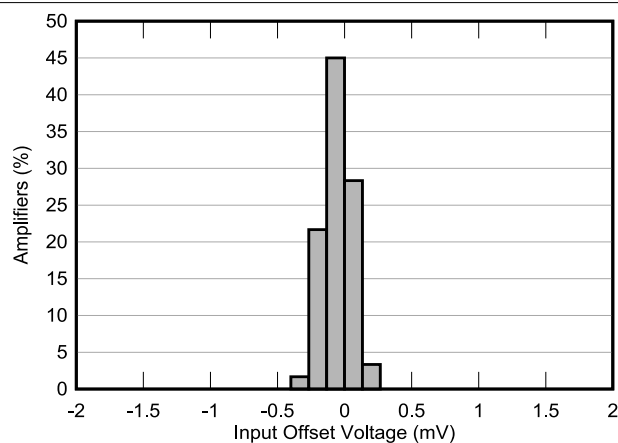


图 5-3. -40°C 下失调电压产生分布

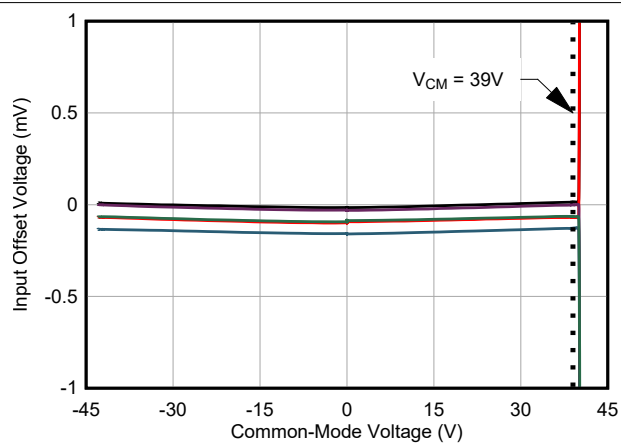


图 5-4. 输入失调电压与共模电压间的关系

5.7 典型特性 (续)

$T_A = 25^\circ\text{C}$, $V_S = 85\text{V}$, $V_{CM} = V_{OUT} = 1/2 V_S$, $R_L = 10\text{k}\Omega$ (除非另有说明)

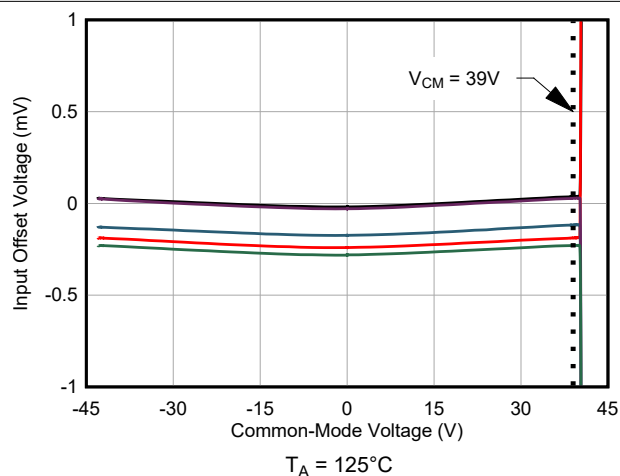


图 5-5. 输入失调电压与共模电压间的关系

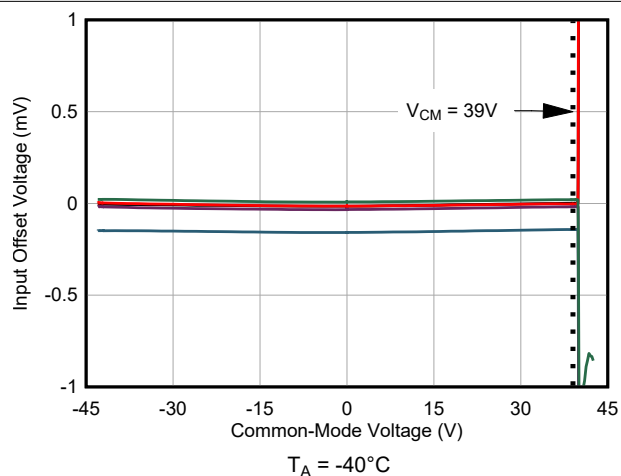


图 5-6. 输入失调电压与共模电压间的关系

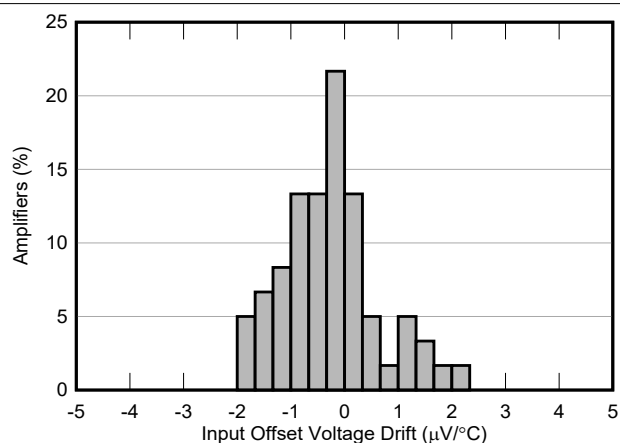


图 5-7. 失调电压漂移分布

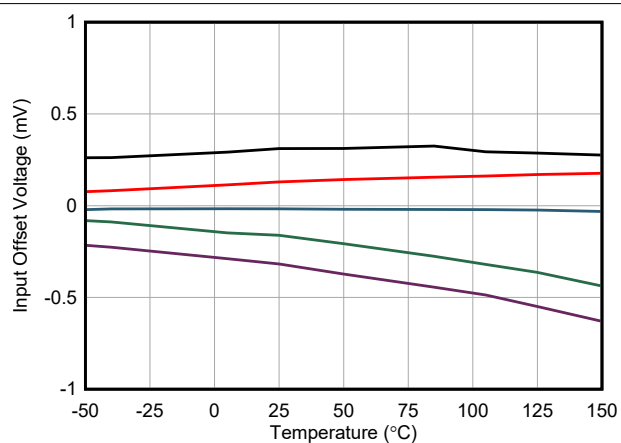


图 5-8. 输入失调电压与温度间的关系

5.7 典型特性 (续)

$T_A = 25^\circ\text{C}$, $V_S = 85\text{V}$, $V_{CM} = V_{OUT} = 1/2 V_S$, $R_L = 10\text{k}\Omega$ (除非另有说明)

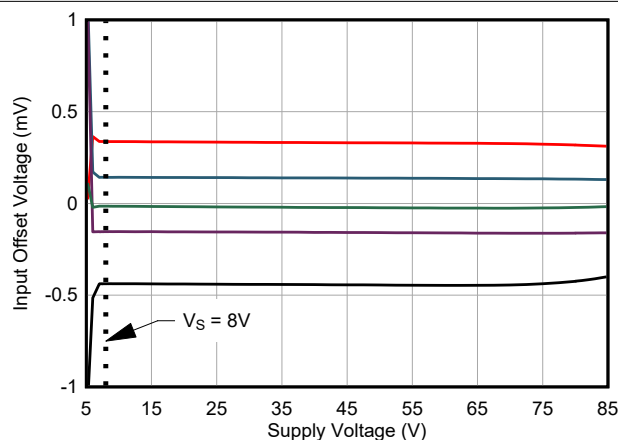


图 5-9. 失调电压与电源电压间的关系

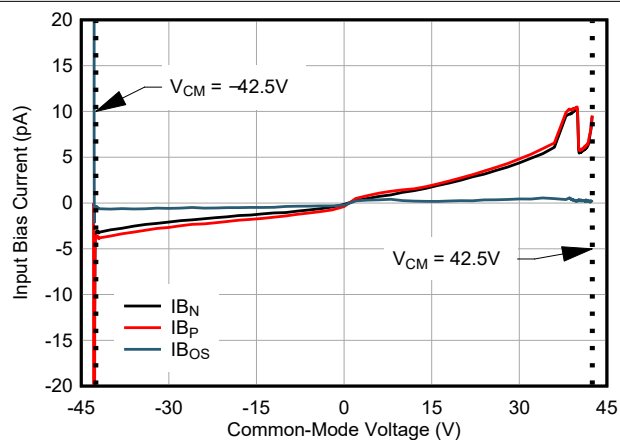


图 5-10. 输入偏置与共模电压间的关系

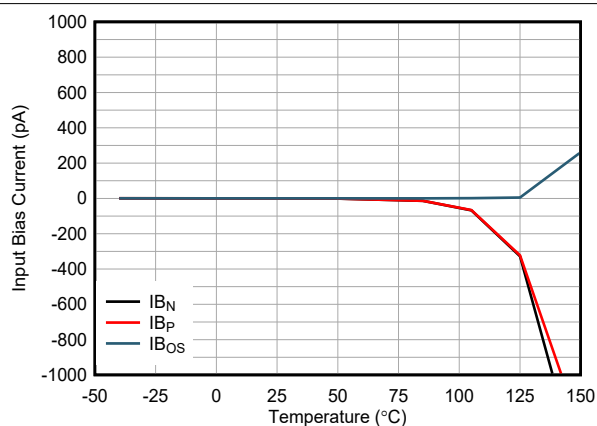


图 5-11. 输入偏置和输入失调电流与温度间的关系

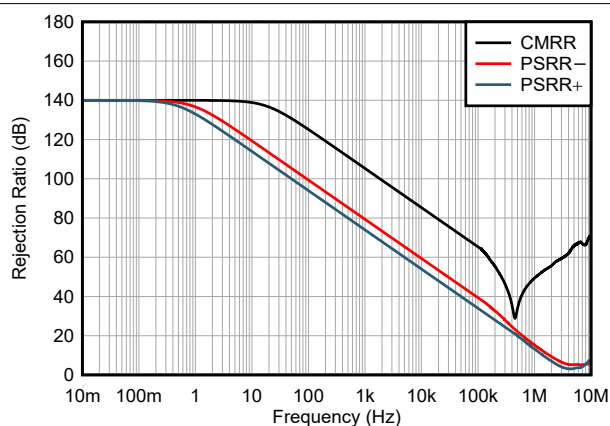


图 5-12. 电源和共模抑制率与频率间的关系

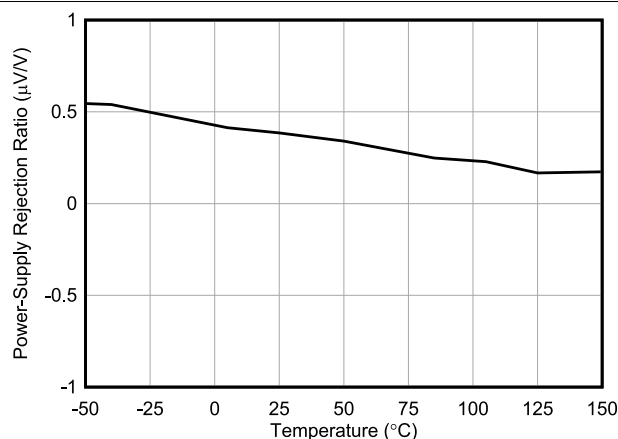


图 5-13. 电源抑制比与温度间的关系

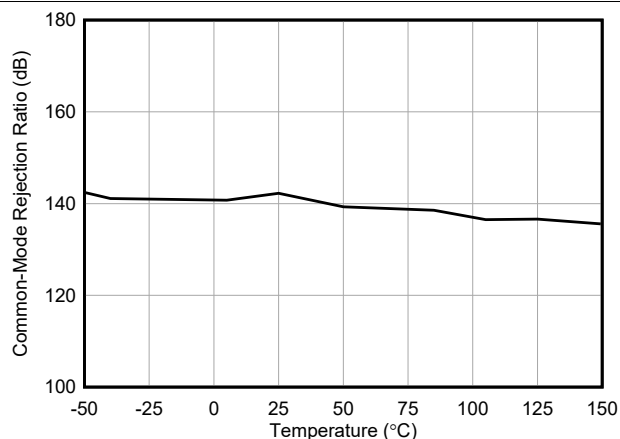


图 5-14. 共模抑制比与温度间的关系

5.7 典型特性 (续)

$T_A = 25^\circ\text{C}$, $V_S = 85\text{V}$, $V_{CM} = V_{OUT} = 1/2 V_S$, $R_L = 10\text{k}\Omega$ (除非另有说明)

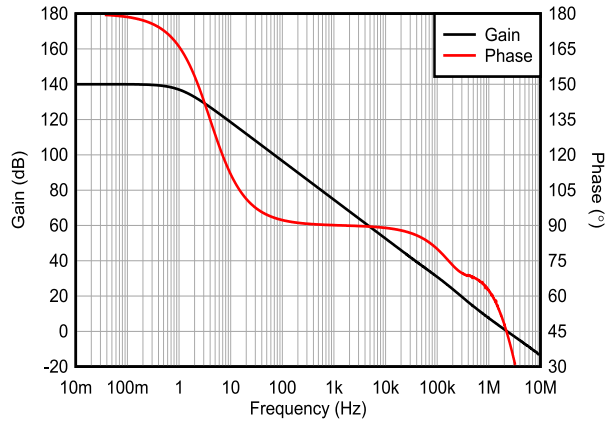


图 5-15. 开环增益和相位与频率间的关系

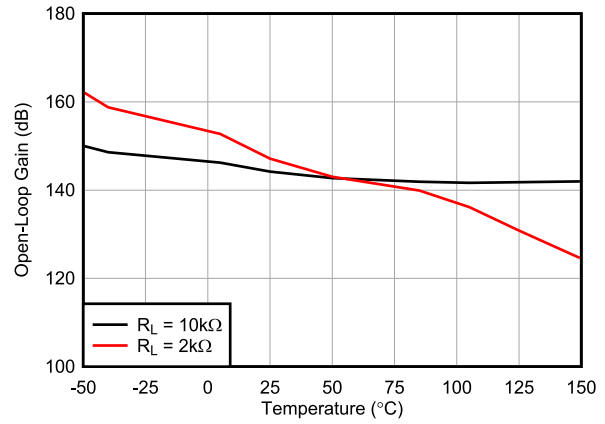


图 5-16. 开环增益与温度间的关系

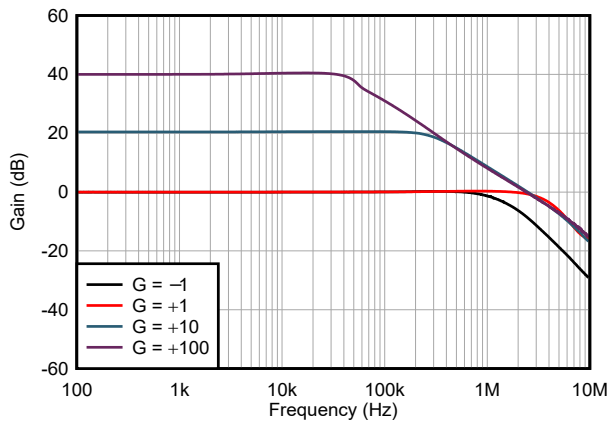


图 5-17. 闭环增益与频率间的关系

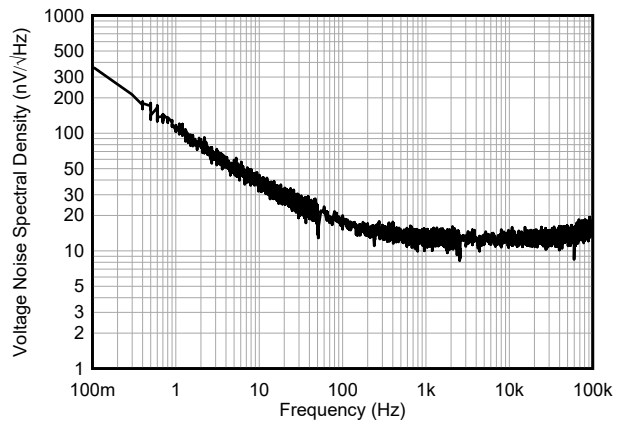


图 5-18. 电压噪声密度与频率间的关系

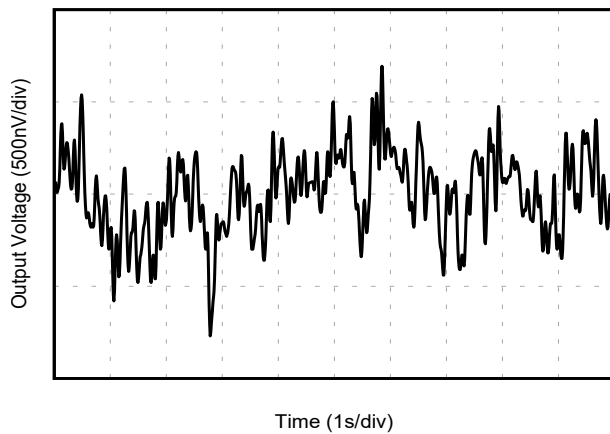


图 5-19. 0.1Hz 至 10Hz 噪声

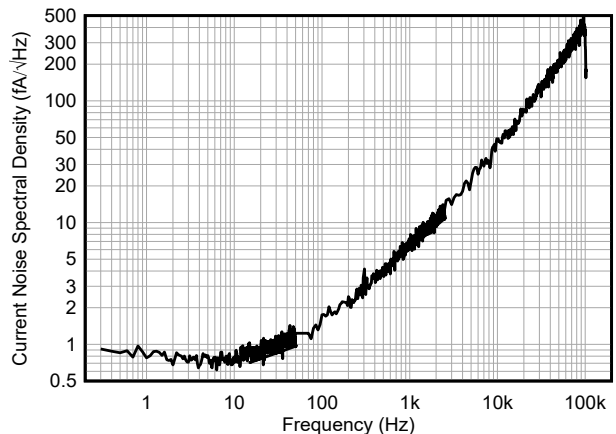


图 5-20. 电流噪声密度与频率间的关系

5.7 典型特性 (续)

$T_A = 25^\circ\text{C}$, $V_S = 85\text{V}$, $V_{CM} = V_{OUT} = 1/2 V_S$, $R_L = 10\text{k}\Omega$ (除非另有说明)

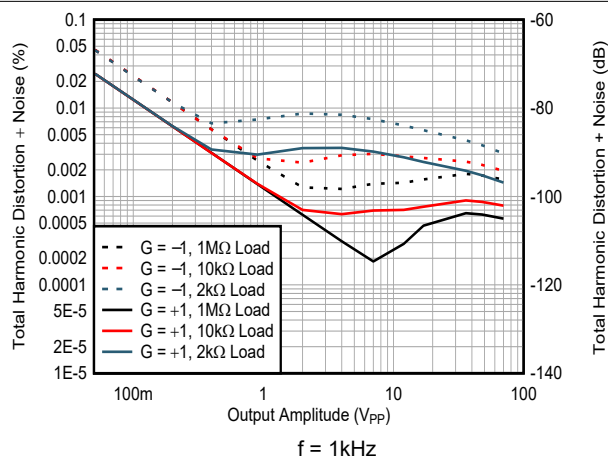


图 5-21. 总谐波失真 + 信噪比与输出振幅间的关系

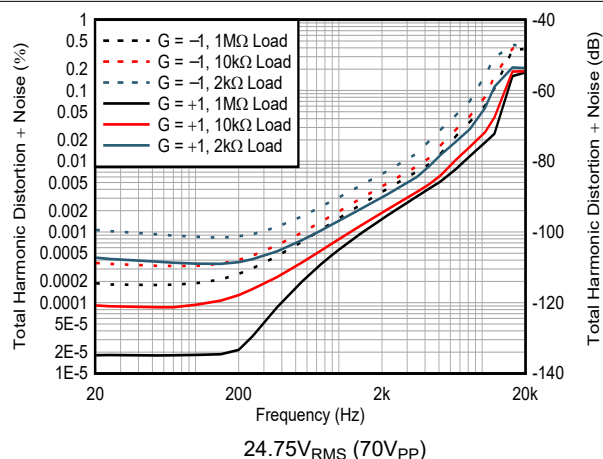


图 5-22. 总谐波失真 + 信噪比与频率间的关系

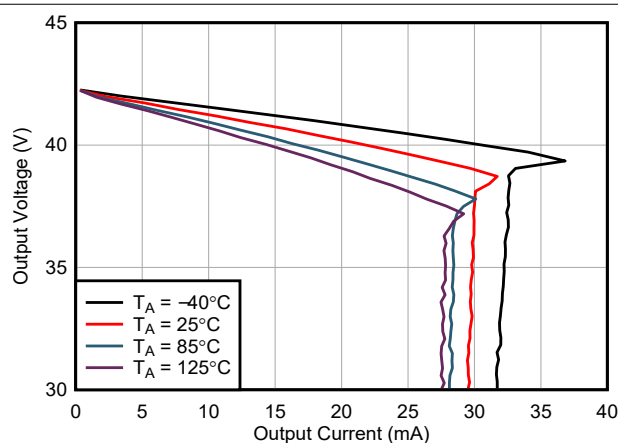


图 5-23. 输出电压摆幅与输出拉电流间的关系

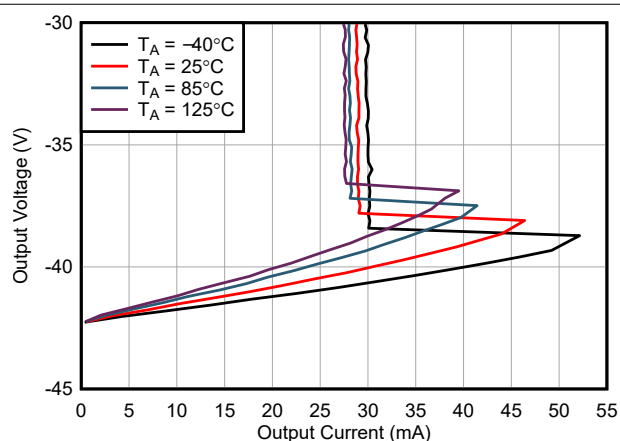


图 5-24. 输出电压摆幅与输出灌电流间的关系

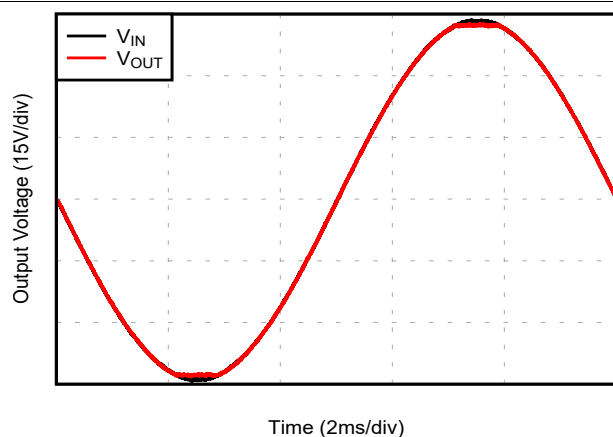


图 5-25. 无相位反转

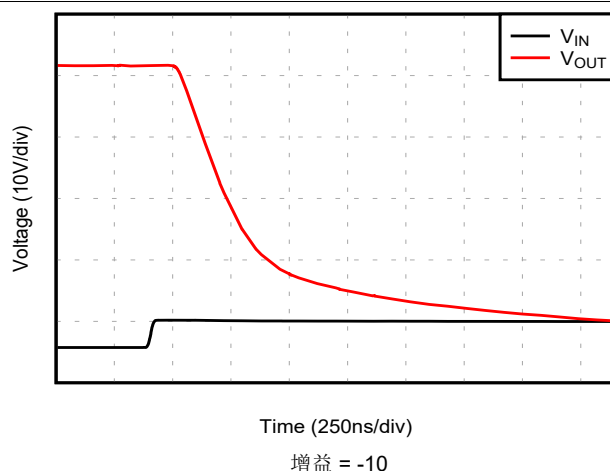
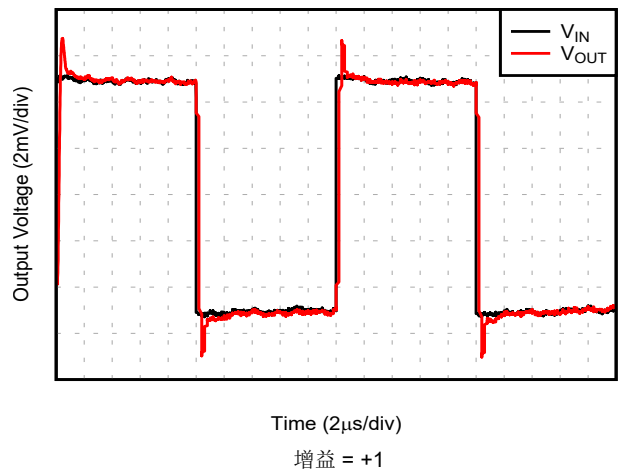
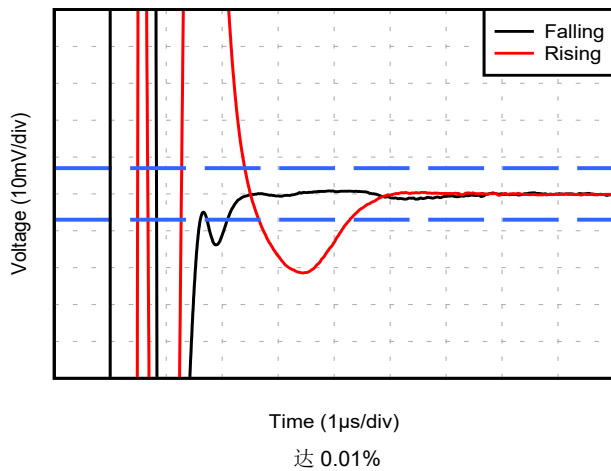
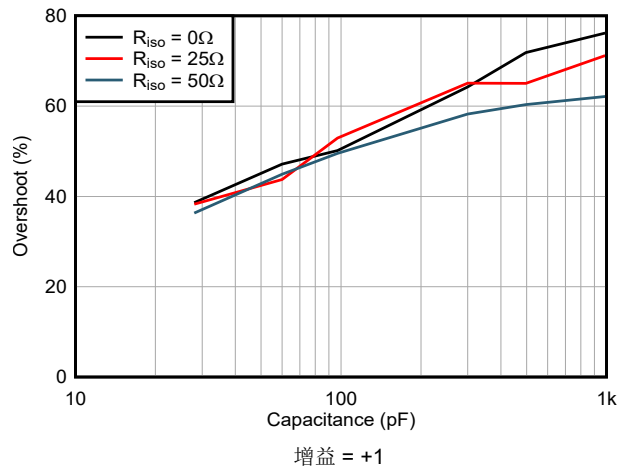
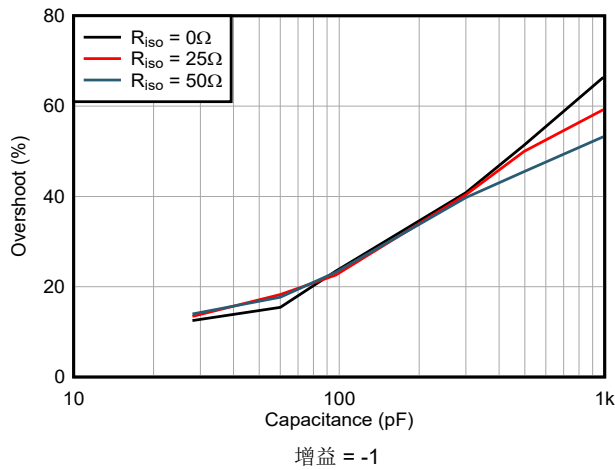
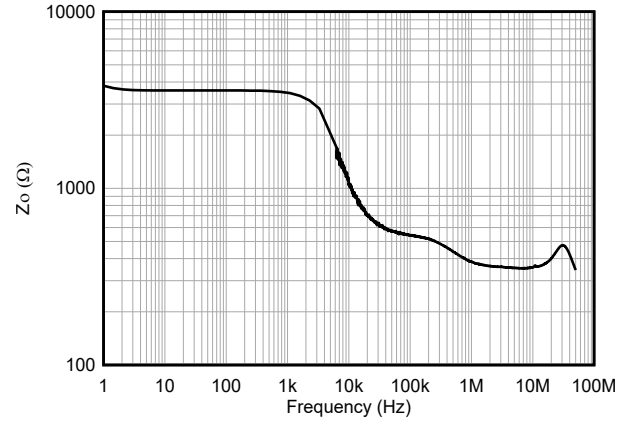
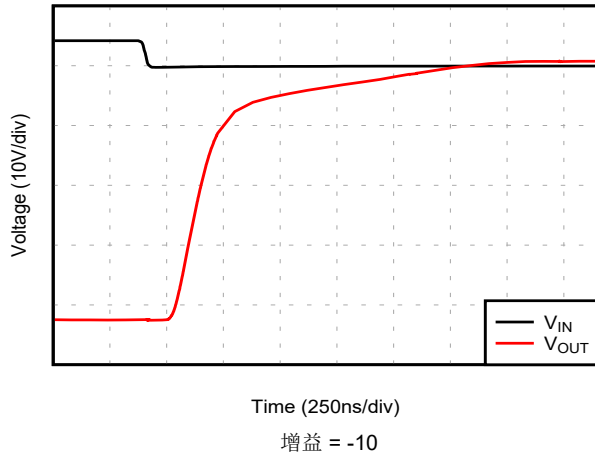


图 5-26. 正过载恢复

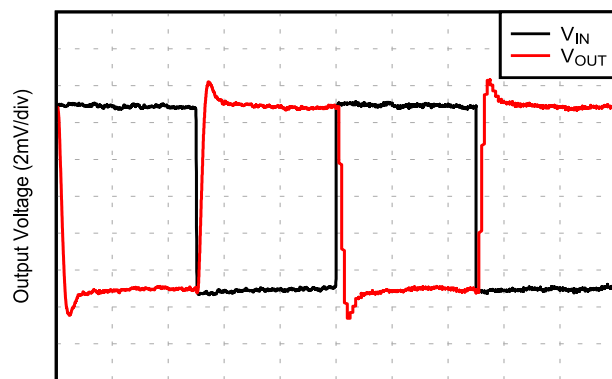
5.7 典型特性 (续)

$T_A = 25^\circ\text{C}$, $V_S = 85\text{V}$, $V_{CM} = V_{OUT} = 1/2 V_S$, $R_L = 10\text{k}\Omega$ (除非另有说明)



5.7 典型特性 (续)

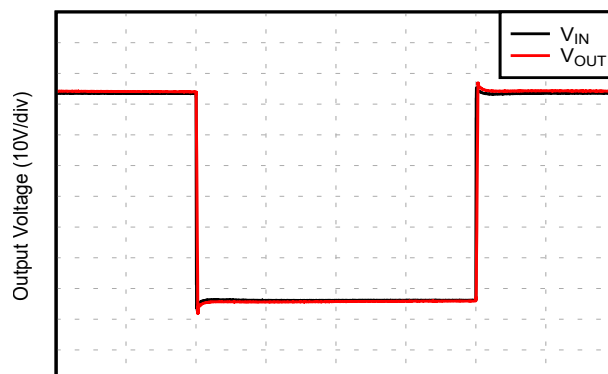
$T_A = 25^\circ\text{C}$, $V_S = 85\text{V}$, $V_{CM} = V_{OUT} = 1/2 V_S$, $R_L = 10\text{k}\Omega$ (除非另有说明)



Time (2μs/div)

增益 = -1

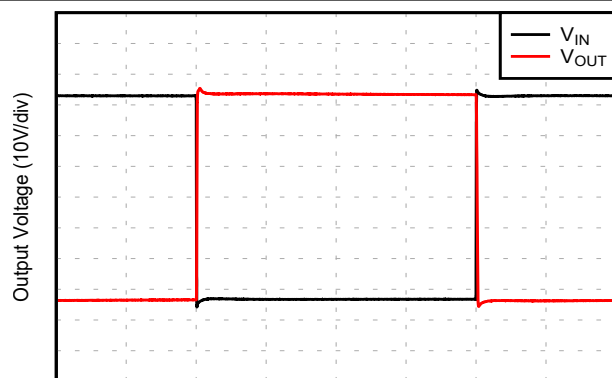
图 5-33. 小信号阶跃响应



Time (25μs/div)

增益 = +1

图 5-34. 大信号阶跃响应



Time (25μs/div)

增益 = -1

图 5-35. 大信号阶跃响应

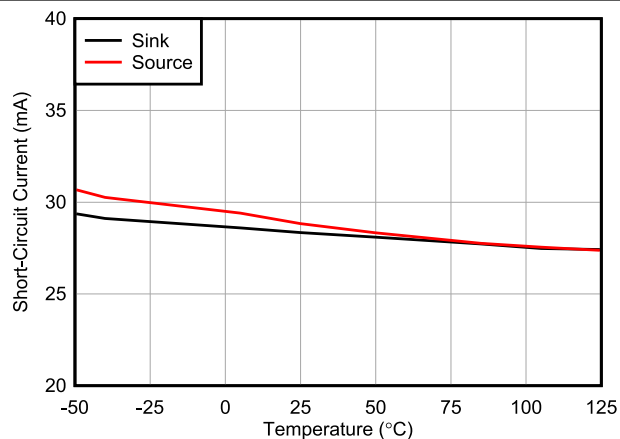


图 5-36. 短路电流与温度间的关系

5.7 典型特性 (续)

$T_A = 25^\circ\text{C}$, $V_S = 85\text{V}$, $V_{CM} = V_{OUT} = 1/2 V_S$, $R_L = 10\text{k}\Omega$ (除非另有说明)

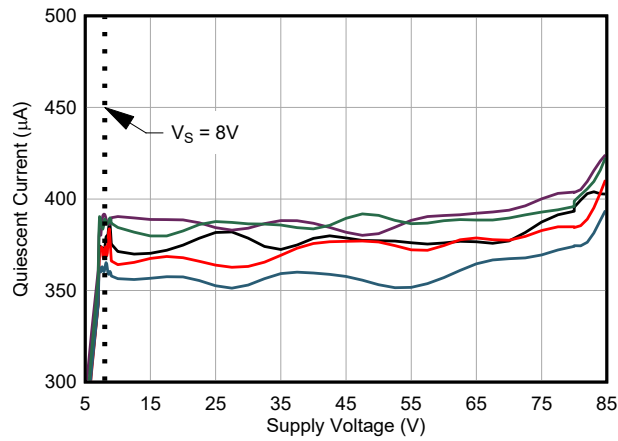


图 5-37. 静态电流与电源电压间的关系

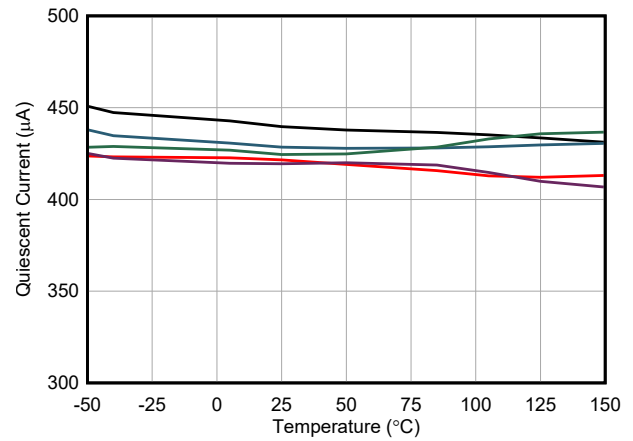


图 5-38. 静态电流与温度间的关系

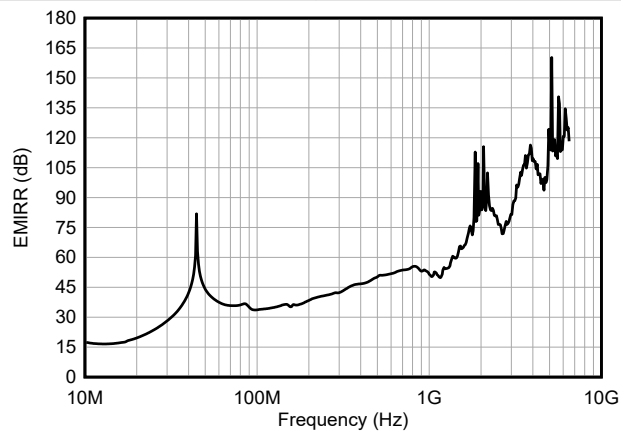


图 5-39. 电磁干扰抑制

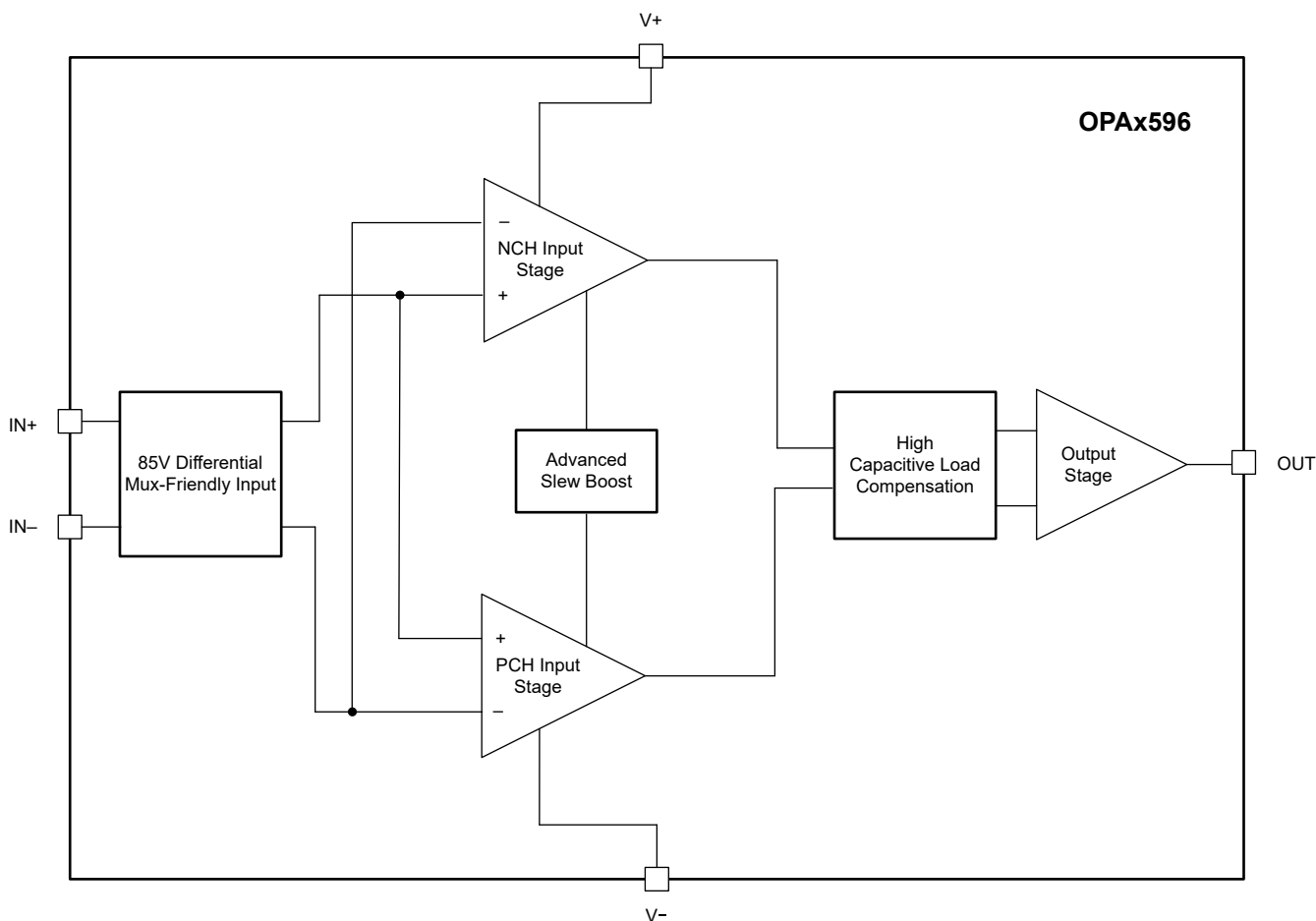
6 详细说明

6.1 概述

OPAx596 是低功耗 ($420\ \mu\text{A}$)、高压摆率 ($100\text{V}/\mu\text{s}$)、85V 运算放大器。这些运算放大器采用专有设计技术，能够以极低的功耗实现非常高的压摆能力。OPAx596 能够驱动 $\pm 30\text{mA}$ 的输出电流，并且可以在任一电源轨的 100mV 以内摆动。

这些放大器采用先进的 CMOS 技术并具有先进的设计特性，有助于实现出色的交流性能并支持小型封装选项。OPAx596 的优势还包括 3.75MHz 带宽、 $12.8\text{nV}/\sqrt{\text{Hz}}$ 噪声频谱密度和低输入偏置电流。这些特性使得 OPAx596 非常适合在数字可编程电源中增益或缓冲数模转换器 (DAC) 输出。

6.2 功能方框图



6.3 特性说明

6.3.1 多路复用器友好型输入

OPAx596 使用独特的输入架构来消除对输入保护二极管的需求，但在瞬态情形下仍能提供可靠的输入保护。图 6-1 所示的常规输入二极管保护方案可以通过快速瞬态阶跃响应来激活。由于存在交流电路路径，该方案可能引入信号失真和稳定时间延迟；相关细节另见图 6-2。对于低增益电路，这些快速斜向输入信号对背对背二极管进行正向偏置，这会导致输入电流增加，进而使稳定时间延长。

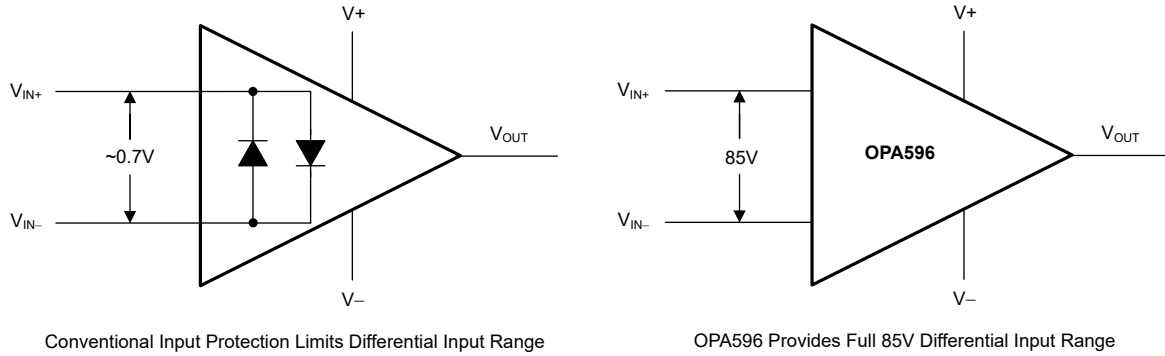


图 6-1. OPA596 输入保护不限制差分输入能力

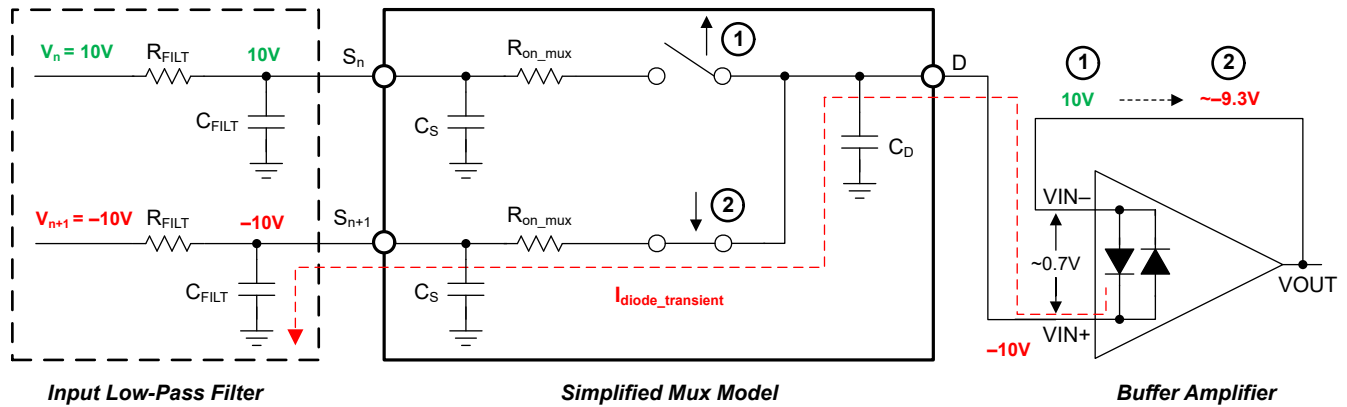


图 6-2. 背对背二极管造成稳定问题

OPAx596 为高压应用提供真正的高阻抗差分输入能力。这种获得专利的输入保护架构不会引入额外的信号失真或延迟稳定时间，使这些器件非常适用于多通道、高开关输入应用。OPAx596 可以承受高达 85V 的最大差分摆幅（运算放大器的反相和同相引脚之间的电压），适合用作比较器，或用于具有快速斜向或开关输入信号的应用。

6.3.2 热保护

OPAx596 具有热保护功能，可防止自发热造成损坏。当结温 (T_J) 达到大约 170°C 时，运算放大器输出级被禁用。该热保护通过监测输出级的温度并关闭运算放大器输出驱动来工作。热保护强制输出进入高阻抗状态。OPAx596 被设计为具有大约 20°C 的热迟滞，当输出级温度低于大约 150°C 时恢复正常运行。

过热保护并非设计用于防止器件超出绝对最大额定值，而是防止器件超出热过载。

6.3.3 高级压摆增强

压摆率是输出电压相对于时间的最大变化率，其单位通常为伏特/微秒 ($\text{V}/\mu\text{s}$)。当在输入端施加较大且快速移动的信号时，运算放大器会进入压摆状态。在压摆期间，运算放大器进入开环状态，并且可以在输出信号上看到明显的由压摆引起的失真。

方程式 1 显示运算放大器的压摆率 (SR) 通常由输入级的饱和电流 I_{TAIL} 和补偿电容 C_C 决定。

$$\text{SR} = \frac{I_{\text{TAIL}}}{C_C} \quad (1)$$

压摆率通常随运算放大器静态电流 I_Q 的增大而增大。设计人员可以通过几种方法来克服压摆率限制。例如，降低 C_C 通常称为解补偿，可以改善压摆率，但会降低稳定性。解补偿运算放大器需要最小增益，并且在单位增益下不稳定。更常见的是，现代运算放大器采用了压摆增强技术，该技术通过增大 I_{SAT} 来改善压摆率。压摆增强电路的实现方式可能各不相同，但通常可以预计这些电路相对于同类非增强运算放大器能够将压摆率提高 4 倍。

OPAx596 使用专有设计来实现出色的压摆率与 I_Q 之比。与同类非增强运算放大器相比，OPAx596 中全新的压摆增强技术将压摆率提高了近 100 倍。该运算放大器具有单位增益稳定性，可根据需要配置为缓冲器。

表 6-1 比较了不同运算放大器的压摆率和静态电流。

表 6-1. 运算放大器压摆率和静态电流

器件型号	压摆率	静态电流
OPAx596	100V/ μs	420 μA
OPAx188	0.8V/ μs	425 μA
OPAx202	0.35V/ μs	580 μA
OPAx192	20V/ μs	1mA
OPA454	13V/ μs	3.2mA

6.3.4 过载恢复

过载恢复的定义是运算放大器输出从饱和状态恢复到线性状态所需的时间。当输出电压由于高输入电压或高增益而超过额定工作电压时，运算放大器的输出器件进入饱和区。器件进入饱和区后，输出器件中的电荷载体需要时间返回到线性状态。当电荷载体返回到线性状态时，器件开始以指定的压摆率进行转换。因此，过载时的传播延迟等于过载恢复时间与转换时间的总和。

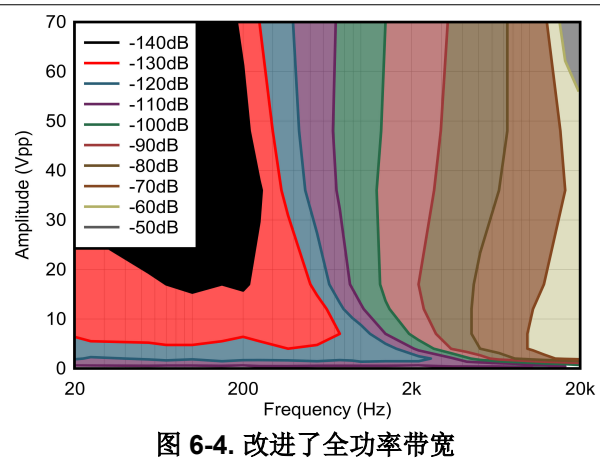
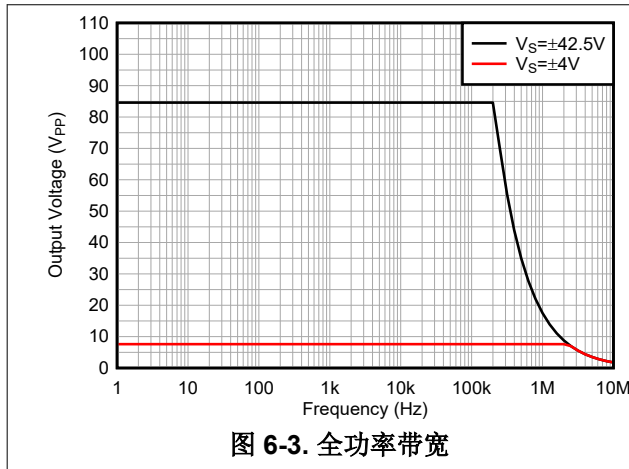
6.3.5 改进了全功率带宽

数十年来，全功率带宽曲线一直是数据表中的主要组成部分。运算放大器的全功率带宽在一定程度上指明了设计人员在给定振幅和频率的信号上预计的转换导致的失真。使用 [方程式 2](#) 生成全功率带宽曲线。

$$FPBW = \frac{SR}{2\pi V_{OUT_MAX}} \quad (2)$$

[图 6-3](#) 显示了 OPAx596 的全功率带宽。对于需要在几乎不考虑失真性能的情况下实现高电压、高频输出摆幅的设计人员而言，该曲线是一个很好的参考。遗憾的是，曲线几乎不能指示曲线上任何给定点的真正失真。毕竟，当输出接近最大变化率时，全功率带宽曲线只是理论值，而压摆引起的失真的失真会逐渐出现。此外，转换导致的失真只是运算放大器失真的多个来源之一。因此，该曲线是一个不错的起点，但不是失真表现的可靠来源。

[图 6-4](#) 展示了 OPAx596 在总谐波失真 (THD) 表现方面的全功率带宽。该曲线可以更好地指示设计人员对于给定振幅和频率的信号所期望的失真程度。例如，在 70V_{pp} 达到约 1kHz 时，OPAx596 可实现约 -100dB 或更好的 THD。再如，在 10V_{pp} 达到约 1kHz 时，OPAx596 可实现约 -130dB 或更好的 THD。由于测量带宽的限制，仅记录 20kHz 数据。



6.4 器件功能模式

OPA596 具有单一功能模式，可在电源电压介于 8V (±4V) 和 85V (±42.5V) 时正常工作。

7 应用和 实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

OPAx596 是低功耗 (420 μ A)、高压摆率 (100V/ μ s)、85V 功率运算放大器。这些运算放大器采用专有设计技术，能够以极低功耗实现非常高的压摆能力。低功耗有助于减少电路板上产生的热量，同时输出在电源轨附近摆动。在处理大峰值高频信号时，高压摆可减小输出端与压摆相关的失真。

7.2 典型应用

7.2.1 桥式连接压电式驱动器

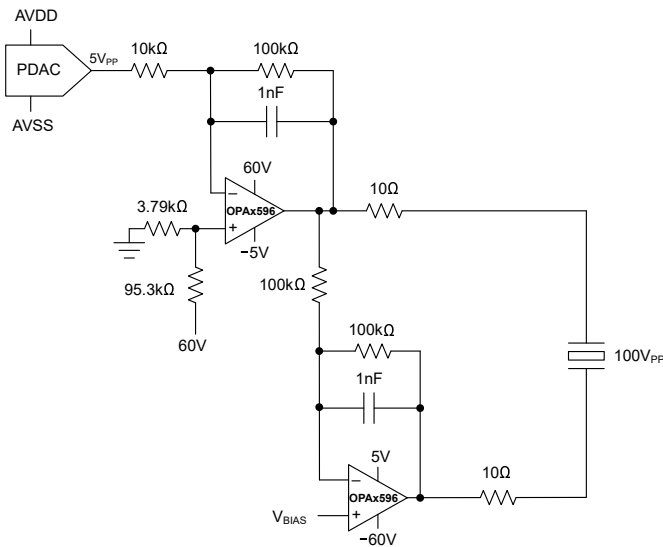


图 7-1. 具有桥式连接负载的 100V_{PP} 压电式驱动器

7.2.1.1 设计要求

OPAx596 用于驱动工作电压范围为 100V、频率为相对较低的 100Hz 的压电式执行器。压电式执行器固有的大电容可能会导致驱动器放大器出现不必要的振铃。在某种程度上由于放大器不稳定，执行器的响应可能不准确。对于此处所示的压电式执行器，为了实现稳定可靠的驱动器电路，必须为 500nF 等效负载提供足够的相位裕度，并具有宽输出摆幅能力。表 7-1 展示了设计参数。

表 7-1. 设计参数

参数	值
电源电压	65V
压电式执行器电容 (1kHz)	500nF
压电式工作电压范围	0V 至 100V
工作频率	100Hz
DAC 输出电压	5V _{PP}

7.2.1.2 详细设计过程

与传统的螺线管执行器相比，压电式执行器具有许多优势。与螺线管执行器相比，压电式执行器通常更精确，更节能且更小。压电式执行器面临的一个挑战是压电式执行器需要在非常宽的电压范围内工作。超过 60V 的驱动电压并不罕见，可轻松达到数百伏。OPA596 在高达 85V 的差分电压下运行。

在该设计示例中，OPA596 用于提供 100V_{pp} 信号来控制高压压电式执行器（另请参阅图 7-1）。当工作频率低于谐振频率时，压电式执行器可以被建模为一个大电容器。压电式执行器被视为由 OPA596 的两个运算放大器驱动的悬空负载。运算放大器的输出被设置为 180° 异相，基本上是执行器负载电压的两倍。OPA596 对数模转换器的信号电压应用 -10V/V 增益。简单的分压器提供直流基准，对输出进行电平转换，从而生成单极驱动电压。图 7-2 显示了两个放大器的输出电压以及压电负载所承受的电压。

放大器承受较大容性负载可能会导致不稳定，需要进行适当的补偿。提高相位裕度和稳定性的一种直接方法是在反馈中添加隔离电阻器和补偿电容器。OPA596 的每个输出端采用较小的 10 Ω R_{ISO} 以及 1nF 补偿电容器比较有效。应使隔离电阻器尽可能小，以最大限度地减小其两端的压降。根据工作频率选择补偿电容器。在本例中，1nF 电容器会留出足够的带宽来适应 100Hz 信号。使用 PSPICE 或 TINA-TI 等模拟工具来确认稳定性。

了解此电路的局限性很重要。与任何容性负载一样，在较高频率下阻抗会显著降低。这种行为极大地提高了驱动器放大器在高频时的电流输出能力要求。如果需要高频运行，请考虑其他具有较高电流驱动能力的放大器。100Hz 时，OPA596 能够提供必要的电流。图 7-3 展示了本例中 OPA596 的电流输出。

7.2.1.3 应用曲线

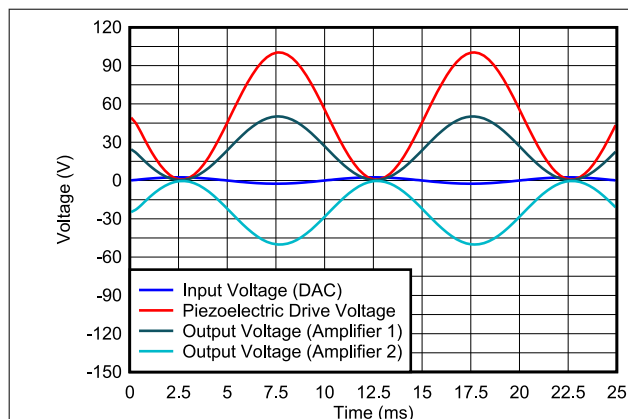


图 7-2. 压电式驱动器输出电压

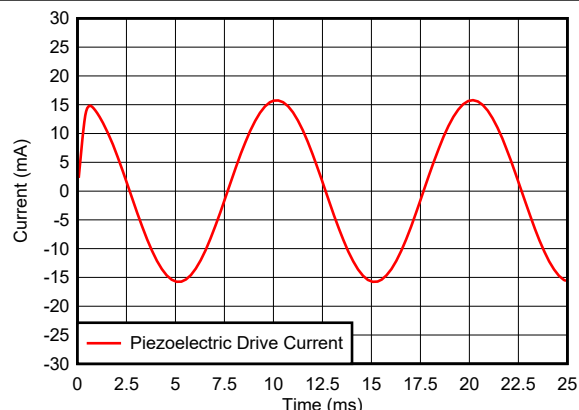
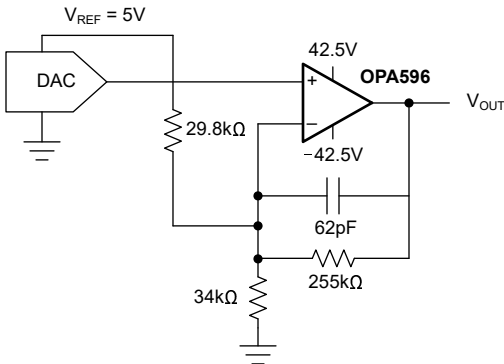


图 7-3. 压电式驱动器输出电流

7.2.2 DAC 输出增益和缓冲器



7.2.2.1 设计要求

OPAx596 设计用作具有增益的输出驱动器级，可提供宽范围双极电源电压。这些特性再加上 SOT23-5 封装的小尺寸和低功耗，使该器件非常适合高通道密度系统，例如存在多个通道的半导体测试和制造平台。在该设计示例中，OPAx596 配置为具有大约 17V/V 的增益。

表 7-2. 设计参数

参数	值
电源电压	-42.5V 至 +42.5V
输入电压	0V 至 5V
输出电压	-42.5V 至 +42.5V
增益	17V/V

7.2.2.2 详细设计过程

在该设计示例中，OPAx596 配置为增益级和输出驱动器。放大器的输入信号为 0V 至 5V，并且器件配置了 17V/V 的同相增益。5V 的 DAC 基准电压用作基准以启用双极输出摆幅。该配置可产生约 -42.5V 至 +42.5V 的输出电压。该设计示例在许多使用 DAC 提供输入信号且需要宽输出信号和低输出电流的系统中很常见。OPAx596 可以摆动到任一电源轨，同时保持在额定热限值范围内。此类系统包括测试和测量平台以及电源。

7.2.3 单电源压电式驱动器

一些压电式传感器可以接地为基准，如图 7-4 所示。利用 OPAx596 的宽电源电压，设计人员可以驱动高达 85V 的高压传感器，而无需使用更复杂的桥接负载配置。压电负载在放大器的输出端表现出较大的电容，需要进行适当的补偿以避免不稳定。还要考虑输出电流驱动要求。电流驱动要求由工作频率和负载的有效电容决定。高频和大电容会降低负载的有效阻抗，从而增大电流驱动要求。OPAx596 是在直流和低频下驱动压电负载的理想选择。

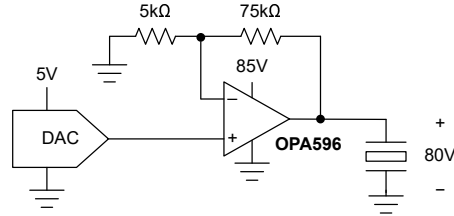


图 7-4. 80V 单电源压电式驱动器

7.2.4 高侧电流检测

OPAx596 可实现高压电流检测测量。使用 OPAx596 可轻松实现 $\pm 100V$ 或更高的高侧电压测量。电压能力与检测电路的增益和放大器的输入共模范围成正比。图 7-5 展示了配置用于 $\pm 500V$ 高侧电流测量和增益为 2 的 OPA596。高精度放大器用作进一步放大信号的增益级。

使输入电阻器足够大，以避免任何与负载相关的误差。与其他功率放大器相比，OPAx596 的低输入偏置电流允许使用更大的电阻器，对于此应用中的总误差没有明显影响。在为这个设计选择电阻器时，有必要特别考虑输入偏置电流、热噪声和输入共模范围。

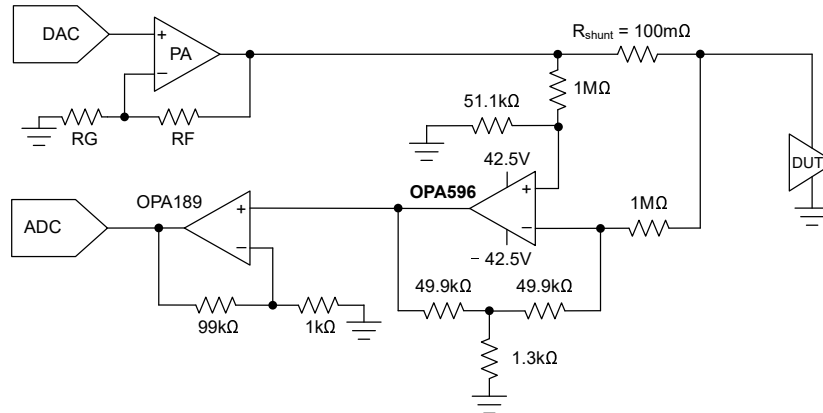


图 7-5. 500V 高侧电流检测

7.2.5 高压仪表放大器

差分测量在各种应用中都很常见。当差分测量中需要高输入阻抗时，可使用仪表放大器。挑战在于，现成的单片仪表放大器可提供的输入共模电压范围有限。图 7-6 展示了采用 OPAx596 的分立式仪表放大器。当需要在存在极高共模的情况下进行高阻抗差分测量时，该电路非常有用。

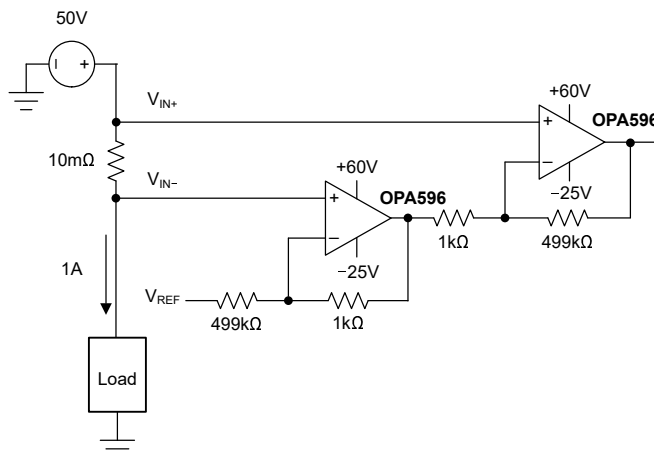


图 7-6. 高压仪表放大器

7.2.6 复合放大器

OPA596 提供低输入失调电压和输入温漂。然而，在某些应用中需要更高的精度。图 7-7 显示了如何大幅提高 OPA596 的直流精度。OPA186 是一款成本具有竞争力的 24V 零漂移运算放大器，可与采用复合放大器配置的 OPA596 搭配使用，打造一款具有高电压输出能力的高精度放大器。

第一个放大器 OPA186 修正第二个放大器 OPA596 的偏移。复合放大器的增益由 R_F 和 R_G 设定，使得增益等于 $R_F / R_G + 1$ 。在此应用中，电路的总体增益为 100V/V。通过 R_1 和 R_2 向 OPA596 添加增益可降低 OPA186 的增益负担，从而改善复合放大器的整体带宽。但是，在第二个放大器上过多增加增益会降低闭环带宽，并可能对相位裕度产生负面影响。构建复合放大器时需要特别考虑稳定性。

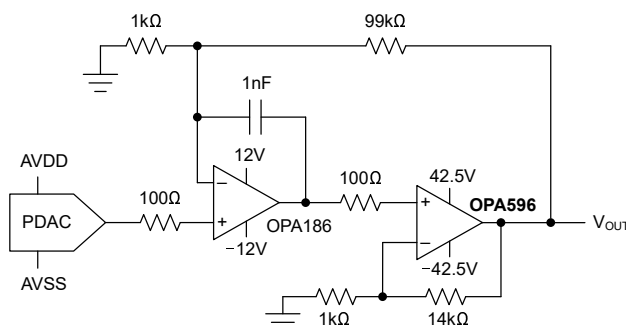


图 7-7. 高精度、高电压输出复合放大器

7.3 爬电距离和电气间隙

在设计和构建具有高电压的电气系统时，需要考虑两个重要概念，即爬电距离和间隙距离。爬电距离是指电流可沿绝缘材料（如印刷电路板 (PCB) 或塑料外壳）表面穿行的最短路径。间隙距离是指两个导电器件（例如导线、端子或元件）通过空气的最短距离。图 7-8 显示了典型集成电路 (IC) 的爬电距离和间隙。

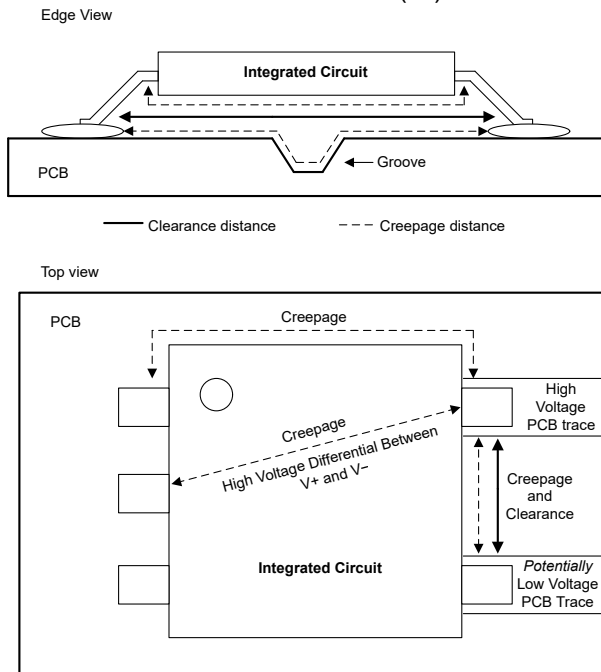


图 7-8. 集成电路中的爬电距离和间隙

有多种标准都存在爬电距离和电气间隙指导，但这些标准与运算放大器和其他集成电路的关系在很大程度上取决于解释和内部要求。引导距离受污染等级、最大电压和基本应用的显著影响。在爬电距离情况下，绝缘材料的相对漏电起痕指数 (CTI) 额定值是主要因素。如有必要，可以采用不同的设计技术来改善爬电距离和电气间隙，包括添加 PBC 坡口、保形涂层和/或降低工作电压。

德州仪器 (TI) 采用旨在更大限度地减小 PCB 面积的小尺寸现代封装。但是，满足任何爬电距离或电气间隙规格的要求取决于设计人员对任何相关 IEC 或系统级标准的解释和实现情况。有关此主题的更多信息，请访问[揭秘高压终端设备的电气间隙和爬电距离](#)文档。

7.4 电源相关建议

OPAx596 由高达 $\pm 42.5V$ (85V)、低至 $\pm 4V$ (8V) 的电源供电，同时提供出色的性能。大多数行为在整个工作电压范围内保持不变，但节 5.7 显示了随工作电压变化的参数。为确保正常运行，需要使用至少 $0.1\mu F$ 的电源旁路电容器。确保电容器电压在整个工作温度范围内具有高电压额定值。OPAx596 可采用非对称电源供电，可优化不要求正负输出电压摆幅相等的应用中的功率耗散。

7.5 布局

7.5.1 布局指南

为了实现器件的卓越运行性能，请使用良好的印刷电路板 (PCB) 布局布线实践，包括以下指导原则：

- 噪声可通过运算放大器的电源引脚和整个电路的电源引脚传播到模拟电路中。在每个电源引脚和接地端之间连接低 ESR、0.1μF 陶瓷旁路电容器。将这些电容器放置在尽可能靠近器件的位置。对于单电源应用而言，从 V+ 到接地端的单个旁路电容器就足够了。
- 将电路中模拟和数字部分单独接地是最简单和最有效的噪声抑制方法之一。多层 PCB 上的一层或多层通常专门用于作为接地平面。接地层有助于散热和减少 EMI 噪声拾取。对数字接地和模拟接地进行物理隔离，同时应注意接地电流的流动。
- 为了减少寄生耦合，应让输入走线尽可能远离电源或输出走线。如果这些布线无法保持分离，则敏感布线与有噪声布线垂直相交比平行更好。
- 外部元件应尽量靠近器件放置。
- 尽可能缩短输入走线的长度。切记，输入布线是电路中最敏感的部分。
- 考虑在关键布线周围设定驱动型低阻抗保护环。这样可显著减少附近布线在不同电势下产生的漏电流。
- 在组装 PCB 板之后对其进行清洁，以获得最佳性能。
- 任何精密集成电路都可能因湿气渗入塑料封装中而出现性能变化。在执行任何 PCB 水清洁流程之后，将 PCB 组件烘干，以去除清洁时渗入器件封装中的湿气。大多数情形下，清洁后在 85°C 下低温烘干 30 分钟即可。

7.5.1.1 散热注意事项

正常运行时，运算放大器会自发热。自发热是每个放大器中都会发生的芯片结温升高的自然现象。这种自发热是多个因素造成的，包括静态功耗、封装热阻、PCB 布局布线和器件工作条件。

在额定结温 T_J 范围内运行 OPAx596，避免热关断。使用 [方程式 3](#) 来确定估算的 T_J

$$T_J = P_D \times R_{\theta JA} + T_A \quad (3)$$

在静态状态下， P_D 是电源电压和运算放大器静态电流的乘积。[方程式 4](#) 显示了在使用 85V 电源且工作温度为 25°C 时 OPAx596 的 T_J 计算。

$$T_J = (85V \times 490\mu A) \times 165.4 \frac{^\circ C}{W} + 25^\circ C \quad (4)$$

$$T_J = 31.89^\circ C \quad (5)$$

OPAx596 具有低功耗，即使采用小型 SOT23-5 封装也可以实现极低的自发热，如 [方程式 5](#) 所示。在负载条件下， P_D 等于静态功率 P_{DQ} 与输出级耗散的功率 P_{DL} 之和。最坏情况是输出电压等于任一电源轨的 $\frac{1}{2}$ (假设采用对称电源 V+ 和 V-)。在最坏情况下， P_{DL} 由 [方程式 6](#) 给出。

$$P_{DL} = \frac{(V+)^2}{4 \times R_L} \quad (6)$$

例如，假设 OPAx596 由双极 $\pm 42.5V$ 电源供电并驱动 $5k\Omega$ 接地负载 R_L 。 T_J 的最大增量预计约为 $22^\circ C$ ，如 [方程式 7](#) 所示。在本例中，为了使运算放大器保持在 *绝对最大额定值* 范围内，请在 T_A 远低于 $128^\circ C$ 的情况下运行，以应对不同因素的影响。 $5k\Omega$ 负载的计算如 [图 7-9](#) 所示。

$$\Delta T_J = (41.7mW + 90.3mW) \times 165.4 \frac{^\circ C}{W} \quad (7)$$

对于高压放大器，如 OPAx596，在静态 (空载) 条件下，结温很容易比环境温度高几十度。如 [方程式 3](#) 所示，结温取决于封装的热性能，如结至环境热阻 ($R_{\theta JA}$) 所示。如果器件随后开始驱动重负载，则结温可能会上升并触发热关断电路。[图 7-9](#) 显示了 SOT23-5 封装版本的 OPA596 在负载和空载条件下，最大输出电压与环境温度间的关系，以避免超过 *绝对最大额定值*。该曲线假设静态电流为典型值，而未考虑静态电流的任何温度变化。

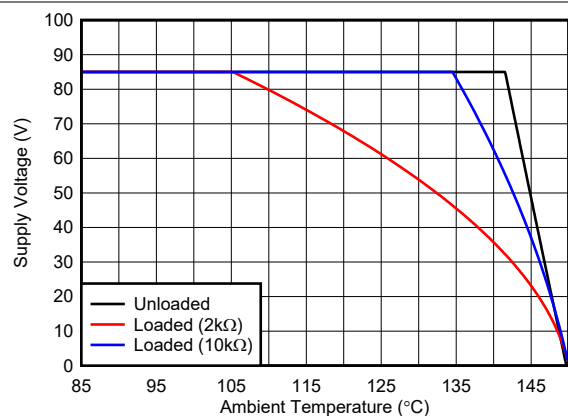


图 7-9. OPA596 (SOT23-5) 热安全工作区

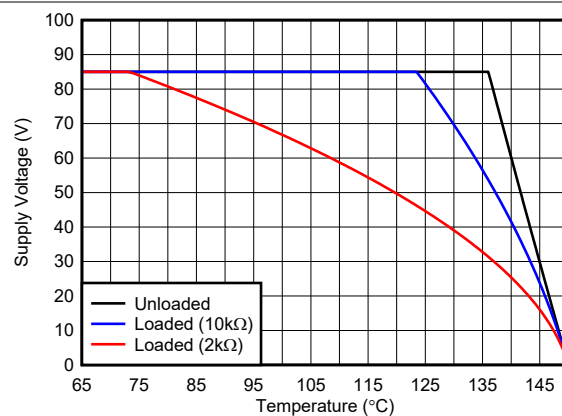


图 7-10. OPA2596 (VSSOP-8) 热安全工作区

7.5.2 布局示例

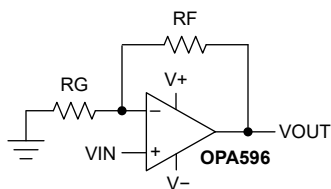


图 7-11. 同相配置的原理图表示

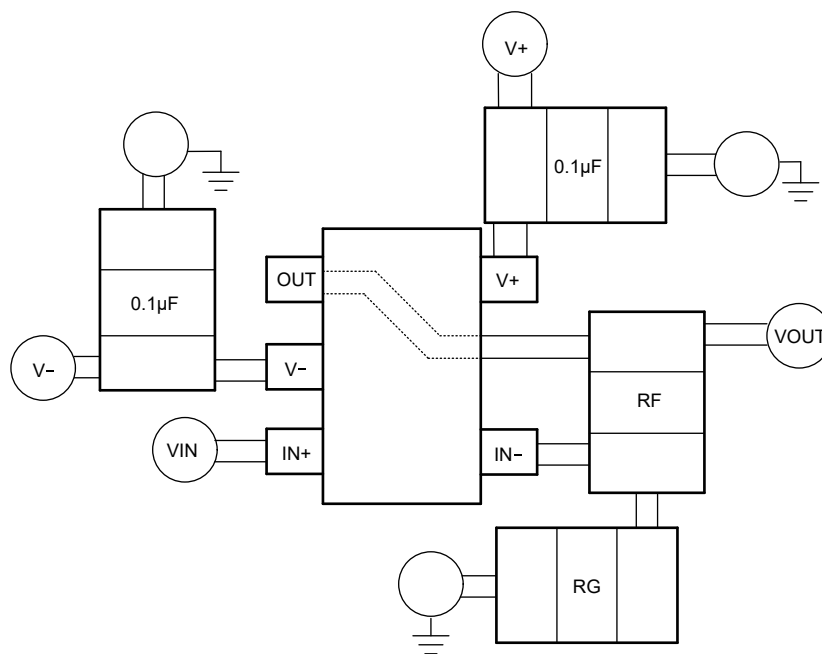


图 7-12. SOT23-5 封装同相配置的电路板布局布线

8 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

8.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.2 支持资源

TI E2E™ 中文支持论坛 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.5 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (February 2025) to Revision B (December 2025)	Page
• 将 OP2596 DGK (VSSOP, 8) 封装从预发布更改为量产数据.....	1
• 将 注释 1 新增到 <i>电气特性</i> 中.....	6
• 更新了相对于电源轨的电压输出摆幅的典型值.....	6
• 更改了在 $R_L = 10k\Omega$ 条件下，输出电压摆幅的最大值，从 435mV 更改为 500mV.....	6
• 更改了在 $R_L = 2k$ 条件下，输出电压摆幅的最大值，从 2.05V 更改为 2.5V.....	6

Changes from Revision * (June 2024) to Revision A (February 2025)	Page
• 将数据表状态从预告信息 (预发布) 更改为量产结构 (正在供货和预发布)	1
• 向 <i>器件信息表</i> 中添加了 OP2596 预发布 D (SOIC, 8) 封装.....	1

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2596DGKR	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	-	NIPDAU	Level-1-260C-UNLIM	-40 to 125	3SAS
OPA596DBVR	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	O596
OPA596DBVR.A	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	O596
OPA596DBVT	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	O596
OPA596DBVT.A	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	O596

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2596DGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA596DBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA596DBVT	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2596DGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA596DBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
OPA596DBVT	SOT-23	DBV	5	250	210.0	185.0	35.0



SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.

EXAMPLE BOARD LAYOUT

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



VSSOP - 1.1 mm max height

5.05
4.75 TYP

PIN 1 INDEX AREA

1

3.1
2.9
NOTE 3

4

8

6X 0.65

2X 1.95

5

8X 0.38
0.25

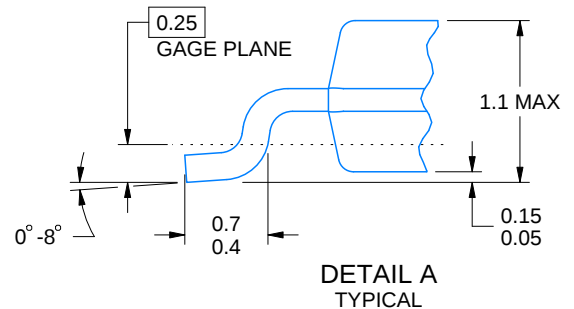
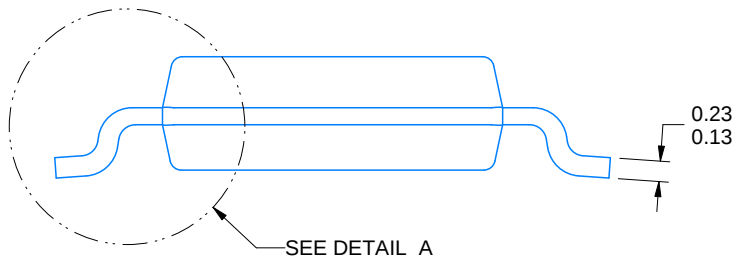
0.13 M C A B

0.1 C

SEATING PLANE

NOTE 4

3.1
2.9



PowerPAD is a trademark of Texas Instruments.

- 
- TEXAS
INSTRUMENTS
www.ti.com

EXAMPLE BOARD LAYOUT

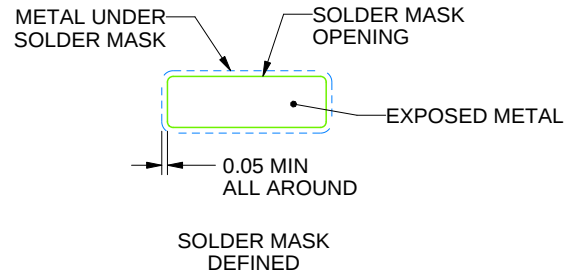
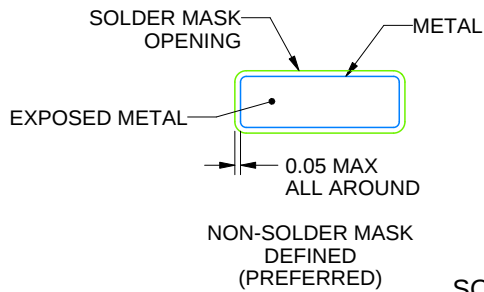
DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月