

OPAx316-Q1 10MHz、轨到轨输入/输出、低电压、1.8V CMOS 运算放大器

1 特性

- 符合汽车类应用的标准
- 具有符合 AEC-Q100 标准的下列结果：
 - 器件温度 1 级：-40°C 至 +125°C 的环境运行温度范围
 - 器件人体放电模型 (HBM) 静电放电 (ESD) 分类等级 3A
 - 器件带电器件模型 (CDM) ESD 分类等级
- 单位增益带宽：10MHz
- 低 I_Q ：每通道 400 μ A
- 宽电源电压范围：1.8V 至 5.5V
- 低噪声：1kHz 时为 11nV/ $\sqrt{\text{Hz}}$
- 低输入偏置电流： ± 5 pA
- 偏移电压： ± 0.5 mV
- 单位增益稳定
- 内部射频干扰 (RFI)/电磁干扰 (EMI) 滤波器
- 扩展温度范围：-40°C 至 +125°C

2 应用

- 汽车标准：
 - 高级驾驶员辅助系统 (ADAS)
 - 车身电子装置和照明
 - 电流感测
 - 电池管理系统

3 说明

OPAx316-Q1 系列单通道和双通道运算放大器是新一代低功耗、通用运算放大器的典型代表。轨到轨输入和输出摆幅、低静态电流（每通道的典型值为 400 μ A）等特性与 10MHz 的较宽带宽和超低噪声

（1kHz 时为 11 nV/ $\sqrt{\text{Hz}}$ ）相结合，因此适用于要求兼具快速特性与良好功率比的电路。低输入偏置电流支持的运算放大器适用于源阻抗高达兆欧级的应用。

OPAx316-Q1 的低输入偏置电流产生的电流噪声极低，该器件因此备受高阻抗传感器接口的青睐。

OPAx316-Q1 采用稳健耐用的设计，方便电路设计人员使用。该器件具有单位增益稳定的集成 RFI 和 EMI 抑制滤波器，在过驱条件下不会出现反相，并且具有高静电放电 (ESD) 保护 (4kV HBM)。

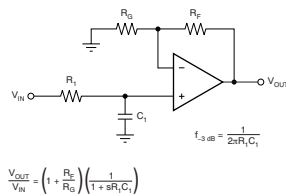
此类器件经过优化，适合在 1.8V (± 0.9 V) 至 5.5V (± 2.75 V) 的低电压状态下工作。这款低电压 CMOS 汽车级运算放大器的最新成员，提供高带宽、低噪声和低功耗系列器件，满足各种应用的不同需求。

中的 SC70 (5) (OPA316-Q1)、DFN (8)、MSOP (8)、SOIC (8) (OPA2316-Q1) 和 SOIC (14) 封装 (OPA4316-Q1)
器件信息⁽¹⁾

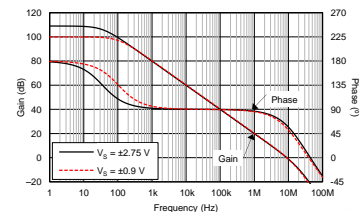
器件编号	封装	封装尺寸 (标称值)
OPA316-Q1	SOT-23 (5)	1.60mm x 2.90mm
OPA2316-Q1	VSSOP (8)	3.00mm x 3.00mm
OPA4316-Q1	TSSOP (14)	4.40mm x 5.00mm

(1) 如需了解所有可用封装，请参阅产品说明书末尾的可订购产品附录。

单极低通滤波器



10MHz 带宽下的低电源电流 (400 μ A/通道)



目录

1	特性	1	7.4	器件功能模式	21
2	应用	1	8	应用和实施	22
3	说明	1	8.1	应用信息	22
4	修订历史记录	2	8.2	典型应用	22
5	引脚配置和功能	3	9	电源建议	26
6	规格	6	10	布局	27
	6.1 绝对最大额定值	6	10.1	布局指南	27
	6.2 ESD 额定值	6	10.2	布局示例	27
	6.3 建议运行条件	6	11	器件和文档支持	28
	6.4 热性能信息: OPA316-Q1	7	11.1	文档支持	28
	6.5 热性能信息: OPA2316-Q1	8	11.2	相关链接	28
	6.6 热性能信息: OPA4316-Q1	9	11.3	接收文档更新通知	28
	6.7 电气特性	10	11.4	社区资源	28
	6.8 典型特性	13	11.5	商标	28
7	详细 说明	19	11.6	静电放电警告	28
	7.1 概述	19	11.7	术语表	28
	7.2 功能框图	19	12	机械、封装和可订购信息	29
	7.3 特性 说明	19			

4 修订历史记录

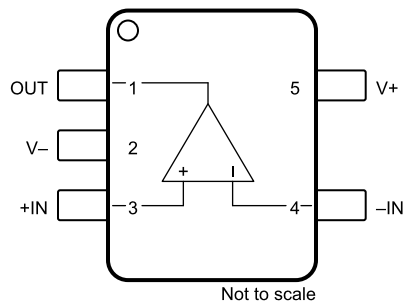
Changes from Original (November 2016) to Revision A

Page

• 已更改 CDM ESD 分类等级由“C6”降至“C5”	1
• 已删除 器件信息表中的 OPA2316S-Q1 封装和尺寸信息	1
• 已删除 器件信息表, 热信息表和引脚分配图	1
• Deleted 引脚配置和功能 部分中的 OPA2316S-Q1 引脚布置图和“引脚功能”表	3
• Deleted “引脚配置和功能”部分的 OPA4316-Q1 引脚布置图中的 D (SOIC) 封装	5
• Changed 将 CDM 额定值从 $\pm 1500V$ 更改为 $\pm 750V$	6
• Deleted 热性能信息 表中的 OPA2316S-Q1 器件热性能信息	7
• 添加 OPA4316-Q1 器件的热性能信息	9
• 已删除 文档支持部分	28

5 引脚配置和功能

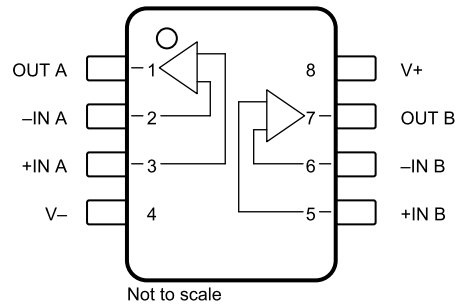
**OPA316-Q1 DBV 封装
5 引脚 SOT-23
俯视图**



引脚功能：OPA316-Q1

引脚		I/O	说明
名称	编号		
-IN	4	I	反相输入
+IN	3	I	同相输入
V-	2	—	负电源或接地（对于单电源供电）。
V+	5	—	正电源
OUT	1	O	输出

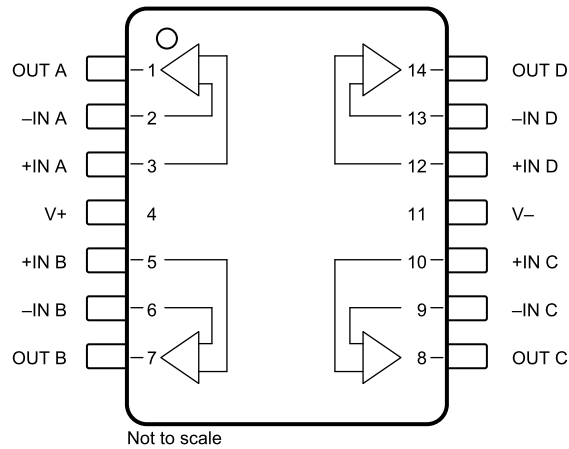
**OPA2316-Q1 DKG 封装
8 引脚 VSSOP
俯视图**



引脚功能：OPA2316-Q1

引脚		I/O	说明
名称	编号		
-IN A	2	I	反相输入，通道 A
+IN A	3	I	同相输入，通道 A
-IN B	6	I	反相输入，通道 B
+IN B	5	I	同相输入，通道 B
OUT A	1	O	输出，通道 A
OUT B	7	O	输出，通道 B
V-	4	—	负电源或接地（对于单电源供电）。
V+	8	—	正电源

**OPA4316-Q1 PW 封装
14 引脚 TSSOP
俯视图**



引脚功能 : OPA4316-Q1

引脚		I/O	说明
名称	编号		
-IN A	2	I	反相输入, 通道 A
+IN A	3	I	同相输入, 通道 A
-IN B	6	I	反相输入, 通道 B
+IN B	5	I	同相输入, 通道 B
-IN C	9	I	反相输入, 通道 C
+IN C	10	I	同相输入, 通道 C
-IN D	13	I	反相输入, 通道 D
+IN D	12	I	同相输入, 通道 D
OUT A	1	O	输出, 通道 A
OUT B	7	O	输出, 通道 B
OUT C	8	O	输出, 通道 C
OUT D	14	O	输出, 通道 D
V-	11	—	负电源或接地 (对于单电源供电)
V+	4	—	正电源

6 规格

6.1 绝对最大额定值

在自然通风温度下测得 (除非另有说明) ⁽¹⁾

			最小值	最大值	单位
电源电压			7		V
信号输入引脚	电压 ⁽²⁾	共模	(V-) - 0.5	(V+) + 0.5	V
		差模	(V+) - (V-) + 0.2		V
	电流 ⁽²⁾		-10	10	mA
输出短路 ⁽³⁾			持续		
T _A	工作温度		-55	150	°C
T _J	结温			150	°C
T _{stg}	贮存温度		-65	150	°C

(1) 应力超出绝对最大额定值下所列的值可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值，这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

(2) 输入引脚被二极管钳制至电源轨。对于摆幅能超过电源轨 0.5V 的输入信号，应将其电流限制在 10mA 或者更低。

(3) 对地短路，每个封装对应一个放大器。

6.2 ESD 额定值

		值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 AEC Q100-002 ⁽¹⁾	±4000
		充电器件模型 (CDM), 符合 AEC Q100-011	±750

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS001 规范执行 HBM 应力测试。

6.3 建议运行条件

自然通风工作温度范围内 (除非另有说明)

		最小值	最大值	单位
V _S	电源电压	1.8	5.5	V
	额定温度范围	-40	125	°C

6.4 热性能信息：OPA316-Q1

热指标 ⁽¹⁾		OPA316-Q1	单位
		DBV (SOT-23)	
		5 引脚	
$R_{\theta JA}$	结至环境热阻 ⁽²⁾	221.7	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻 ⁽³⁾	144.7	°C/W
$R_{\theta JB}$	结至电路板热阻 ⁽⁴⁾	49.7	°C/W
Ψ_{JT}	管结至顶部的特征参数 ⁽⁵⁾	26.1	°C/W
Ψ_{JB}	管结至电路板的特征参数 ⁽⁶⁾	49	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻 ⁽⁷⁾	不适用	°C/W

- (1) 有关传统和最新热指标的更多信息，请参阅《[半导体和 IC 封装热指标](#)》应用报告。
- (2) 在 JESD51-2a 描述的环境中，按照 JESD51-7 的规定，在一个 JEDEC 标准高 K 电路板上进行仿真，从而获得自然对流条件下的结至环境热阻抗。
- (3) 通过在封装顶部进行冷板测试仿真来获得结至外壳 (顶部) 热阻。JEDEC 标准中没有相关测试的描述，但可在 ANSI SEMI 标准 G30 - 88 中找到相应的说明。
- (4) 结至板热阻，可按照 JESD51-8 中的说明在使用环形冷板夹具来控制 PCB 温度的环境中进行仿真来获得。
- (5) 结点至顶部特性参数 Ψ_{JT} 估算器件在实际系统中的结温，可通过 JESD51-2a (第 6 节和第 7 节) 介绍的步骤从获得 $R_{\theta JA}$ 的仿真数据中获取该温度。
- (6) 结点至电路板特性参数 Ψ_{JB} 估算器件在实际系统中的结温，可通过 JESD51-2a (第 6 节和第 7 节) 介绍的步骤从获得 $R_{\theta JA}$ 的仿真数据中获取该温度。
- (7) 通过在外露 (电源) 焊盘上进行冷板测试仿真来获得结至外壳 (底部) 热阻。JEDEC 标准中没有相关测试的描述，但可在 ANSI SEMI 标准 G30 - 88 中找到相应的说明。

6.5 热性能信息：OPA2316-Q1

热指标 ⁽¹⁾		OPA2316-Q1	单位
		DGK (VSSOP)	
		8 引脚	
$R_{\theta JA}$	结至环境热阻 ⁽²⁾	186.6	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻 ⁽³⁾	78.8	°C/W
$R_{\theta JB}$	结至电路板热阻 ⁽⁴⁾	107.9	°C/W
Ψ_{JT}	管结至顶部的特征参数 ⁽⁵⁾	15.5	°C/W
Ψ_{JB}	管结至电路板的特征参数 ⁽⁶⁾	106.3	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻 ⁽⁷⁾	不适用	°C/W

- (1) 有关传统和最新热指标的更多信息，请参阅《[半导体和 IC 封装热指标](#)》应用报告。
- (2) 在 JESD51-2a 描述的环境中，按照 JESD51-7 的规定，在一个 JEDEC 标准高 K 电路板上进行仿真，从而获得自然对流条件下的结至环境热阻抗。
- (3) 通过在封装顶部进行冷板测试仿真来获得结至外壳 (顶部) 热阻。JEDEC 标准中没有相关测试的描述，但可在 ANSI SEMI 标准 G30 - 88 中找到相应的说明。
- (4) 结至板热阻，可按照 JESD51-8 中的说明在使用环形冷板夹具来控制 PCB 温度的环境中进行仿真来获得。
- (5) 结点至顶部特性参数 Ψ_{JT} 估算器件在实际系统中的结温，可通过 JESD51-2a (第 6 节和第 7 节) 介绍的步骤从获得 $R_{\theta JA}$ 的仿真数据中获取该温度。
- (6) 结点至电路板特性参数 Ψ_{JB} 估算器件在实际系统中的结温，可通过 JESD51-2a (第 6 节和第 7 节) 介绍的步骤从获得 $R_{\theta JA}$ 的仿真数据中获取该温度。
- (7) 通过在外露 (电源) 焊盘上进行冷板测试仿真来获得结至外壳 (底部) 热阻。JEDEC 标准中没有相关测试的描述，但可在 ANSI SEMI 标准 G30 - 88 中找到相应的说明。

6.6 热性能信息：OPA4316-Q1

热指标 ⁽¹⁾		OPA4316-Q1	单位
		PW (TSSOP)	
		14 引脚	
$R_{\theta JA}$	结至环境热阻 ⁽²⁾	117.2	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻 ⁽³⁾	46.2	°C/W
$R_{\theta JB}$	结至电路板热阻 ⁽⁴⁾	58.9	°C/W
Ψ_{JT}	管结至顶部的特征参数 ⁽⁵⁾	4.9	°C/W
Ψ_{JB}	管结至电路板的特征参数 ⁽⁶⁾	58.3	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻 ⁽⁷⁾	不适用	°C/W

- (1) 有关传统和最新热指标的更多信息，请参阅《[半导体和 IC 封装热指标](#)》应用报告。
- (2) 在 JESD51-2a 描述的环境中，按照 JESD51-7 的规定，在一个 JEDEC 标准高 K 电路板上进行仿真，从而获得自然对流条件下的结至环境热阻抗。
- (3) 通过在封装顶部进行冷板测试仿真来获得结至外壳 (顶部) 热阻。JEDEC 标准中没有相关测试的描述，但可在 ANSI SEMI 标准 G30 - 88 中找到相应的说明。
- (4) 结至板热阻，可按照 JESD51-8 中的说明在使用环形冷板夹具来控制 PCB 温度的环境中进行仿真来获得。
- (5) 结点至顶部特性参数 Ψ_{JT} 估算器件在实际系统中的结温，可通过 JESD51-2a (第 6 节和第 7 节) 介绍的步骤从获得 $R_{\theta JA}$ 的仿真数据中获取该温度。
- (6) 结点至电路板特性参数 Ψ_{JB} 估算器件在实际系统中的结温，可通过 JESD51-2a (第 6 节和第 7 节) 介绍的步骤从获得 $R_{\theta JA}$ 的仿真数据中获取该温度。
- (7) 通过在外露 (电源) 焊盘上进行冷板测试仿真来获得结至外壳 (底部) 热阻。JEDEC 标准中没有相关测试的描述，但可在 ANSI SEMI 标准 G30 - 88 中找到相应的说明。

6.7 电气特性

V_S (总电源电压) = $(V+) - (V-) = 1.8V$ 至 $5.5V$ 。

$T_A = 25^\circ C$, $R_L = 10k\Omega$ (连接至 $V_S / 2$), $V_{CM} = V_S / 2$, 且 $V_{OUT} = V_S / 2$ (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
失调电压					
V_{OS} 输入失调电压	$V_S = 5V$		± 0.5	± 2.5	mV
	$V_S = 5V, T_A = -40^\circ C$ 至 $125^\circ C$			± 3.5	mV
dV_{OS}/dT 漂移	$V_S = 5V, T_A = -40^\circ C$ 至 $125^\circ C$		± 2	± 10	$\mu V/^\circ C$
电源抑制比 与电源间的关系 (PSRR)	$V_S = 1.8V - 5.5V, V_{CM} = (V-)$		± 30	± 150	$\mu V/V$
	$V_S = 1.8V - 5.5V, V_{CM} = (V-), T_A = -40^\circ C$ 至 $125^\circ C$			± 250	$\mu V/V$
通道分离, 直流	在直流		10		$\mu V/V$
输入电压范围					
V_{CM} 共模电压	$V_S = 1.8V$ 至 $2.5V$	$(V-) - 0.2$		$(V+)$	V
	$V_S = 2.5V$ 至 $5.5V$	$(V-) - 0.2$		$(V+) + 0.2$	V
CMRR 共模抑制比	$V_S = 1.8V, (V-) - 0.2V < V_{CM} < (V+) - 1.4V,$ $T_A = -40^\circ C$ 至 $125^\circ C$	70	86		dB
	$V_S = 5.5V, (V-) - 0.2V < V_{CM} < (V+) - 1.4V,$ $T_A = -40^\circ C$ 至 $125^\circ C$	76	90		dB
	$V_S = 1.8V, V_{CM} = -0.2V$ 至 $1.8V,$ $T_A = -40^\circ C$ 至 $125^\circ C$	57	72		dB
	$V_S = 5.5V, V_{CM} = -0.2V$ 至 $5.7V,$ $T_A = -40^\circ C$ 至 $125^\circ C$	65	80		dB
输入偏置电流					
I_B 输入偏置电流			± 5	± 15	pA
	$T_A = -40^\circ C$ 至 $125^\circ C$			± 15	nA
I_{OS} 输入失调电流			± 2	± 15	pA
	$T_A = -40^\circ C$ 至 $125^\circ C$			± 8	nA
噪声					
E_n 输入电压噪声 (峰峰值)	$V_S = 5V, f = 0.1Hz$ 至 $10Hz$		3		μV_{PP}
e_n 输入电压噪声密度	$V_S = 5V, f = 1kHz$		11		nV/\sqrt{Hz}
i_n 输入电流噪声密度	$f = 1kHz$		1.3		fA/\sqrt{Hz}
输入阻抗					
Z_{ID} 差分			$2 \parallel 2$		$10^{16}\Omega \parallel pF$
Z_{IC} 共模			$2 \parallel 4$		$10^{11}\Omega \parallel pF$
开环增益					
A_{OL} 开环电压增益	$V_S = 1.8V, (V-) + 0.04V < V_O < (V+) - 0.04V,$ $R_L = 10k\Omega$	94	100		dB
	$V_S = 5.5V, (V-) + 0.05V < V_O < (V+) - 0.05V,$ $R_L = 10k\Omega$	104	110		dB
	$V_S = 1.8V, (V-) + 0.1V < V_O < (V+) - 0.1V,$ $R_L = 2k\Omega$	90	96		dB
	$V_S = 5.5V, (V-) + 0.15V < V_O < (V+) - 0.15V,$ $R_L = 2k\Omega$	100	106		dB
	$V_S = 5.5V, (V-) + 0.05V < V_O < (V+) - 0.05V,$ $R_L = 10k\Omega, T_A = -40^\circ C$ 至 $125^\circ C$	86			dB
	$V_S = 5.5V, (V-) + 0.15V < V_O < (V+) - 0.15V,$ $R_L = 2k\Omega, T_A = -40^\circ C$ 至 $125^\circ C$	84			dB
频率响应					
GBP 增益带宽积	$V_S = 5V, G = 1$		10		MHz
ϕ_m 相位裕度	$V_S = 5V, G = 1$		60		度
SR 压摆率	$V_S = 5V, G = 1$		6		V/ μs
t_S 建立时间	精度达到 0.1%, $V_S = 5V, 2V$ 阶跃, $G = 1, C_L = 100pF$		1		μs
	精度达到 0.01%, $V_S = 5V, 2V$ 阶跃, $G = 1, C_L = 100pF$		1.66		μs
t_{OR} 过载恢复时间	$V_S = 5V, V_{IN} \times$ 增益 $= V_S$		0.3		μs

电气特性 (continued)
 V_S (总电源电压) = $(V+) - (V-) = 1.8V$ 至 $5.5V$ 。

 $T_A = 25^\circ C$, $R_L = 10k\Omega$ (连接至 $V_S / 2$), $V_{CM} = V_S / 2$, 且 $V_{OUT} = V_S / 2$ (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
THD + N 总谐波失真 + 噪声 ⁽¹⁾	$V_S = 5V$, $V_O = 0.5V_{RMS}$, $G = 1$ $f = 1kHz$		0.0008%		

(1) 三阶滤波器; -3dB 时的带宽 = 80kHz。

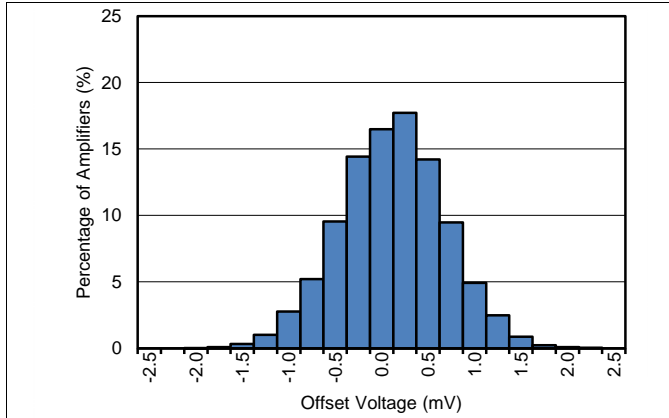
电气特性 (continued)
 V_S (总电源电压) = $(V+) - (V-) = 1.8V$ 至 $5.5V$ 。

 $T_A = 25^\circ C$, $R_L = 10k\Omega$ (连接至 $V_S / 2$), $V_{CM} = V_S / 2$, 且 $V_{OUT} = V_S / 2$ (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位	
输出						
V_O	相对于电源轨的电压输出摆幅	$V_S = 1.8V, R_L = 10k\Omega, T_A = -40^\circ C$ 至 $125^\circ C$		15	mV	
		$V_S = 5.5V, R_L = 10k\Omega, T_A = -40^\circ C$ 至 $125^\circ C$		30	mV	
		$V_S = 1.8V, R_L = 2k\Omega, T_A = -40^\circ C$ 至 $125^\circ C$		60	mV	
		$V_S = 5.5V, R_L = 2k\Omega, T_A = -40^\circ C$ 至 $125^\circ C$		120	mV	
I_{SC}	短路电流	$V_S = 5V$		± 50	mA	
Z_O	开环输出阻抗	$V_S = 5V, f = 10MHz$		250	Ω	
电源						
V_S	额定电压			1.8	5.5	V
I_Q	每个放大器的静态电流	$V_S = 5V, I_O = 0mA, T_A = -40^\circ C$ 至 $125^\circ C$		400	500	μA
	加电时间	$V_S = 0V$ 至 $5.5V$		200		μs

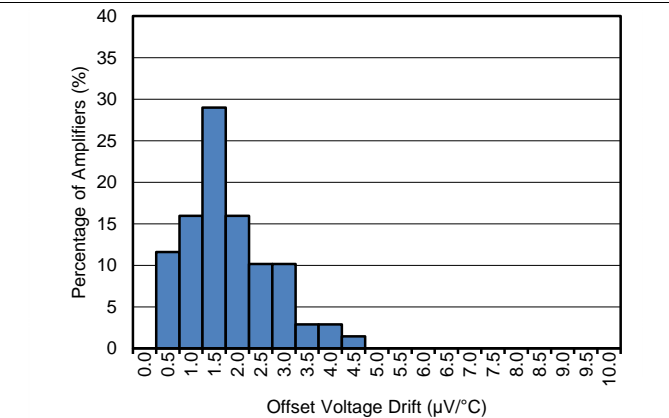
6.8 典型特性

$T_A = 25^\circ\text{C}$, $V_S = 5.5\text{V}$, $R_L = 10\text{k}\Omega$ (连接至 $V_S / 2$), $V_{CM} = V_S / 2$, 且 $V_{OUT} = V_S / 2$ (除非另有说明)。



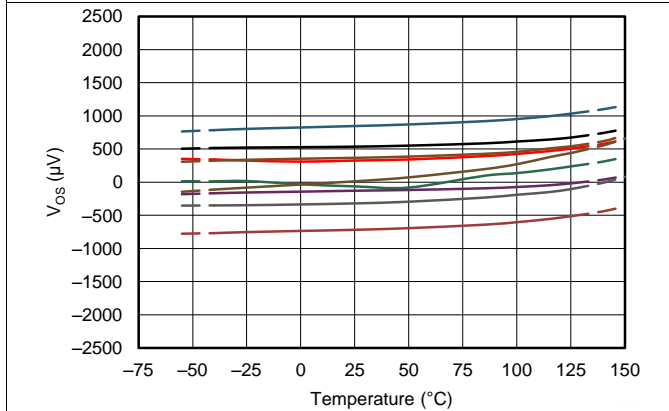
根据 12551 个放大器得出的分布图

图 1. 失调电压产生分布图



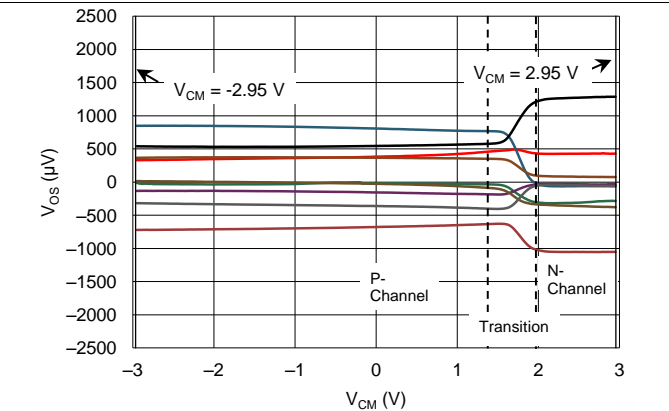
$T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$, 根据 70 个放大器得出的分布图

图 2. 失调电压漂移分布图



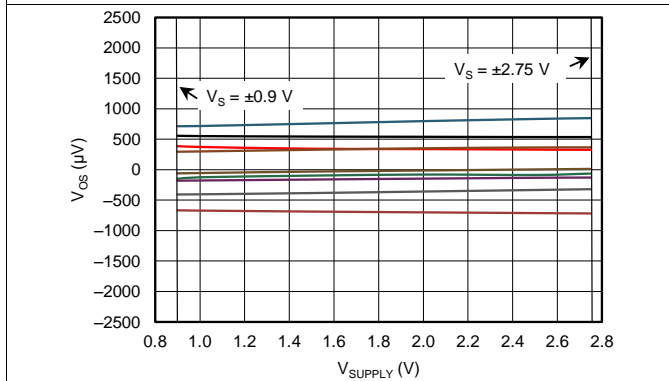
显示 9 个典型单元

图 3. 失调电压与温度间的关系



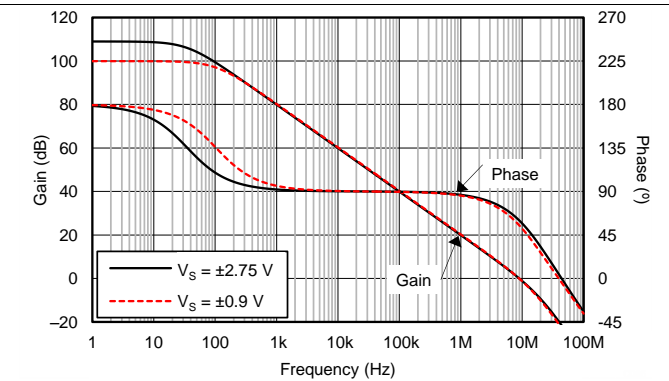
$V_+ = 2.75\text{V}$, $V_- = -2.75\text{V}$, 显示 9 个典型单元

图 4. 失调电压与共模电压间的关系



$V_+ = 0.9\text{V}$ 至 2.75V , $V_- = -0.9\text{V}$ 至 -2.75V , 显示 9 个典型单元

图 5. 失调电压与电源间的关系



$V_{CM} < (V_+) - 1.4\text{V}$

图 6. 开环增益和相位与频率间的关系

典型特性 (接下页)

$T_A = 25^\circ\text{C}$, $V_S = 5.5\text{V}$, $R_L = 10\text{k}\Omega$ (连接至 $V_S / 2$), $V_{CM} = V_S / 2$, 且 $V_{OUT} = V_S / 2$ (除非另有说明)。

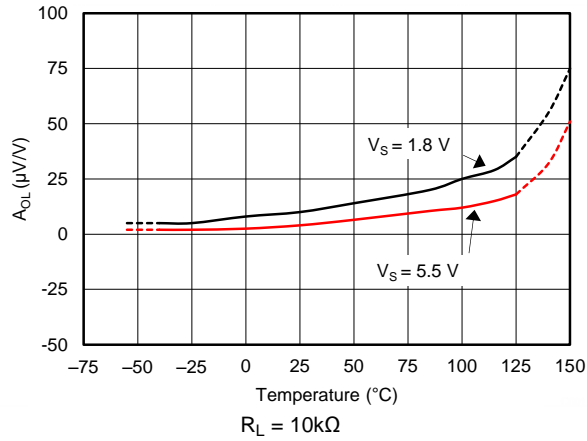


图 7. 开环增益与温度间的关系

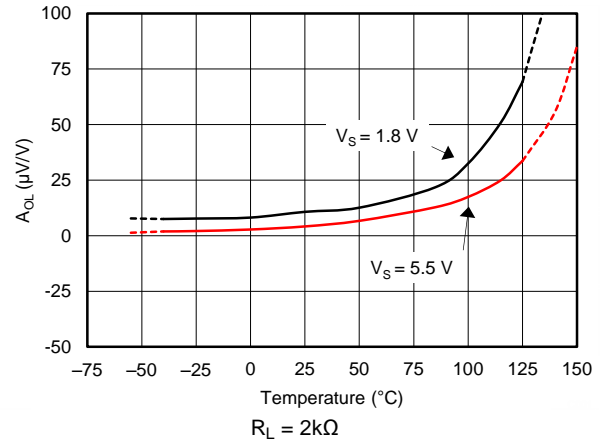


图 8. 开环增益与温度间的关系

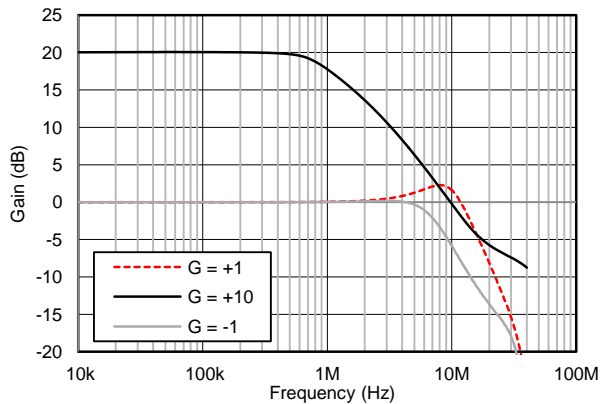


图 9. 闭环增益与频率间的关系

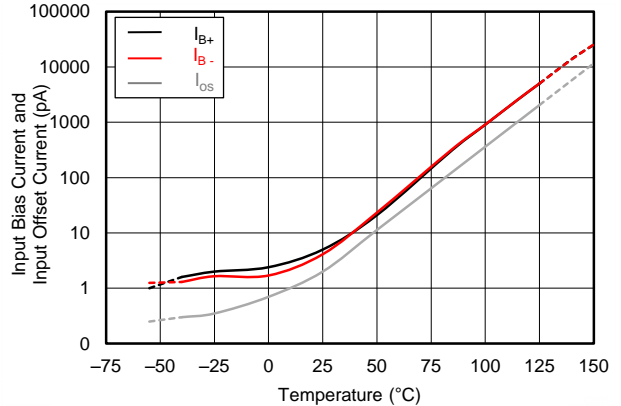


图 10. 输入偏置和失调电流与温度间的关系

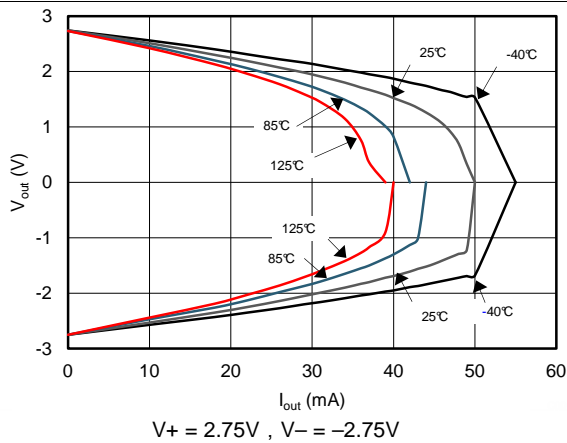


图 11. 输出电压摆幅与输出电流间的关系

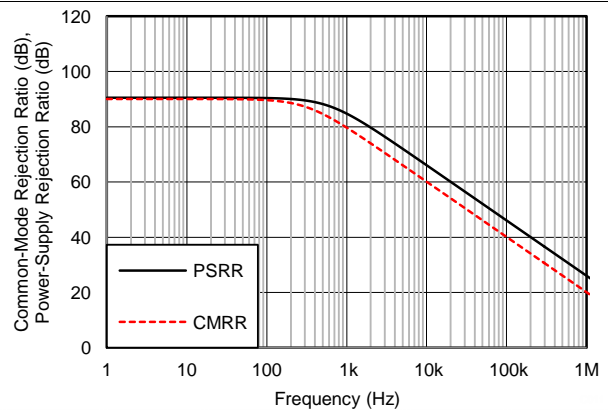


图 12. CMRR 和 PSRR 与频率间的关系 (以输入为参考)

典型特性 (接下页)

$T_A = 25^\circ\text{C}$, $V_S = 5.5\text{V}$, $R_L = 10\text{k}\Omega$ (连接至 $V_S / 2$), $V_{CM} = V_S / 2$, 且 $V_{OUT} = V_S / 2$ (除非另有说明)。

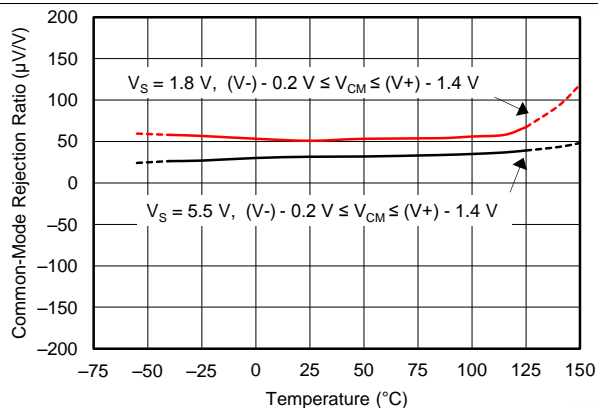


图 13. CMRR 与温度间的关系 (窄范围)

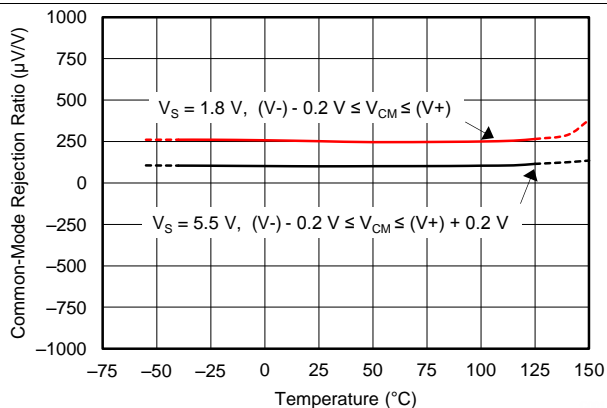


图 14. CMRR 与温度间的关系 (宽范围)

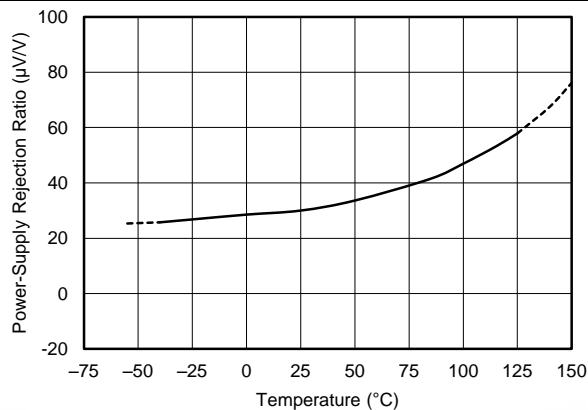


图 15. PSRR 与温度间的关系

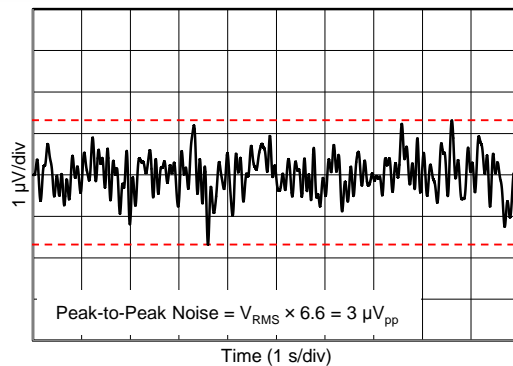


图 16. 0.1Hz 至 10Hz 输入电压噪声

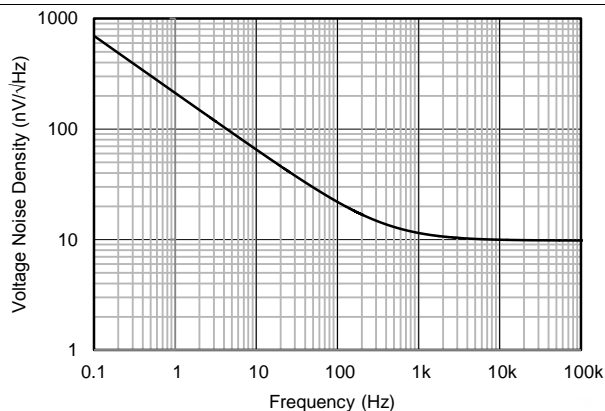


图 17. 输入电压噪声频谱密度与频率间的关系

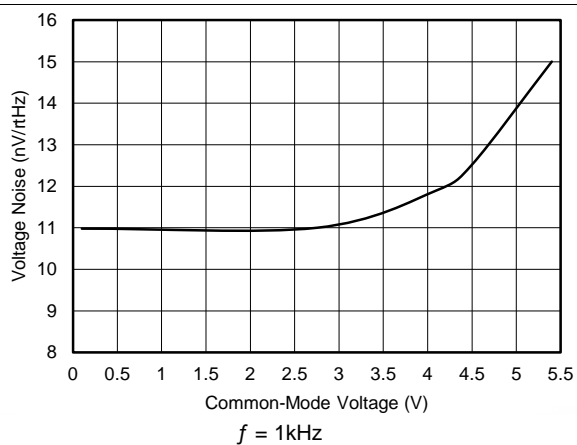
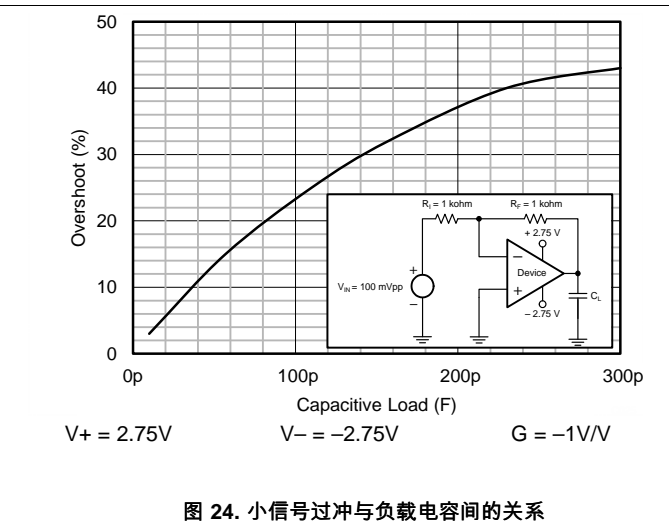
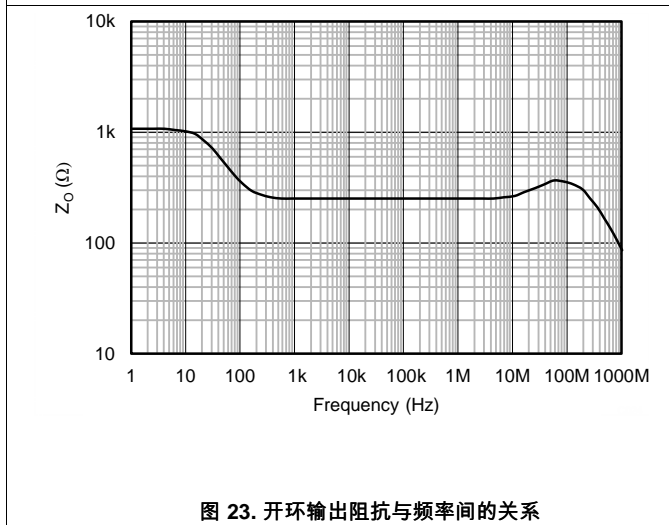
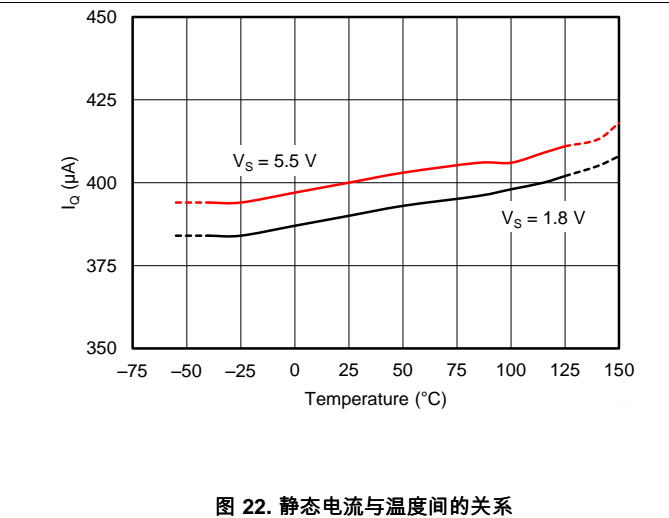
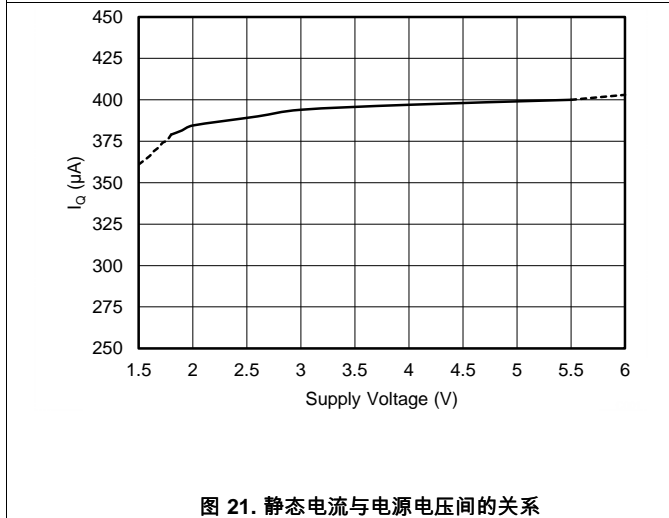
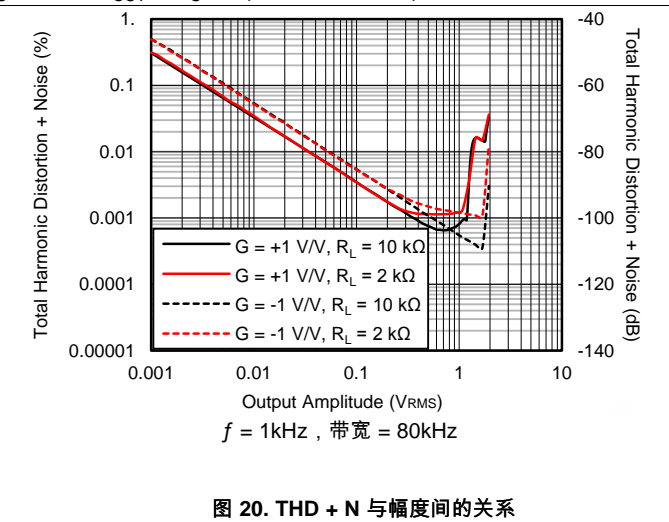
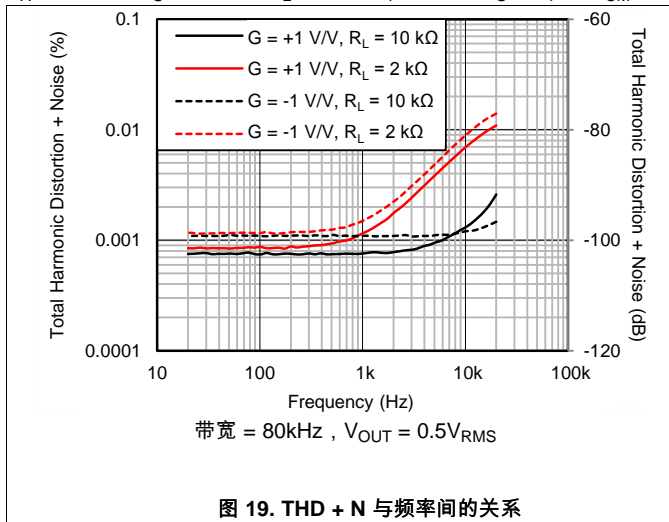


图 18. 输入电压噪声与共模电压间的关系

典型特性 (接下页)

$T_A = 25^\circ\text{C}$, $V_S = 5.5\text{V}$, $R_L = 10\text{k}\Omega$ (连接至 $V_S/2$), $V_{CM} = V_S/2$, 且 $V_{OUT} = V_S/2$ (除非另有说明)。



典型特性 (接下页)

$T_A = 25^\circ\text{C}$, $V_S = 5.5\text{V}$, $R_L = 10\text{k}\Omega$ (连接至 $V_S / 2$), $V_{CM} = V_S / 2$, 且 $V_{OUT} = V_S / 2$ (除非另有说明)。

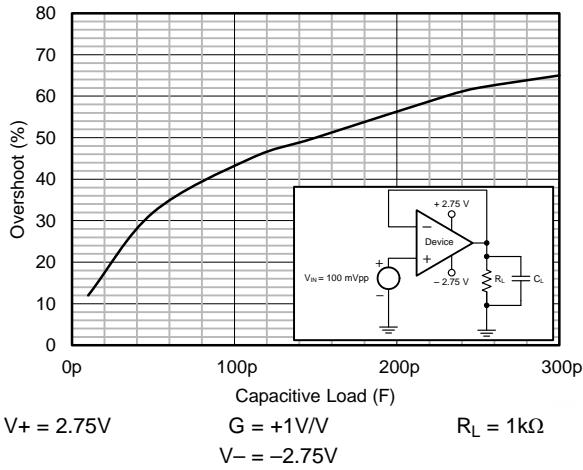


图 25. 小信号过冲与负载电容间的关系

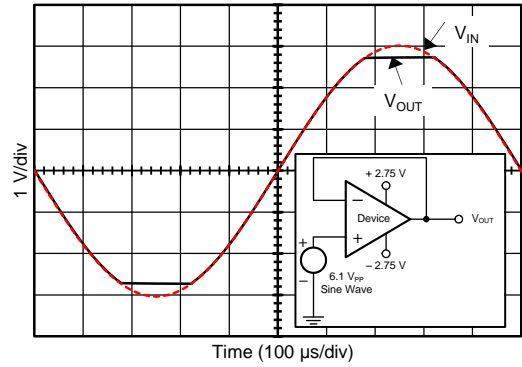


图 26. 无相位反转

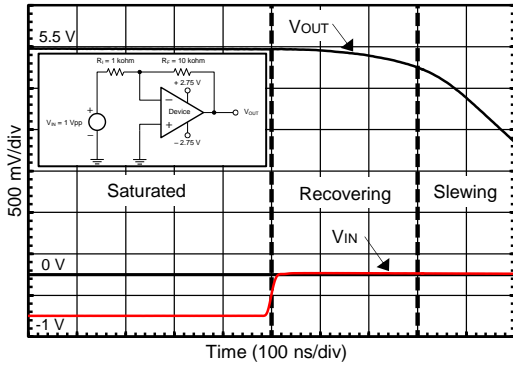


图 27. 正过载恢复

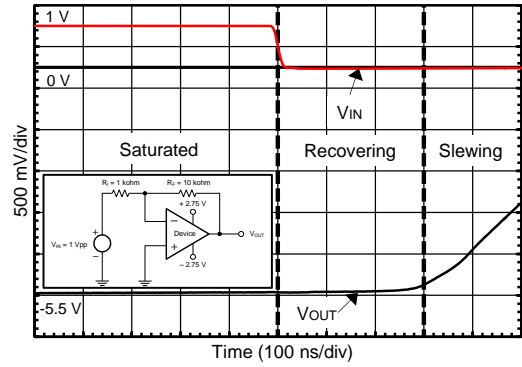


图 28. 负过载恢复

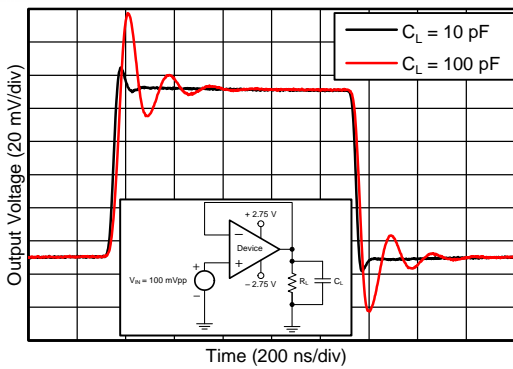


图 29. 小信号阶跃响应

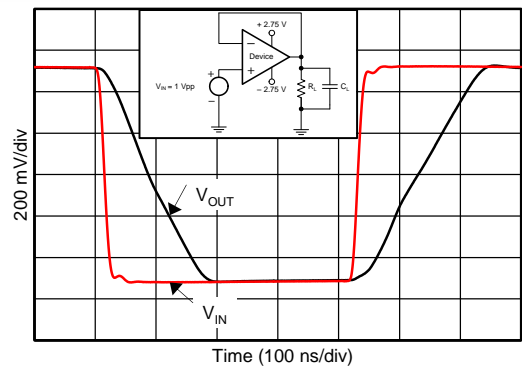


图 30. 大信号阶跃响应

典型特性 (接下页)

$T_A = 25^\circ\text{C}$, $V_S = 5.5\text{V}$, $R_L = 10\text{k}\Omega$ (连接至 $V_S / 2$), $V_{CM} = V_S / 2$, 且 $V_{OUT} = V_S / 2$ (除非另有说明)。

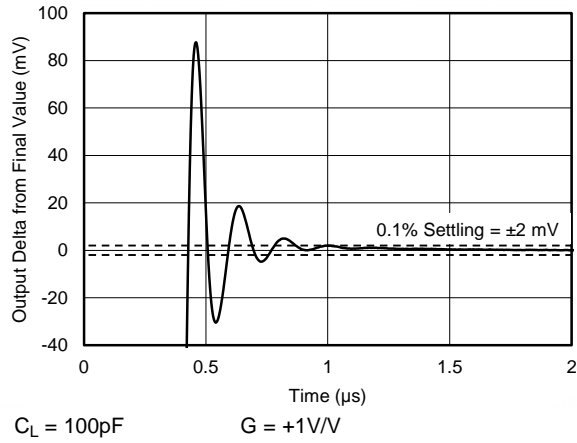


图 31. 正大信号趋稳时间

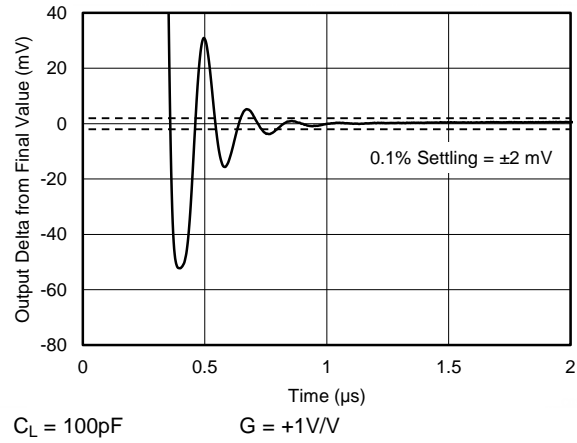


图 32. 负大信号趋稳时间

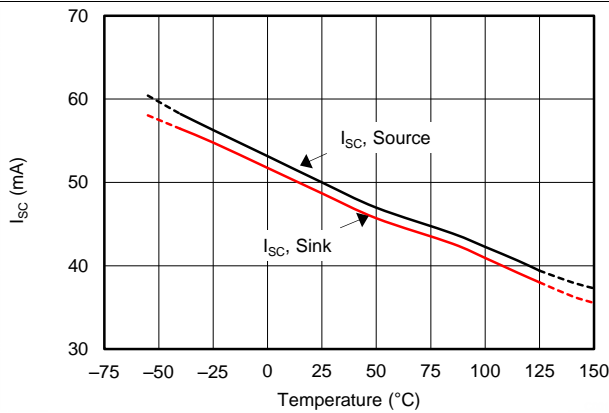


图 33. 短路电流与温度间的关系

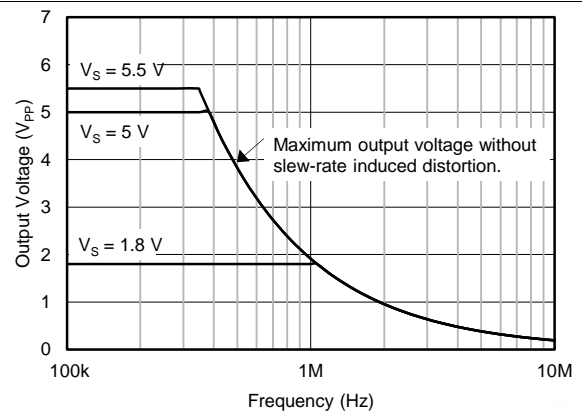


图 34. 最大输出电压与频率和电源电压间的关系

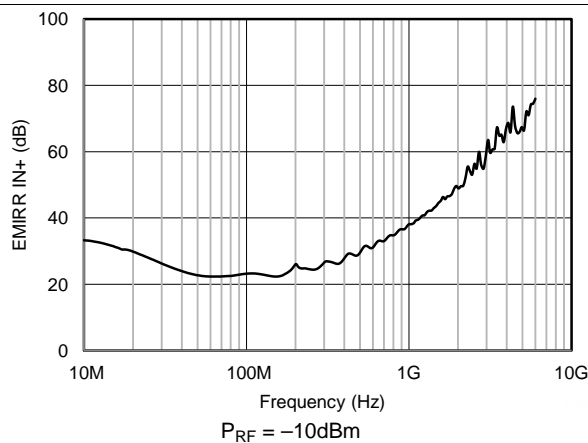


图 35. 以同相输入为参考的电磁干扰抑制比 (EMIRR IN+) 与频率间的关系

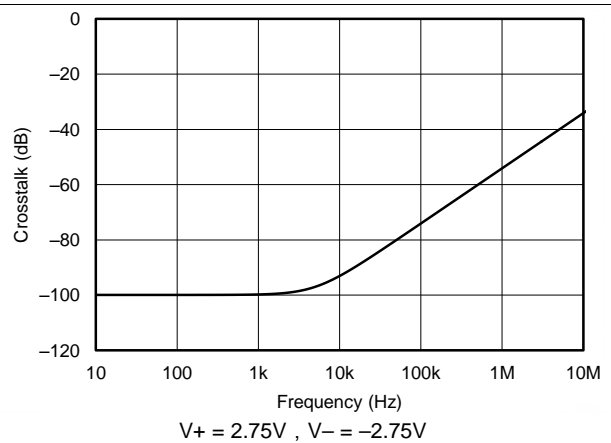


图 36. 通道分离与频率间的关系

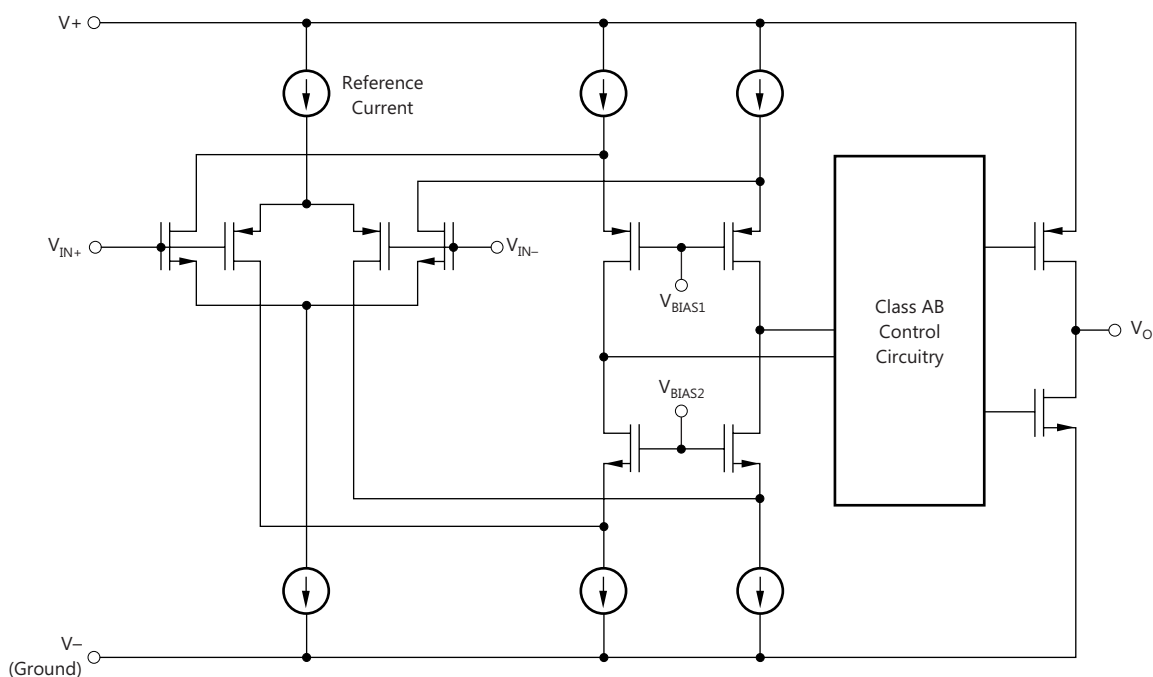
7 详细 说明

7.1 概述

OPAx316-Q1 是一系列具有低功耗、轨至轨输入和输出的运算放大器。这些器件的工作电压范围为 1.8V 至 5.5V，具有单位增益稳定特性，并且适用于各种通用应用。的理想之选。AB 类输出级能够驱动连接至 $V+$ 和接地端之间任一点且小于或等于 $10k\Omega$ 的负载。输入共模电压范围包括两个电源轨，并支持将 OPAx316-Q1 系列器件用于几乎任何单电源应用。轨至轨输入和输出摆幅可大幅扩大动态范围（尤其在低电源应用中），因此这些器件非常适合驱动采样模数转换器 (ADC)。

OPAx316-Q1 系列 具有 10MHz 带宽和 $6V/\mu s$ 压摆率，且每个通道仅有 $400\mu A$ 的电源电流，从而在功耗极低的情况下提供良好的交流性能。在直流应用中也具有良好性能，其输入噪声电压极低（在 1kHz 时为 $11nV/\sqrt{Hz}$ ），输入偏置电流低 ($5pA$)，且典型的输入失调电压为 $0.5mV$ 。

7.2 功能框图



Copyright © 2017, Texas Instruments Incorporated

7.3 特性 说明

7.3.1 工作电压

OPAx316-Q1 运算放大器在 1.8V 至 5.5V 的电压范围内可保证运行。此外，许多规格在 $-40^{\circ}C$ 至 $+125^{\circ}C$ 温度下适用。[典型特性](#) 图表中说明了随工作电压或温度变化而显著变化的参数。

特性说明 (接下页)

7.3.2 轨至轨输入

OPAx316-Q1 系列的输入共模电压范围在电源轨基础上向外扩展了 200mV，从而支持高于 2.5V 的电源电压。此性能由一个互补输入级实现：一个 N 沟道输入差分对一个 P 沟道差分对并联，如 [功能框图](#) 所示。当输入电压靠近正轨（通常在 $(V+) - 1.4V$ 到高于正电源电压 200mV 之间）时，N 沟道对有效；而当输入在低于负电源电压 200mV 到大约 $(V+) - 1.4V$ 之间时，P 沟道对有效。在一个通常介于 $(V+) - 1.2V$ 到 $(V+) - 1V$ 之间的小转换区域内，两个通道对都会打开。此 200mV 转换区域可能会随工艺不同而发生变化，最高可达 200mV。因此，此转换区域（两个级都打开）在低端上的范围介于 $(V+) - 1.4V$ 至 $(V+) - 1.2V$ 之间，在高端上的范围高达 $(V+) - 1V$ 至 $(V+) - 0.8V$ 之间。在此转换区域内，与器件在该区域外运行相比，PSRR、CMRR、失调电压、失调漂移和 THD 等性能可能会下降。

7.3.3 输入和 ESD 保护

OPAx316-Q1 在所有引脚上均整合了内部 ESD 保护电路。就输入和输出引脚而言，这种保护主要包括输入引脚和电源引脚之间连接的导电二极管。只要电流如 [绝对最大额定值](#) 表中所述不超过 10mA，这些 ESD 保护二极管就能提供电路内输入过驱保护。[图 37](#) 显示了如何通过将串联输入电阻器添加到被驱动的输入端来限制输入电流。添加的电阻器会增加放大器输入端的热噪声；在对噪声敏感的应用中，该值必须保持在最低值中，该值应保持在最低值。

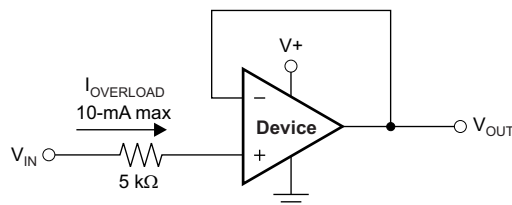


图 37. 输入电流保护

7.3.4 共模抑制比 (CMRR)

OPAx316-Q1 的 CMRR 是以多种方式指定的，因此对于给定的应用，用户可以使用最佳匹配项；请参阅 [电气特性表](#)。首先，产品说明书给出了该器件在低于转换区域 $[V_{CM} < (V+) - 1.4V]$ 的共模范围内的 CMRR。当应用需要使用其中一个差分输入对时，此规格最能说明器件的能力。其次，整个共模范围的 CMRR 是在 $V_{CM} = -0.2V$ 至 5.7V 条件下（对于 $V_S = 5.5V$ ）指定的。最后这个值包含整个转换区域内的变化，如 [图 4](#) 所示。

7.3.5 EMI 易感性和输入滤波

各种运算放大器对于电磁干扰 (EMI) 的易感性会有所不同。如果传导 EMI 进入运算放大器，放大器输出中观察到的直流失调值在有 EMI 时可能偏离标称值。这个偏离是内部半导体结相关的信号整流引起的。虽然 EMI 可能影响所有的运算放大器引脚功能，但是信号输入引脚可能是最易受影响的。OPA316-Q1 运算放大器系列整合了内部输入低通滤波器，该滤波器可减少放大器对 EMI 的响应。此滤波器提供共模和差分模式滤波。此滤波器针对大约 80MHz (-3dB) 的截止频率而设计，具有每十倍频 20dB 的下降率。

TI 已经开发出在 10MHz 至 6GHz 的宽频谱范围内精确测量和量化运算放大器抗扰度的功能。EMI 抑制比 (EMIRR) 指标允许按 EMI 抗扰度直接比较运算放大器。[图 35](#) 显示了 OPAx316-Q1 的测试结果。有关更多信息，请参阅 [《运算放大器的 EMI 抑制比》](#)。

7.3.6 轨至轨输出

OPAx316-Q1 器件是一种低功耗、低噪声运算放大器，可提供强大的输出驱动能力。一个具有共源晶体管的 AB 类输出级可实现完全的轨至轨输出摆幅功能。对于 10kΩ 的阻性负载，无论施加的电源电压是多少，输出摆幅通常在两个电源轨的 30mV 以内。不同的负载情况会改变放大器在靠近电源轨范围内摆动的能力；请参阅 [图 11](#)。

特性说明 (接下页)

7.3.7 容性负载和稳定性

OPAx316-Q1 专用于需要驱动容性负载的应用。与所有运算放大器一样，可能存在会使 OPAx316-Q1 变得不稳定的特定情况。在确定放大器的运行是否稳定时，需要考虑特定的运算放大器电路配置、布局、增益和输出负载等因素。与增益更高的放大器相比，在单位增益 (1V/V) 缓冲器配置下驱动电容负载的运算放大器更容易出现不稳定的情况。电容负载与运算放大器输出电阻相结合后，在反馈环路内产生一个使相补角降级的极点。相位裕量的减小随着容性负载的增加而增加。保守而言，最佳做法是设计 25% 的过冲 (40° 相位裕量)，这样可在流程变化期间提供更高的稳定性。某些较大的电容器 (C_L 的值大于 $1\mu\text{F}$) 的等效串联电阻 (ESR) 足以改变反馈环路内的相位特性，从而使放大器保持稳定。增加放大器闭环增益使得放大器能够驱动更大的电容。当在更高电压增益上观察放大器的过冲响应时，这个增加的驱动能力会十分明显。请参阅图 24 ($G = -1\text{V/V}$) 和图 25 ($G = 1\text{V/V}$)。

插入一个小电阻器 (通常为 10Ω 至 20Ω) 可以增加采用单位增益配置的放大器的容性负载能力 (如图 38 所示)。这个电阻器大大减少了与大电容负载相关的过冲和振铃。然而，这个技巧的一个可能问题是这个增加的串联电阻和任一与负载电容并联的连接电阻会生成一个分压器。此分压器在输出上引入一个减少输出摆幅的增益误差。

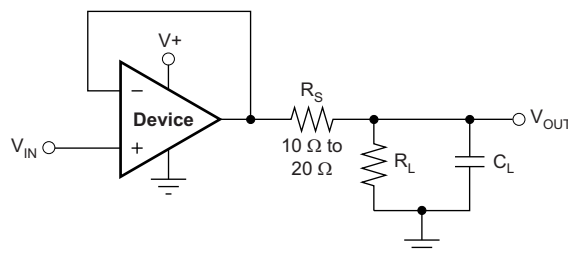


图 38. 增强容性负载驱动能力

7.3.8 过载恢复

过载恢复定义为运算放大器输出从饱和状态恢复到线性状态所需的时间。当输出电压由于高输入电压或高增益而超过额定工作电压时，运算放大器的输出器件进入饱和区。器件进入饱和区后，输出器件中的电荷载体需要时间返回到线性状态。当电荷载体返回到线性状态时，器件开始以指定的压摆率进行转换。因此，过载时的传播延迟等于过载恢复时间与转换时间的总和。OPAx316-Q1 的过载恢复时间大约为 300ns。

7.4 器件功能模式

OPAx316-Q1 器件会在连接电源时通电。这些器件可根据应用情况作为单电源运算放大器或双电源放大器使用。

8 应用和实施

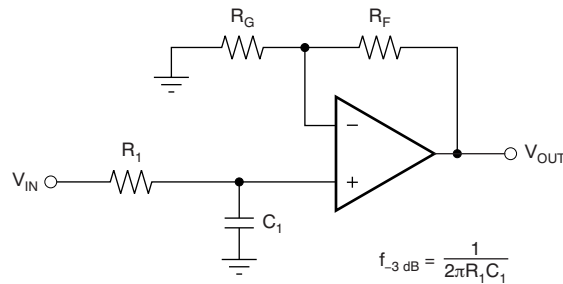
注

以下应用部分中的信息不属于 TI 组件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定组件是否适用于其应用。客户应验证并测试其设计实施，以确认系统功能正常。

8.1 应用信息

8.1.1 一般配置

当接收到低电平信号时，该器件通常需要限制传入到系统中的信号的带宽。建立这个受限带宽的最简单方法是在放大器的同相引脚上放置一个 RC 滤波器，如图 39 中所示。



$$\frac{V_{OUT}}{V_{IN}} = \left(1 + \frac{R_F}{R_G}\right) \left(\frac{1}{1 + sR_1C_1}\right)$$

图 39. 单极点低通滤波器

如果需要更多衰减，该器件需要多极点滤波器。Sallen-Key 滤波器可用于完成此项任务，如图 40 所示。为了获得最佳结果，放大器的带宽必须是滤波器频率带宽的 8 到 10 倍。不遵守这一准则可能导致放大器出现相移。

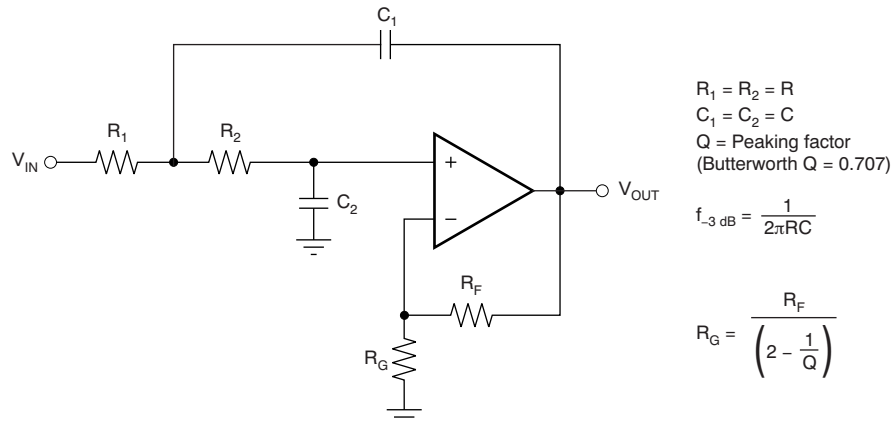


图 40. 两极低通 Sallen-Key 滤波器

8.2 典型应用

有些应用需要差分信号。图 41 显示，简单电路可利用一个 2.7V 的电源将 0.1V 至 2.4V 的单端输入转换为 ±2.3V 的差分输出。本示例特意限制输出范围以最大限度提高线性度。此电路由两个放大器构成。一个放大器充当缓冲器并产生电压 (V_{OUT+})。另一个放大器反转输入并添加参考电压以生成 V_{OUT-}。V_{OUT+} 和 V_{OUT-} 范围为 0.1V 至 2.4V。差分电压 (V_{DIFF}) 是指 V_{OUT+} 和 V_{OUT-} 之间的差异，形成一个 2.3V 的差分输出电压范围。

典型应用 (接下页)

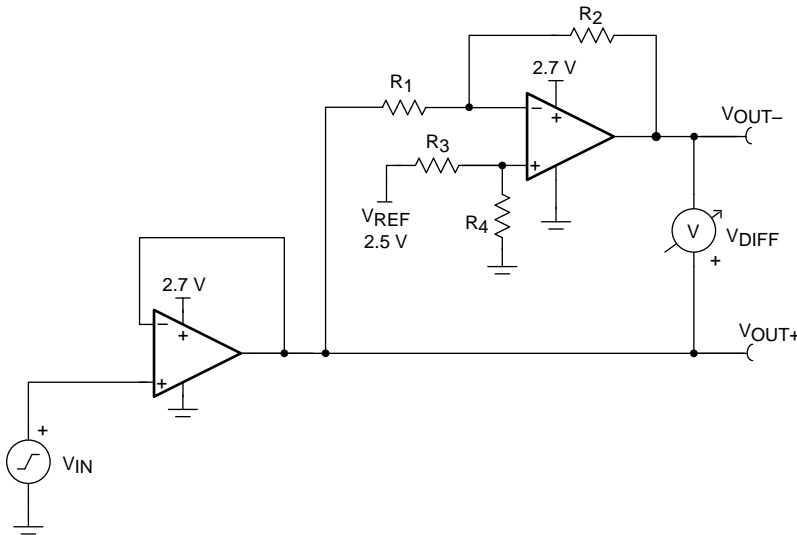


图 41. 单端输入到差分输出的转换原理图

8.2.1 设计要求

表 1 列出了设计要求：

表 1. 设计参数

设计参数	值
电源电压	2.7V
基准电压	2.5V
输入电压	0.1V 至 2.4V
输出差分电压	±2.3V
输出共模电压	1.25V
小信号带宽	5MHz

8.2.2 详细设计流程

在图 41 中，电路接受单端输入信号 (V_{IN})，并产生两个输出信号 (V_{OUT+} 和 V_{OUT-})，其中使用两个放大器和基准电压 (V_{REF})。 V_{OUT+} 是第一个放大器的输出，并且是输入信号 (V_{IN}) 的缓冲版本 (如公式 1 所示)。 V_{OUT-} 是第二个放大器的输出，该放大器使用 V_{REF} 将失调电压添加至 V_{IN} 和反馈以添加反相增益。 V_{OUT-} 的传递函数如公式 2 所示。

$$V_{OUT+} = V_{IN} \tag{1}$$

$$V_{OUT-} = V_{REF} \times \left(\frac{R_4}{R_3 + R_4} \right) \times \left(1 + \frac{R_2}{R_1} \right) - V_{IN} \times \frac{R_2}{R_1} \tag{2}$$

差分输出信号 (V_{DIFF}) 是两个单端输出信号 (V_{OUT+} 和 V_{OUT-}) 之间的差异。公式 3 显示了 V_{DIFF} 的传递函数。使用公式 4 和公式 5 中的条件并应用 $R_1 = R_2$ 和 $R_3 = R_4$ 两种条件，传递函数简化为公式 6。使用此配置，最大输入信号等于基准电压，每个放大器的最大输出等于 V_{REF} 。差分输出范围为 $2 \times V_{REF}$ 。此外，共模电压是 V_{REF} 的一半，如公式 7 所示。

$$V_{DIFF} = V_{OUT+} - V_{OUT-} = V_{IN} \times \left(1 + \frac{R_2}{R_1} \right) - V_{REF} \times \left(\frac{R_4}{R_3 + R_4} \right) \times \left(1 + \frac{R_2}{R_1} \right) \tag{3}$$

$$V_{OUT+} = V_{IN} \tag{4}$$

$$V_{OUT-} = V_{REF} - V_{IN} \tag{5}$$

$$V_{DIFF} = 2 \times V_{IN} - V_{REF} \tag{6}$$

$$V_{CM} = \left(\frac{V_{OUT+} + V_{OUT-}}{2} \right) = \frac{1}{2} V_{REF} \quad (7)$$

8.2.2.1 放大器选择

输入范围的线性是实现良好直流精度的关键。共模输入范围和输出摆幅限制决定了线性度。通常情况下，需要采用具有轨至轨输入和输出摆幅的放大器。宽带是此设计的主要考虑因素，因此选择了 OPAx316-Q1，因为它的宽带高于 5MHz 的目标带宽。带宽和功耗比可使该器件实现低功耗，且低失调和低漂移可确保精度适中的应用实现良好精度。

8.2.2.2 无源组件选择

由于 V_{OUT-} 的传递函数高度依赖于电阻器 (R_1 、 R_2 、 R_3 和 R_4)，因此应使用低容差的电阻器来最大限度提高性能并最大限度减小误差。此设计使用电阻值为 49.9k Ω 且容差为 0.1% 的电阻器。但是，如果系统噪声是关键参数，可以选择较低电阻值 (6k Ω 或更低) 以使整个系统保持低噪声。这样可以确保电阻器噪声低于放大器噪声。

8.2.3 应用曲线

图 42、图 43 和图 44 中测得的传递函数是通过扫描 0.1V 至 2.4V 输入电压而生成的。整个输入范围实际上是 0V 至 2.5V，但被限制为不超过 0.1V 以维持最佳线性度。有关此设计和可用于代替 OPAx316-Q1 的其他备选器件的更多详细信息，请参阅《单端输入至差分输出转换电路参考设计》。

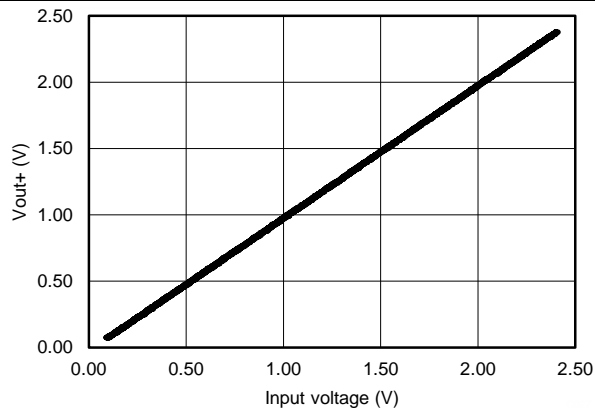


图 42. V_{OUT+} 与输入电压间的关系

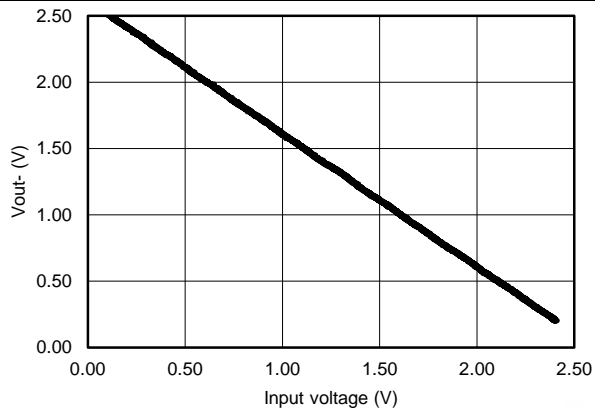


图 43. V_{OUT-} 与输入电压间的关系

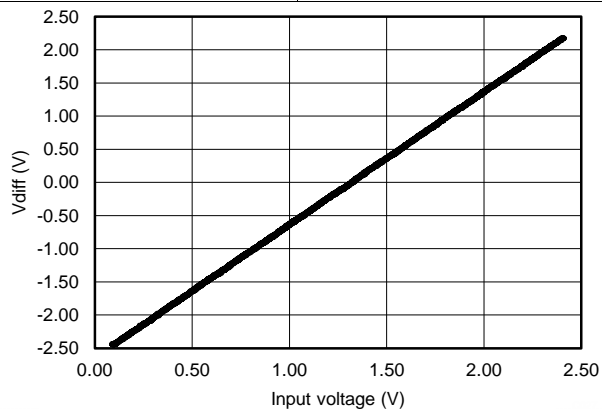


图 44. V_{DIFF} 与输入电压间的关系

9 电源建议

OPAx316-Q1 系列的额定工作电压范围是 1.8V 至 5.5V ($\pm 0.9V$ 至 $\pm 2.75V$) ; 许多规格在 -40°C 至 $+125^{\circ}\text{C}$ 的温度下适用。 [典型特性](#) 部分提供的参数可能随工作电压或温度的变化而出现显著变化。

CAUTION

电源电压大于 7V 可能对器件造成永久损坏；请参阅 [绝对最大额定值](#) 表。

将 0.1 μF 旁路电容放置于电源引脚附近，旁路电容可以提供低阻抗回路来降低电源的耦合噪声。有关旁路电容器位置的更多信息，请参阅 [布局指南](#) 部分。

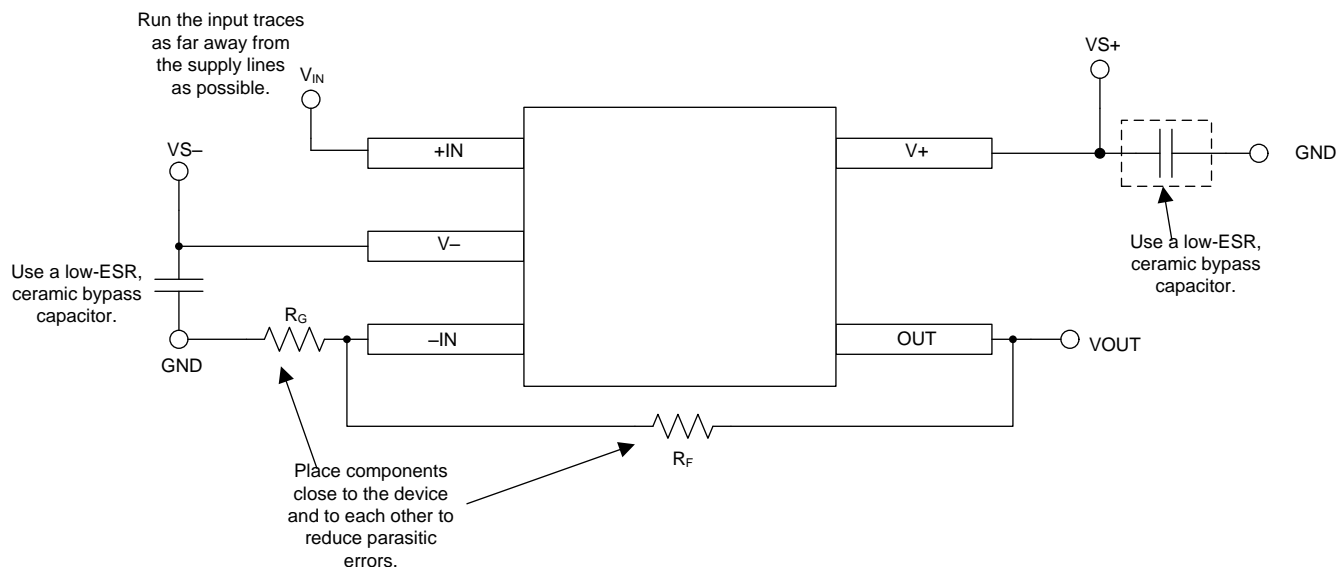
10 布局

10.1 布局指南

为了实现器件的最佳运行性能，应使用良好的 PCB 布局规范，包括：

- 噪声可通过全部电路电源引脚以及运算放大器传入模拟电路。旁路电容器通过提供模拟电路的本地低阻抗电源来减少耦合噪声。
 - 在每个电源引脚和接地端之间连接低 ESR 0.1 μ F 陶瓷旁路电容器，放置位置尽量靠近器件。从 V+ 到接地端的单个旁路电容器适用于单通道电源应用。
- 将电路的模拟和数字部分单独接地是最简单和最有效的噪声抑制方法之一。多层 PCB 中通常将一层或多层专门作为接地层。接地层有助于散热和降低电磁干扰 (EMI) 噪声。请小心地对数字接地和模拟接地进行物理隔离，同时应注意接地电流。
- 为了减少寄生耦合，请让输入走线尽可能远离电源或输出走线。如果这些走线不能保持分离状态，让敏感走线与有噪声的走线垂直相交比平行相交好得多。
- 外部组件的位置应尽量靠近器件。使 R_F 和 R_G 接近反相输入可最大限度地减小寄生电容 (如图 45 所示)。
- 尽可能缩短输入走线。切记，输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。这样可显著减少附近走线在不同电势下产生的泄漏电流。

10.2 布局示例



Copyright © 2016, Texas Instruments Incorporated

图 45. 同相配置的运算放大器电路板布局

11 器件和文档支持

11.1 文档支持

中 TI 参考文档格式的固定文献编号

11.1.1 相关文档

请参阅如下相关文档：

- [《运算放大器的电磁干扰 \(EMI\) 抑制比》](#)
- [单端输入至差分输出转换电路参考设计](#)

11.2 相关链接

表 2 列出了快速访问链接。类别包括技术文档、支持和社区资源、工具和软件以及申请样片或购买产品的快速访问链接。

表 2. 相关链接

部件	产品文件夹	样片与购买	技术文档	工具和软件	支持和社区
OPA316-Q1	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
OPA2316-Q1	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处
OPA4316-Q1	请单击此处	请单击此处	请单击此处	请单击此处	请单击此处

11.3 接收文档更新通知

要接收文档更新通知，请导航至 TI.com.cn 上的器件产品文件夹。单击右上角的 **通知我** 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.4 社区资源

下列链接提供到 TI 社区资源的连接。链接的内容由各个分销商“按照原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [《使用条款》](#)。

TI E2E™ 在线社区 [TI 的工程师对工程师 \(E2E\) 社区](#)。此社区的创建目的在于促进工程师之间的协作。在 e2e.ti.com 中，您可以咨询问题、分享知识、拓展思路并与同行工程师一道帮助解决问题。

设计支持 [TI 参考设计支持](#) 可帮助您快速查找有帮助的 E2E 论坛、设计支持工具以及技术支持的联系信息。

11.5 商标

E2E is a trademark of Texas Instruments.

11.6 静电放电警告



这些装置包含有限的内置 ESD 保护。存储或装卸时，应将导线一起截短或将装置放置于导电泡棉中，以防止 MOS 门极遭受静电损伤。

11.7 术语表

SLYZ022 — *TI* 术语表。

这份术语表列出并解释术语、缩写和定义。

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此产品说明书的浏览器版本，请参阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2316QDQKQ1	Active	Production	VSSOP (DGK) 8	80 TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	15E6
OPA2316QDQKQ1.B	Active	Production	VSSOP (DGK) 8	80 TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	15E6
OPA2316QDQKQRQ1	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAU NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	15E6
OPA2316QDQKQRQ1.B	Active	Production	VSSOP (DGK) 8	2500 LARGE T&R	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	15E6
OPA316QDBVRQ1	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU SN	Level-2-260C-1 YEAR	-40 to 125	15AD
OPA316QDBVRQ1.B	Active	Production	SOT-23 (DBV) 5	3000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	15AD
OPA316QDBVTQ1	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU SN	Level-2-260C-1 YEAR	-40 to 125	15AD
OPA316QDBVTQ1.B	Active	Production	SOT-23 (DBV) 5	250 SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	15AD
OPA4316QPWRQ1	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4316Q1
OPA4316QPWRQ1.B	Active	Production	TSSOP (PW) 14	2000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	4316Q1

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative

and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF OPA2316-Q1, OPA316-Q1, OPA4316-Q1 :

- Catalog : [OPA2316](#), [OPA316](#), [OPA4316](#)

NOTE: Qualified Version Definitions:

- Catalog - TI's standard catalog product

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2316QDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2316QDGKRQ1	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA316QDBVRQ1	SOT-23	DBV	5	3000	178.0	9.0	3.3	3.2	1.4	4.0	8.0	Q3
OPA316QDBVRQ1	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA316QDBVTQ1	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA316QDBVTQ1	SOT-23	DBV	5	250	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
OPA4316QPWRQ1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2316QDGKRQ1	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA2316QDGKRQ1	VSSOP	DGK	8	2500	366.0	364.0	50.0
OPA316QDBVRQ1	SOT-23	DBV	5	3000	180.0	180.0	18.0
OPA316QDBVRQ1	SOT-23	DBV	5	3000	210.0	185.0	35.0
OPA316QDBVTQ1	SOT-23	DBV	5	250	210.0	185.0	35.0
OPA316QDBVTQ1	SOT-23	DBV	5	250	180.0	180.0	18.0
OPA4316QPWRQ1	TSSOP	PW	14	2000	353.0	353.0	32.0

TUBE


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
OPA2316QDGKQ1	DGK	VSSOP	8	80	330	6.55	500	2.88
OPA2316QDGKQ1.B	DGK	VSSOP	8	80	330	6.55	500	2.88

EXAMPLE BOARD LAYOUT

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0005A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



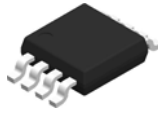
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

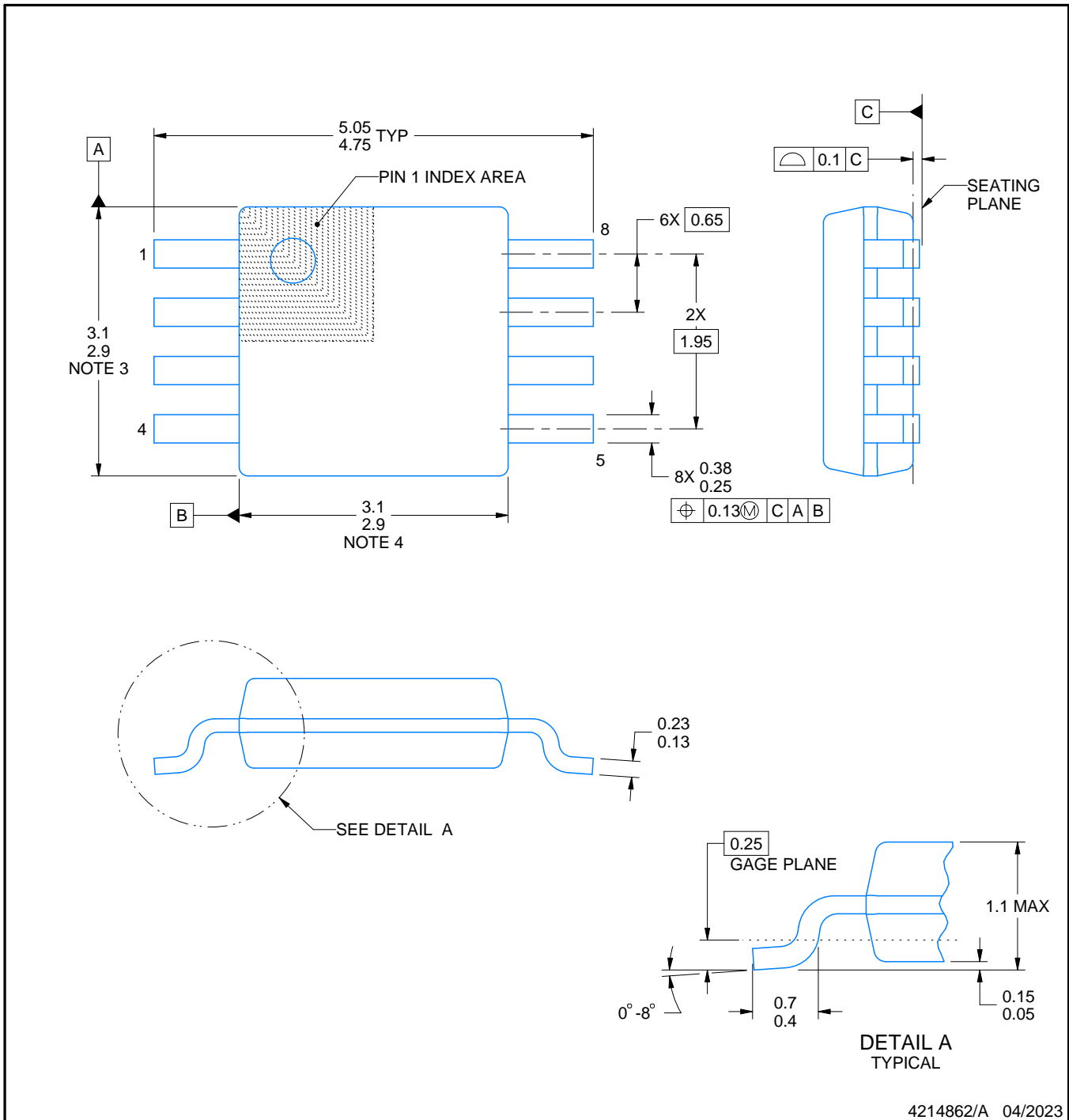
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

DGK0008A



PACKAGE OUTLINE
VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4214862/A 04/2023

NOTES:

PowerPAD is a trademark of Texas Instruments.

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.



4220202/B 12/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月