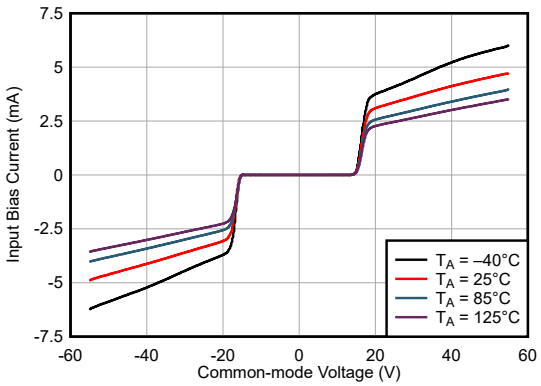
OPAx206 具有输入过压保护功能的 4μV、0.08μV/°C 低功耗超 β e-trim™ 运算放大器

1 特性

- 集成了高达 ±40V（超过电源电压范围）的输入过压保护
- e-trim™ 运算放大器性能
  - 低失调电压：25μV（最大值）
  - 低失调电压漂移：±0.5μV/°C（最大值）
- 超 β 输入
  - 输入偏置电流：500 pA（最大值）
  - 输入电流噪声：110fA/√Hz
- 低噪声
  - 0.1Hz 至 10Hz：0.2μV_{PP}
  - 电压噪声：8nV/√Hz
- A_{OL}、CMRR 和 PSRR：> 124dB（在整个温度范围内）
- 增益带宽积：3.6MHz
- 低静态电流：240μA（最大值）
- 压摆率：4V/μs
- 过载功率限制器
- 轨到轨输出
- EMI 和 RFI 已滤除的输入
- 宽电源电压范围：4.5V 至 36V
- 温度范围：-40°C 至 +125°C

2 应用

- 模拟输入模块
- 混合模块（AI、AO、DI、DO）
- 实验室和现场仪表
- 源测量单元 (SMU)
- 数字万用表 (DMM)
- 火车控制和管理
- 串式逆变器
- 数据采集 (DAQ)



OPAx206 输入过压保护

3 说明

OPA206、OPA2206 和 OPA4206 (OPAx206) 是业界通用 OPAx277 系列的下一代器件，具有输入过压保护的附加特性。这些具有超 β 输入的双极性、e-trim™ 精密运放采用 TI 专有微调技术来实现 ±4μV（典型值）的输入失调电压和 ±0.08μV/°C（典型值）的输入失调电压漂移。当输入信号超出电源电压范围时，将会激活输入过压保护，并提供 40V 保护（超过任一电源电压范围）。借助此特性，无需再使用外部电路即可防止放大器损坏，从而减小了尺寸和成本。

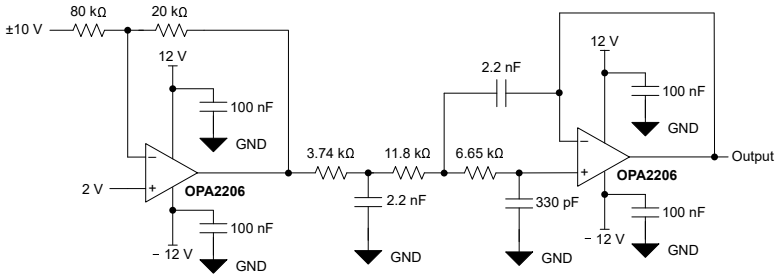
OPAx206 提供在仅 220μA（典型值）电流下 3.6MHz 的速度功率比。这些器件还可在 1kHz 下实现仅 8nV/√Hz 的低电压噪声密度。得益于超 β 输入，OPAx206 具有 100pA（典型值）的超低输入偏置电流和 110fA/√Hz 的电流噪声密度。

OPAx206 具有高性能，是高精度和低功耗系统的理想选择，例如可编程逻辑控制器中的高密度模拟输入模块、现场和便携式仪表系统以及源测量单元。OPA205 和 OPA2205 是使用相同运放内核、无输入保护、具有低宽带噪声 (7.2nV/√Hz) 的相关器件。

器件信息

器件型号	通道	封装(1)
OPA206	单通道	D（SOIC，8）
OPA2206	双通道	D（SOIC，8）
		DGK（VSSOP，8）
OPA4206	四通道	D（SOIC，14）
		PW（TSSOP，14）

(1) 有关更多信息，请参阅 节 11。



OPAx206 典型应用

本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 5
5.1 绝对最大额定值 5
5.2 ESD 等级 5
5.3 建议运行条件 5
5.4 热性能信息：OPA206 6
5.5 热性能信息：OPA2206 6
5.6 热性能信息：OPA4206 6
5.7 电气特性：V_S = ±5V 7
5.8 电气特性：V_S = ±15V 9
5.9 典型特性 11
6 参数测量信息 20
6.1 典型规格与分布 20
7 详细说明 21
7.1 概述 21
7.2 功能方框图 21
7.3 特性说明 22
7.4 器件功能模式 24
8 应用和实现 25
8.1 应用信息 25
8.2 典型应用 25
8.3 电源相关建议 28
8.4 布局 28
9 器件和文档支持 30
9.1 器件支持 30
9.2 文档支持 30
9.3 接收文档更新通知 30
9.4 支持资源 30
9.5 商标 30
9.6 静电放电警告 30
9.7 术语表 30
10 修订历史记录 30
11 机械、封装和可订购信息 31

Copyright © 2024 Texas Instruments Incorporated

4 引脚配置和功能

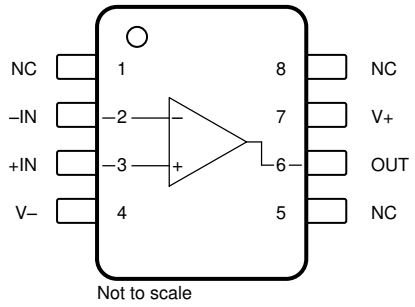


图 4-1. OPA206：D 封装，8 引脚 SOIC（顶视图）

表 4-1. 引脚功能：OPA206

引脚		类型	说明
名称	编号		
+IN	3	输入	同相输入
–IN	2	输入	反相输入
NC	1、5、8	—	未进行内部电路连接（可以悬空）
OUT	6	输出	输出
V+	7	电源	正电源（最高）
V–	4	电源	负电源（最低）

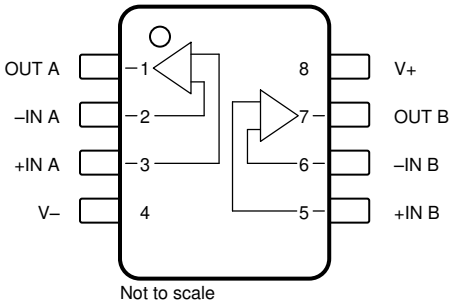


图 4-2. OPA2206：D 封装，8 引脚 SOIC 和 DGK 封装，8 引脚 VSSOP（顶视图）

表 4-2. 引脚功能：OPA2206

引脚		类型	说明
名称	编号		
+IN A	3	输入	同相输入，通道 A
–IN A	2	输入	反相输入，通道 A
+IN B	5	输入	同相输入，通道 B
–IN B	6	输入	反相输入，通道 B
OUT A	1	输出	输出，通道 A
OUT B	7	输出	输出，通道 B
V+	8	电源	正电源（最高）
V–	4	电源	负电源（最低）

Copyright © 2024 Texas Instruments Incorporated

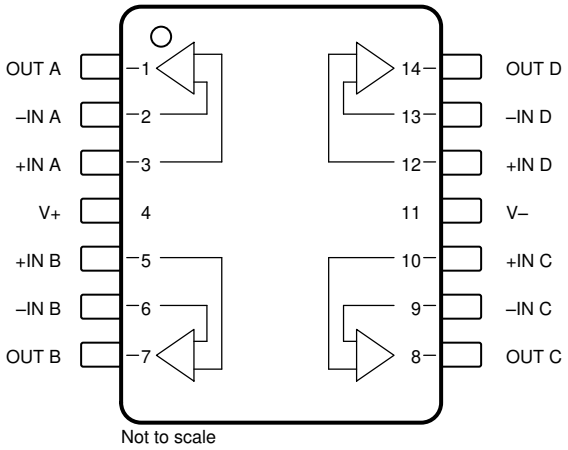


图 4-3. OPA4206：D 封装，14 引脚 SOIC 和 PW 封装，14 引脚 TSSOP（顶视图）

表 4-3. 引脚功能：OPA4206

引脚		类型	说明
名称	编号		
+IN A	3	输入	同相输入，通道 A
+IN B	5	输入	同相输入，通道 B
+IN C	10	输入	同相输入，通道 C
+IN D	12	输入	同相输入，通道 D
–IN A	2	输入	反相输入，通道 A
–IN B	6	输入	反相输入，通道 B
–IN C	9	输入	反相输入，通道 C
–IN D	13	输入	反相输入，通道 D
OUT A	1	输出	输出，通道 A
OUT B	7	输出	输出，通道 B
OUT C	8	输出	输出，通道 C
OUT D	14	输出	输出，通道 D
V+	4	电源	正电源（最高）
V–	11	电源	负电源（最低）

Copyright © 2024 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_S	电源电压，V_S = (V+) – (V–)	单电源		40	V
		双通道电源		±20	
	信号输入引脚电压		(V–) – 40	(V+) + 40	V
	输出短路(2)		持续		
T_A	工作温度		-40	150	°C
T_J	结温			150	°C
T_{STG}	存储温度，T_{stg}		-65	150	°C

(1) 超出绝对最大额定值运行可能会对器件造成损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能，并缩短器件寿命。
(2) 接地短路，每个封装对应一个放大器。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 JANSI/ESDA/JEDEC JS-002 标准(2)	±1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
V_S	电源电压，V_S = (V+) – (V–)	单电源	4.5		36	V
		双通道电源	±2.25		±18	
T_A	工作温度		-40		125	°C

Copyright © 2024 Texas Instruments Incorporated

5.4 热性能信息：OPA206

热指标(1)		OPA206	单位
		D (SOIC)	
		8 引脚	
$R_{\theta JA}$	结至环境热阻	129.6	℃/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	69.9	℃/W
$R_{\theta JB}$	结至电路板热阻	73.0	℃/W
ψ_{JT}	结至顶部的特征参数	21.2	℃/W
ψ_{JB}	结至电路板特征参数	72.2	℃/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	℃/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

5.5 热性能信息：OPA2206

热指标(1)		OPA2206		单位
		D (SOIC)	DGK (VSSOP)	
		8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	124.8	175.6	℃/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	64.9	63.1	℃/W
$R_{\theta JB}$	结至电路板热阻	68.1	97.2	℃/W
ψ_{JT}	结至顶部特征参数	17.1	7.8	℃/W
ψ_{JB}	结至电路板特征参数	67.4	95.5	℃/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	℃/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

5.6 热性能信息：OPA4206

热指标(1)		OPA4206		单位
		D (SOIC)	PW (TSSOP)	
		14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	71.5	96.5	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	28.9	25.7	°C/W
$R_{\theta JB}$	结至电路板热阻	33.7	54.0	°C/W
ψ_{JT}	结至顶部特征参数	6.3	2.1	°C/W
ψ_{JB}	结至电路板特征参数	33.2	53.2	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

Copyright © 2024 Texas Instruments Incorporated

5.7 电气特性：V_S = ±5V

在 T_A = 25°C，V_{CM} = V_{OUT} = 1/2 Vs，且 R_L = 10kΩ、连接至 V_S/2 的条件下（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
失调电压							
V_{OS}	输入失调电压				±4	±25	µV
		T_A = –40°C 至 +125°C				±55	
dV_{OS}/dT	输入失调电压漂移	T_A = –40°C 至 +125°C			±0.08	±0.5	µV/°C
PSRR	电源抑制比	V_S = ±2.25V 至 ±18V			±0.05	±0.5	µV/V
			T_A = –40°C 至 +125°C			±1	
	通道隔离	f = 直流			130		dB
		f = 100kHz			110		
输入偏置电流							
I_B	输入偏置电流				±0.1	±0.5	nA
		T_A = 0°C 至 85°C				±0.75	
		T_A = –40°C 至 +125°C				±1	
I_{OS}	输入失调电流				±0.1	±0.4	nA
		T_A = 0°C 至 85°C				±0.5	
		T_A = –40°C 至 +125°C				±0.6	
噪声							
	输入电压噪声	f = 0.1Hz 至 10Hz			0.2		$µV_{PP}$
e_n	输入电压噪声密度	f = 10Hz			8.4		nV/√Hz
		f = 100Hz			8.1		
		f = 1kHz			8		
i_n	输入电流噪声	f = 1kHz			110		fA/√Hz
输入电压							
V_{CM}	共模电压			(V–) + 1		(V+) – 1.4	V
CMRR	共模抑制比	(V–) + 1V < V_{CM} < (V+) – 1.4V，T_A = -40°C 至 +125°C		124	140		dB
输入过压							
	输入过压保护	T_A = -40℃ 至 +125℃		(V–) – 40		(V+) + 40	V
	过压保护模式下的输入电流	V_S = 0V，(V–) – 40V < V_{CM} < (V+) + 40V			4.8	10	mA
			T_A = –40℃ 至 +125℃	请参阅典型特性			
输入阻抗							
Z_{ID}	差分				9 || 4.4		MΩ || pF
Z_{ICM}	共模				300 || 4.4		GΩ || pF

Copyright © 2024 Texas Instruments Incorporated

5.7 电气特性：V_S = ±5V （续）

在 T_A = 25°C，V_{CM} = V_{OUT} = 1/2 Vs，且 R_L = 10kΩ、连接至 V_S/2 的条件下（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
开环增益							
A_{OL}	开环电压增益	T_A = -40°C 至 +125°C，(V–) + 200mV < V_O < (V+) – 200mV	R_L = 10kΩ	126	132		dB
			R_L = 2kΩ	126	130		
频率响应							
GBW	增益带宽积				3.6		MHz
SR	压摆率	4V 阶跃，增益 = -1			3.2		V/μs
	相位裕度	R_L= 10kΩ，C_L= 25pF			67		度
t_S	建立时间	精度达到 0.024%（12 位），4V 阶跃，增益 = 1，C_L = 30pF	下降		2.2		μs
			上升		2.8		
	过载恢复时间	增益 = -10			0.3		μs
THD+N	总谐波失真 + 噪声	V_O = 5V_{PP}，增益 = +1，f = 1kHz，R_L = 2kΩ			0.0004		%
输出							
	相对于电源轨的电压输出摆幅	A_{OL} > 126dB	R_L = 10kΩ	(V–) + 0.2		(V+) – 0.2	V
			R_L = 2kΩ	(V–) + 0.2		(V+) – 0.2	
		T_A = -40°C 至 125°C，R_L = 10kΩ		(V–) + 0.2		(V+) – 0.2	
I_{SC}	短路电流				±25		mA
C_{LOAD}	容性负载驱动			请参阅典型特性			
R_O	开环输出阻抗			请参阅典型特性			
电源							
I_Q	每个放大器的静态电流	I_O=0mA			220	240	μA
			T_A = –40°C 至 +125°C			310	

Copyright © 2024 Texas Instruments Incorporated

5.8 电气特性：V_S = ±15V

在 T_A = 25°C，V_{CM} = V_{OUT} = 1/2 Vs，且 R_L = 10kΩ、连接至 V_S/2 的条件下（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
失调电压							
V_{OS}	输入失调电压				±4	±25	µV
		T_A = –40°C 至 +125°C				±55	
dV_{OS}/dT	输入失调电压漂移	T_A = –40°C 至 +125°C			±0.08	±0.5	µV/°C
PSRR	电源抑制比	V_S = ±2.25V 至 ±18V			±0.05	±0.5	µV/V
			T_A = –40°C 至 +125°C			±1	
	通道隔离	f = 直流			130		dB
		f = 100kHz			110		
输入偏置电流							
I_B	输入偏置电流				±0.1	±0.5	nA
		T_A = 0°C 至 85°C				±1	
		T_A = –40°C 至 +125°C				±1.2	
I_{OS}	输入失调电流				±0.1	±0.4	nA
		T_A = 0°C 至 85°C				±0.8	
		T_A = –40°C 至 +125°C				±0.9	
噪声							
	输入电压噪声	f = 0.1Hz 至 10Hz			0.2		μV_{PP}
e_n	输入电压噪声密度	f = 10Hz			8.4		nV/√Hz
		f = 100Hz			8.1		
		f = 1kHz			8		
i_n	输入电流噪声	f = 1kHz			110		fA/√Hz
输入电压							
V_{CM}	共模电压			(V–) + 1		(V+) – 1.4	V
CMRR	共模抑制比	(V–) + 1V < V_{CM} < (V+) – 1.4V		126	140		dB
			T_A = –40°C 至 +125°C	124	140		
输入过压							
	输入过压保护	T_A = -40℃ 至 +125℃		(V–) – 40		(V+) + 40	V
	过压保护模式下的输入电流	V_S = 0V，(V–) – 40V < V_{CM} < (V+) + 40V			4.8	10	mA
			T_A = –40°C 至 +125°C	请参阅典型特性			
输入阻抗							
Z_{ID}	差分				9 || 4.4		MΩ || pF
Z_{ICM}	共模				300 || 4.3		GΩ || pF

Copyright © 2024 Texas Instruments Incorporated

5.8 电气特性：V_S = ±15V（续）

在 T_A = 25°C，V_{CM} = V_{OUT} = 1/2 Vs，且 R_L = 10kΩ、连接至 V_S/2 的条件下（除非另有说明）

参数		测试条件		最小值	典型值	最大值	单位
开环增益							
A_{OL}	开环电压增益	R_L = 10kΩ， (V–) + 200mV < V_O < (V+) – 200mV， T_A = -40°C 至 +125°C		126	132		dB
		R_L = 2kΩ， (V–) + 350mV < V_O < (V+) – 350mV， T_A = -40°C 至 +125°C		126	130		
频率响应							
GBW	增益带宽积	C_L = 30pF			3.6		MHz
SR	压摆率	10V 阶跃，增益 = -1			4		V/μs
	相位裕度	R_L= 10kΩ，C_L= 25pF			67		度
t_S	建立时间	精度达 0.024%（12 位）， 10V 阶跃，增益 = 1， C_L = 30pF	下降		2.8		μs
			上升		4.5		
	过载恢复时间	增益：-10			0.2		μs
THD+N	总谐波失真 + 噪声	V_O = 5V_{PP}，增益 = +1，f = 1kHz，R_L = 2kΩ			0.0004		%
输出							
	相对于电源轨的电压输出摆幅	A_{OL} > 126dB	R_L = 10kΩ	(V–) + 0.2		(V+) + 0.2	V
			R_L = 2kΩ	(V–) + 0.35		(V+) + 0.35	
		T_A = -40°C 至 125°C，R_L = 10kΩ		(V–) + 0.2		(V+) + 0.2	
I_{SC}	短路电流				±25		mA
C_{LOAD}	容性负载驱动				请参阅典型特性		
R_O	开环输出阻抗				请参阅典型特性		
电源							
I_Q	每个放大器的静态电流	I_O=0mA			220	240	μA
			T_A = –40°C 至 +125°C			310	

Copyright © 2024 Texas Instruments Incorporated

5.9 典型特性

T_A = 25°C，V_S = ±15V，V_{CM} = V_{OUT} = 1/2 Vs，R_L = 10kΩ（除非另有说明）

表 5-1. 图形表

说明	图表
25°C 下失调电压产生分布	图 5-1
125°C 下失调电压分布	图 5-2
-40°C 下失调电压分布	图 5-3
失调电压与温度间的关系	图 5-4
失调电压温漂产生分布	图 5-5
失调电压与输出电压间的关系	图 5-6
失调电压与电源电压间的关系	图 5-7
电源抑制比与温度间的关系	图 5-8
电源和共模抑制比与频率间的关系	图 5-9
共模抑制比与温度间的关系	图 5-10
失调电压与共模电压间的关系	图 5-11
在低电源电压下失调电压与 V_{CM} 间的关系	图 5-12
在高电源电压下失调电压与 V_{CM} 间的关系	图 5-13
开环增益和相位与频率间的关系	图 5-14
开环增益与电源距离间的关系	图 5-15
开环增益与温度间的关系	图 5-16
闭环增益与频率间的关系	图 5-17
输入偏置产生分布	图 5-18
输入偏置与共模电压间的关系	图 5-19
输入偏置和输入失调电流与温度间的关系	图 5-20
输入偏置与过压保护共模范围间的关系	图 5-21
输入失调电流产生分布	图 5-22
电压噪声密度与频率间的关系	图 5-23
0.1Hz 至 10Hz 噪声	图 5-24
总谐波失真 + 信噪比与频率间的关系	图 5-25
总谐波失真 + 信噪比与输出振幅间的关系	图 5-26
电流噪声与频率间的关系	图 5-27
最大输出电压与频率间的关系	图 5-28
输出电压摆幅与输出拉电流间的关系	图 5-29
输出电压摆幅与输出灌电流间的关系	图 5-30
开环输出阻抗与频率间的关系	图 5-31
无相位反转	图 5-32
小信号过冲与容性负载间的关系，增益 = 1	图 5-33
小信号过冲与电容负载间的关系，增益 = -1	图 5-34
相位裕度与容性负载间的关系	图 5-35
正过载恢复，增益 = –1	图 5-36
负过载恢复，增益 = –1	图 5-37
稳定时间	图 5-38
小信号阶跃响应，增益 = 1	图 5-39
小信号阶跃响应，增益 = -1	图 5-40
大信号阶跃响应，增益 = 1	图 5-41
大信号阶跃响应，增益 = -1	图 5-42
短路电流与温度间的关系	图 5-43
电磁干扰抑制 (EMIRR)	图 5-44
静态电流与电源电压间的关系	图 5-45
静态电流与温度间的关系	图 5-46

Copyright © 2024 Texas Instruments Incorporated

5.9 典型特性（续）

T_A = 25°C，V_S = ±15V，V_{CM} = V_{OUT} = 1/2 Vs，R_L = 10kΩ（除非另有说明）

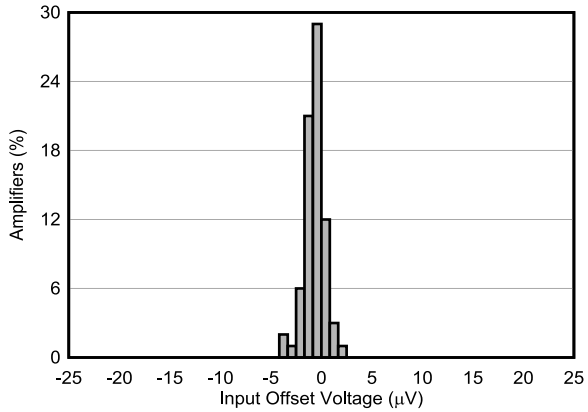


图 5-1. 失调电压生产分配

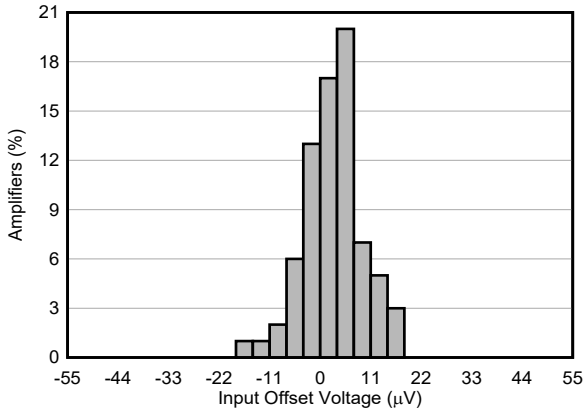


图 5-2. 失调电压分布图

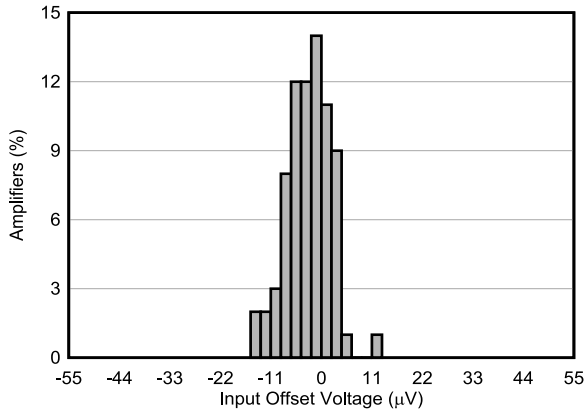


图 5-3. 失调电压分布图

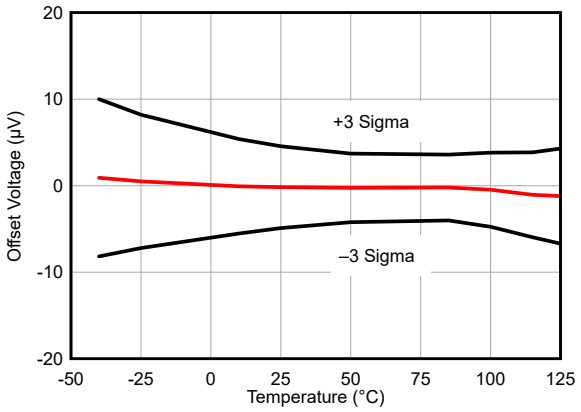


图 5-4. 失调电压与温度间的关系

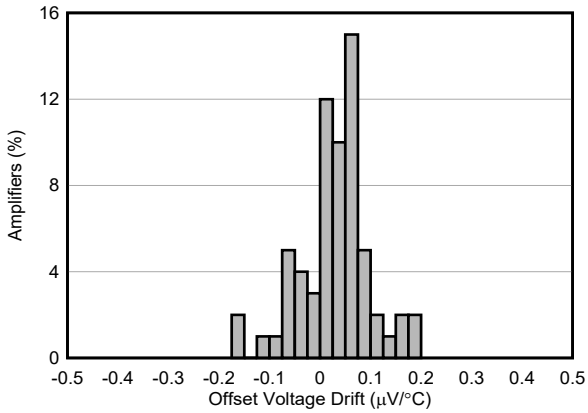


图 5-5. 失调电压温漂产生分布

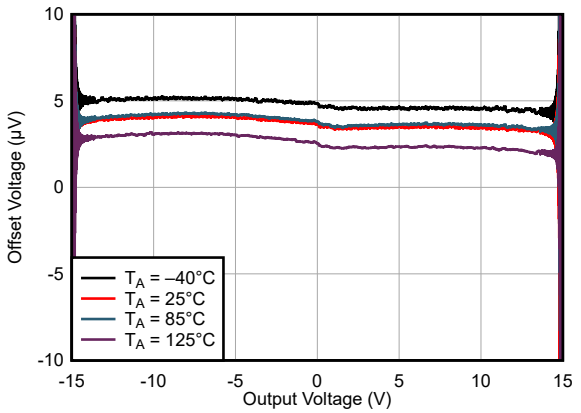


图 5-6. 失调电压与输出电压间的关系

Copyright © 2024 Texas Instruments Incorporated

5.9 典型特性（续）

T_A = 25°C，V_S = ±15V，V_{CM} = V_{OUT} = 1/2 Vs，R_L = 10kΩ（除非另有说明）

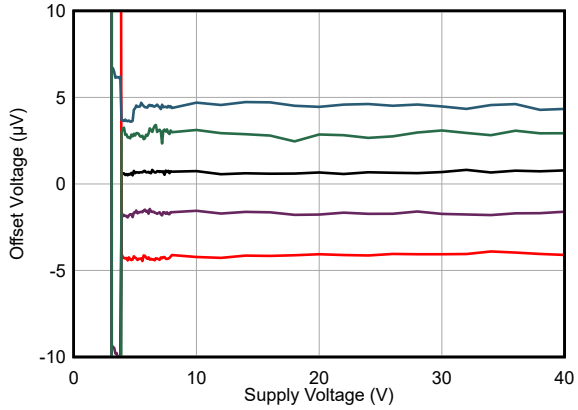


图 5-7. 失调电压与电源电压间的关系

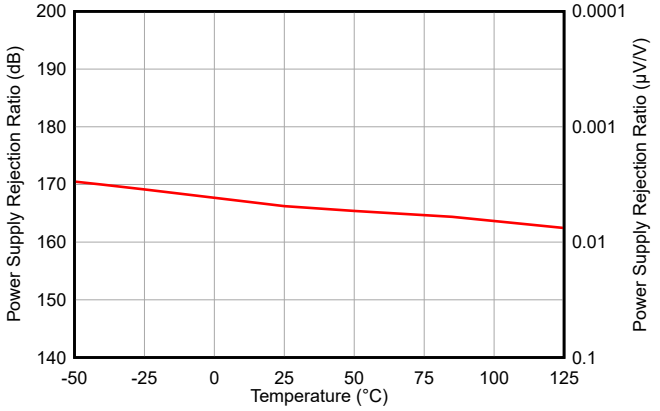


图 5-8. 电源抑制比与温度间的关系

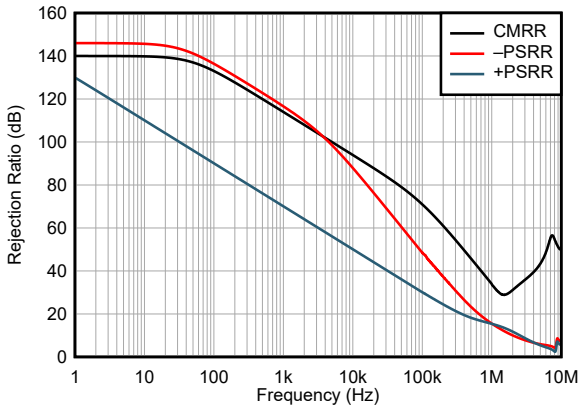


图 5-9. 电源和共模抑制比与频率间的关系

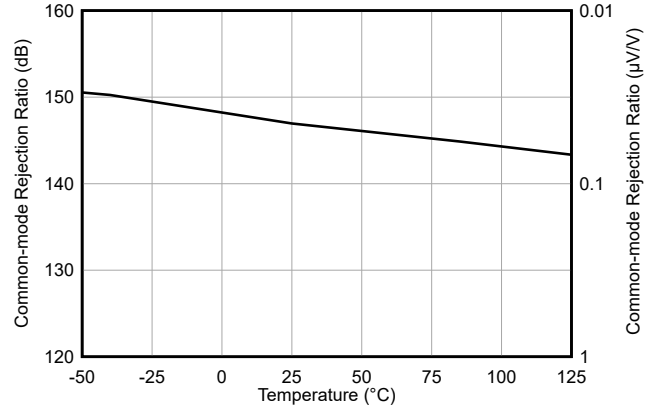


图 5-10. 共模抑制比与温度间的关系

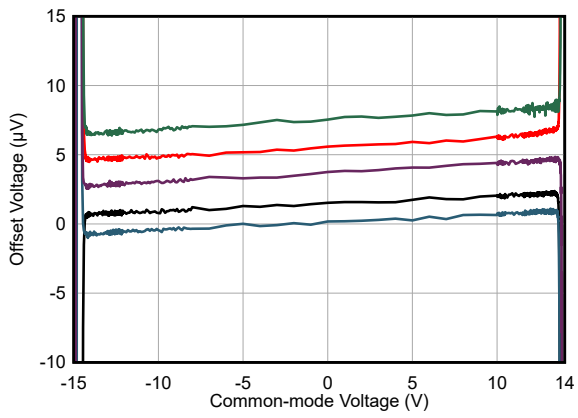


图 5-11. 失调电压与共模电压间的关系

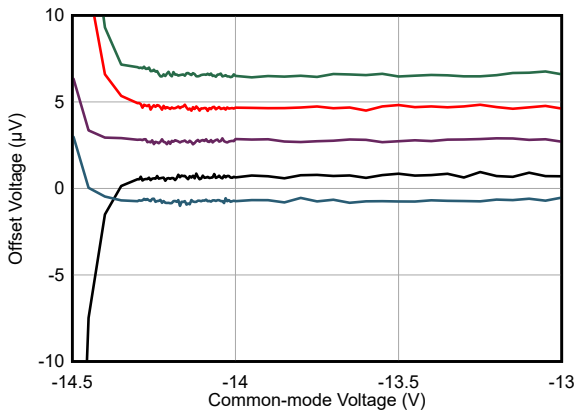


图 5-12. 在低电源电压下失调电压与 V_{CM} 间的关系

Copyright © 2024 Texas Instruments Incorporated

5.9 典型特性（续）

T_A = 25°C，V_S = ±15V，V_{CM} = V_{OUT} = 1/2 Vs，R_L = 10kΩ（除非另有说明）

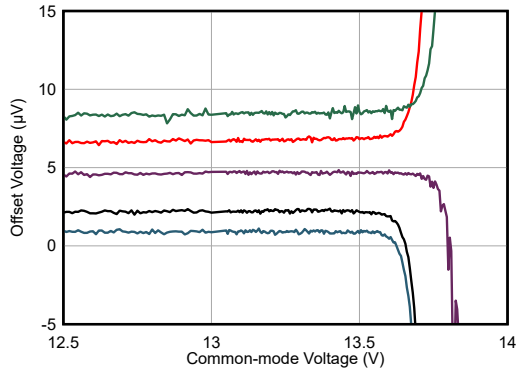


图 5-13. 在高电源电压下失调电压与 V_{CM} 间的关系

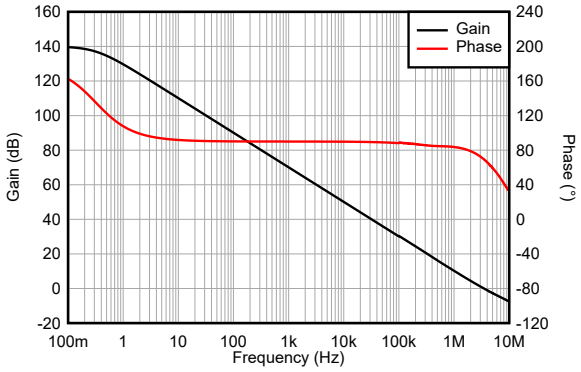


图 5-14. 开环增益和相位与频率间的关系

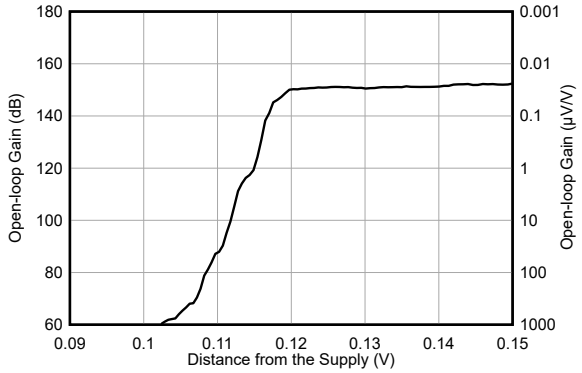


图 5-15. 开环增益与电源距离间的关系

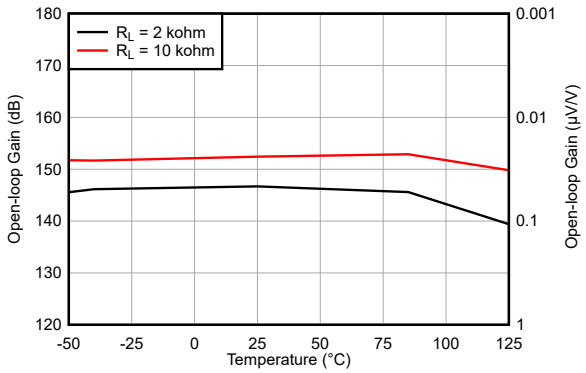


图 5-16. 开环增益与温度间的关系

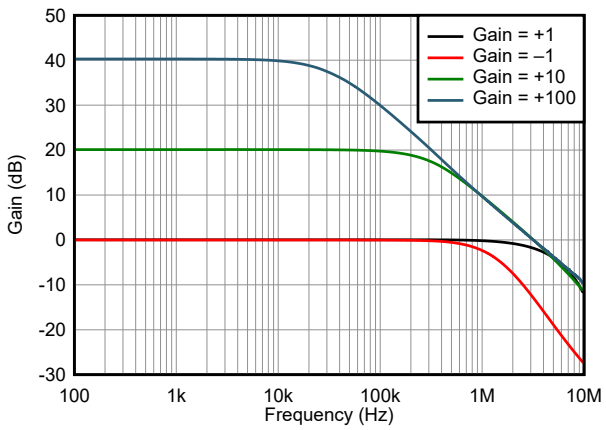


图 5-17. 闭环增益与频率间的关系

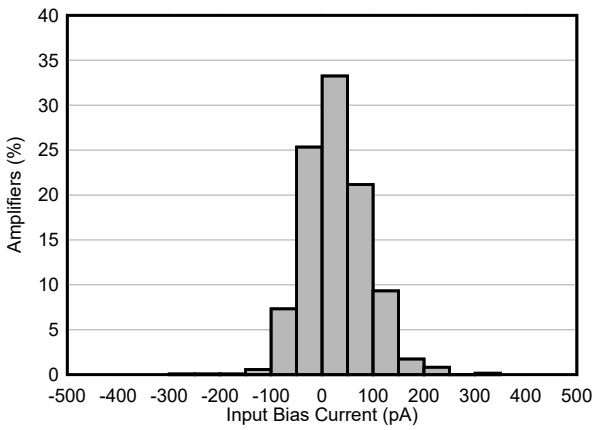


图 5-18. 输入偏置产生分布

Copyright © 2024 Texas Instruments Incorporated

5.9 典型特性（续）

T_A = 25°C，V_S = ±15V，V_{CM} = V_{OUT} = 1/2 Vs，R_L = 10kΩ（除非另有说明）

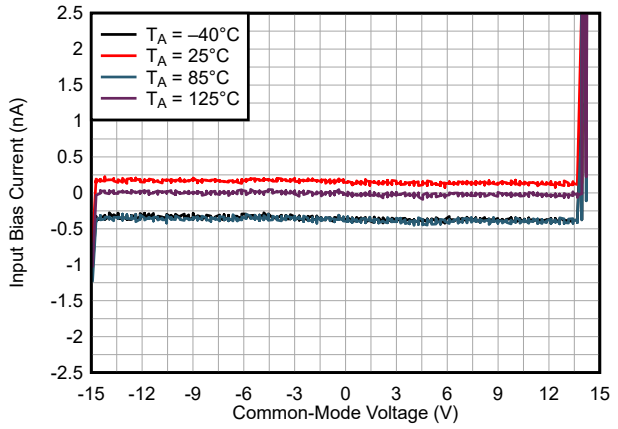


图 5-19. 输入偏置与共模电压间的关系

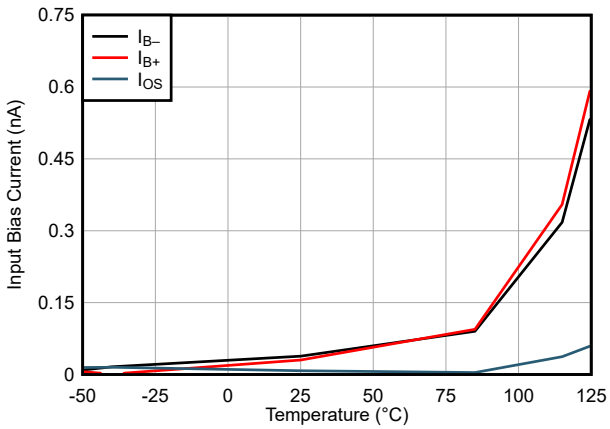


图 5-20. 输入偏置和输入失调电流与温度间的关系

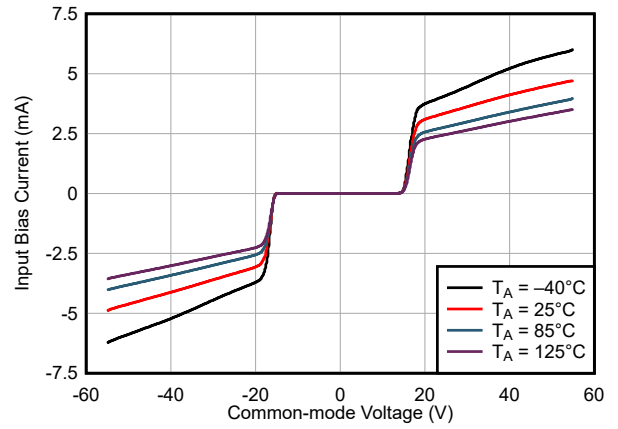


图 5-21. 输入偏置与过压保护共模范围间的关系

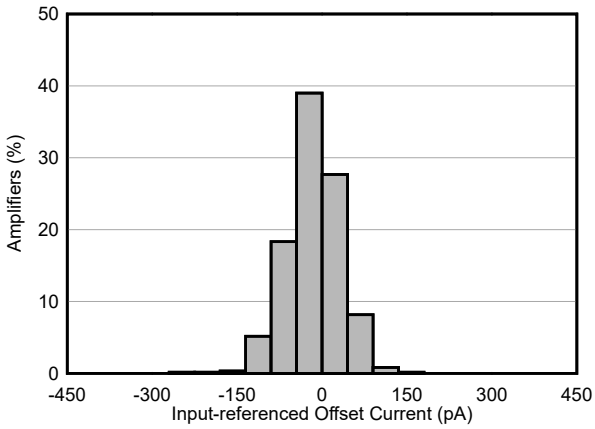


图 5-22. 输入失调电流产生分布

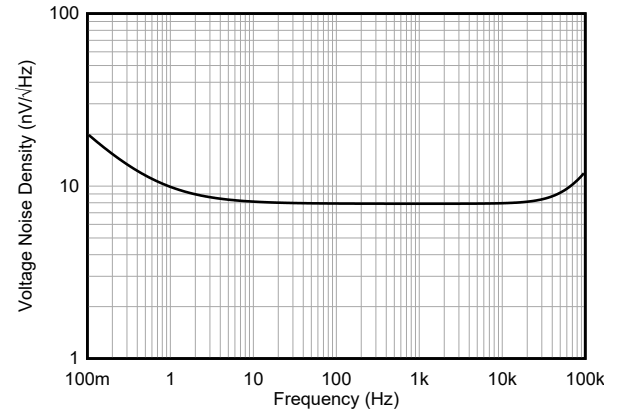


图 5-23. 电压噪声密度与频率间的关系

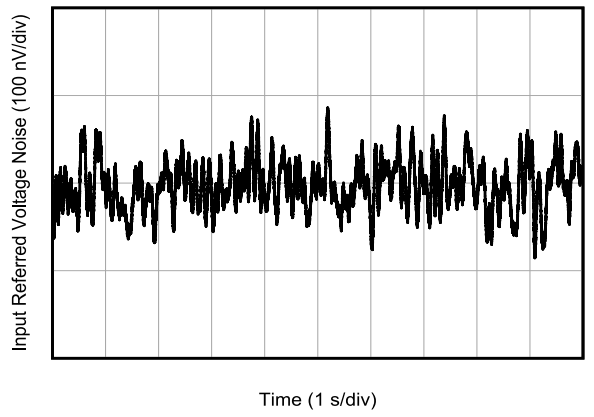


图 5-24. 0.1Hz 至 10Hz 噪声

Copyright © 2024 Texas Instruments Incorporated

5.9 典型特性（续）

T_A = 25°C，V_S = ±15V，V_{CM} = V_{OUT} = 1/2 Vs，R_L = 10kΩ（除非另有说明）

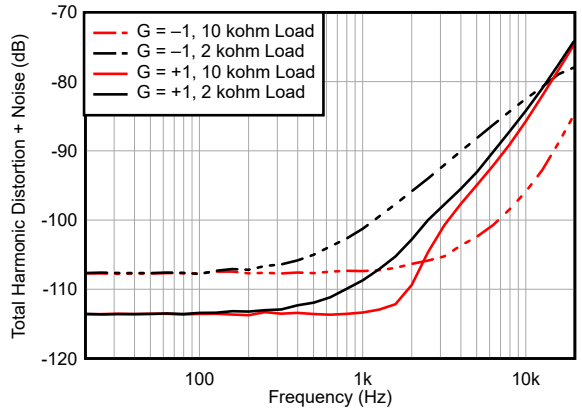


图 5-25. 总谐波失真 + 信噪比与频率间的关系

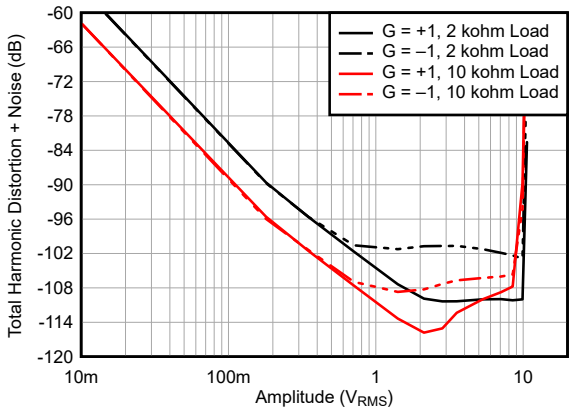


图 5-26. 总谐波失真 + 信噪比与输出振幅间的关系

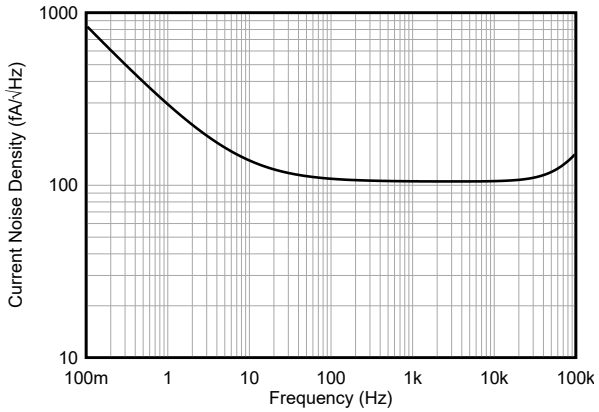


图 5-27. 电流噪声与频率间的关系

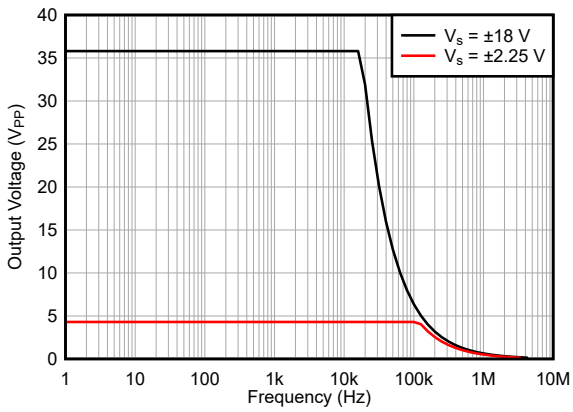


图 5-28. 最大输出电压与频率间的关系

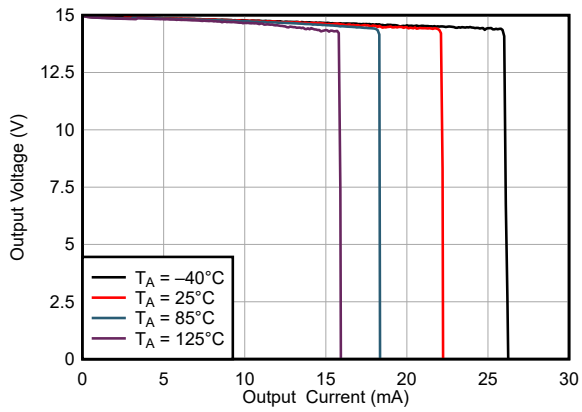


图 5-29. 输出电压摆幅与输出拉电流间的关系

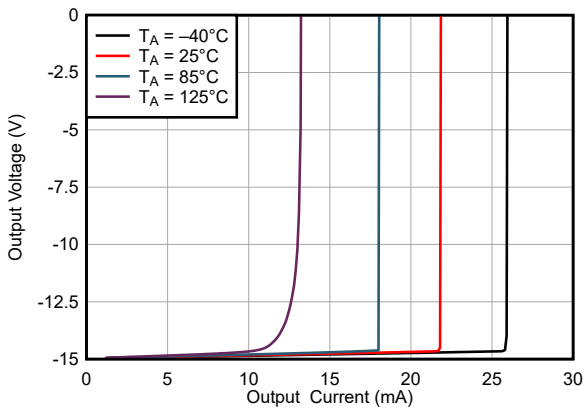


图 5-30. 输出电压摆幅与输出灌电流间的关系

Copyright © 2024 Texas Instruments Incorporated

5.9 典型特性（续）

T_A = 25°C，V_S = ±15V，V_{CM} = V_{OUT} = 1/2 Vs，R_L = 10kΩ（除非另有说明）

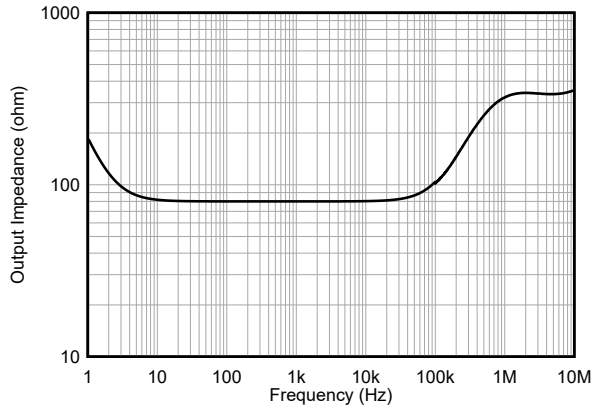


图 5-31. 开环输出阻抗与频率间的关系

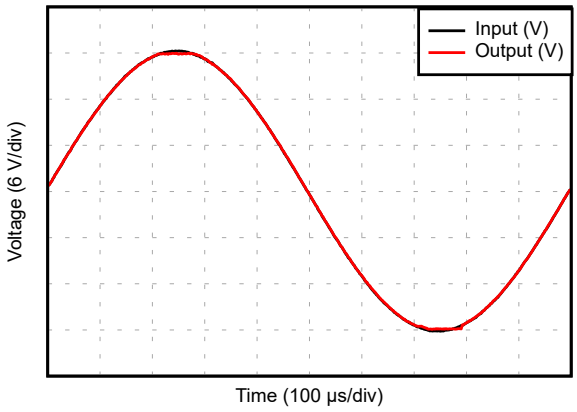
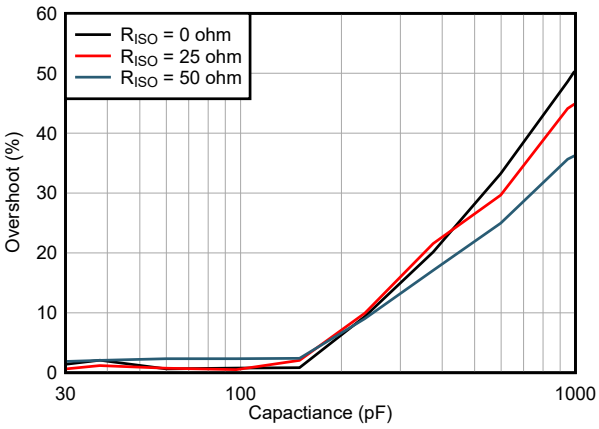
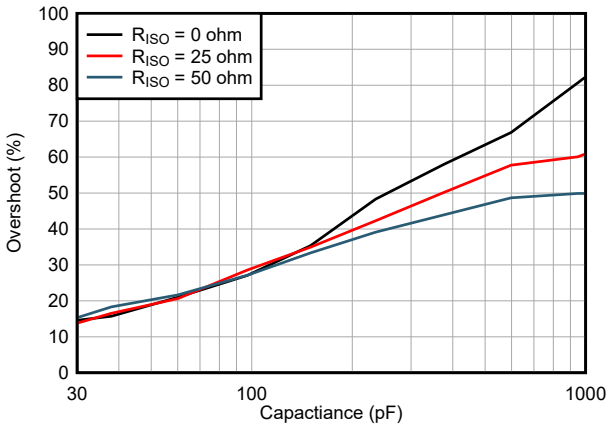


图 5-32. 无相位反转



增益 = 1

图 5-33. 小信号过冲与容性负载间的关系



增益 = -1

图 5-34. 小信号过冲与容性负载间的关系

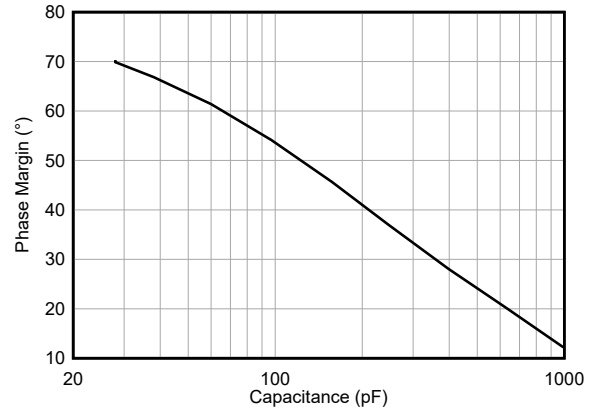
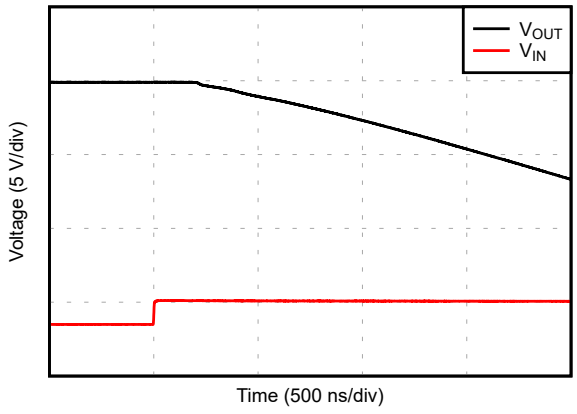


图 5-35. 相位裕度与容性负载间的关系



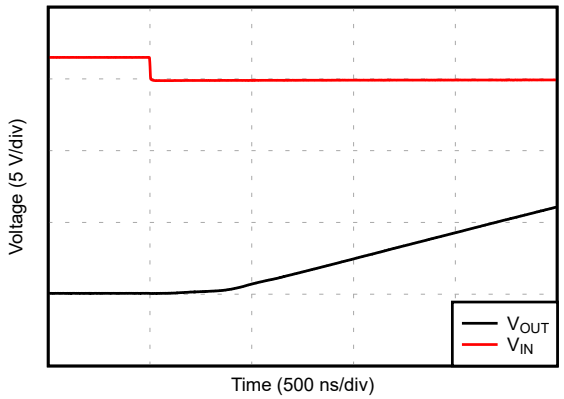
增益 = -1

图 5-36. 正过载恢复

Copyright © 2024 Texas Instruments Incorporated

5.9 典型特性（续）

T_A = 25°C，V_S = ±15V，V_{CM} = V_{OUT} = 1/2 Vs，R_L = 10kΩ（除非另有说明）



增益 = -1

图 5-37. 负过载恢复

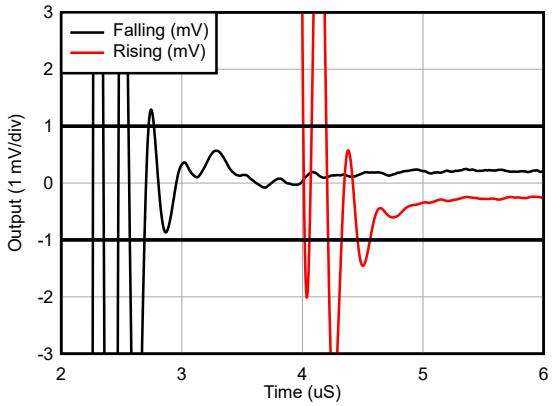
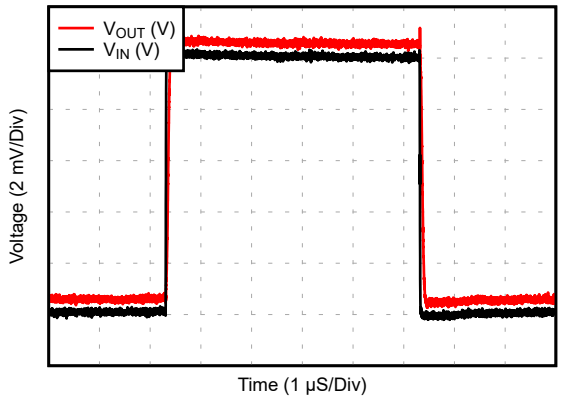
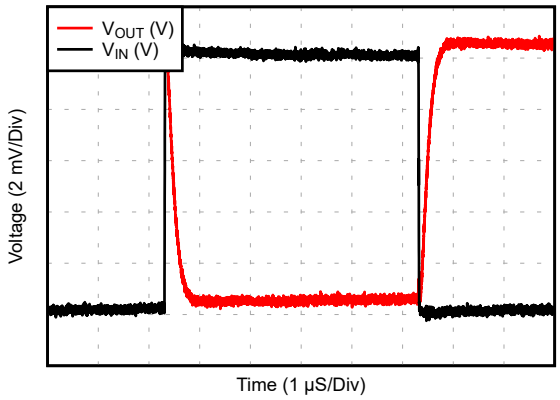


图 5-38. 建立时间



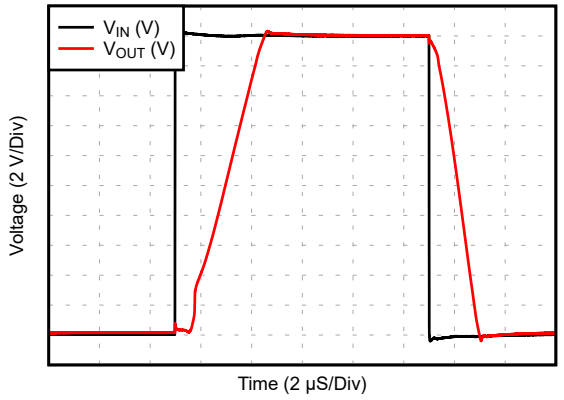
增益 = 1

图 5-39. 小信号阶跃响应



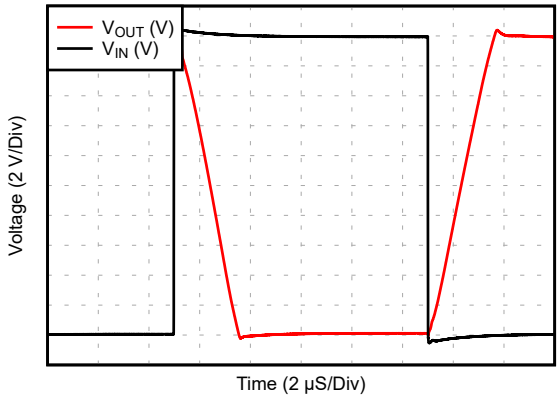
增益 = -1

图 5-40. 小信号阶跃响应



增益 = 1

图 5-41. 大信号阶跃响应



增益 = -1

图 5-42. 大信号阶跃响应

Copyright © 2024 Texas Instruments Incorporated

5.9 典型特性（续）

T_A = 25°C，V_S = ±15V，V_{CM} = V_{OUT} = 1/2 Vs，R_L = 10kΩ（除非另有说明）

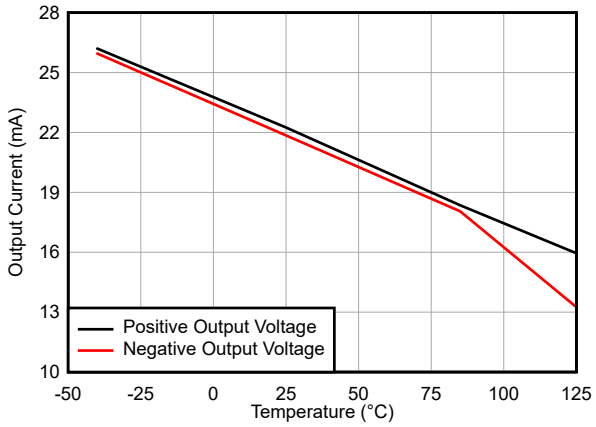


图 5-43. 短路电流与温度间的关系

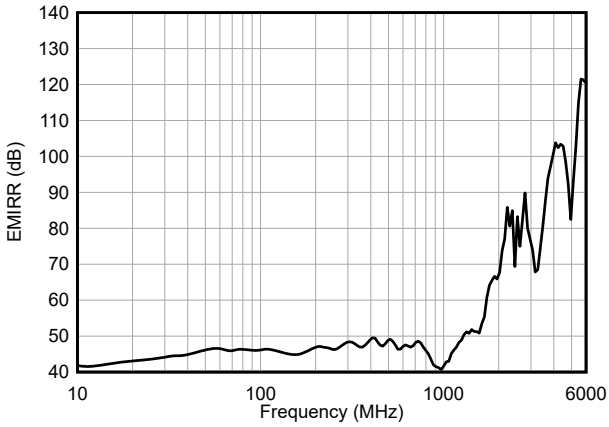


图 5-44. 电磁干扰抑制 (EMIRR)

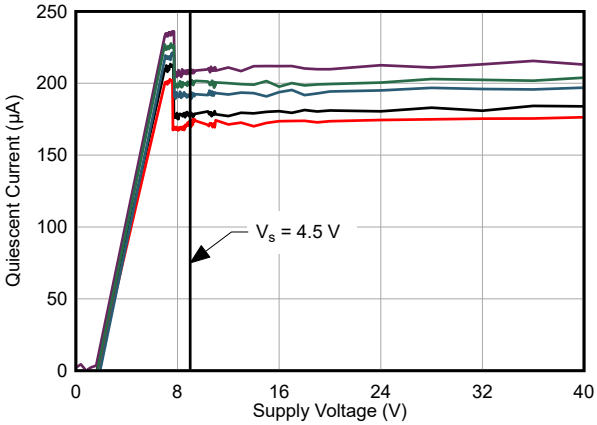


图 5-45. 静态电流与电源电压间的关系

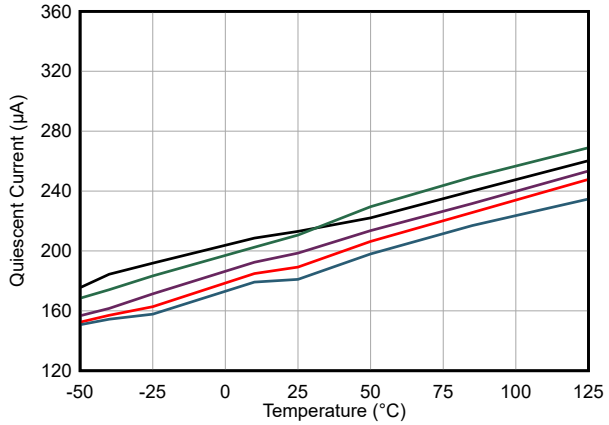


图 5-46. 静态电流与温度间的关系

Copyright © 2024 Texas Instruments Incorporated

6 参数测量信息

6.1 典型规格与分布

设计人员经常会对放大器的典型规格提出质疑，以便设计出更稳健的电路。由于工艺技术和制造过程的自然差异，放大器的每个规格都与理想值有一定程度的偏差，例如放大器的输入偏置电流。这些偏差通常遵循*高斯*（钟形曲线）或*正态*分布。即使当*电气特性*中没有最小值或最大值规格时，电路设计人员也可以利用此信息在其系统中留出裕量。

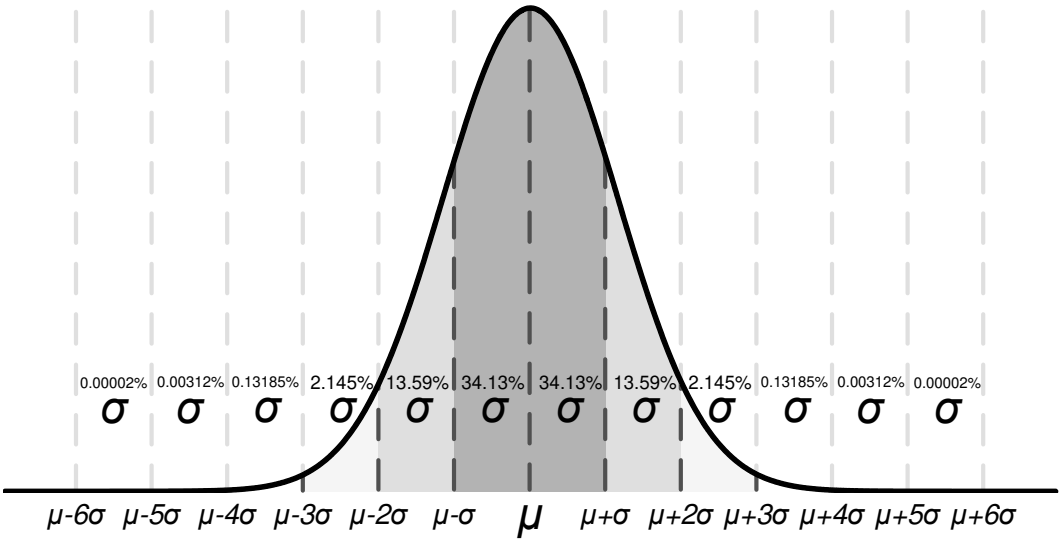


图 6-1. 理想的高斯分布

图 6-1 显示了一个示例分布，其中 *μ* 是分布的平均值，*σ* 或 *sigma* 是系统的标准偏差。对于表现出这种分布的规格，可以预期所有器件中大约三分之二 (68.26%) 器件的值落在平均值的标准差或 sigma 内（从 *μ* – *σ* 到 *μ* + *σ*）。

鉴于规格不同，*电气特性*的*典型值*列中列出的值以不同的方式表示。一般来说，如果一个规格的平均值本身不为零（例如，增益带宽），那么典型值等于平均值 (μ)。但是，如果一个规格的平均值本身接近零（例如，输入偏置电流），则典型值等于平均值加一个标准差 (μ + σ)，从而更加准确地表示典型值。

使用此图表来计算某器件中某一规格的近似概率。例如，OPAx206 典型的输入偏置电流为 ±0.1nA；因此，预计所有器件中有 68.2% 的器件的输入偏置电流为 ±0.1nA。在 4 *σ* 下，99.9937% 的分布具有小于 ±0.28nA 的输入偏置电流，这意味着 0.0063% 的器件超出这些限制，相当于 15,873 个器件中有 1 个器件。

从生产材料中移除超过任何测试的最小或最大规格的装置。例如，在 25°C 下，OPAx206 的最大输入偏置为 ±0.4nA。虽然该值对应于大约 6 σ（大概 5 亿个器件中有 1 个），但 TI 还是从生产材料中去除了任何输入偏置较大的器件。

对于在最小值或最大值列中没有值的规格，请考虑选择可为您的应用提供足够保护带的 sigma 值，并使用此值进行最坏情况下的设计。仅使用此信息来估算器件的性能。

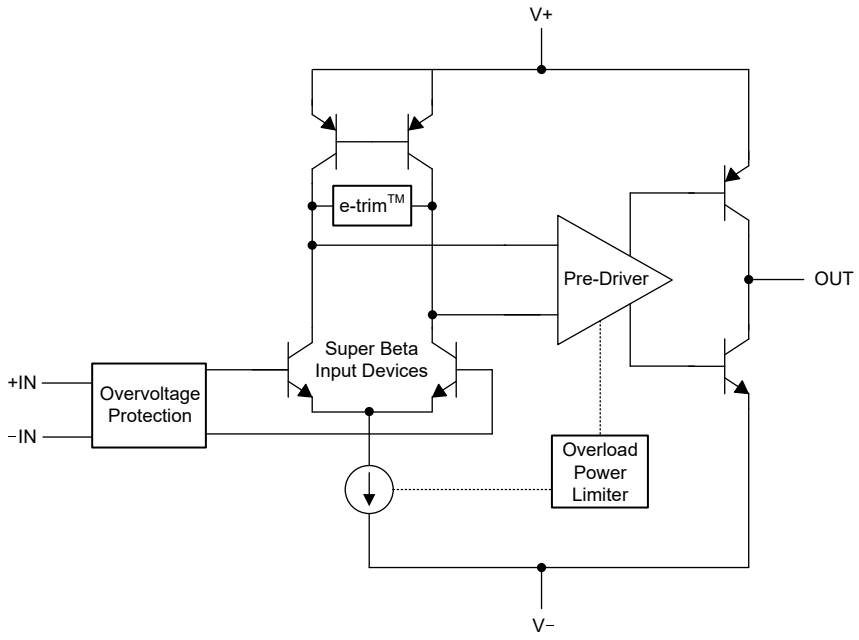
Copyright © 2024 Texas Instruments Incorporated

7 详细说明

7.1 概述

OPAx206 是先进的 36V、双极、e-trim 运算放大器。这些器件使用封装级微调技术，以最大限度地降低制造过程中引入的失调电压和失调电压漂移。在器件组装后执行此类微调，可消除在整个制造过程中引入的任何失调电压误差，之后禁用微调通信。该器件具有超 β 输入，可降低输入偏置电流和输入电流噪声。这些器件还具有输入过压保护功能，可在输入电压比任一电源导轨高出多达 ±40V 时保护器件。

7.2 功能方框图



7.3 特性说明

7.3.1 输入过压保护

在超出任一电源高达 ±40V 的电压下，OPAx206 的输入会受到单独保护。例如，使用 ±15V 电源供电时，–55V 和 +55V 之间的共模电压都不会造成损坏。每个输入端的内部电路在正常信号条件下提供低串联阻抗，从而在正常工作条件下保持高性能。如果输入过载，则保护电路将输入电流限制为大约 4.8mA 的值。

在输入过压条件下，电流通过输入保护二极管流入电源，如图 7-1 所示。如果电源无法灌入电流，则必须在电源上设置齐纳二极管钳位（ZD1 和 ZD2），从而提供接地的电流路径。图 7-2 显示了在过压情况下，输入的输入偏置电流会增加。

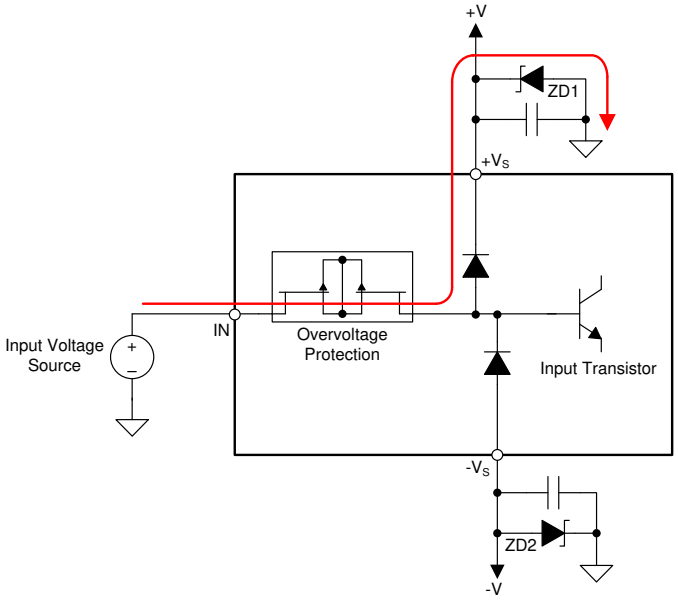


图 7-1. OPAx206 输入过压电流路径

图 7-2 展示了当 OPAx206 由 ±15V 电源供电时，在 –55V 至 +55V 输入电压范围下的输入电流。

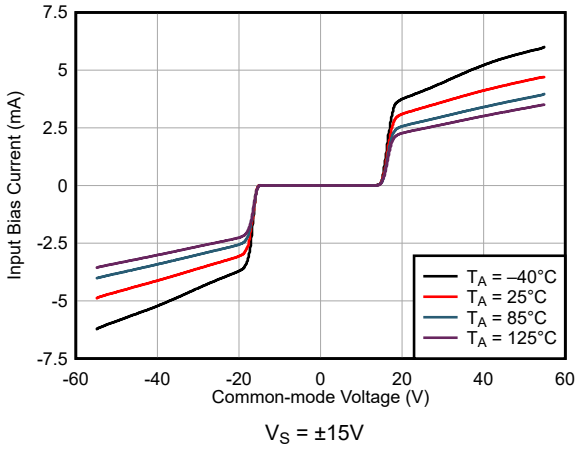


图 7-2. OPAx206 输入电流与输入电压 (V_S = ±15V) 间的关系

Copyright © 2024 Texas Instruments Incorporated

7.3.2 输入失调微调

OPAx206 是基于双极工艺的先进 e-trim 运算放大器。放大器的输入失调电压是由输入晶体管之间的固有失配来确定。在制造过程中，当器件仍处于裸露硅片形式时，使用激光微调可以更大限度地减少失调电压。但是，当硅片封装后，封装工艺会由于机械应力而引入额外的失调电压。TI 全新的微调工艺用于在封装工艺完成后微调失调电压，从而更大限度地减少固有和封装引起的失调电压。微调后，禁用通信以确保放大器在最终系统中正常工作。

查看图 7-3 和图 7-4，比较业界常见的激光微调 OPA2277 放大器和采用专有微调技术的 OPAx206 放大器在量产中产生失调电压的情况。

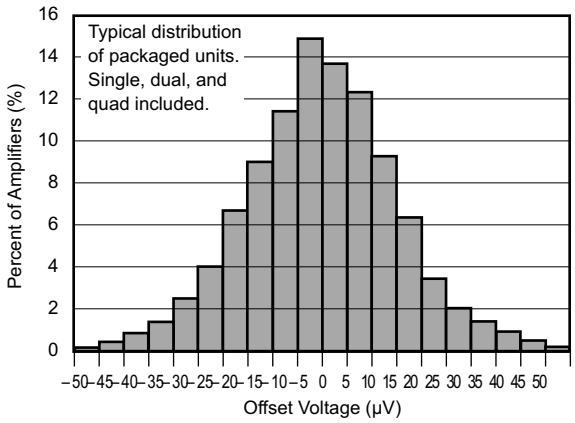


图 7-3. OPA2277 激光微调运算放大器失调电压

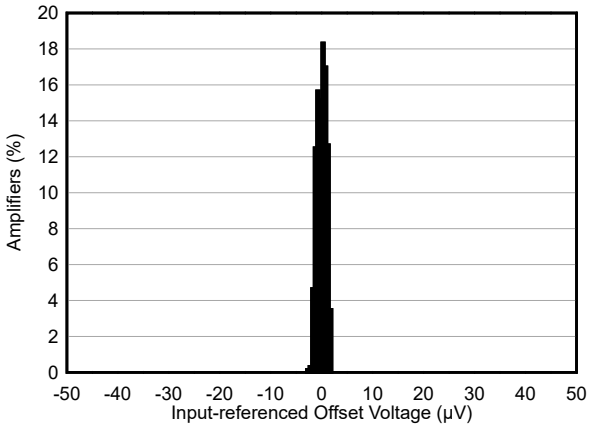


图 7-4. OPAx206 e-trim™ 运算放大器失调电压

OPAx206 还具有出色的输入失调电压温漂。图 7-5 显示了温漂的最终性能。

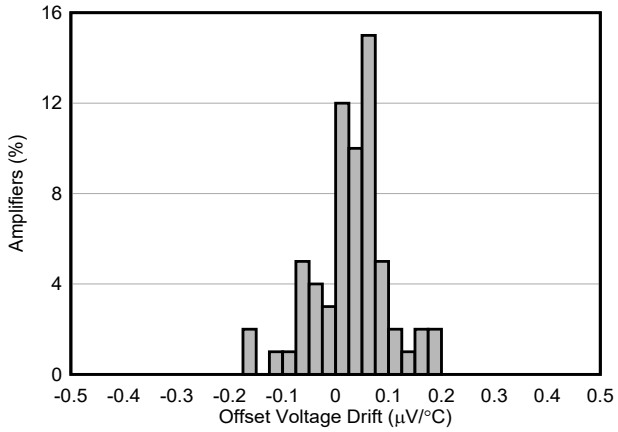


图 7-5. OPAx206 e-trim™ 运算放大器漂移

Copyright © 2024 Texas Instruments Incorporated

7.3.3 使用超 β 输入降低输入偏置

OPAx206 具有超 β 输入晶体管架构。在晶体管中，β 值是流入基极的电流与从集电极流向发射极的电流之间的比率。超 β 晶体管是 β 值从几百增加到数千不等的晶体管。在双极性放大器中，输入偏置电流是流入输入晶体管对的基极的电流，以及流经 ESD 二极管的最低漏电流。超 β 输入减小了放大器的输入偏置电流。此外，超 β 输入降低了与器件的输入偏置电流直接相关的输入电流噪声。如需比较 OPA2277 的输入偏置电流与 OPAx206 的超 β 输入偏置电流，可参阅图 7-6 和图 7-7。

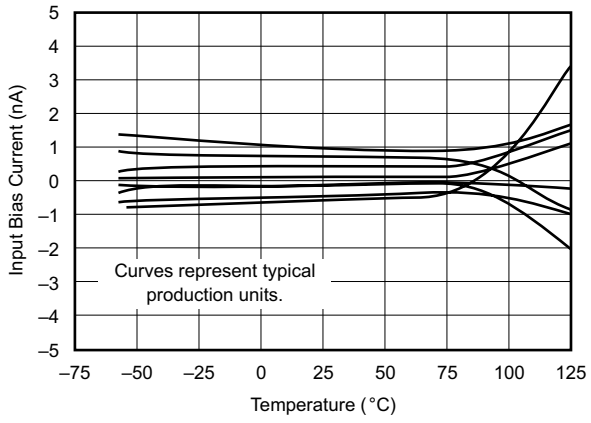


图 7-6. OPA2277 输入偏置电流

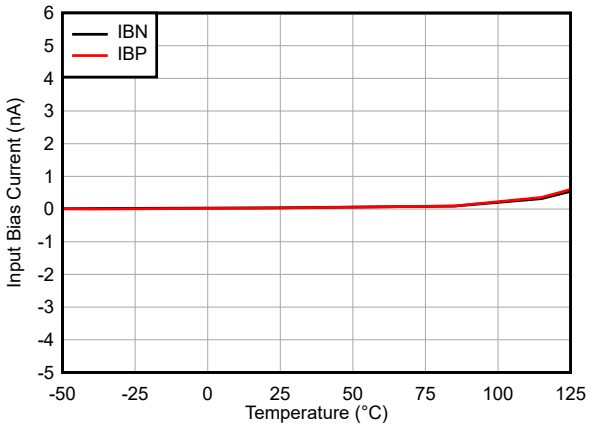


图 7-7. OPAx206 超 β 输入偏置电流

7.3.4 过载功率限制器

在许多双极性放大器中，如果输出电压被削波（意味着输出电压受到负或正电源电压的限制），放大器的输出级会产生相当大（几毫安）的静态电流。这种情况会导致系统进入高功耗状态，并可能导致电源和信号链之间出现振荡。OPAx206 具有先进的输出级设计，可以消除这个问题。输出电压达到任一电源电压（V+ 或 V–）时，标称静态电流几乎没有额外的电流消耗。当信号链被较大的外部瞬变电压破坏时，该特性有助于消除任何潜在的系统问题。

7.3.5 EMI 抑制

OPAx206 通过集成电磁干扰 (EMI) 滤波降低无线通信设备、混合使用模拟信号链和数字元件的高密度电路板等干扰源产生的 EMI 效应。通过提高系统性能的电路设计技术，可以提高抗电磁干扰能力。在*运算放大器 EMI 抑制比应用报告* 中可以找到更多信息。

7.4 器件功能模式

OPAx206 有两种功能模式。器件在 4.5V (±2.25V) 至 36V (±18V) 之间的任何电源下进行正常工作，并且输入电压*节 5* 中所示的输入共模电压范围。

如果输入电压超过器件规格，则器件进入过压保护模式。在此模式下，输入过压保护子电路通过在输入引脚和放大器内核之间添加额外阻抗，限制放大器内核所承受的电压和电流。图 7-1 展示了该输入阻抗上的压降产生的额外电流如何通过 OPAx206 的 ESD 结构。

Copyright © 2024 Texas Instruments Incorporated

8 应用和实现

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

8.1 应用信息

OPAx206 是单位增益稳定运算放大器，具有极低的失调电压、失调电压漂移、电压噪声、电流噪声和功耗。内置的过压保护允许该器件能够防止超出预期范围的信号、反向连接或在输入短接至系统电源的情况下进行保护。这些特性使这些器件无需钳位二极管等分立式保护，从而成为各种空间受限和功率受限系统的理想选择。

8.2 典型应用

8.2.1 电压衰减器

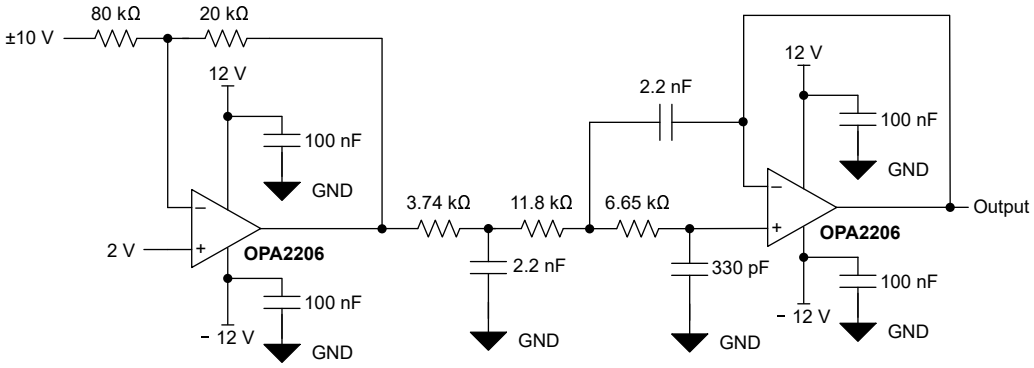


图 8-1. 配置为电压衰减器的 OPA2206

8.2.1.1 设计要求

此系统的设计要求如下：

- 输入信号范围：±10V
- 输入信号频率：高达 10kHz
- 三阶巴特沃斯滤波器 -3dB 频率：20kHz
- 输出电压：0V 至 5V
- 输入保护：高达 ±52V

8.2.1.2 详细设计过程

在此设计中，±10V、10kHz 带宽、双极性信号会衰减并转换为单端信号，并由三阶巴特沃斯滤波器进行滤波，以便驱动单端模数转换器 (ADC)。通过使用 OPA2206，信号链的输入受到保护，可免受超过任一电源电压高达 40V 的过压的影响。此信号链设计常用于可编程逻辑控制器 (PLC)、低功耗数据采集系统 (DAQ) 和需要高精度、低功耗和信号故障保护的现场仪表。

之所以选择 OPA2206 用于此应用，是因为其具有宽电源电压范围、高直流精度（4μV 失调电压和 0.08μV/°C 温漂）和低功耗（220μA 静态电流），可将散热要求降至最低。由于采用内部 OVP 拓扑结构，与无源外部保护相比，该器件在正常工作条件下可提供更好的直流和交流精度，从而可以开发出更小的系统解决方案。务必在每个电源与接地之间连接一个齐纳二极管，以便为故障状况下产生的电流提供返回路径。

信号链的第一级是衰减器和电平转换器。这一级的输入信号是双极性 ±10V，衰减到 ±2.5V，然后通过电平转换输出单端、0V 至 5V 信号。反馈电阻和增益电阻分别选为 20kΩ 和 80kΩ。因此，组合阻抗为 100kΩ，这降低了信号链的输入电流，并将更高输出阻抗传感器产生的误差降至最小。

Copyright © 2024 Texas Instruments Incorporated

信号链的第二级使用 OPA2206 的第二个通道来创建 -3dB 响应为 20kHz 的三阶巴特沃斯滤波器。更多有关滤波器设计的信息，请参阅德州仪器 (TI) 的滤波器设计工具。

此信号链的输出如图 8-2 所示，滤波器响如图 8-3 所示。

8.2.1.3 应用曲线

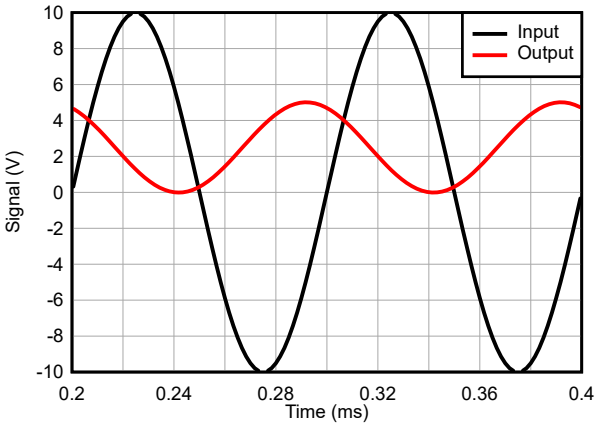


图 8-2. 输入和输出信号

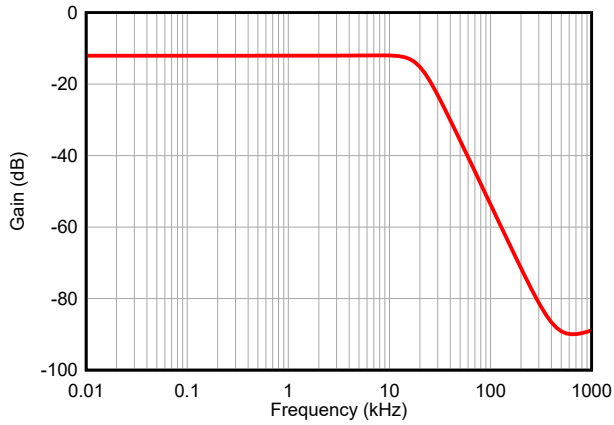


图 8-3. 衰减器 + 滤波器响应

Copyright © 2024 Texas Instruments Incorporated

8.2.2 分立式双运放仪表放大器

图 8-4 展示了 OPA2206 配置为双运放分立式仪表放大器。这种配置允许差分信号测量（例如来自测压元件的信号），与大多数单片仪表放大器相比，信号链的输入阻抗更高。此外，OPA2206 的输入过压保护功能可防止信号链因输入信号超过放大器电源电压的故障情况而损坏。

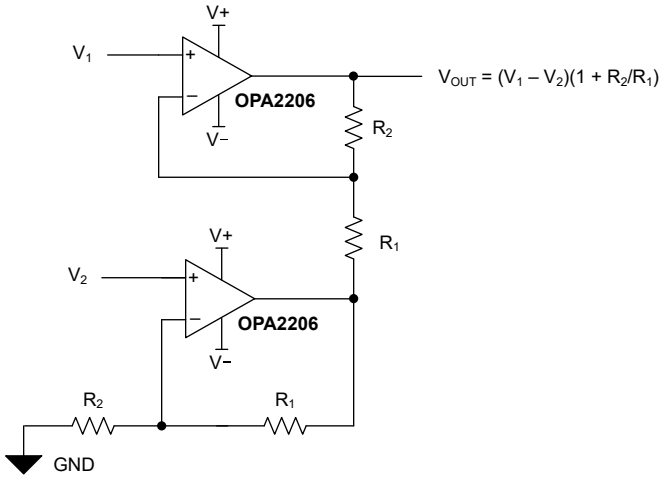


图 8-4. OPA2206 配置为双运放分立式仪表放大器

8.2.3 ADC 驱动器的输入缓冲器和保护

节 8.2.1.1 展示了使用 THP210 将 OPA2206 配置为 ADC 驱动器的输入缓冲器。OPA2206 具有高直流精度和低噪声，是精密信号链调理的理想选择。放大器的低输入偏置使输出阻抗较高的传感器产生的直流误差最小。集成的输入过压保护可防止由于输入故障条件（信号超出 OPA2206 的电源电压范围）或输入短接至更高的电源轨而损坏信号链。更多有关设计精密 ADC 驱动器的信息，请参阅 THP210。

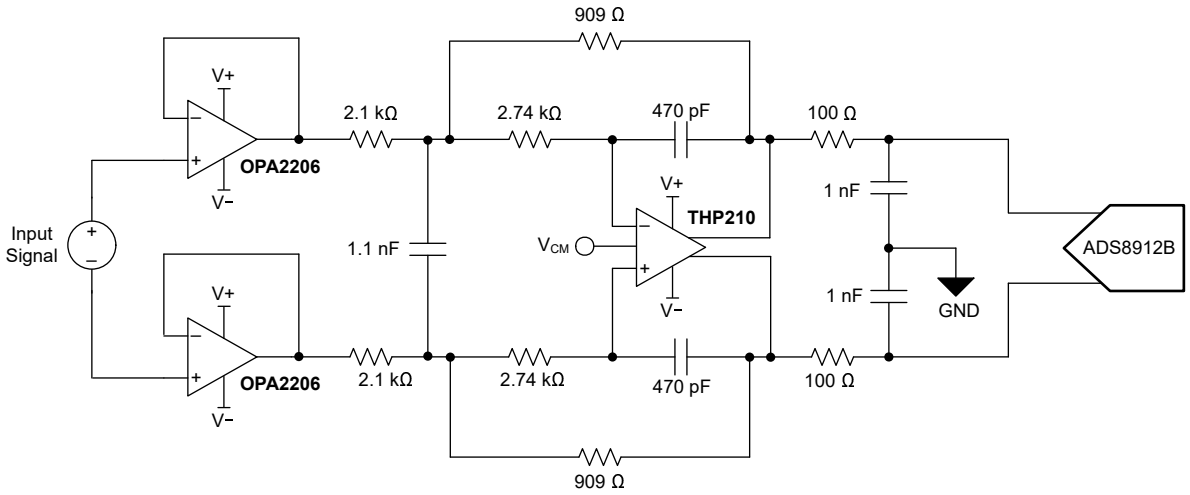


图 8-5. OPA2206 配置为输入信号链缓冲器

8.3 电源相关建议

OPAx206 的工作电源电压介于 4.5V (±2.25V) 和 36V (±18V) 之间。*节 5.9* 中展示了随工作电压的变化而显著变化的参数。

8.4 布局

8.4.1 布局指南

为了使器件具有最佳运行性能，请使用良好的印刷电路板 (PCB) 布局实践，包括：

- 在每个电源引脚和接地端之间接入低 ESR、0.1μF 陶瓷旁路电容，放置位置尽量靠近器件。从 V+ 到接地端之间的单个旁路电容适用于单电源应用。噪声可以通过整个电路的电源引脚传播到模拟电路中，也可以通过单个运算放大器传播到模拟电路中。旁路电容器通过在模拟电路局部提供低阻抗电源来减少耦合噪声。
- 确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流。将电路中模拟和数字部分单独接地是最简单和最有效的噪声抑制方法之一。多层 PCB 上的一层或多层通常专门用于作为接地平面。接地层有助于散热和减少电磁干扰 (EMI) 噪声拾取。
- 为了减少寄生耦合，请让输入走线尽可能远离电源或输出走线。如果这些走线不能保持分离，则将敏感走线与噪声走线垂直相交要比平行相交好得多。
- 外部元件尽可能靠近器件放置。如图 8-6 所示，使 RF 和 RG 靠近反相输入以最大限度地减小寄生电容。
- 尽可能缩短输入走线的长度。切记：输入走线是电路中最敏感的部分。
- 考虑在关键走线周围设定驱动型低阻抗保护环。保护环可显著减少附近走线在不同电势下产生的漏电流。
- 在组装 PCB 板之后对其进行清洁，以获得最佳性能。
- 任何精密集成电路都可能因湿气渗入塑料封装中而出现性能变化。在执行任何 PCB 水清洁流程之后，将 PCB 组件烘干，以去除清洁时渗入器件封装中的水分。大多数情形下，清洗后在 85°C 下低温烘干 30 分钟即可。

Copyright © 2024 Texas Instruments Incorporated

8.4.2 布局示例

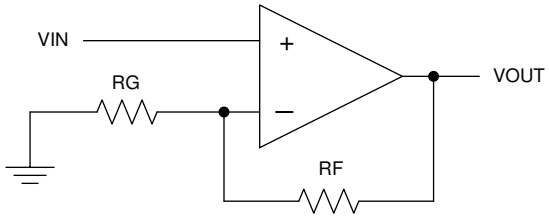


图 8-6. 原理图表示

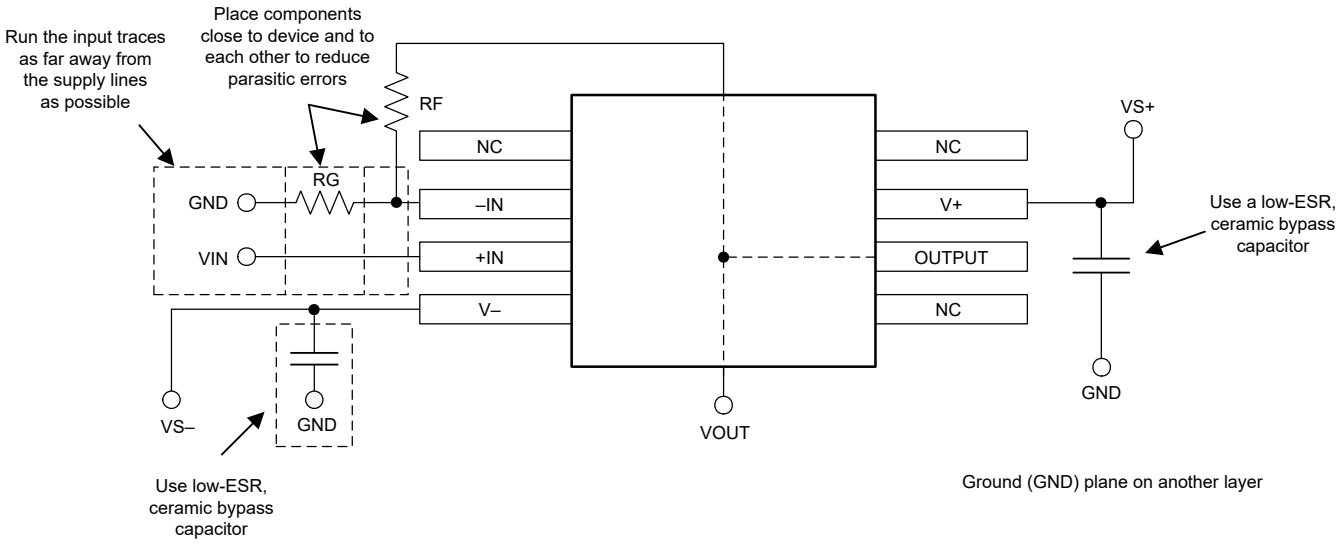


图 8-7. 同相配置的运算放大器电路板布局

9 器件和文档支持

9.1 器件支持

9.1.1 开发支持

可提供以下评估模块：

- DIP-ADAPTER-EVM
- DIYAMP-EVM

9.1.1.1 PSpice® for TI

PSpice® for TI 是可帮助评估模拟电路性能的设计和仿真环境。在进行布局和制造之前创建子系统设计和原型解决方案，可降低开发成本并缩短上市时间。

9.2 文档支持

9.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*DIP-ADAPTER-EVM 用户指南*
- 德州仪器 (TI)，*DIYAMP-SOIC-EVM 用户指南*

9.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.5 商标

e-trim™ and TI E2E™ are trademarks of Texas Instruments.
PSpice® is a registered trademark of Cadence Design Systems, Inc.
所有商标均为其各自所有者的财产。

9.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision D (January 2023) to Revision E (December 2023)	Page
• 添加了 OPA4206 器件和相关内容	1
• 更新了图 5-24，*0.1Hz 至 10Hz 噪声*，以便更准确地反映器件性能	11

Copyright © 2024 Texas Instruments Incorporated

Changes from Revision C (July 2022) to Revision D (January 2023) **Page**

- 将采用 D (SOIC) 封装的 OPA206 从预告信息（预发布）更改为量产数据（正在供货）.....1
- 添加了采用 D (SOIC) 封装的 OPA2206 和相关内容作为量产数据（正在供货）.....1
- 更改了标题以与更新后的规格保持一致.....1
- 将*特性* 中的失调电压从 50 µV 更改为 25 µV.....1
- 在*说明* 中将失调电压从 ±8 µV 更改为 ±4 µV.....1
- 将*电气特性* 中的输入失调电压最大值从 ±50µV 更改为 ±25µV.....7
- 将*电气特性* 中的输入失调电压典型值从 ±8µV 更改为 ±4µV.....7
- 将*电气特性* 中温度范围内的输入失调电压从 ±80µV 更改为 ±55µV.....7
- 将*电气特性* 中的输入失调电压最大值从 ±50µV 更改为 ±25µV.....9
- 将*电气特性* 中的输入失调电压典型值从 ±8µV 更改为 ±4µV.....9
- 将*电气特性* 中温度范围内的输入失调电压从 ±80µV 更改为 ±55µV.....9
- 更改了图 6-1、6-2、6-3 和 6-5 以更准确地显示器件性能分布.....11
- 更改了*输入失调电压修整* 中的输入温漂修整说明文本.....23
- 更改了图 8-5 以显示正确的输入温漂分布.....23
- 更改了*详细设计说明* 中的失调电压、温漂以与标准级器件规格保持一致.....25
- 更改了图 9-7 以显示正确的 VS+ 连接.....29

Changes from Revision B (August 2021) to Revision C (July 2022) **Page**

- 添加了采用 D (SOIC) 封装的 OPA206，作为预告信息（预发布）.....1

Changes from Revision A (March 2021) to Revision B (August 2021) **Page**

- 删除了 OPA2206 高级版本和相关内容.....1
- 将静态电流特性要点从 220µA 更改为 240µA.....1
- 更改了图 6-27 *电流噪声与频率间的关系*，以便更准确地显示器件性能.....11

Changes from Revision * (April 2020) to Revision A (March 2021) **Page**

- 将 OPA2206 从“预告信息（预发布）”更改为“量产数据（正在供货）”.....1
- 更改了两个*电气特性* 表，以显示 OPA2206（高级）和 OPA2206A（标准级）之间的差异化性能.....7

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
OPA206ADR	ACTIVE	SOIC	D	8	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OP206A	Samples
OPA206ADT	ACTIVE	SOIC	D	8	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OP206A	Samples
OPA2206ADGKR	ACTIVE	VSSOP	DGK	8	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	22A6	Samples
OPA2206ADGKT	ACTIVE	VSSOP	DGK	8	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	22A6	Samples
OPA2206ADR	ACTIVE	SOIC	D	8	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2206A	Samples
OPA2206ADT	ACTIVE	SOIC	D	8	250	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2206A	Samples
OPA4206ADR	ACTIVE	SOIC	D	14	3000	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4206A	Samples

(1) The marketing status values are defined as follows:
ACTIVE: Product device recommended for new designs.
LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.
NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.
PREVIEW: Device has been announced but is not in production. Samples may or may not be available.
OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".
RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.
Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

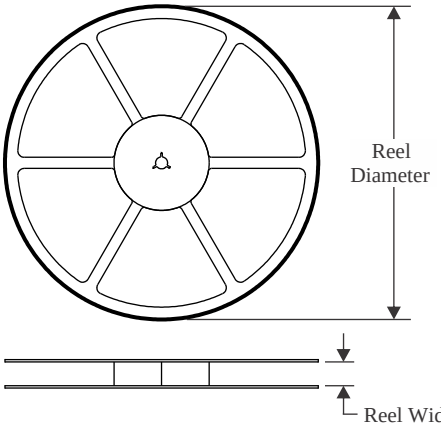
(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

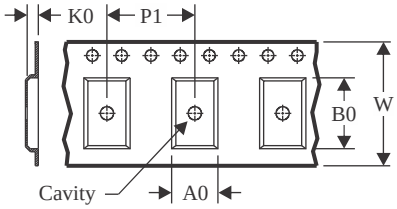
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

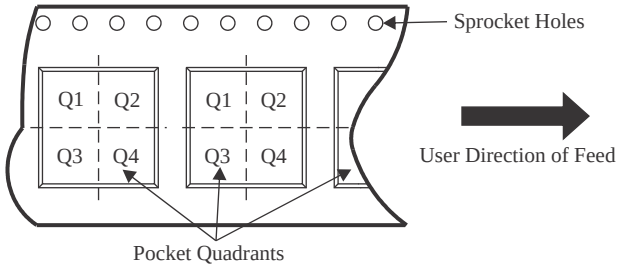


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

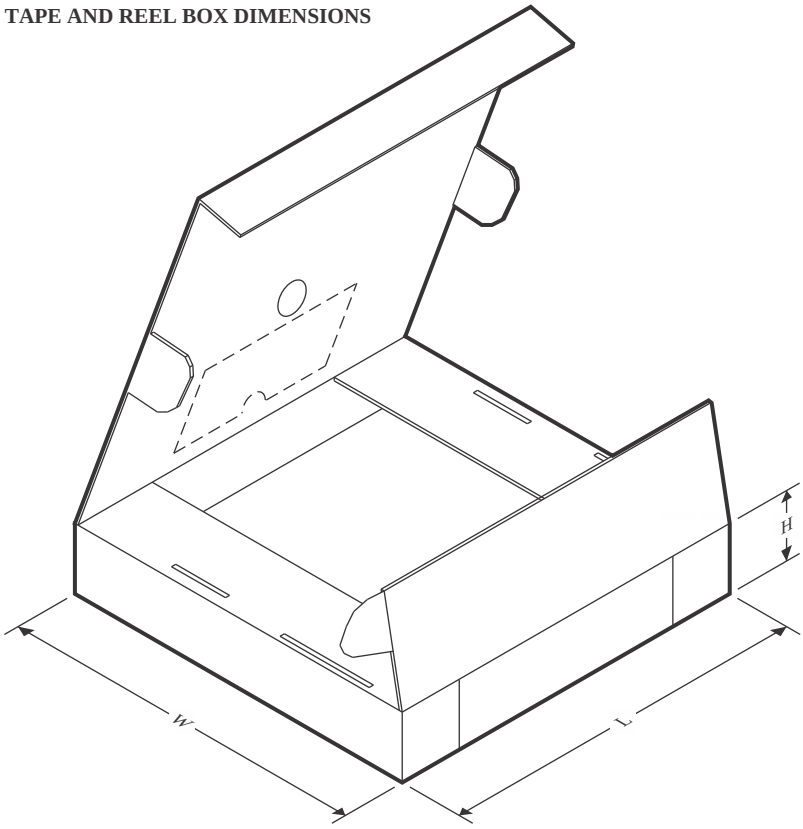
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA206ADR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA206ADT	SOIC	D	8	250	180.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2206ADGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2206ADGKT	VSSOP	DGK	8	250	180.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2206ADR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA2206ADT	SOIC	D	8	250	180.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA4206ADR	SOIC	D	14	3000	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1

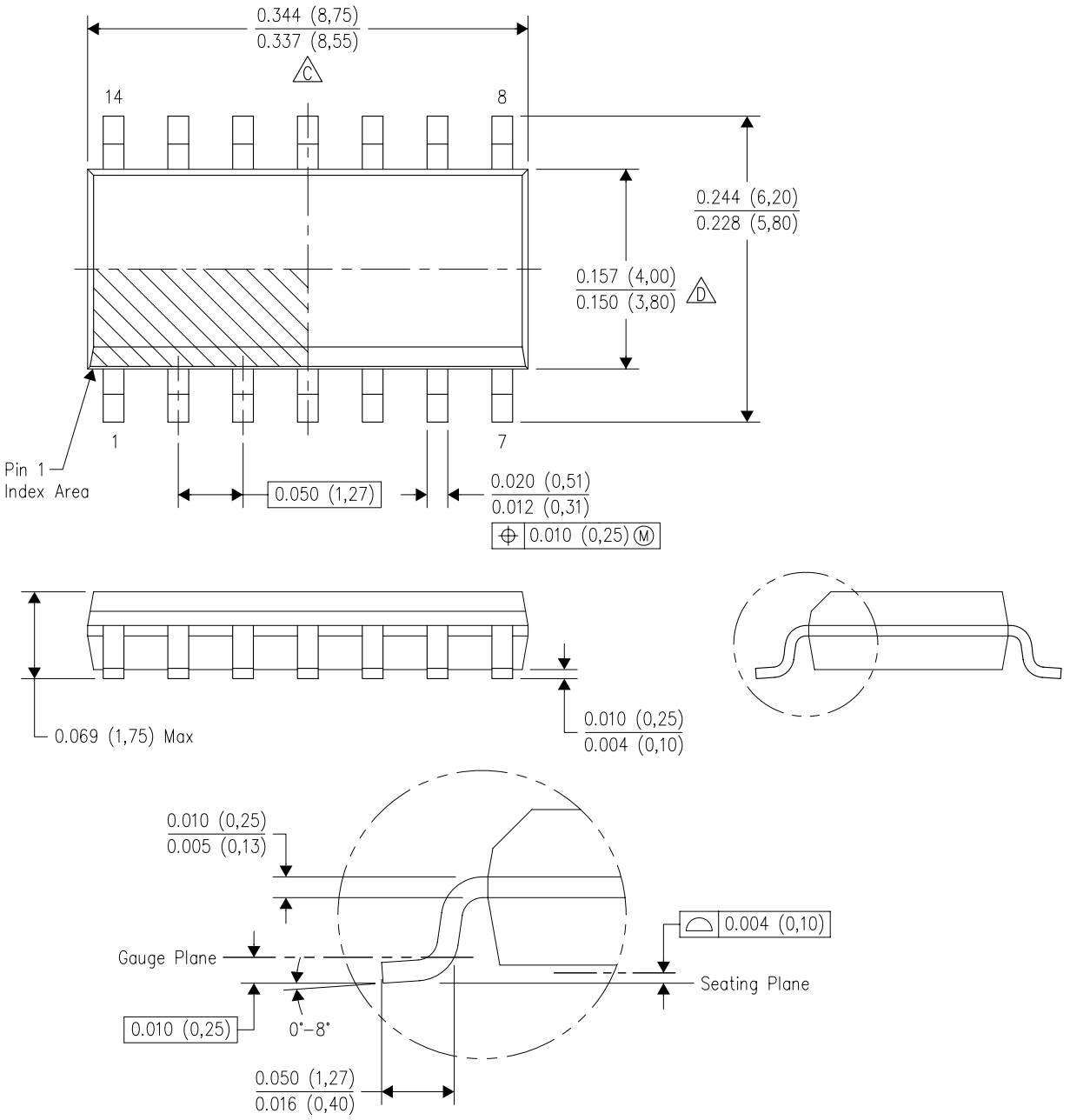
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

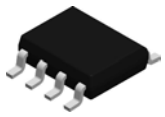
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA206ADR	SOIC	D	8	3000	356.0	356.0	35.0
OPA206ADT	SOIC	D	8	250	210.0	185.0	35.0
OPA2206ADGKR	VSSOP	DGK	8	2500	356.0	356.0	35.0
OPA2206ADGKT	VSSOP	DGK	8	250	210.0	185.0	35.0
OPA2206ADR	SOIC	D	8	3000	356.0	356.0	35.0
OPA2206ADT	SOIC	D	8	250	210.0	185.0	35.0
OPA4206ADR	SOIC	D	14	3000	356.0	356.0	35.0

D (R–PDSO–G14) PLASTIC SMALL OUTLINE



4040047–5/M 06/11

NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AB.

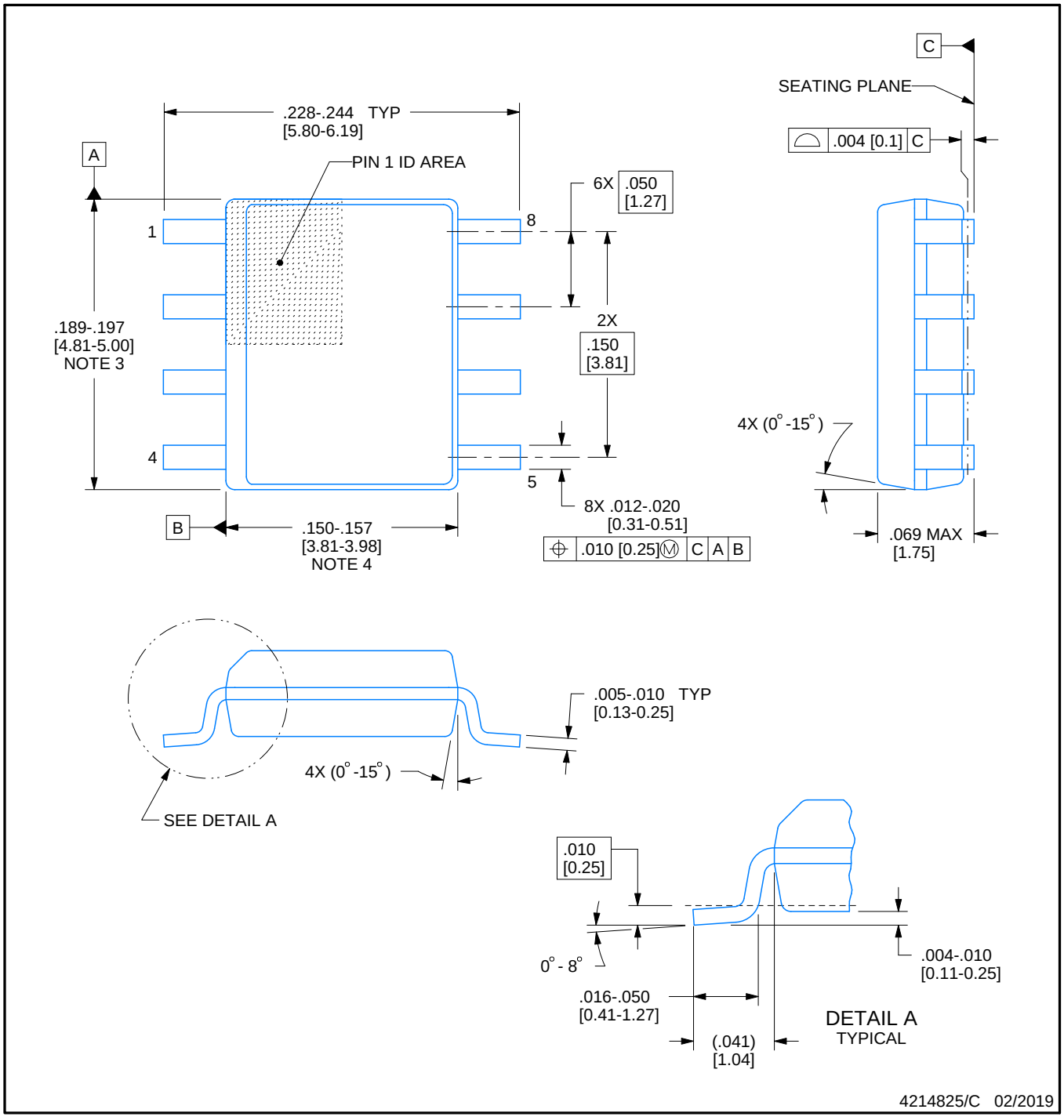


PACKAGE OUTLINE

D0008A

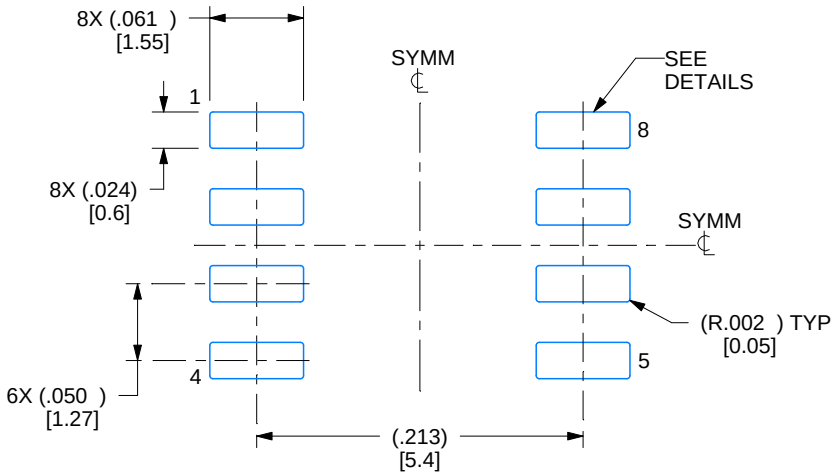
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

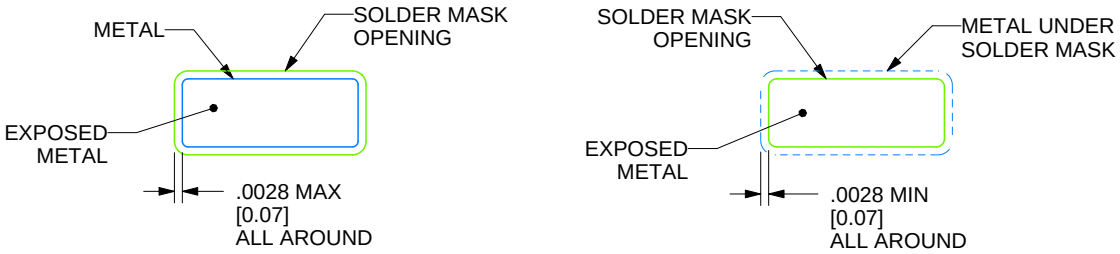


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

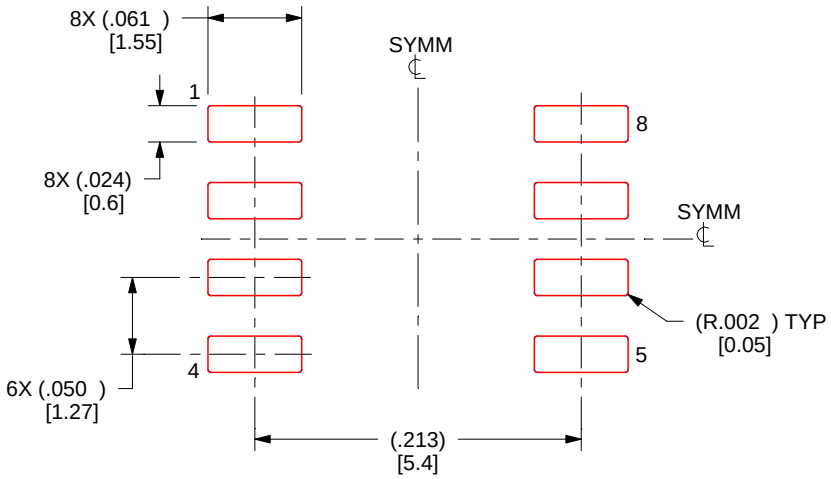
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



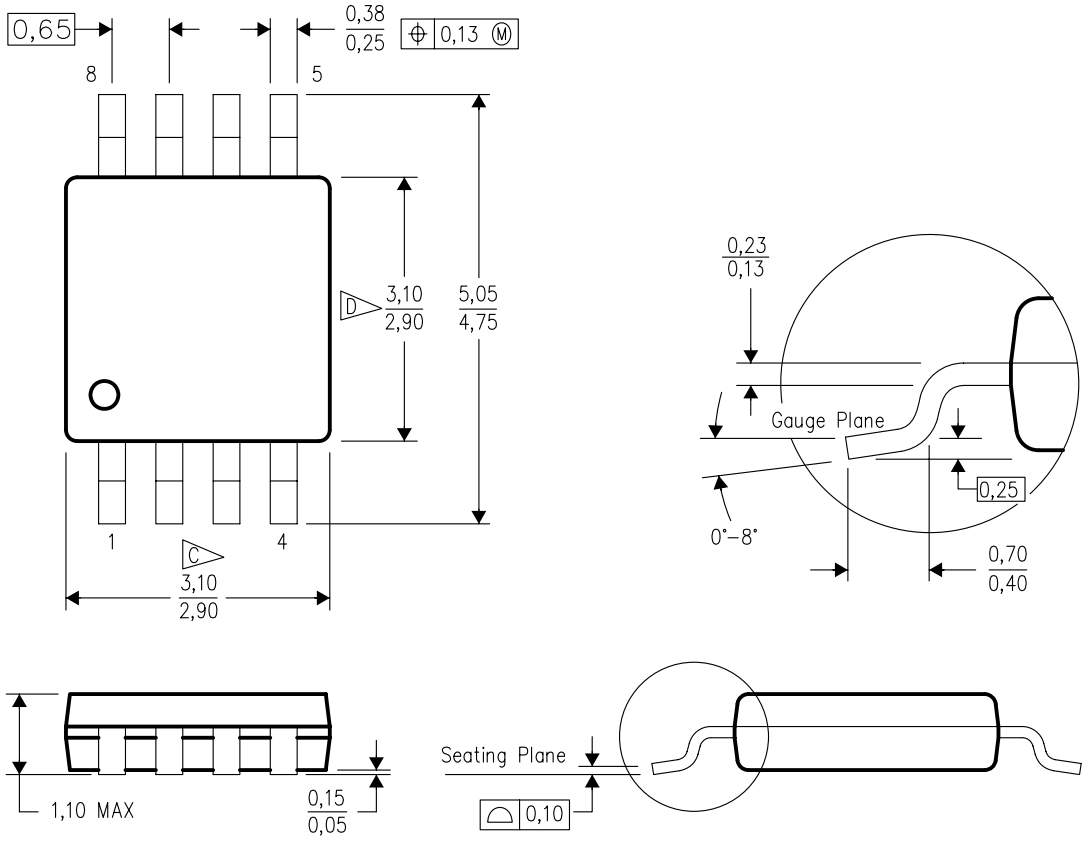
SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

DGK (S–PDSO–G8) PLASTIC SMALL–OUTLINE PACKAGE



4073329/E 05/06

NOTES:
A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per end.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
E. Falls within JEDEC MO–187 variation AA, except interlead flash.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 TI 的销售条款或 ti.com 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司