具有 ±15kV ESD 保护功能的 MAX3232 3V 至 5.5V 多通道 RS-232 线路驱动器和接收器

1 特性

- RS-232 总线终端 ESD 保护大于 ±15kV 人体放电模型 (HBM)
- 符合或超出 TIA/EIA-232-F 和 ITU V.28 标准的要求
- 由 3V 至 5.5V V_{CC} 电源供电
- 速率高达 250kbit/s
- 两个驱动器和两个接收器
- 低电源电流：300 µA（典型值）
- 外部电容器：4 × 0.1 µF
- 接受 5V 逻辑输入及 3.3V 电源
- 备选高速端子兼容器件 (1Mbit/s)
  - SN65C3232（–40°C 至 85°C）
  - SN75C3232（0°C 至 70°C）

2 应用

- 工业 PC
- 有线网络
- 数据中心和企业级联网
- 电池供电型系统
- PDA
- 笔记本电脑
- 便携式计算机
- 掌上电脑
- 手持设备

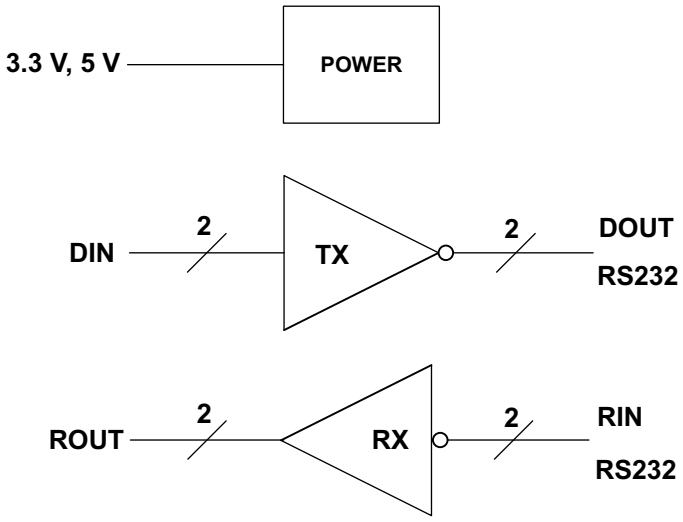
3 说明

MAX3232 器件由两个线路驱动器、两个线路接收器和一个双路电荷泵电路组成，具有端子间（串行端口连接端子，包括 GND）±15kV ESD 保护。该器件符合 TIA/EIA-232-F 的要求，并在异步通信控制器与串行端口连接器之间提供电气接口。电荷泵和四个小型外部电容器支持由 3V 至 5.5V 单电源供电。该器件以高达 250kbit/s 的数据信号传输速率运行，驱动器输出压摆率最高为 30V/µs。

器件信息

器件型号	封装(1)	封装尺寸
MAX3232	SOIC (D) (16)	9.90mm × 3.91mm
	SSOP (DB) (16)	6.20mm × 5.30mm
	SOIC (DW) (16)	10.30mm × 7.50mm
	TSSOP (PW) (16)	5.00mm × 4.40mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



简化版原理图

本文档旨在为方便起见，提供有关 TI 产品中文版本的信息，以确认产品的概要。有关适用的官方英文版本的最新信息，请访问 www.ti.com，其内容始终优先。TI 不保证翻译的准确性和有效性。在实际设计之前，请务必参考最新版本的英文版本。

内容

1 特性 1
2 应用 1
3 说明 1
4 修订历史记录 2
5 引脚配置和功能 3
6 规格 4
6.1 绝对最大额定值 4
6.2 ESD 等级 4
6.3 建议运行条件 4
6.4 热性能信息 5
6.5 电气特性 — 器件 5
6.6 电气特性 — 驱动器 5
6.7 电气特性 — 接收器 6
6.8 开关特性 6
6.9 典型特性 7
7 参数测量信息 8
8 详细说明 9
8.1 概述 9
8.2 功能方框图 9
8.3 特性说明 9
8.4 器件功能模式 10
9 应用和实现 11
9.1 应用信息 11
9.2 标准应用 11
10 电源相关建议 12
11 布局 13
11.1 布局指南 13
11.2 布局示例 13
12 器件和文档支持 14
12.1 接收文档更新通知 14
12.2 支持资源 14
12.3 商标 14
12.4 静电放电警告 14
12.5 术语表 14
13 机械、封装和可订购信息 14

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision N (June 2017) to Revision O (June 2021) **Page**

- 添加了*应用*：工业 PC、有线网络、数据中心和企业级计算 1
- 更改了*热性能信息*表中 D、DB 和 PW 封装的热参数值 5

Changes from Revision M (April 2017) to Revision N (June 2017) **Page**

- 更改了*热性能信息*表 5

Changes from Revision L (March 2017) to Revision M (April 2017) **Page**

- 将“±”修改为：“至”，在表 9-1 的 V_{CC} 列中 12

Changes from Revision K (January 2015) to Revision L (March 2017) **Page**

- 更改了图 9-1 中的引脚 16 (V_{CC}) 11

Changes from Revision J (January 2014) to Revision K (January 2015) **Page**

- 添加了*应用*、*器件信息*表、*引脚功能*表、*ESD 等级*表、*热性能信息*表、*典型特性*、*特性说明*部分、*器件功能模式*、*应用和实施*部分、*电源相关建议*部分、*布局*部分、*器件和文档支持*部分以及*机械、封装和可订购信息*部分 1

Changes from Revision I (January 2004) to Revision J (January 2014) **Page**

- 将文档更新为新的 TI 数据表格式 - 无规格变化 1
- 删除了*订购信息*表 1

Copyright © 2022 Texas Instruments Incorporated

5 引脚配置和功能

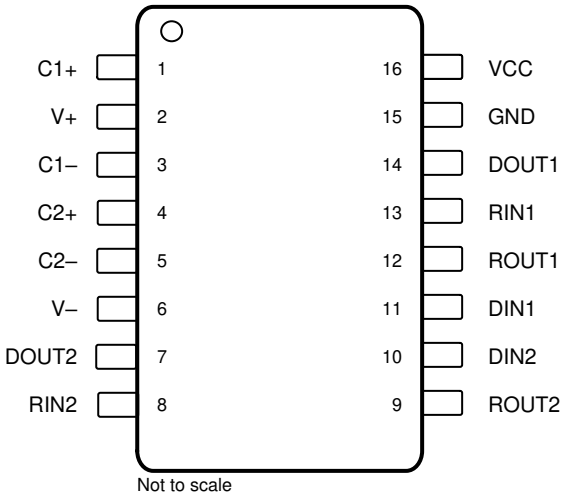


图 5-1. D、DB、DW 或 PW 封装，16 引脚 SOIC、SSOP 或 TSSOP，顶视图

表 5-1. 引脚功能

引脚		类型	说明
名称	编号		
C1+	1	—	C1 电容器的正极引线
V+	2	O	正电荷泵输出仅用于存储电容器
C1 –	3	—	C1 电容器的负极引线
C2+	4	—	C2 电容器的正极引线
C2 –	5	—	C2 电容器的负极引线
V –	6	O	负电荷泵输出仅用于存储电容器
DOUT2	7	O	RS232 线路数据输出（到远程 RS232 系统）
DOUT1	14	O	RS232 线路数据输出（到远程 RS232 系统）
RIN2	8	I	RS232 线路数据输入（来自远程 RS232 系统）
RIN1	13	I	RS232 线路数据输入（来自远程 RS232 系统）
ROUT2	9	O	逻辑数据输出（到 UART）
ROUT1	12	O	逻辑数据输出（到 UART）
DIN2	10	I	逻辑数据输入（来自 UART）
DIN1	11	I	逻辑数据输入（来自 UART）
GND	15	—	接地
V_{CC}	16	—	电源电压，连接至外部 3V 至 5.5V 电源

Copyright © 2022 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_{CC}	电源电压范围(2)		–0.3	6	V
V+	正输出电源电压范围(2)		–0.3	7	V
V–	负输出电源电压范围(2)		–7	0.3	V
V+ – V–	电源电压差(2)			13	V
V_I	输入电压范围	驱动程序	–0.3	6	V
		接收器	–25	25	
V_O	输出电压范围	驱动程序	-13.2	13.2	V
		接收器	–0.3	V_{CC} + 0.3	
T_J	工作等效结温			150	°C
T_{stg}	贮存温度范围		-65	150	°C

(1) 超出*绝对最大额定值*的运行可能会对器件造成永久损坏。*绝对最大额定值*并不表示器件在这些条件下或在*建议运行条件*以外的任何其他条件下能够正常运行。如果超出*建议运行条件*、但在*绝对最大额定值*范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 所有电压均以网络 GND 为基准。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 RIN、DOUT 和 GND 引脚(1)	15000	V
		人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 所有其他引脚(1)	3000	
		充电器件模型（CDM），符合 JEDEC 规范 JESD22-C101，所有引脚(2)	1000	

(1) JEDEC 文件 JEP155 指出：500V HBM 可实现在标准 ESD 控制流程下安全生产。
(2) JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

（请参阅图 9-1）(1)

				最小值	标称值	最大值	单位
V_{CC}	电源电压		V_{CC} = 3.3V	3	3.3	3.6	V
			V_{CC} = 5V	4.5	5	5.5	
V_{IH}	驱动器高电平输入电压	DIN	V_{CC} = 3.3V	2			V
			V_{CC} = 5V	2.4			
V_{IL}	驱动器低电平输入电压	DIN				0.8	V
V_I	驱动器输入电压	DIN		0		5.5	V
	接收器输入电压	RIN		–25		25	
T_A	自然通风工作温度		MAX3232C	0		70	°C
			MAX3232I	–40		85	

(1) 测试条件为 C1 – C4 = 0.1 μF（V_{CC} = 3.3V ± 0.3V）；C1 = 0.047 μF，C2 – C4 = 0.33 μF（V_{CC} = 5V ± 0.5V）。

Copyright © 2022 Texas Instruments Incorporated

6.4 热性能信息

热指标(1)		MAX3232				单位
		SOIC (D)	SSOP (DB)	SOIC (DW)	TSSOP (PW)	
		16 引脚				
$R_{\theta JA}$	结至环境热阻	85.9	103.1	66.6	108.2	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	43.1	49.2	32.4	39.0	°C/W
$R_{\theta JB}$	结至电路板热阻	44.5	54.8	31.9	54.4	°C/W
ψ_{JT}	结至顶部特征参数	10.1	12	8.4	3.3	°C/W
ψ_{JB}	结至电路板特征参数	44.1	54.1	31.5	53.8	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

6.5 电气特性 — 器件

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）(2)（请参阅图 9-1）

参数		测试条件		最小值	典型值(1)	最大值	单位
I_{CC}	电源电流	无负载，	V_{CC} = 3.3 V 至 5 V		0.3	1	mA

(1) 所有典型值均在 V_{CC} = 3.3V 或 V_{CC} = 5V 且 T_A = 25°C 时测得。
(2) 测试条件为 C1 – C4 = 0.1 μF（V_{CC} = 3.3V ± 0.3V）；C1 = 0.047 μF，C2 – C4 = 0.33 μF（V_{CC} = 5V ± 0.5V）。

6.6 电气特性 — 驱动器

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）(3)（请参阅图 9-1）

参数		测试条件		最小值	典型值(1)	最大值	单位
V_{OH}	高电平输出电压	R_L 时的 D_{OUT} = 3kΩ 至 GND，	D_{IN} = GND	5	5.4		V
V_{OL}	低电平输出电压	R_L 时的 D_{OUT} = 3kΩ 至 GND，	D_{IN} = V_{CC}	-5	– 5.4		V
I_{IH}	高电平输入电流	V_I = V_{CC}			±0.01	±1	μA
I_{IL}	低电平输入电流	GND 的 V_I			±0.01	±1	μA
I_{OS} (2)	短路输出电流	V_{CC} = 3.6 V	V_O = 0V		±35	±60	mA
		V_{CC} = 5.5 V	V_O = 0V				
r_O	输出电阻	V_{CC}、V+ 和 V – = 0V	V_O = ±2V	300	10M		Ω

(1) 所有典型值均在 V_{CC} = 3.3V 或 V_{CC} = 5V 且 T_A = 25°C 时测得。
(2) 应控制短路持续时间，以防止超过器件的绝对功率耗散额定值，并且一次不应短接多个输出。
(3) 测试条件为 C1 – C4 = 0.1 μF（V_{CC} = 3.3V ± 0.3V）；C1 = 0.047 μF，C2 – C4 = 0.33 μF（V_{CC} = 5V ± 0.5）

Copyright © 2022 Texas Instruments Incorporated

6.7 电气特性 — 接收器

在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）(2)（请参阅图 9-1）

参数		测试条件	最小值	典型值(1)	最大值	单位
V_{OH}	高电平输出电压	I_{OH} = –1mA	V_{CC} – 0.6	V_{CC} – 0.1		V
V_{OL}	低电平输出电压	I_{OL}=1.6 mA			0.4	V
V_{IT+}	正向输入阈值电压	V_{CC} = 3.3V		1.5	2.4	V
		V_{CC} = 5V		1.8	2.4	
V_{IT-}	负向输入阈值电压	V_{CC} = 3.3V	0.6	1.2		V
		V_{CC} = 5V	0.8	1.5		
V_{hys}	输入迟滞 (V_{IT+} – V_{IT-})			0.3		V
r_I	输入电阻	V_I = ±3V 至 ±25V	3	5	7	kΩ

(1) 所有典型值均在 V_{CC} = 3.3V 或 V_{CC} = 5V 且 T_A = 25°C 时测得。
(2) 测试条件为 C1 – C4 = 0.1 µF（V_{CC} = 3.3V ± 0.3V）；C1 = 0.047 µF，C2 – C4 = 0.33 µF（V_{CC} = 5V ± 0.5V）。

6.8 开关特性

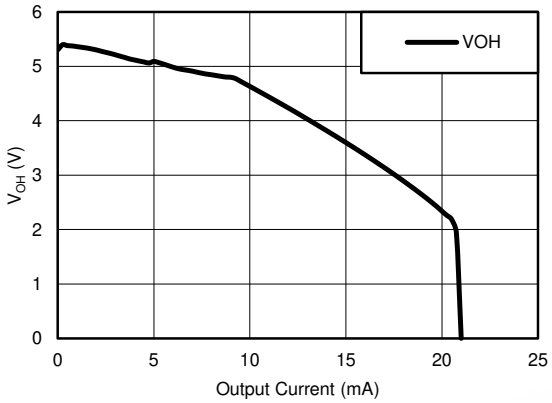
在推荐的电源电压范围及自然通风条件下的工作温度范围内（除非另有说明）(3)（请参阅图 9-1）

参数		测试条件		最小值	典型值(1)	最大值	单位
	最大数据速率	R_L = 3kΩ，一个 D_{OUT} 开关，	C_L = 1000pF 请参阅 图 7-1	150	250		kbit/s
$t_{sk(p)}$	驱动器脉冲偏移(2)	R_L = 3kΩ 至 7kΩ，	C_L = 150 至 2500pF 请参阅 图 7-2		300		ns
SR(tr)	压摆率，转换区域（请参阅图 7-1）	R_L = 3kΩ 至 7kΩ，V_{CC} = 5V	C_L = 150 至 1000pF	6		30	V/µs
			C_L = 150 至 2500pF	4		30	
$t_{PLH®)}$	传播延迟时间，低电平到高电平输出	C_L = 150pF			300		ns
$t_{PHL®)}$	传播延迟时间，高电平到低电平输出				300		
$t_{sk(p)}$	接收器脉冲偏移(3)				300		

(1) 所有典型值均在 V_{CC} = 3.3V 或 V_{CC} = 5V 且 T_A = 25°C 时测得。
(2) 脉冲偏移定义为同一器件每个通道的 $|t_{PLH} - t_{PHL}|$。
(3) 测试条件为 C1 – C4 = 0.1 µF（V_{CC} = 3.3V ± 0.3V）；C1 = 0.047 µF，C2 – C4 = 0.33 µF（V_{CC} = 5V ± 0.5V）。

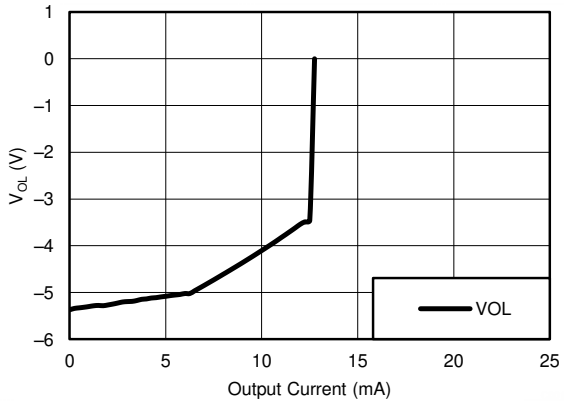
Copyright © 2022 Texas Instruments Incorporated

6.9 典型特性



V_{CC} = 3.3V

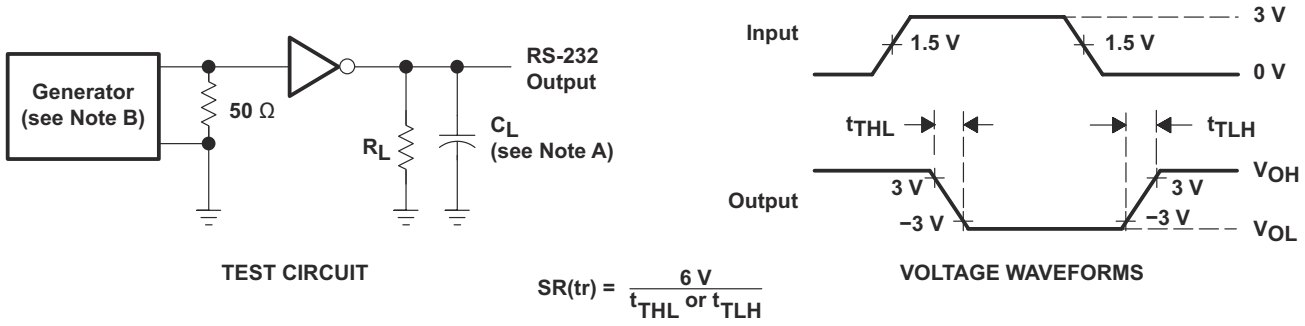
图 6-1. DOUT V_{OH} 与负载电流，两个驱动器均已加载



V_{CC} = 3.3V

图 6-2. DOUT V_{OL} 与负载电流，两个驱动器均已加载

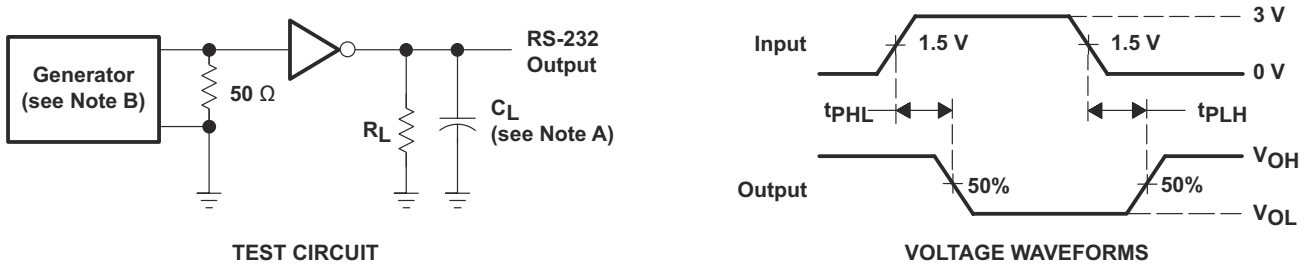
7 参数测量信息



A. C_L 包括探头和夹具电容。

B. 脉冲发生器具有以下特性：PRR = 250kbit/s，Z_O = 50 Ω，50% 占空比，t_r ≤ 10ns，t_f ≤ 10ns。

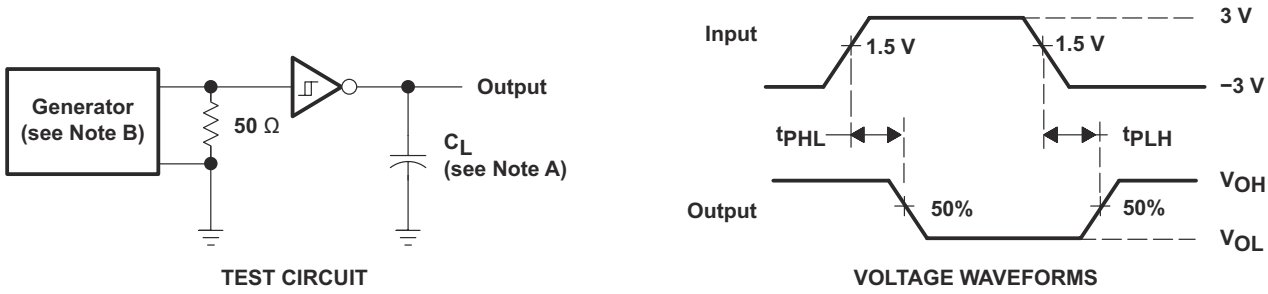
图 7-1. 驱动器压摆率



A. C_L 包括探头和夹具电容。

B. 脉冲发生器具有以下特性：PRR = 250kbit/s，Z_O = 50 Ω，50% 占空比，t_r ≤ 10ns，t_f ≤ 10ns。

图 7-2. 驱动器脉冲偏移



A. C_L 包括探头和夹具电容。

B. 脉冲发生器具有以下特性：Z_O = 50 Ω，50% 占空比，t_r ≤ 10ns，t_f ≤ 10ns。

图 7-3. 接收器传播延迟时间

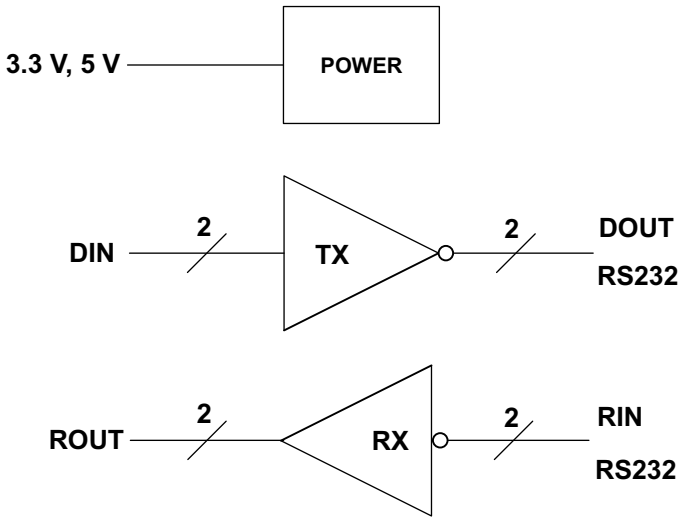
Copyright © 2022 Texas Instruments Incorporated

8 详细说明

8.1 概述

MAX3232 器件由两个线路驱动器、两个线路接收器和一个双路电荷泵电路组成，具有端子间（串行端口连接端子，包括 GND）±15kV ESD 保护。该器件符合 TIA/EIA-232-F 的要求并在异步通信控制器与串行端口连接器之间提供电气接口。电荷泵和四个小型外部电容器支持由 3V 至 5.5V 单电源供电。该器件以高达 250kbit/s 的数据信号传输速率运行，驱动器输出压摆率最高为 30V/μs。输出受到接地短路保护。

8.2 功能方框图



8.3 特性说明

8.3.1 电源

电源块使用电荷泵（需要四个外部电容器）来增加、反转和调节 V+ 和 V- 引脚上的电压。

8.3.2 RS232 驱动器

两个驱动器将标准逻辑电平连接到 RS232 电平。两个 DIN 输入都必须为有效高电平或低电平。

8.3.3 RS232 接收器

两个接收器将 RS232 电平连接到标准逻辑电平。开路输入将导致 ROUT 上的高输出。每个 RIN 输入都包括一个内部标准 RS232 负载。

Copyright © 2022 Texas Instruments Incorporated

8.4 器件功能模式

表 8-1. 每个驱动器(1)

输入 DIN	输出 DOUT
低电平	H
H	L

(1) H = 高电平，L = 低电平

表 8-2. 每个接收器(1)

输入 RIN	输出 ROUT
低电平	H
H	L
开路	H

(1) H =高电平，L =低电平，开路 = 输入断开或连接的驱动器关闭

8.4.1 V_{CC} 由 3V 至 5.5V 电源供电

器件将正常运行。

8.4.2 V_{CC} 未供电，V_{CC} = 0V

当 MAX3232 未供电时，它可以安全地连接到有源远程 RS232 器件。

Copyright © 2022 Texas Instruments Incorporated

9 应用和实现

备注

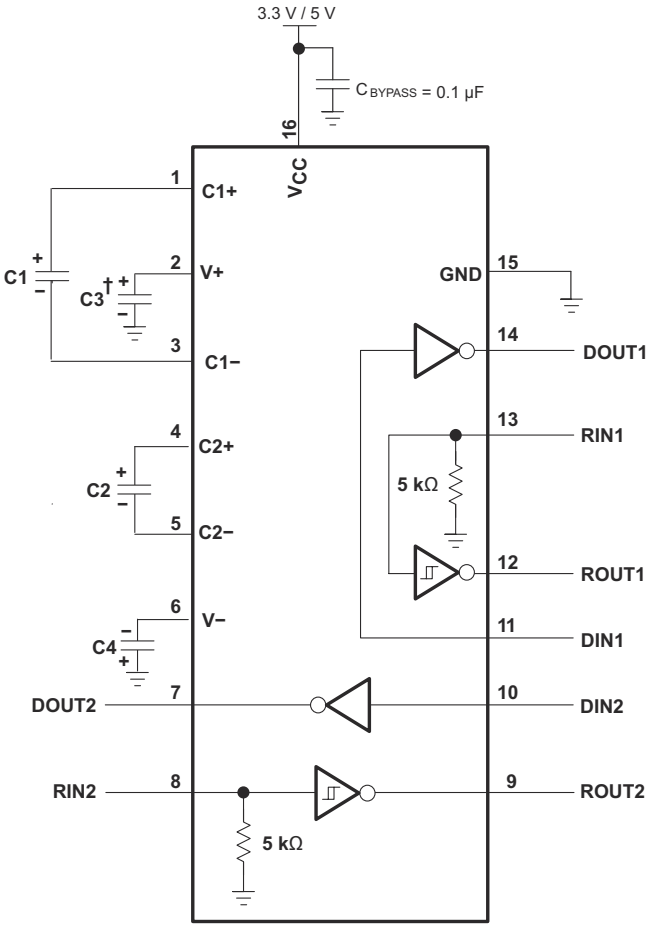
以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

为确保正常运行，请按图 9-1 所示添加电容器。

9.2 标准应用

ROUT 和 DIN 均连接到 UART 或通用逻辑线路。RIN 和 DOUT 线路均连接到 RS232 连接器或电缆。



† C3 可连接至 V_{CC} 或 GND。

A. 显示的电阻器值是标称值。

B. 可接受非极化陶瓷电容器。如果使用极化的钽或电解电容器，应按所示方式连接。

图 9-1. 典型工作电路和电容器值

9.2.1 设计要求

- 建议的 V_{CC} 为 3.3V 或 5V。也可以为 3V 至 5.5V
- 建议的最大比特率为 250kbit/s。

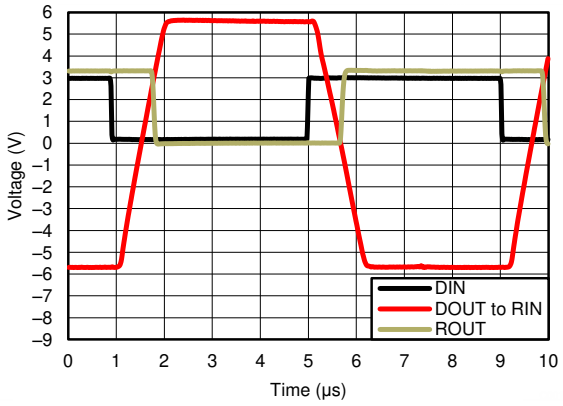
表 9-1. V_{CC} 与电容器值

V_{CC}	C1	C2、C3、C4
3.3V ± 0.3V	0.1μF	0.1μF
5V ± 0.5V	0.047μF	0.33μF
3V 至 5.5V	0.1μF	0.47μF

9.2.2 详细设计过程

- 对于所有 DIN，$\overline{\text{FORCEOFF}}$ 和 FORCEON 输入都必须连接至有效的低或高逻辑电平。
- 根据 VCC 电平选择电容器值，以实现最佳性能。

9.2.3 应用曲线



V_{CC} = 3.3V

图 9-2. 250kbit/s 驱动器至接收器环回时序波形

10 电源相关建议

V_{CC} 应介于 3V 到 5.5V 之间。应使用图 9-1 中的表选择电荷泵电容器。

Copyright © 2022 Texas Instruments Incorporated

11 布局

11.1 布局指南

使外部电容器布线尽量短。这在上升和下降时间最快的 C1 和 C2 节点上更为重要。

11.2 布局示例

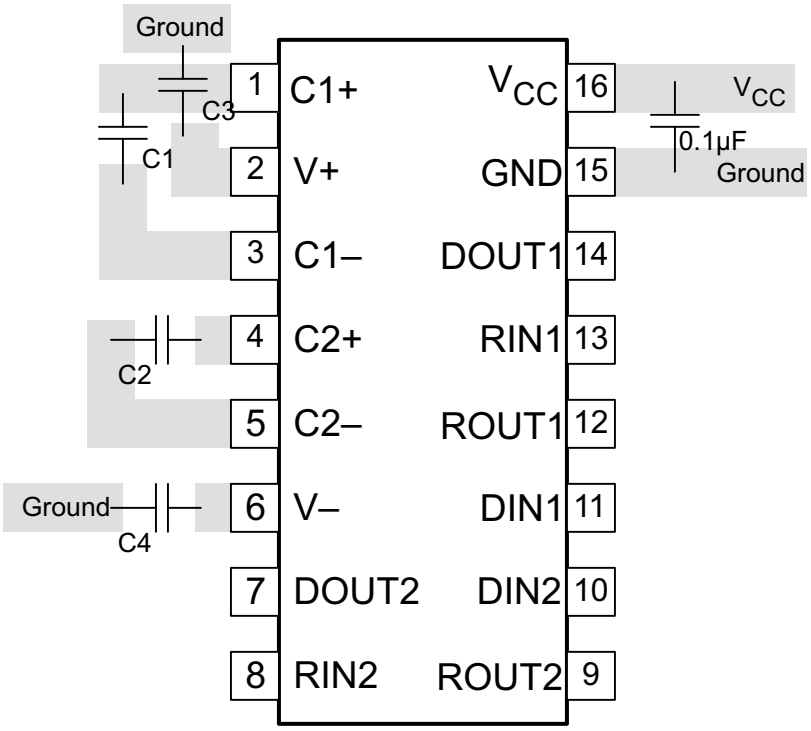


图 11-1. 布局图

12 器件和文档支持

12.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 *订阅更新* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

12.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

12.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

12.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

12.5 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

13 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2022 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
MAX3232CD	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	0 to 70	MAX3232C
MAX3232CDB	Obsolete	Production	SSOP (DB) | 16	-	-	Call TI	Call TI	0 to 70	MA3232C
MAX3232CDBR	Active	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	MA3232C
MAX3232CDBR.A	Active	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	MA3232C
MAX3232CDR	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	MAX3232C
MAX3232CDR.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	MAX3232C
MAX3232CDR1G4	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MAX3232C
MAX3232CDR1G4.A	Active	Production	SOIC (D) | 16	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MAX3232C
MAX3232CDW	Obsolete	Production	SOIC (DW) | 16	-	-	Call TI	Call TI	0 to 70	MAX3232C
MAX3232CDWR	Obsolete	Production	SOIC (DW) | 16	-	-	Call TI	Call TI	0 to 70	MAX3232C
MAX3232CPW	Obsolete	Production	TSSOP (PW) | 16	-	-	Call TI	Call TI	0 to 70	MA3232C
MAX3232CPWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	0 to 70	MA3232C
MAX3232CPWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	MA3232C
MAX3232CPWRE4	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	MA3232C
MAX3232CPWRG4	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	MA3232C
MAX3232CPWRG4.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	0 to 70	MA3232C
MAX3232IDBR	Active	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MB3232I
MAX3232IDBR.A	Active	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MB3232I
MAX3232IDBRE4	Active	Production	SSOP (DB) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MB3232I
MAX3232IDRG4	Obsolete	Production	SOIC (D) | 16	-	-	Call TI	Call TI	-40 to 85	MAX3232I
MAX3232IDW	Obsolete	Production	SOIC (DW) | 16	-	-	Call TI	Call TI	-40 to 85	MAX3232I
MAX3232IDWR	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	MAX3232I
MAX3232IDWR.B	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MAX3232I
MAX3232IDWRG4	Obsolete	Production	SOIC (DW) | 16	-	-	Call TI	Call TI	-40 to 85	MAX3232I
MAX3232IPWR	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU | SN	Level-1-260C-UNLIM	-40 to 85	MB3232I
MAX3232IPWR.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MB3232I
MAX3232IPWRE4	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MB3232I
MAX3232IPWRG4	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MB3232I
MAX3232IPWRG4.A	Active	Production	TSSOP (PW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	MB3232I

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF MAX3232 :

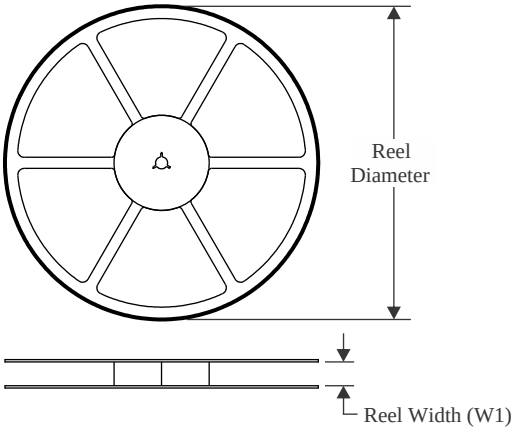
- Enhanced Product : MAX3232-EP

NOTE: Qualified Version Definitions:

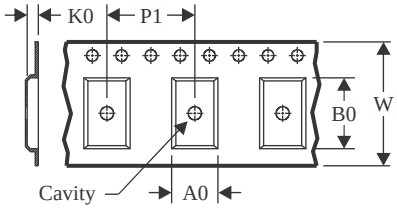
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

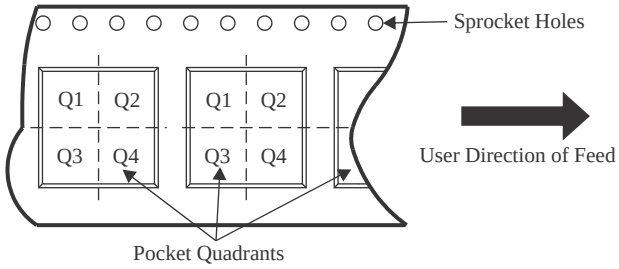


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

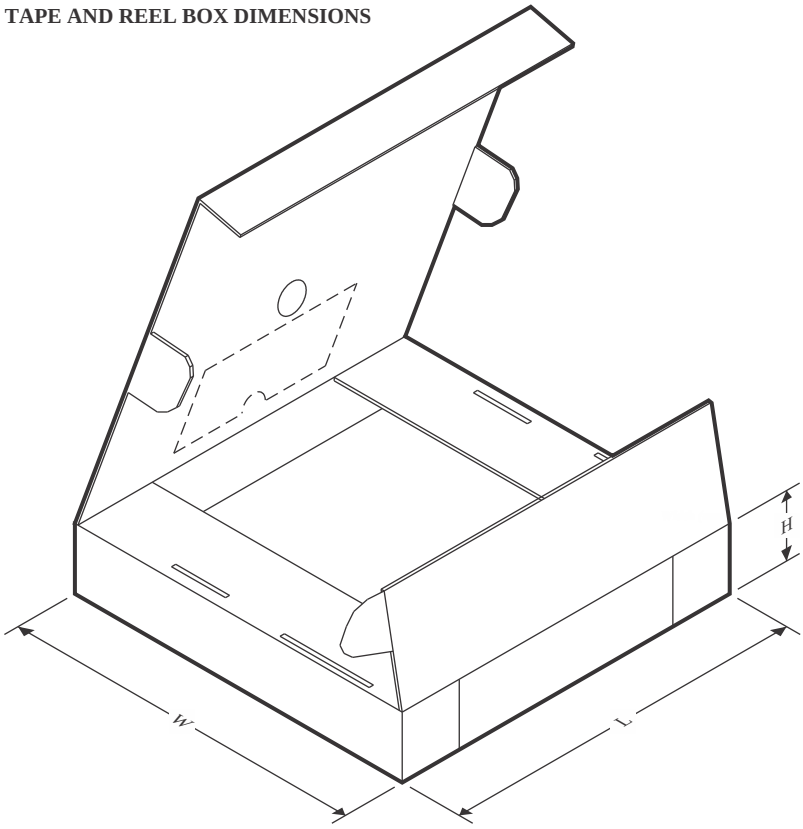
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
MAX3232CDBR	SSOP	DB	16	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
MAX3232CDR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
MAX3232CDR1G4	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
MAX3232CPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.3	1.6	8.0	12.0	Q1
MAX3232CPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
MAX3232CPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
MAX3232CPWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
MAX3232CPWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.3	1.6	8.0	12.0	Q1
MAX3232IDBR	SSOP	DB	16	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
MAX3232IDWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
MAX3232IPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.3	1.6	8.0	12.0	Q1
MAX3232IPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
MAX3232IPWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
MAX3232IPWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
MAX3232IPWRG4	TSSOP	PW	16	2000	330.0	12.4	6.9	5.3	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
MAX3232CDBR	SSOP	DB	16	2000	353.0	353.0	32.0
MAX3232CDR	SOIC	D	16	2500	340.5	336.1	32.0
MAX3232CDR1G4	SOIC	D	16	2500	353.0	353.0	32.0
MAX3232CPWR	TSSOP	PW	16	2000	367.0	367.0	35.0
MAX3232CPWR	TSSOP	PW	16	2000	356.0	356.0	35.0
MAX3232CPWR	TSSOP	PW	16	2000	353.0	353.0	32.0
MAX3232CPWRG4	TSSOP	PW	16	2000	353.0	353.0	32.0
MAX3232CPWRG4	TSSOP	PW	16	2000	367.0	367.0	35.0
MAX3232IDBR	SSOP	DB	16	2000	353.0	353.0	32.0
MAX3232IDWR	SOIC	DW	16	2000	350.0	350.0	43.0
MAX3232IPWR	TSSOP	PW	16	2000	367.0	367.0	35.0
MAX3232IPWR	TSSOP	PW	16	2000	356.0	356.0	35.0
MAX3232IPWR	TSSOP	PW	16	2000	353.0	353.0	32.0
MAX3232IPWRG4	TSSOP	PW	16	2000	353.0	353.0	32.0
MAX3232IPWRG4	TSSOP	PW	16	2000	367.0	367.0	35.0

GENERIC PACKAGE VIEW

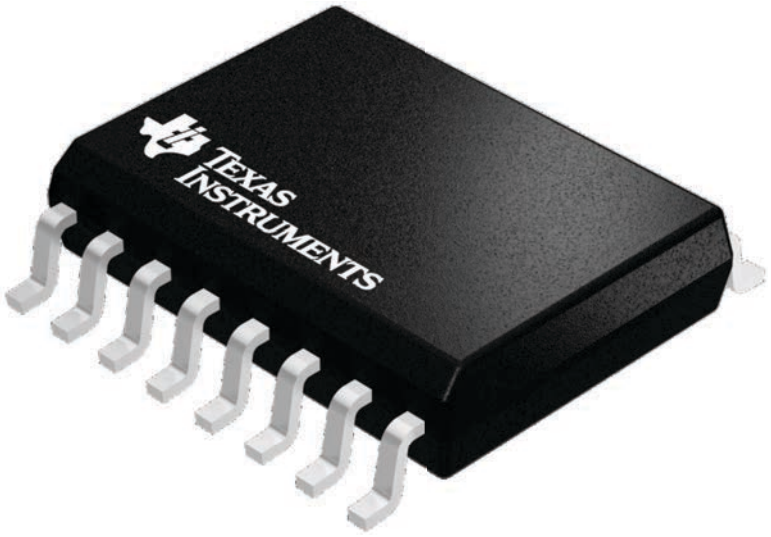
DW 16

SOIC - 2.65 mm max height

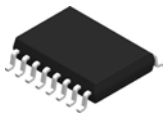
7.5 x 10.3, 1.27 mm pitch

SMALL OUTLINE INTEGRATED CIRCUIT

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224780/A

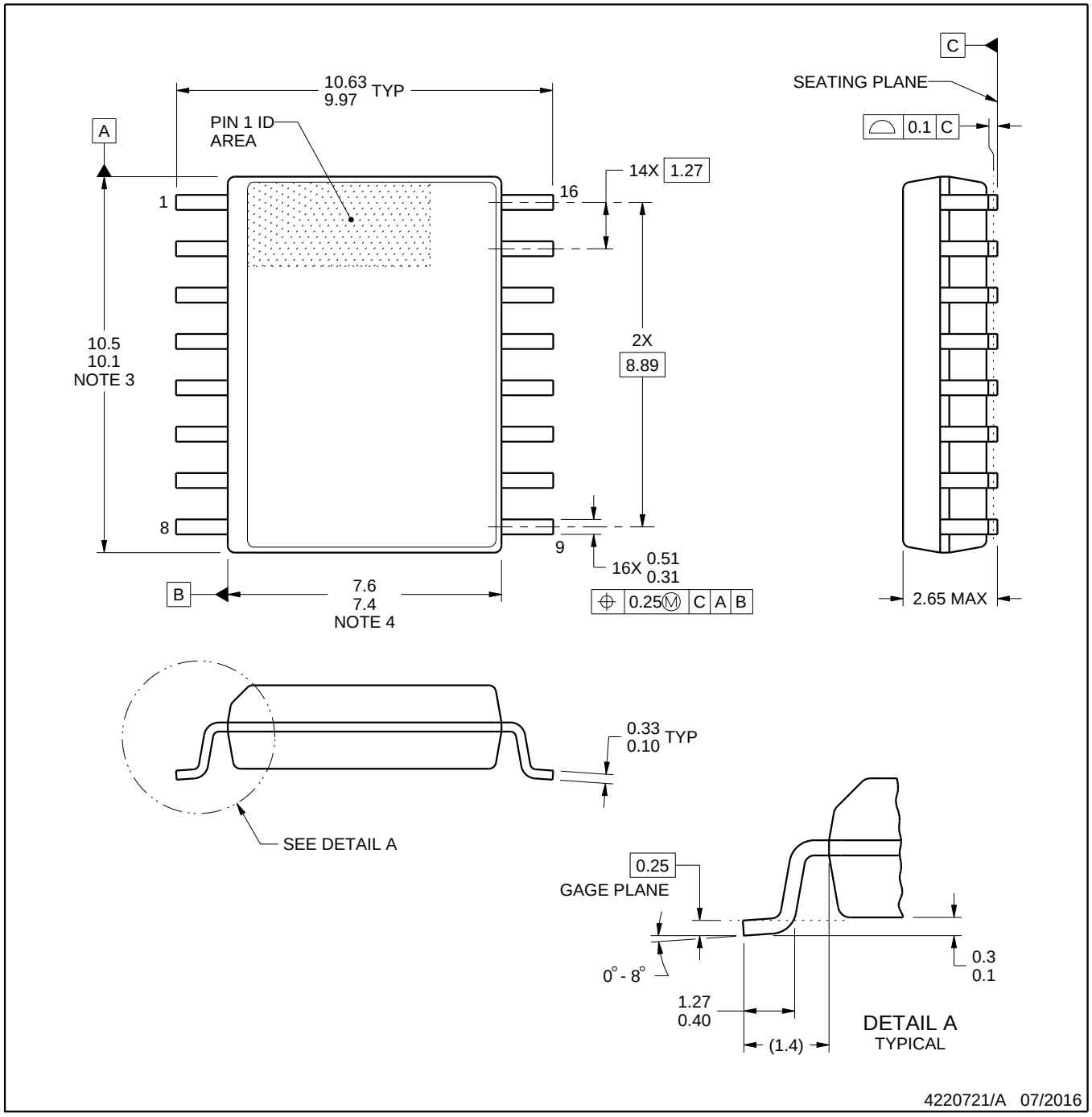


PACKAGE OUTLINE

DW0016A

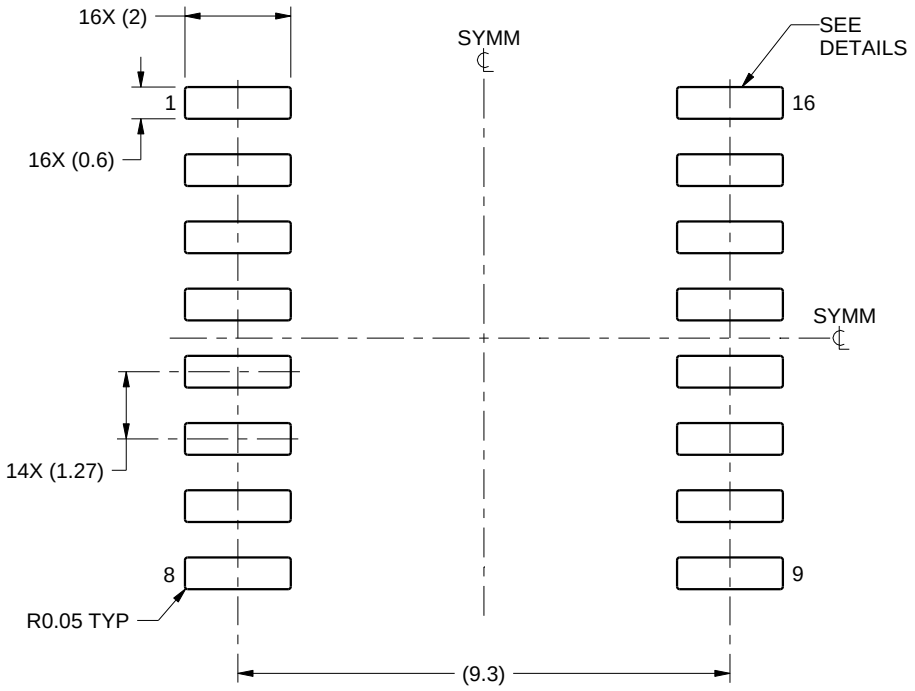
SOIC - 2.65 mm max height

SOIC

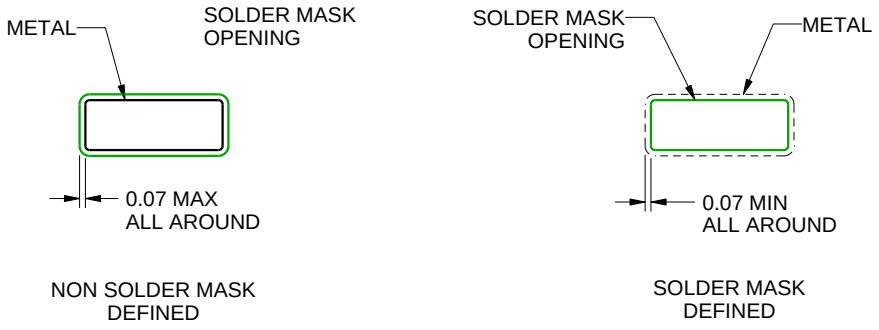


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.



LAND PATTERN EXAMPLE
SCALE:7X

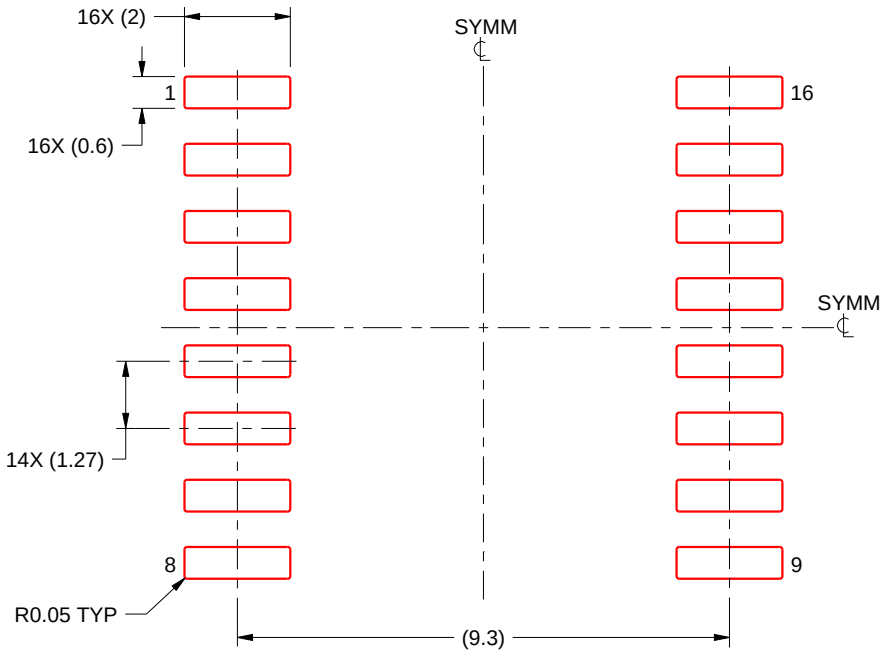


SOLDER MASK DETAILS

4220721/A 07/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:7X

4220721/A 07/2016

NOTES: (continued)

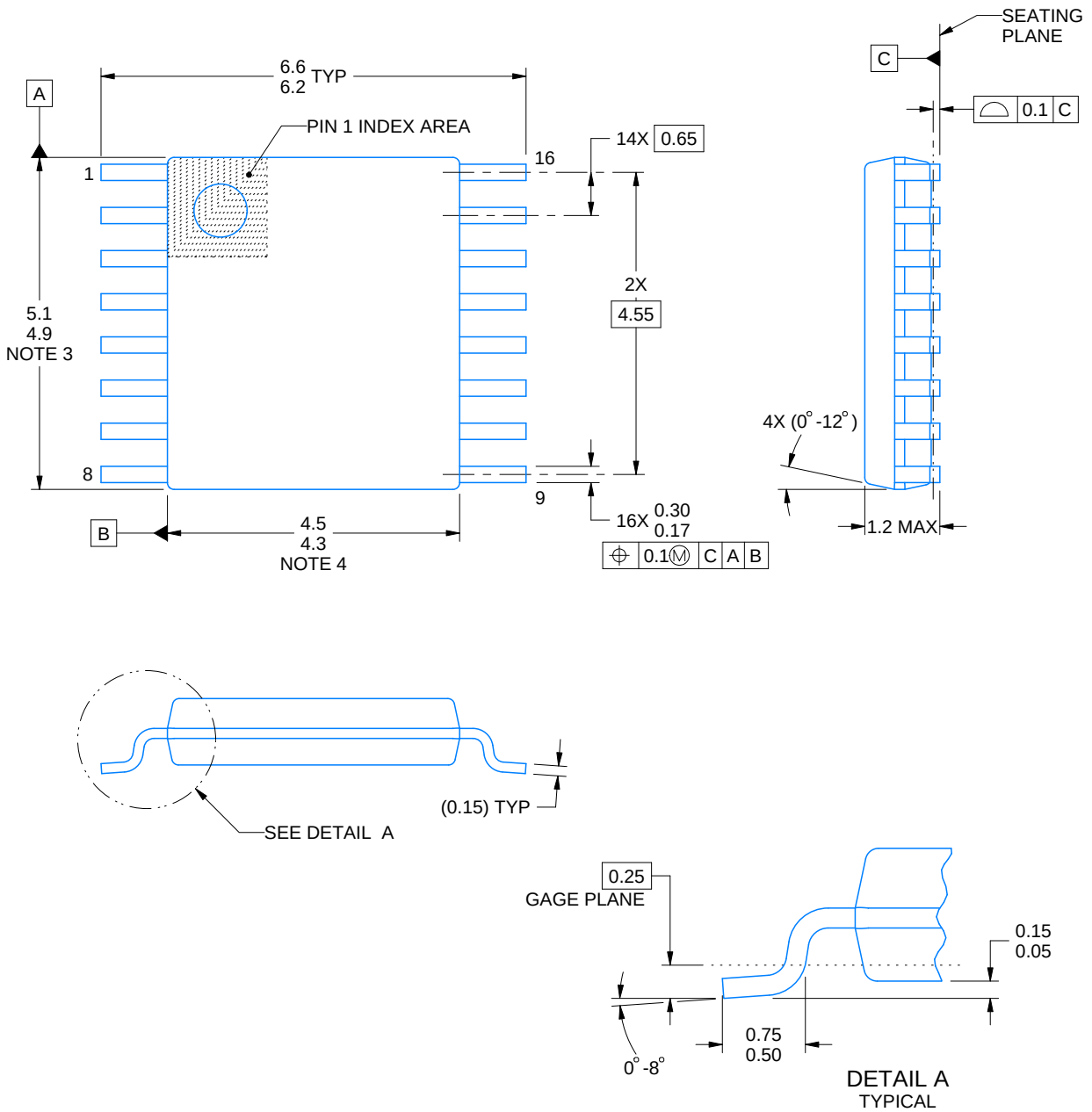
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0016A

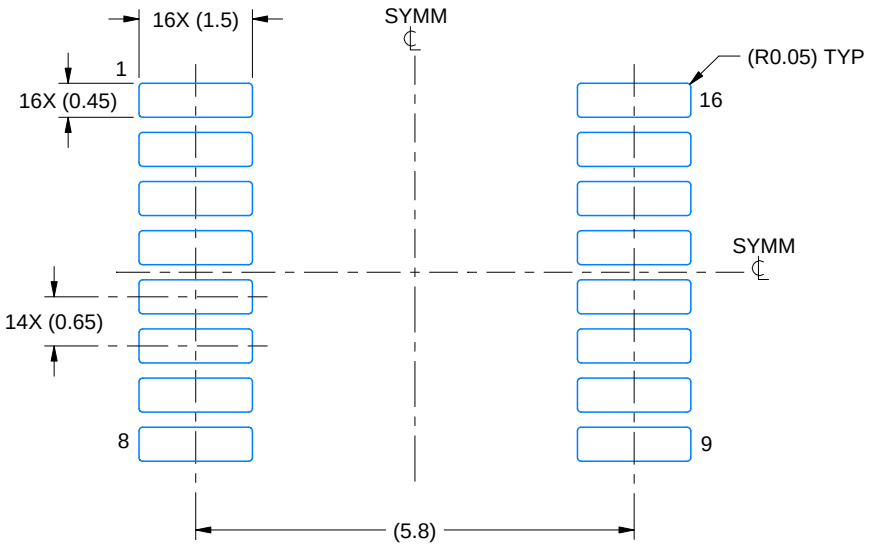
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

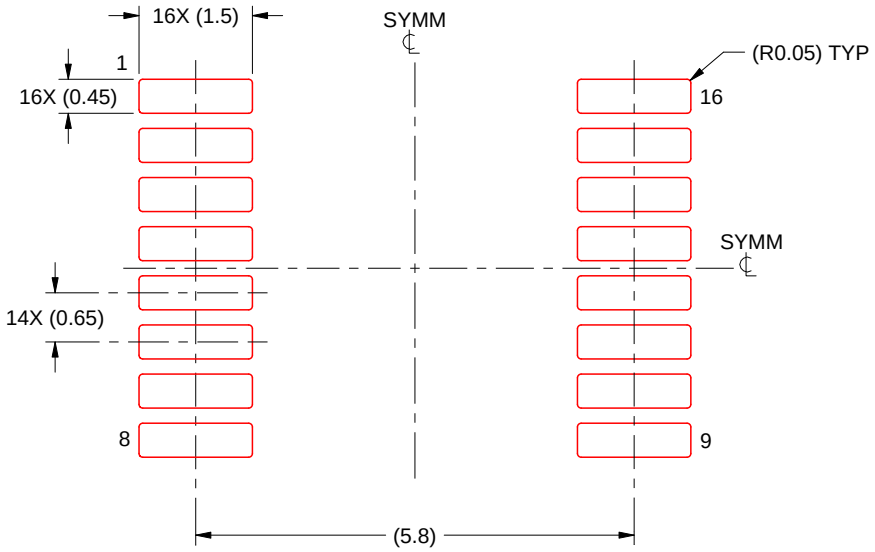


SOLDER MASK DETAILS

4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



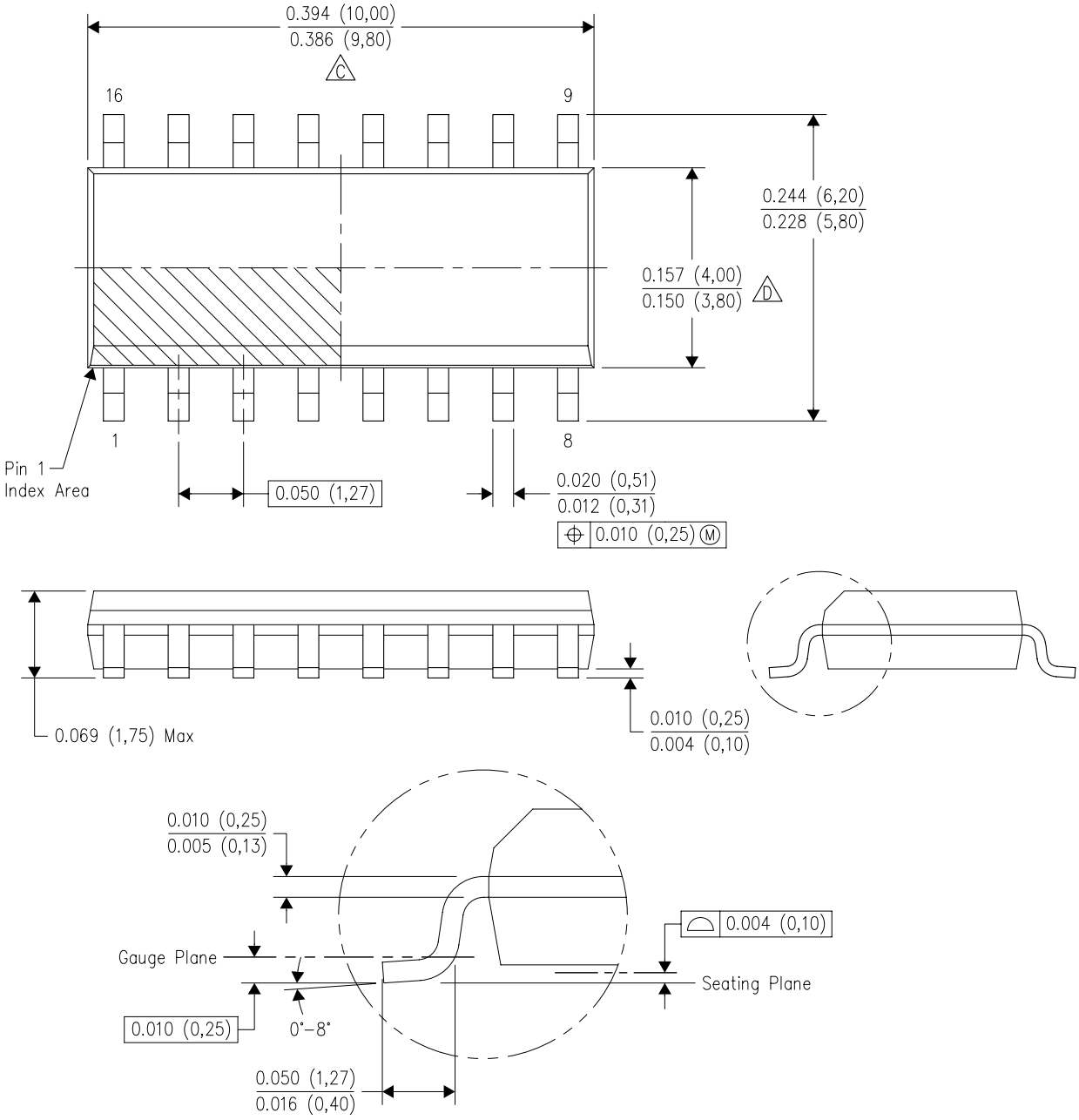
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

D (R–PDSO–G16) PLASTIC SMALL OUTLINE



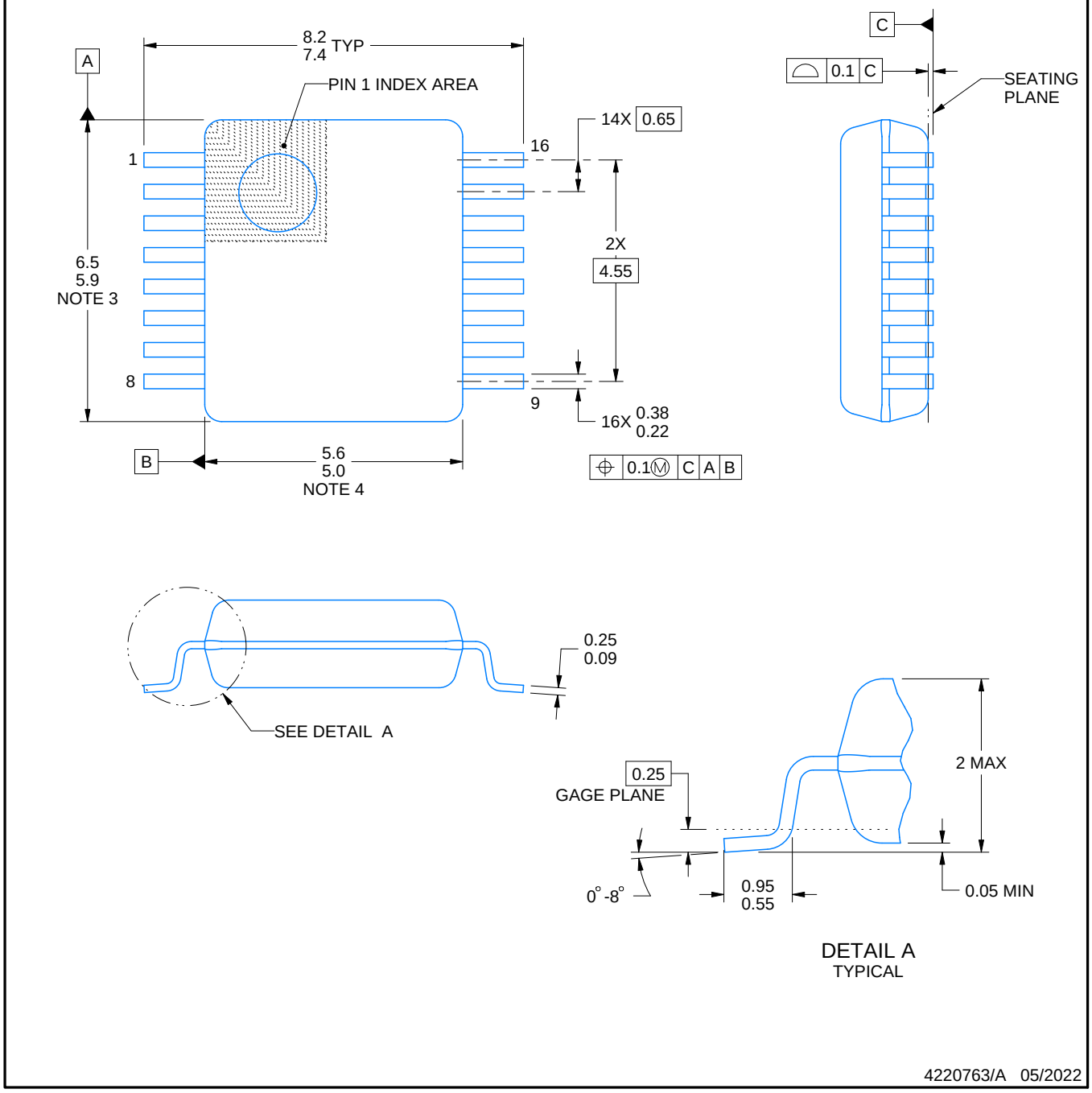
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
D. Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
E. Reference JEDEC MS–012 variation AC.

PACKAGE OUTLINE

DB0016A

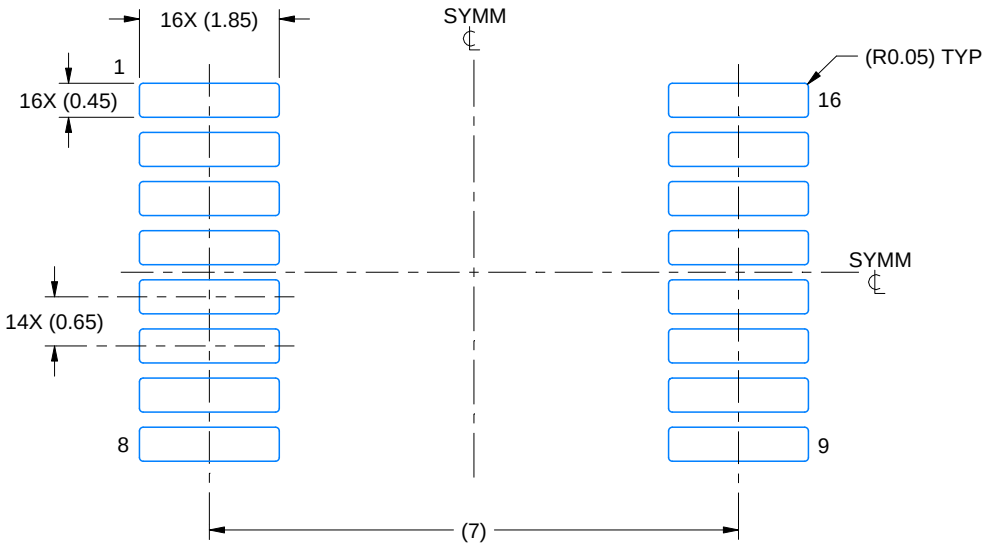
SSOP - 2 mm max height

SMALL OUTLINE PACKAGE

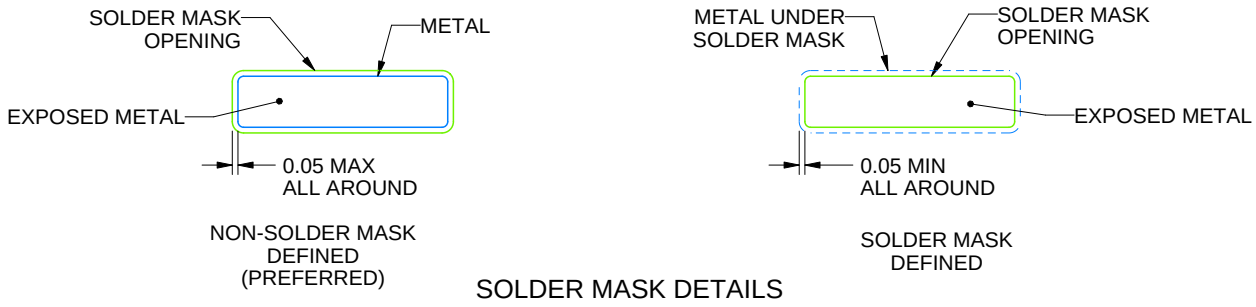


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

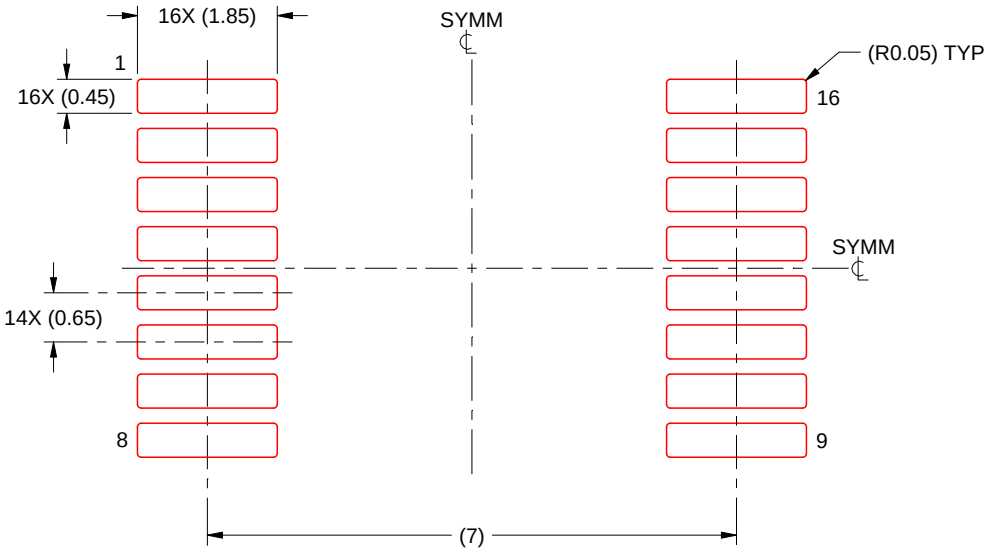


SOLDER MASK DETAILS

4220763/A 05/2022

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220763/A 05/2022

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月