

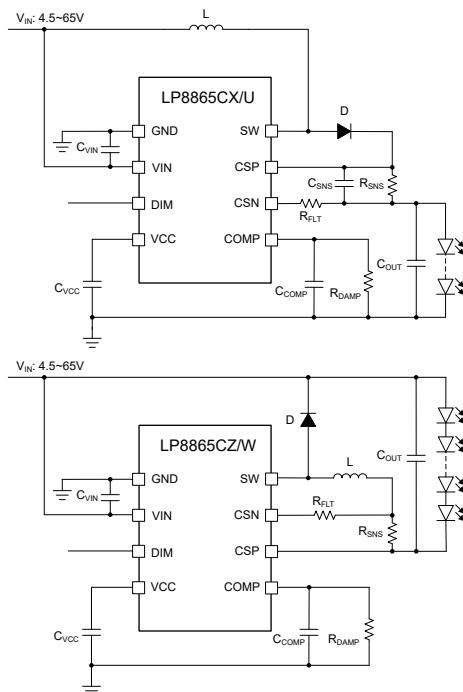
LP8865C-Q1 低成本汽车类多拓扑 LED 驱动器

1 特性

- 符合面向汽车应用的 AEC-Q100 标准：
 - 温度等级 1：
 - 40°C 至 +125°C, T_A
- 适用于降压、降压/升压和升压拓扑的集成式 MOSFET
 - 宽输入电压：4.5V 至 65V
 - 集成式典型 2.8A 和 300mΩ MOSFET
 - 400kHz 固定开关频率
- 高精度功率 FET 调光
 - U/V/W 版本的模拟调光
 - 针对 X/Y/Z 版本的快速 PWM 调光
- 全面保护特性：
 - LED 开路和短路保护
 - 逐周期电流限制
 - 开关 FET 故障保护
 - 热关断

2 应用

- 汽车信息娱乐系统
- 汽车仪表组
- 抬头显示 (HUD)
- 汽车照明



典型 LED 驱动器应用示意图

3 说明

LP8865C-Q1 系列是一种低成本非同步多拓扑解决方案，具有 4.5V 至 65V 的宽输入范围。通过集成低侧 NMOS 开关，该器件能够以高功率密度和高效率驱动 LED。该系列还支持共阴极连接和单层 PCB 设计。开关频率固定为 400kHz。

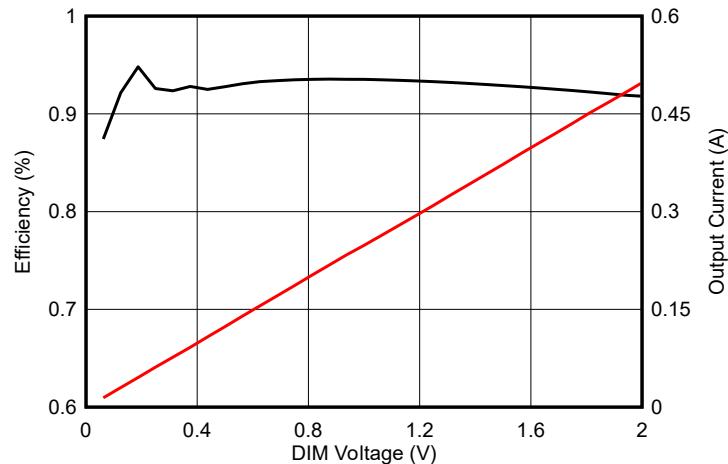
LP8865C-Q1 系列可以通过简单的高电平和低电平信号通过 DIM 输入引脚进行配置来支持 PWM 调光，也可以通过模拟电压信号通过 DIM 输入引脚进行配置来支持模拟调光。该器件采用自适应关断时间电流模式控制，结合智能且精确的采样技术，可实现快速的 PWM 调光，并达到高调光比。

LP8865C-Q1 系列还提供多种系统保护，包括 LED 开路和短路保护、开关 FET 开路和短路保护、检测电阻开路和短路以及热关断保护。

封装信息

器件型号	封装 1	本体尺寸 (标称值)
LP8865C-Q1	HVSSOP (8)	3.0mm x 3.0mm

- 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。



调光线性度和效率



本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性	1	7.3 特性说明	10
2 应用	1	8 应用和实施	14
3 说明	1	8.1 应用信息	14
4 比较表	3	8.2 典型应用	14
5 引脚配置和功能	3	8.3 电源相关建议	22
6 规格	5	8.4 布局	22
6.1 绝对最大额定值	5	9 器件和文档支持	25
6.2 ESD 等级	5	9.1 接收文档更新通知	25
6.3 建议运行条件	5	9.2 支持资源	25
6.4 热性能信息	5	9.3 商标	25
6.5 电气特性	6	9.4 静电放电警告	25
6.6 典型特性	6	9.5 术语表	25
7 详细说明	9	10 修订历史记录	25
7.1 概述	9	11 机械、封装和可订购信息	26
7.2 功能方框图	9		

4 比较表

器件型号	拓扑	调光模式	开关频率
LP8865CXQDGNRQ1	升压	PWM 调光	400kHz
LP8865CYQDGNRQ1	降压/升压	PWM 调光	400kHz
LP8865CZQDGNRQ1	降压	PWM 调光	400kHz
LP8865CUQDGNRQ1	升压	模拟调光	400kHz
LP8865CVQDGNRQ1	降压/升压	模拟调光	400kHz
LP8865CWQDGNRQ1	降压	模拟调光	400kHz

5 引脚配置和功能

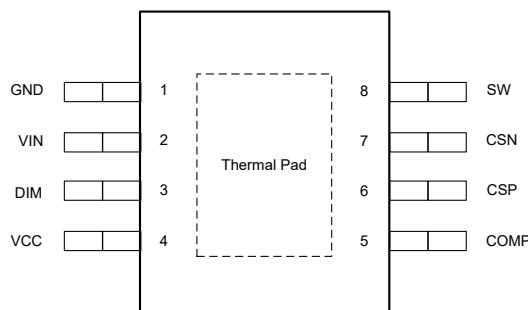


图 5-1.8 引脚降压 HVSSOP 顶视图

表 5-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
编号	名称		
1	GND	G	接地引脚。
2	VIN	P	输入电源引脚。
3	DIM	I	用于 X/Y/Z 的 PWM 调光引脚用于 PWM 调光的输入 PWM 信号。用于 U/V/W 的模拟调光引脚用于模拟调光的输入模拟信号。
4	VCC	P	内部 LDO 输出引脚。将一个 16V、1 μ F 电容器连接到 GND。
5	COMP	I/O	误差放大器输出。将电容器连接至 GND。不同的电容值决定了不同的软启动时间和带宽。
6	CSP	I	LED 电流检测正极引脚。
7	CSN	I	LED 电流检测负极引脚。
8	SW	P	开关节点引脚。内部连接到低侧 MOSFET。连接功率电感器和肖特基二极管。
Pad	散热焊盘	NC	无连接。

1. I = 输入, O = 输出, P = 电源, G = 接地

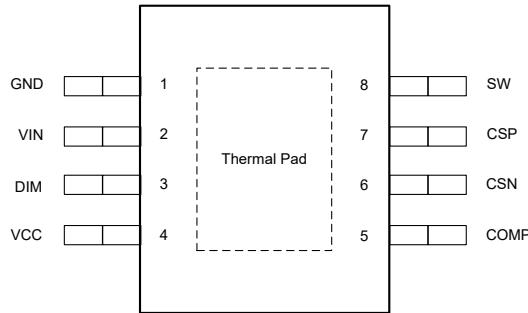


图 5-2. 8 引脚升压、降压/升压 HVSSOP 顶视图

表 5-2. 用于升压、降压/升压拓扑的引脚功能

引脚		类型 ⁽¹⁾	说明
VSON 封装	名称		
1	GND	G	接地引脚。
2	VIN	P	输入电源引脚。
3	DIM	I	用于 X/Y/Z 的 PWM 调光引脚用于 PWM 调光的输入 PWM 信号。用于 U/V/W 的模拟调光引脚用于模拟调光的输入模拟信号。
4	VCC	P	内部 LDO 输出引脚。将一个 16V、1 μ F 电容器连接到 GND。
5	COMP	I/O	误差放大器输出。将电容器连接至 GND。不同的电容值决定了不同的软启动时间和带宽。
6	CSN	I	LED 电流检测负极引脚。
7	CSP	I	LED 电流检测正极引脚。
8	SW	P	开关节点引脚。内部连接到低侧 MOSFET。连接功率电感器和肖特基二极管。
Pad	散热焊盘	NC	无连接。

(1) I = 输入, O = 输出, P = 电源, G = 接地

6 规格

6.1 绝对最大额定值

在工作环境温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
引脚 VIN、CSP、CSN、SW 上的电压		-0.3	65	V
引脚 VCC、DIM、COMP 上的电压		-0.3	5.5	V
T _J	结温	-40	150	°C
T _{stg}	贮存温度	-65	150	°C

(1) 应力超出绝对最大额定值下面列出的值时可能会对器件造成永久损坏。这些列出的值仅仅是应力等级，并不表示器件在这些条件下以及在建议工作条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

6.2 ESD 等级

			值	单位
V _(ESD)	静电放电	人体放电模型 (HBM) , 符合 AEC Q100-002 ⁽¹⁾ HBM ESD 分类等级 2	±2000	V
		充电器件模型 (CDM) , 符合 AEC Q100-011 CDM ESD 分类等级 C2a	±500	

(1) AEC Q100-002 指示应当按照 ANSI/ESDA/JEDEC JS-001 规范执行 HBM 应力测试。

6.3 建议运行条件

在工作环境温度范围内测得 (除非另有说明)

		最小值	最大值	单位
V _{IN}	电源电压范围	4.5	63	V
V _{SW}	开关节点电压范围	0	63	V
V _{CSP} , V _{CSN}	检测共模电压范围	0	63	V
V _{VCC}	LDO 输出电压范围	0	5.3	V
V _{DIM}	调光电压范围	0	5	V
V _{COMP}	补偿电容器电压范围	0	5	V
T _A	工作环境温度	-40	125	°C

6.4 热性能信息

热指标 ⁽¹⁾		LP8865C-Q1	单位
		HVSSOP	
		8 引脚	
R _{θ JA}	结至环境热阻	47.8	°C/W
R _{θ JC(top)}	结至外壳 (顶部) 热阻	74.1	°C/W
R _{θ JB}	结至电路板热阻	20.4	°C/W
Ψ _{JT}	结至顶部特征参数	4.6	°C/W
Ψ _{JB}	结至电路板特征参数	20.4	°C/W

(1) 有关新旧热指标的更多信息，请参阅《半导体和 IC 封装热指标》应用报告 [SPRA953](#)。

6.5 电气特性

除非另外注明，否则本部分规定的电气额定值适用于本文档的所有规格。这些规格可解释为在该产品的使用寿命范围内，不会导致器件参数或功能规格下降的各项条件。 $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ ， $V_{IN} = 7\text{V}$ (除非另有说明)。

参数	测试条件	最小值	典型值	最大值	单位	
输入电源						
V_{VIN_UVLO}	上升 V_{IN}	3.0	3.2	3.4	V	
	下降 V_{IN}	2.8	3.0	3.2	V	
	迟滞	0.2			V	
I_{OFF}	来自 V_{IN} 的 PWM 关断静态电流	$V_{DIM} = 0\text{V}$ ，器件启用	1.0	1.3	mA	
V_{VCC}	内部 LDO 输出电压	$I_{VCC} = 5\text{mA}$	5.0	5.15	5.3	V
I_{VCC_LIM}	内部 LDO 输出电流限值		15	20	26	mA
调光						
V_{PWM_L}	DIM 低电平输入电压 (X/Y/Z 版本)		0.4		V	
V_{PWM_H}	DIM 高电平输入电压 (X/Y/Z 版本)		1.2		V	
$t_{PWM_OUT_ON}$	PWM 输出最短导通时间 (Z 版本)	受设计保证		100	ns	
$t_{PWM_IN_ON}$	PWM 输入最短导通时间 (Z 版本)	受设计保证		100	ns	
V_{ADIM}	DIM 输入电压范围 (U/V/W 版本)		0	2.2	V	
反馈和误差放大器						
$g_{M(ea)}$	跨导增益	$V_{DIM} = 2\text{V}$ ， $V_{CSP-CSN} = 200\text{mV}$	205	265	325	$\mu\text{A/V}$
I_{COMP}	拉电流/灌电流	$V_{DIM} = 2\text{V}$ ， $V_{CSP-CSN} = 200\text{mV} \pm 200\text{mV}$	± 24	± 40	± 56	μA
V_{REF}	CSP-CSN 引脚电压	$V_{DIM} = 2\text{V}$	191	200	209	mV
V_{REF}	CSP-CSN 引脚电压	$V_{DIM} = 0.2\text{V}$	18.5	20	21.5	mV
$I_{LEAK_CSP/N}$	CSP+CSN 引脚漏电流 (Z/W 版本)	$V_{IN} = 60\text{V}$ ， $V_{DIM} = 2\text{V}$		48	μA	
$I_{LEAK_CSP/N}$	CSP+CSN 引脚漏电流 (Z/W 版本)	$V_{IN} = 60\text{V}$ ， $V_{DIM} = 0\text{V}$		15	μA	
$I_{LEAK_CSP/N}$	CSP+CSN 引脚漏电流 (X/Y/U/V 版本)	$V_{IN} = 60\text{V}$ ， $V_{DIM} = 2\text{V}$		183	μA	
$I_{LEAK_CSP/N}$	CSP+CSN 引脚漏电流 (X/Y/U/V 版本)	$V_{IN} = 60\text{V}$ ， $V_{DIM} = 0\text{V}$		164	μA	
功率级						
R_{DSON}	开关 FET 导通电阻	$V_{IN} \geq 5\text{V}$	300		$\text{m}\Omega$	
t_{min_ON}	开关 FET 最短导通时间		140	160	ns	
t_{min_OFF}	开关 FET 最短关断时间		140	160	ns	
f_{SW}	开关 FET 频率		370	400	430	kHz
电流限值						
I_{LIM}	开关 FET 逐周期电流限制 (TPS922051)		2.8	3.2	3.6	A
热保护						
T_{TSD}	热关断温度		165		$^\circ\text{C}$	
	迟滞		15		$^\circ\text{C}$	

6.6 典型特性

除非另有说明，否则 $V_{IN} = 12\text{V}$ 、LED 数量 = 12、 $L = 33\mu\text{H}$ 且 $F_{SW} = 400\text{kHz}$

6.6 典型特性 (续)

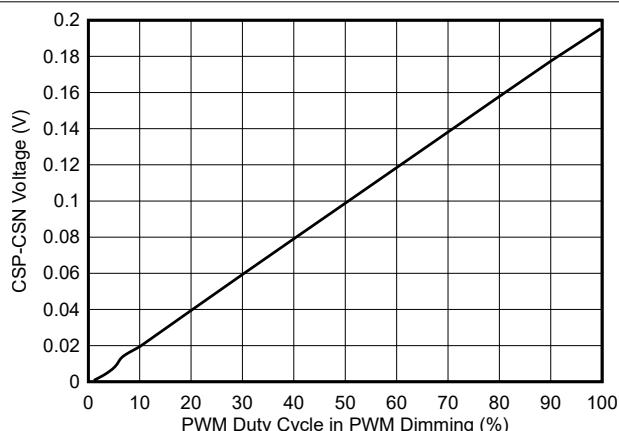


图 6-1. 20kHz PWM 下, PWM 占空比与 CSP-CSN 电压间的关系

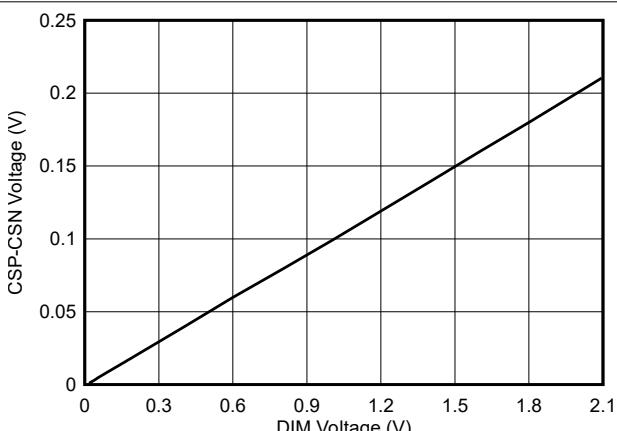


图 6-2. 模拟电压与 CSP-CSN 电压间的关系

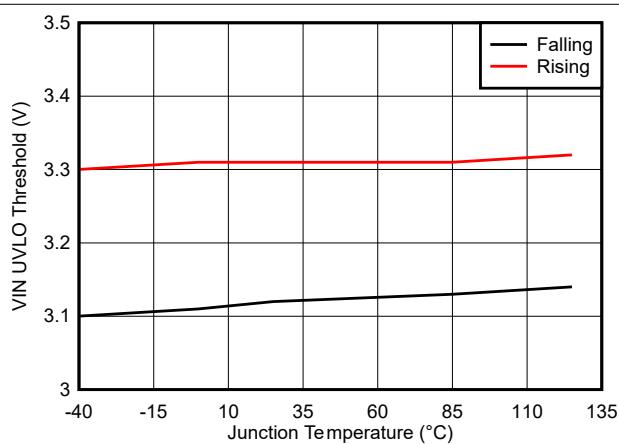


图 6-3. VIN UVLO 阈值与结温间的关系

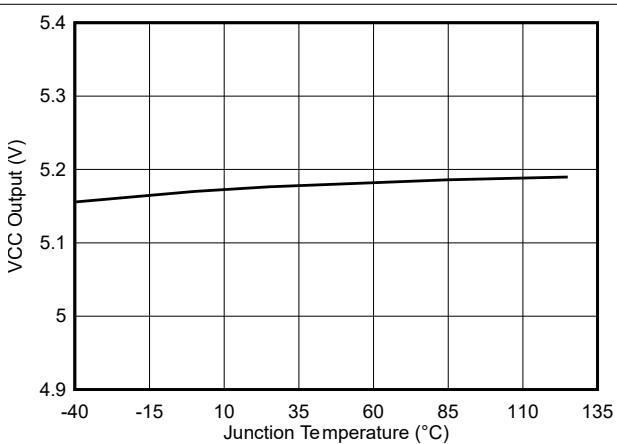


图 6-4. 内部 LDO 输出与结温间的关系

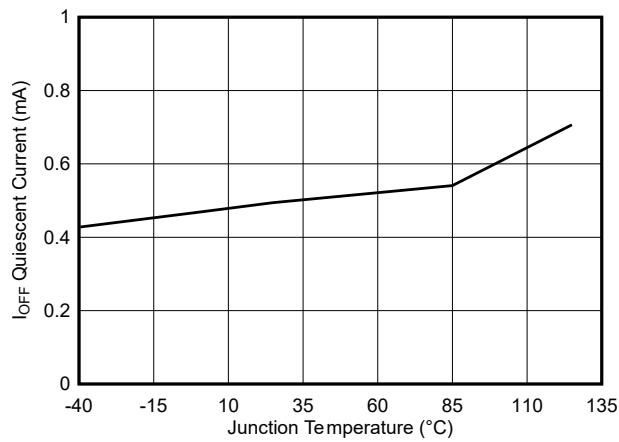


图 6-5. VIN 静态电流与结温间的关系

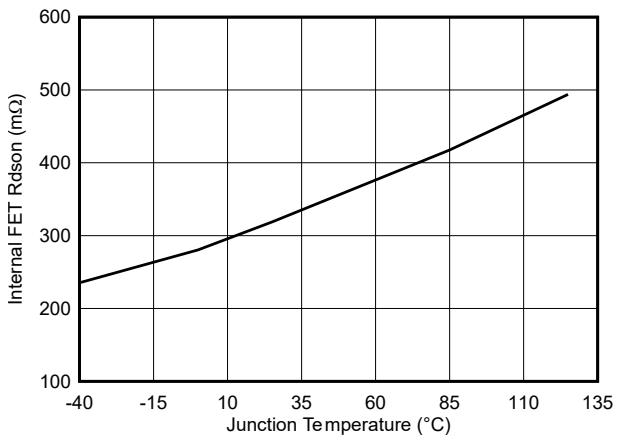


图 6-6. 开关 FET Rdson 与结温间的关系

6.6 典型特性 (续)

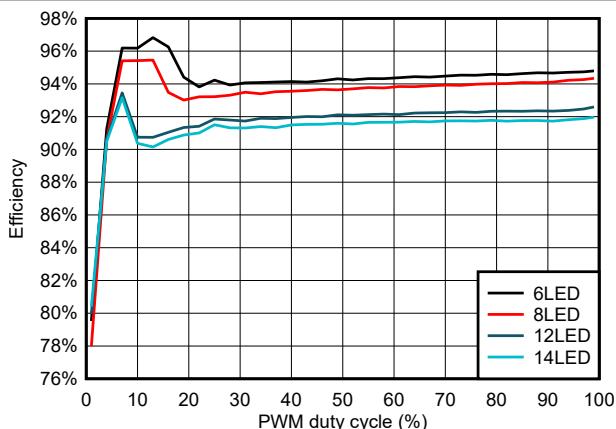


图 6-7. 13V 输入电压、0.5A 输出电流、20kHz PWM 下的升压 PWM 调光效率

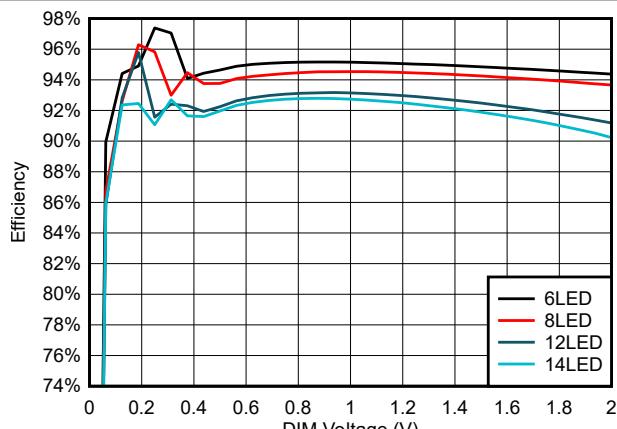


图 6-8. 13V 输入电压、0.5A 输出电流下的升压模拟调光效率

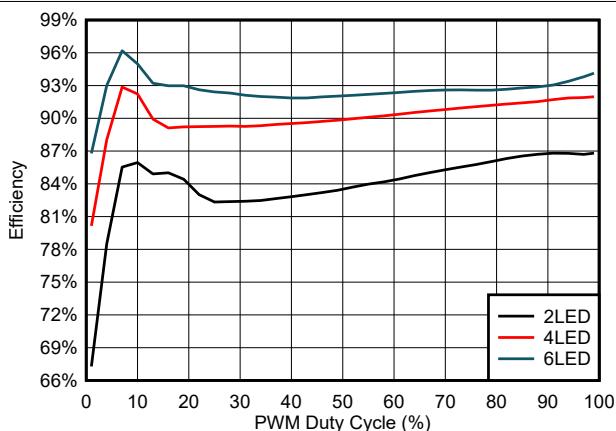


图 6-9. 24V 输入电压、2A 输出电流、20kHz PWM 下的降压 PWM 调光效率

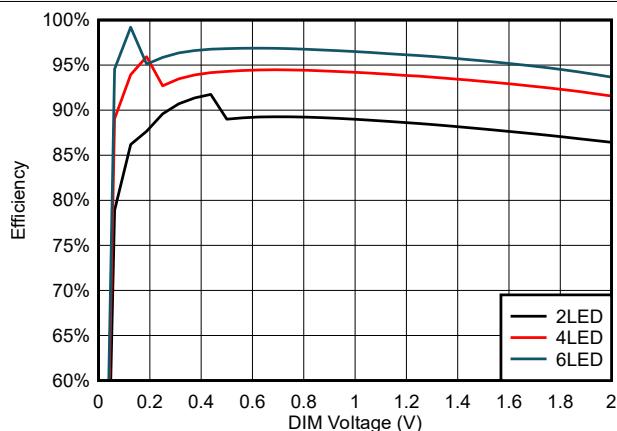


图 6-10. 24V 输入电压、2A 输出电流下的降压模拟调光效率

7 详细说明

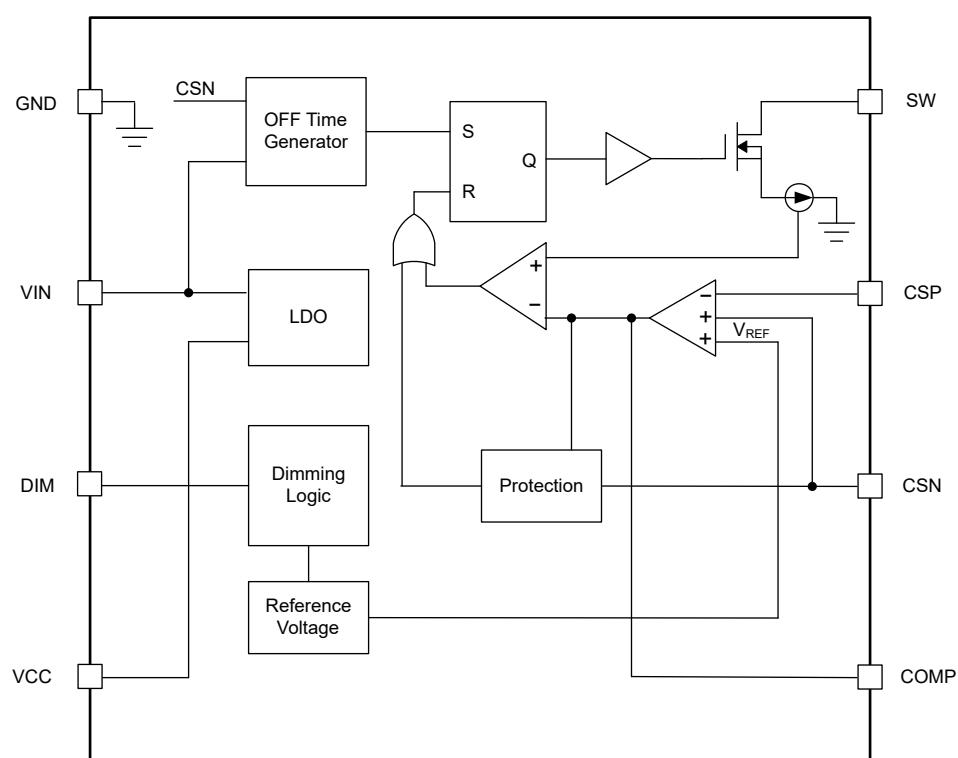
7.1 概述

LP8865C-Q1 系列是一种低成本非同步多拓扑解决方案，具有 4.5V 至 65V 的宽输入范围。通过集成低侧 NMOS 开关，该器件能够以高功率密度和高效率驱动 LED。该系列还支持共阴极连接和单层 PCB 设计。开关频率固定为 400kHz。

LP8865C-Q1XYZ 版本通过 DIM 输入引脚支持 PWM 调光，利用简单的高低电平信号进行配置。LP8865C-Q1U/W 版本通过 DIM 输入引脚支持模拟调光，使用模拟电压信号进行配置。该器件采用自适应关断时间电流模式控制，结合智能且精确的采样技术，可实现快速的 PWM 调光，并达到高调光比。

LP8865C-Q1 系列还提供多种系统保护，包括 LED 开路和短路保护、开关 FET 开路和短路保护、检测电阻开路和短路以及热关断保护。

7.2 功能方框图



7.3 特性说明

7.3.1 自适应关断时间电流模式控制

LP8865C-Q1 系列采用自适应关断时间电流模式控制，可在宽工作范围内支持快速瞬态响应。开关频率设置为 400kHz。

对于平均输出电流调节，该器件会通过误差放大器将 CSP 和 CSN 引脚之间检测电阻上检测到的电压与内部电压基准 V_{REF} 进行比较。误差放大器的输出 V_{COMP} 通过外部补偿网络，然后与 PWM 比较器的峰值电流反馈进行比较。在每个开关周期中，当内部 NMOS FET 导通时，峰值电流通过内部 FET 检测。当在 PWM 比较器的输入端检测到的峰值电流值达到 V_{COMP} 时，NMOS FET 关断，并且自适应关断时间计数器开始计数。自适应关断时间计数器停止计数后，该计数器将复位，直到 NMOS FET 保持关断。计数时间由连接到 FSET 引脚的外部电阻器和输入/输出前馈决定。因此，该器件能够在稳定状态下保持接近恒定的开关频率，并将输出平均电流调节到所需的值。

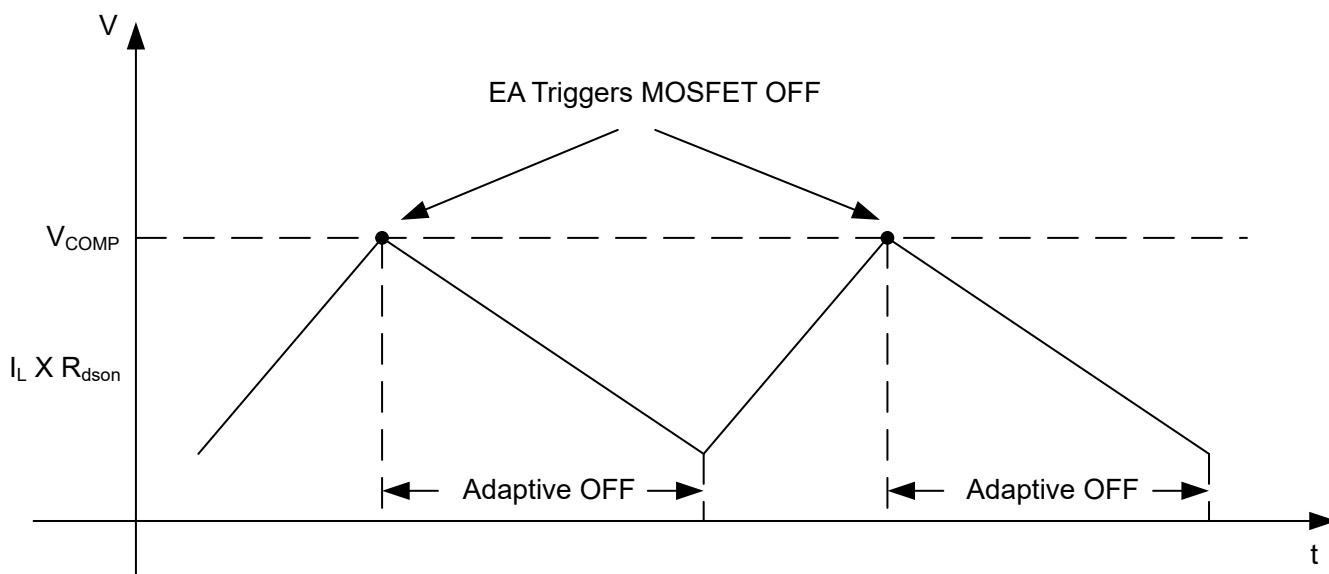


图 7-1. 自适应关断时间电流模式控制方法

7.3.2 设置 LED 电流

CSP 和 CSN 引脚之间的外部电阻 R_{sense} 可控制 LED 的输出电流。目标电流的 R_{sense} 值可以使用公式 [方程式 1](#) 计算。需要注意的是，为了释放 IFD 功能并提高低占空比下输出电流的精度，升压和降压/升压拓扑需要与检测电阻并联的电容器。对于降压拓扑，它是可选的。

$$R_{SENSE} = \frac{V_{REF}}{I_{LED_FS}} \quad (1)$$

其中

- $V_{REF} = 200\text{mV}$
- R_{SENSE} 是电流设置电阻，单位为 $\text{m}\Omega$
- I_{LED} 是输出电流， A

例如，如果 R_{sense} 设置为 $100\text{m}\Omega$ ， I_{LED} 将为 2A 。CSN 上需要一个 $100\Omega R_{FLT}$ 来保护 CSP 和 CSN 引脚。由于 R_{FLT} 上的压降以及 CSP 和 CSN 引脚的共模漏电流，需要考虑 V_{REF} 上的偏移。

7.3.3 内部软启动

LP8865C-Q1 实现内部软启动功能。一旦 V_{IN} 升至高于 V_{VIN_MIN} ，内部 LDO 就会开始为 V_{CC} 电容器充电。如果在 V_{CC} 引脚上连接 $1 \mu F$ 电容器，则需要大约 $800 \mu s$ ， V_{CC} 才能升至高于 V_{VIN_UVLO} 。在 V_{CC} 高于 V_{VIN_UVLO} 后立即启用 POR。在这种情况下，如果使用 $1 \mu F$ V_{CC} 电容器，则建议在 V_{IN} 升至高于 V_{VIN_MIN} 后等待 $1ms$ ，然后再启动调光模式。

如果在 V_{CC} 升至高于 V_{VIN_UVLO} 后 DIM 引脚开始上升或出现第一个 PWM 脉冲，则器件立即开始开关。对于 PWM 调光版本，开始调光时，DIM 输入引脚处的初始 PWM 脉冲可小至 $50ns$ 。

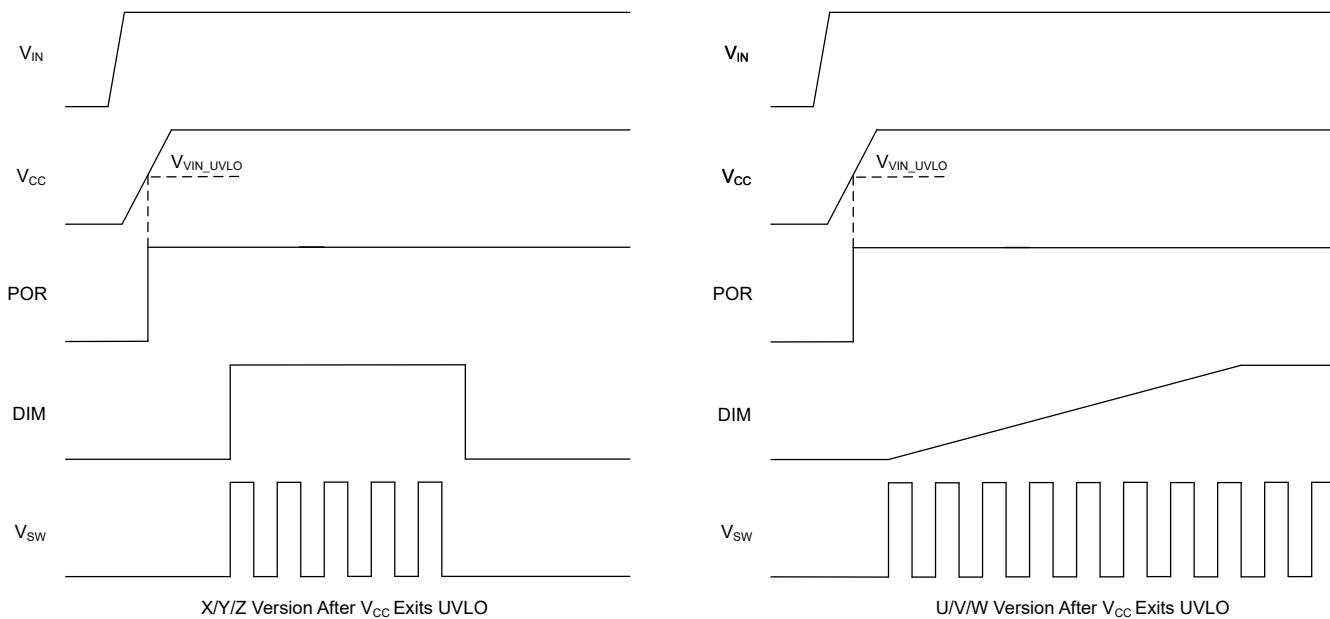


图 7-2. 启动顺序

7.3.4 调光模式

LP8865C-Q1 X/Y/Z 版本支持 PWM 调光模式。LP8865C-Q1 U/V/W 版本支持模拟调光模式。

下面显示了调光模式的配置：

表 7-1. 调光模式配置

调光模式	器件型号	DIM 引脚
PWM 调光	LP8865CX/Y/Z 版本	PWM 信号
模拟调光	LP8865CU/V/W 版本	模拟信号

7.3.4.1 PWM 调光

LP8865CX/Y/Z 支持脉宽低至 50ns 的超窄 PWM 输入信号，可实现直接 PWM 调光。当 DIM 输入引脚由 PWM 输入信号配置时，PWM 调光开始。

当 DIM 引脚上的 PWM 输入信号从低电平变为高电平时，内部 NMOS FET 开始开关，而电感器电流会上升到检测电阻确定的值。然后，只要 PWM 输入信号保持高电平，LED 电流就会调节到确定的值。当 PWM 输入信号从高电平变为低电平时，内部 FET 关断，导致电感器电流降至零。只要 PWM 输入信号保持低电平，内部 FET 会保持关断状态，并且 LED 电流保持为零。

7.3.4.2 模拟调光

LP8865CU/V/W 支持模拟调光功能，可通过 DIM 引脚上的模拟输入信号调节 LED 电流。

在器件退出 UVLO 后，内部电压基准 V_{REF} 开始上升。DIM 引脚上出现模拟电压后， V_{REF} 就会继续增加，直到变为与模拟电压成比例的目标值。当 DIM 引脚上的模拟输入信号为 2V， V_{REF} 为 200mV；当模拟输入信号为 0.2V 时， V_{REF} 为 20mV。当 DIM 引脚上的模拟输入信号高于 2.2V 时， V_{REF} 被钳位在 220mV。当模拟输入信号低于 10mV 时， V_{REF} 为 0V 且器件停止开关。该电路能够以微秒的延迟响应模拟输入信号的电压变化。

7.3.5 故障保护

LP8865C-Q1 能够在多种故障条件下提供故障保护，包括 LED 开路、LED 短路、LED 对 GND 短路、检测电阻开路和短路、内部开关 FET 开路和短路，以及热关断。不同拓扑的故障判据如下所示。

表 7-2. 降压拓扑中的保护功能

类型	标准	行为
LED 开路负载	$V_{CSP} < 1V$	该器件以最短导通时间保持开关。
LED+ 和 LED- 短路	$V_{IN} - V_{CSP} < 100mV$	器件保持开关。
LED- 接地短路	$V_{CSP} < 1V$, 持续 $100 \mu s$	该器件以最短导通时间保持开关。
检测电阻开路负载	$V_{CSP} - V_{CSN} > 300mV$	器件停止开关并在故障消除后恢复。
检测电阻短路	COMP 引脚高钳位电压	器件在逐周期电流限制下保持开关。
开关 FET 开路	COMP 引脚高钳位电压	器件在逐周期电流限制下保持开关。
开关 FET 短路	$V_{CSP} - V_{CSN} > 300mV$	器件停止开关并在故障消除后恢复。
热关断	$T_J > T_{TSD}$	器件停止开关并在 T_J 降至迟滞水平以下时恢复。

表 7-3. 升压、降压/升压拓扑中的保护功能

类型	标准	行为
LED 开路负载	$V_{CSP} > 65V$	器件停止开关并在故障消除后恢复。
LED+ 和 LED- 短路 (降压/升压)	$V_{CSN} - V_{IN} < 100mV$	器件保持开关。
LED+ 接地短路	$V_{CSP} - V_{CSN} > 300mV$	器件停止开关并在故障消除后恢复。
检测电阻开路负载	$V_{CSP} - V_{CSN} > 300mV$	器件停止开关并在故障消除后恢复。
检测电阻短路	COMP 引脚高钳位电压	器件在逐周期电流限制下保持开关。
开关 FET 开路	COMP 引脚高钳位电压	器件在逐周期电流限制下保持开关。
开关 FET 短路	COMP 引脚高钳位电压	器件在逐周期电流限制下保持开关。
热关断	$T_J > T_{TSD}$	器件停止开关并在 T_J 降至迟滞水平以下时恢复。

8 应用和实施

8.1 应用信息

LP8865C-Q1 可以支持不同器件型号的降压、升压、降压/升压转换器。

LP8865C-Q1 X/U 版本通常用作升压转换器，LP8865C-Q1 Y/V 版本通常用作降压/升压转换器，而 LP8865C-Q1 Z/W 版本通常用作降压转换器。

8.2 典型应用

8.2.1 LP8865CUQDGNRQ1 12V 输入、1A 输出、8 片式 WLED 驱动器，带模拟调光功能

LP8865CUQDGNRQ1 通常用作带模拟调光功能的升压转换器，用于通过 4.5V 至 63V 范围的输入驱动 LED。

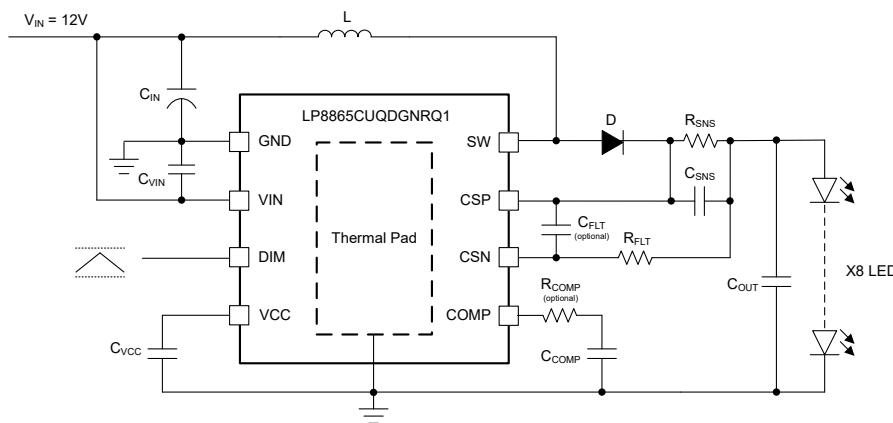


图 8-1. LP8865CUQDGNRQ1 的典型应用

8.2.1.1 设计要求

本设计示例使用下表中的参数。

表 8-1. 设计参数

参数	值
输入电压	9V 至 16V
LED 灯串	8 LED
输出电压	24V
开关频率	400kHz
最大 LED 电流	0.5A
电感器电流纹波	最大电感电流的 40%
调光类型	模拟版本

8.2.1.2 详细设计过程

8.2.1.2.1 电感器选型

对于此设计，输入电压为 9V 至 16V。输出为 8 个串联白光 LED，并且根据要求，电感器电流纹波小于最大 LED 电流的 40%。为了选择合适的峰峰值电感器电流纹波，当转换器在空载条件下工作时，不应超出低侧 FET 电流限制。这要求峰峰值电感器电流纹波的一半低于该限值。另一个考虑因素是确保峰峰值电流纹波引起的电感磁芯损耗和铜损耗在合理的范围内。选择此峰峰值电感器电流纹波后，使用 [方程式 2](#) 计算电感 L 的建议值。

$$L = \frac{V_{IN(min)} \times (V_{OUT} - V_{IN(min)})}{V_{OUT} \times K_{IND} \times I_{L(max)} \times f_{SW}} \quad (2)$$

其中

- K_{IND} 是一个系数，表示电感器纹波电流值与最大平均 LED 电流之比。
- $I_{L(max)}$ 是最低输入电压下的最大平均电感器电流。
- f_{SW} 是开关频率，在此例中为 400kHz。
- $V_{IN(min)}$ 为最小输入电压。
- V_{OUT} 是 LED 负载上的电压与检测电阻上的电压之和。

使用所选的电感器值，用户可以使用 [方程式 3](#) 计算实际的电感器电流纹波。

$$I_{L(ripple)} = \frac{V_{IN(min)} \times (V_{OUT} - V_{IN(min)})}{V_{OUT} \times L \times f_{SW}} \quad (3)$$

电感器 RMS 电流和饱和电流的设计额定值必须大于系统要求中的额定值。这是为了确保不会发生电感器过热或饱和。在上电、瞬态条件或故障条件下，电感器电流可能超过其正常工作电流并达到电流限制。因此，最好选择等于或大于转换器电流限制的饱和电流额定值。峰值电感器电流和 RMS 电流公式如 [方程式 4](#) 和 [方程式 5](#) 所示。

$$I_{L(peak)} = I_{L(max)} + \frac{I_{L(ripple)}}{2} \quad (4)$$

$$I_{L(rms)} = \sqrt{I_{L(max)}^2 + \frac{I_{L(ripple)}^2}{2}} \quad (5)$$

在本设计中， $V_{IN(min)} = 9V$ 、 $V_{OUT} = 24V$ 、 $I_{LED} = 0.5A$ 、 $f_{SW} = 400kHz$ ，考虑到效率为 0.9、 $I_{L(min)} = 1.48A$ ，选择 $K_{IND} = 0.4$ ，计算出的电感为 23.7 μH 。这里选择了 22 μH 电感器。使用该电感器时，该电感器的纹波电流、峰值电流和均方根电流分别为 0.64A、1.80A 和 1.48A。

8.2.1.2.2 输入电容器选型

需要一个输入电容器来减少从输入电源汲取的浪涌电流和来自器件的开关噪声。建议使用电解电容器来存储能量。强烈建议使用采用 X5R 或 X7R 电介质的陶瓷电容器，因为它们具有低 ESR 和小温度系数。对于大多数应用，建议在 VIN 至 PGND/AGND 之间放置一个 10 μF 陶瓷电容器和一个 0.1 μF 电容器，以提供高频滤波。额定输入电容器电压必须大于最大输入电压。使用 [方程式 6](#) 可以计算输入纹波电压，其中 ESR_{CIN} 是输入电容器的 ESR，而 K_{DR} 是施加直流电压时陶瓷电容的降额系数。

$$V_{IN(ripple)} = \frac{I_{L(ripple)}}{8 \times K_{DR} \times C_{IN} \times f_{SW}} \quad (6)$$

在该设计中，选择了 33 μF 100V 电解电容器、10 μF 100V X7R 陶瓷电容器和 0.1 μF 100V X7R 陶瓷电容器，生成大约 40mV 的输入纹波电压。

8.2.1.2.3 输出电容器选型

输出电容器可降低流经 LED 灯串的高频电流纹波。过大的电流纹波会增加 LED 灯串中的 RMS 电流，从而会增加 LED 温度。

1. 使用 LED 制造商的数据表来计算 LED 灯串的总动态电阻 (R_{LED})。
2. 根据经过 LED 灯串的可接受峰峰值纹波电流 $I_{LED(ripple)}$ ，计算输出电容所需的阻抗 (Z_{OUT})。 $I_{L(ripple)}$ 是使用所选电感器计算得出的峰峰值电感器纹波电流。
3. 计算所需的最小有效输出电容。
4. 由于施加直流电压会产生降额效应，可适当增大输出电容。

请参阅[方程式 7](#)、[方程式 8](#) 和[方程式 9](#)。

$$R_{LED} = \frac{\Delta V_F}{\Delta I_F} \times \# \text{ of LEDs} \quad (7)$$

$$Z_{COUT} = \frac{R_{LED} \times I_{LED(ripple)}}{I_{L(max)} - I_{LED(ripple)}} \quad (8)$$

$$C_{COUT} = \frac{1}{2\pi \times f_{SW} \times Z_{COUT}} \quad (9)$$

选择输出电容器后，[方程式 10](#) 可用于估算流经 LED 灯串的峰峰值纹波电流。

$$I_{LED(ripple)} = \frac{Z_{COUT} \times I_{L(max)}}{Z_{COUT} + R_{LED}} \quad (10)$$

这里使用的是 Osram WLED。正向电流为 0.5A 时，LED 的动态电阻为 1Ω 。强烈建议使用采用 X5R 或 X7R 电介质的陶瓷电容器，因为它们具有低 ESR 和小温度系数。此设计选择了三个 $10\mu\text{F}$ 100V X7R 陶瓷电容器和一个 $0.1\mu\text{F}$ 100V X7R 陶瓷电容器。计算得出的 LED 纹波电流约为 19.4mA 。

8.2.1.2.4 感测电阻选择

在 100% PWM 占空比下，最大 LED 电流为 0.5A ，相应的 V_{REF} 为 200mV 。通过使用[方程式 11](#)，计算出的检测电阻为 $400\text{m}\Omega$ 。请注意，检测电阻的功耗为 100mW ，在选择该电阻的额定功率时需要留有足够的裕量。

$$R_{SENSE} = \frac{V_{REF}}{I_{LED_FS}} \quad (11)$$

在本设计中，在 CSN 引脚处使用 100Ω 电阻作为 RFLT，以避免噪声注入并提高稳健性。可选用 1nF 、 50V X7R 陶瓷电容器作为 CFLT，放置于 CSP 和 CSN 引脚之间，用于滤除检测反馈中的高频噪声。根据下列公式，选择了 $10\mu\text{F}$ 、 50V X7R 陶瓷电容器放在 CSNS 和 RSNS 之间，以便将检测反馈的交流幅度抑制为低于 200mV 。

$$C_{SENSE} = \frac{0.25 \times I_{L(max)}}{200\text{mV} \times f_{SW}} \quad (12)$$

8.2.1.2.5 其他外部元件选择

为了实现环路稳定性，建议选择 10nF 、 10V X7R 陶瓷电容器作为 C_{COMP} ，也可选用一个 100Ω 电阻作为 R_{COMP} 。

8.2.2 LP8865CYQDGNRQ1 24V 输入、0.5A 输出、4 片式 WLED 驱动器，带 PWM 调光功能

LP8865CUQDGNRQ1 通常用作带 PWM 调光功能的降压/升压转换器，用于通过 4.5V 至 63V 范围的输入驱动 LED。

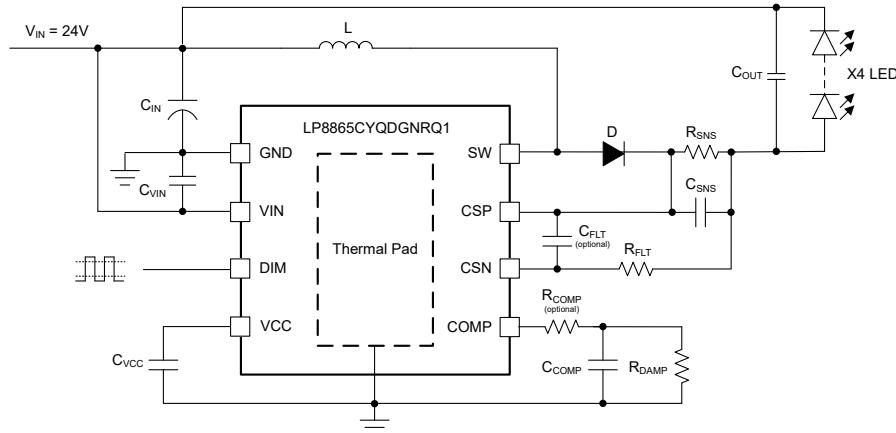


图 8-2. LP8865CYQDGNRQ1 的典型应用

8.2.2.1 设计要求

本设计示例使用下表中的参数。

表 8-2. 设计参数

参数	值
输入电压范围	9V - 16V
LED 灯串	5 LED
输出电压	15V
开关频率	400kHz
最大 LED 电流	0.5A
电感器电流纹波	最大电感电流的 40%
调光类型	PWM 版本

8.2.2.2 详细设计过程

8.2.2.2.1 电感器选型

对于此设计，输入电压为 9V 至 16V。输出为 5 个串联白光 LED，并且根据要求，电感器电流纹波小于最大 LED 电流的 40%。为了选择合适的峰峰值电感器电流纹波，当转换器在空载条件下工作时，不应超出低侧 FET 电流限制。这要求峰峰值电感器电流纹波的一半低于该限值。另一个考虑因素是确保峰峰值电流纹波引起的电感磁芯损耗和铜损耗在合理的范围内。选择此峰峰值电感器电流纹波后，使用方程式 13 计算电感 L 的建议值。

$$L = \frac{V_{IN(min)} \times V_{OUT}}{(V_{OUT} + V_{IN(min)}) \times K_{IND} \times I_{L(max)} \times f_{SW}} \quad (13)$$

其中

- K_{IND} 是一个系数，表示电感器纹波电流值与最大平均 LED 电流之比。
- $I_{L(max)}$ 是最低输入电压下的最大平均电感器电流。
- f_{SW} 是开关频率，在此例中为 400kHz。
- $V_{IN(min)}$ 为最小输入电压。
- V_{OUT} 是 LED 负载上的电压与检测电阻上的电压之和。

使用所选的电感器值，用户可以使用方程式 14 计算实际的电感器电流纹波。

$$I_{L(ripple)} = \frac{V_{IN(min)} \times V_{OUT}}{(V_{OUT} + V_{IN(min)}) \times L \times f_{SW}} \quad (14)$$

电感器 RMS 电流和饱和电流的设计额定值必须大于系统要求中的额定值。这是为了确保不会发生电感器过热或饱和。在上电、瞬态条件或故障条件下，电感器电流可能超过其正常工作电流并达到电流限制。因此，最好选择等于或大于转换器电流限制的饱和电流额定值。峰值电感器电流和 RMS 电流公式如方程式 15 和方程式 16 所示。

$$I_{L(peak)} = I_{L(max)} + \frac{I_{L(ripple)}}{2} \quad (15)$$

$$I_{L(rms)} = \sqrt{I_{L(max)}^2 + \frac{I_{L(ripple)}^2}{2}} \quad (16)$$

在本设计中， $V_{IN(min)} = 9V$ 、 $V_{OUT} = 15V$ 、 $I_{LED} = 0.5A$ ，考虑到效率为 0.8、 $I_{L(max)} = 1.041A$ 、 $f_{SW} = 400kHz$ ，选择 $K_{IND} = 0.4$ ，计算出的电感为 $33.75\mu H$ 。这里选择了 $33\mu H$ 电感器。使用该电感器时，该电感器的纹波电流、峰值电流和均方根电流分别为 $0.43A$ 、 $1.25A$ 和 $1.04A$ 。

8.2.2.2.2 输入电容器选型

需要一个输入电容器来减少从输入电源汲取的浪涌电流和来自器件的开关噪声。建议使用电解电容器来存储能量。强烈建议使用采用 X5R 或 X7R 电介质的陶瓷电容器，因为它们具有低 ESR 和小温度系数。对于大多数应用，建议在 VIN 至 PGND/AGND 之间放置一个 $10\mu F$ 电容器和一个 $0.1\mu F$ 电容器，以提供高频滤波。额定输入电容器电压必须大于最大输入电压。使用方程式 17 可以计算输入纹波电压，其中 ESR_{CIN} 是输入电容器的 ESR，而 K_{DR} 是施加直流电压时陶瓷电容的降额系数。

$$V_{IN(ripple)} = \frac{I_{L(ripple)}}{8 \times K_{DR} \times C_{IN} \times f_{SW}} \quad (17)$$

在该设计中，选择了 $33\mu F 100V$ 电解电容器、 $10\mu F 100V X7R$ 陶瓷电容器和 $0.1\mu F 100V X7R$ 陶瓷电容器，生成大约 $26mV$ 的输入纹波电压。

8.2.2.2.3 输出电容器选型

输出电容器可降低流经 LED 灯串的高频电流纹波。过大的电流纹波会增加 LED 灯串中的 RMS 电流，从而会增加 LED 温度。

1. 使用 LED 制造商的数据表来计算 LED 灯串的总动态电阻 (R_{LED})。
2. 根据通过 LED 灯串的可接受峰峰值纹波电流 $I_{LED(ripple)}$ ，计算输出电容器 (Z_{OUT}) 的所需阻抗， $I_{L(ripple)}$ 是使用所选电感器计算得出的峰峰值电感器纹波电流。
3. 计算所需的最小有效输出电容。
4. 由于施加直流电压会产生降额效应，可适当增大输出电容。

请参阅 [方程式 18](#)、[方程式 19](#) 和 [方程式 20](#)。

$$R_{LED} = \frac{\Delta V_F}{\Delta I_F} \times \# \text{ of LEDs} \quad (18)$$

$$Z_{COUT} = \frac{R_{LED} \times I_{LED(ripple)}}{I_{L(max)} - I_{LED(ripple)}} \quad (19)$$

$$C_{COUT} = \frac{1}{2\pi \times f_{SW} \times Z_{COUT}} \quad (20)$$

选择输出电容器后，[方程式 21](#) 可用于估算流经 LED 灯串的峰峰值纹波电流。

$$I_{LED(ripple)} = \frac{Z_{COUT} \times I_{L(max)}}{Z_{COUT} + R_{LED}} \quad (21)$$

这里使用的是 Osram WLED。正向电流为 0.5A 时，LED 的动态电阻为 1Ω。强烈建议使用采用 X5R 或 X7R 电介质的陶瓷电容器，因为它们具有低 ESR 和小温度系数。此设计选择了两个 10 μF 100V X7R 陶瓷电容器和一个 0.1 μF 100V X7R 陶瓷电容器。计算得出的 LED 纹波电流约为 20.3mA。

8.2.2.2.4 感测电阻选择

在 100% PWM 占空比下，最大 LED 电流为 0.5A，相应的 V_{REF} 为 200mV。通过使用 [方程式 22](#)，计算出的检测电阻为 400mΩ。请注意，检测电阻的功耗为 100mW，在选择该电阻的额定功率时需要留有足够的裕量。

$$R_{SENSE} = \frac{V_{REF}}{I_{LED_FS}} \quad (22)$$

在本设计中，在 CSN 引脚处使用 100Ω 电阻作为 RFLT，以避免噪声注入并提高稳健性。可选用 1nF、50V X7R 陶瓷电容器作为 CFLT，放置于 CSP 和 CSN 引脚之间，用于滤除检测反馈中的高频噪声。根据下列公式，为 CSNS 选择了 2.2 μF、50V X7R 陶瓷电容器，以便将检测反馈的交流幅度抑制为低于 200mV。

$$C_{SENSE} = \frac{0.25 \times I_{L(max)}}{200mV \times f_{SW}} \quad (23)$$

8.2.2.2.5 其他外部元件选择

为了实现环路稳定性，建议选择 10nF、10V X7R 陶瓷电容器作为 C_{COMP} ，也可选用一个 100Ω 电阻作为 R_{COMP} 。这里为 R_{DAMP} 选用了 10MΩ 电阻器，以抑制 PWM 开启时上升沿的过冲电流。

8.2.3 LP8865CWQDGNRQ1 24V 输入、2A 输出、4 片式 WLED 驱动器，带模拟调光功能

LP8865CUQDGNRQ1 通常用作带模拟调光功能的降压转换器，用于通过 4.5V 至 63V 范围的输入驱动 LED。

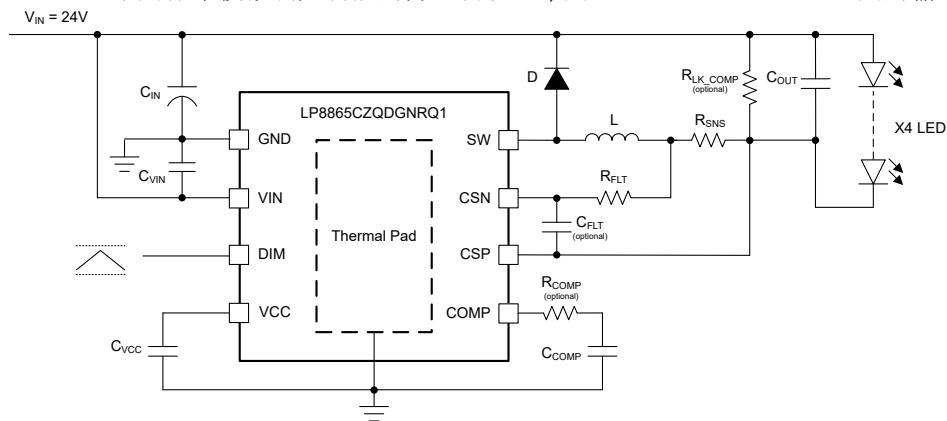


图 8-3. LP8865CUQDGNRQ1 的典型应用

8.2.3.1 设计要求

本设计示例使用下表中的参数。

表 8-3. 设计参数

参数	值
输入电压范围	9V - 16V
LED 灯串	1 LED
输出电压	3V
开关频率	400kHz
最大 LED 电流	2A
电感器电流纹波	最大电感电流的 40%
调光类型	模拟版本

8.2.3.2 详细设计过程

8.2.3.2.1 电感器选型

对于此设计，输入电压为 9V 至 16V。输出为单个白光 LED，并且要求电感电流纹波小于最大 LED 电流的 40%。为了选择合适的峰峰值电感器电流纹波，当转换器在空载条件下工作时，不应超出低侧 FET 电流限制。这要求峰峰值电感器电流纹波的一半低于该限值。另一个考虑因素是确保峰峰值电流纹波引起的电感磁芯损耗和铜损耗在合理的范围内。选择此峰峰值电感电流纹波后，使用[方程式 24](#) 计算电感 L 的建议值。

$$L = \frac{V_{OUT} \times (V_{IN(max)} - V_{OUT})}{V_{IN(max)} \times K_{IND} \times I_{L(max)} \times f_{SW}} \quad (24)$$

其中

- K_{IND} 是一个系数，表示电感器纹波电流值与最大 LED 电流之比。
- $I_{L(max)}$ 是最大平均电感器电流，等于此处的输出电流。
- f_{SW} 为开关频率。
- $V_{IN(max)}$ 为最大输入电压。
- V_{OUT} 是 LED 负载上的电压与检测电阻上的电压之和。

使用所选的电感器值，用户可以使用[方程式 25](#) 计算实际的电感器电流纹波。

$$I_{L(ripple)} = \frac{V_{OUT} \times (V_{IN(max)} - V_{OUT})}{V_{IN(max)} \times L \times f_{SW}} \quad (25)$$

电感器 RMS 电流和饱和电流的设计额定值必须大于系统要求中的额定值。这是为了确保不会发生电感器过热或饱和。在上电、瞬态条件或故障条件下，电感器电流可能超过其正常工作电流并达到电流限制。因此，最好选择等于或大于转换器电流限制的饱和电流额定值。峰值电感器电流和 RMS 电流公式如[方程式 26](#) 和[方程式 27](#) 所示。

$$I_{L(peak)} = I_{L(max)} + \frac{I_{L(ripple)}}{2} \quad (26)$$

$$I_{L(rms)} = \sqrt{I_{L(max)}^2 + \frac{I_{L(ripple)}^2}{2}} \quad (27)$$

在本设计中， $V_{IN(max)} = 16V$ 、 $V_{OUT} = 3V$ 、 $I_{LED} = 2A$ 、 $I_{L(max)} = 2A$ 、 $f_{SW} = 400kHz$ 、选择 $K_{IND} = 0.4$ ，计算出的电感为 $7.6 \mu H$ 。这里选择了 $10\mu H$ 电感器。使用该电感器时，该电感器的纹波电流、峰值电流和均方根电流分别为 $0.61A$ 、 $2.3A$ 和 $2A$ 。

8.2.3.2.2 输入电容器选型

需要一个输入电容器来减少从输入电源汲取的浪涌电流和来自器件的开关噪声。建议使用电解电容器来存储能量。强烈建议使用采用 X5R 或 X7R 电介质的陶瓷电容器，因为它们具有低 ESR 和小温度系数。对于大多数应用，建议在 VIN 至 PGND/AGND 之间放置一个 $10 \mu F$ 电容器和一个 $0.1\mu F$ 电容器，以提供高频滤波。额定输入电容器电压必须大于最大输入电压。使用[方程式 28](#) 可以计算输入纹波电压，其中 ESR_{CIN} 是输入电容器的 ESR，而 K_{DR} 是施加直流电压时陶瓷电容的降额系数。

$$V_{IN(ripple)} = I_{L(max)} \times \left(\frac{V_{OUT}}{K_{DR} \times C_{IN} \times f_{SW} \times V_{IN(max)}} + ESR_{CIN} \right) \quad (28)$$

在该设计中，选择了一个 $33\mu F 100V$ 电解电容器、两个 $22\mu F 100V X7R$ 陶瓷电容器和 $0.1\mu F 100V X7R$ 陶瓷电容器，生成大约 $113mV$ 的输入纹波电压。

8.2.3.2.3 输出电容器选型

输出电容器可降低流经 LED 灯串的高频电流纹波。过大的电流纹波会增加 LED 灯串中的 RMS 电流，从而会增加 LED 温度。

1. 使用 LED 制造商的数据表来计算 LED 灯串的总动态电阻 (R_{LED})。
2. 根据经过 LED 灯串的可接受峰峰值纹波电流 $I_{LED(ripple)}$ ，计算输出电容所需的阻抗 (Z_{OUT})。 $I_{L(ripple)}$ 是使用所选电感器计算得出的峰峰值电感器纹波电流。
3. 计算所需的最小有效输出电容。
4. 由于施加直流电压会产生降额效应，可适当增大输出电容。

请参阅 [方程式 29](#)、[方程式 30](#) 和 [方程式 31](#)。

$$R_{LED} = \frac{\Delta V_F}{\Delta I_F} \times \# \text{ of LEDs} \quad (29)$$

$$Z_{COUT} = \frac{R_{LED} \times I_{LED(ripple)}}{I_{L(ripple)} - I_{LED(ripple)}} \quad (30)$$

$$C_{COUT} = \frac{1}{2\pi \times f_{SW} \times Z_{COUT}} \quad (31)$$

选择输出电容器后，[方程式 32](#) 可用于估算流经 LED 灯串的峰峰值纹波电流。

$$I_{LED(ripple)} = \frac{Z_{COUT} \times I_{L(ripple)}}{Z_{COUT} + R_{LED}} \quad (32)$$

这里使用的是 Osram WLED。正向电流为 2A 时，LED 的动态电阻为 0.67Ω 。强烈建议使用采用 X5R 或 X7R 电介质的陶瓷电容器，因为它们具有低 ESR 和小温度系数。此设计选择了 $4.7\mu F$ 100V X7R 陶瓷电容器和 $0.1\mu F$ 100V X7R 陶瓷电容器。计算得出的 LED 纹波电流约为 $68.4mA$ 。

8.2.3.2.4 感测电阻选择

在 2V 模拟输入下，最大 LED 电流为 2A， V_{REF} 为 200mV。通过使用 [方程式 33](#)，计算出的检测电阻为 $100m\Omega$ 。请注意，检测电阻的功耗为 400mW，在选择该电阻的额定功率时需要留有足够的裕量。

$$R_{SENSE} = \frac{V_{REF}}{I_{LED_FS}} \quad (33)$$

在本设计中，在 CSN 引脚处使用 100Ω 电阻作为 RFLT，以避免噪声注入并提高稳健性。可选用 $1nF$ 、50V X7R 陶瓷电容器作为 CFLT，放置于 CSP 和 CSN 引脚之间，用于滤除检测反馈中的高频噪声。

8.2.3.2.5 其他外部元件选择

此设计中选择了 $0.1\mu F$ 、50V X7R 陶瓷电容器来对检测反馈进行高频滤波。

为了实现环路稳定性，建议选择一个 $1nF$ 、10V X7R 陶瓷电容器作为 C_{COMP} ，以及一个 $1k\Omega$ 电阻作为 R_{COMP} 。这里为 R_{DAMP} 选择了 $1M\Omega$ 电阻器，以抑制 PWM 开启时上升沿的过冲电流。

为了实现环路稳定性，建议选择一个 $1nF$ 、10V X7R 陶瓷电容器作为 C_{COMP} ，也可选用一个 100Ω 电阻作为 R_{COMP} 。可选用一个电阻作为 R_{LK_COMP} ，用于补偿 CSP 和 CSN 引脚的共模漏电流并避免其通过 LED 负载。

8.3 电源相关建议

该器件设计为在 4.5V 至 63V 的输入电源电压范围内运行。该输入电源必须经过良好调节。该器件需要一个输入电容器来减少从输入电源汲取的浪涌电流和来自器件的开关噪声。强烈建议使用采用 X5R 或 X7R 电介质的陶瓷电容器，因为它们具有低 ESR 和小温度系数。对于大多数应用， $10\mu F$ 电容器就足够了。

8.4 布局

LP8865C-Q1 需要适当的布局才能实现最佳性能。下一节提供了一些确保正确布局的指南。

8.4.1 布局指南

下面显示了 LP8865C-Q1 系列升压拓扑、降压/升压拓扑和降压拓扑的正确布局示例。

- 创建大 **GND** 平面对于实现良好的电气和热性能非常重要。
 - **VIN** 和 **GND** 布线应越宽越好，以减少布线阻抗。宽布线具有提供出色散热的额外优势。
 - 散热过孔可用于将顶部 **GND** 平面连接到额外的印刷电路板 (PCB) 层，以实现散热和接地。
 - 输入电容器必须尽可能靠近 **IN** 引脚和 **GND** 引脚。
 - **VCC** 电容器应尽可能靠近 **VCC** 引脚，以确保稳定的 LDO 输出电压。
 - **SW** 布线必须尽可能短，以减少寄生电感，从而减少瞬态电压尖峰。短 **SW** 布线还可降低辐射噪声和 EMI。
 - 不可使开关电流在器件下流过。
 - 建议将 **CSN** 和 **CSP** 布线并联、保持尽可能短，并远离高压开关布线和接地屏蔽。
 - 补偿电容器必须尽可能靠近 **COMP** 引脚，防止振荡和系统不稳定。

8.4.2 布局示例

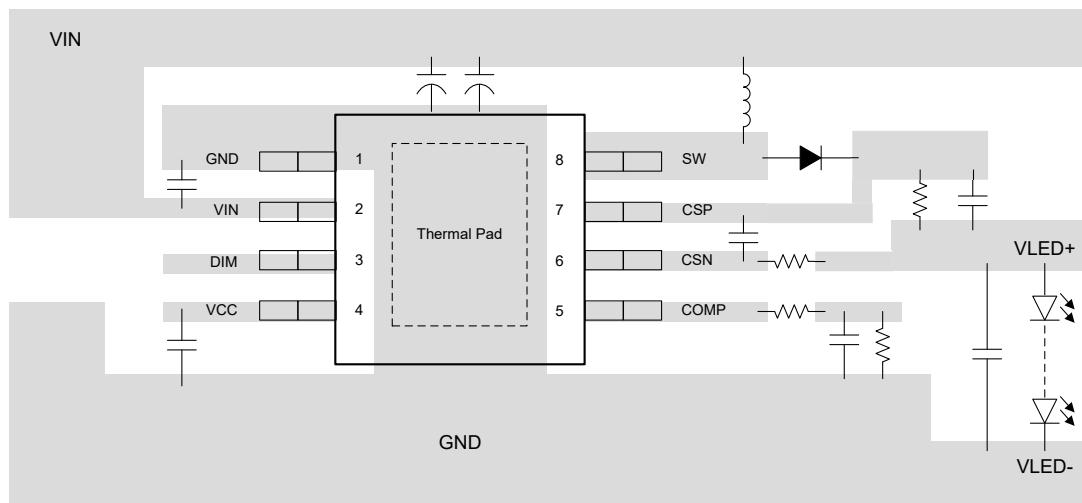


图 8-4. 升压拓扑 顶视图布局示例

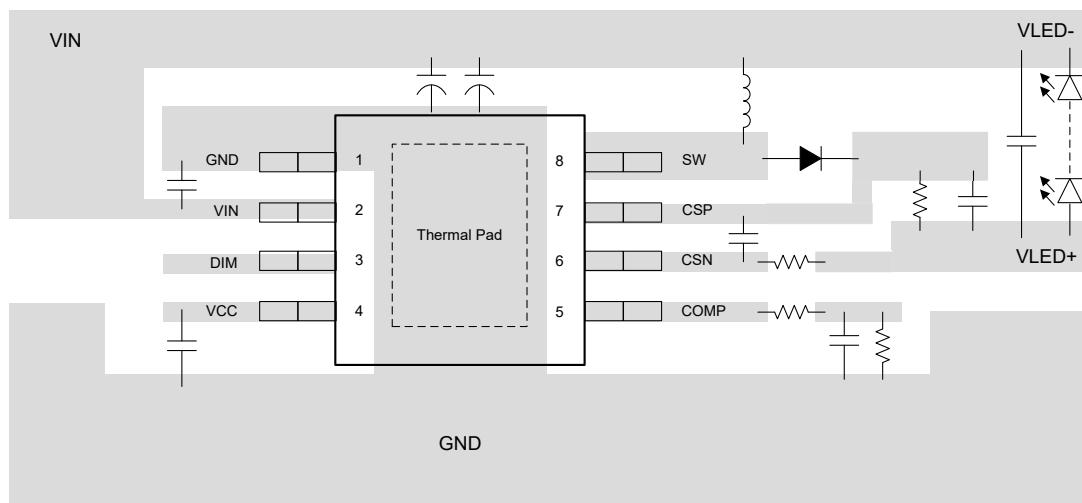


图 8-5. 降压/升压拓扑 顶视图布局示例

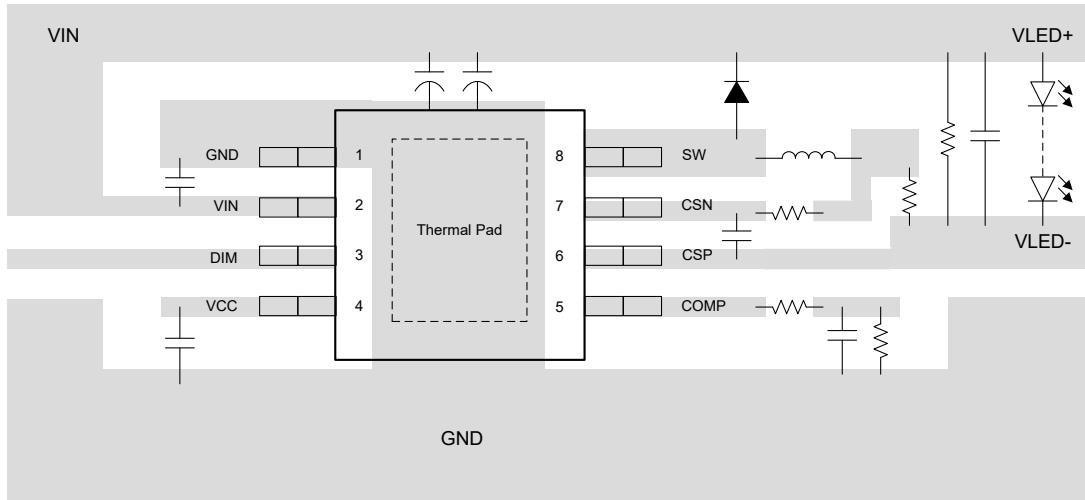


图 8-6. 降压拓扑 顶视图布局示例

9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

日期	修订版本	注释
May 2025	*	初始发行版

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。此信息是指定用途可提供的最新数据。此数据可能会在无通知且不对本文档进行修订的情况下发生更改。如需获取此数据表的浏览器版本，请查看左侧的导航窗格。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LP8865CUQDGNRQ1	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	65CU
LP8865CVQDGNRQ1	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	65CV
LP8865CWQDGNRQ1	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	65CW
LP8865CXQDGNRQ1	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	65CX
LP8865CYQDGNRQ1	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	65CY
LP8865CZQDGNRQ1	Active	Production	HVSSOP (DGN) 8	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	65CZ

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

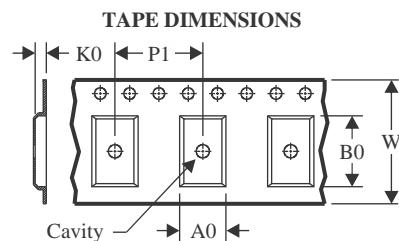
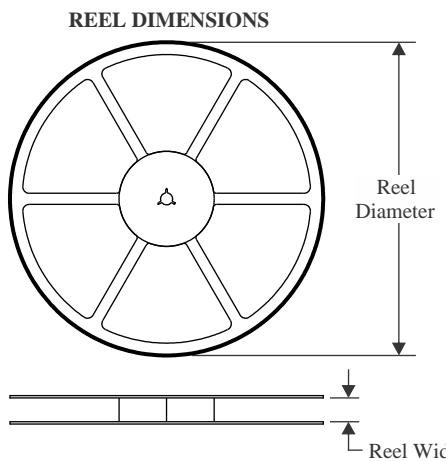
⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

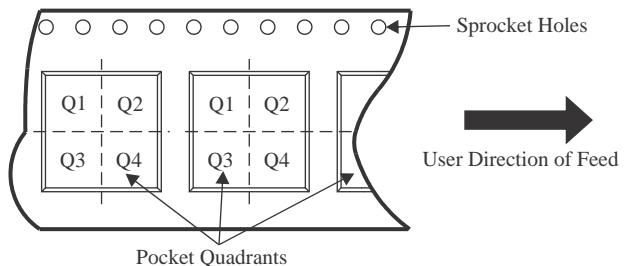
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

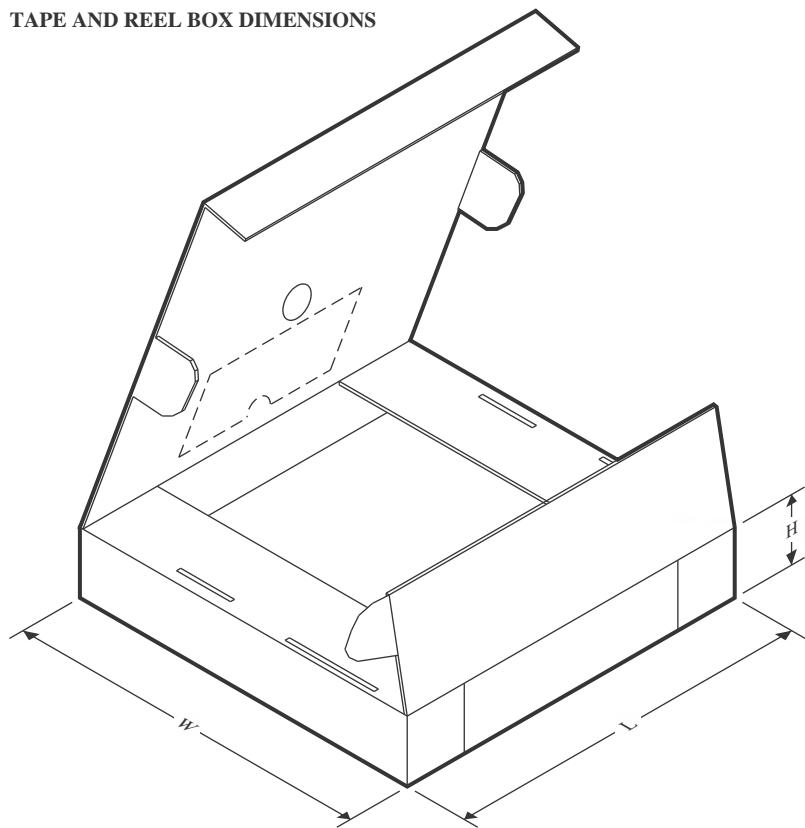
TAPE AND REEL INFORMATION


A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LP8865CUQDGNRQ1	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LP8865CVQDGNRQ1	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LP8865CWQDGNRQ1	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LP8865CXQDGNRQ1	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LP8865CYQDGNRQ1	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LP8865CZQDGNRQ1	HVSSOP	DGN	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LP8865CUQDGNRQ1	HVSSOP	DGN	8	2500	353.0	353.0	32.0
LP8865CVQDGNRQ1	HVSSOP	DGN	8	2500	353.0	353.0	32.0
LP8865CWQDGNRQ1	HVSSOP	DGN	8	2500	353.0	353.0	32.0
LP8865CXQDGNRQ1	HVSSOP	DGN	8	2500	353.0	353.0	32.0
LP8865CYQDGNRQ1	HVSSOP	DGN	8	2500	353.0	353.0	32.0
LP8865CZQDGNRQ1	HVSSOP	DGN	8	2500	353.0	353.0	32.0

GENERIC PACKAGE VIEW

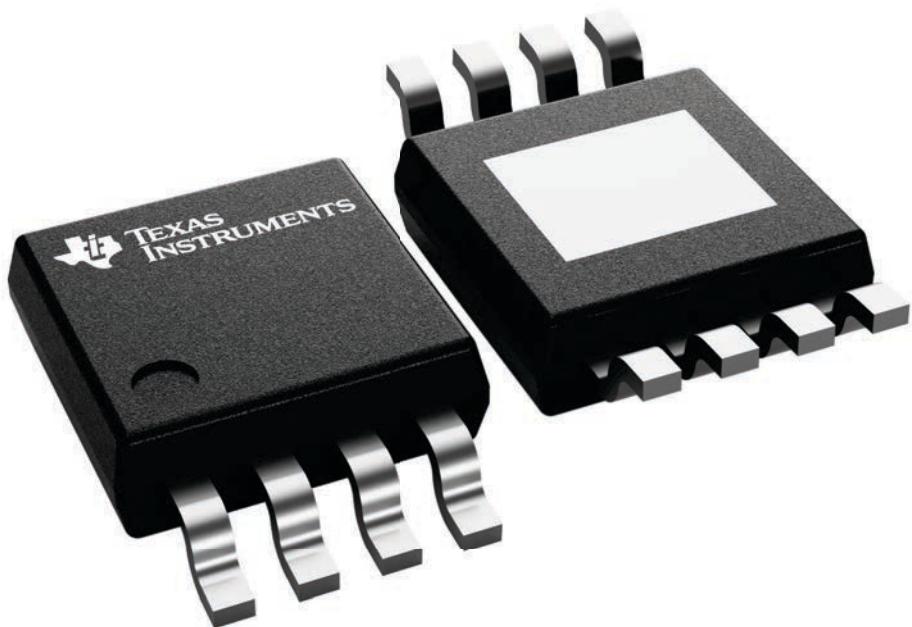
DGN 8

PowerPAD™ HVSSOP - 1.1 mm max height

3 x 3, 0.65 mm pitch

SMALL OUTLINE PACKAGE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4225482/B

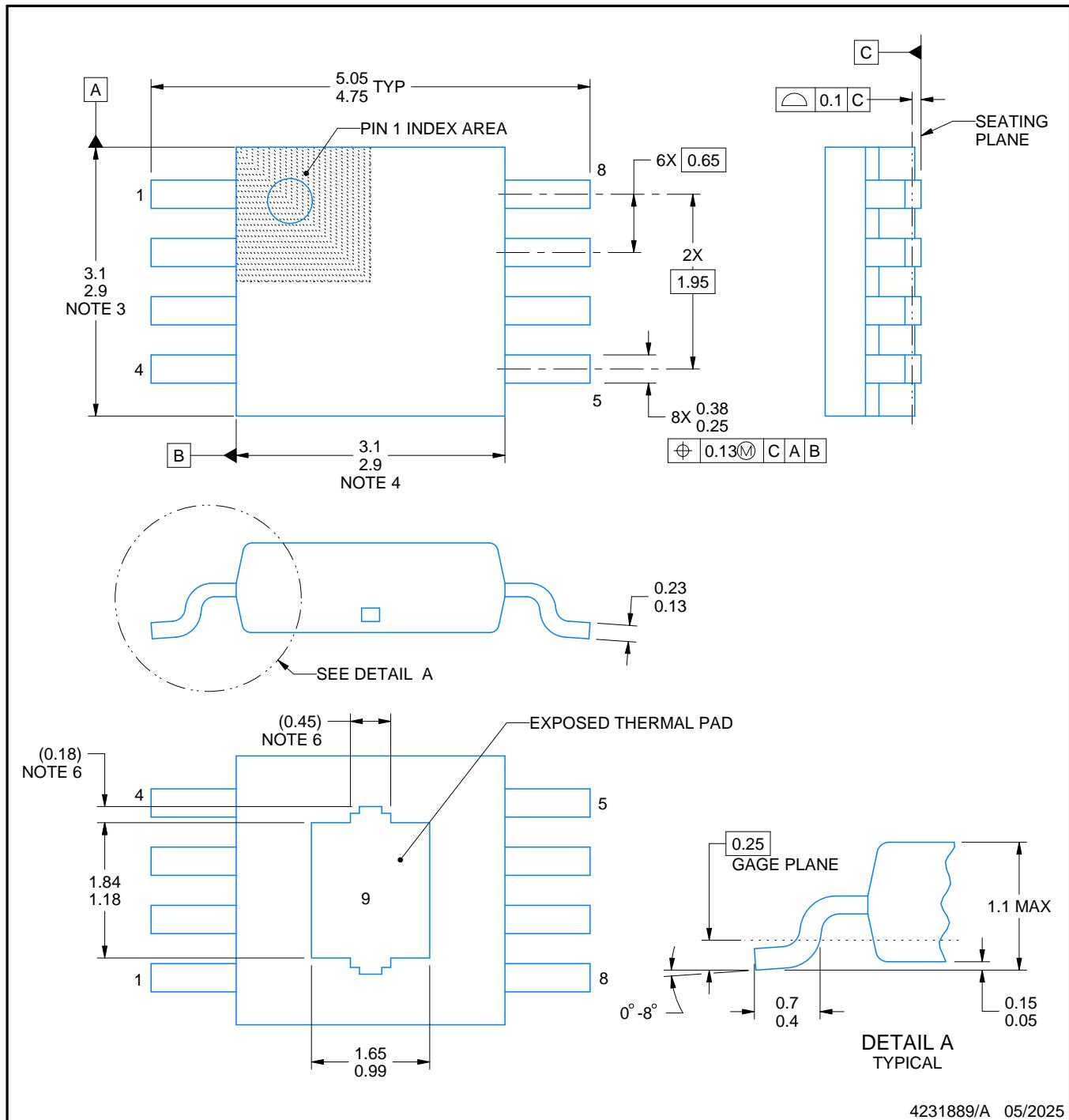
PACKAGE OUTLINE

DGN0008K



PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES:

PowerPAD is a trademark of Texas Instruments.

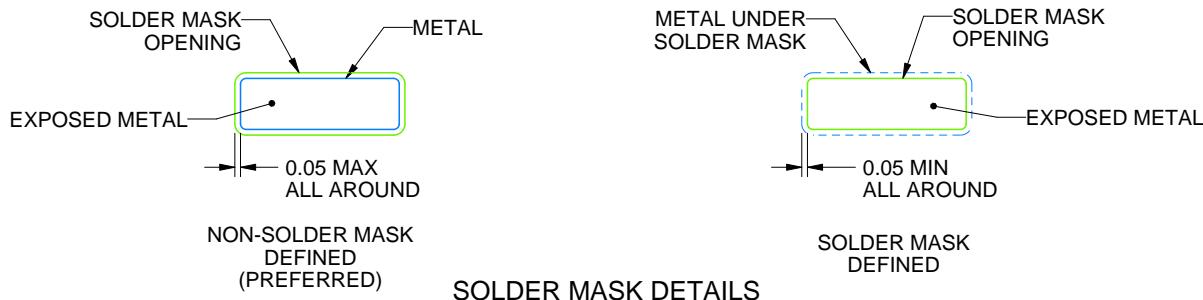
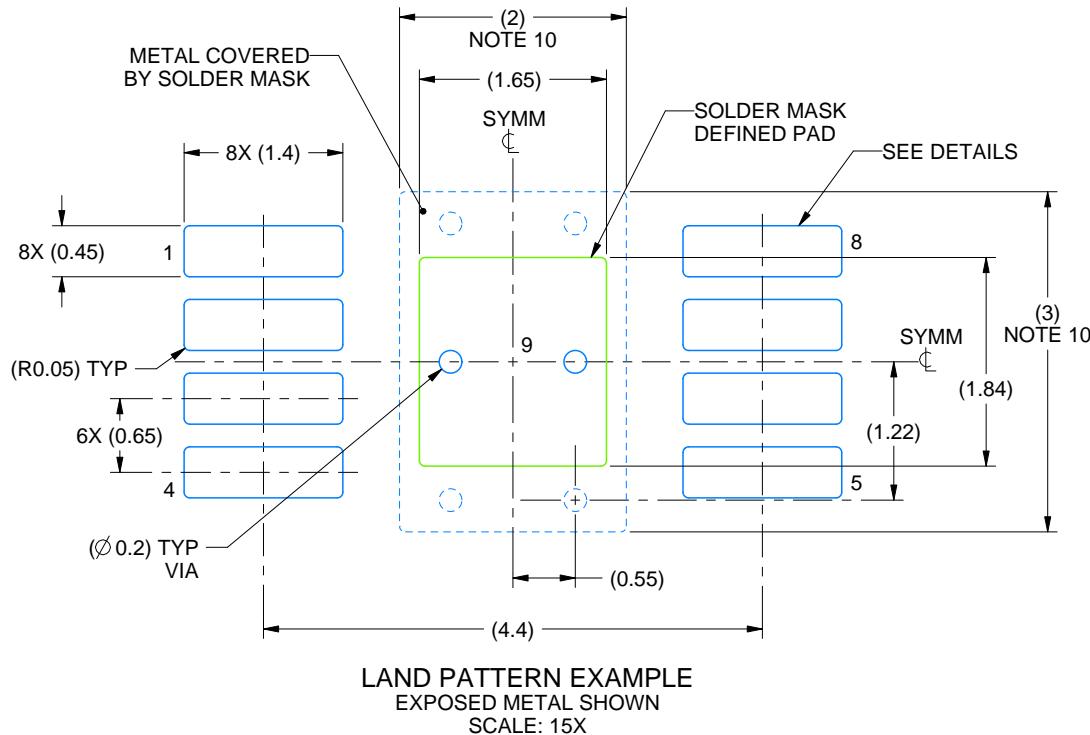
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
 2. This drawing is subject to change without notice.
 3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
 4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
 5. Reference JEDEC registration MO-187.
 6. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

DGN0008K

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4231889/A 05/2025

NOTES: (continued)

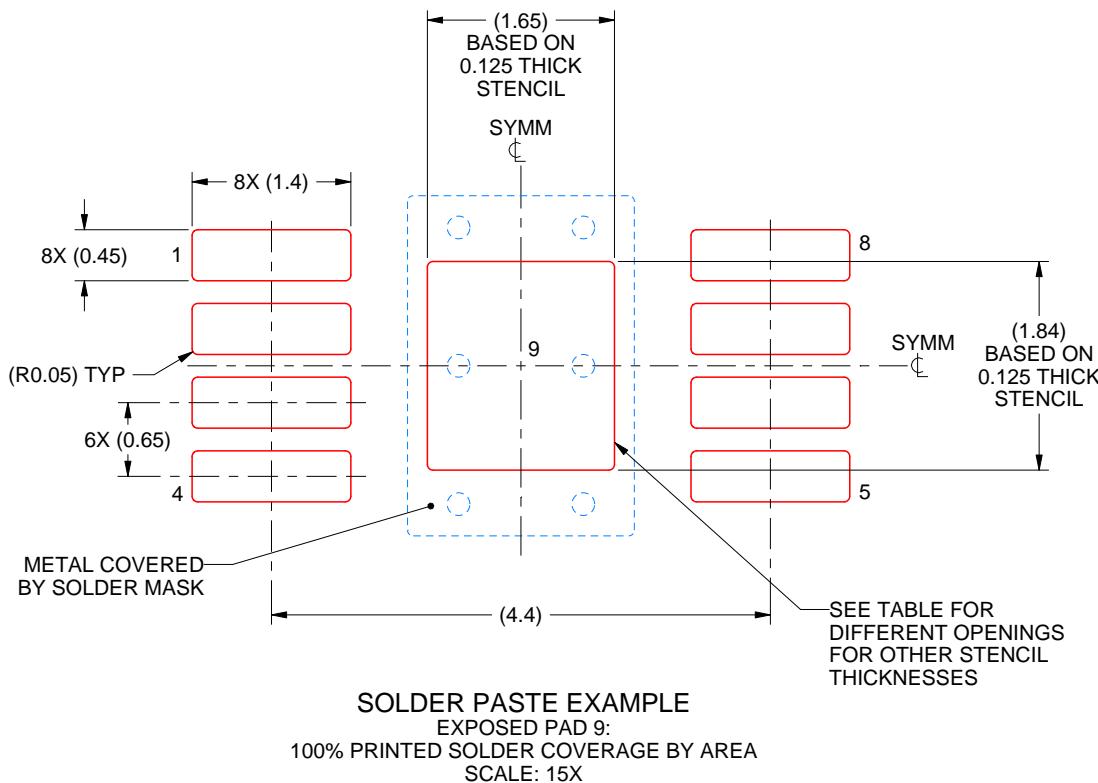
7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
9. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
10. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGN0008K

PowerPAD™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	1.84 X 2.06
0.125	1.65 X 1.84 (SHOWN)
0.15	1.51 X 1.68
0.175	1.39 X 1.56

4231889/A 05/2025

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月