

LMK1C110xA 1.8V、2.5V 和 3.3V 低噪声异步 LVCMOS 时钟缓冲器系列

1 特性

- 高性能 1:2、1:3、1:4、1:6 和 1:8 LVCMOS 时钟缓冲器
- 输出偏斜极低：
 - LMK1C1102A、LMK1C1103A 和 LMK1C1104A < 50ps
 - LMK1C1106 和 LMK1C1108 < 55ps
- 极低的附加抖动：
 - LMK1C1102A、LMK1C1103A 和 LMK1C1104A
 - $V_{DD} = 3.3V$ 时，典型值为 7.5fs
 - $V_{DD} = 2.5V$ 时，典型值为 10fs
 - $V_{DD} = 1.8V$ 时，典型值为 19.2fs
 - LMK1C1106A 和 LMK1C1108A
 - $V_{DD} = 3.3V$ 时，典型值为 12fs
 - $V_{DD} = 2.5V$ 时，典型值为 15fs
 - $V_{DD} = 1.8V$ 时，典型值为 28fs
- 传播延迟极低，< 3ns
- 异步输出使能
- 电源电压：3.3V、2.5V 或 1.8V
 - 失效防护输入：在所有的电源电压下，容差输入为 3.3V
- $f_{max} = 250MHz$ (3.3V)
- $f_{max} = 200MHz$ (2.5V 或 1.8V)
- 工作温度范围：-40°C 至 125°C

2 应用

- 工厂自动化与控制
- 电信设备
- 数据中心和企业计算
- 电网基础设施
- 1PPS 应用
- 电机驱动器
- 医疗成像

3 说明

LMK1C110xA 是德州仪器 (TI) 的一款模块化、高性能、低偏斜、通用时钟缓冲器系列器件。整个系列采用模块化方法设计。提供五个不同的扇出选项：1:2、1:3、1:4、1:6 和 1:8。

该系列所有器件均互相引脚兼容，并向后兼容 CDCLVC110x 系列，便于操作。

LMK1C110xA 支持异步输出使能控制端 (1G)，可在 1G 处于低电平时将输出切换为低电平状态。异步使能和禁用对于 1PPS 应用和直流输入操作非常有用。这些器件具有失效防护输入，可防止在没有输入信号的情况下输出发生振荡并允许在提供 VDD 之前输入信号。

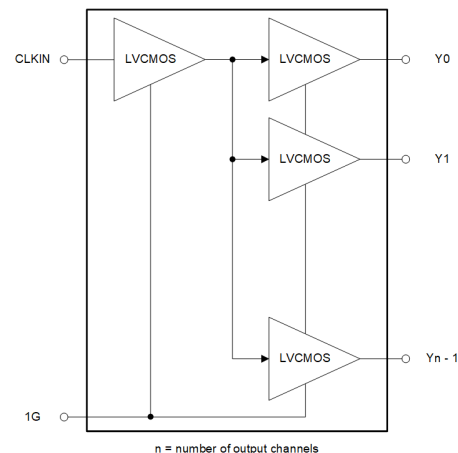
封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
LMK1C1102A	TSSOP (8)	3.00mm × 4.40mm
LMK1C1103A		
LMK1C1104A		
LMK1C1106A	TSSOP (14)	5.00mm × 4.40mm
LMK1C1108A	TSSOP (16)	
LMK1C1102A ⁽³⁾	WSON (8)	2.00mm × 2.00mm
LMK1C1104A ⁽³⁾		

(1) 有关更多信息，请参阅节 12。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。

(3) 仅为预发布版。如需更多信息，请联系 TI。



功能方框图



内容

1 特性.....	1	8.3 特性说明.....	13
2 应用.....	1	8.4 器件功能模式.....	13
3 说明.....	1	9 应用和实施.....	14
4 器件比较.....	2	9.1 应用信息.....	14
5 引脚配置和功能.....	3	9.2 典型应用.....	14
6 规格.....	5	9.3 电源相关建议.....	14
6.1 绝对最大额定值.....	5	9.4 布局.....	15
6.2 ESD 等级.....	5	10 器件和文档支持.....	17
6.3 建议运行条件.....	5	10.1 文档支持.....	17
6.4 热性能信息.....	5	10.2 接收文档更新通知.....	17
6.5 电气特性.....	6	10.3 支持资源.....	17
6.6 时序要求.....	8	10.4 商标.....	17
6.7 典型特性.....	8	10.5 静电放电警告.....	17
7 参数测量信息.....	10	10.6 术语表.....	17
8 详细说明.....	12	11 修订历史记录.....	17
8.1 概述.....	12	12 机械、封装和可订购信息.....	17
8.2 功能方框图.....	12	12.1 卷带包装信息.....	18

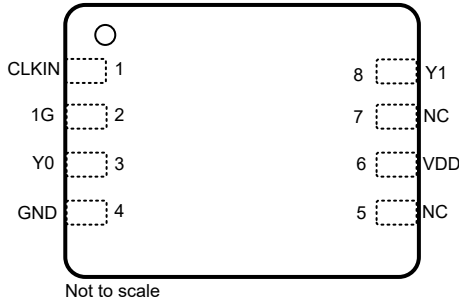
4 器件比较

表 4-1. 器件比较

器件	输入	输出	输出使能选项 (1G)	封装
LMK1C1102	1	2	同步	WSOP (8), 2.00mm × 2.00mm
LMK1C1104	1	4	同步	WSOP (8), 2.00mm × 2.00mm
LMK1C1102	1	2	同步	TSSOP (8), 3.00mm × 4.40mm
LMK1C1103	1	3	同步	TSSOP (8), 3.00mm × 4.40mm
LMK1C1104	1	4	同步	TSSOP (8), 3.00mm × 4.40mm
LMK1C1106	1	6	同步	TSSOP (14), 5.00mm × 4.40mm
LMK1C1108	1	8	同步	TSSOP (16), 5.00mm × 4.40mm
LMK1C1102A	1	2	异步	WSOP (8), 2.00mm × 2.00mm
LMK1C1104A	1	4	异步	WSOP (8), 2.00mm × 2.00mm
LMK1C1102A	1	2	异步	TSSOP (8), 3.00mm × 4.40mm
LMK1C1103A	1	3	异步	TSSOP (8), 3.00mm × 4.40mm
LMK1C1104A	1	4	异步	TSSOP (8), 3.00mm × 4.40mm
LMK1C1106A	1	6	异步	TSSOP (14), 5.00mm × 4.40mm
LMK1C1108A	1	8	异步	TSSOP (16), 5.00mm × 4.40mm
LMK1C1102-Q1 ⁽¹⁾	1	2	同步	WSOP (8), 2.00mm × 2.00mm
LMK1C1104-Q1 ⁽¹⁾	1	4	同步	WSOP (8), 2.00mm × 2.00mm
LMK1C1102-Q1 ⁽¹⁾	1	2	同步	TSSOP (8), 3.00mm × 4.40mm
LMK1C1103-Q1 ⁽¹⁾	1	3	同步	TSSOP (8), 3.00mm × 4.40mm
LMK1C1104-Q1 ⁽¹⁾	1	4	同步	TSSOP (8), 3.00mm × 4.40mm
LMK1C1106-Q1 ⁽¹⁾	1	6	同步	TSSOP (14), 5.00mm × 4.40mm
LMK1C1108-Q1 ⁽¹⁾	1	8	同步	TSSOP (16), 5.00mm × 4.40mm

(1) 仅为预发布版。请联系 TI 获取有关该器件的更多信息。

5 引脚配置和功能



1. DQF (WSON) 封装相当于其他供应商的 DFN 封装。

图 5-1. LMK1C1102A , 8 引脚 DQF WSON 封装 (顶视图)

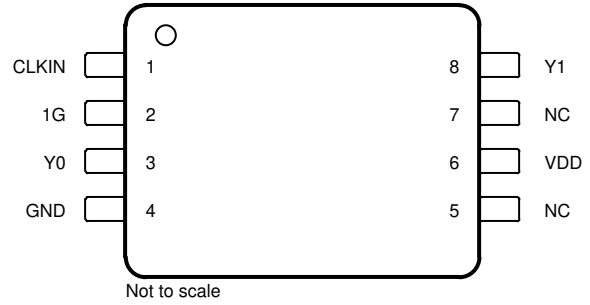


图 5-2. LMK1C1102A , 8 引脚 PW TSSOP 封装 (顶视图)

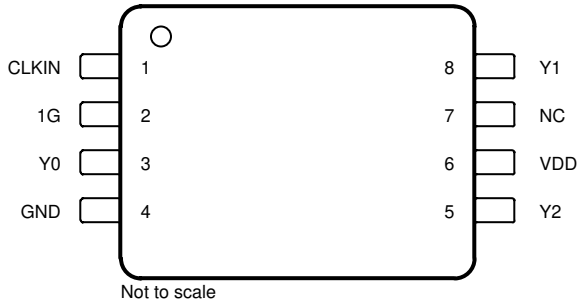
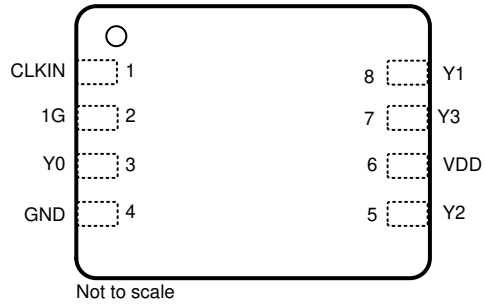


图 5-3. LMK1C1103A , 8 引脚 PW TSSOP 封装 (顶视图)



1. DQF (WSON) 封装相当于其他供应商的 DFN 封装。

图 5-4. LMK1C1104A , 8 引脚 DQF WSON 封装 (顶视图)

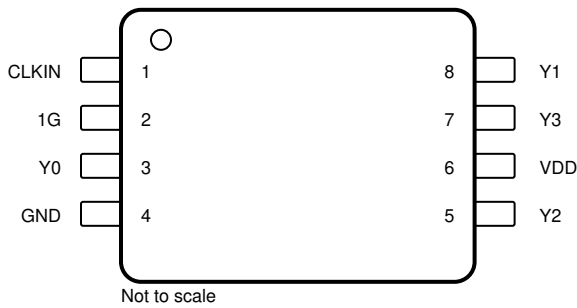


图 5-5. LMK1C1104A , 8 引脚 PW TSSOP 封装 (顶视图)

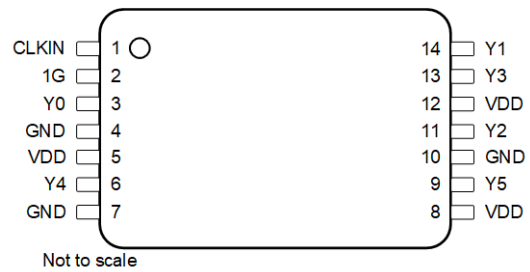


图 5-6. LMK1C1106A , 14 引脚 PW TSSOP 封装 (顶视图)

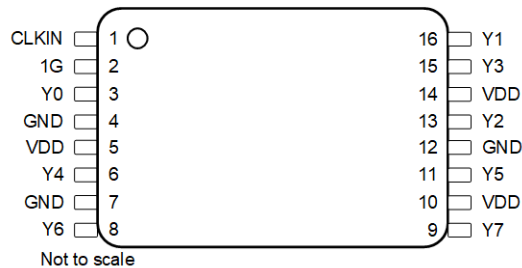


图 5-7. LMK1C1108A , 16 引脚 PW TSSOP 封装 (顶视图)

表 5-1. 引脚功能

名称	引脚					类型	说明
	LMK1C 1102A	LMK1C 1103A	LMK1C 1104A	LMK1C 1106A	LMK1C 1108A		
LVC MOS 时钟输入							
CLKIN	1	1	1	1	1	输入	单端时钟输入，具有连接至 GND 的内部 300kΩ (典型值) 下拉电阻。通常连接到单端时钟输入。
时钟输出使能							
1G	2	2	2	2	2	输入	全局输出使能，内部 300kΩ (典型值) 下拉电阻至 GND。通常使用外部上拉电阻器连接到 VDD。 高电平：输出启用 低电平：输出禁用
LVC MOS 时钟输出							
Y0	3	3	3	3	3	输出	LVC MOS 输出。通常连接到接收器。未使用的输出可以保持悬空状态。
Y1	8	8	8	14	16		
Y2	—	5	5	11	13		
Y3	—	—	7	13	15		
Y4	—	—	—	6	6		
Y5	—	—	—	9	11		
Y6	—	—	—	—	8		
Y7	—	—	—	—	9		
电源电压							
VDD	6	6	6	5	5	电源	电源端子。通常连接到 3.3V、2.5V 或 1.8V 电源。VDD 引脚通常连接到该引脚附近的外部 0.1 μF 电容器。
				8	10		
				12	14		
接地							
GND	4	4	4	4	4	GND	电源接地。
				7	7		
				10	12		

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
V _{DD}	电源电压	-0.5	3.6	V
V _{CLKIN}	输入电压 (CLKIN)			
V _{IN}	输入电压 (1G)			
V _{Yn}	输出引脚 (Yn)	-0.5	V _{DD} + 0.3	
I _{IN}	输入电流	-20	20	mA
I _O	持续输出电流	-50	50	mA
T _{stg}	贮存温度	-65	150	°C

(1) 在绝对最大额定值范围外运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议的工作条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用, 器件可能不会完全正常运行, 这可能影响器件的可靠性、功能和性能并缩短器件寿命。

6.2 ESD 等级

		值	单位
V _(ESD)	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准, 所有引脚 ⁽¹⁾	±9000
		充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101, 所有引脚 ⁽²⁾	±1500

(1) JEDEC 文档 JEP155 指出: 500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

			最小值	标称值	最大值	单位
V _{DD}	内核电源电压	3.3V 电源	3.135	3.3	3.465	V
V _{DD}	内核电源电压	2.5V 电源	2.375	2.5	2.625	V
V _{DD}	内核电源电压	1.8V 电源	1.71	1.8	1.89	V
T _A	自然通风条件下的工作温度范围		-40		125	°C
T _J	工作结温		-40		150	°C

6.4 热性能信息

热指标 ⁽¹⁾		LMK1C1102A LMK1C1103A LMK1C1104A		LMK1C1106A	LMK1C1108A	单位
		DQF (WSON)	PW (TSSOP)	PW (TSSOP)	PW (TSSOP)	
		8 引脚	8 引脚	14 引脚	16 引脚	
R _{qJA}	结至环境热阻	163	181.9	114.4	123.4	°C/W
R _{qJC(top)}	结至外壳 (顶部) 热阻	105.7	76.6	45.2	53.1	°C/W
R _{qJB}	结至电路板热阻	84.2	111.6	60.6	66.4	°C/W
Y _{JT}	结至顶部特征参数	16.7	16	5.9	8.9	°C/W

热指标 ⁽¹⁾		LMK1C1102A LMK1C1103A LMK1C1104A		LMK1C1106A	LMK1C1108A	单位
		DQF (WSON)	PW (TSSOP)	PW (TSSOP)	PW (TSSOP)	
		8 引脚	8 引脚	14 引脚	16 引脚	
Y _{JB}	结至电路板特征参数	83.9	110.1	60	65.8	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标应用报告](#)。

6.5 电气特性

VDD = 3.3V ± 5%，-40°C ≤ TA ≤ 125°C。典型是为 VDD = 3.3V、25°C 条件下的值（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
电流消耗						
I _{DD}	内核电源电流，静态	所有输出均已禁用，f _{IN} = 0V		25	45	μA
I _{DD}	内核电源电流	所有输出均已禁用，f _{IN} = 100MHz		8	15	mA
		所有输出均有效，f _{IN} = 100MHz，C _L = 5pF，V _{DD} = 1.8V		14	20	
		所有输出均有效，f _{IN} = 100MHz，C _L = 5pF，V _{DD} = 2.5V		21	30	
		所有输出均有效，f _{IN} = 100MHz，C _L = 5pF，V _{DD} = 3.3V		33	40	
时钟输入						
f _{IN_SE}	输入频率	V _{DD} = 3.3V	DC		250	MHz
		V _{DD} = 2.5V 和 1.8V	DC		200	
V _{IH}	输入高电压		0.7 x V _{DD}			V
V _{IL}	输入低电压			0.3 x V _{DD}		
dV _{IN} /dt	输入压摆率	输入摆幅的 20% - 80%	0.1			V/ns
I _{IN_LEAK}	输入漏电流		-50		50	uA
C _{IN_SE}	输入电容	25°C 时		7		pF
所有 V_{DD} 电平的时钟输出						
f _{OUT}	输出频率	V _{DD} = 3.3V			250	MHz
		V _{DD} = 2.5V 和 1.8V			200	
ODC	输出占空比	输入占空比为 50% (适用于所有 VDD)	45		55	%
t _{1G_ON}	输出使能时间	V _{DD} = 3.3V，仅异步版本，请参阅 (1)			6	ns
t _{1G_ON}	输出使能时间	V _{DD} = 2.5V，仅异步版本，请参阅 (1)			8	ns
t _{1G_ON}	输出使能时间	V _{DD} = 1.8V，仅异步版本，请参阅 (1)			10	ns
t _{1G_OFF}	输出禁用时间	V _{DD} = 3.3，仅异步版本，请参阅 (2)			6	ns
t _{1G_OFF}	输出禁用时间	V _{DD} = 2.5V，仅异步版本，请参阅 (2)			8	ns
t _{1G_OFF}	输出禁用时间	V _{DD} = 1.8V，仅异步版本，请参阅 (2)			10.5	ns
V_{DD} = 3.3V ± 5% 时的时钟输出						
V _{OH}	输出高电压	I _{OH} = 1mA	2.8			V
V _{OL}	输出低电压	I _{OL} = 1mA			0.2	
t _{RISE-FALL}	输出上升和下降时间	20/80%，C _L = 5pF，f _{IN} = 156.25MHz		0.35	0.7	ns
t _{OUTPUT-SKEW}	输出到输出偏斜	LMK1C1102A、LMK1C1103A、LMK1C1104A。请参阅 (3)		25	50	ps
t _{OUTPUT-SKEW}	输出到输出偏斜	LMK1C1106A、LMK1C1108A。请参阅 (3)		25	50	ps

VDD = 3.3V ± 5% , -40°C ≤ TA ≤ 125°C。典型是为 VDD = 3.3V、25°C 条件下的值 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
t _{PART-SKEW}	器件间延迟	LMK1C1102A、LMK1C1103A、LMK1C1104A			250	ps
t _{PART-SKEW}	器件间延迟	LMK1C1106A、LMK1C1108A			280	ps
t _{PROP-DELAY}	传播延迟	LMK1C1102A、LMK1C1103A、LMK1C1104A。请参阅 (4)		1.5	2	ns
t _{PROP-DELAY}	传播延迟	LMK1C1106A、LMK1C1108A。请参阅 (4)		1.5	2.2	ns
t _{JITTER-ADD}	附加抖动	f _{IN} = 156.25MHz, 输入压摆率 = 2V/ns, 积分范围 = 12kHz - 20MHz		8	20	fs, RMS
R _{OUT}	输出阻抗			50		Ω
V_{DD} = 2.5V ± 5% 时的时钟输出						
V _{OH}	输出高电压	I _{OH} = 1mA	0.8 x V _{DD}			V
V _{OL}	输出低电压	I _{OL} = 1mA	0.2 x V _{DD}			
t _{RISE-FALL}	输出上升和下降时间	20/80%, C _L = 5pF, f _{IN} = 156.25MHz		0.33	0.8	ns
t _{OUTPUT-SKEW}	输出到输出偏斜	LMK1C1102A、LMK1C1103A、LMK1C1104A。请参阅 (3)			50	ps
t _{OUTPUT-SKEW}	输出到输出偏斜	LMK1C1106A、LMK1C1108A。请参阅 (3)			55	ps
t _{PART-SKEW}	器件间延迟	LMK1C1102A、LMK1C1103A、LMK1C1104A			400	ps
t _{PART-SKEW}	器件间延迟	LMK1C1106A、LMK1C1108A			450	ps
t _{PROP-DELAY}	传播延迟	LMK1C1102A、LMK1C1103A、LMK1C1104A。请参阅 (4)		1.5	2.5	ns
t _{PROP-DELAY}	传播延迟	LMK1C1106A、LMK1C1108A。请参阅 (4)		1.5	2.5	ns
t _{JITTER-ADD}	附加抖动	f _{IN} = 156.25MHz, 输入压摆率 = 2V/ns, 积分范围 = 12kHz - 20MHz		11	27	fs, RMS
R _{OUT}	输出阻抗			52.5		Ω
V_{DD} = 1.8V ± 5% 时的时钟输出						
V _{OH}	输出高电压	I _{OH} = 1mA	0.8 x V _{DD}			V
V _{OL}	输出低电压	I _{OL} = 1mA	0.2 x V _{DD}			
t _{RISE-FALL}	输出上升和下降时间	20/80%, C _L = 5pF, f _{IN} = 156.25MHz		0.38	1	ns
t _{OUTPUT-SKEW}	输出到输出偏斜	LMK1C1102A、LMK1C1103A、LMK1C1104A。请参阅 (3)			50	ps
t _{OUTPUT-SKEW}	输出到输出偏斜	LMK1C1106A、LMK1C1108A。请参阅 (3)			55	ps
t _{PART-SKEW}	器件间延迟	LMK1C1102A、LMK1C1103A、LMK1C1104A			900	ps
t _{PART-SKEW}	器件间延迟	LMK1C1106A、LMK1C1108A			930	ps
t _{PROP-DELAY}	传播延迟	LMK1C1102A、LMK1C1103A、LMK1C1104A。请参阅 (4)		1.5	3	ns
t _{PROP-DELAY}	传播延迟	LMK1C1106A、LMK1C1108A。请参阅 (4)		1.5	3	ns
t _{JITTER-ADD}	附加抖动	f _{IN} = 156.25MHz, 输入压摆率 = 2V/ns, 积分范围 = 12kHz - 20MHz		17.5	50	fs, RMS
R _{OUT}	输出阻抗			60		Ω
通用输入 (1G)						

VDD = 3.3V ± 5 % , -40°C ≤ TA ≤ 125°C。典型是为 VDD = 3.3V、25°C 条件下的值 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
V _{IH}	高电平输入电压		0.75 x V _{DD}			V
V _{IL}	低电平输入电压	LMK1C1102A、LMK1C1103A、 LMK1C1104A			0.38 x V _{DD}	
V _{IL}	低电平输入电压	LMK1C1106A、LMK1C1108A			0.25 x V _{DD}	
I _{IH}	输入高电平电流	V _{IH} = V _{DD_REF}	-50		50	μA
I _{IL}	输入低电平电流	V _{IL} = GND	-50		50	

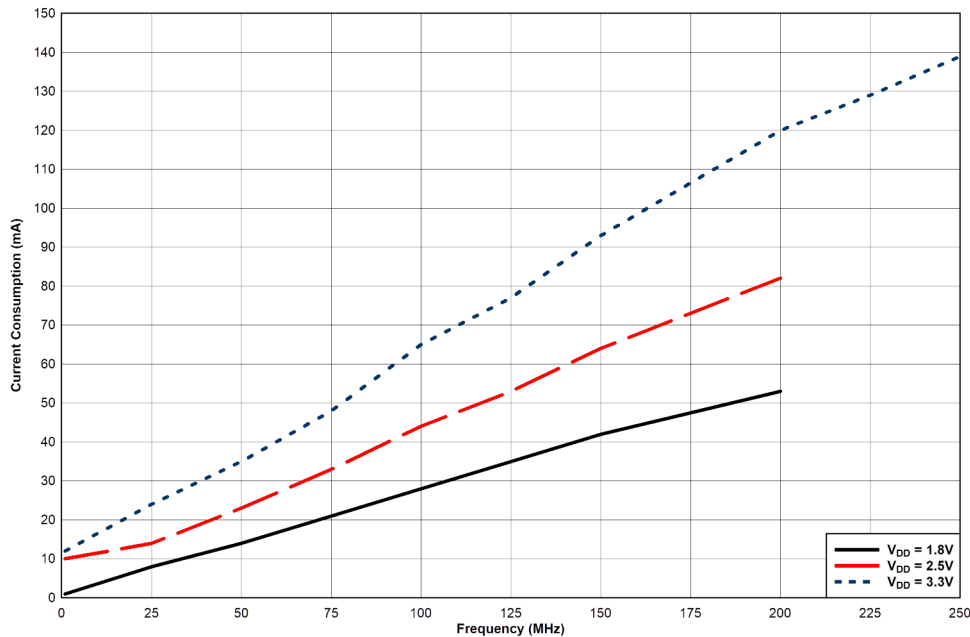
- (1) 从 1G 上升沿穿过 V_{IH} 到 Y_n 的第一个上升沿测量。
- (2) 从 1G 下降沿穿过 V_{IL} 到 Y_n 最后一个下降沿的测量。
- (3) 从任何 Y_n 输出的上升沿测量到任何其他 Y_m 输出。
- (4) 从 CLKIN 的上升沿测量到任何 Y_n 输出。

6.6 时序要求

VDD = 3.3V ± 5 % , - 40°C ≤ TA ≤ 125°C

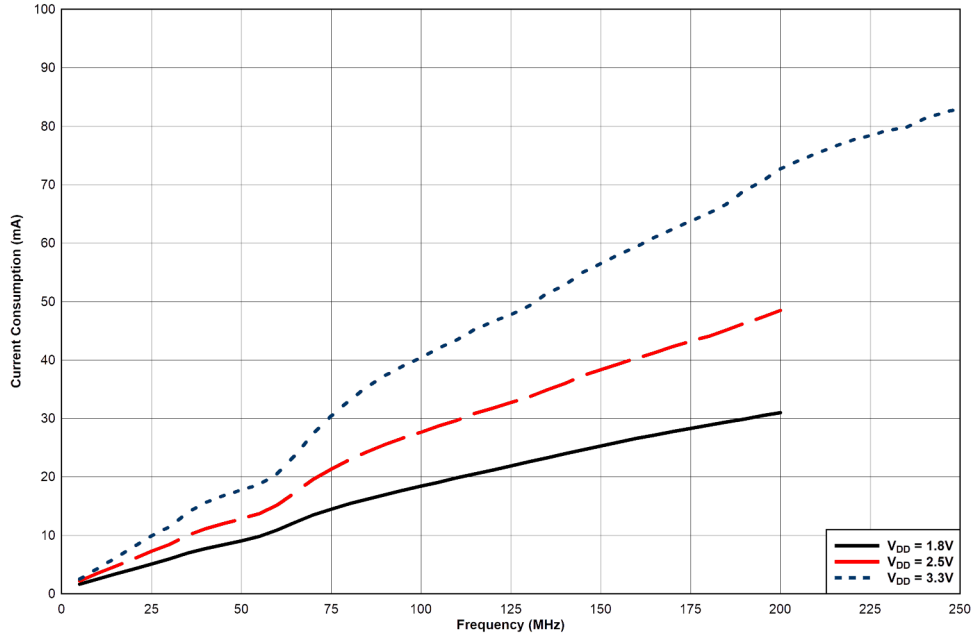
		最小值	标称值	最大值	单位
电源					
V/t _{RAMP}	V _{DD} 压摆率	0.1		50	V/ms

6.7 典型特性



1. 已启用所有输出。

LMK1C1106A 和 LMK1C1108A 器件功耗与时钟频率间的关系 (负载 5pF)



1. 已启用所有输出。

图 6-1. LMK1C1102A、LMK1C1103A 和 LMK1C1104A 器件功耗与时钟频率间的关系 (负载 5pF)

7 参数测量信息

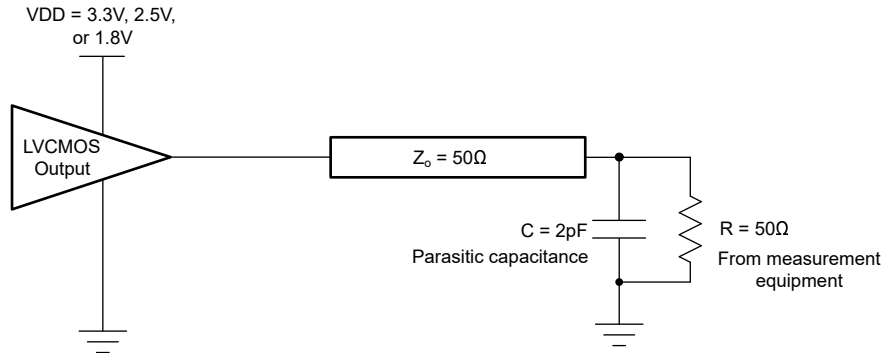


图 7-1. 测试负载电路

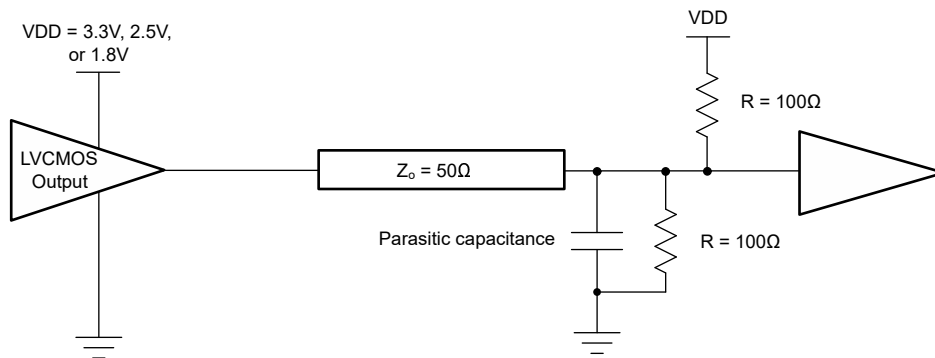


图 7-2. 带 50Ω 终端的应用负载

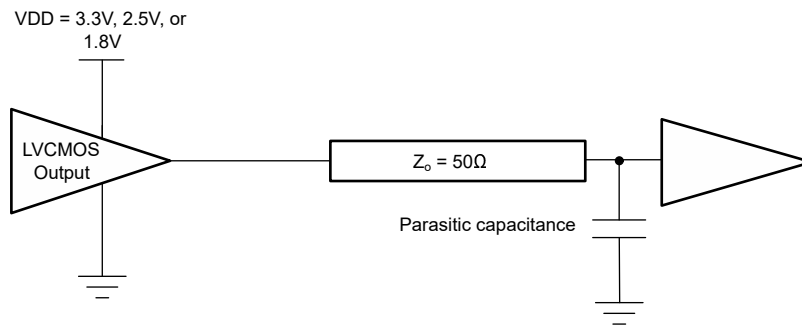


图 7-3. 带终端的应用负载

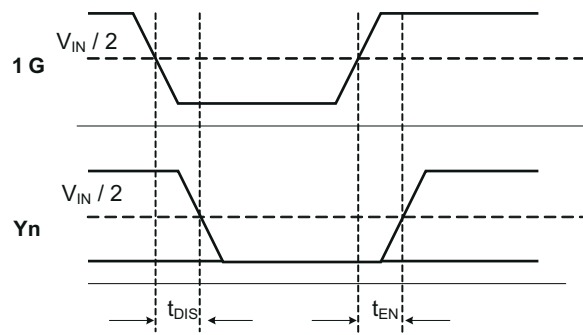


图 7-4. 输出 t_{1G_ON} 和 t_{1G_OFF} 时间

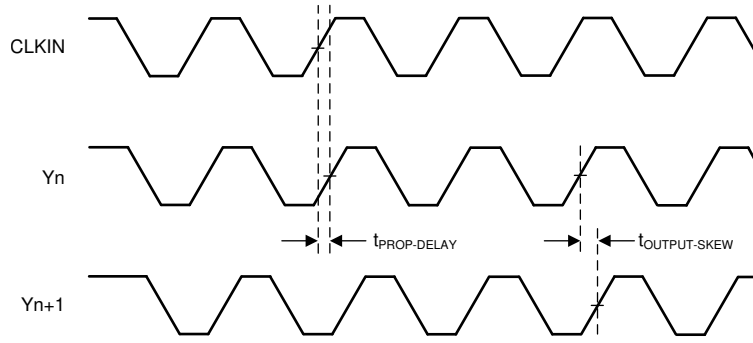


图 7-5. 传播延迟 $t_{\text{PROP-DELAY}}$ 和输出偏斜 $t_{\text{OUTPUT-SKEW}}$

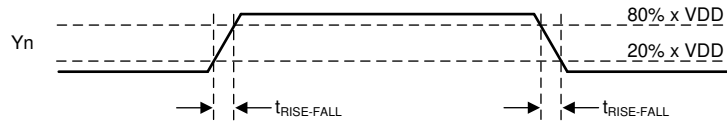


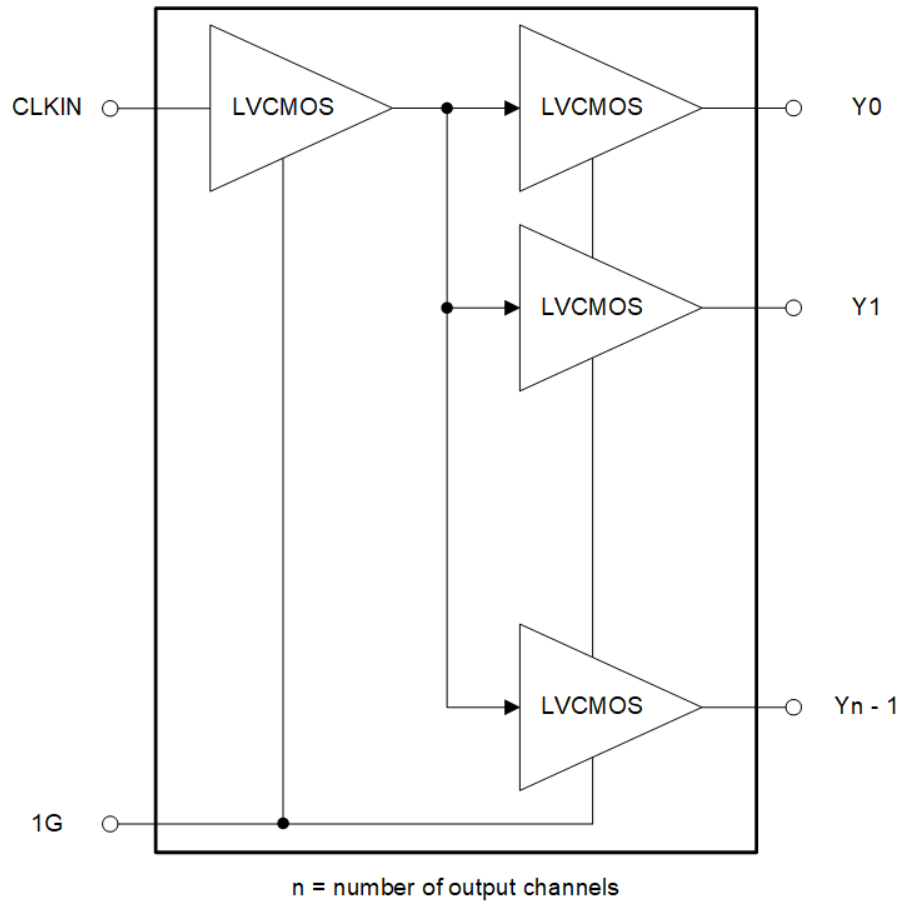
图 7-6. 上升和下降时间 $t_{\text{RISE-FALL}}$

8 详细说明

8.1 概述

LMK1C110xA 系列器件是低抖动、低偏斜 LVCMOS 扇出缓冲器解决方案的一部分。LMK1C110xA 输出驱动器的特性阻抗与传输驱动器的特性阻抗相匹配，这对于实现出色的信号完整性至关重要。

8.2 功能方框图



8.3 特性说明

LMK1C110xA 的输出可通过将异步输出使能引脚 (1G) 驱动为低电平来禁用。未使用的输出可以保持悬空，以降低系统总体元件成本。电源和接地引脚必须分别连接到 V_{DD} 和 GND。

8.3.1 失效防护输入

LMK1C110xA 系列器件支持失效防护输入操作。该功能允许用户在施加 VDD 之前驱动器件输入，而不会损坏器件。有关器件支持的最大输入的更多信息，请参阅 *绝对最大额定值*。该器件还集成了输入迟滞，可防止在没有输入信号时发生随机振荡，从而允许输入引脚保持开路。

8.3.2 异步输出使能

当 1G 引脚与同步使能相比被拉至高电平且具有节 6 指定的最小延迟时，异步输出使能会立即开启输出，其中同步启用依赖输入时钟周期在使能之前同步输出。

异步输出使能在 1PPS 等需要快速输出使能的应用中非常有用。当 1G 引脚被置为有效时，与同步输出使能相比，输出被立即激活。此功能对于其他不需要额外延迟的 SYNC 信号应用也很有用。

异步输出的另一个有用功能是在上电期间使用静态“高电平”或“低电平”信号。异步输出使能器件不受输入时钟边沿的限制，因此，如果时钟输入为静态“高电平”，则输出将跟随输入并在上电期间变为“高电平”。有关 TI 提供的可用输出使能选项，请参阅节 4。

8.4 器件功能模式

LMK1C110xA 采用 1.8V、2.5V 或 3.3V 电源供电。表 8-1 显示了 LMK1C110xA 的输出逻辑。

表 8-1. 输出逻辑表

输入		输出
CLKIN	1G	Yn
X	L	L
L	H	L
H	H	H

9 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

9.1 应用信息

LMK1C110xA 系列是低附加抖动 LVC MOS 缓冲器设计，可在 $V_{DD} = 3.3V$ 时以高达 250MHz 运行，在 $V_{DD} = 2.5V$ 、 $1.8V$ 时可达 200MHz。具有低输出偏斜以及异步输出使能功能，可在应用中根据需要同时启用或禁用缓冲时钟输出。

9.2 典型应用

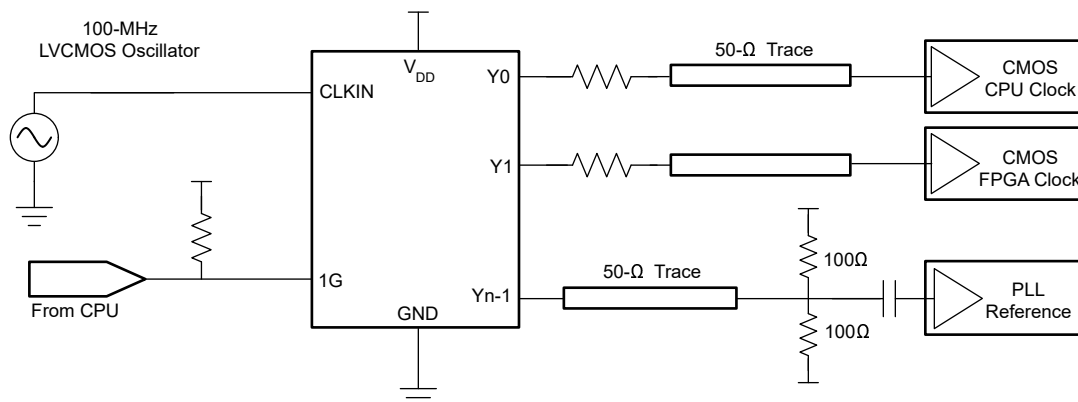


图 9-1. 系统配置示例

9.2.1 设计要求

图 9-1 中所示的 LMK1C110xA 配置为从本地 LVC MOS 振荡器扇出 100MHz 信号。CPU 配置为通过 1G 控制输出状态。

配置示例是在具有以下属性的底板应用中驱动三个 LVC MOS 接收器：

- CPU 时钟可接受全摆幅直流耦合 LVC MOS 信号。在 LMK1C110xA 附近放置了一个串联电阻器 R_S ，以密切匹配迹线的特性阻抗，从而有效减少反射。
- FPGA 时钟同样通过放置在 LMK1C110xA 附近的适当串联电阻进行直流耦合。
- 本示例中的 PLL 可以接受较低的振幅信号，因此使用 Thevenin 的等效终端（上拉至 V_{DD} 并下拉至 GND ）。PLL 接收器具有内部偏置功能，因此在共模电压不匹配时，可使用交流耦合。

9.2.2 详细设计过程

未使用的输出可以保持悬空状态。有关建议的滤波技术，请参阅 [电源相关建议](#)。

9.3 电源相关建议

高性能时钟缓冲器对电源上的噪声很敏感，这会显著增加缓冲器的附加抖动。因此，管理系统电源的任何过多噪声至关重要，尤其是对于抖动和相位噪声性能至关重要的应用而言。

滤波电容器用于消除电源的低频噪声，其中旁路电容器为高频噪声提供超低阻抗路径，并保护电源系统免受感应波动的影响。这些旁路电容器还提供器件所需的瞬时电流浪涌，并且必须具有低等效串联电阻 (ESR)。要正确旁路电源，去耦电容器必须放置在非常靠近电源端子的位置，直接连接到接地平面，并以短回路布局，以尽可能减少电感。TI 建议添加尽可能多的高频（例如 $0.1 \mu F$ ）旁路电容器，因为封装中有电源端子。TI 建议但不要求在电路板电源和芯片电源之间插入铁氧体磁珠来隔离时钟缓冲器产生的高频开关噪声；这些磁珠可防止开关噪声泄漏

到电路板电源中。选择具有极低直流电阻的合适铁氧体磁珠，在电路板电源和芯片电源之间提供充分的隔离，并保持电源端子上的电压大于正常运行所需的最小电压。

图 9-2 展示了该建议的电源去耦方法。

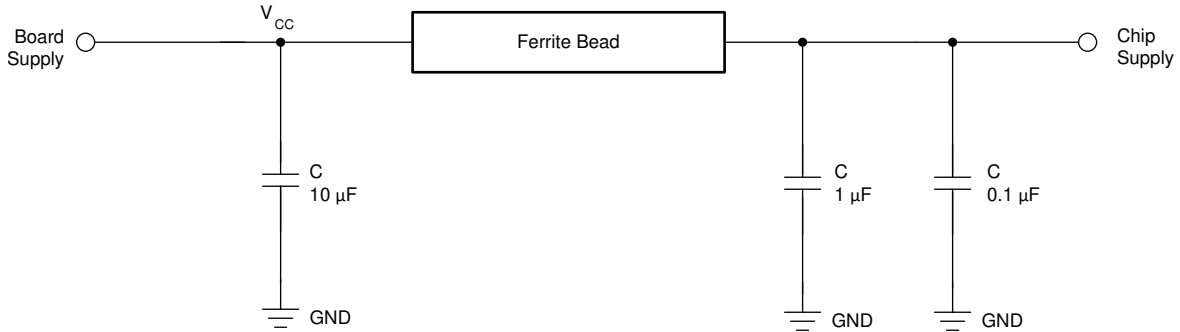


图 9-2. 电源去耦

9.4 布局

9.4.1 布局指南

图 9-3 展示了概念布局，详细说明了电源旁路电容器的建议放置方式。如果安装在元件侧，请使用 0402 本体尺寸的电容器以方便信号布线。使旁路电容器与器件电源之间的连接尽可能短。使用与接地平面的低阻抗连接使电容器的另一侧接地。

9.4.2 布局示例

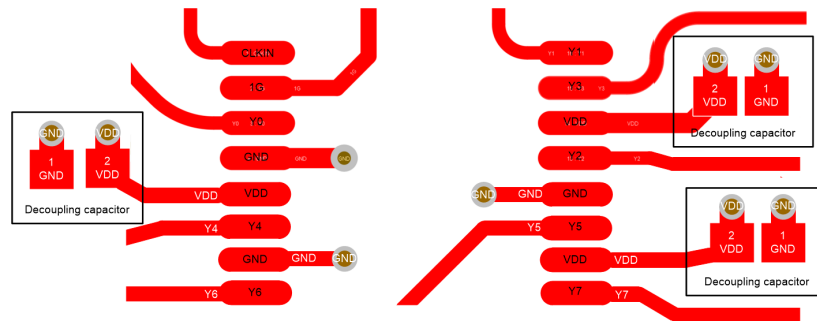


图 9-3. 14 引脚和 16 引脚 PW 器件的布局示例



图 9-4. 8 引脚 PW 器件布局示例

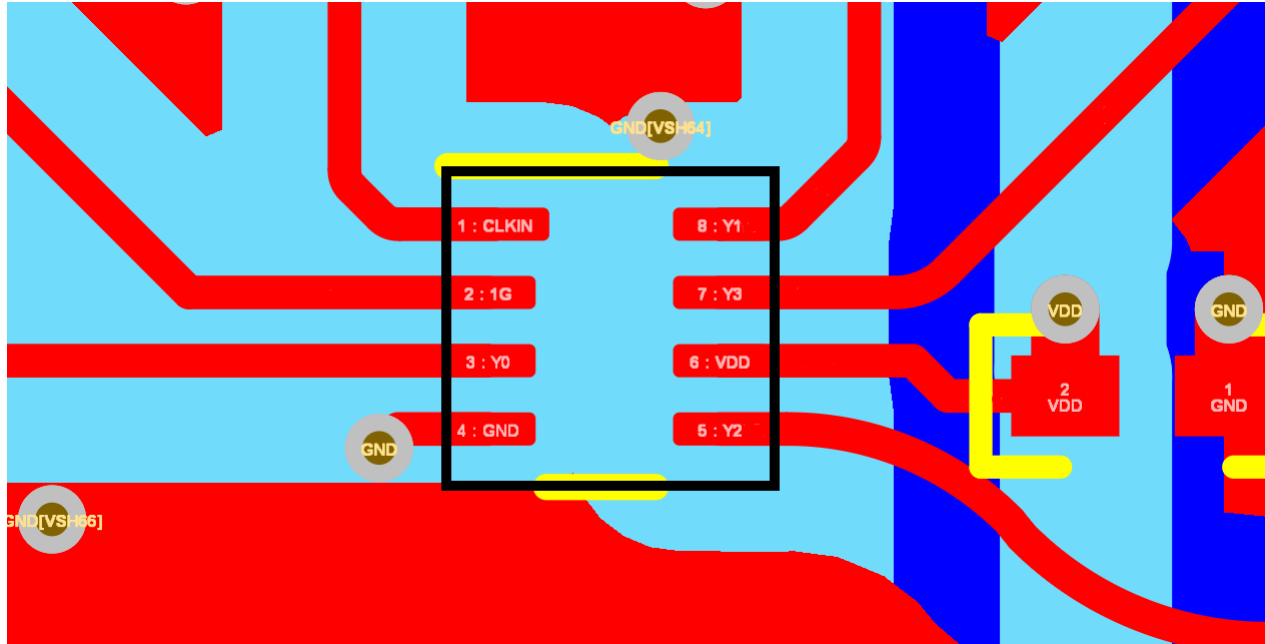


图 9-5. 8 引脚 WSON 器件布局示例

10 器件和文档支持

10.1 文档支持

10.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI), [LMK1C1108EVM](#), EVM 用户指南

10.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

10.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

10.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

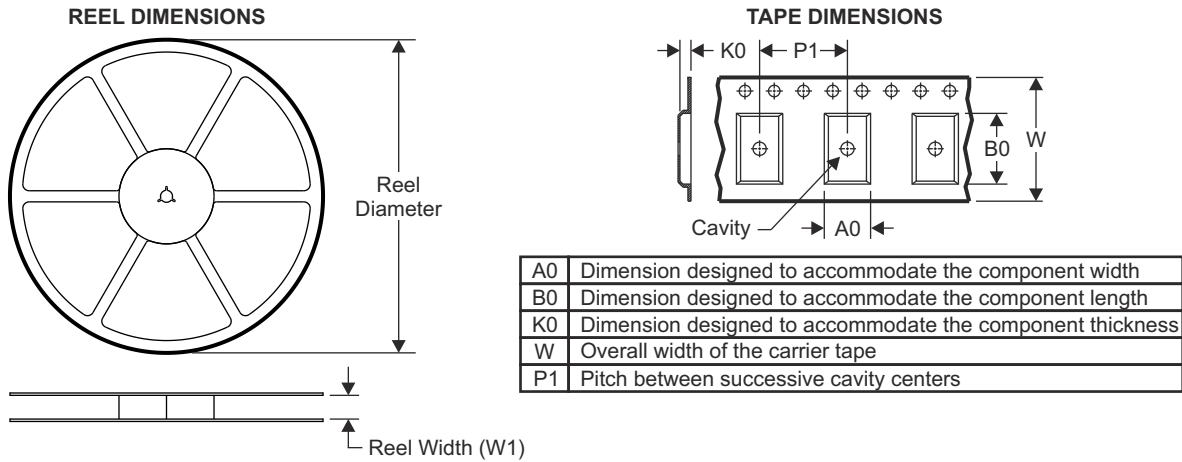
注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
May 2025	*	初始发行版

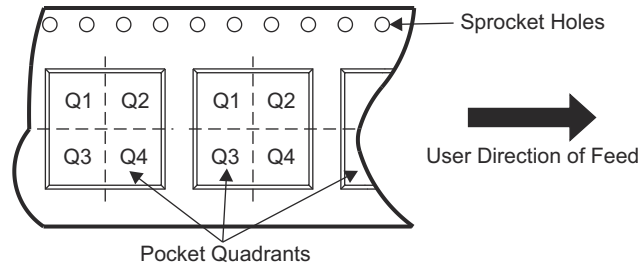
12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

12.1 卷带包装信息

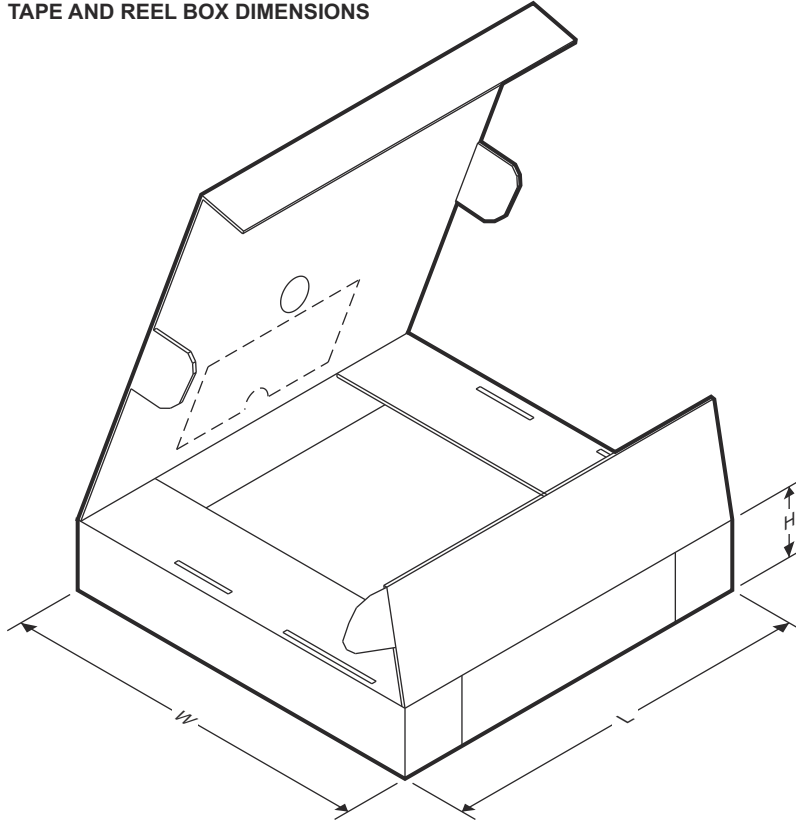


QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 象限
LMK1C1102APWR	TSSOP	PW	8	3000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
LMK1C1103APWR	TSSOP	PW	8	3000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
LMK1C1104APWR	TSSOP	PW	8	3000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
LMK1C1106APWR	TSSOP	PW	14	3000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
LMK1C1108APWR	TSSOP	PW	16	3000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
LMK1C1102ADQFR	WSOP	DQF	8	3000	178.0	8.4	2.25	2.25	1.0	4.0	8.0	Q2
LMK1C1104ADQFR	WSOP	DQF	8	3000	178.0	8.4	2.25	2.25	1.0	4.0	8.0	Q2

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
LMK1C1102APWR	TSSOP	PW	8	3000	356	356	35
LMK1C1103APWR	TSSOP	PW	8	3000	356	356	35
LMK1C1104APWR	TSSOP	PW	8	3000	356	356	35
LMK1C1106APWR	TSSOP	PW	14	3000	356	356	35
LMK1C1108APWR	TSSOP	PW	16	3000	356	356	35
LMK1C1102ADQFR	WSON	DQF	8	3000	205.0	200.0	33.0
LMK1C1104ADQFR	WSON	DQF	8	3000	205.0	200.0	33.0

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMK1C1102ADQFR	Active	Production	WSON (DQF) 8	3000 LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	L02A
LMK1C1102APWR	Active	Production	TSSOP (PW) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1102A
LMK1C1103APWR	Active	Production	TSSOP (PW) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1103A
LMK1C1104ADQFR	Active	Production	WSON (DQF) 8	3000 LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	L04A
LMK1C1104APWR	Active	Production	TSSOP (PW) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1104A
LMK1C1106APWR	Active	Production	TSSOP (PW) 14	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1106A
LMK1C1108APWR	Active	Production	TSSOP (PW) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	1108A

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

GENERIC PACKAGE VIEW

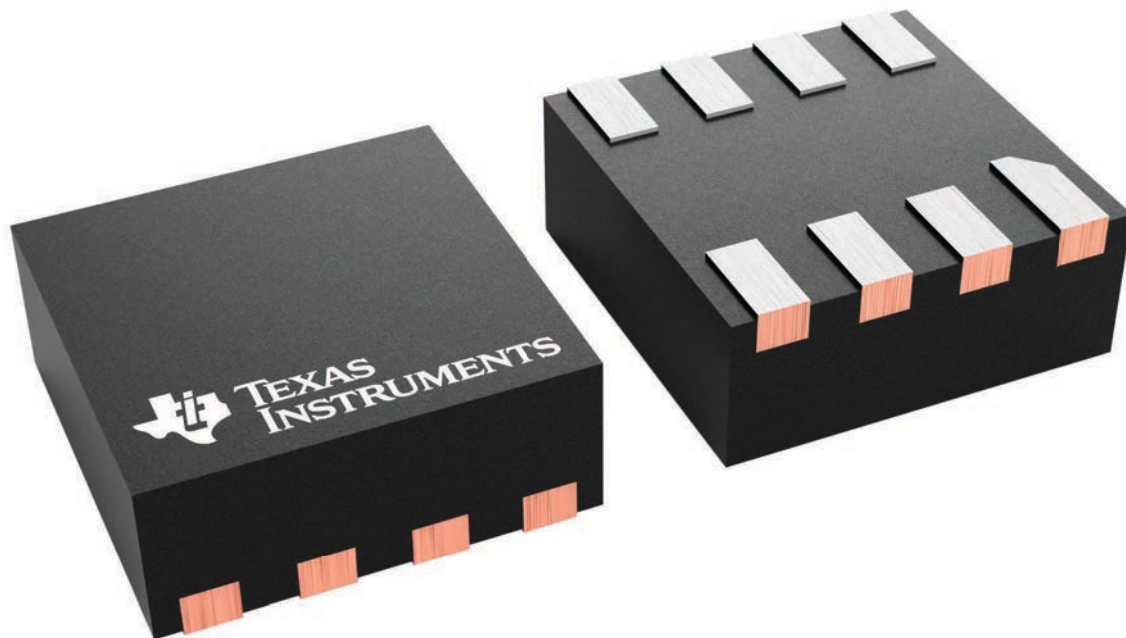
DQF 8

WSON - 0.8 mm max height

2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



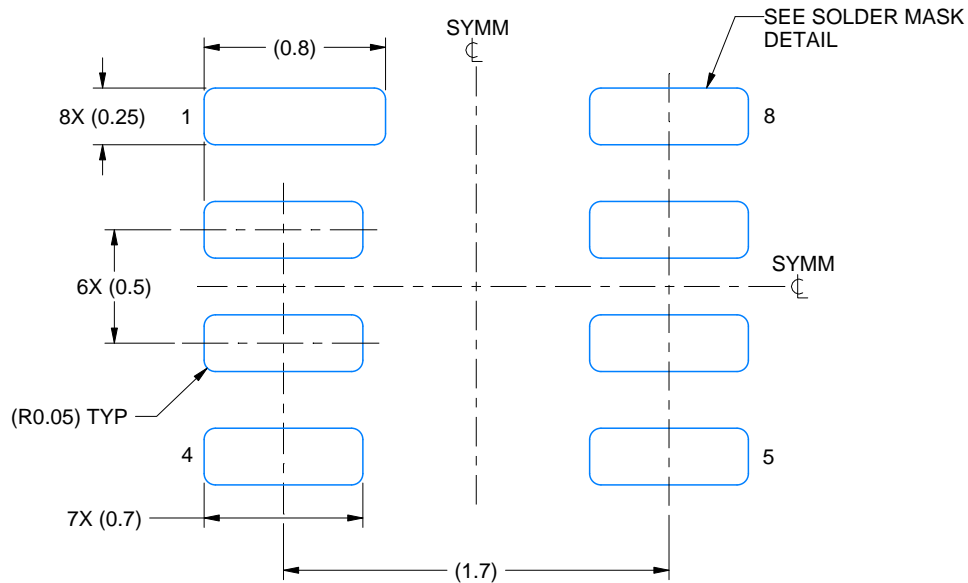
4232898/A

EXAMPLE BOARD LAYOUT

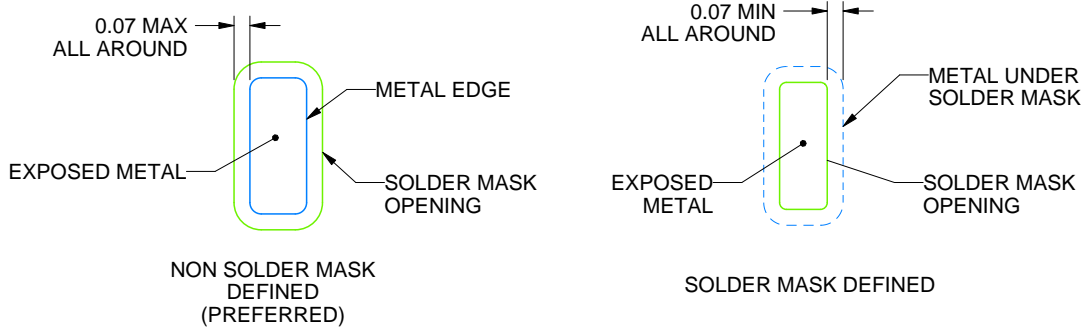
DQF0008A

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 30X



SOLDER MASK DETAILS

4220563/A 03/2021

NOTES: (continued)

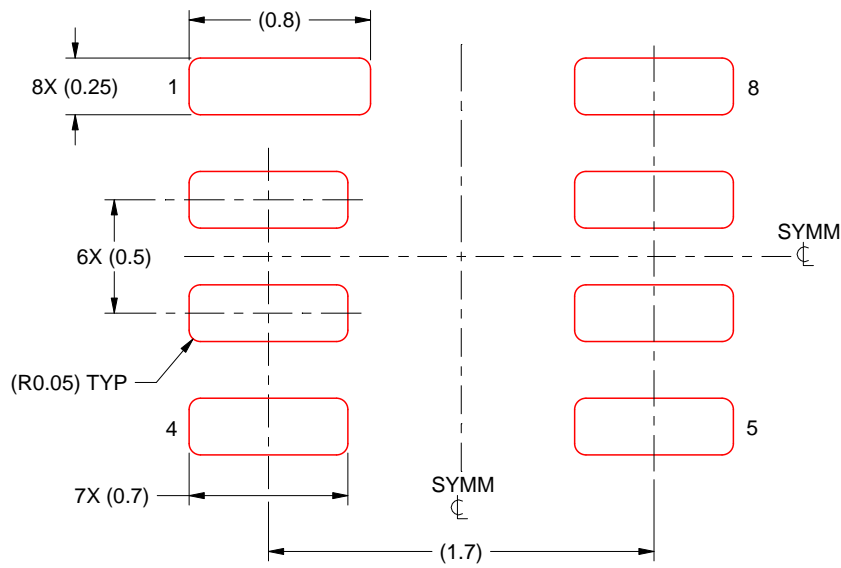
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).

EXAMPLE STENCIL DESIGN

DQF0008A

WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

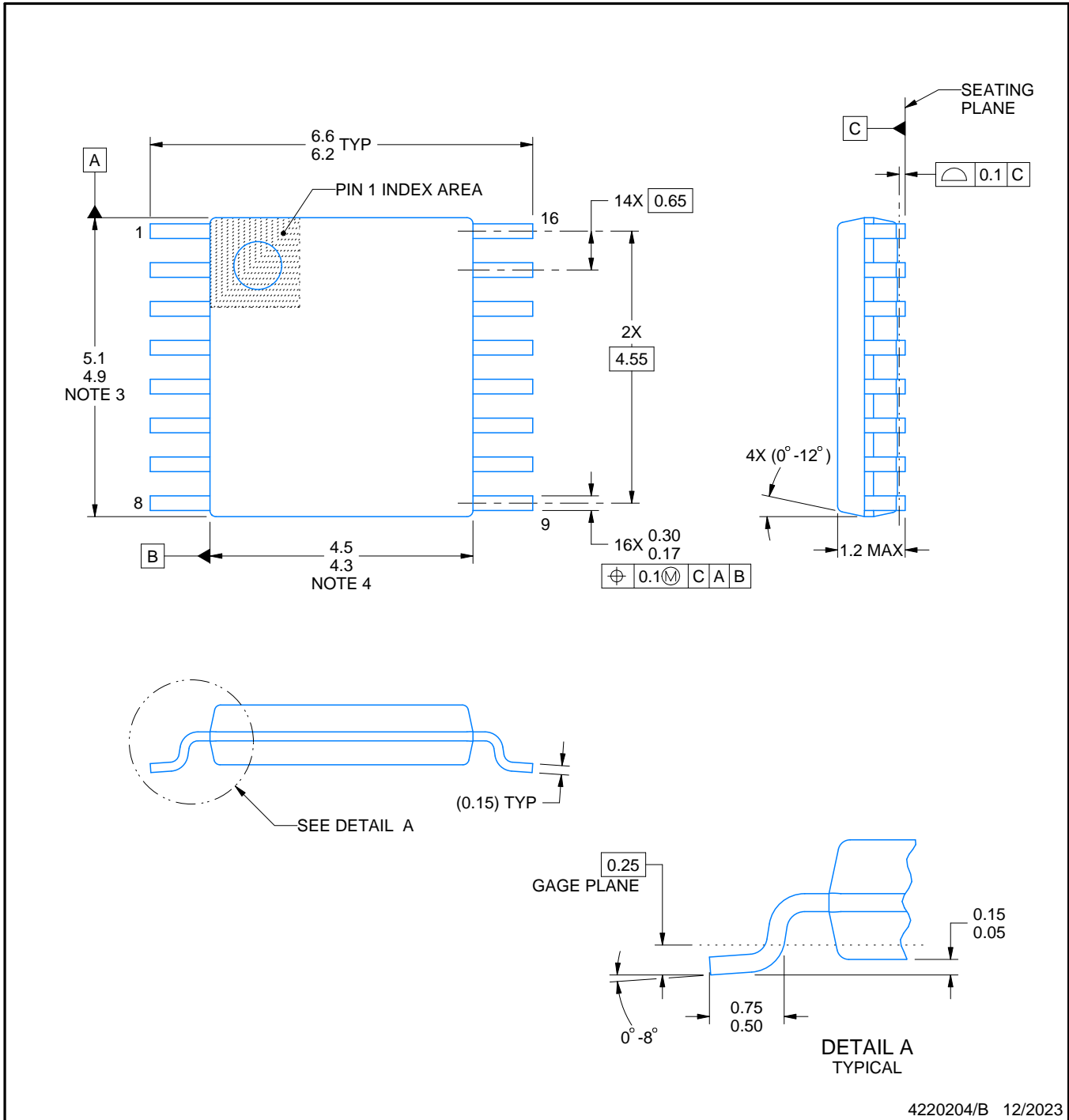


SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 30X

4220563/A 03/2021

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.



4220204/B 12/2023

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

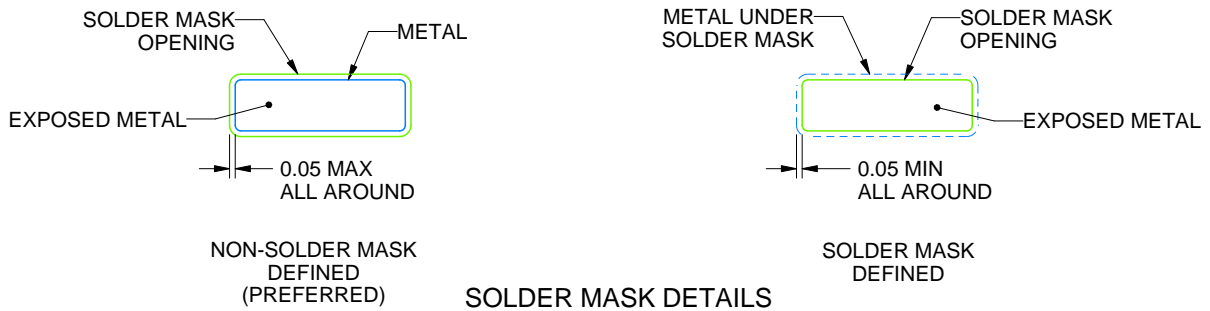
PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220204/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

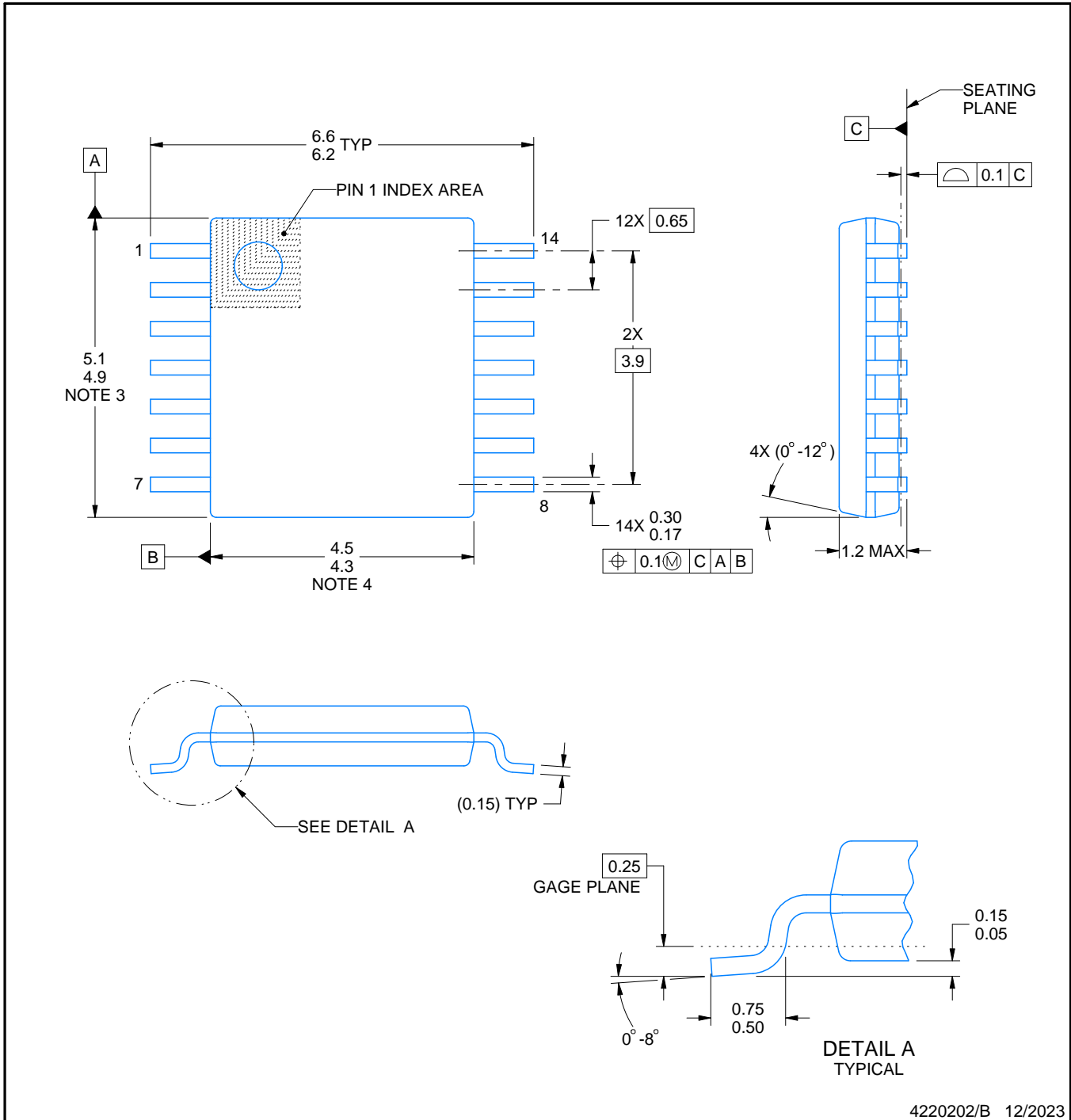
PW0014A



PACKAGE OUTLINE

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4220202/B 12/2023

NOTES:

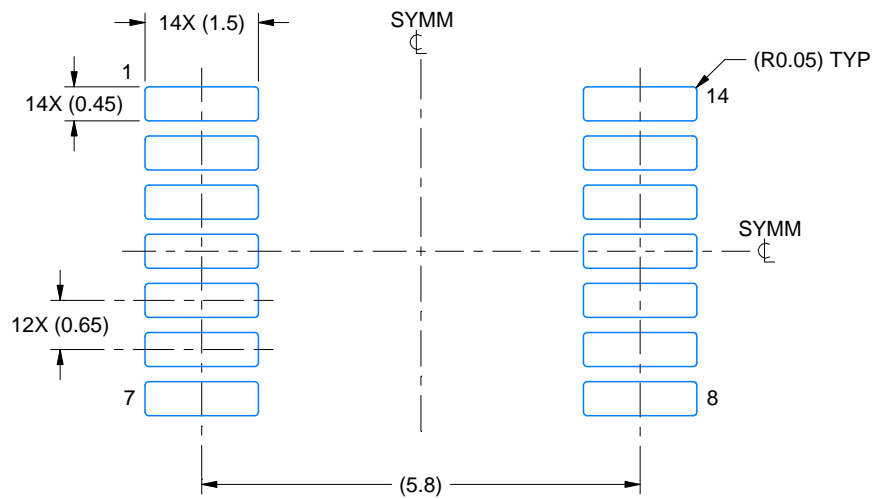
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220202/B 12/2023

NOTES: (continued)

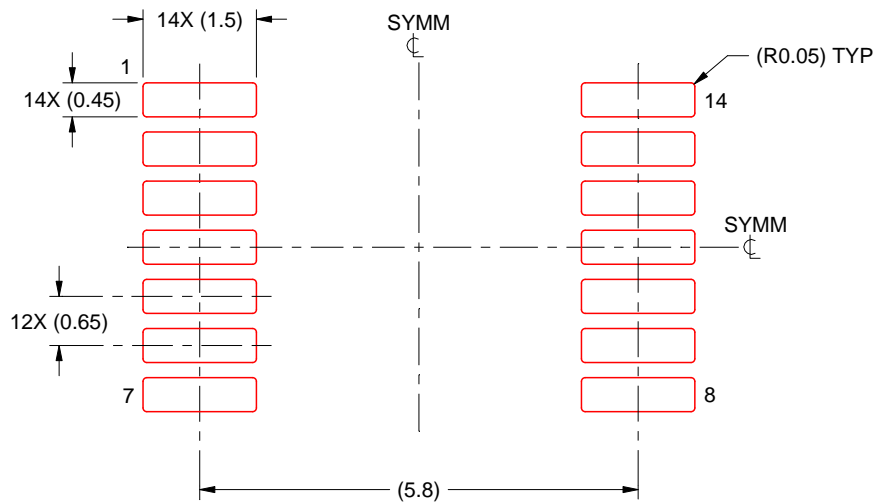
- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0014A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

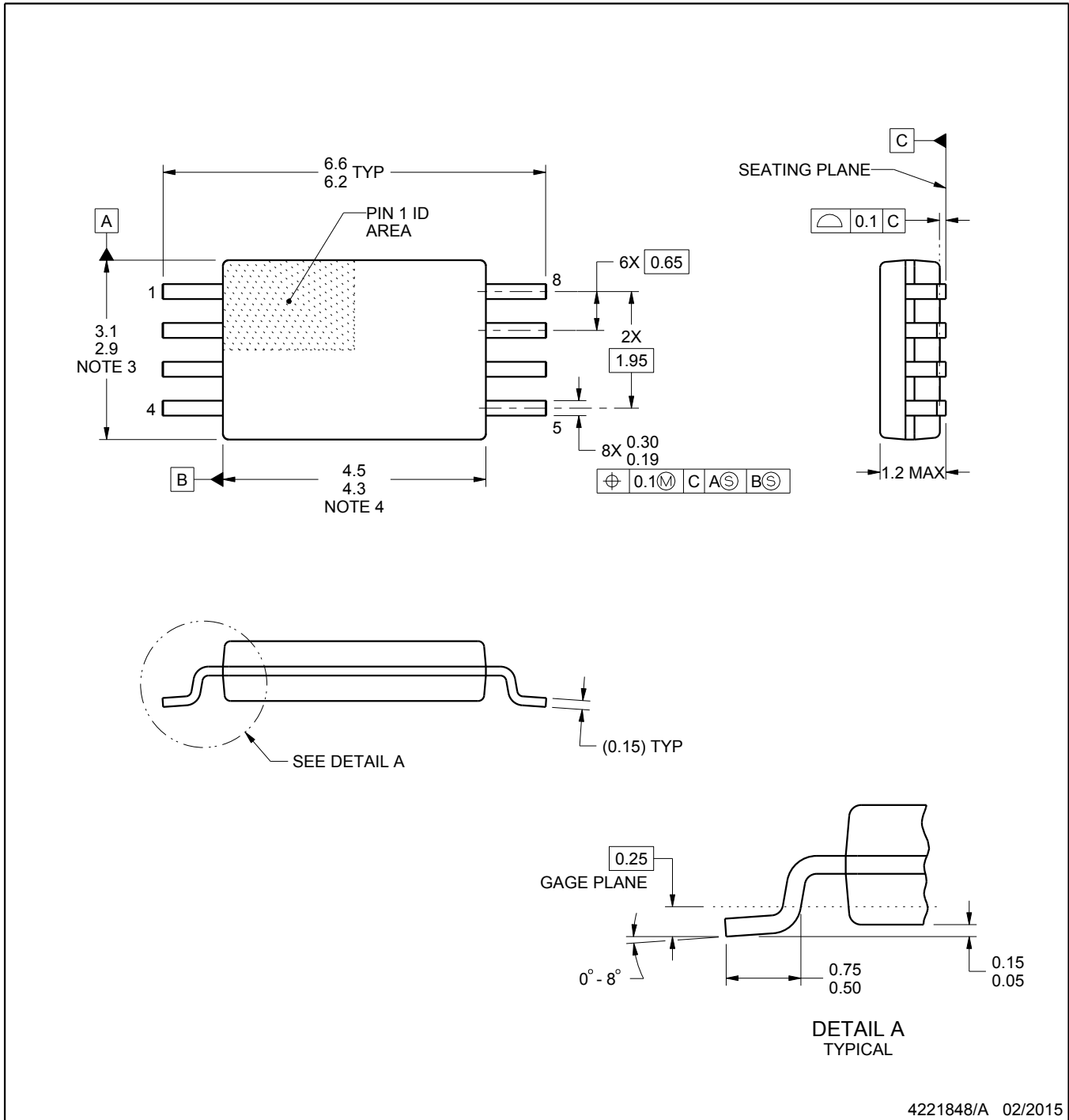
PW0008A



PACKAGE OUTLINE

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



4221848/A 02/2015

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.

EXAMPLE BOARD LAYOUT

PW0008A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0008A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月