

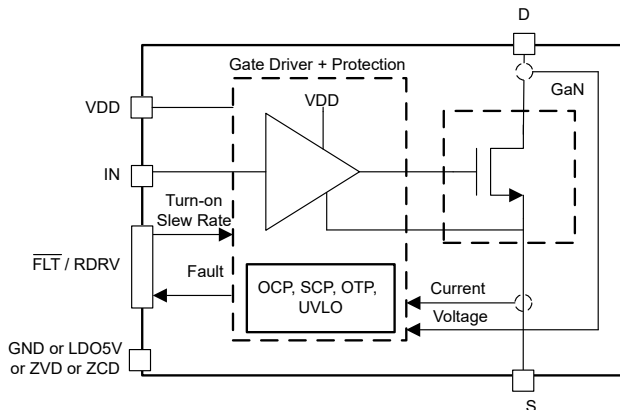
## 具有集成驱动器和保护功能的 LMG367xR010 650V 10mΩ GaN FET

### 1 特性

- 具有集成式栅极驱动器的 650V 10mΩ GaN 功率 FET
  - >200V/ns FET 释抑
  - 10V/ns 至 80V/ns 压摆率，用于优化开关性能与缓解 EMI
  - 可在电源引脚和输入逻辑引脚电压范围为 9V 至 26V 的情况下运行
- 强大的保护
  - 响应时间 <300ns 的逐周期过流和锁存短路保护
  - 硬开关时可承受 720V 浪涌
  - 针对内部过温和 UVLO 监控的自我保护
- 高级电源管理
  - LMG3676R010 包括零电压检测 (ZVD) 功能，便于转换器的软切换，
  - LMG3677R010 包括零电流检测 (ZCD) 功能，可促进转换器的软切换，
- 顶部冷却 9.9mm × 12.3mm 纤薄 TOLT (STOLT) 封装将电气路径和散热路径分开，可实现超低的电源环路电感

### 2 应用

- 开放式机架式服务器 PSU
- 商用通信电源整流器
- 通用冗余电源
- 不间断电源
- 光伏逆变器和工业电机驱动器



简化版方框图

### 3 说明

LMG367xR010 GaN FET 具有集成式驱动器和保护功能，适用于开关模式电源转换器，能够让设计人员实现更高水平的功率密度与效率。

可调栅极驱动器强度允许独立地控制导通和最大关断压摆率，这可用于主动控制 EMI 并优化开关性能。导通压摆率从 10V/ns 到 80V/ns 不等，而关断压摆率限制在 10V/ns 至最大值之间。保护特性包括欠压锁定 (UVLO)、逐周期过流限制，以及短路和过热保护。LMG3671R010 在 LDO5V 引脚上提供 5V LDO 输出，可用于为外部数字隔离器供电。LMG3676R010 包含零电压检测 (ZVD) 功能，可在实现零电压开关时提供来自 ZVD 引脚的脉冲输出。LMG3677R010 包含零电流检测 (ZCD) 功能，可在漏源电流为负时将 ZCD 引脚设置为高电平，并在检测到过零点时转换为低电平。

#### 封装信息

器件型号	封装 <sup>(1)</sup>	封装尺寸 <sup>(2)</sup>
LMG367xR010	KLH (STOLT, 16)	9.9mm × 12.3mm

(1) 有关所有可用封装，请参阅节 11。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。

#### 器件信息

器件型号	LDO 5V 输出	零电压检测功能	零电流检测功能
LMG3670R010	—	—	—
LMG3671R010 <sup>(1)</sup>	是	—	—
LMG3676R010 <sup>(1)</sup>	—	是	—
LMG3677R010 <sup>(1)</sup>	—	—	是

(1) 产品预发布



## 内容

<b>1 特性</b> .....	<b>1</b>	7.2 功能方框图.....	<b>12</b>
<b>2 应用</b> .....	<b>1</b>	7.3 特性说明.....	<b>15</b>
<b>3 说明</b> .....	<b>1</b>	7.4 器件功能模式.....	<b>22</b>
<b>4 引脚配置和功能</b> .....	<b>3</b>	<b>8 应用和实施</b> .....	<b>23</b>
<b>5 规格</b> .....	<b>4</b>	8.1 应用信息.....	<b>23</b>
5.1 绝对最大额定值.....	<b>4</b>	8.2 典型应用.....	<b>24</b>
5.2 ESD 等级.....	<b>4</b>	8.3 电源相关建议.....	<b>26</b>
5.3 建议运行条件.....	<b>4</b>	<b>9 器件和文档支持</b> .....	<b>28</b>
5.4 热性能信息.....	<b>5</b>	9.1 接收文档更新通知.....	<b>28</b>
5.5 电气特性.....	<b>5</b>	9.2 支持资源.....	<b>28</b>
5.6 开关特性.....	<b>6</b>	9.3 商标.....	<b>28</b>
<b>6 参数测量信息</b> .....	<b>8</b>	9.4 静电放电警告.....	<b>28</b>
6.1 开关参数.....	<b>8</b>	9.5 术语表.....	<b>28</b>
<b>7 详细说明</b> .....	<b>11</b>	<b>10 修订历史记录</b> .....	<b>28</b>
7.1 概述.....	<b>11</b>	<b>11 机械、封装和可订购信息</b> .....	<b>29</b>

## 4 引脚配置和功能

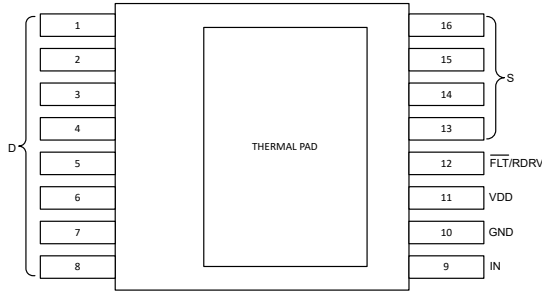


图 4-1. LMG3670R010, STOLT 封装 (顶视图)

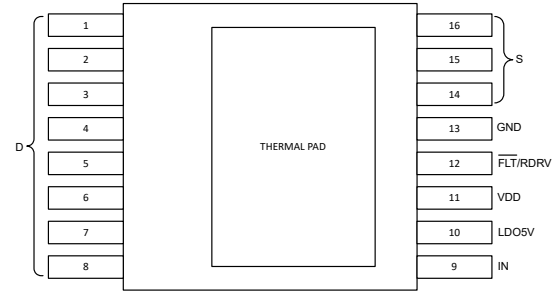


图 4-2. LMG3671R010, STOLT 封装 (顶视图)

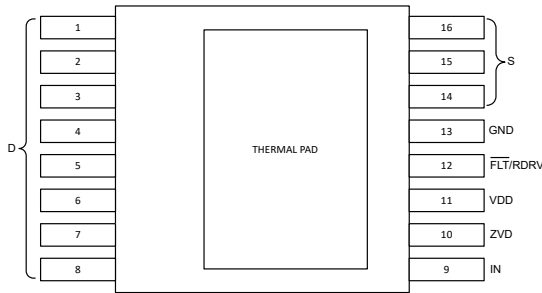


图 4-3. LMG3676R010, STOLT 封装 (顶视图)

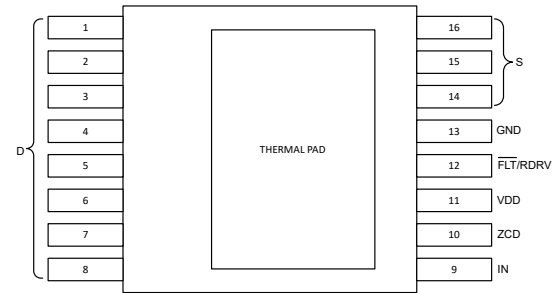


图 4-4. LMG3677R010, STOLT 封装 (顶视图)

表 4-1. 引脚功能

名称	引脚				类型 <sup>(1)</sup>	说明
	LMG3670 R010	LMG3671 R010	LMG3676 R010	LMG3677 R010		
D	1 - 8	1 - 8	1 - 8	1 - 8	P	GaN FET 漏极。
FLT/RDRV	12	12	12	12	O、I	故障监控和驱动强度选择引脚。在此引脚和 GND 之间连接一个电阻器，以设置导通驱动强度。上电时设置一次压摆率，然后将该引脚用于故障监控。
GND	10	13	13	13	G	信号地。内部连接到 S 和散热焊垫。
IN	9	9	9	9	I	CMOS 兼容非反相输入，用于打开和关闭 FET
LDO5V	—	10	—	—	P	用于外部数字隔离器的 5V LDO 输出。
S	13 - 16	14 - 16	14 - 16	14 - 16	P	GaN FET 源极
散热焊盘	—	—	—	—	—	散热焊盘。在内部连接到 S
VDD	11	11	11	11	P	器件输入电源
ZCD	—	—	—	10	O、I	零电流检测和关断驱动强度选择引脚。在此引脚和 GND 之间连接一个电阻器，以设置关断驱动强度。上电时设置一次压摆率，然后将该引脚用作推挽式数字输出，当漏极至源极电流为负值时将 ZCD 引脚设置为高电平，检测到过零点时转换为低电平。
ZVD	—	—	10	—	O、I	零电压检测和关断驱动强度选择引脚。在此引脚和 GND 之间连接一个电阻器，以设置关断驱动强度。上电时设置一次压摆率，然后将该引脚用作推挽式数字输出，提供零电压检测信号，以指示器件是否在电流开关周期中实现零电压开关。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源。

## 5 规格

### 5.1 绝对最大额定值

除非另有说明：电压以 GND/S 为基准<sup>(1)</sup>

		最小值	最大值	单位	
$V_{DS}$	漏源电压, FET 关断		650	V	
$V_{DS(surge)}$	漏源电压, 浪涌条件, FET 关断		720	V	
$V_{DS(tr)(surge)}$	漏源瞬态振铃峰值电压, 浪涌条件, FET 关断		800	V	
	引脚电压	VDD	-0.5	26	V
		IN	-5 <sup>(2)</sup>	28	V
		FLT/RDRV、ZVD、ZCD	-0.5	5.5	V
		LDO5V		5.5	V
$I_{D(cnts)}$	漏极 (D 至 S) 连续电流, FET 导通。T <sub>j</sub> = 25°C <sup>(3)</sup>	-118	118	A	
$I_{D(cnts)}$	漏极 (D 至 S) 连续电流, FET 导通。T <sub>j</sub> = 150°C <sup>(3)</sup>	-91	91	A	
$I_{D(pulse)}$	脉冲漏极电流, FET 导通, t <sub>p</sub> < 10μs。T <sub>j</sub> = 25°C <sup>(3)</sup>		168	A	
	脉冲漏极电流, FET 导通, t <sub>p</sub> < 10μs。T <sub>j</sub> = 25°C <sup>(3)</sup>				
$I_{S(cnts)}$	源极 (S 到 D) 连续电流, FET 关断。T <sub>j</sub> = 25°C		118	A	
$I_{S(cnts)}$	源极 (S 到 D) 连续电流, FET 关断。T <sub>j</sub> = 150°C		91	A	
T <sub>J</sub>	工作结温 <sup>(4)</sup>	-40	175	°C	
T <sub>stg</sub>	贮存温度	-65	150	°C	

- 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- 在稳态下，IN 引脚电压限制为 -0.5V 的最小值，瞬态容差为 -5V，持续时间小于 1μs。
- 绝对最大额定值受器件内部过流保护功能限制。但是，t<sub>p</sub> < 10μs 时 FET 漏极固有正向脉冲电流的额定值会随结温的变化而变化；，在 150°C 时典型值为 129A。正向脉冲电流必须保持在过流阈值以下，以免 FET 自动关断。
- 参阅“电气与开关特性表”，了解结温测试条件。

### 5.2 ESD 等级

		值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/ JEDEC JS-001 标准 <sup>(1)</sup>	±2000
		充电器件模型 (CDM), 符合 ANSI/ESDA/ JEDEC JS-002 标准 <sup>(2)</sup>	±500

- JEDEC 文档 JEP155 指出：500V HBM 可通过标准 ESD 控制流程实现安全生产。
- JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

### 5.3 建议运行条件

除非另有说明：电压以 GND/S 为基准

		最小值	标称值	最大值	单位
	电源电压	VDD	9	24	V
	输入电压	IN	0	26	V
$I_{D(cnts)}$	漏极 (D 至 S) 连续电流, FET 导通。T <sub>j</sub> = 25°C			97	A
$I_{D(cnts)}$	漏极 (D 至 S) 连续电流, FET 导通。T <sub>j</sub> = 150°C			74	A
	正极源电流	LDO5V		25	mA
RDRV <sub>on</sub>	来自 FLT/RDRV 到 GND 之间的外部导通压摆率控制电阻器的电阻	29.4		开路	kΩ

除非另有说明：电压以 GND/S 为基准

		最小值	标称值	最大值	单位
RDRV <sub>off</sub>	来自 ZVD 至 GND 或 ZCD 至 GND 之间的外部导通压摆率控制电阻器的电阻	32.4		开路	kΩ

## 5.4 热性能信息

热指标 <sup>(1)</sup>		KLH(STOLT)		单位
		16 引脚		
R <sub>θ</sub> JC(top)	结至外壳 (顶部) 热阻	0.1		°C/W

 (1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标应用手册](#)。

## 5.5 电气特性

 除非另有说明：电压、电阻、电容和电感以 GND/S 为准；-40°C ≤ T<sub>J</sub> ≤ 150°C；VDD = 12V； $\overline{\text{FLT}}/\text{RDRV}$  电阻 RDRV<sub>on</sub> 和 RDRV<sub>off</sub> 为开路

参数		测试条件	最小值	典型值	最大值	单位
<b>GAN 功率 FET</b>						
R <sub>DS(on)</sub>	漏源导通电阻	T <sub>J</sub> = 25°C, I <sub>L</sub> = 25A		10.2	11.6	mΩ
R <sub>DS(on)</sub>	漏源导通电阻	T <sub>J</sub> = 150°C, I <sub>L</sub> = 25A		20.4	23.3	mΩ
V <sub>SD</sub>	源漏第三象限电压	T <sub>J</sub> = 25°C, I <sub>SD</sub> = 0.1A		1.4		V
V <sub>SD</sub>	源漏第三象限电压	T <sub>J</sub> = 150°C, I <sub>SD</sub> = 0.1A		2.2		V
V <sub>SD</sub>	源漏第三象限电压	T <sub>J</sub> = 25°C, I <sub>SD</sub> = 35A		4.4		V
V <sub>SD</sub>	源漏第三象限电压	T <sub>J</sub> = 150°C, I <sub>SD</sub> = 35A		6.2		V
I <sub>DSS</sub>	漏极漏电流	T <sub>J</sub> = 25°C, V <sub>DS</sub> = 650V		待定		μA
I <sub>DSS</sub>	漏极漏电流	T <sub>J</sub> = 150°C, V <sub>DS</sub> = 650V		待定		μA
Q <sub>OSS</sub>	输出电荷	V <sub>DS</sub> = 400V		348		nC
C <sub>OSS</sub>	输出电容	V <sub>DS</sub> = 400V		534		pF
E <sub>OSS</sub>	输出电容储存的能量	V <sub>DS</sub> = 400V		53		μJ
C <sub>OSS(tr)</sub>	与时间相关的有效输出电容	V <sub>DS</sub> = 400V		874		pF
C <sub>OSS(er)</sub>	与能量相关的有效输出电容	V <sub>DS</sub> = 400V		627		pF
Q <sub>R</sub>	反向恢复电荷			0		nC
<b>过流和短路保护</b>						
I <sub>T(OC)</sub>	过流故障 - 阈值电流	T <sub>J</sub> = -40°C	108	120	132	A
		T <sub>J</sub> = 25°C	97	107	118	A
		T <sub>J</sub> = 150°C	74	83	91	A
V <sub>T(Idsat)</sub>	饱和电流检测 - 阈值电压		8.5	9	9.6	V
<b>过热保护</b>						
T <sub>T+</sub>	温度故障 - 正向阈值温度			190		°C
T <sub>T(hyst)</sub>	温度故障 - 阈值温度迟滞			20		°C
<b>IN</b>						
V <sub>IN,IT+</sub>	正向输入阈值电压		1.6	2	2.45	V
V <sub>IN,IT-</sub>	负向输入阈值电压		0.6	0.9	1.3	V
V <sub>IN,IT(hyst)</sub>	输入阈值电压迟滞			1		V
R <sub>PDN</sub>	下拉输入电阻		115	150	185	kΩ
<b>FLT/RDRV</b>						
V <sub>OL</sub>	低电平输出电压	输出灌电流 8mA		0.2	0.4	V
V <sub>OH</sub>	高电平输出电压	输出源 8mA	4.5	4.8		V

除非另有说明：电压、电阻、电容和电感以 GND/S 为准； $-40^{\circ}\text{C} \leq T_J \leq 150^{\circ}\text{C}$ ； $V_{DD} = 12\text{V}$ ； $\overline{\text{FLT}}/\text{RDRV}$  电阻  $\text{RDRV}_{\text{on}}$  和  $\text{RDRV}_{\text{off}}$  为开路

参数		测试条件	最小值	典型值	最大值	单位
<b>VDD</b>						
$I_{VDD(\text{ON})}$	FET 导通时的静态电流	IN=1		1.2	16	mA
$I_{VDD(\text{OFF})}$	FET 关断时的静态电流	IN=0		0.8	1.1	mA
$I_{CC\_op}$	140kHz 下的工作电流	$f_{\text{sw}} = 140\text{kHz}$ , $V_{\text{bus}} = 400\text{V}$ , 软开关, 50% 占空比。		8.2	11.6	mA
$V_{VDD, T+ (\text{UVLO})}$	UVLO - 正向阈值电压		8.1	8.5	8.9	V
$V_{VDD, T- (\text{UVLO})}$	UVLO - 负向阈值电压		7.6	8	8.4	V
$V_{VDD, T (\text{hyst})}$	UVLO - 阈值电压迟滞		0.4	0.5	0.6	V

## 5.6 开关特性

除非另有说明：电压、电阻、电容和电感以 GND/S 为准； $-40^{\circ}\text{C} \leq T_J \leq 150^{\circ}\text{C}$ ； $V_{DD} = 12\text{V}$ ； $\overline{\text{FLT}}/\text{RDRV}$  电阻  $\text{RDRV}_{\text{on}}$  和  $\text{RDRV}_{\text{off}}$  为开路

参数		测试条件	最小值	典型值	最大值	单位
<b>开关时间</b>						
$t_{d(\text{on})}$	导通延迟时间	从 $V_{\text{IN}} > V_{\text{IN,IT+}}$ 到 $V_{\text{DS}} < 320\text{V}$ , $V_{\text{BUS}} = 400\text{V}$ , $L_{\text{HB}}$ 电流 = 0A, 80V/ns		45		ns
$t_{\text{ir}(\text{on})}$	导通电流上升时间 + 延迟时间	从 $V_{\text{IN}} > V_{\text{IN,IT+}}$ 到 $V_{\text{DS}} < 320\text{V}$ , $V_{\text{BUS}} = 400\text{V}$ , $L_{\text{HB}}$ 电流 = 24A, 80V/ns		45		ns
$t_{\text{vf}(\text{on})}$	导通电压下降时间	从 $V_{\text{DS}} < 320\text{V}$ 到 $V_{\text{DS}} < 80\text{V}$ , $V_{\text{BUS}} = 400\text{V}$ , $L_{\text{HB}}$ 电流 = 24A, 80V/ns	1	3.5		ns
$t_{\text{vf\_peak}(\text{on})}$	导通压摆率	$dv/dt$ , 当 $V_{\text{DS}} = 200\text{V}$ 、 $V_{\text{BUS}} = 400\text{V}$ 、 $L_{\text{HB}}$ 电流 = 24A 时, 80V/ns	60	80		V/ns
	脉宽失真度	80V/ns 处的压摆率设置, $I_{\text{DS}} = 150^{\circ}\text{C}$ (49A) 时 OCP 的 80%			20	ns
	改变输出 L-H-L	压摆率设置 @ 80V/ns 以使 SW 超过 200V 的最小输入脉冲			50	ns
$t_{d(\text{off})}$	全速下的关断延迟时间	从 $V_{\text{IN}} < V_{\text{IN,IT-}}$ 到 $V_{\text{DS}} \geq 80\text{V}$ 。 $V_{\text{BUS}} = 400\text{V}$ , $I_L = 150^{\circ}\text{C}$ 时 OCP 的 80% (66A), 最快或完全关断速度。	18	30		ns
$t_{\text{vr}(\text{off})}$	全速下的关断电压上升时间	从 $V_{\text{DS}} \geq 80\text{V}$ 到 $V_{\text{DS}} \geq 320\text{V}$ 。 $V_{\text{BUS}} = 400\text{V}$ , $I_L = 150^{\circ}\text{C}$ 时 OCP 的 80% (66A), 最快或完全关断速度。	3	5.5		ns
<b>启动时间</b>						
$T_{\text{DRV\_START}}$	驱动器启动延迟	从驱动器电源超过 UVLO 到 IN 为高电平时开关导通。	80	100	150	$\mu\text{s}$
<b>故障时间</b>						
$t_{\text{off}(\text{OC})}$	过流故障 FET 关断时间, 过流前 FET 导通	从 $I_D \geq I_{\text{T(OC)}}$ 到 $V_{\text{ds}} > 10\text{V}$ , $di/dt = 100\text{A}/\mu\text{s}$ , 采用最快关断速度		370	567	ns
$t_{\text{off}(\text{OC\_ON})}$	过流总导通时间, 导通进过流。	从 $V_{\text{ds}} \leq 10\text{V}$ 到 $V_{\text{ds}} \geq 10\text{V}$ , 在 110% OC 电平下导通, 采用 80 V/ns 导通压摆率和最快关断速度。		420	634	ns

除非另有说明：电压、电阻、电容和电感以 GND/S 为准； $-40^{\circ}\text{C} \leq T_J \leq 150^{\circ}\text{C}$ ； $V_{DD} = 12\text{V}$ ； $\overline{\text{FLT}}/\text{RDRV}$  电阻  $\text{RDRV}_{\text{on}}$  和  $\text{RDRV}_{\text{off}}$  为开路

参数		测试条件	最小值	典型值	最大值	单位
$t_{\text{off\_cur(SC\_ON)}}$	通过漏极电流测得的 SC 导通时间	LS $V_{\text{ds}} > 10\text{V}$ ，从 LS $I_{\text{ds}} > 50\text{A}$ 到 $I_{\text{ds}} < 50\text{A}$ ，半桥配置中的导通压摆率为 $80\text{V/ns}$ 。	100	210	500	ns
$t_{\text{off\_cur(SC)}}$	包含源电流测量的 SC 响应时间	从 LS $V_{\text{ds}} > 9\text{V}$ 到 LS $I_{\text{ds}} < 50\text{A}$ ，半桥配置中的导通压摆率为 $80\text{V/ns}$ 。		155	300	ns
	锁存故障复位时间	将栅极驱动器输入保持为低电平以清除锁存故障所需的时间	300	380	450	$\mu\text{s}$
<b>零电压检测与零电流检测时间</b>						
	ZCD 延迟	电流过零（从低到高）到 ZCD 输出脉冲 $di/dt = 0.03\text{A/ns}$	16	18	68	ns
$t_{\text{DL\_ZVD}}$	ZVD 延迟	IN 上升至 ZVD 输出脉冲。 $80\text{V/ns}$ 导通速度。	13	20	50	ns
$t_{\text{WD\_ZVD}}$	ZVD 脉冲宽度	$V_{\text{bus}} = 10\text{V}$ ， $I_L = 5\text{A}$ ，测量 ZVD 脉冲宽度	90	120	170	ns
	ZVD 感测时间	FET 导通感测时间 ( $80\text{V/ns}$ )。 $I_L = 5\text{A}$		11	25	ns

## 6 参数测量信息

### 6.1 开关参数

用于确定开关参数的电路示出了用于测量大多数开关参数的电路。该电路的顶部器件将电感器电流再循环，并且仅在第三象限模式下运行。底部器件是有源器件，导通后可将电感器电流增加到所需测试电流。然后，底部器件关断和导通，以在特定电感器电流下生成开关波形。测量漏极电流（在源极）和漏源电压。用于确定传播延迟和压摆率的测量结果展示了具体的时序测量结果。TI 建议使用半桥作为双脉冲测试仪。第三象限过度运行可能会使顶部器件过热。

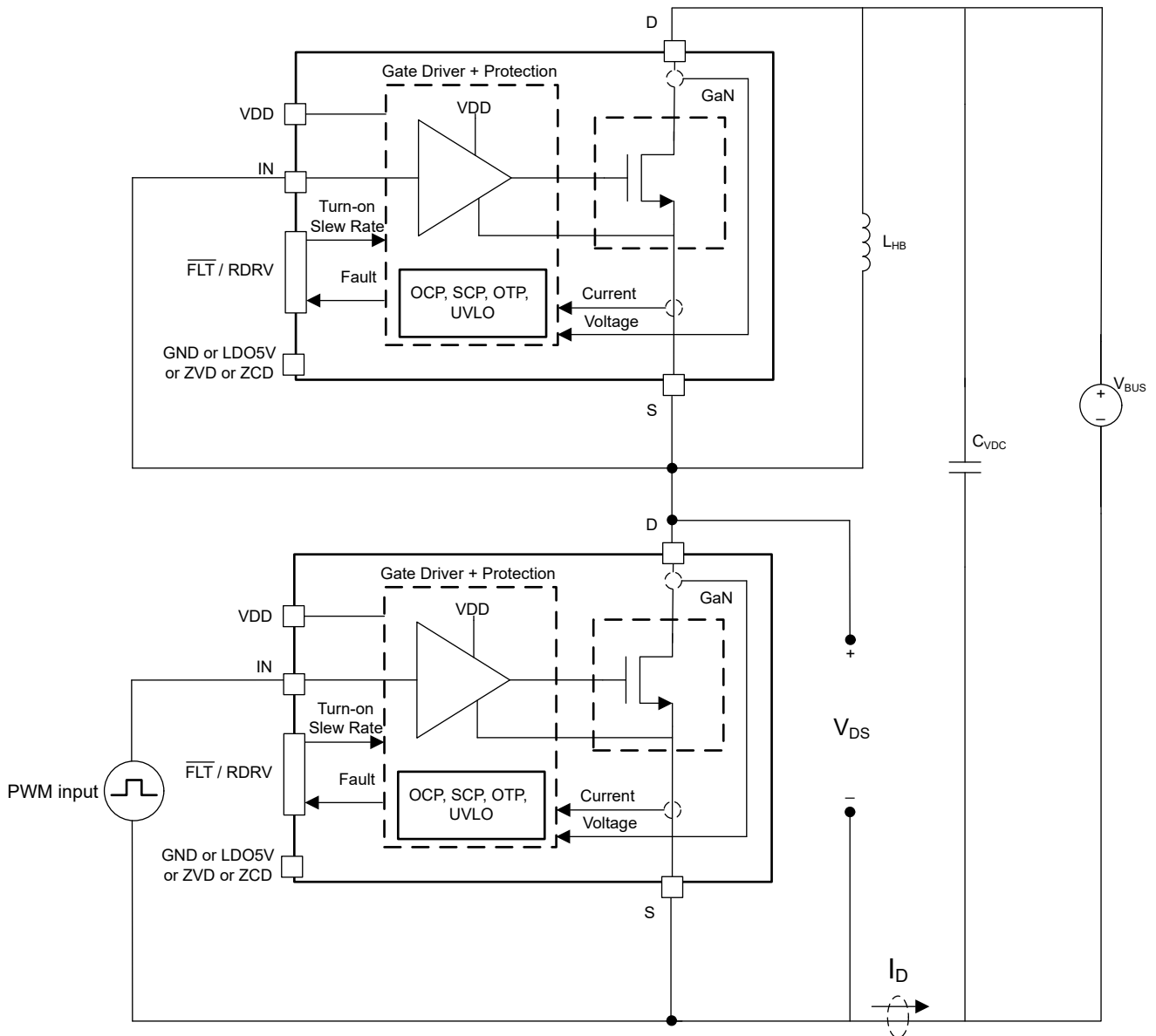


图 6-1. 用于确定开关参数的电路

PRODUCT PREVIEW

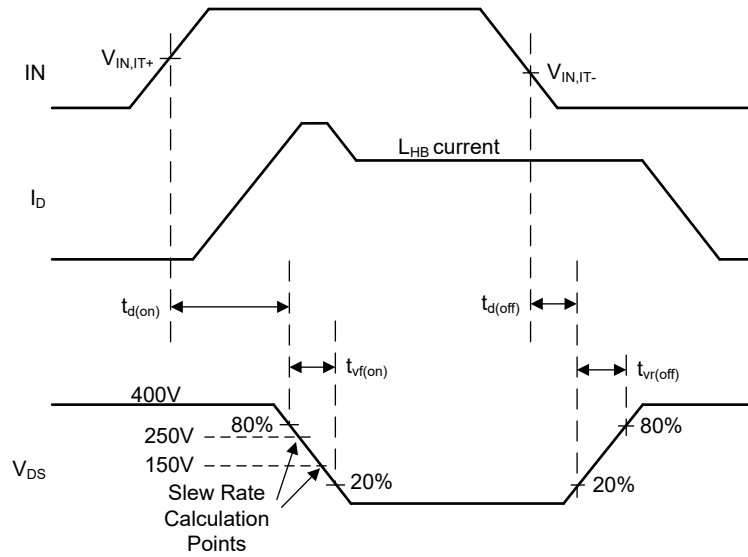


图 6-2. 用于确定传播延迟和压摆率的测量

### 6.1.1 导通时间

导通转换具有两个时序分量：导通延迟时间和导通电压下降时间。导通延迟时间是指从 IN 变为高电平到漏源电压下降到总线电压 20% 以下的时间。导通电压下降时间是指从漏源电压下降至低于总线电压 20% 到漏源电压下降至低于总线电压 80% 的时间。导通时序分量是连接到  $\overline{\text{FLT}}/\text{RDRV}$  引脚的导通驱动强度电阻  $\text{RDRV}_{\text{on}}$  的函数。

### 6.1.2 关断时间

关断转换具有两个时序分量：关断延迟时间和关断电压上升时间。关断延迟时间是指从 IN 变为低电平到漏源电压上升到总线电压 20% 的时间。关断电压上升时间是指漏源电压从总线电压 20% 上升到漏源电压达到总线电压 80% 的时间。关断时序分量取决于  $I_{\text{HB}}$  负载电流，但 LMG3676R010 和 LMG3677R010 也能够限制关断驱动强度。当漏源电流足够高且关断驱动强度受限时，相关时序参数取决于连接至 ZVD 引脚或 ZCD 引脚的编程电阻  $\text{RDRV}_{\text{off}}$ 。

### 6.1.3 漏源导通和关断压摆率

漏源导通和关断压摆率在总线电压中点附近的  $V_{\text{DS}}$  上测量，单位为伏/纳秒。电阻  $\text{RDRV}_{\text{on}}$  连接至  $\overline{\text{FLT}}/\text{RDRV}$  引脚，用于设置导通压摆率。 $\text{RDRV}_{\text{off}}$  电阻在 LMG3676R010 中接至 ZVD 引脚，在 LMG3677R010 中接至 ZCD 引脚，用于控制关断压摆率。

### 6.1.4 零电压检测时间 (仅限 LMG3676R010)

图 6-3 定义了与零电压检测 (ZVD) 块相关的开关时序，并示出了器件的漏源电压、IN 引脚信号和 ZVD 输出信号。当器件实现零电压开关 (ZVS) 时，ZVD 引脚会输出宽度为  $T_{\text{WD\_ZVD}}$  的脉冲信号，将 IN 引脚上升沿与 ZVD 脉冲上升沿之间的延迟时间定义为  $T_{\text{DL\_ZVD}}$ 。为了让器件检测到零电压开关，需要一段特定的第三象限导通时间，由  $T_{\text{3rd\_ZVD}}$  指示此时序。有关 ZVD 时序参数的更多信息，请参阅 [零电压检测 \(ZVD\) \(仅限 LMG3676R010\)](#) 一节。

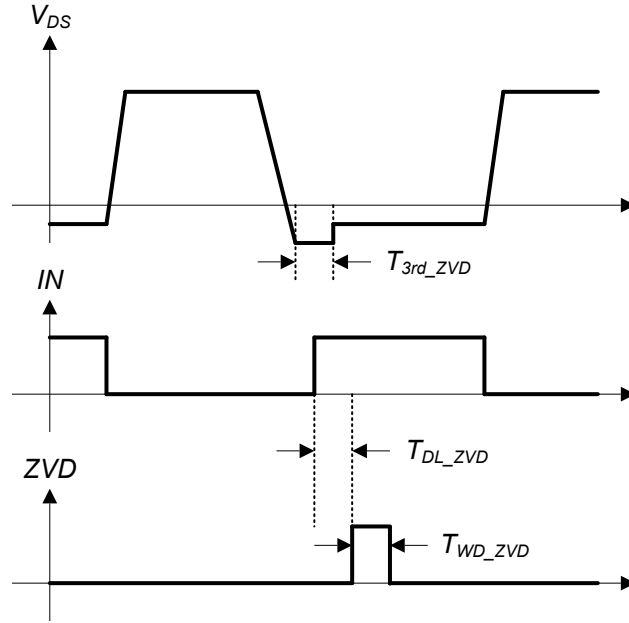


图 6-3. ZVD 时序规格

## 7 详细说明

### 7.1 概述

LMG367xR010 是一款具有集成栅极驱动器的高性能功率 GaN 器件。GaN 器件提供零反向恢复和超低输出电容，可在基于桥的拓扑中获得高效率。

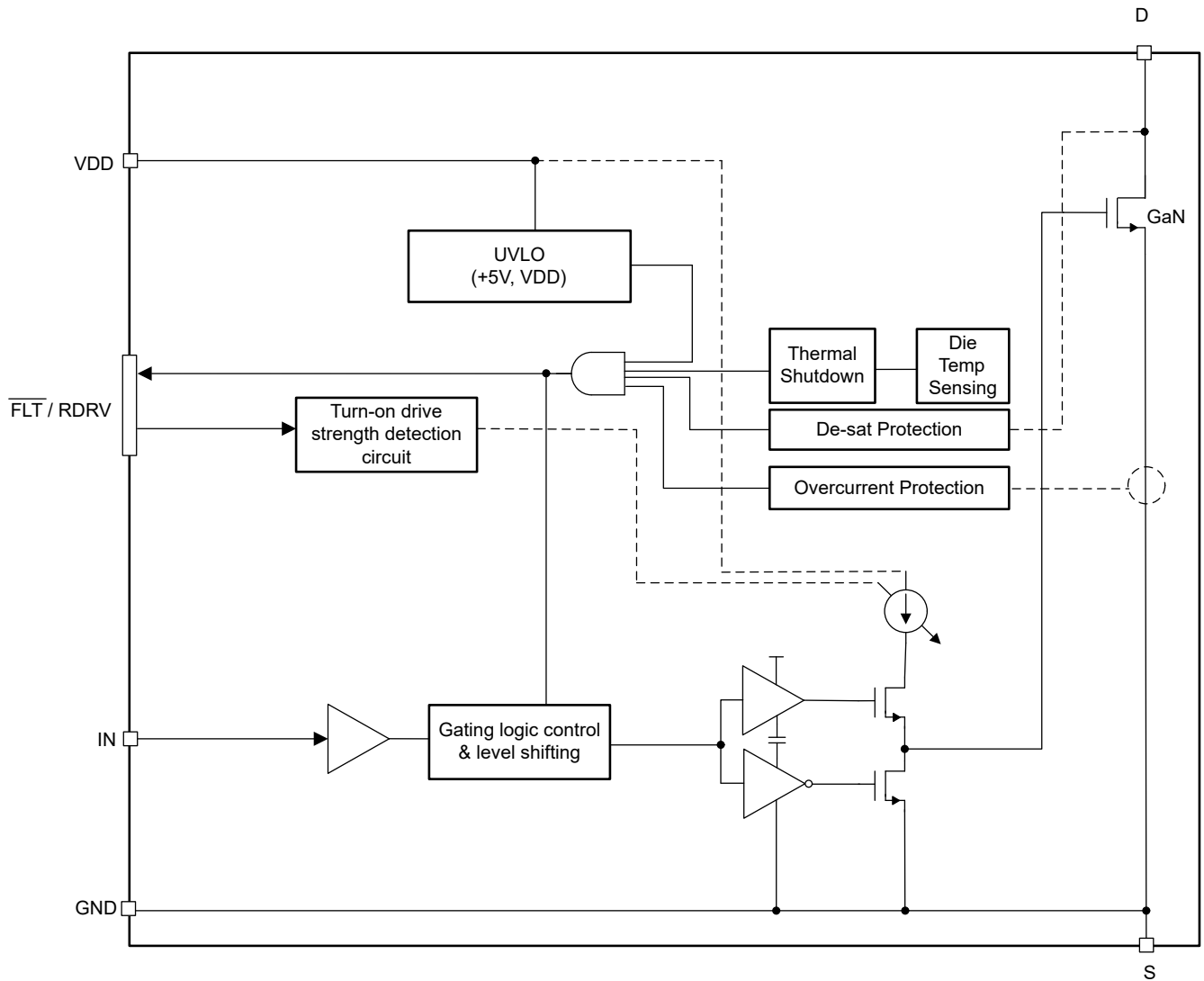
集成驱动器可确保器件在漏极压摆率 时保持关断状态。集成驱动器保护 GaN 器件免受过电流、短路、过热和 VDD 欠压。LMG3676R010 具有零电压检测 (ZVD) 功能，可在检测到零电压开关 (ZVS) 时在 ZVD 引脚输出脉冲信号。

与 Si MOSFET 不同，GaN 器件在源极到漏极之间没有 p-n 结，因此没有反向恢复电荷。然而，GaN 器件仍然会像 p-n 结二极管一样从源极导通到漏极，但压降更高，导通损耗更高。因此，必须在 LMG367xR010 GaN FET 关断时尽可能缩短源漏导通时间。

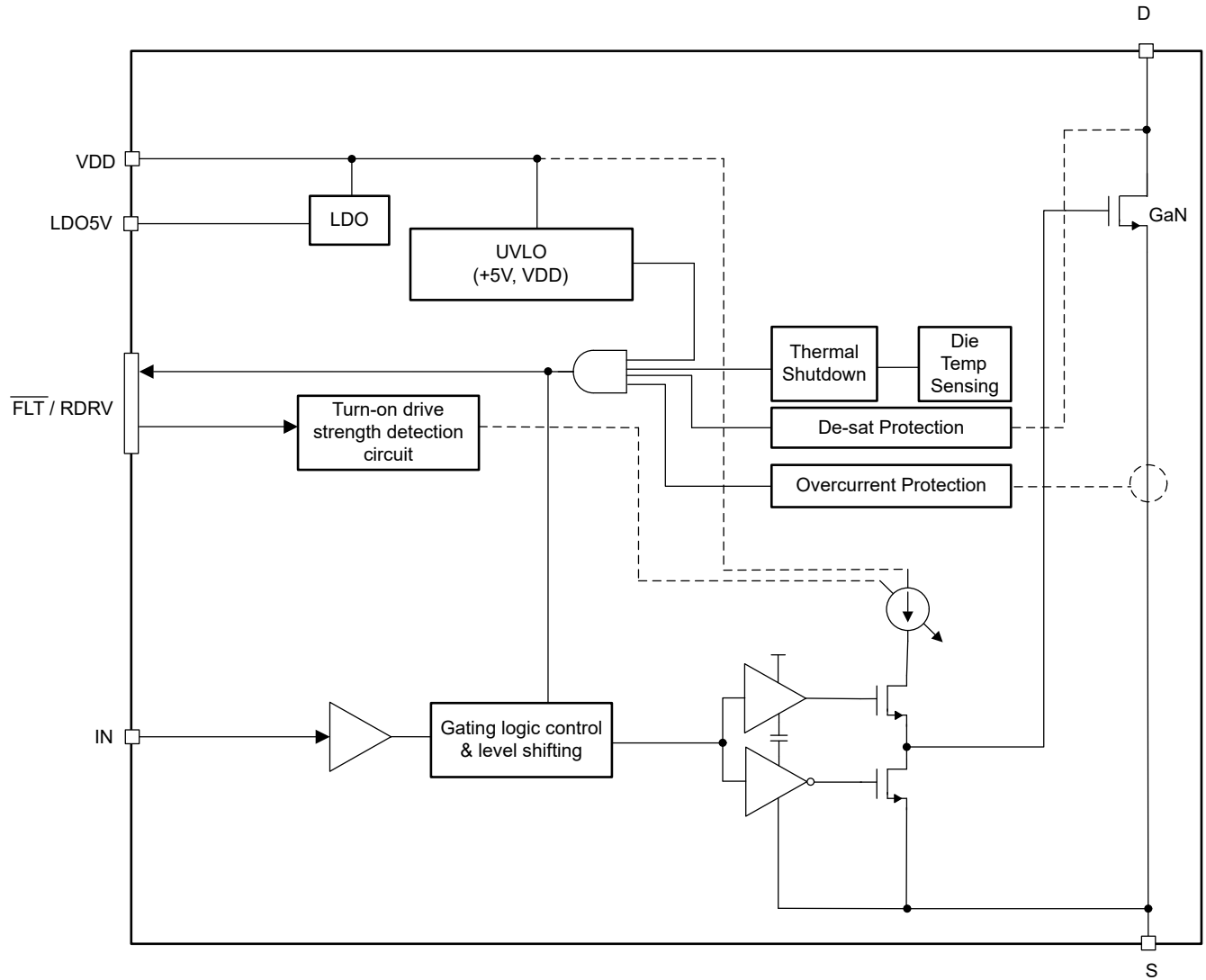
## 7.2 功能方框图

### 7.2.1 LMG3670R010 功能方框图

PRODUCT PREVIEW



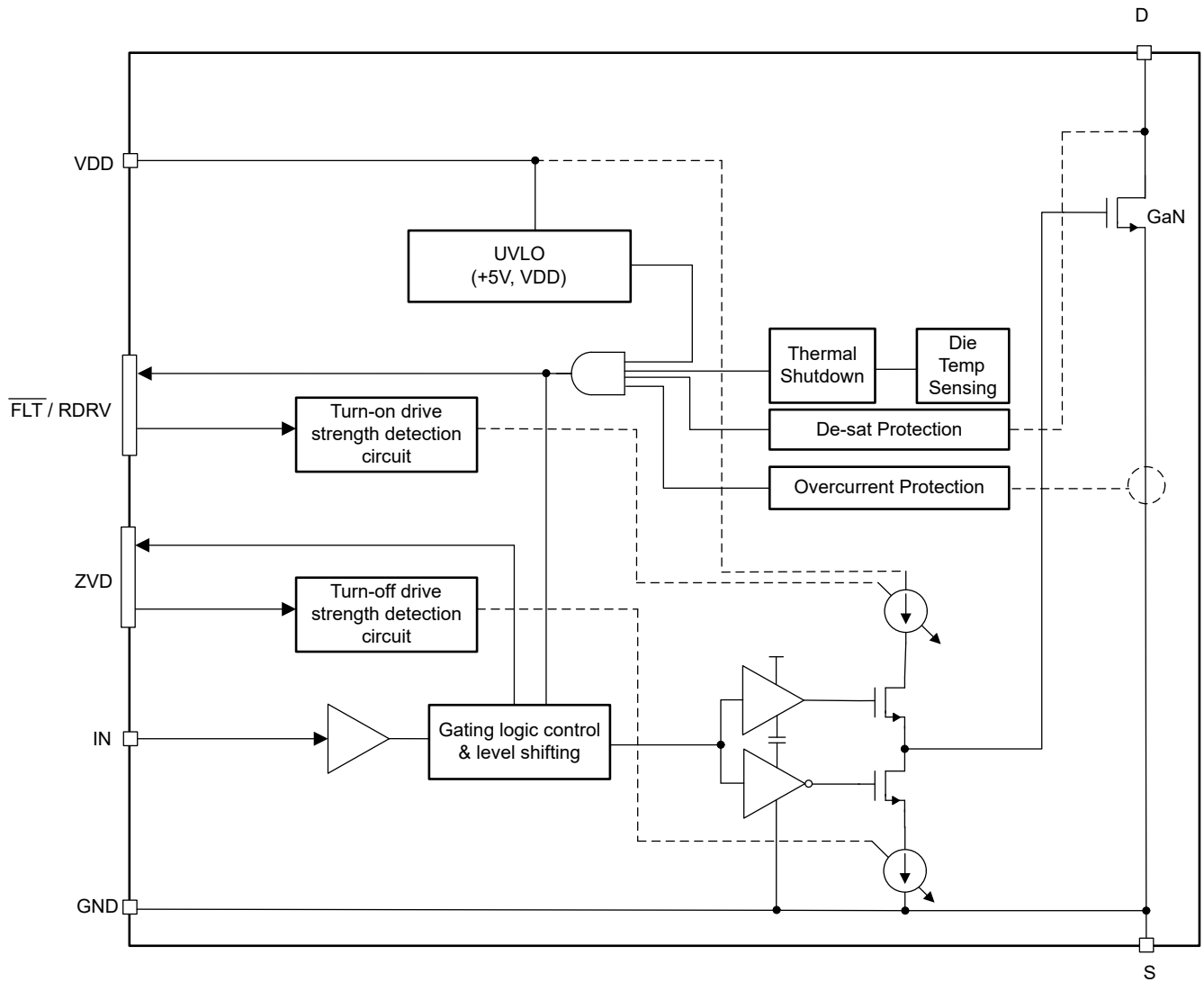
7.2.2 LMG3671R010 功能方框图



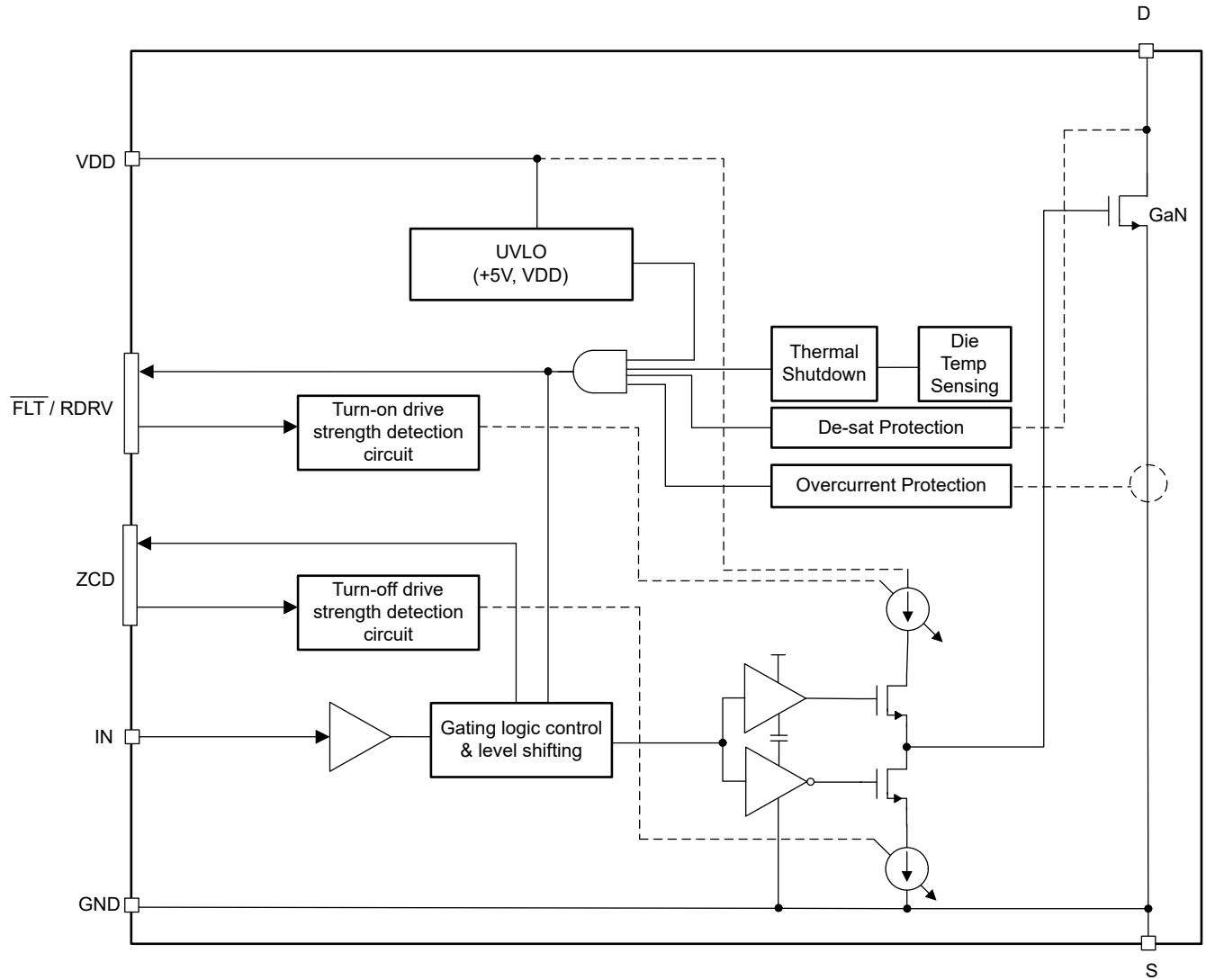
PRODUCT PREVIEW

7.2.3 LMG3676R010 功能方框图

PRODUCT PREVIEW



**7.2.4 LMG3677R010 功能方框图**



**PRODUCT PREVIEW**

**7.3 特性说明**

7.3.1 驱动强度调整

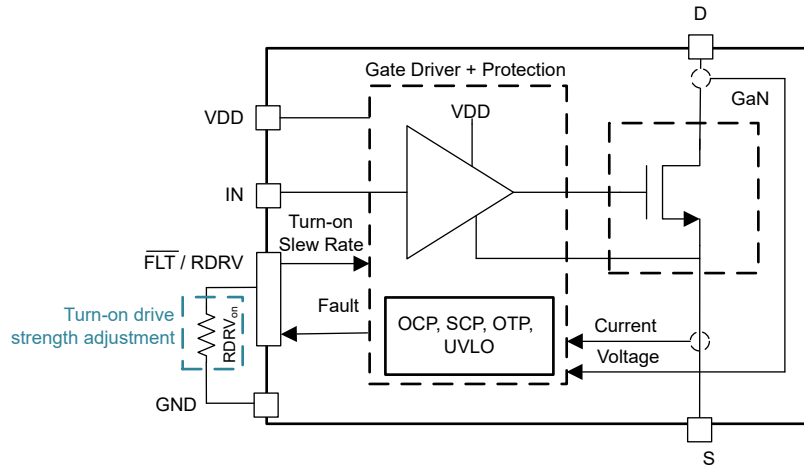


图 7-1. LMG3670R010 驱动强度调节电路

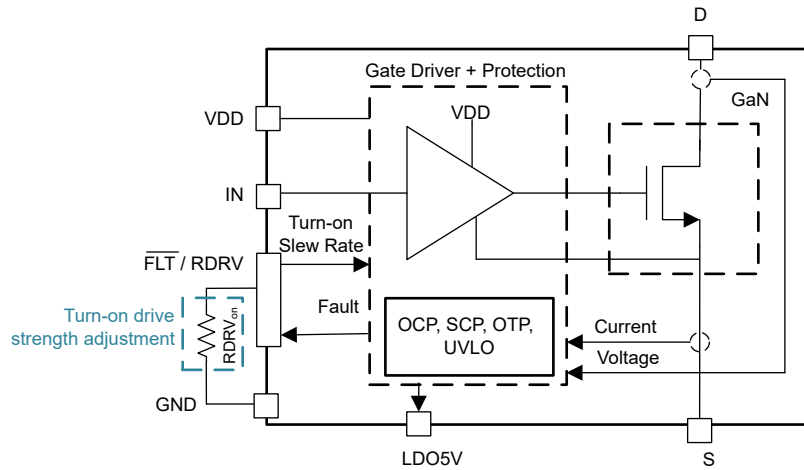


图 7-2. LMG3671R010 驱动强度调节电路

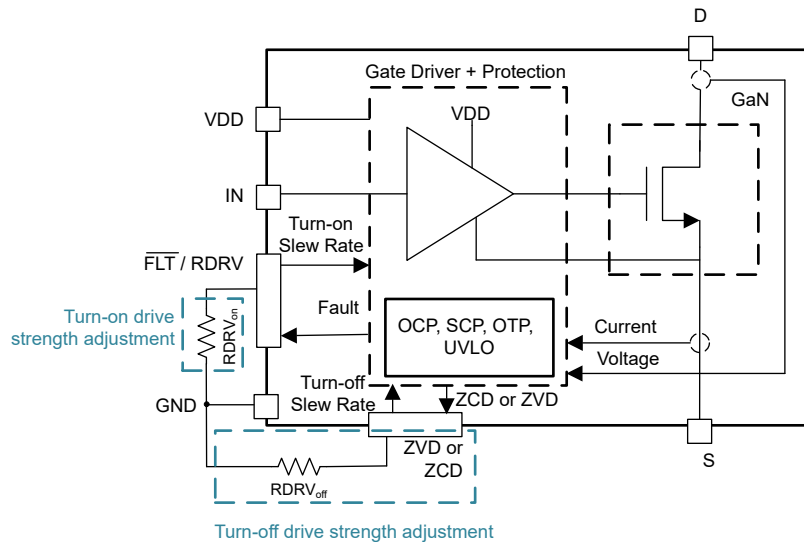


图 7-3. LMG3676R010 或 LMG3677R010 驱动强度调节电路

PRODUCT PREVIEW

LMG367xR010 允许调节器件的驱动强度，并获得所需的压摆率，从而在优化开关损耗和最小化 EMI 时获得灵活性。导通压摆率通过  $\overline{\text{FLT}}/\text{RDRV}$  和 GND 引脚之间的电阻进行编程。在上电时确定一次转换率设置，然后  $\overline{\text{FLT}}/\text{RDRV}$  引脚用作推挽式 5V 数字输出以进行故障监控，如 [故障报告](#) 中所述。

[导通压摆率设置](#) 展示了每种压摆率设置下的建议典型电阻编程值。

表 7-1. 导通压摆率设置

建议的典型编程电阻 $\text{RDRV}_{\text{on}}$ (k $\Omega$ )	典型导通压摆率 (V/ns)
29.4	10
35.7	20
43.2	40
53.6	60
69.8	70
400 <sup>(1)</sup>	80

(1) 可接受编程电阻的开路连接。

关断压摆率控制仅在 LMG3676R010 和 LMG3677R010 中可用，它能够独立控制关断压摆率和限制典型导通压摆率的最大值。

对于 LMG3676R010，关断压摆率设置在上电时确定了一次，可以通过 ZVD 和 GND 引脚之间的电阻进行编程，然后 ZVD 引脚用作推挽式 5V 数字输出来进行零电压检测，参见 [零电压检测 \(ZVD\) \(仅限 LMG3676R010\)](#)

对于 LMG3677R010，关断压摆率设置在上电时一次性确定，可通过 ZCD 和 GND 引脚之间的电阻进行编程，然后将 ZCD 引脚用作推挽式 5V 数字输出，用于零电流检测。

[关断压摆率设置](#) 展示了每种压摆率设置下的建议典型电阻和电容编程值。

表 7-2. 关断压摆率设置

建议的典型编程电阻 $\text{RDRV}_{\text{off}}$ (k $\Omega$ )	最大关断压摆率 (V/ns)
32.4	10
48.7	20
80.6	40
287 <sup>(1)</sup>	全速 <sup>(2)</sup>

(1) 可接受编程电阻的开路连接

(2) 完全取决于为输出电容充电的漏源电流的大小

例如，设置  $\text{RDRV}_{\text{on}} = 53.6\text{k}\Omega$ 、 $\text{RDRV}_{\text{off}} = 48.7\text{k}\Omega$  会导致 60V/ns 的导通压摆率，关断压摆率最大限制为 20V/ns。

### 7.3.2 GaN 功率 FET 开关能力

由于硅 FET 长期占据功率开关技术的主导地位，许多设计人员没有意识到铭牌漏源电压不能用作跨技术比较器件的等效点。硅 FET 的铭牌漏源电压由雪崩击穿电压决定。GaN FET 的铭牌漏源电压是根据对数据表规格的长期遵从性设定的。

超过硅 FET 的铭牌漏源电压可能会立即导致损坏或造成永久性损坏。同时，GaN FET 的击穿电压远高于铭牌漏源电压。例如，LMG367xR010 GaN 功率 FET 的击穿漏源电压超过 800V，这使得 LMG367xR010 能够在超过相同铭牌额定硅 FET 的条件下运行。

我们借助图 7-4 说明了 LMG367xR010 GaN 功率 FET 开关能力。该图显示了在开关应用中，LMG367xR010 GaN 功率 FET 在单个开关周期内漏源电压随时间的变化情况。不对开关频率或占空比进行任何声明。

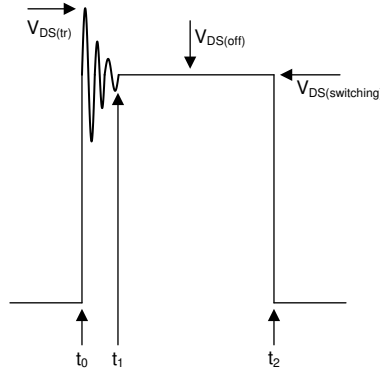


图 7-4. GaN 功率 FET 开关能力

FET 处于导通状态时，波形在  $t_0$  之前开始。在  $t_0$  时，GaN FET 关断，寄生元件导致漏源电压以高频振铃。高频振铃已经减弱了  $t_1$ 。在  $t_1$  和  $t_2$  之间，FET 漏源电压由开关应用的特性响应设置。特性以一条平坦的线（平坦区）显示，但可以有其他响应。在  $t_2$  时，GaN FET 导通。正常运行时，瞬态振铃电压限制为 650V，平坦电压限制为 520V。对于罕见的浪涌事件，瞬态电压限制为 800V，平坦电压限制为 720V。

### 7.3.3 VDD 电源

VDD 引脚是内部电路的输入电源。VDD 引脚支持 9V 至 24V 的宽电压范围。

### 7.3.4 过流和短路保护

驱动器可检测两种类型的电流故障：过流及短路。

过流保护 (OCP) 电路可监测漏极电流，并将该电流信号与内部设定的限值  $I_{T(OC)}$  进行比较。检测到过流时，LMG367xR010 会执行逐周期保护，如逐周期过流保护操作所示。在此模式下，当漏极电流超过  $I_{T(OC)}$  加上延迟  $t_{off(OC)}$  时，GaN 器件关断，但过流信号在 IN 引脚信号变为低电平后清除。

在下一个周期中，GaN 器件正常导通。如果稳态运行电流低于 OCP 电平，但瞬态响应仍可以达到电流限制，而电路运行无法暂停，则可以使用逐周期功能。逐周期功能还可防止 GaN 器件因过流引起的导通损耗而过热。此外，OCP 水平随结温动态调整，内部设定的限值  $I_{T(OC)}$  在较低温度下较高，并随着温度的升高而降低，如规格中所述，基于方程式 1。动态调节允许客户用较高的电流在较低温度下运行器件。

$$\frac{I_{T(OC)150^{\circ}\text{C}}}{I_{T(OC)25^{\circ}\text{C}}} = 77\% \quad (1)$$

短路保护基于饱和度检测 (de-sat)，它监测漏源电压  $V_{DS}$ ，并将电压与内部设置的限值  $V_{T(Idsat)}$  进行比较。饱和会损坏 GaN，如果继续在这种条件下运行，会导致故障。如果检测到饱和，GaN 器件会被锁闭。在高电流下关断器件会导致明显电压过冲。因此，当从饱和状态关闭时，设备会通过故意减速的驱动器关闭，以在关闭事件期间实现较低的过冲电压和振铃。即使在硬短路情况下，这种快速响应电路也有助于保护 GaN 器件。在这种保护中，GaN 器件会关闭并保持关断状态，直到通过将 IN 引脚保持在低电平一段时间（在规格中定义）或切断 VDD 的电源复位了故障。

出于安全考虑，OCP 允许逐周期运行，而去饱和会将器件锁存至复位。两种故障都会在  $\overline{\text{FLT}}/\text{RDRV}$  引脚上报告。

图 7-6 显示了 OC 和去饱和保护的行为。在前两个周期中，会在不触发去饱和的情况下触发 OC 限制，因此会进行逐周期保护。在第三个周期中会触发 OC 限制，但在  $t_{off(OC)}$  内，当  $V_{DS}$  升至  $V_{T(Idsat)}$  以上时，会触发去饱和保护。由于触发了去饱和保护，这会导致关断和锁存保护速度变慢。

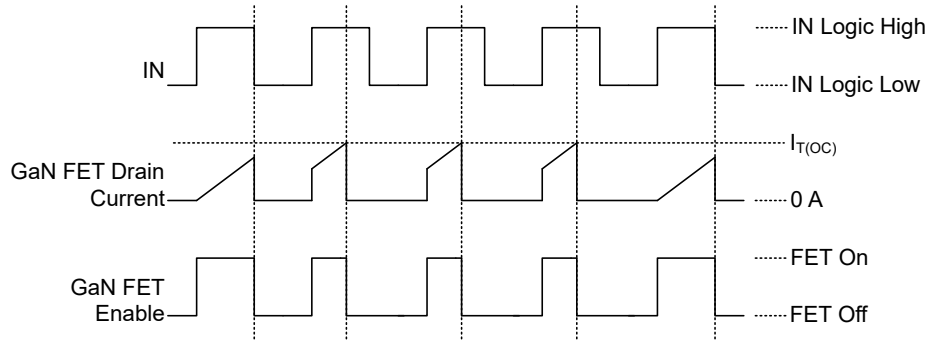


图 7-5. 逐周期过流保护操作

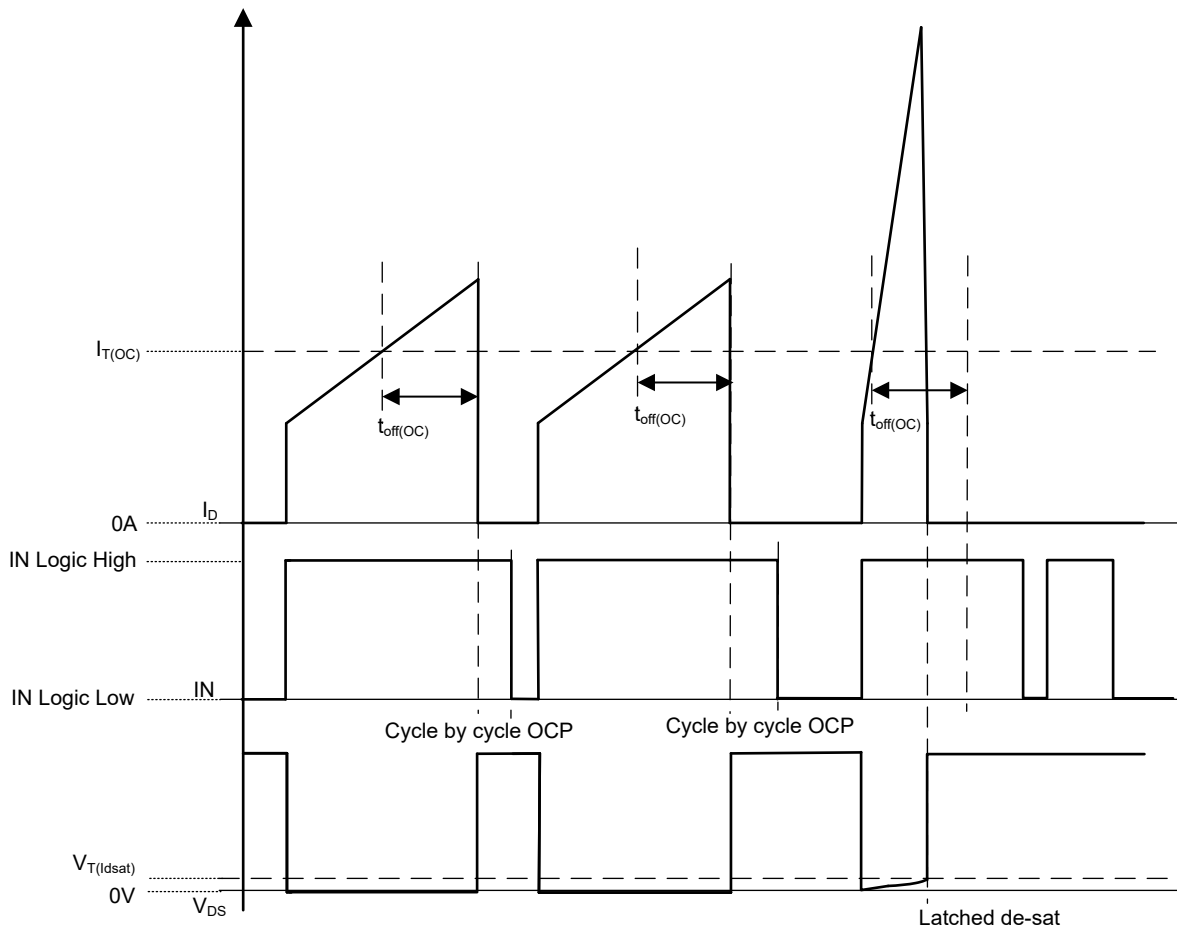


图 7-6. 过流检测与去饱和检测

### 7.3.5 过热保护

过热保护功能会监测 GaN FET 温度，并在温度上升到过热保护阈值以上时关断 GaN 器件。过热保护迟滞可避免不稳定的热循环。置位过热保护后， $\overline{FLT}/RDRV$  引脚上会报告过热故障。在器件温度降至负向跳闸点以下之后， $\overline{FLT}/RDRV$  会取消置位，器件自动恢复正常运行。

### 7.3.6 UVLO 保护

LMG367xR010 支持很大范围的  $V_{DD}$  电压。但是，当  $V_{DD}$  电压低于  $V_{DD}$  UVLO 阈值时，GaN 器件会停止开关并保持关断。 $V_{DD}$  UVLO 电压迟滞可防止 UVLO 电压跳闸点附近出现开关抖动。如果  $\overline{FLT}/RDRV$  引脚被拉低，指示 UVLO。

### 7.3.7 故障报告

所有故障都在  $\overline{FLT}/RDRV$  引脚上报告，该引脚同时用作输入和输出引脚。

$\overline{FLT}/RDRV$  仅在上电时配置为输入，以调整驱动强度，如[驱动强度调整](#)中所述。

$\overline{FLT}/RDRV$  用作低电平有效数字输出，指示此后的故障状态。该引脚是一个推挽式 5V 数字输出，在所有故障清除后会变为高电平，这意味着当该引脚被强制为高电平时，会有额外的静态电流通过 R1。

根据连接到故障引脚的外部数字接收器的输入阈值电平，上电时在该引脚上强制施加的 1.2V 阶跃函数可内插为高电平或低电平。因此，TI 建议接收器具有更高的阈值（例如 CMOS 兼容输入的常见阈值），且不使用 TTL 兼容输入。如果连接到 FAULT 引脚的外部数字接收器的最小输入阈值为 1.2V 或更低，那么在 LMG367xR010 准备好开始切换之前，上电时的 1.2V 阶跃函数可解释为高电平。

### 7.3.8 辅助 LDO (仅限 LMG3671R010)

LMG367xR010 内部的 5V 稳压器用于为外部负载供电，例如用于高侧驱动信号的数字隔离器。LMG367xR010 的数字输出使用此 5V 电源轨作为电压电源。无需电容器即可实现稳定性，但如果不提供外部电容器，瞬态响应会较差。如果应用使用 LDO5V 引脚为外部电路供电，TI 建议使用至少  $0.1\ \mu\text{F}$  的电容器以改善瞬态响应。使用更大电容器可进一步改善瞬态响应。验证去耦电容器是否是低 ESR 陶瓷型。由于 5V 电源轨存在斜升时间，高于  $0.47\ \mu\text{F}$  的电容器将减慢 LMG367xR010 的启动速度。

### 7.3.9 零电压检测 (ZVD) (仅限 LMG3676R010)

零电压开关 (ZVS) 转换器广泛用于提高电源转换器的效率。然而，在 LLC 和三角电流模式 (TCM) 图腾柱 PFC 等软开关拓扑中，根据负载条件、电感器、磁性参数和控制技术，器件可能会丢失 ZVS，因而影响系统效率。为了确保 ZVS，需要某些设计裕度或额外的电路，这会牺牲转换器性能并增加元件。

为了简化软开关转换器的系统设计，LMG3676R010 子件集成了一个零电压检测 (ZVD) 电路，该电路可提供数字反馈信号，以指示器件在电流开关周期中是否实现 ZVS。电路图如[零电压检测电路的电路图方框图](#)。当 IN 引脚信号变为高电平时，逻辑电路会检查器件  $V_{DS}$  是否已达到  $-1\text{V}$  以下，以便确定器件是否在该开关周期中实现了零电压开关。一旦识别了 ZVS，在  $T_{DL\_ZVD}$  的延迟时间之后，将从 ZVD 引脚发出一个宽度为  $T_{WD\_ZVD}$  的脉冲输出，如[ZVD 时序规格](#)所示。请注意，为了让器件检测零电压开关，需要特定的第三象限导通时间，并且  $T_{3rd\_ZVD}$  是栅极驱动器强度的函数，所示。

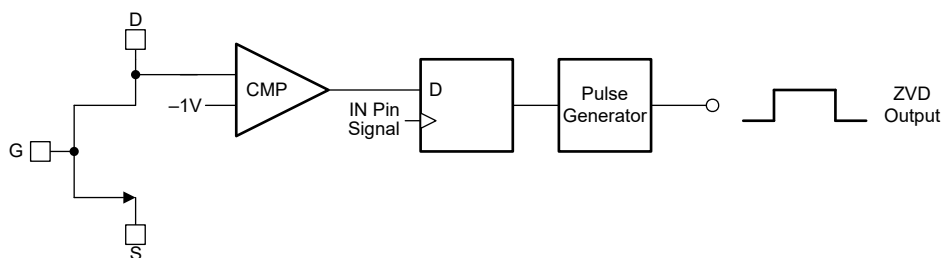


图 7-7. 零电压检测电路的电路图方框图

CCM 降压转换器中的 ZVD 功能显示了与连续导通模式降压转换器相对应的 ZVD 引脚波形。这些波形示出了 ZVD 功能在硬开关和软开关条件下的工作方式。对于  $I_L$ ，CCM 降压转换器中 ZVD 函数波形中从开关节点流出的负载电流为正。在 CCM 降压操作中，高侧器件是硬开关器件，而低侧器件可通过适当的死区时间设置实现零电压开关。在低侧器件 IN 引脚上升的第一个开关周期中，开关节点电压  $V_{DS}$  降至零以下，并且使保持第三象限导通的时间为  $T_1$ 。由于此第三象限导通时间  $T_1$  大于节 5.5 中指定的检测时间  $T_{3rd\_ZVD}$ ，因此识别到零电压转换，ZVD

引脚输出脉冲信号。ZVD 脉冲的脉冲宽度在电气特性表中也被定义成  $T_{WD}$ 。在第二个开关周期中，器件提前导通，第三象限导通时间  $T_2$  小于  $T_{3rd\_ZVD}$ 。由于  $T_2$  小于  $T_{3rd\_ZVD}$ ，即使器件实现 ZVS，ZVD 信号也保持低电平。在第三个开关周期中，IN 引脚信号更加提前，器件处于部分硬开关状态。因此，当未实现 ZVS 转换时，ZVD 输出保持低电平。请注意，在这种 CCM 降压操作中，高侧 ZVD 输出保持较低水平，因为高侧器件总是硬开关导通。

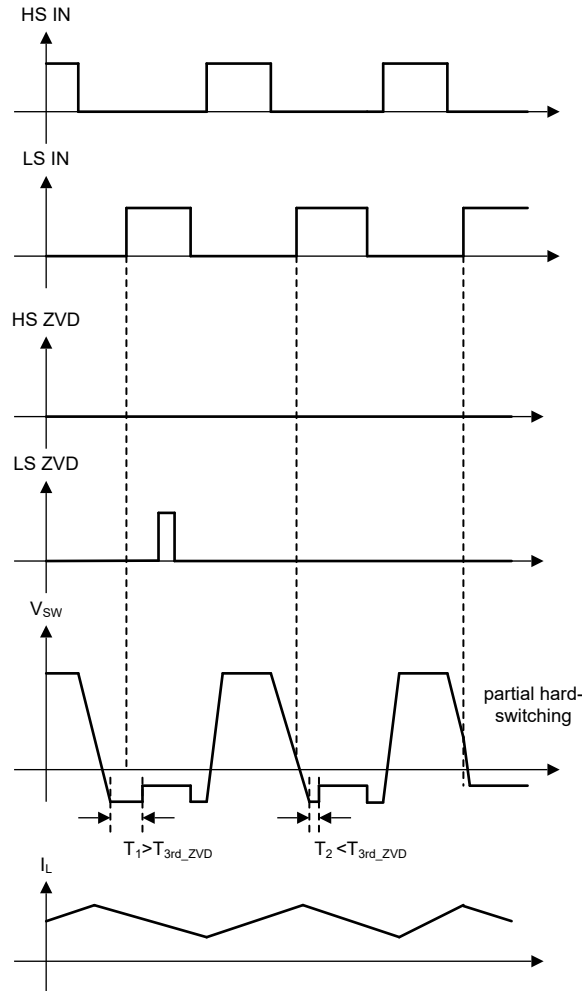


图 7-8. CCM 降压转换器中的 ZVD 功能

ZVD 功能有利于在软开关拓扑中进行控制。TCM TP PFC 转换器中的 ZVD 功能举例说明了 TCM 图腾柱 PFC 中 ZVD 波形的简化过程。此图示出了  $V_{IN}$  大于  $V_{OUT}$  一半的正半线路周期。对于  $I_L$ ，TCM TP PFC 转换器中 ZVD 函数波形中进入开关节点的负载电流定义为正。在第一个开关周期中，负载电流会产生足够的负电流，低侧器件会在超过  $T_{3rd\_DET}$  的第三象限导通时间内实现 ZVS。因此，ZVD 引脚会输出脉冲信号。在接下来的两个开关周期中 ZVD 脉冲缺失，因为第二个周期中的第三象限导通时间缩短，并且器件在第三个周期中会丢失 ZVS。

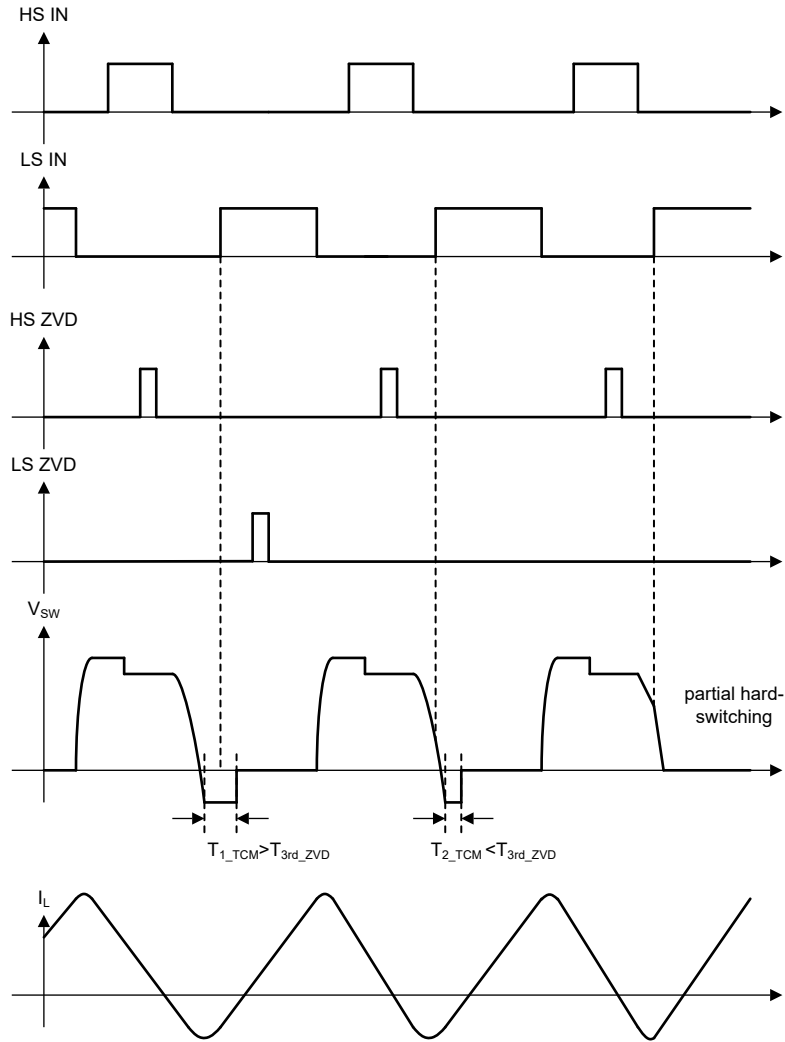


图 7-9. TCM TP PFC 转换器中的 ZVD 功能

#### 7.4 器件功能模式

该器件有一种适用的运行模式，适用于在[建议运行条件](#)下运行的情况。

## 8 应用和实施

---

### 备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

---

### 8.1 应用信息

LMG367xR010 是一款电源 IC，面向在高达 520V 总线电压下运行的硬开关和软开关应用。GaN 器件提供零反向恢复电荷，可在图腾柱 PFC 等应用中实现高频硬开关。GaN 器件的低  $Q_{OSS}$  也有利于软开关转换器，例如 LLC 和相移全桥配置。由于半桥配置是上述两种应用和许多其他应用的基础，本节介绍了如何在半桥配置中使用 LMG367xR010。



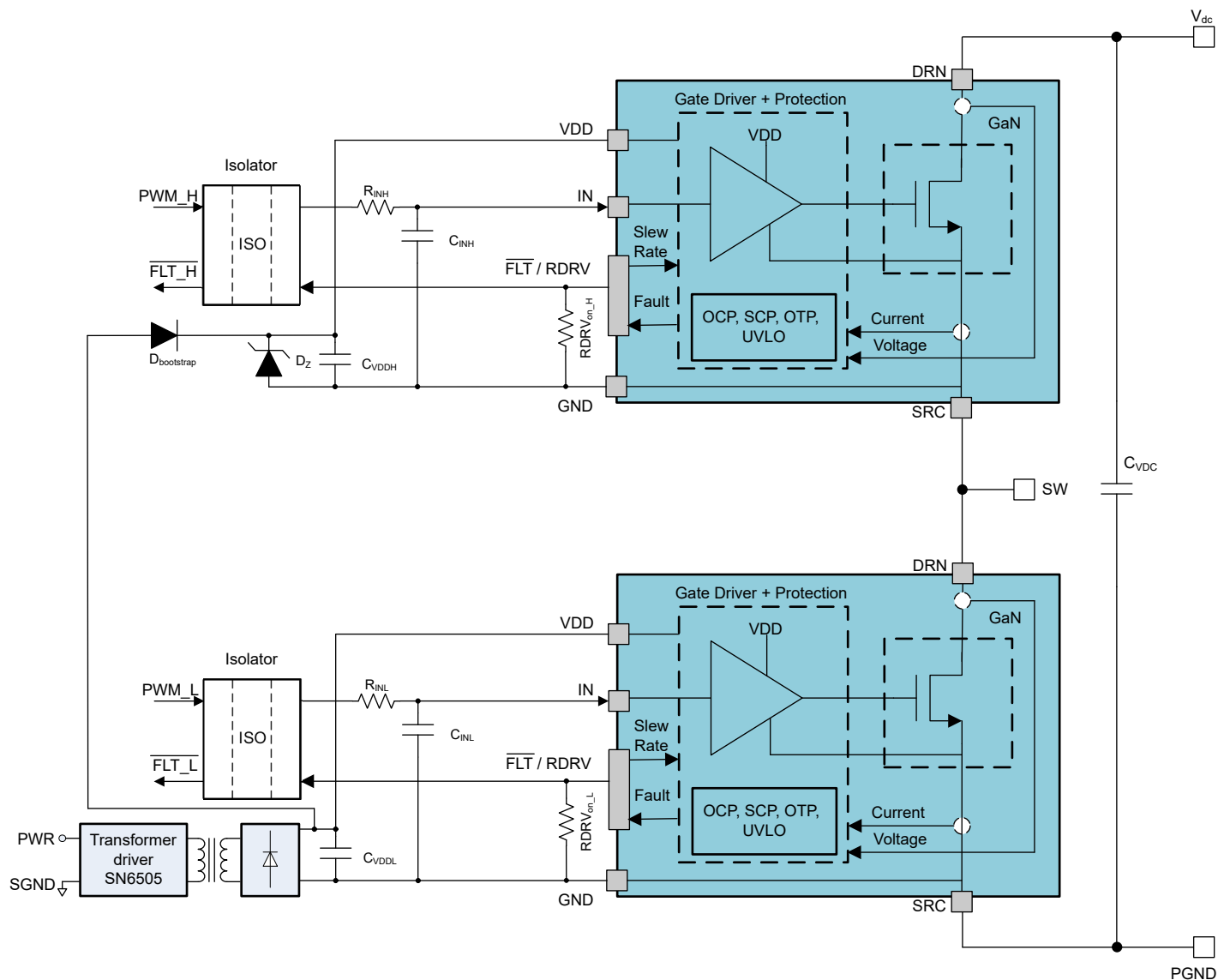


图 8-2. 具有自举功能的 LMG3670R010 典型半桥应用

PRODUCT PREVIEW

### 8.2.1 设计要求

此设计示例适用于代表 PFC 应用的硬开关升压转换器。设计参数显示了此设计的系统参数。

表 8-1. 设计参数

参数	值
输入电压	200VDC
输出电压	400VDC
输入 (电感器) 电流	20A
开关频率	100kHz

### 8.2.2 详细设计过程

在高压电源转换器中，电路设计和 PCB 布局对于高性能电源转换器至关重要。本数据表介绍了使用 LMG367xR010 的半桥设计注意事项。

#### 8.2.2.1 压摆率选择

将 LMG367xR010 的导通转换速率从大约 10V/ns 调整到 80V/ns，并将最大关断转换速率限制从 10V/ns 调整为无限（仅由  $I_{ds}$  控制）。有关详细信息，请参阅节 7.3.1。

压摆率从以下方面影响 GaN 器件的性能：

- 开关损耗
- 电压过冲
- 噪声耦合
- EMI 发射

通常，高压摆率可实现低开关损耗，但高压摆率也会产生较高的电压过冲、噪声耦合和 EMI 发射。遵循此数据表中的设计建议可缓解由高压摆率引发的挑战。LMG367xR010 让电路设计人员能够灵活地选择合适的压摆率，从而使应用实现卓越的性能。

#### 8.2.2.2 信号电平转换

在半桥中，使用高压电平转换器或数字隔离器为高侧器件和控制电路之间的信号路径提供隔离。对于低侧器件，可以选择性地使用隔离器。但是，使用隔离器可均衡高侧和低侧信号路径之间的传播延迟，并能够为 GaN 器件和控制器使用不同的接地端。如果在低侧器件上未使用隔离器，则将控制接地和电源接地连接到器件，而不是连接到电路板上的任何其他位置。对于快速开关器件，共地电感在不使用隔离器的情况下很容易引起噪声问题。

为电平转换选择数字隔离器对于提高抗噪性非常重要。由于 GaN 器件可以在硬开关应用中轻松产生大于 50V/ns 的高  $dv/dt$ ，因此 TI 强烈建议使用具有高共模瞬态抗扰度 (CMTI) 和低势垒电容的隔离器。具有低 CMTI 的隔离器很容易产生错误信号，可能会导致击穿。势垒电容是信号接地与电源接地之间的隔离电容的一部分，与开关期间产生的共模电流和 EMI 发射成正比。此外，TI 强烈建议选择非边缘触发隔离器。在边沿触发隔离器中，高  $dv/dt$  事件可能会导致隔离器变为翻转状态，从而导致电路故障。

通常，首选默认输出较低的开/关键控隔离器。默认低电平状态可确保系统在启动或从故障事件中恢复时不会击穿。由于高 CMTI 事件导致极短（几纳秒）的假脉冲，因此 TI 建议在驱动器输入端放置一个低通滤波器（如 50  $\Omega$  和 150pF R-C），以便滤除这些假脉冲。

## 8.3 电源相关建议

LMG367xR010 仅需要 9V 至 24V 的非稳压 VDD 电源。从本地控制器电源获得低侧电源。验证高侧器件的电源是否来自隔离或自举电源。

### 8.3.1 使用隔离式电源

使用隔离电源为高侧器件供电的优势在于，无论持续的功率级开关周期或占空比如何，该器件都能正常工作。使用隔离式电源还可以在功率级开关操作开始之前为高侧器件供电，以实现平稳启动

通过推挽式转换器、反激式转换器、FlyBuck™ 转换器或隔离式电源模块获得隔离式电源。当使用非稳压电源时，确认 LMG367xR010 的输入不超过最大电源电压。使用 24V TVS 二极管钳制 LMG367xR010 的 V<sub>DD</sub> 电压，以获得额外的保护。为了降低硬开关应用中的开关损耗，必须尽可能地降低隔离式电源或变压器的绕组间电容。此外，隔离式偏压电源上的电容会向 LMG367xR010 的信号接地注入高电流，并会导致接地反弹瞬态出现问题。共模扼流圈可以缓解其中的大多数问题。

### 8.3.2 使用自举二极管

在半桥配置中，高侧器件需要使用浮动电源。为了获得 LMG367xR010 的最佳性能，TI 建议使用隔离式电源。可以按照使用自举二极管的建议使用自举电源。

#### 8.3.2.1 二极管选型

LMG367xR010 提供零反向恢复电荷，以及非常有限的输出电荷。使用 LMG367xR010 的硬开关电路也表现出高压摆率。兼容的自举二极管不得引入高输出电荷和反向恢复电荷。

可以使用碳化硅二极管（如 GB01SLT06-214）来避免反向恢复效应。SiC 二极管的输出电荷为 3nC。尽管其输出电荷会产生额外的损耗，但它并不能主导开关级的损耗。

#### 8.3.2.2 管理自举电压

在同步降压加热器或低侧开关偶尔在第三象限运行的其他转换器中，自举电源通过一条路径充电，该路径包括死区时间内低侧 LMG367xR010 的第三象限压降，如自举二极管的充电路径中所示。此第三象限压降可能很大，在某些情况下可能会使自举电源过度充电。验证 LMG367xR010 的 V<sub>DD</sub> 电源是否保持在 26V 以下。

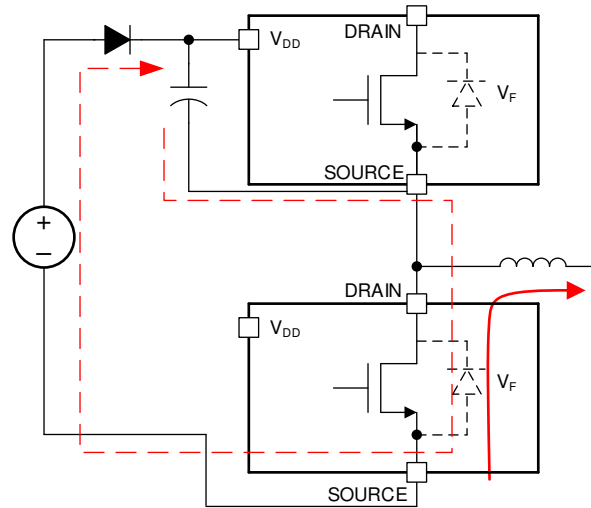


图 8-3. 自举二极管的充电路径

如建议的自举调节电路所示，推荐的自举电源包括一个自举二极管、一个串联电阻器，以及一个与 V<sub>DD</sub> 旁路电容器并联的 24V TVS 或齐纳二极管。平行位置可防止损坏高侧 LMG367xR010。串联电阻器可限制启动时以及低侧器件以第三象限模式运行时的充电电流。选择的电阻器，以在所需的工作频率下充分为 LMG367xR010 供电。在 100kHz 运行中，TI 建议使用约 2Ω 的值。在较高频率下，减小或忽略电阻值，以建立足够的电源电流。

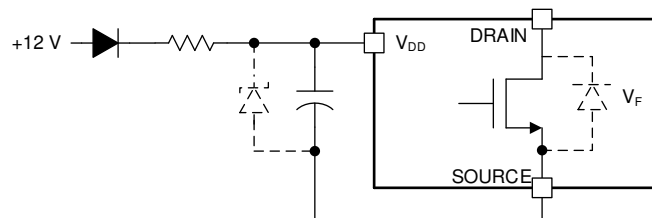


图 8-4. 建议的自举调节电路

## 9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

### 9.1 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

### 9.2 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

### 9.3 商标

FlyBuck™ and TI E2E™ are trademarks of Texas Instruments.

所有商标均为其各自所有者的财产。

### 9.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

### 9.5 术语表

#### TI 术语表

本术语表列出并解释了术语、首字母缩略词和定义。

## 10 修订历史记录

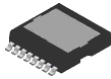
注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
March 2026	*	初始发行版

## 11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PRODUCT PREVIEW

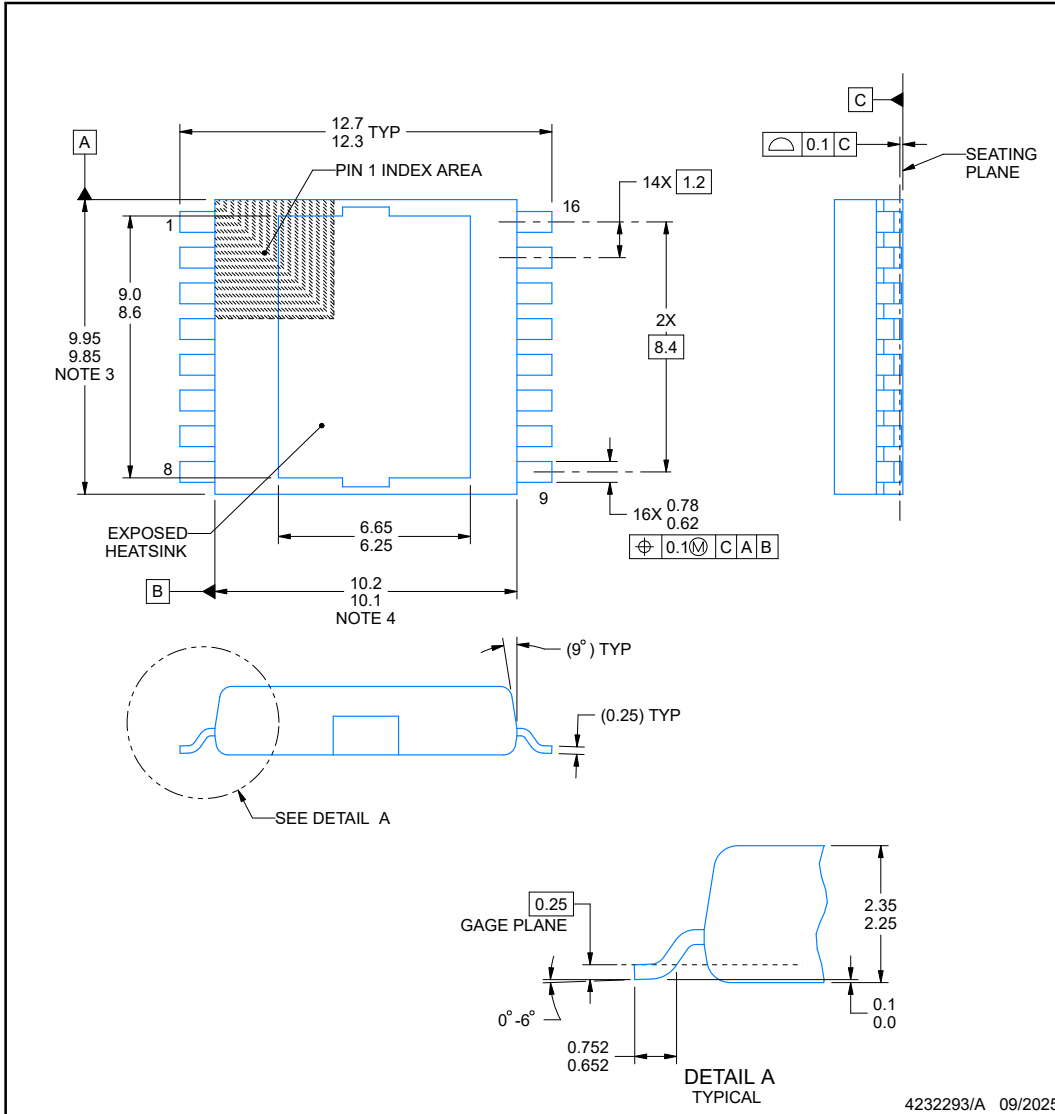


**KLH0016A**

**PACKAGE OUTLINE**

**TO - 2.35 mm max height**

TRANSISTOR OUTLINE



NOTES:

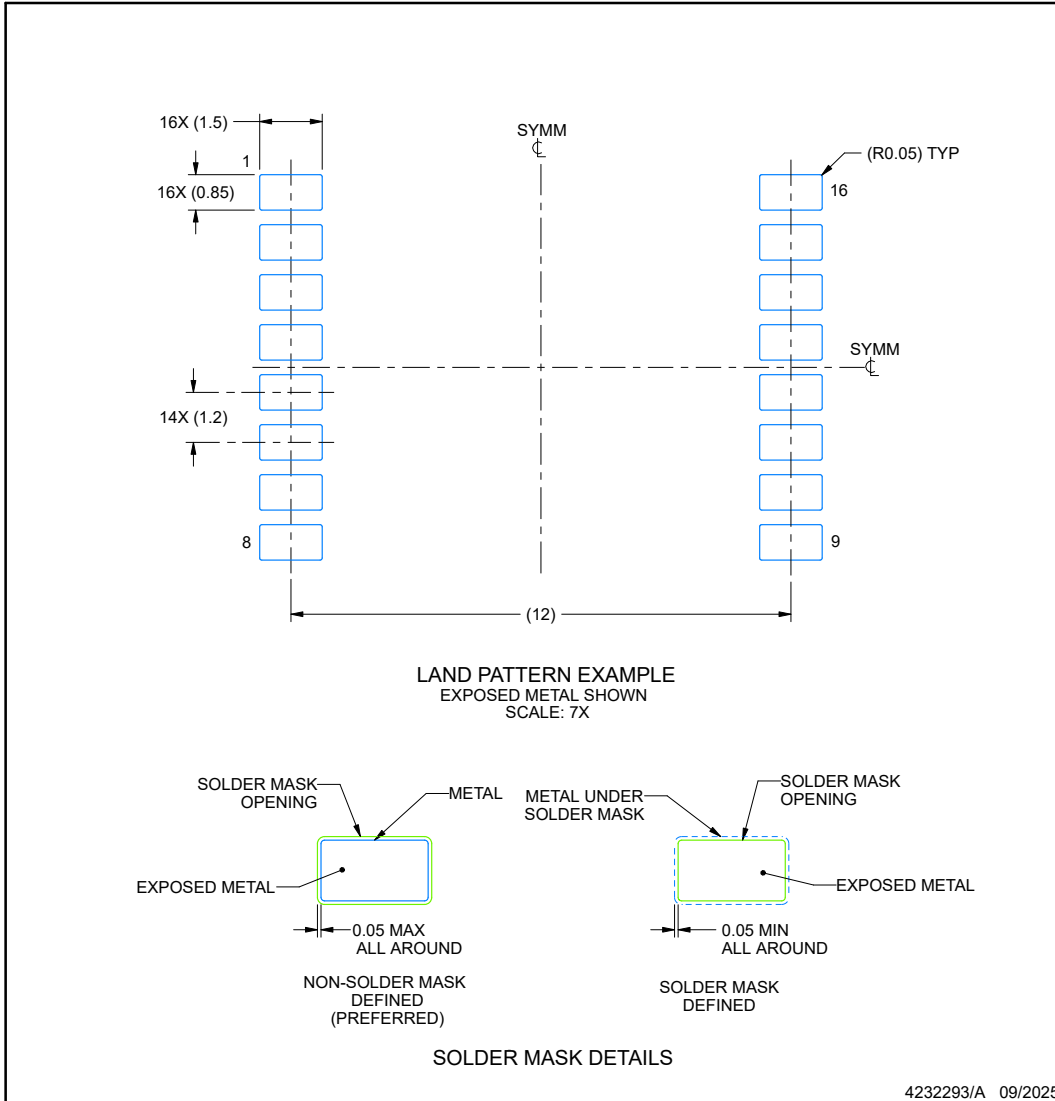
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.

EXAMPLE BOARD LAYOUT

KLH0016A

TO - 2.35 mm max height

TRANSISTOR OUTLINE



NOTES: (continued)

- 5. Publication IPC-7351 may have alternate designs.
- 6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

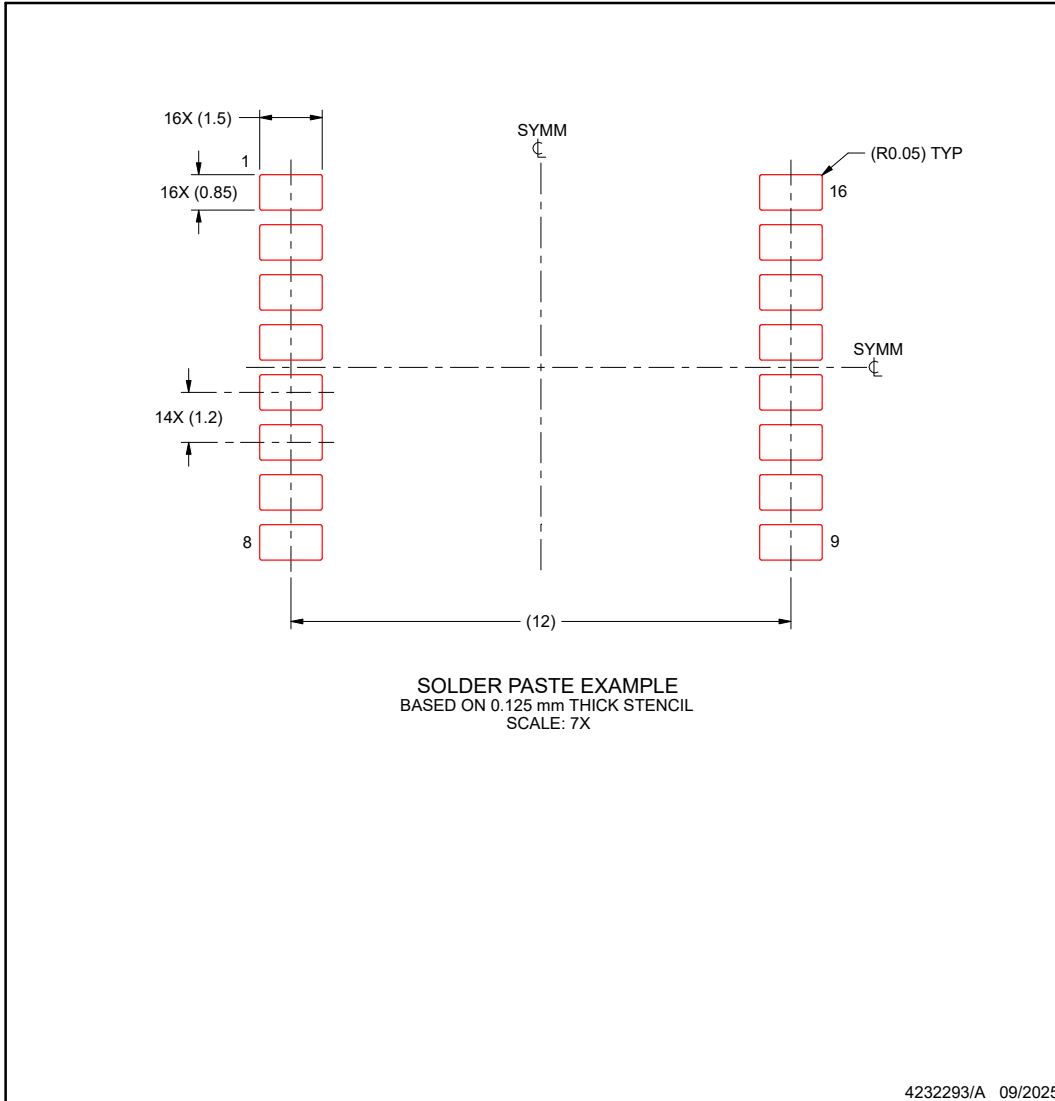
PRODUCT PREVIEW

**EXAMPLE STENCIL DESIGN**

**KLH0016A**

**TO - 2.35 mm max height**

TRANSISTOR OUTLINE



NOTES: (continued)

- 7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
- 8. Board assembly site may have different recommendations for stencil design.

**PRODUCT PREVIEW**

## 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月