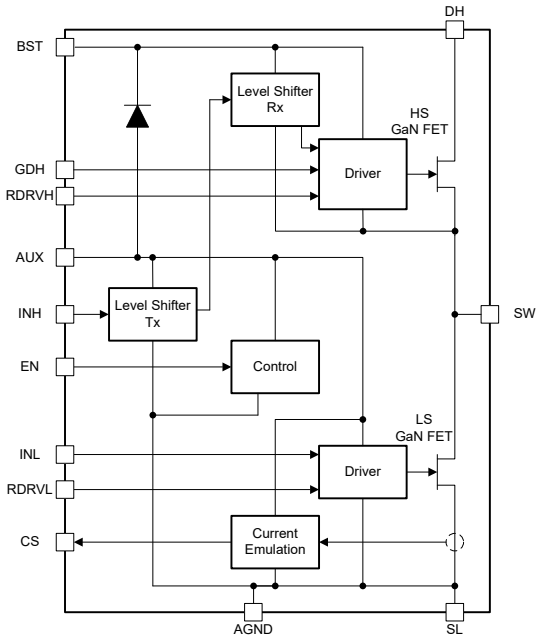
LMG2652H 具有集成驱动器和电流检测仿真功能的 650V 140mΩ GaN 半桥

1 特性

- GaN 功率 FET 半桥：650V
- 低侧和高侧 GaN FET：140mΩ
- 具有低传播延迟的集成栅极驱动器：< 100ns
- 可编程导通压摆率控制
- 具有高带宽和高精度的电流检测仿真
- 低侧参考 (INH) 和高侧参考 (GDH) 高侧栅极驱动引脚
- 低侧 (INL) 和高侧 (INH) 栅极驱动互锁
- 高侧 (INH) 栅极驱动信号电平转换器
- 智能开关自举二极管功能
- 高侧启动：< 8µs
- 低侧和高侧逐周期过流保护
- 过热保护
- AUX 空闲静态电流：250 µA
- AUX 待机静态电流：50 µA
- BST 空闲静态电流：70 µA
- 具有双散热焊盘的 6mm × 8mm QFN 封装

2 应用

- 移动式壁式充电器设计
- USB 墙壁电源插座
- 交流/直流辅助电源
- 电机驱动器



简化版方框图

3 说明

LMG2652H 是一款 650V 140mΩ GaN 功率 FET 半桥。LMG2652H 通过在 6mm x 8mm QFN 封装中集成半桥功率 FET、栅极驱动器、自举 FET 和高侧栅极驱动电平转换器，可简化设计、减少元件数量并缩减布板空间。

可编程导通压摆率可实现 EMI 和振铃控制。与传统的电流检测电阻相比，低侧电流检测仿真可降低功耗，并允许将低侧散热焊盘连接到 PCB 电源地。

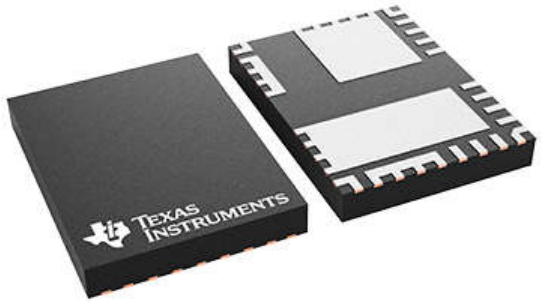
可通过低侧参考栅极驱动引脚 (INH) 或高侧参考栅极驱动引脚 (GDH) 控制高侧 GaN 功率 FET。在具有挑战性的电源开关环境中，高侧栅极驱动信号电平转换器能够可靠地将 INH 引脚信号传输到高侧栅极驱动器。智能开关 GaN 自举 FET 没有二极管正向压降，可避免高侧电源过充，并且反向恢复电荷为零。

LMG2652H 具有低静态电流和快速启动时间，可满足转换器轻负载效率要求，并实现突发模式运行。保护特性包括 FET 导通互锁、欠压锁定 (UVLO)、逐周期电流限制和过热关断。超低压摆率设置支持电机驱动应用。

封装信息

器件型号	封装(1)	封装尺寸(2)
LMG2652H	RFB（VQFN，19）	6.00mm × 8.00mm

(1) 有关更多信息，请参阅 节 11。
(2) 封装尺寸（宽 × 长）为标称值，并包括引脚（如适用）。



封装视图

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 5
5.1 绝对最大额定值 5
5.2 ESD 等级 5
5.3 建议运行条件 5
5.4 热性能信息 6
5.5 电气特性 7
5.6 开关特性 9
5.7 典型特性 12
6 参数测量信息 16
6.1 GaN 功率 FET 开关参数 16
7 详细说明 18
7.1 概述 18
7.2 功能方框图 19
7.3 特性说明 19
7.4 器件功能模式 25
8 应用和实施 26
8.1 应用信息 26
8.2 典型应用 26
8.3 电源相关建议 29
8.4 布局 30
9 器件和文档支持 32
9.1 接收文档更新通知 32
9.2 支持资源 32
9.3 商标 32
9.4 静电放电警告 32
9.5 术语表 32
10 修订历史记录 32
11 机械、封装和可订购信息 32

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

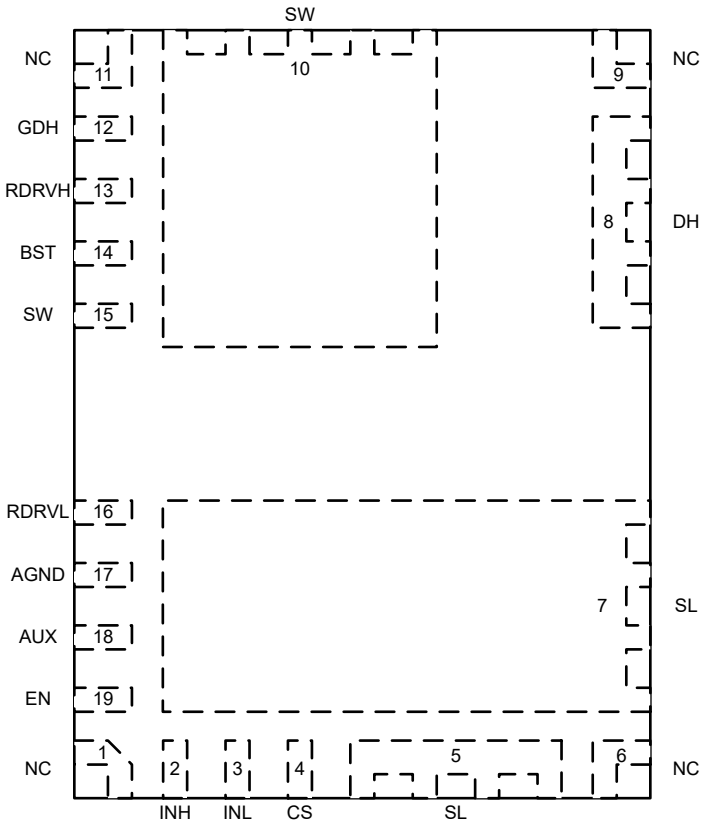


图 4-1. RFB 封装，19 引脚 VQFN（俯视图）

表 4-1. 引脚功能

引脚		类型(1)	说明
名称	编号		
NC	1、6、9、11	NC	用于将 QFN 封装固定到 PCB 上。引脚必须焊接至 PCB 着陆焊盘。PCB 着陆焊盘是非阻焊层限定焊盘，不得与 PCB 上的任何其他金属进行物理连接。
INH	2	I	高侧栅极驱动控制输入。以 AGND 为参考。信号在内部通过电平转换位移到高侧 GaN FET 驱动器。在 INH 到 AUX 之间有一个正向偏置 ESD 二极管，因此可避免将 INH 驱动至高于 AUX 的电平。如果使用 GDH 引脚功能，则将此引脚短接至 AGND。
INL	3	I	低侧栅极驱动控制输入。以 AGND 为参考。在 INL 到 AUX 之间有一个正向偏置 ESD 二极管，因此可避免将 INL 驱动至高于 AUX 的电平。
CS	4	O	电流检测仿真输出。输出与 GaN FET 电流成比例的电流。将输出电流馈入电阻器以生成电流检测电压信号。电阻器以电源控制器 IC 本地接地为基准。此功能取代了与低侧 FET 源极串联使用的外部电流检测电阻。
SL	5、7	P	低侧 GaN FET 源极。低侧散热焊盘。在内部连接到 AGND。
DH	8	P	高侧 GaN FET 漏极。
SW	10、15	P	高侧 GaN FET 源极和低侧 GaN FET 漏极之间的 GaN FET 半桥开关节点。高侧散热焊盘。
GDH	12	I	高侧栅极驱动控制输入。以 SW 为参考。信号直接连接到高侧 GaN FET 驱动器。在 GDH 到 BST 之间有一个正向偏置 ESD 二极管，因此可避免将 GDH 驱动至高于 BST 的电平。如果使用 INH 引脚功能，则将此引脚短接至 SW。
RDRVH	13	I	高侧驱动强度控制电阻。在 RDRVH 和 SW 之间设置一个电阻，以设定高侧 GaN FET 导通压摆率。

Copyright © 2026 Texas Instruments Incorporated

表 4-1. 引脚功能（续）

引脚		类型(1)	说明
名称	编号		
BST	14	P	自举电压轨。高侧电源电压。AUX 和 BST 之间的自举二极管功能在内部提供。在 BST 和 SW 之间连接一个大小合适的自举电容器。
RDRVL	16	I	低侧驱动强度控制电阻。在 RDRVL 和 AGND 之间设置一个电阻，以设定低侧 GaN FET 导通压摆率。
AGND	17	G	低侧模拟接地。在内部连接到 SL。
AUX	18	P	辅助电压轨。低侧电源电压。在 AUX 和 AGND 之间连接一个本地旁路电容器。
EN	19	I	使能。用于在工作模式和待机模式之间切换。待机模式降低了静态电流，以支持转换器轻载效率目标。在 EN 到 AUX 之间有一个正向偏置 ESD 二极管，因此可避免将 EN 驱动至高于 AUX 的电平。

(1) I = 输入，O = 输出，I/O = 输入或输出，G = 接地，P = 电源，NC = 无连接

Copyright © 2026 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

除非另有说明：电压以 AGND 为基准(1)

			最小值	最大值	单位
V_{DS}	漏源（DH 至 SW）或（SW 至 SL）电压，FET 关断			650	V
$V_{DS(surge)}$	漏源（DH 至 SW）或（SW 至 SL）电压，浪涌条件，FET 关断(2)			720	V
$V_{DS(tr)(surge)}$	漏源（DH 至 SW）或（SW 至 SL）瞬态振铃峰值电压，浪涌条件，FET 关断(2)			800	V
	引脚电压至 AGND	AUX	-0.3	30	V
		EN、INL、INH	-0.3	V_{AUX} + 0.3	V
		CS	-0.3	5.5	V
		RDRVL	-0.3	4	V
	引脚电压至 SW	BST	-0.3	30	V
		RDRVH	-0.3	4	V
		GDH	-0.3	V_{BST_SW} + 0.3	V
$I_{D(cnts)}$	漏极（DH 至 SW）和（SW 至 SL）连续电流，FET 导通		-7.5	受内部限制	A
$I_{D(pulse)(oc)}$	过流响应时间内的漏极（DH 至 SW）和（SW 至 SL）脉冲电流(3)			18	A
$I_{S(cnts)}$	源极（SW 至 DH）和（SL 至 SW）连续电流，FET 关断			7.5	A
	正灌电流	CS		10	mA
T_J	工作结温		-40	150	°C
T_{stg}	贮存温度		-40	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 有关 GaN 功率 FET 开关能力的更多信息，请参阅 节 7.3.1。
(3) 如果 GaN 功率 FET 进入饱和状态，它可能会自我限制以保持低于该值。

5.2 ESD 等级

参数				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001(1)	引脚 8 至 15	±1000	V
			引脚 1 至 7，引脚 16 至 19	±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002(2)		±500	V

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

除非另有说明：电压以 AGND 为基准

			最小值	标称值	最大值	单位
	电源电压	AUX	10		26	V
	电源电压至 SW	BST	7.5		26	V
	输入电压	EN、INL、INH	0		V_{AUX}	V
	输入电压至 SW	GDH	0		V_{BST_SW}	V
V_{IH}	高电平输入电压	EN、INL、INH、GDH 至 SW	2.5			V
V_{IL}	低电平输入电压				0.6	V
$I_{D(cnts)}$	连续电流，FET 导通)		-6.1		6.1	A

Copyright © 2026 Texas Instruments Incorporated

除非另有说明：电压以 AGND 为基准

		最小值	标称值	最大值	单位
C_{AUX}	来自外部旁路电容器的 AUX 至 AGND 电容	3 x C_{BST}			µF
C_{BST_SW}	来自外部旁路电容器的 BST 至 SW 电容	0.010			µF

5.4 热性能信息

热指标(1)		LMG2652 RFB (VQFN) 19 引脚	单位
$R_{\theta JA}$	结至环境热阻	22.7	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	1.20	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性

1) 符号定义：$V_{DS(ls)}$ = SW 至 SL 电压；$I_{DS(ls)}$ = SW 至 SL 电流；$V_{DS(hs)}$ = DH 至 SW 电压；$I_{D(hs)}$ = DH 至 SW 电流；I_{SW} = 流入器件的 SW 点电流；2) 除非另有说明：电压、电阻和电容以 AGND 为基准；–40°C ≤ T_J ≤ 125°C；$V_{DS(ls)}$ = 520V；$V_{DS(hs)}$ = 520V；10V ≤ V_{AUX} ≤ 26V；7.5V ≤ V_{BST_SW} ≤ 26V；V_{EN} = 5V；V_{INL} = 0V；V_{INH} = 0V；V_{GDH_SW} = 0V；R_{CS} = 100 Ω

参数		测试条件	最小值	典型值	最大值	单位
GaN 功率 FET						
$R_{DS(on)}$	漏源（DH 至 SW）或（SW 至 SL）导通电阻	V_{INL} 或 V_{INH} = 5V，I_D = 5.25A，T_J = 25°C		140		mΩ
		V_{INL} 或 V_{INH} = 5V，I_D = 5.25A，T_J = 125°C		255		
V_{SD}	源漏（SW 至 DH）或（SL 至 SW）第三象限电压	SW 至 DH 或 SL 至 SW 电流 = 0.525A		1.9		V
		SW 至 DH 或 SL 至 SW 电流 = 5.25A		2.6		
I_{DSS}	漏极（DH 至 SW）或（SW 至 SL）漏电流	（$V_{DS(ls)}$ = 0V，$V_{DS(hs)}$ = 650V）或（$V_{DS(hs)}$ = 0V，$V_{DS(ls)}$ = 650V），T_J = 25°C		2.3		μA
		（$V_{DS(ls)}$ = 0V，$V_{DS(hs)}$ = 650V）或（$V_{DS(hs)}$ = 0V，$V_{DS(ls)}$ = 650V），T_J = 125°C		11.5		
Q_{OSS}	输出电荷	（$V_{DS(ls)}$ = 0V，$V_{DS(hs)}$ = 400V）或（$V_{DS(hs)}$ = 0V，$V_{DS(ls)}$ = 400V）		21.8		nC
C_{OSS}	输出电容			34.2		pF
E_{OSS}	输出电容储存的能量			3.0		μJ
$C_{OSS,er}$	与能量相关的有效输出电容			36.7		pF
$C_{OSS,tr}$	与时间相关的有效输出电容	（$V_{DS(ls)}$ = 0V，$V_{DS(hs)}$ = 0V 至 400V）或（$V_{DS(hs)}$ = 0V，$V_{DS(ls)}$ = 0V 至 400V）		54.5		pF
Q_{RR}	反向恢复电荷			0		nC
过流保护						
$I_{T(OC)}$	过流故障 - 阈值电流		5.3	6.5	7.5	A
自举整流器						
$R_{DS(on)}$	AUX 至 BST 导通电阻	V_{INL} = 5V，V_{AUX_BST} = 1V，T_J = 25°C		7		Ω
		V_{INL} = 5V，V_{AUX_BST} = 1V，T_J = 125°C		12		
	AUX 至 BST 电流限制	V_{INL} = 5V，V_{AUX_BST} = 7V	210	240	270	mA
	BST 至 AUX 反向电流阻断阈值	V_{INL} = 5V		10.5		mA
CS						
	电流检测增益（$I_{CS(src)}$ / $I_{D(LS)}$）	V_{INL} = 5V，0V ≤ V_{CS} ≤ 2V，0A ≤ $I_{D(ls)}$ < $I_{T(OC)(ls)}$		0.901		mA/A
	电流检测输入失调电流	V_{INL} = 5V，0V ≤ V_{CS} ≤ 2V，0A ≤ $I_{D(ls)}$ < $I_{T(OC)(ls)}$	-56		56	mA
	发生过流故障后，在 INL 保持高电平时初始保持输出	V_{INL} = 5V，0V ≤ V_{CS} ≤ 2V			7	mA
	发生过流故障后，在 INL 保持高电平时的最终保持输出	V_{INL} = 5V，0V ≤ V_{CS} ≤ 2V	8.5	12	15.5	mA
	输出钳位电压	V_{INL} = 5V，$I_{D(ls)}$ = 5.8A，CS 从外部源获得 5mA 灌电流		2.6		V
EN、INL、INH 至 AGND；GDH 至 SW						
V_{IT+}	正向输入阈值电压		1.7		2.45	V
V_{IT-}	负向输入阈值电压		0.7		1.3	V
	输入阈值电压迟滞			1		V
	下拉输入电阻	0V ≤ V_{PIN} ≤ 3V	200	400	600	kΩ

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性（续）

1) 符号定义：$V_{DS(ls)}$ = SW 至 SL 电压；$I_{DS(ls)}$ = SW 至 SL 电流；$V_{DS(hs)}$ = DH 至 SW 电压；$I_{D(hs)}$ = DH 至 SW 电流；I_{SW} = 流入器件的 SW 点电流；2) 除非另有说明：电压、电阻和电容以 AGND 为基准；–40°C ≤ T_J ≤ 125°C；$V_{DS(ls)}$ = 520V；$V_{DS(hs)}$ = 520V；10V ≤ V_{AUX} ≤ 26V；7.5V ≤ V_{BST_SW} ≤ 26V；V_{EN} = 5V；V_{INL} = 0V；V_{INH} = 0V；V_{GDH_SW} = 0V；R_{CS} = 100 Ω

参数		测试条件	最小值	典型值	最大值	单位
	下拉输入电流	10V ≤ V_{PIN} ≤ 26V；V_{AUX} = 26V		10		μA
过热保护						
	温度故障 – 正向阈值温度		150	165		°C
	温度故障 – 负向阈值温度			150		°C
	温度故障 – 阈值温度迟滞			15		°C
AUX						
$V_{AUX,T+(UVLO)}$	UVLO – 正向阈值电压		8.9	9.3	9.7	V
	UVLO – 负向阈值电压		8.6	9.0	9.5	V
	UVLO – 阈值电压迟滞			250		mV
	待机静态电流	V_{EN} = 0V		50	110	μA
	静态电流			250	400	μA
		V_{INL} = 5V，$I_{D(ls)}$ = 0A		1000		
	工作电流	V_{INL} = 0V 或 5V，$V_{DS(ls)}$ = 0V，$I_{D(ls)}$ = 0A，f_{INL} = 500kHz		3.7		mA
BST						
$V_{BST_SW,T+(UVLO)}$	使 FET 导通的 V_{BST_SW} UVLO - 正向阈值电压		6.7	7	7.4	V
	使 FET 保持开启的 V_{BST_SW} UVLO – 负向阈值电压		4.8	5.1	5.4	V
	静态电流			70	120	μA
		V_{INH} = 5V，$I_{D(hs)}$ = 0A		660		
		V_{GDH_SW} = 5V，$I_{D(hs)}$ = 0A		660		
	工作电流	V_{INH} = 0V 或 5V，$V_{DS(hs)}$ = 0V，$I_{DS(hs)}$ = 0A；f_{INH} = 500kHz		2.2		mA
		V_{GDH_SW} = 0V 或 5V，$V_{DS(hs)}$ = 0V，$I_{DS(hs)}$ = 0A；f_{GDH_SW} = 500kHz		2.2		

Copyright © 2026 Texas Instruments Incorporated

5.6 开关特性

1) 符号定义：$V_{DS(ls)}$ = SW 至 SL 电压；$I_{DS(ls)}$ = SW 至 SL 电流；$V_{DS(hs)}$ = DH 至 SW 电压；$I_{D(hs)}$ = DH 至 SW 电流；I_{SW} = 流入器件的 SW 点电流；2) 除非另有说明：电压、电阻和电容以 AGND 为基准；–40°C ≤ T_J ≤ 125°C；$V_{DS(ls)}$ = 520V；$V_{DS(hs)}$ = 520V；10V ≤ V_{AUX} ≤ 26V；7.5V ≤ V_{BST_SW} ≤ 26V；V_{EN} = 5V；V_{INL} = 0V；V_{INH} = 0V；R_{CS} = 100 Ω

参数		测试条件	最小值	典型值	最大值	单位
低侧 GaN 功率 FET						
$t_{d(on)(Idrain)(ls)}$	漏极电流导通延迟时间	从 V_{INL} > $V_{INL,IT+}$ 到 $I_{D(ls)}$ > 50mA，V_{BUS} = 400V，I_{SW} = 1.8A，采用以下低侧压摆率设置，请参阅 GaN 功率 FET 开关参数				
		压摆率设置 0（最慢）		67	117	ns
		压摆率设置 1		45	71	
		压摆率设置 2		44	62	
		压摆率设置 3（最快）		35	51	
$t_{d(on)(ls)}$	导通延迟时间	从 V_{INL} > $V_{INL,IT+}$ 到 $V_{DS(ls)}$ < 390V，V_{BUS} = 400V，I_{SW} = 1.8A，采用以下低侧压摆率设置，请参阅 GaN 功率 FET 开关参数				
		压摆率设置 0（最慢）		101	178	ns
		压摆率设置 1		59	98	
		压摆率设置 2		57	82	
		压摆率设置 3（最快）		41	60	
$t_{r(on)(ls)}$	导通上升时间	从 $V_{DS(ls)}$ < 320V 到 $V_{DS(ls)}$ < 80V，V_{BUS} = 400V，I_{SW} = 1.8A，采用以下低侧压摆率设置，请参阅 GaN 功率 FET 开关参数				
		压摆率设置 0（最慢）		111	136	ns
		压摆率设置 1		46	56	
		压摆率设置 2		11	15.5	
		压摆率设置 3（最快）		5	7	
$t_{d(off)(ls)}$	关断延迟时间	从 V_{INL} < $V_{INL,IT-}$ 到 $V_{DS(ls)}$ > 80V，V_{BUS} = 400V，I_{SW} = 1.8A 请参阅 GaN 功率 FET 开关参数		45	60	ns
$t_{f(off)(ls)}$	关断下降时间	从 $V_{DS(ls)}$ > 80V 到 $V_{DS(ls)}$ > 320V，V_{BUS} = 400V，I_{SW} = 1.8A 请参阅 GaN 功率 FET 开关参数		20		ns
	导通压摆率	从 $V_{DS(ls)}$ < 320V 到 $V_{DS(ls)}$ < 80V，T_J = 25℃，V_{BUS} = 400V，I_{SW} = 1.8A，采用以下低侧压摆率设置，请参阅 GaN 功率 FET 开关参数				
		压摆率设置 0（最慢）		2		V/ns
		压摆率设置 1		5		
		压摆率设置 2		23		
		压摆率设置 3（最快）		50		
高侧 GaN 功率 FET						

Copyright © 2026 Texas Instruments Incorporated

5.6 开关特性（续）

1) 符号定义：$V_{DS(ls)}$ = SW 至 SL 电压；$I_{DS(ls)}$ = SW 至 SL 电流；$V_{DS(hs)}$ = DH 至 SW 电压；$I_{D(hs)}$ = DH 至 SW 电流；I_{SW} = 流入器件的 SW 点电流；2) 除非另有说明：电压、电阻和电容以 AGND 为基准；–40°C ≤ T_J ≤ 125°C；$V_{DS(ls)}$ = 520V；$V_{DS(hs)}$ = 520V；10V ≤ V_{AUX} ≤ 26V；7.5V ≤ V_{BST_SW} ≤ 26V；V_{EN} = 5V；V_{INL} = 0V；V_{INH} = 0V；R_{CS} = 100 Ω

参数		测试条件	最小值	典型值	最大值	单位
$t_{d(on)}$ (Idrain) (hs,INH)	漏极电流导通延迟时间	从 V_{INH} > $V_{INH,IT+}$ 到 $I_{D(hs)}$ > 50mA，V_{BUS} = 400V，I_{SW} = -1.8A，采用以下高侧压摆率设置，请参阅 GaN 功率 FET 开关参数				
		压摆率设置 0（最慢）		73	112	ns
		压摆率设置 1		45	67	
		压摆率设置 2		45	64	
		压摆率设置 3（最快）		34	48	
$t_{d(on)}$ (Idrain) (hs,GDH)	漏极电流导通延迟时间	从 V_{GDH} > $V_{GDH,IT+}$ 到 $I_{D(hs)}$ > 50mA，V_{BUS} = 400V，I_{SW} = -1.8A，采用以下高侧压摆率设置，请参阅 GaN 功率 FET 开关参数				
		压摆率设置 0（最慢）		64	107	ns
		压摆率设置 1		42	66	
		压摆率设置 2		41	61	
		压摆率设置 3（最快）		32	50	
$t_{d(on)}$ (hs,INH)	导通延迟时间	从 V_{INH} > $V_{INH,IT+}$ 到 $V_{DS(hs)}$ < 390V，V_{BUS} = 400V，I_{SW} = -1.8A，采用以下高侧压摆率设置，请参阅 GaN 功率 FET 开关参数				
		压摆率设置 0（最慢）		97	172	ns
		压摆率设置 1		55	94	
		压摆率设置 2		54	78	
		压摆率设置 3（最快）		38	57	
$t_{d(on)}$ (hs,GDH)	导通延迟时间	从 V_{GDH} > $V_{GDH,IT+}$ 到 $V_{DS(hs)}$ < 390V，V_{BUS} = 400V，I_{SW} = -1.8A，采用以下高侧压摆率设置，请参阅 GaN 功率 FET 开关参数				
		压摆率设置 0（最慢）		125	191	ns
		压摆率设置 1		66	93	
		压摆率设置 2		62	79	
		压摆率设置 3（最快）		43	60	
$t_{r(on)(hs)}$	导通上升时间	从 $V_{DS(hs)}$ < 320V 到 $V_{DS(hs)}$ < 80V，V_{BUS} = 400V，I_{SW} = -1.8A，采用以下高侧压摆率设置，请参阅 GaN 功率 FET 开关参数				
		压摆率设置 0（最慢）		116	163	ns
		压摆率设置 1		46	62	
		压摆率设置 2		10	13	
		压摆率设置 3（最快）		4.5	6	
$t_{d(off)}$ (hs,INH)	关断延迟时间	从 V_{INH} < $V_{INH,IT-}$ 到 $V_{DS(hs)}$ > 80V，V_{BUS} = 400V，I_{SW} = –1.8A 请参阅 GaN 功率 FET 开关参数		40	55	ns
$t_{d(off)}$ (hs,GDH)	关断延迟时间	从 V_{GDH} < $V_{GDH,IT-}$ 到 $V_{DS(hs)}$ > 80V，V_{BUS} = 400V，I_{SW} = –1.8A 请参阅 GaN 功率 FET 开关参数		40	55	ns

Copyright © 2026 Texas Instruments Incorporated

5.6 开关特性（续）

1) 符号定义：$V_{DS(ls)}$ = SW 至 SL 电压；$I_{DS(ls)}$ = SW 至 SL 电流；$V_{DS(hs)}$ = DH 至 SW 电压；$I_{D(hs)}$ = DH 至 SW 电流；I_{SW} = 流入器件的 SW 点电流；2) 除非另有说明：电压、电阻和电容以 AGND 为基准；–40°C ≤ T_J ≤ 125°C；$V_{DS(ls)}$ = 520V；$V_{DS(hs)}$ = 520V；10V ≤ V_{AUX} ≤ 26V；7.5V ≤ V_{BST_SW} ≤ 26V；V_{EN} = 5V；V_{INL} = 0V；V_{INH} = 0V；R_{CS} = 100 Ω

参数		测试条件	最小值	典型值	最大值	单位
$t_{f(off)(hs)}$	关断下降时间	从 $V_{DS(hs)}$ > 80V 到 $V_{DS(hs)}$ > 320V，V_{BUS} = 400V，I_{SW} = –1.8A 请参阅 GaN 功率 FET 开关参数		23		ns
	导通压摆率	从 $V_{DS(hs)}$ < 320V 到 $V_{DS(hs)}$ < 80V，T_J = 25℃，V_{BUS} = 400V，I_{SW} = –1.8A，采用以下高侧压摆率设置，请参阅 GaN 功率 FET 开关参数				
		压摆率设置 0（最慢）		2		V/ns
		压摆率设置 1		5		
		压摆率设置 2		23		
		压摆率设置 3（最快）		50		
低侧过流保护						
$t_{(OC)(ls)}$	过流故障响应时间，过流前 FET 导通	从 $I_{D(ls)}$ > $I_{T(OC)(ls)}$ 到 $I_{D(ls)}$ < 0.5 × $I_{T(OC)(ls)}$，$I_{D(ls)}$ di/dt = 90A/μs		70	85	ns
$t_{(OC)(en)(ls)}$	过流故障响应时间，FET 被启用为短路	在以下压摆率设置下，$V_{DS(ls)}$ = 100V；从 $I_{D(ls)}$ > $I_{T(OC)(ls)}$ 到 $I_{D(ls)}$ < 0.5 × $I_{T(OC)(ls)}$				
		压摆率设置 0（最慢）		265	330	ns
		压摆率设置 1		165	200	ns
		压摆率设置 2		160	200	ns
		压摆率设置 3（最快）		120	140	ns
高侧过流保护						
$t_{(OC)(hs)}$	过流故障响应时间，过流前 FET 导通	从 $I_{D(hs)}$ > $I_{T(OC)(hs)}$ 到 $I_{D(hs)}$ < 0.5 × $I_{T(OC)(hs)}$，$I_{D(hs)}$ di/dt = 90 A/μs		60	70	ns
$t_{(OC)(en)(hs)}$	过流故障响应时间，FET 被启用为短路	在以下压摆率设置下，$V_{DS(hs)}$ = 100V；从 $I_{D(hs)}$ > $I_{T(OC)(hs)}$ 到 $I_{D(hs)}$ < 0.5 × $I_{T(OC)(hs)}$				
		压摆率设置 0（最慢）		225	325	ns
		压摆率设置 1		140	175	ns
		压摆率设置 2		130	170	ns
		压摆率设置 3（最快）		95	125	ns
CS						
t_r	上升时间	从 $I_{CS(src)}$ > 0.1 × $I_{CS(src)(final)}$ 到 $I_{CS(src)}$ > 0.9 × $I_{CS(src)(final)}$，0V ≤ V_{CS} ≤ 2V，低侧启用为 1.8A 负载			30	ns
EN						
	EN 唤醒时间	从 V_{EN} > V_{IT+} 到 $I_{D(ls)}$ > 10mA，V_{INL} = 5V		1.5		μs
BST						
	从深度 BST 到 SW 放电的启动时间	从 V_{BST_SW} > $V_{BST_SW,T+(UVLO)}$ 到高侧对 INH 或 GDH 高电平做出反应，V_{BST_SW} 在 1μs 内从 0V 上升到 10V		5		μs
	从浅 BST 到 SW 放电的启动时间	从 V_{BST_SW} > $V_{BST_SW,T+(UVLO)}$ 到高侧对 INH 或 GDH 高电平做出反应，V_{BST_SW} 在 0.5μs 内从 5V 上升到 10V		3.2		μs

Copyright © 2026 Texas Instruments Incorporated

5.7 典型特性

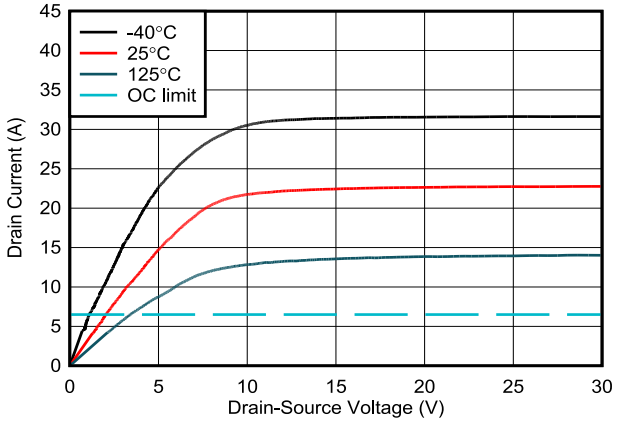


图 5-1. 漏极电流与漏源电压之间的关系

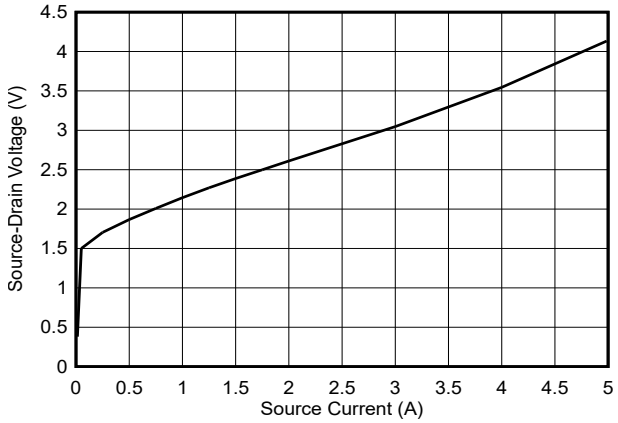


图 5-2. 关断状态下源漏电压与源极电流之间的关系

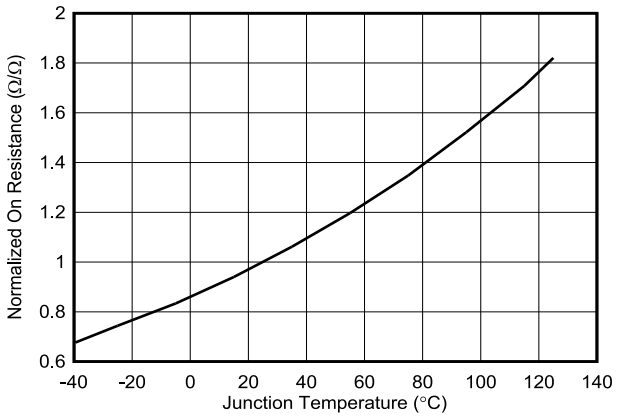


图 5-3. 标准化漏源导通电阻与结温间的关系

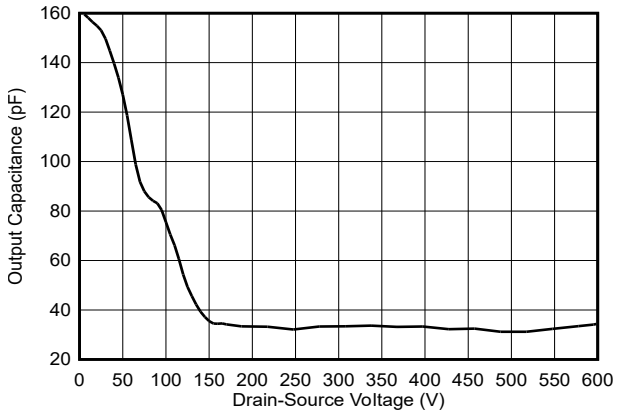


图 5-4. 输出电容与漏源电压之间的关系

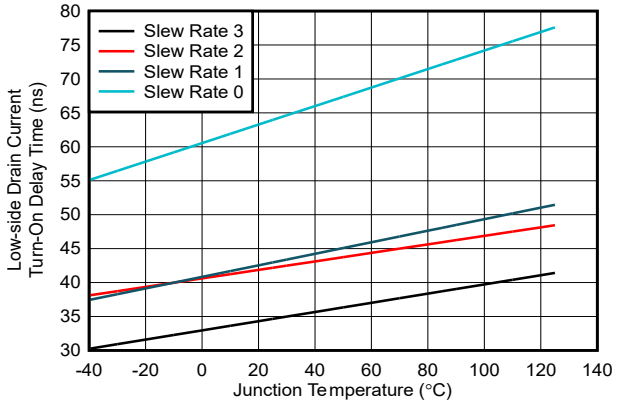


图 5-5. 低侧漏极电流导通延迟时间与结温之间的关系

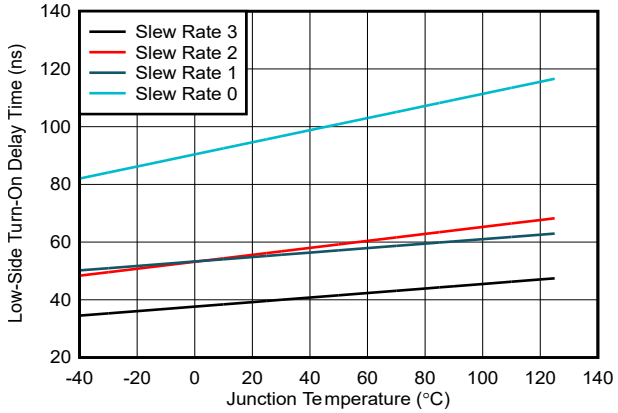


图 5-6. 低侧导通延迟时间与结温间的关系

Copyright © 2026 Texas Instruments Incorporated

5.7 典型特性（续）

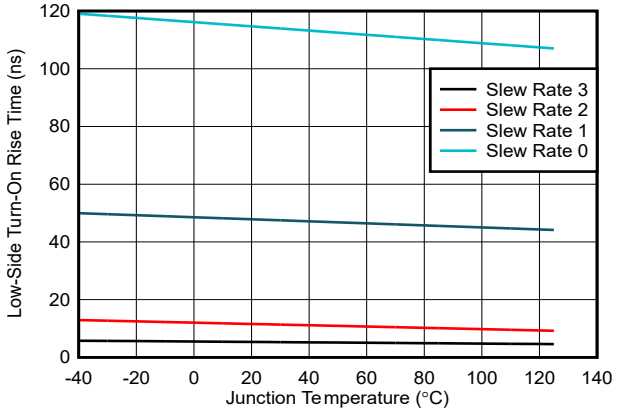


图 5-7. 低侧导通上升时间与结温间的关系

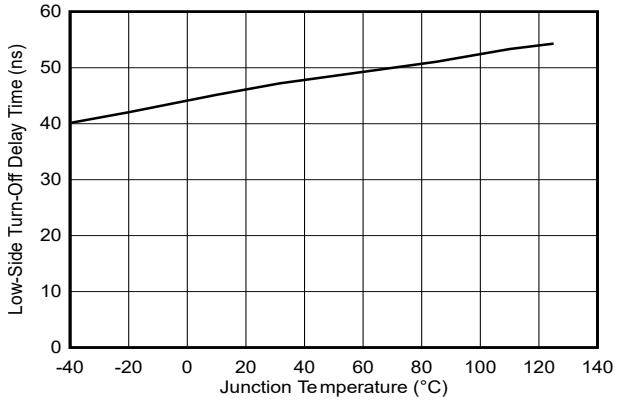


图 5-8. 低侧关断延迟时间与结温间的关系

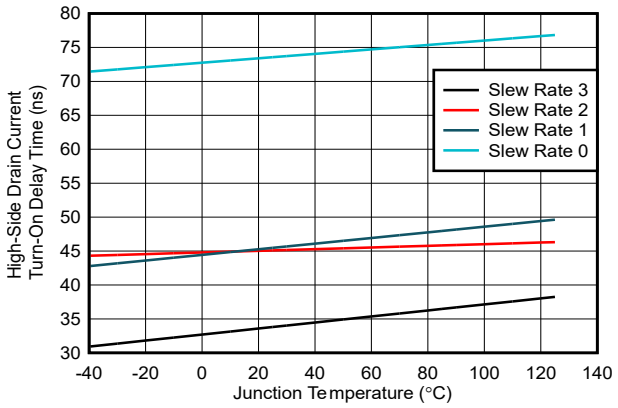


图 5-9. 高侧漏极电流导通延迟时间与结温之间的关系

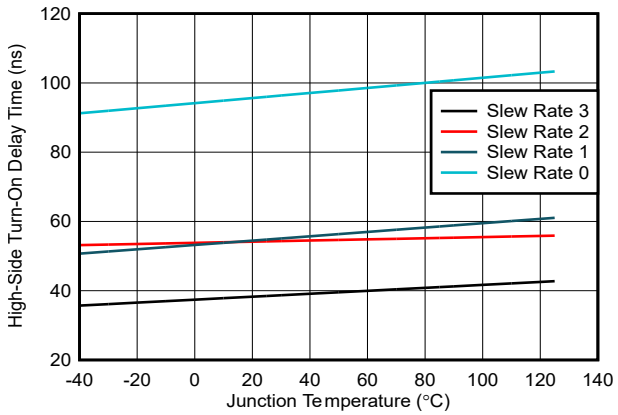


图 5-10. 高侧导通延迟时间与结温间的关系

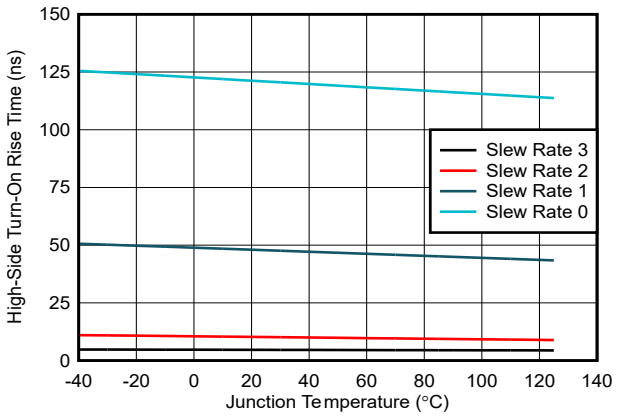


图 5-11. 高侧导通上升时间与结温间的关系

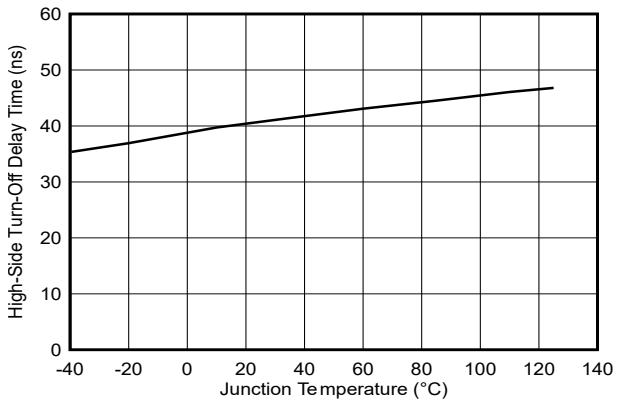


图 5-12. 高侧关断延迟时间与结温间的关系

Copyright © 2026 Texas Instruments Incorporated

5.7 典型特性（续）

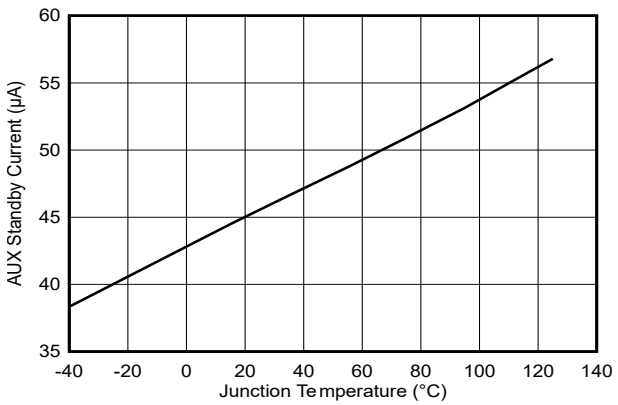


图 5-13. AUX 待机电流与结温间的关系

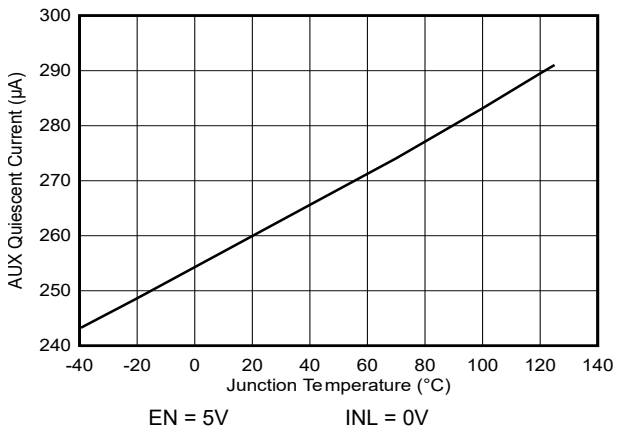


图 5-14. AUX 静态电流与结温间的关系

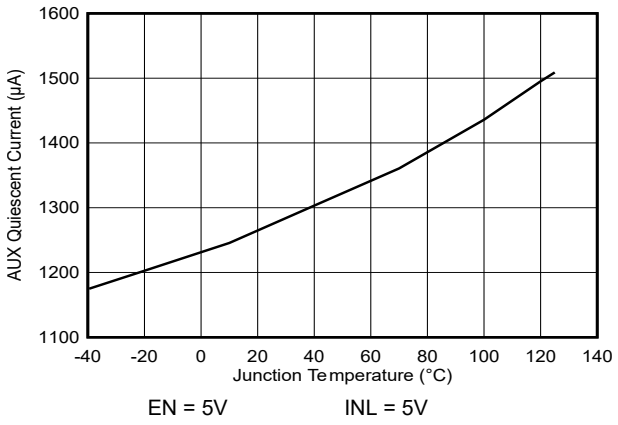


图 5-15. AUX 静态电流与结温间的关系

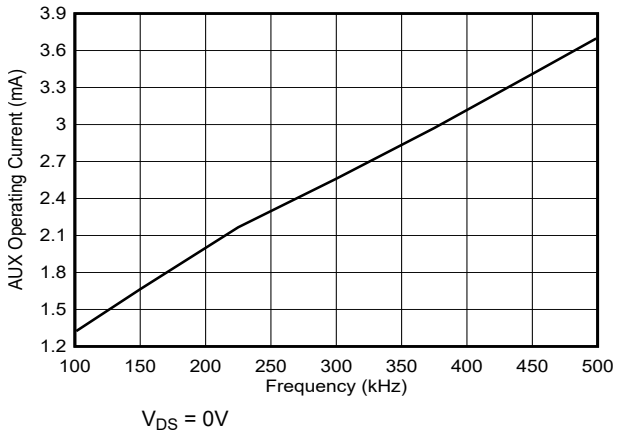


图 5-16. AUX 工作电流与频率间的关系

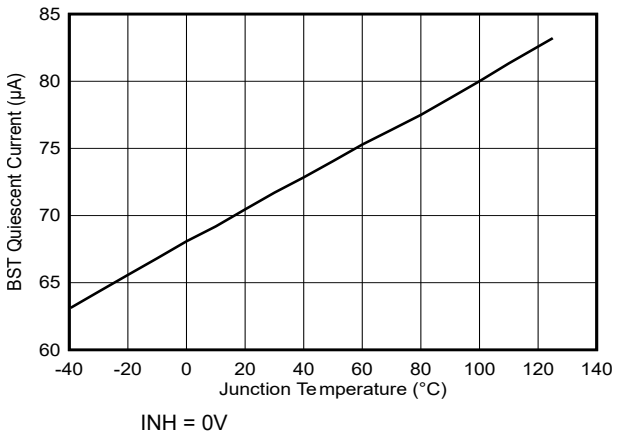


图 5-17. BST 静态电流与结温间的关系

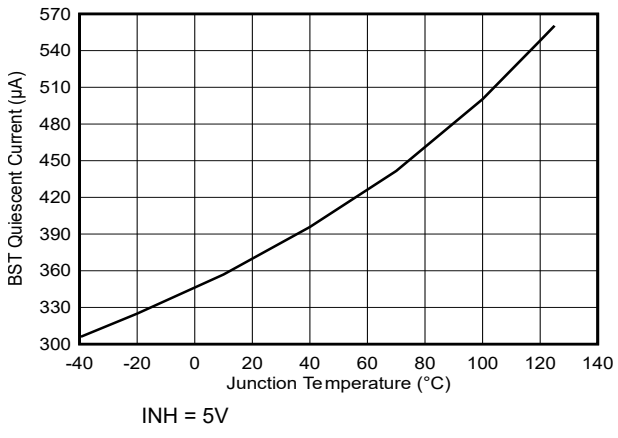


图 5-18. BST 静态电流与结温间的关系

Copyright © 2026 Texas Instruments Incorporated

5.7 典型特性（续）

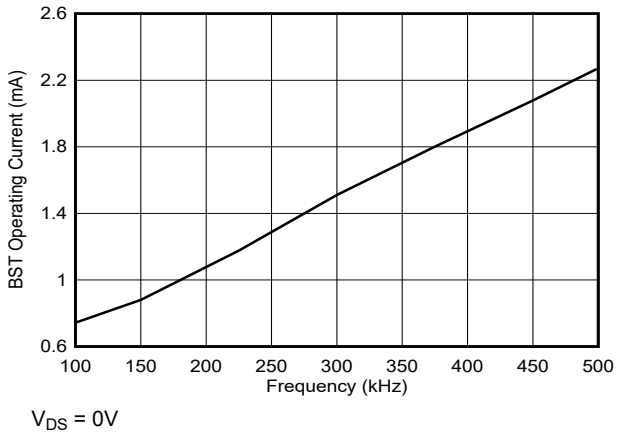


图 5-19. BST 工作电流与频率间的关系

6 参数测量信息

6.1 GaN 功率 FET 开关参数

图 6-1 展示了用于测量 GaN 功率 FET 开关参数的电路。该电路用作双脉冲测试仪。有关双脉冲测试仪的详细信息，请参阅外部基准。该电路置于升压配置中，用于测量低侧 GaN 开关参数。该电路置于降压配置中，用于测量高侧 GaN 开关参数。不在每个配置（升压中的高侧和降压中的低侧）中测量 GaN FET 充当双脉冲测试仪二极管，并在关断状态第三象限导通模式下实现电感器电流循环。表 6-1 展示了每个配置的详细信息。

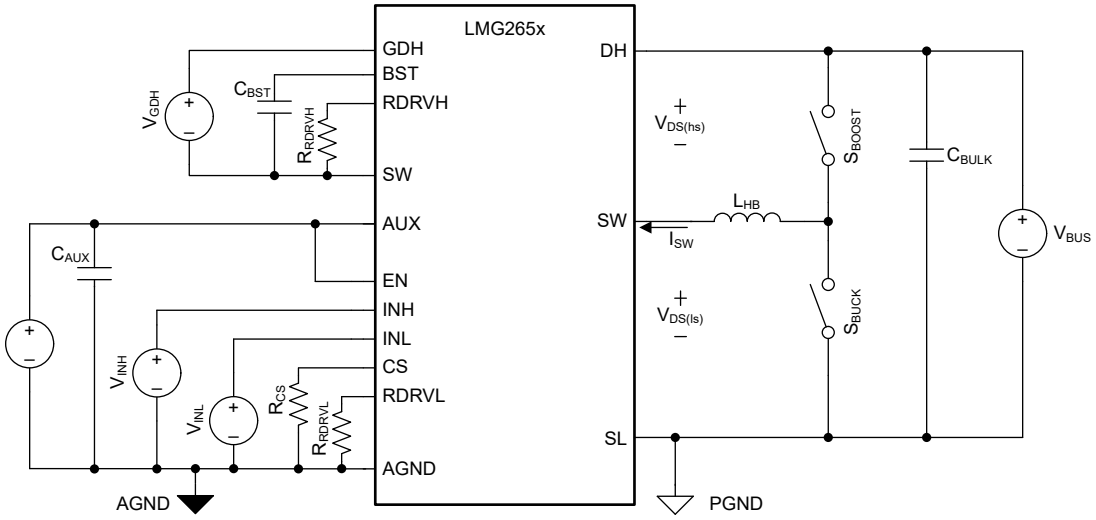


图 6-1. GaN 功率 FET 开关参数测试电路

表 6-1. GaN 功率 FET 开关参数测试电路配置详细信息

配置	待测试 GaN FET	充当二极管的 GaN FET	S_{BOOST}	S_{BUCK}	V_{INL}	V_{INH}	V_{GDH}
升压	低侧	高侧	闭合	开路	双脉冲波形	0V	0V
降压	高侧	低侧	开路	闭合	0V	双脉冲波形	0V
降压	高侧	低侧	开路	闭合	0V	0V	双脉冲波形

图 6-2 展示了 GaN 功率 FET 开关参数。

GaN 功率 FET 导通转换有三个时间分量：漏极电流导通延迟时间 $t_{d(on)(Idrain}$、导通延迟时间 $t_{d(on)}$ 和导通上升时间 $t_{r(on)}$。请注意，导通上升时间与 V_{DS} 80% 至 20% 下降时间相同。所有三个导通时间分量都是 RDRVx 引脚设置的函数。

GaN 功率 FET 关断转换具有两个时间分量：关断延迟时间 $t_{d(off)}$ 和关断下降时间 $t_{f(off)}$。请注意，关断下降时间与 V_{DS} 20% 至 80% 上升时间相同。关断时间分量与 RDRVx 引脚设置无关，但在很大程度上取决于 L_{HB} 电流。

导通压摆率是根据导通上升时间电压差 (240V) 测量，可获得对 EMI 设计很有用的压摆率。RDRVx 引脚用于设定压摆率。

Copyright © 2026 Texas Instruments Incorporated

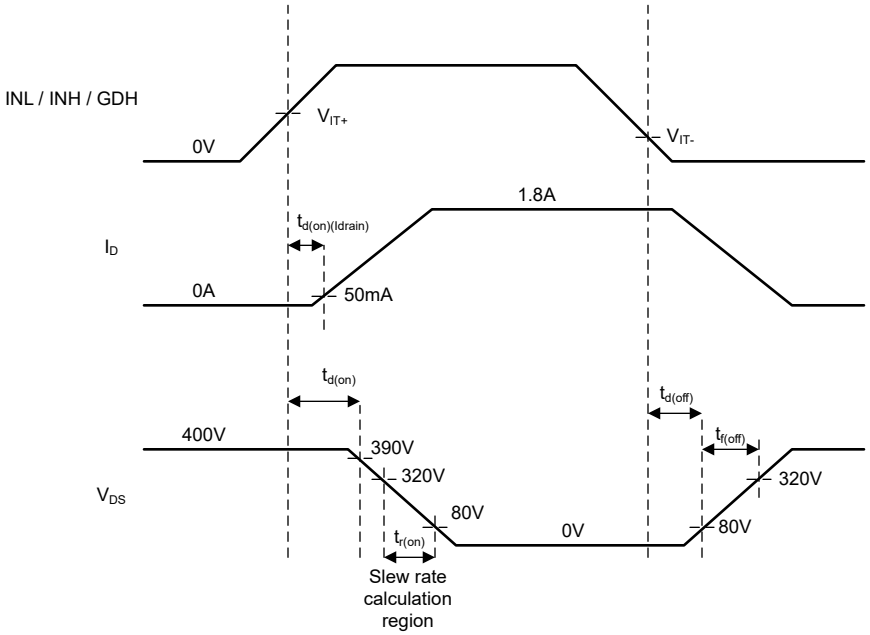


图 6-2. GaN 功率 FET 开关参数

7 详细说明

7.1 概述

LMG2652H 是一款高度集成的 650V 140mΩ GaN 功率 FET 半桥，适用于开关模式电源应用。LMG2652H 在 6mm x 8mm QFN 封装中整合了半桥功率 FET、栅极驱动器、低侧电流检测仿真功能、高侧栅极驱动电平转换器和自举二极管功能。

额定电压为 650V 的 GaN FET 可提供离线电源开关应用所需的高电压。GaN FET 低输出电容电荷减少了电源转换器开关所需的时间和能量，这是设计小型高效电源转换器所需的关键特性。

LMG2652H 内部栅极驱动器可调节 GaN FET 栅极电压，实现最佳的导通电阻。内部驱动器还可降低总栅极电感和 GaN FET 共源极电感，从而提高开关性能。低侧/高侧 GaN FET 导通压摆率可设定为四个分立式设置之一，从而在功率损耗、开关引起的振铃和 EMI 方面实现设计灵活性。

电流检测仿真功能可在 CS 引脚的输出端产生与低侧漏极电流成比例的电流。CS 引脚通过一个电阻器端接至 AGND，用于生成外部电源控制器的电流检测输入信号。该 CS 引脚电阻取代了与低侧 GaN FET 源极串联的传统电流检测电阻，显著节省了功耗和空间。此外，由于没有与 GaN 源极串联的电流检测电阻，因此可以将低侧 GaN FET 散热焊盘（SL 引脚）直接连接到 PCB 电源地，从而提高系统热性能。

高侧 GaN FET 由低侧参考 INH 引脚和高侧参考 GDH 引脚控制，因此 LMG2652H 能够与采用高侧栅极驱动参考方案的控制器相连接。内部高侧栅极驱动电平转换器能够可靠地将 INH 信号传输到高侧，对器件静态电流的影响极小，对器件启动时间也没有影响。

AUX 和 BST 之间的自举二极管功能通过智能开关 GaN 自举 FET 实现。由于导通状态 GaN 自举 FET 没有传统自举二极管的正向压降，因此开关 GaN 自举 FET 可提升对 BST 至 SW 之间电容器的充电程度。智能开关 GaN 自举 FET 还避免了传统自举二极管的问题，即 BST 至 SW 之间电容器由于低侧半桥 GaN 功率 FET 中的关断状态第三象限电流而过充。最后，与传统自举二极管相比，该自举二极管具有低电容，并且没有反向恢复电荷，因此可实现更高效的开关。

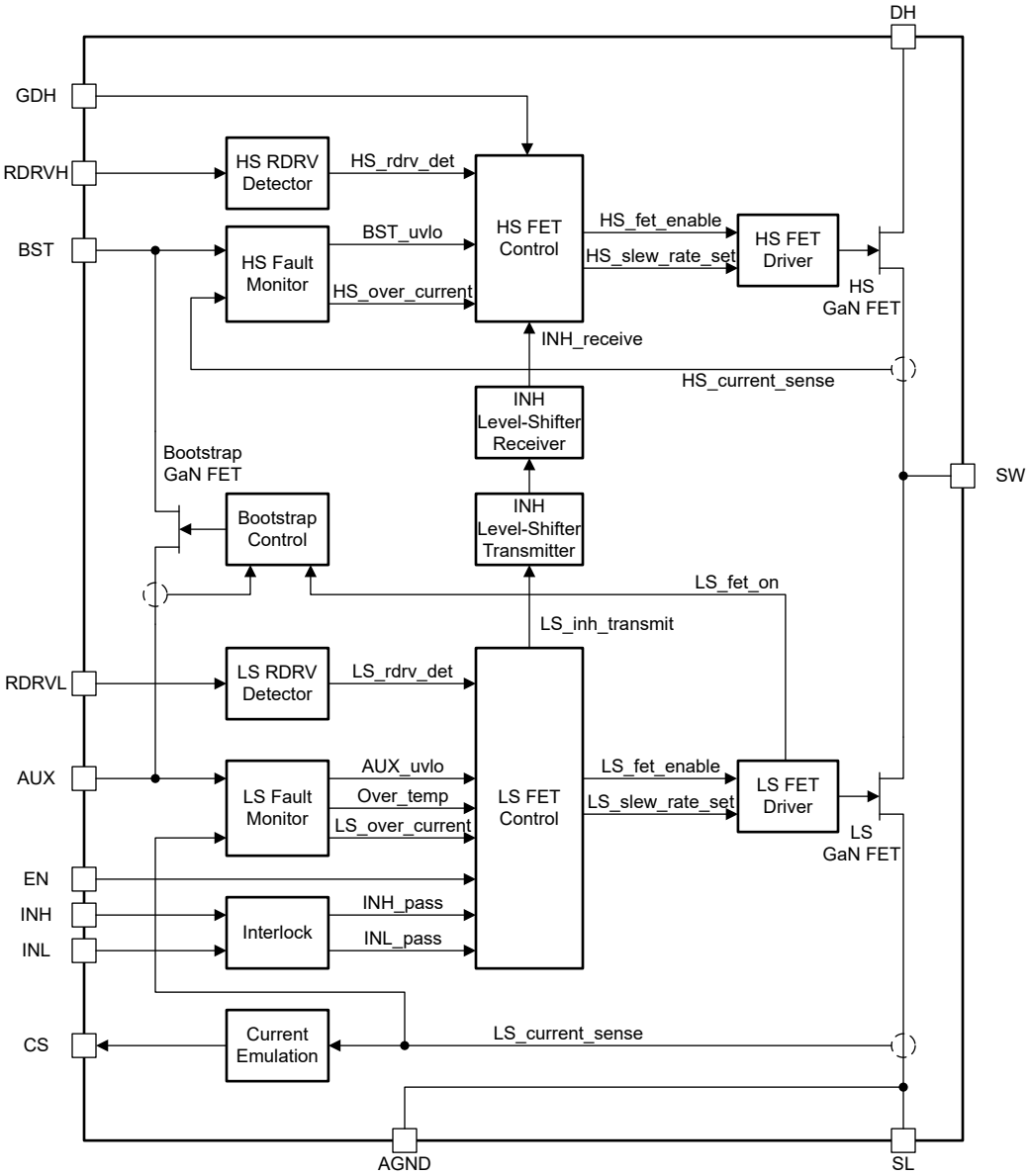
AUX 输入电源宽电压范围与由电源控制器创建的相应宽范围电源轨兼容。BST 输入电源电压范围具有更低的电压值，可补偿自举再充电周期之间的电容压降。AUX/BST 空闲时的低静态电流和快速 BST 启动时间支持转换器突发模式运行，这对于满足政府轻负载效率要求至关重要。通过使用 EN 引脚将器件置于待机模式，可以进一步降低 AUX 静态电流。

EN、INL、INH 和 GDH 控制引脚具有高输入阻抗、低输入阈值电压和等于本地电源引脚电压（AUX 或 BST 至 SW）的最大输入电压。因此，这些引脚可支持低电压和高电压输入信号，并由低功耗输出驱动。

LMG2652H 保护功能包括低侧/高侧欠压锁定 (UVLO)、INL/INH 输入栅极驱动互锁、低侧/高侧逐周期电流限制和低侧/高侧过热关断。UVLO 特性还有助于实现转换器良好的运行状况。

Copyright © 2026 Texas Instruments Incorporated

7.2 功能方框图



7.3 特性说明

7.3.1 GaN 功率 FET 开关能力

由于硅 FET 长期占据功率开关技术的主导地位，许多设计人员没有意识到铭牌漏源电压不能用作跨技术比较器件的等效点。硅 FET 的铭牌漏源电压由雪崩击穿电压决定。GaN FET 的铭牌漏源电压是根据对数据表规格的长期遵从性设定的。

超过硅 FET 的铭牌漏源电压可能会立即导致损坏或造成永久性损坏。同时，GaN FET 的击穿电压远高于铭牌漏源电压。例如，LMG2652H GaN 功率 FET 的击穿漏源电压超过 800V，这使得 LMG2652H 能够在超过相同铭牌额定硅 FET 的条件下运行。

我们借助图 7-1 说明了 LMG2652H GaN 功率 FET 开关能力。该图显示了在开关应用中，LMG2652H GaN 功率 FET 在单个开关周期内漏源电压随时间的变化情况。不对开关频率或占空比进行任何声明。

Copyright © 2026 Texas Instruments Incorporated

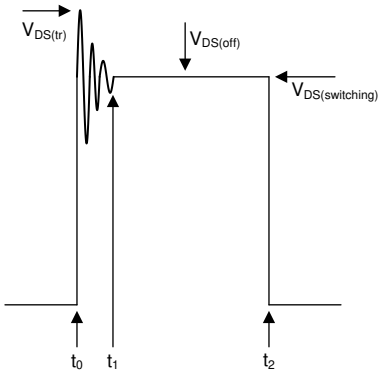


图 7-1. GaN 功率 FET 开关能力

FET 处于导通状态时，波形在 t_0 之前开始。在 t_0 时，GaN FET 关断，寄生元件导致漏源电压以高频振铃。高频振铃已经减弱了 t_1。在 t_1 和 t_2 之间，FET 漏源电压由开关应用的特性响应设置。特性以一条平坦的线（平坦区）显示，但可以有其他响应。在 t_2 时，GaN FET 导通。正常运行时，瞬态振铃电压限制为 650V，平坦电压限制为 520V。对于罕见的浪涌事件，瞬态环电压限制为 800V，平坦电压限制为 720V。

7.3.2 导通压摆率控制

低侧和高侧 GaN 功率 FET 的导通压摆率可单独编程，有四种分立的设置可选。低侧压摆率可通过 RDRVL 和 AGND 引脚之间的电阻进行编程。高侧压摆率可通过 RDRVH 和 SW 引脚之间的电阻进行编程。当 AUX 电压上升到高于 AUX 上电复位电压时，可在 AUX 上电期间确定低侧一次压摆率设置。当 BST 至 SW 电压上升到高于 BST 上电复位电压时，可在 BST 至 SW 上电期间确定一次高侧压摆率设置。压摆率设置确定时间未指定，但大约为 0.4µs。

表 7-1 展示了四个压摆率设置下的建议典型电阻设定值以及每个设置下的典型导通压摆率。如表中所示，对于设定压摆率设置 0，开路连接是可接受的；对于设定压摆率设置 3，短路连接（RDRVL 短接至 AGND 以实现低侧导通压摆率）（RDRVH 短接至 SW 以实现高侧导通压摆率）是可接受的。

表 7-1. 压摆率设置

导通压摆率设置	建议的典型编程电阻 (kΩ)	典型导通压摆率 (V/ns)	注释
0	120	2	可接受设定电阻的开路连接。
1	47	5	
2	22	23	
3	5.6	50	可接受通过短路连接来设定电阻（RDRVL 短接至 AGND 以实现低侧压摆率）（RDRVH 短接至 SW 以实现高侧压摆率）。

7.3.3 电流检测仿真

电流检测仿真功能可在 CS 引脚的输出端产生与 GaN 功率 FET 漏极正向电流成比例的电流。电流检测仿真增益 G_{CSE} 的定义是，每有 1A 电流流入低侧 GaN 功率 FET 的漏极，即 I_D，CS 引脚输出 0.901mA 电流，即 I_{CS}。

$$G_{CSE} = \frac{I_{CS}}{I_D} = \frac{0.901mA}{1A} = 0.000901 \quad (1)$$

CS 引脚通过一个电阻器 R_{CS} 端接至 AGND，用于生成外部电源控制器的电流检测电压输入信号。

通过求解传统电流检测设计电阻 $R_{CS(trad)}$ 再乘以 G_{CSE} 的倒数来确定 R_{CS}。传统的电流检测设计通过使 GaN 功率 FET 漏极电流 I_D 通过 $R_{CS(trad)}$ 来产生电流检测电压 $V_{CS(trad)}$。LMG2652H 通过使 CS 引脚输出电流 I_{CS} 通过 R_{CS} 来创建电流检测电压 V_{CS}。两种设计的电流检测电压必须相同。

$$V_{CS} = I_{CS} \times R_{CS} = V_{CS(trad)} = I_D \times R_{CS(trad)} \quad (2)$$

Copyright © 2026 Texas Instruments Incorporated

$$R_{CS} = \frac{I_D}{I_{CS}} \times R_{CS(trad)} = \frac{1}{G_{CSE}} \times R_{CS(trad)} \quad (3)$$

$$R_{CS} = 1110 \times R_{CS(trad)} \quad (4)$$

CS 引脚在内部钳位至典型值 2.5V。例如，如果 CS 引脚上的电流检测电阻断开连接，该钳位可保护易受影响的电源控制器电流检测输入引脚免受过压影响。

图 7-2 展示了电流检测仿真运行。在这两个周期中，CS 引脚电流模拟 GaN FET 启用时的 GaN 功率 FET 漏极电流。第一个周期显示了正常运行，其中当控制器电流检测输入阈值跳变时，控制器会关闭 GaN 功率 FET。第二个周期显示了一种故障情况，即 LMG2652H 过流保护功能会在控制器电流检测输入阈值跳变之前关闭 GaN 功率 FET。在第二个周期中，LMG2652H 生成快速斜升的人工电流检测仿真信号来使控制器电流检测输入阈值跳变，从而避免控制器 IN 脉冲挂起。人工信号一直持续到 IN 引脚变为逻辑低电平，这表示控制器重新控制开关运行。

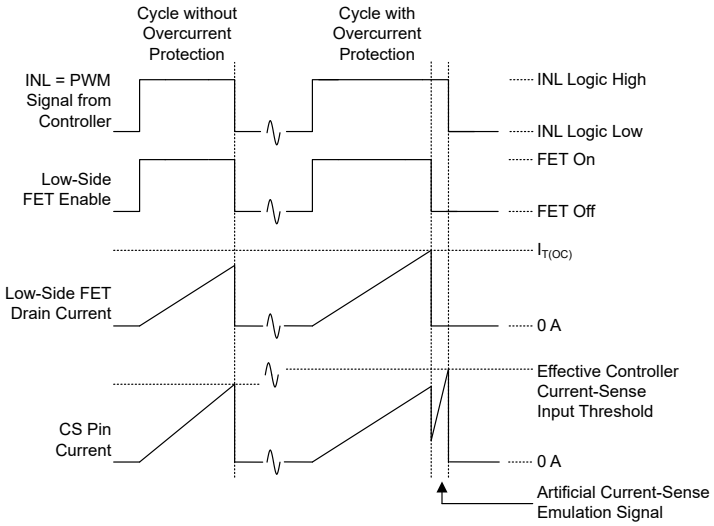


图 7-2. 电流检测仿真运行

7.3.4 自举二极管功能

内部自举二极管功能通过智能开关 GaN 自举 FET 实现。当 GaN 自举 FET 关断时，GaN 自举 FET 会在 AUX 和 BST 之间的两个方向上阻断电流。

自举二极管功能在低侧 GaN 功率 FET 导通时激活，在低侧 GaN 功率 FET 关断时停用。GaN 自举 FET 在自举二极管非活动阶段保持关断。GaN 自举 FET 在自举活动阶段开始时一次性导通，并被控制为理想二极管，二极管电流从 AUX 流向 BST 为 BST 至 SW 电容器充电。如果在 GaN 自举 FET 导通后检测到从 BST 至 AUX 的小反向电流，则在自举活动阶段的剩余时间内，GaN 自举 FET 将关断。

当 BST 至 SW 电容器在自举活动阶段开始时严重放电时，自举二极管功能会实现限流功能以保护 GaN 自举 FET。如果在 GaN 自举 FET 导通期间没有电流限制情况，或者自举功能在 BST 至 SW 电容器充电时超出电流限制，则在 GaN 自举 FET 导通时间的剩余时间内会禁用电流限制功能。电流限制功能被禁用以节省静态电流。

7.3.5 输入控制引脚（EN、INL、INH、GDH）

EN 引脚以 AGND 为基准并用于在工作模式和待机模式之间切换器件，如 节 7.4 所述。

INL 引脚以 AGND 为基准并用于导通和关断低侧 GaN 功率 FET。

INH 引脚以 AGND 为基准并用于导通和关断高侧 GaN 功率 FET。INH 引脚与使用低侧参考栅极驱动信号来控制高侧 GaN 功率 FET 的控制器兼容。

GDH 引脚以 SW 为基准并用于导通和关断高侧 GaN 功率 FET。GDH 引脚与使用高侧参考信号来控制高侧 GaN 功率 FET 的控制器兼容。

LMG2652H 旨在与 INH 引脚或控制高侧 GaN 功率 FET 的 GDH 引脚配合使用。将未使用的引脚短接至引脚其基准（INH 到 AGND 或 GDH 到 SW）。

输入控制引脚具有用于实现抗噪性能的典型 1V 输入电压阈值迟滞。这些引脚还具有典型的 400kΩ 下拉电阻，可防止输入悬空。400kΩ 在高于 4V 的典型输入电压下达到饱和，以将最大输入下拉电流限制为 10μA 典型值。从 EN、INL 和 INH 引脚到 AUX 引脚之间存在单独的正向 ESD 二极管。请避免将 EN、INL 和 INH 电压驱动至高于 AUX 电压。GDH 引脚和 BST 引脚之间也有一个正向 ESD 二极管。请避免将 GDH 至 SW 电压驱动至高于 BST 至 SW 电压。

以下条件会阻止 INL 导通操作：

- 待机模式（由上面的 EN 引脚设置）
- INH 控制 INL/INH 互锁
- AUX 欠压锁定 (UVLO)
- 低侧过热保护
- 低侧 GaN 功率 FET 过流保护

以下条件会阻止 INH 导通操作：

- 待机模式（由上面的 EN 引脚设置）
- INL 控制 INL/INH 互锁
- AUX UVLO
- 低侧过热保护
- BST UVLO
- 高侧过流保护

以下条件会阻止 GDH 导通操作：

- BST UVLO
- 高侧过热保护
- 高侧过流保护

请注意，低侧温度保护会阻断 INH 引脚，而高侧温度保护会阻断 GDH 引脚。

Copyright © 2026 Texas Instruments Incorporated

除 INL/INH 互锁和过流保护之外的所有阻断情况都与 INL、INH 或 GDH 逻辑状态无关。图 7-3 展示了这些控制输入独立阻断条件的运行情况。

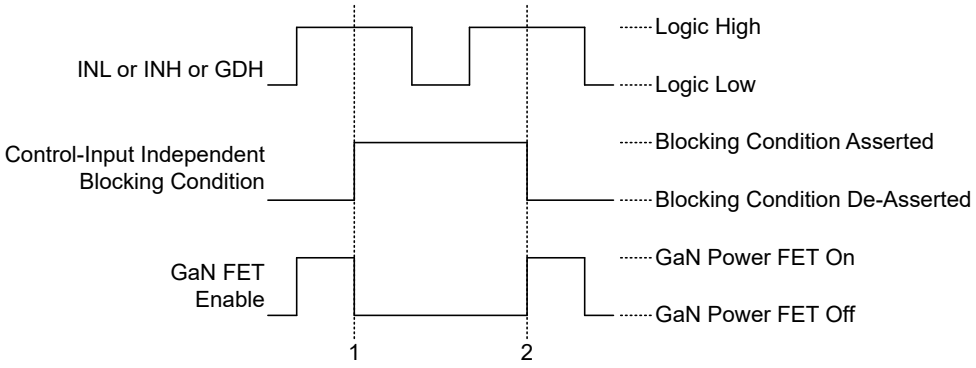


图 7-3. 控制输入独立阻断条件运行

INL/INH 互锁阻断操作如 节 7.3.6 所述。同时，过流保护阻断操作仅在控制输入已开启其相应的 GaN 功率 FET 后才有效。有关详细信息，请参阅 节 7.3.9。

7.3.6 INL - INH 互锁

当 INL 和 INH 引脚都为逻辑高电平时，互锁功能可防止低侧和高侧 GaN 功率 FET 同时导通。如果任一引脚为逻辑高电平，另一个引脚为逻辑低电平，则 INL 或 INH 引脚会获得互锁的控制权。INL 或 INH 引脚获得对互锁的控制权后，只要保持逻辑高电平，该引脚就会保持控制权。只有控制互锁的 INL 或 INH 引脚通过互锁传递逻辑高电平信号。

请注意，GDH 引脚没有互锁功能。这意味着，如果 INL 和 GDH 引脚都是逻辑高电平，可以同时导通低侧和高侧 GaN 功率 FET。

7.3.7 AUX 电源引脚

AUX 引脚作为低侧内部电路的输入电源，也是通过内部自举二极管功能为 BST 至 SW 电容器充电的电源。建议使用陶瓷电容作为 AUX 外部电容，该电容在工作条件下至少比 BST 至 SW 外部电容大三倍。

7.3.7.1 AUX 上电复位

如果 AUX 电压低于 AUX 上电复位电压，则 AUX 上电复位将禁用所有低侧功能（包括 INH 引脚功能）。AUX 上电复位电压未指定，但大约为 5V。当 AUX 电压高于 AUX 上电复位电压时，AUX 上电复位会一次性确定 RDRVL 引脚上设定的低侧压摆率设置。如果 AUX 电压高于 AUX 上电复位电压，则 AUX 上电复位将启用低侧过热保护功能。

7.3.7.2 AUX 欠压锁定 (UVLO)

AUX UVLO 可阻止 INL 引脚导通低侧 GaN 功率 FET，并在 AUX 电压低于 AUX UVLO 电压时阻止 INH 引脚导通高侧 GaN 功率 FET。图 7-3 展示了 AUX UVLO 阻止操作。AUX UVLO 电压设置为高于 BST UVLO 电压，因此高侧 GaN 功率 FET 可在低侧 GaN 功率 FET 工作时运行。AUX UVLO 电压与 BST UVLO 电压之间的电压间隔，是为了考虑 AUX 电源对 BST 至 SW 电容的自举充电不完整的工作条件。AUX UVLO 电压迟滞可防止 UVLO 电压跳闸点附近出现开关抖动。

7.3.8 BST 电源引脚

BST 引脚是高侧内部电路的输入电源。BST 引脚和相应的高侧电路以 SW 引脚为基准。BST 引脚通过内部自举二极管功能由低侧 AUX 电源引脚供电。当低侧 GaN FET 关断时，自举功能处于非活动状态，且 BST 引脚必须依赖外部连接 SW 的电容器作为 BST 电源。

设计 BST 至 SW 电容时需要在高侧充电时间和保持时间之间进行权衡。建议使用陶瓷电容作为 SW 至 SW 外部电容，该电容在工作条件下至少为 10nF。

Copyright © 2026 Texas Instruments Incorporated

7.3.8.1 BST 上电复位

BST 上电复位电压以 SW 引脚为基准。如果 BST 至 SW 电压低于 BST 上电复位电压，则 BST 上电复位将禁用所有高侧功能。BST 上电复位电压未指定，但大约为 5V。当 BST 至 SW 电压高于 BST 上电复位电压时，BST 上电复位会一次性确定 RDRVH 引脚上设定的高侧压摆率设置。

7.3.8.2 BST 欠压锁定 (UVLO)

BST UVLO 电压以 SW 引脚为基准。如果 BST 至 SW 电压低于适用的 BST UVLO 电压，BST UVLO 会阻止 INH 和 GDH 引脚导通高侧 GaN 功率 FET，如下所述。图 7-3 展示了 BST UVLO 阻止操作。BST UVLO 包含两个独立的 UVLO 功能，用于创建双电平 BST UVLO。上部 BST UVLO 称为 BST 导通 UVLO，仅控制是否允许高侧 GaN 功率 FET 导通。下部 BST UVLO 称为 BST 关断 UVLO，仅用于控制在高侧 GaN 功率 FET 已导通后高侧 GaN 功率 FET 是否关断。双电平 UVLO 的工作方式与具有迟滞功能的单个 UVLO 不同。

图 7-4 展示了双电平 BST UVLO 运行情况。如果 BST 至 SW 电压低于 BST 导通 UVLO 电压（INH/GDH 脉冲 1、脉冲 2 的第一部分和脉冲 5），BST 导通 UVLO 可防止高侧 GaN 功率 FET 在 INH 或 GDH 逻辑高电平下导通。在高侧 GaN 功率 FET 成功导通后，系统会忽略 BST 导通 UVLO，而 BST 关断 UVLO 输出将在 INH 或 GDH 逻辑高电平脉冲（脉冲 2、脉冲 3、4 和 6 的 INH/GDH 第二部分）的剩余时间内受到监视。如果 BST 至 SW 电压降至低于 BST 关断 UVLO 电压（INH/GDH 脉冲 6），则 BST 关断 UVLO 会在 INH/GDH 逻辑高电平脉冲的剩余时间内关断高侧 GaN 功率 FET。

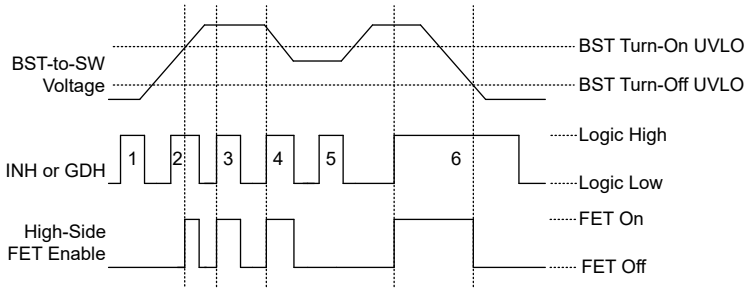


图 7-4. BST UVLO 运行

双电平 BST UVLO 的有效电压迟滞是上限和下限 BST UVLO 电压之间的差值。可以使用相同的迟滞来实现单级 BST UVLO，但允许后续高侧 GaN 功率 FET 在迟滞范围内的任何位置导通。单电平 BST UVLO 允许 INH/GDH 脉冲 5 导通高侧 GaN 电源。双电平 UVLO 设计可避免迟滞范围内的任何导通。

双电平 BST UVLO 支持宽迟滞，同时确保 BST 至 SW 电容器在每个 INH 或 GDH 脉冲开始时充分充电。宽迟滞允许使用较小的 BST 至 SW 电容器，这对于缩短高侧启动时间非常有用。INH 或 GDH 脉冲开始时有足够的电容电荷有助于确保高侧 GaN 功率 FET 不会在 INH 或 GDH 脉冲中过早关闭，以免导致转换器运行不稳定。

7.3.9 过流保护

LMG2652H 可为半桥 GaN 功率 FET 实现逐周期过流保护。图 7-5 展示了逐周期过流操作。每个 INL、INH 或 GDH 逻辑高电平周期都会导通受控 GaN 功率 FET。如果 GaN 功率 FET 漏极电流超过过流阈值电流，过流保护会在 INL、INH 或 GDH 逻辑高电平的剩余时间内关断 GaN 功率 FET。

Copyright © 2026 Texas Instruments Incorporated

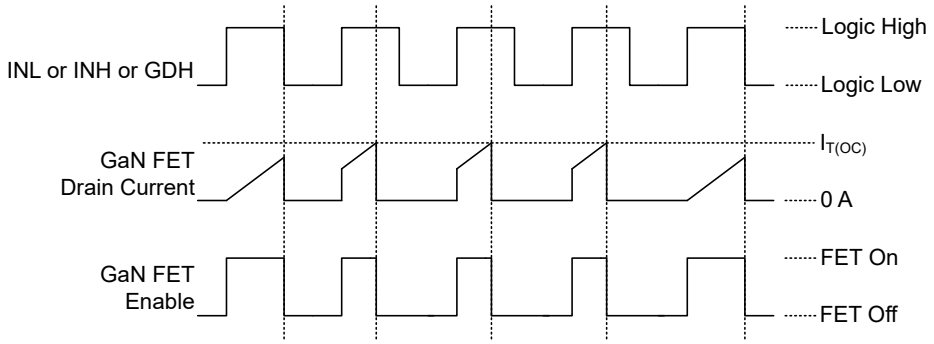


图 7-5. 逐周期过流保护操作

逐周期过流保护功能可更大限度地减少系统中断，因为不会报告该事件，并且保护功能允许 GaN 功率 FET 在每个 INL、INH 或 GDH 周期导通一次。

如 节 7.3.3 部分所述，在低侧 GaN 功率 FET 由低侧过流保护功能关断后，会产生人工 CS 引脚电流，以防止控制器进入挂起状态。

7.3.10 过热保护

LMG2652H 为低侧和高侧器件电路实现了单独的过热保护。低侧过热保护功能可阻止 INL 引脚导通低侧 GaN 功率 FET，并在低侧温度高于过热保护温度时阻止 INH 引脚导通高侧 GaN 功率 FET。如果高侧温度高于过热保护温度，高侧过热保护会阻止 GDH 引脚导通高侧 GaN 功率 FET。图 7-3 展示了过热阻断操作。过热保护迟滞可避免不稳定的热循环。

当 AUX 电压高于 AUX 上电复位电压时，将启用低侧过热保护。当 AUX 电源轨在电源转换器冷却阶段下降时，低 AUX 上电复位电压有助于过热保护功能保持运行。当 BST 至 SW 电压高于 BST 上电复位电压时，将启用高侧过热保护。

7.4 器件功能模式

LMG2652H 有两种由 EN 引脚控制的运行模式。当 EN 为逻辑高电平时，器件处于工作模式；当 EN 引脚为逻辑低电平时，器件处于待机模式。在工作模式下，半桥 GaN 功率 FET 由 INL、INH 和 GDH 引脚控制。在待机模式下，INL 和 INH 引脚会被忽略，低侧 GaN 功率 FET 和自举二极管会保持关断，INH 引脚会被阻止导通高侧 FET，而 AUX 静态电流会降低至 AUX 待机静态电流。请注意，在待机模式下，如果 BST 引脚由外部电源供电，则高侧 GaN 功率 FET 仍可由 GDH 引脚控制。

Copyright © 2026 Texas Instruments Incorporated

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

LMG2652H 是一款 GaN 功率 FET 半桥，由于它在单个封装中集成了半桥 FET、FET 栅极驱动器、高侧栅极驱动电平转换器、自举二极管功能和电流检测仿真，因此即插即用，非常简单。得益于集成栅极驱动器、低 IN 输入阈值电压和宽 AUX 输入电源电压，LMG2652H 能够与业内常见的电源控制器无缝配合。

8.2 典型应用

8.2.1 LLC 应用

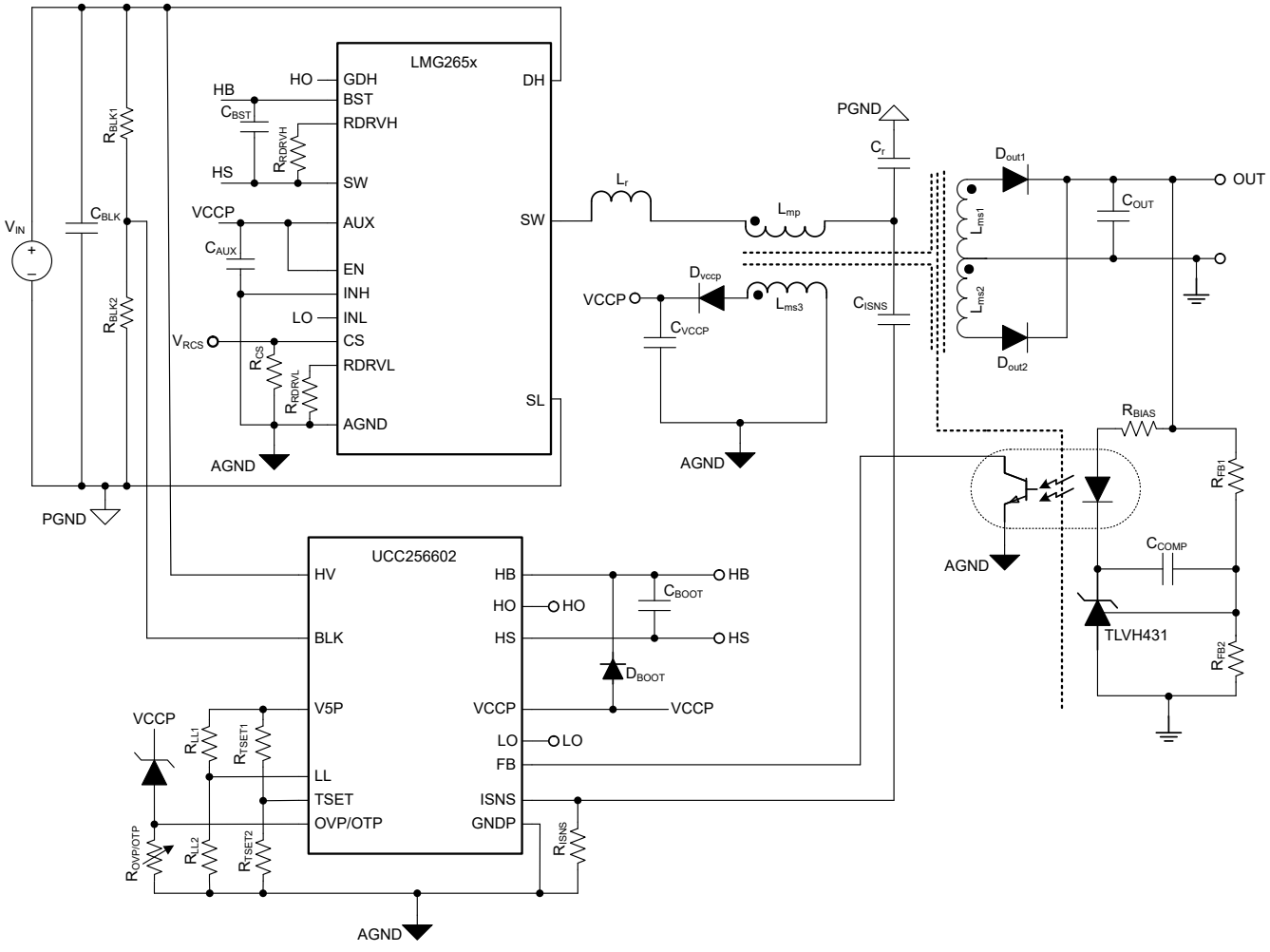


图 8-1. 200W LLC 转换器应用

8.2.1.1 设计要求

Copyright © 2026 Texas Instruments Incorporated

表 8-1. 设计规格

规格	值
输入直流电压范围	365VDC 至 410VDC
输出直流电压	19.5V
输出额定电流	10.3A
在 390VDC 时的输出电压纹波	120mVpp
在 390VDC 时的峰值效率	93%

8.2.1.2 详细设计过程

典型应用展示了 LMG2652H 与 LLC 控制器的结合，以创建高功率密度、高效率的 200W LLC 转换器。200W LLC 转换器应用根据典型应用进行了调整。此详细设计过程重点讨论了在应用中使用 LMG2652H 的具体细节。

8.2.1.3 应用曲线

以下波形显示了典型的开关波形。红色迹线是 LMG2652H 的开关节点电压，绿色迹线是 R_{ISNS} 两端的电流检测电压，蓝色迹线是 V_{OUT}。

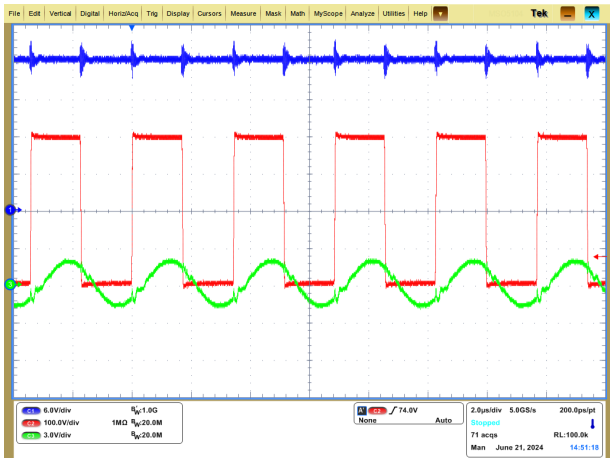


图 8-2. V_{IN} = 400VDC

8.2.2 AHB 应用

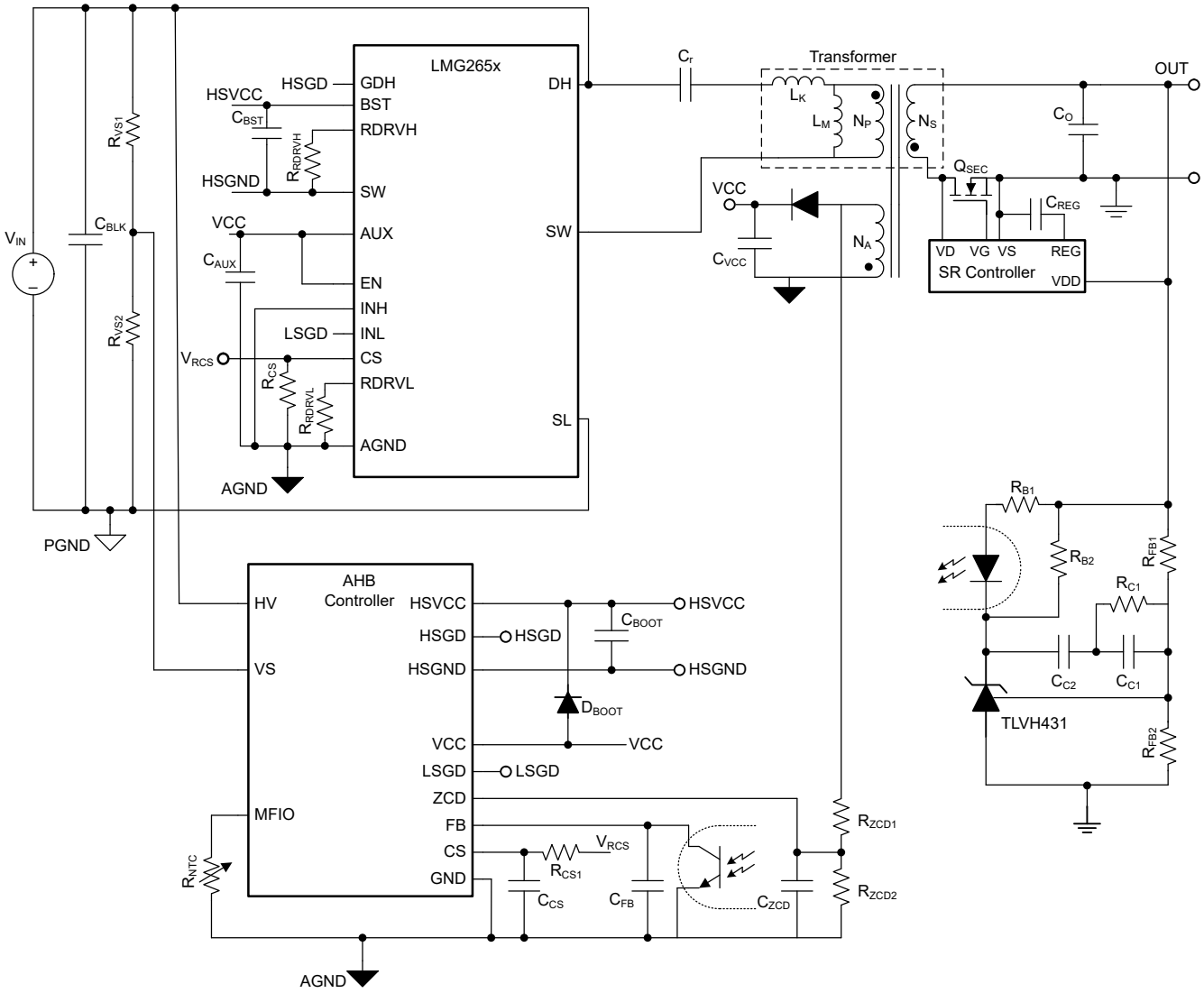


图 8-3. 140W AHB 转换器应用

Copyright © 2026 Texas Instruments Incorporated

8.2.3 电机驱动器应用

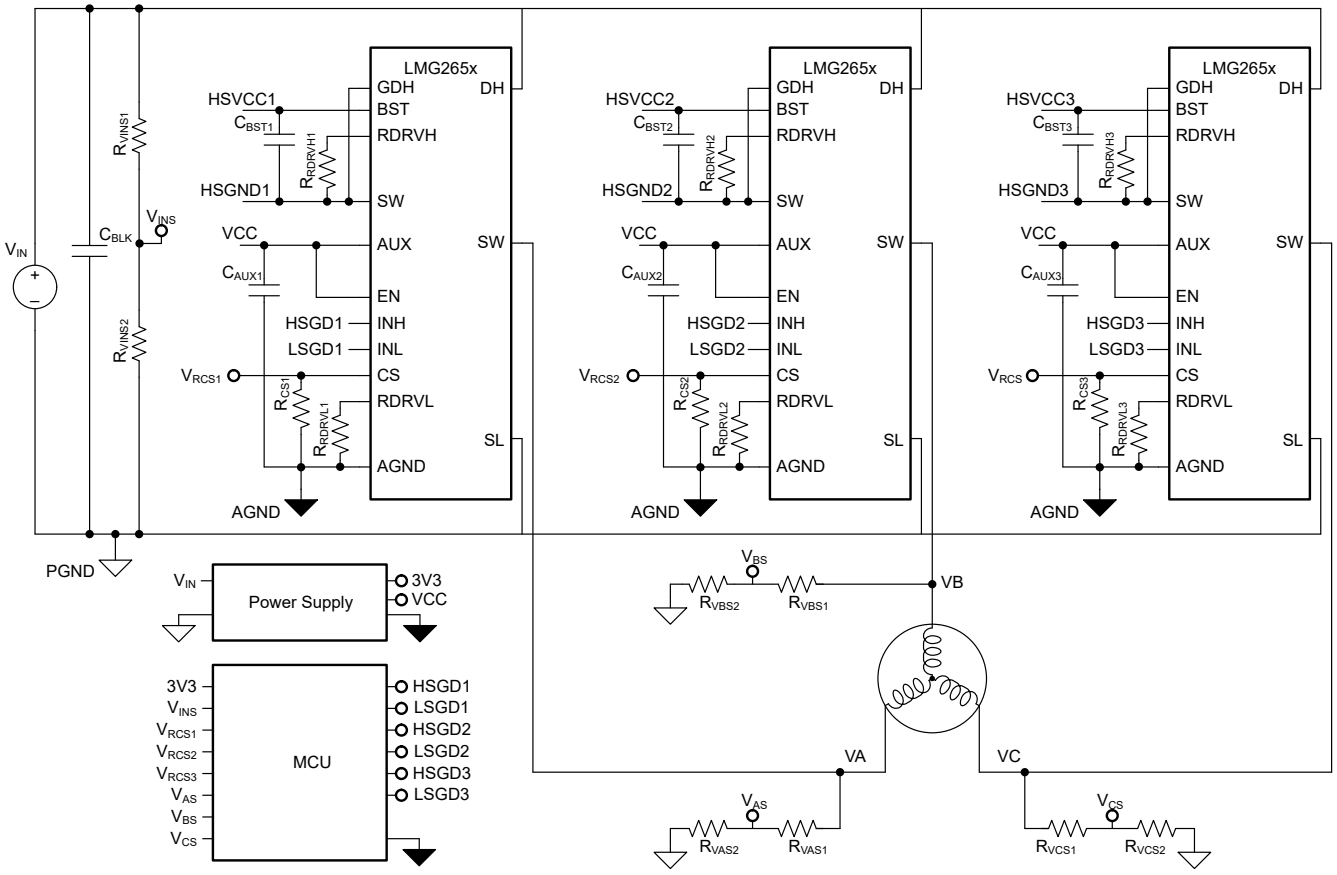


图 8-4. 5 电机驱动器应用

8.3 电源相关建议

LMG2652H 由连接到 AUX 引脚的单个输入电源供电。BST 引脚由 AUX 引脚在内部供电。LMG2652H 应在由电源控制器管理和使用的同一电源下运行。建议的 10V 至 26V 宽 AUX 电压范围与共模控制器电源引脚导通和 UVLO 电压限制重叠。

建议使用陶瓷电容作为 AUX 外部电容，该电容在工作条件下至少是 BST 至 SW 电容的三倍。

Copyright © 2026 Texas Instruments Incorporated

8.4 布局

8.4.1 布局指南

8.4.1.1 焊点应力消除

大型 QFN 封装可能会承受较高的焊点应力。建议采用几种最佳实践来消除焊点应力。首先，必须遵循 节 4 部分中有关 NC 锚引脚的说明。其次，所有电路板焊盘都必须为非阻焊层限定 (NSMD)，如 节 11 部分中的焊盘图案示例所示。最后，确认连接到 NSMD 焊盘的任何电路板迹线必须小于其所连接焊盘侧焊盘宽度的 2/3。只要迹线未被阻焊层覆盖，迹线就必须保持这个 2/3 的宽度限值。将布线置于阻焊层下方后，对布线尺寸就没有限制了。节 8.4.2 中遵循了所有这些建议。

8.4.1.2 信号接地连接

使用仅在一个位置连接的单独信号和电源接地来设计电源。将 LMG2652H AGND 引脚连接到信号接地。将 LMG2652H SL 引脚和低侧散热焊盘连接到电源接地端。LMG2652H 用作信号和电源接地端之间的单个连接点，因为 AGND 引脚、SL 引脚和低侧散热焊盘在内部连接。请勿将信号和电源接地端连接到电路板上的任何其他位置，下一句中建议的除外。

8.4.1.3 CS 引脚信号

如方程式 4 所示，电流检测信号阻抗比传统电流检测信号高三个数量级。这种较高的阻抗对电流检测信号噪声敏感性产生了影响。尽量减少将电流检测信号布设在任何有噪声的布线附近。将电流检测电阻和任何滤波电容器放置在布线的远端，靠近控制器电流检测输入引脚。

8.4.2 布局示例

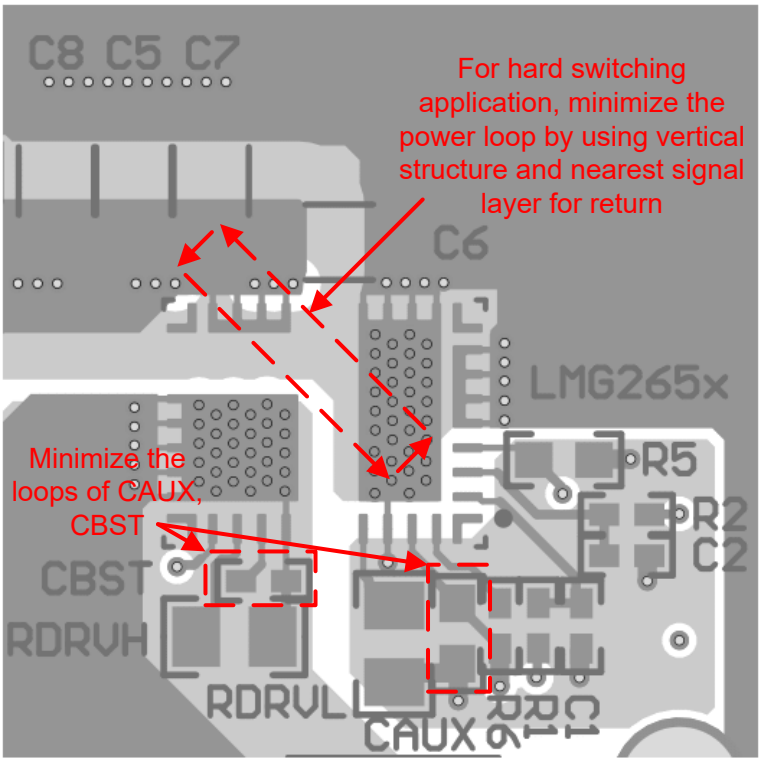


图 8-5. PCB 顶层（深灰色）和第二层（浅灰色）布局

Copyright © 2026 Texas Instruments Incorporated

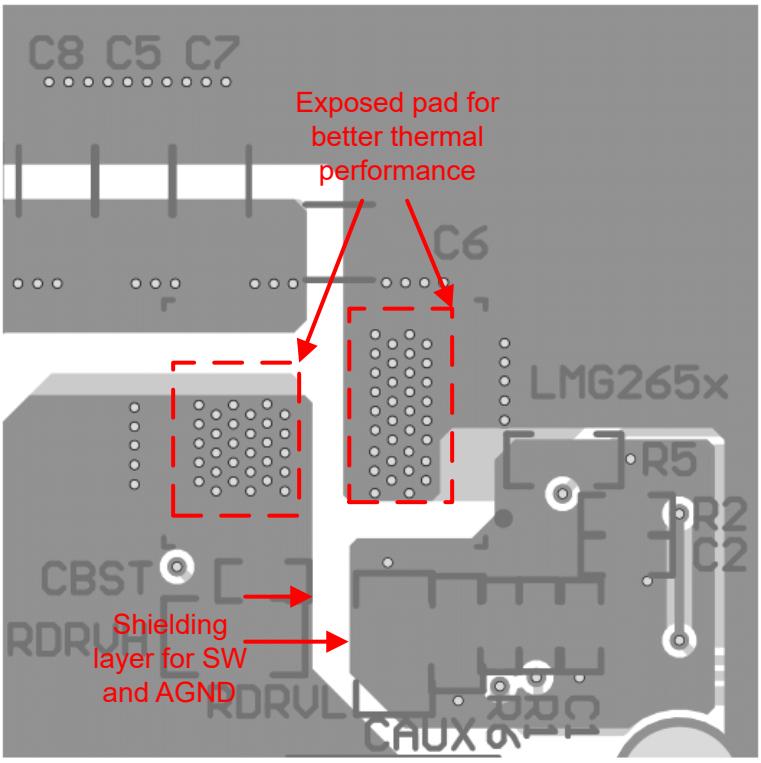


图 8-6. PCB 第三层（深灰色）和底层（浅灰色）布局

9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
February 2026	*	初始发行版

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LMG2652HRFBR	Active	Production	VQFN (RFB) | 19	2000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-	LMG2652

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

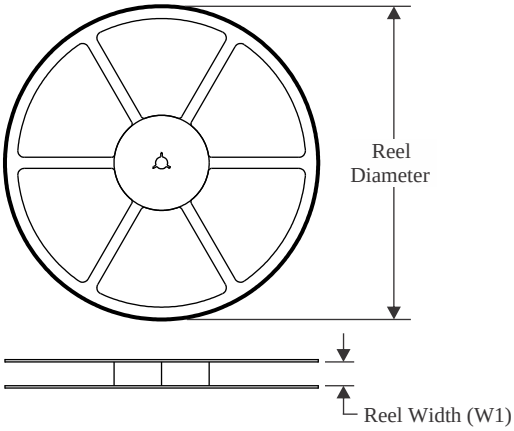
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

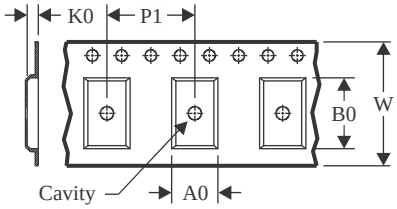
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

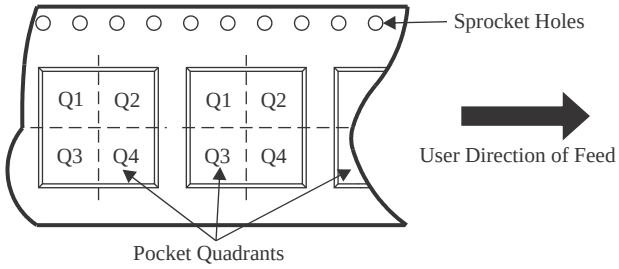


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

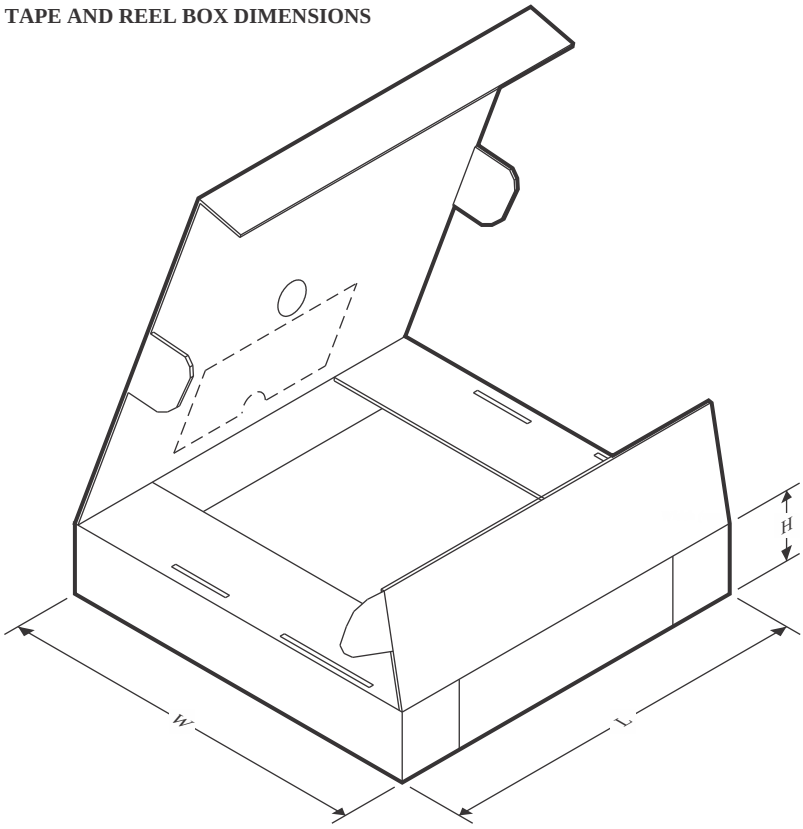
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LMG2652HRFBR	VQFN	RFB	19	2000	330.0	16.4	6.3	8.3	1.34	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

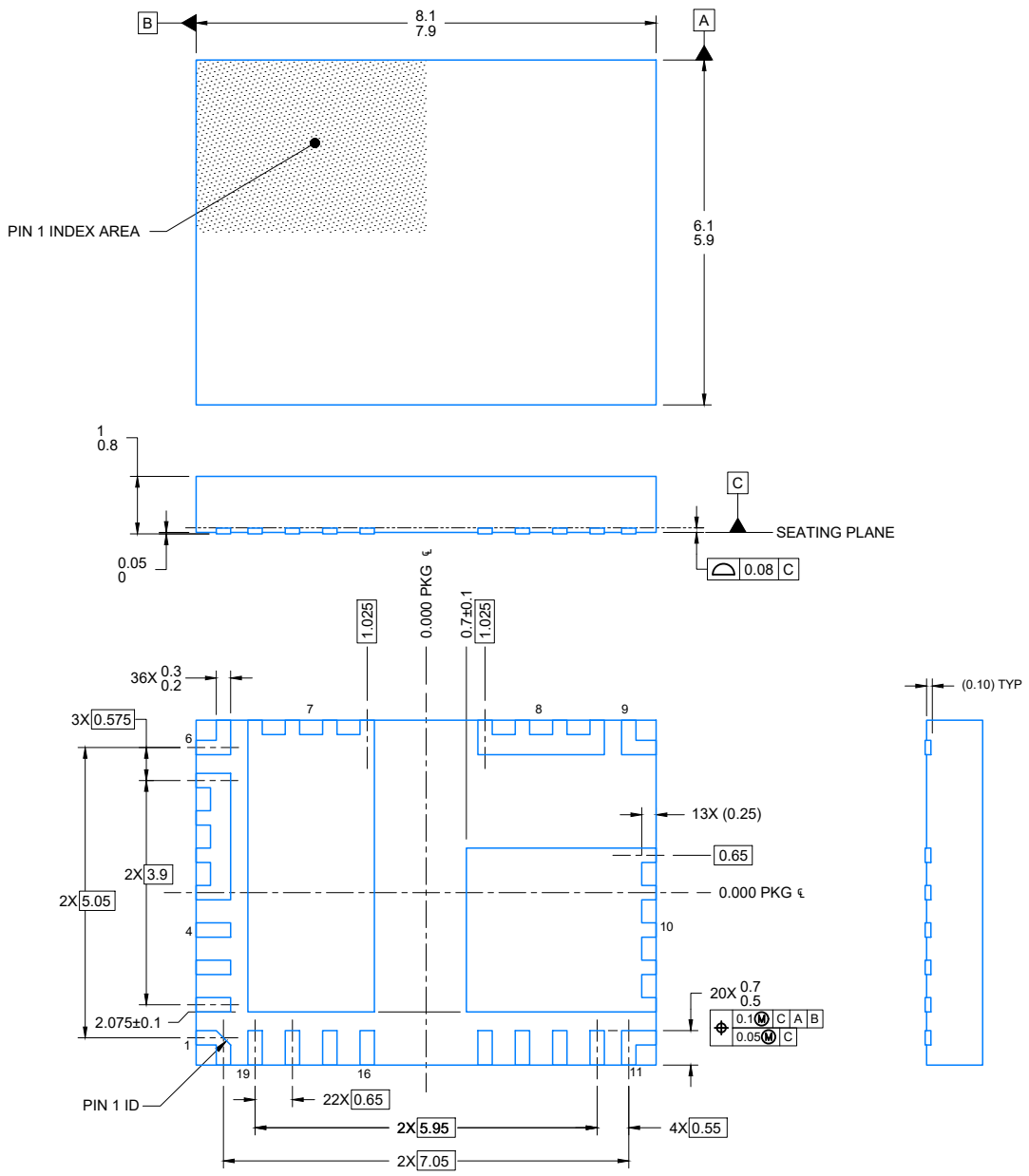
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LMG2652HRFBR	VQFN	RFB	19	2000	367.0	367.0	38.0

PACKAGE OUTLINE

RFB0019A

VQFN - 1 mm max height

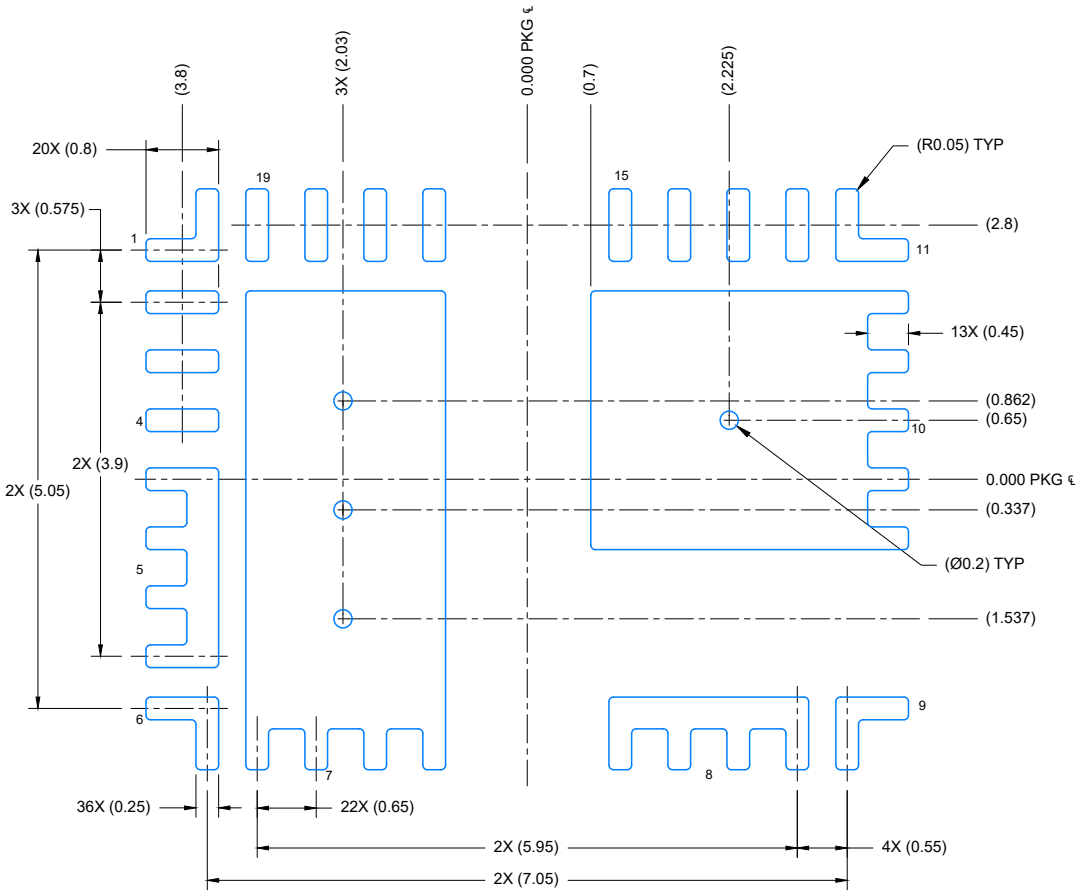
PLASTIC QUAD FLAT PACK- NO LEAD



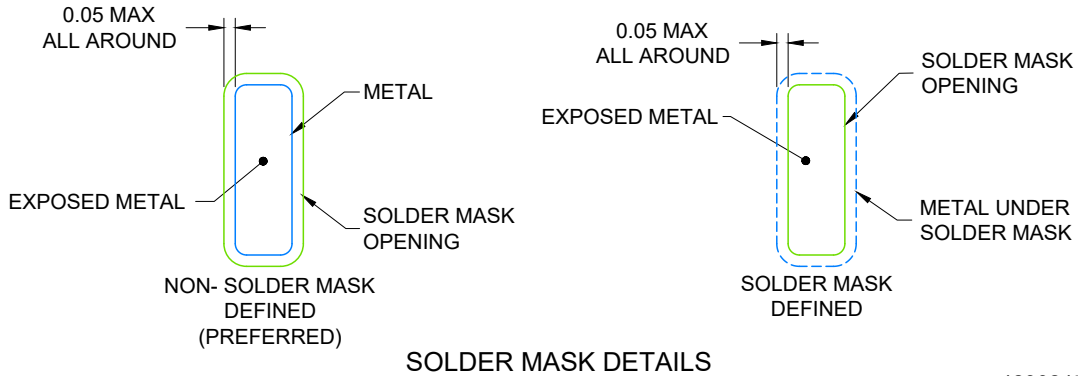
4230245/C 01/2025

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 12X

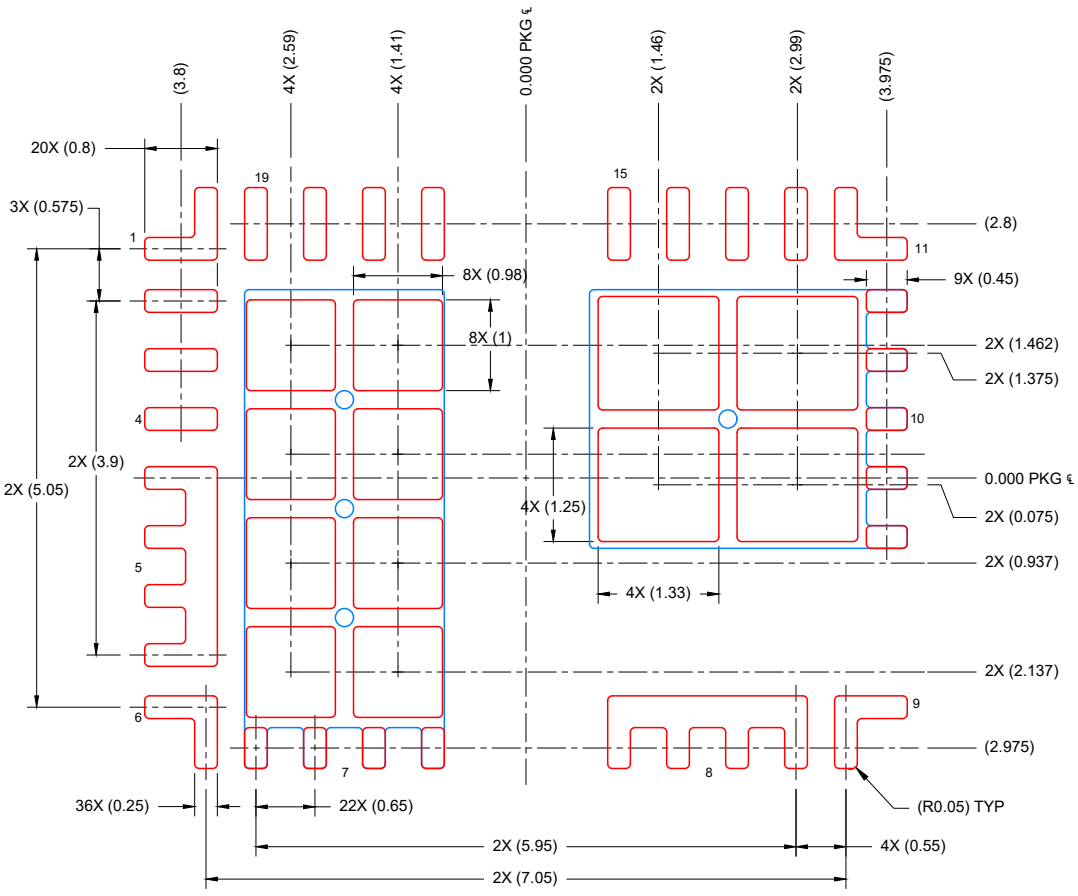


SOLDER MASK DETAILS

4230245/C 01/2025

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE: 12X

4230245/C 01/2025

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月