

LMG2100R044 100V、35A GaN 半桥功率级

1 特性

- 集成 $4.4\text{m}\Omega$ GaN FET 和驱动器
- 80V 连续 100V 脉冲式电压额定值
- 封装经过优化，便于 PCB 布局
- 5V 外部辅助电源
- 支持 3.3V、5V 和 12V 输入逻辑电平
- 高压摆率开关，低振铃
- 栅极驱动器支持高达 10MHz 的开关频率
- 内部自举电源电压钳位，可防止 GaN FET 过驱动
- 电源轨欠压锁定保护
- 出色的传播延迟（典型值 29.5ns）和匹配（典型值 2ns）
- 低功耗
- 外露式顶部 QFN 封装实现顶面散热
- 大型 GND 焊盘实现底面散热

2 应用

- 降压、升压、降压/升压转换器
- LLC 转换器
- 光伏逆变器
- 电信和服务器电源
- 电机驱动器
- 电动工具
- D 类音频放大器

3 说明

LMG2100R044 器件是一款 80V 连续 100V 脉冲式 35A 半桥功率级，具有集成栅极驱动器和增强模式氮化镓 (GaN) FET。该器件包含两个 100V GaN FET，这两者由采用半桥配置的同一高频 80V GaN FET 驱动器进行驱动。

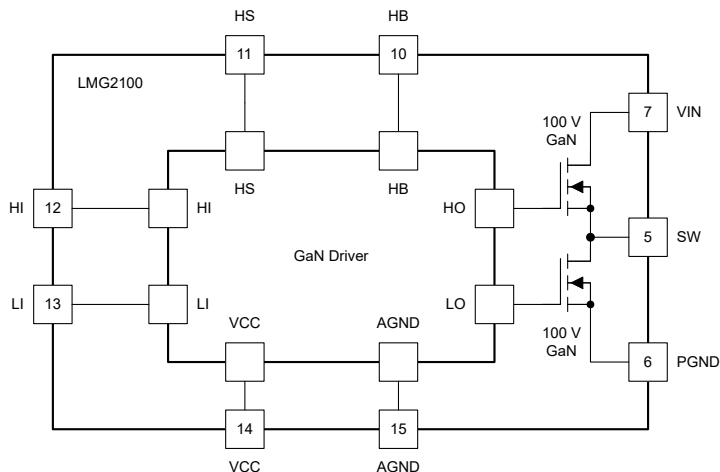
GaN FET 在功率转换方面优势极为显著，因为它们的反向恢复接近零，而且输入电容 C_{iss} 和输出电容 C_{oss} 都极小。所有器件均安装在一个完全无键合线的封装平台上，尽可能减少了封装寄生元件数。LMG2100R044 器件采用 $5.5\text{mm} \times 4.5\text{mm} \times 0.89\text{mm}$ 无铅封装，可轻松安装在 PCB 上。

该器件的输入与 TTL 逻辑兼容，无论 VCC 电压如何，都能够承受高达 12V 的输入电压。专有的自举电压钳位技术确保了增强模式 GaN FET 的栅极电压处于安全的工作范围内。

该器件配有用户友好型接口且更为出色，进一步提升了分立式 GaN FET 的优势。对于需要小尺寸、高频、高效运行的应用来说，该器件是理想的解决方案。

器件信息

器件型号	封装	封装尺寸 (标称值)
LMG2100R044	VQFN (16)	$5.50\text{mm} \times 4.50\text{mm}$



简化版方框图



内容

1 特性	1	9.1 概述	11
2 应用	1	9.2 功能方框图	11
3 说明	1	9.3 特性说明	12
4 修订历史记录	2	9.4 器件功能模式	14
5 引脚配置和功能	3	10 应用和实施	14
引脚功能.....	3	10.1 应用信息.....	14
6 规格	4	10.2 典型应用.....	14
6.1 绝对最大额定值.....	4	10.3 电源相关建议.....	16
6.2 建议运行条件.....	4	10.4 布局.....	17
6.3 ESD 等级.....	4	11 器件和文档支持	19
6.4 热性能信息.....	5	11.1 器件支持.....	19
6.5 电气特性.....	5	11.2 文档支持.....	19
7 典型特性	7	11.3 接收文档更新通知.....	19
8 参数测量信息	9	11.4 社区资源.....	19
8.1 传播延迟和失配测量.....	9	11.5 商标.....	19
9 详细说明	11		

4 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	说明
July 2023	*	预告信息发布

5 引脚配置和功能

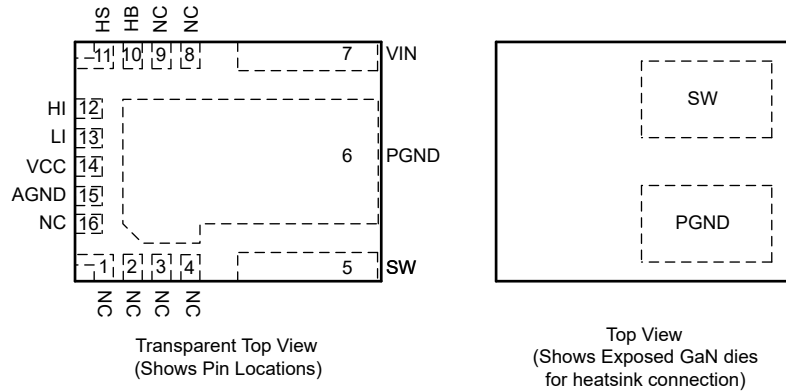


图 5-1. RAR 封装 16 引脚 VQFN 顶视图

引脚功能

引脚		I/O ⁽¹⁾	说明
名称	编号		
NC	1-4、8、9、16	-	内部未连接。保持悬空。
SW	5	P	开关节点。电气短接至 HS 引脚。确保 PCB 上该节点的电容较低。
PGND	6	G	电源接地。低侧 GaN FET 源极。电气短接至 AGND 引脚。
VIN	7	P	输入电压引脚。电气连接到高侧 GaN FET 漏极。
HB	10	P	高侧栅极驱动器自举电源轨。
HS	11	P	高侧 GaN FET 源极连接
HI	12	I	高侧栅极驱动器控制输入
LI	13	I	低侧驱动器控制输入
VCC	14	P	5V 正栅极驱动电源
AGND	15	G	模拟接地。驱动器器件的接地。

(1) I = 输入，O = 输出，G = 接地，P = 电源

6 规格

6.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

参数	最小值	最大值	单位
VIN 至 PGND	0	80	V
VIN 至 PGND (脉冲, 最大持续时间 100ms) ⁽²⁾		100	V
HB 至 AGND	-0.3	86	V
HS 至 AGND	-5	80	V
HI 至 AGND	-0.3	12	V
LI 至 AGND	-0.3	12	V
VCC 到 AGND	-0.3	6	V
HB 至 HS	-0.3	6	V
HB 至 VCC	0	80	V
SW 到 PGND	-5	80	V
来自 SW 引脚的 IOUT (连续), $T_J = 25^{\circ}\text{C}$		35	A
来自 SW 引脚的 IOUT (脉冲, 300 μs), $T_J = 25^{\circ}\text{C}$		125	A
结温 T_J	-40	150	$^{\circ}\text{C}$
贮存温度, T_{stg}	-40	150	$^{\circ}\text{C}$

- (1) 超出“绝对最大额定值”下列出的压力可能会对器件造成永久损坏。这些列出的值仅仅是应力额定值, 这并不表示器件在这些条件下以及在“建议运行条件”以外的任何其他条件下能够正常运行。长时间处于最大绝对额定情况下会影响设备的可靠性。
- (2) 器件在其使用寿命内可承受 1000 个高达 100V、持续时间为 100ms 且占空比小于 1% 的脉冲。

6.2 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

	最小值	标称值	最大值	单位
VCC	4.75	5	5.25	V
LI 或 HI 输入	0		12	V
VIN	0		80	V
HS、SW	-5		80	V
HB	$V_{\text{HS}} + 4$		$V_{\text{HS}} + 5.25$	V
t_{PW}	支持的最小输入脉冲宽度			ns
HS、SW 压摆率 ⁽¹⁾			50	V/ns
结温 T_J	-40		125	$^{\circ}\text{C}$

- (1) 该参数由设计保证。未经量产测试。

6.3 ESD 等级

		值	单位
$V_{\text{(ESD)}}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	± 1000
		充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	± 500

- (1) JEDEC 文档 JEP155 指出: 500V HBM 可实现在标准 ESD 控制流程下安全生产。
- (2) JEDEC 文件 JEP157 指出: 250V CDM 可实现在标准 ESD 控制流程下安全生产。

6.4 热性能信息

热指标 ⁽¹⁾		LMG2100R044	单位
		QFN	
		9 引脚	
$R_{\theta JA}$	结至环境热阻	36	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	1	
$R_{\theta JB}$	结至电路板热阻	2	°C/W
Ψ_{JT}	结至顶部特征参数	1.8	°C/W
Ψ_{JB}	结至电路板特征参数	6	°C/W

(1) 更多有关新旧热指标的信息, 请参阅 *IC 封装热指标* 应用报告 [SPRA953](#)。

6.5 电气特性

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

参数	测试条件	最小值	典型值	最大值	单位
电源电流					
I_{CC}	VCC 静态电流	LI = HI = 0V, VCC = 5V, HB-HS = 4.6V	0.09	0.125	mA
I_{CC}	VCC 静态电流	LI = VCC = 5V, HI = 0V, HB-HS = 4.6V	0.460	7	mA
I_{CCO}	总 VCC 工作电流	f = 500kHz, 50% 占空比, $V_{IN} = 48V$	7.0	10	mA
I_{HB}	HB 静态电流	LI = HI = 0V, VCC = 5V, HB-HS = 4.6V	0.1	0.150	mA
I_{HBO}	HB 工作电流	f = 500kHz, 50% 占空比, $V_{DD} = 5V$, $V_{IN} = 0V$	3.3	5	mA
输入引脚					
V_{IH}	高电平输入电压阈值	上升沿	1.87	2.06	2.22 V
V_{IL}	低电平输入电压阈值	下降沿	1.48	1.66	1.76 V
V_{HYS}	上升和下降阈值之间的迟滞		400		mV
R_I	输入下拉电阻		100	200	300 k Ω
欠压保护					
V_{CCR}	VCC 上升沿阈值	上升	3.2	3.8	4.5 V
V_{CCF}	VCC 下降沿阈值		3.0	3.6	4.3 V
$V_{CC(hyst)}$	VCC UVLO 阈值迟滞		200		mV
V_{HBR}	HB 上升沿阈值	上升	2.5	3.2	3.9 V
V_{HBF}	HB 下降沿阈值		2.3	3.0	3.7 V
$V_{HB(hyst)}$	HB UVLO 阈值迟滞		200		mV
自举二极管					
V_{DL}	低电流正向电压	$I_{VDD-HB} = 100\mu A$	0.45	0.65	V
V_{DH}	高电流正向电压	$I_{VDD-HB} = 100mA$	0.9	1.0	V
R_D	动态电阻	$I_{VDD-HB} = 100mA$	1.85	2.8	Ω
	HB-HS 钳位	稳压电压	4.65	5	5.2 V
t_{BS}	自举二极管反向恢复时间	$I_F = 100mA$, $I_R = 100mA$	40		ns
Q_{RR}	自举二极管反向恢复电荷	$V_{VIN} = 50V$	2		nC
功率级					
$R_{DS(ON)HS}$	高侧 GaN FET 导通电阻	LI = 0V, HI = VCC = 5V, HB-HS = 5V, $I(VIN-SW) = 16A$, $T_J = 25^\circ C$	4.4	5.7	m Ω
$R_{DS(ON)LS}$	低侧 GaN FET 导通电阻	LI = VCC = 5V, HI = 0V, HB-HS = 5V, $I(SW-PGND) = 16A$, $T_J = 25^\circ C$	4.4	5.4	m Ω
V_{SD}	GaN 第三象限导通压降	$I_{SD} = 500mA$, V_{IN} 悬空, VCC = 5V, HI = LI = 0V	1.6		V
$I_{L-VIN-SW}$	高侧 GaN FET 和低侧 GaN FET 关断时从 VIN 到 SW 的漏电流	VIN = 80V, SW = 0, HI = LI = 0V, VCC = 5V, $T_J = 25^\circ C$	40	200	μA
$I_{L-SW-GND}$	高侧 GaN FET 和低侧 GaN FET 关断时从 SW 到 GND 的漏电流	SW = 80V, HI = LI = 0V, VCC = 5V, $T_J = 25^\circ C$	40	200	μA

在自然通风条件下的工作温度范围内测得 (除非另有说明) (1)

参数	测试条件	最小值	典型值	最大值	单位
C_{OSS}	高侧 GaN FET 或低侧 GaN FET 的输出电容 $V_{DS} = 50V$, $V_{GS} = 0V$ ($HI = LI = 0V$)		304	456	pF
$C_{OSS(ER)}$	高侧 GaN FET 或低侧 GaN FET 的输出电容 - 能量相关 $V_{DS} = 0V$ 至 $50V$, $V_{GS} = 0V$ ($HI = LI = 0V$)		401		pF
$C_{OSS(TR)}$	高侧 GaN FET 或低侧 GaN FET 的输出电容 - 时间相关 $V_{DS} = 0V$ 至 $50V$, $V_{GS} = 0V$ ($HI = LI = 0V$)		501		pF
C_{WELL}	高压阱电容 (SW 至 PGND) $V_{IN} = V_{SW} = 50V$, $HI = LI = 0V$		30		pF
Q_G	高侧或低侧 HEMT 的总栅极电荷 $V_{DS} = 50V$, $I_D = 16A$, $V_{GS} = 5V$		7.2		nC
Q_{GD}	高侧或低侧 HEMT 的栅漏极电荷 $V_{DS} = 50V$, $I_D = 16A$		0.8		nC
Q_{GS}	高侧或低侧 HEMT 的栅源极电荷 $V_{DS} = 50V$, $I_D = 16A$		1.8		nC
Q_{OSS}	输出电荷 (高侧 HEMT、低侧 HEMT 和栅极驱动器高压阱电荷的总和) $V_{DS} = 50V$, $I_D = 16A$		55	84	nC
Q_{RR}	源极至漏极反向恢复电荷 不包括内部驱动器自举二极管		0		nC
t_{HIPLH}	传播延迟: HI 上升(2) $LI = 0V$, $V_{CC} = 5V$, $HB-HS = 5V$, $V_{IN} = 48V$		29.5	50	ns
t_{HIPLH}	传播延迟: HI 下降(2) $LI = 0V$, $V_{CC} = 5V$, $HB-HS = 5V$, $V_{IN} = 48V$		29.5	50	ns
t_{LPLH}	传播延迟: LI 上升(2) $HI = 0V$, $V_{CC} = 5V$, $HB-HS = 5V$, $V_{IN} = 48V$		29.5	50	ns
t_{LPHL}	传播延迟: LI 下降(2) $HI = 0V$, $V_{CC} = 5V$, $HB-HS = 5V$, $V_{IN} = 48V$		29.5	50	ns
t_{MON}	延迟匹配: LI 高和 HI 低(2)		2	8.0	ns
t_{MOFF}	延迟匹配: LI 低和 HI 高(2)		2	8.0	ns
t_{PW}	可改变输出的最小输入脉冲宽度		10		ns

- (1) 仅显示典型值的参数由设计保证, 可能未在生产中进行测试
(2) 请参阅 *传播延迟和失配测量* 部分

7 典型特性

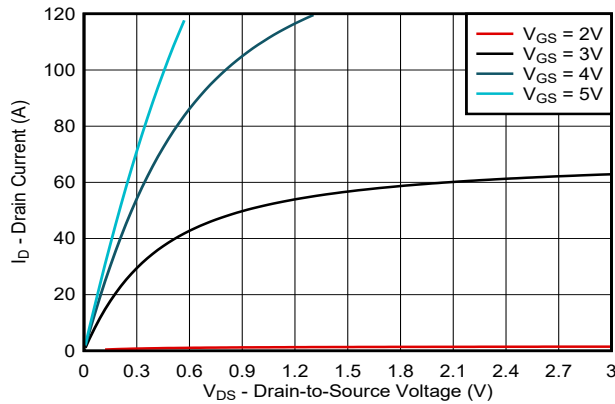


图 7-1. 25°C 时的典型输出特性

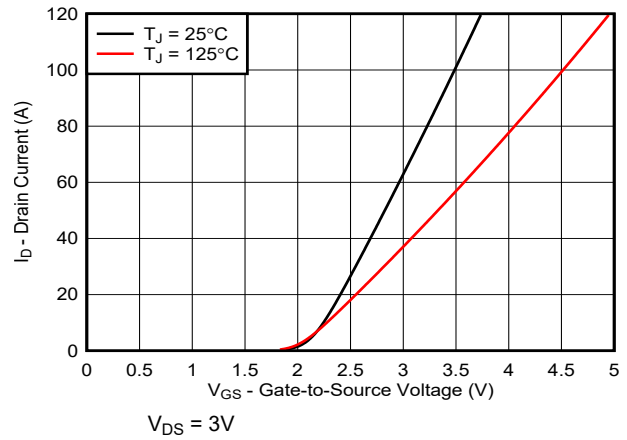


图 7-2. 典型传输特性

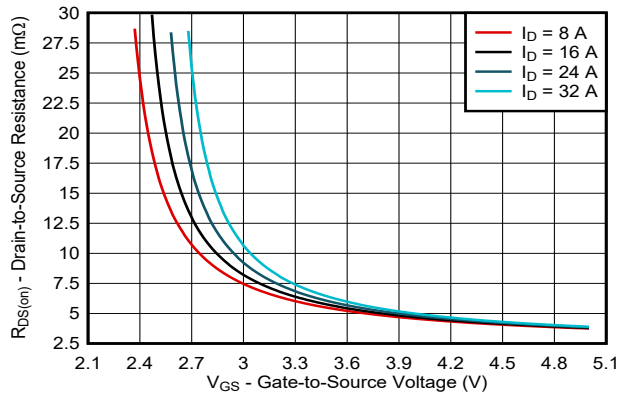


图 7-3. 不同漏极电流下 $R_{DS(on)}$ 与 V_{GS} 间的关系

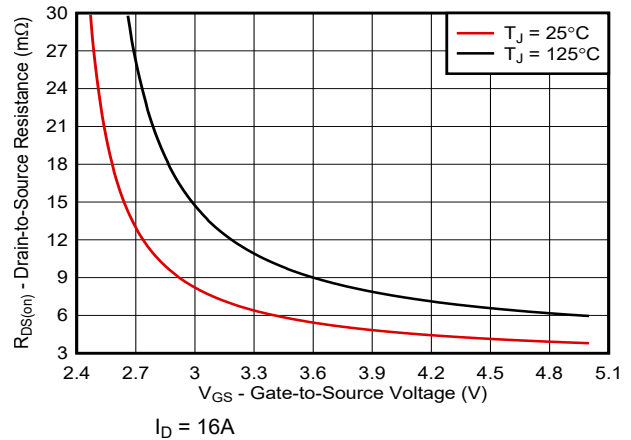


图 7-4. 不同温度下典型 $R_{DS(on)}$ 与 V_{GS} 间的关系

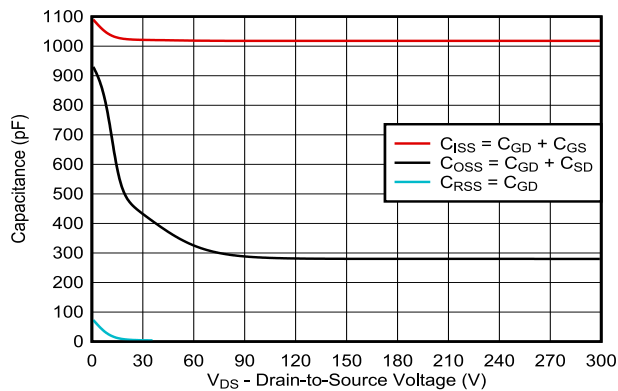


图 7-5. 典型电容 (线性标度)

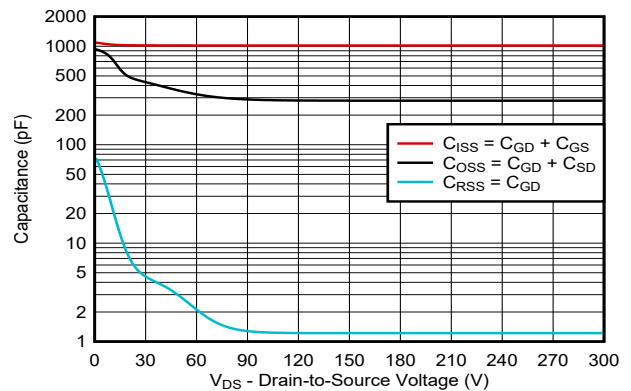


图 7-6. 典型电容 (对数标度)

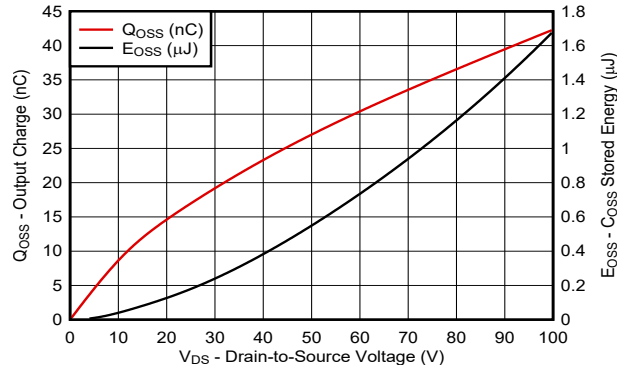


图 7-7. 典型输出电荷和 C_{oss} 存储能量

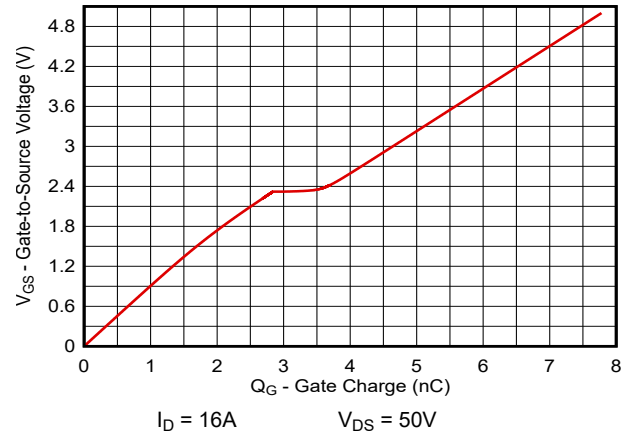


图 7-8. 典型栅极电荷

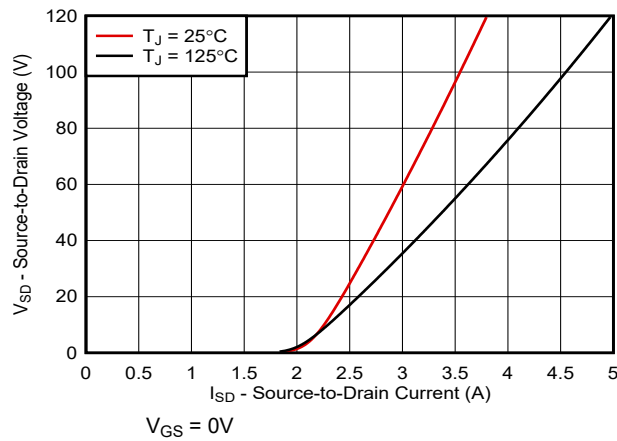


图 7-9. 反向漏源特性

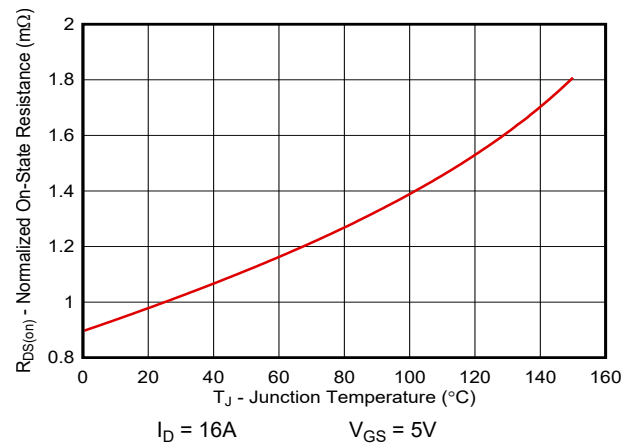


图 7-10. 标准化通态电阻与温度的关系

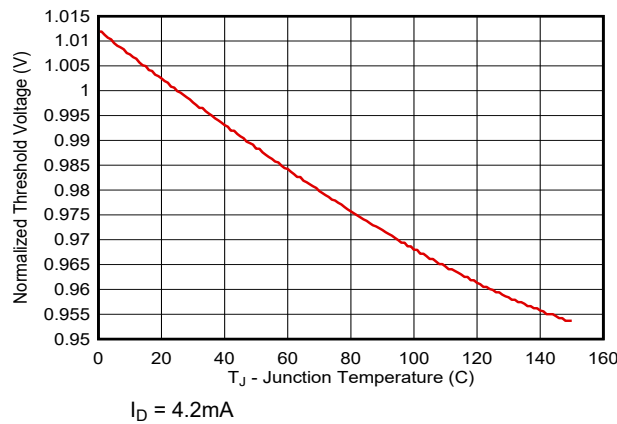


图 7-11. 标准化阈值电压与温度间的关系

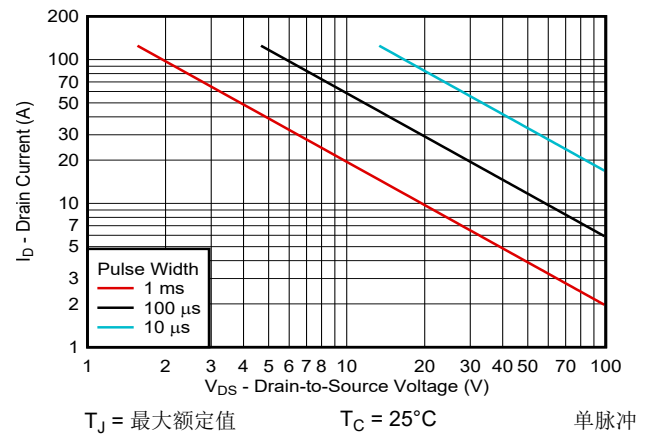


图 7-12. 安全操作区域

8 参数测量信息

8.1 传播延迟和失配测量

图 8-1 展示了用于测量传播失配的典型测试设置。由于无法访问栅极驱动器，因此该测试电路中的上拉和下拉电阻器用于指示低侧 GaN FET 何时导通以及高侧 GaN FET 何时关闭，反之用于测量 t_{MON} 和 t_{MOFF} 参数。此电路中用于上拉和下拉电阻器的电阻值约为 $1\text{k}\Omega$ ；使用的电流源为 2A 。

图 8-2 到图 8-5 展示了传播延迟测量波形。进行导通传播延迟测量时，不使用电流源。对于关断时间测量，电流源设置为 2A ，并且还会设置电压钳位限值，称为 $V_{\text{IN}(\text{CLAMP})}$ 。测量高侧元件关断延迟时，高侧 FET 上的电流源导通，低侧 FET 上的电流源关闭，HI 从高电平转换为低电平，输出电压从 V_{IN} 转换为 $V_{\text{IN}(\text{CLAMP})}$ 。同样，测量低侧元件关断传播延迟时，高侧元件电流源关闭，低侧元件电流源导通，LI 从高电平转换为低电平，输出从 GND 电位转换为 $V_{\text{IN}(\text{CLAMP})}$ 。LI 转换和输出变化之间的时间差就是传播延迟时间。

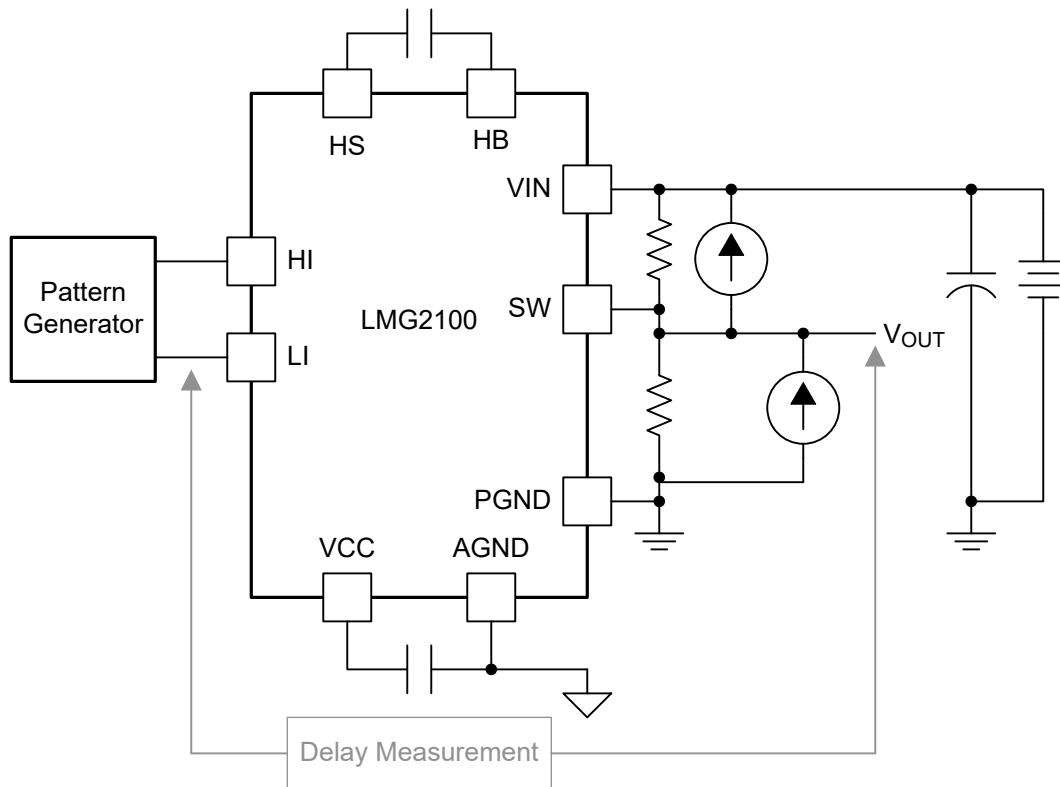


图 8-1. 传播延迟和传播失配测量

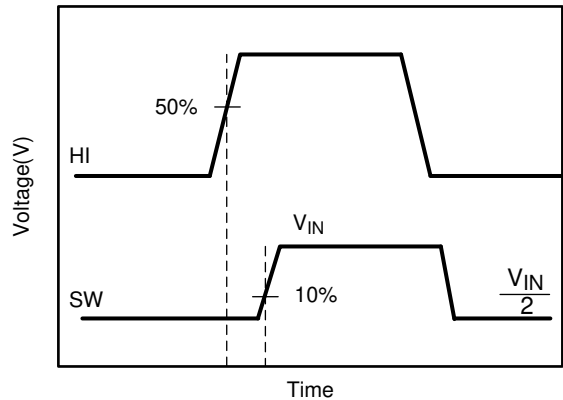


图 8-2. 高侧栅极驱动器导通

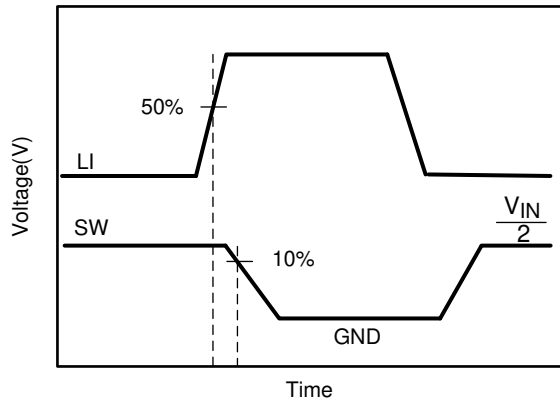


图 8-3. 低侧栅极驱动器导通

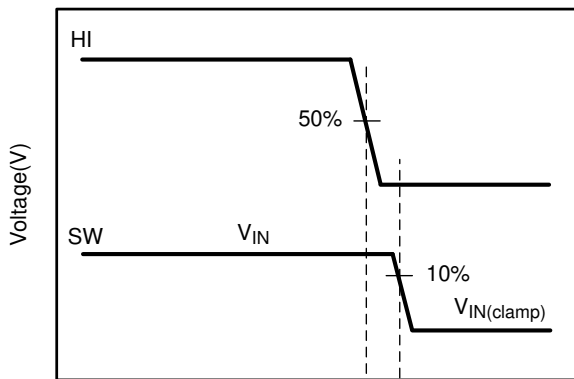


图 8-4. 高侧栅极驱动器关断

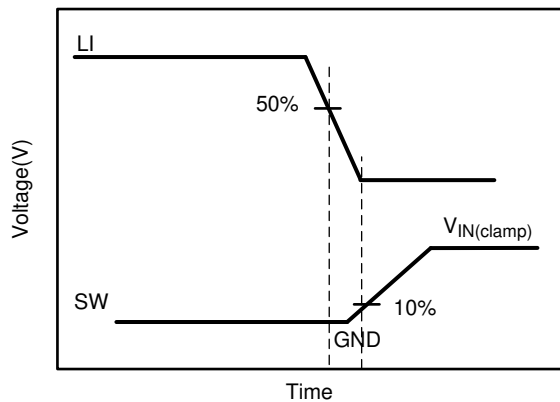


图 8-5. 低侧栅极驱动器关断

9 详细说明

9.1 概述

图 9-1 展示了 LMG2100R044，这是一款半桥 GaN 功率级，具有高度集成的高侧和低侧栅极驱动器，包括内置 UVLO 保护电路和过压钳位电路。钳位电路可限制自举刷新操作，以确保高侧栅极驱动器过驱动不超过 5.4V。该器件在半桥配置中集成了两个 4.4mΩ GaN FET。该器件可用于许多隔离和非隔离拓扑，从而实现非常简单的集成。采用的封装旨在最大限度减小环路电感，同时保持 PCB 设计简单。导通和关断的驱动强度经过了优化，可确保高电压压摆率，而不会在栅极或电源环路上造成任何过多的振铃。

9.2 功能方框图

图 9-1 展示了集成高侧和低侧 GaN FET 的 LMG2100R044 器件的功能方框图。

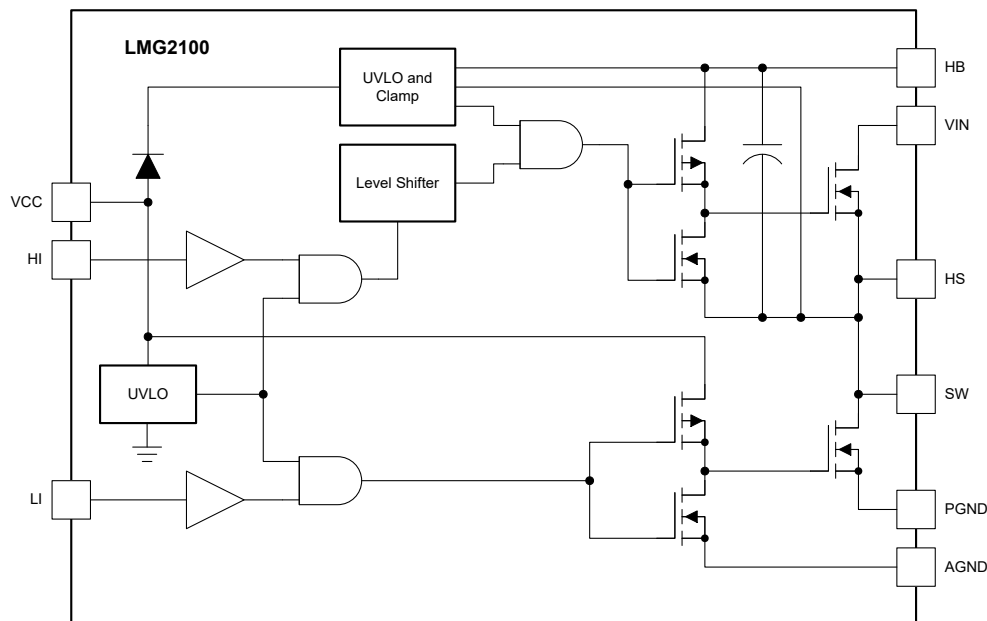


图 9-1. 功能方框图

ADVANCE INFORMATION

9.3 特性说明

通过 LMG2100R044 器件可以轻松设计高功率密度电路板，无需底层填料，同时仍能满足爬电距离和间隙要求。高侧栅极驱动器和低侧栅极驱动器之间的传播延迟相匹配，可实现对死区时间的严格控制。在基于 GaN 的应用中，控制死区时间对于保持高效率至关重要。为了最大限度地减少硬开关式降压转换器低侧 FET 的第三象限导通，可以独立控制 HI 和 LI。对于下降阈值和上升阈值，HI 和 LI 与驱动器之间的传播匹配度均极高，可确保死区时间小于 10ns。将 GaN FET 半桥与驱动器的共同封装可确保尽可能降低共源电感。尽可能降低此电感对硬开关式拓扑的性能有显著影响。

带钳位功能的内置自举电路可防止高侧栅极驱动器超过 GaN FET 的最大栅源电压 (V_{GS})，无需使用任何额外的外部电路。内置驱动器在 VDD 和自举 (HB-HS) 电源轨上具有欠压锁定 (UVLO) 功能。当电压低于 UVLO 阈值电压时，器件会忽略 HI 和 LI 信号，以防止 GaN FET 发生部分导通。在 UVLO 以下，如果电压足够 ($V_{VCC} > 2.5V$)，驱动器会主动将高侧和低侧栅极驱动器输出拉至低电平。200mV 的 UVLO 阈值迟滞可防止电压尖峰引起的抖动和意外导通。应使用容值为 0.1 μ F 或更高的外部 VCC 旁路电容器。为最大限度缩短与引脚之间的布线长度，TI 建议使用 0402 尺寸。为最大限度减少寄生电感，应将旁路电容器和自举电容器尽可能靠近器件放置。

9.3.1 控制输入

LMG2100R044 的输入引脚由 TTL 输入阈值独立控制，无论 VDD 电压如何，这些引脚都能承受高达 12V 的电压。因此，可以将输入直接连接到电源电压高达 12V 的模拟 PWM 控制器的输出，因而无需缓冲级。

为了能够根据设计需求灵活地优化死区时间，LMG2100R044 未实施重叠保护功能。如果 HI 和 LI 均生效，则高侧和低侧 GaN FET 都会导通。必须仔细考虑控制输入以避免击穿情况。

9.3.2 启动和 UVLO

LMG2100R044 在 V_{CC} 和 HB (自举) 电源上均具有 UVLO。当 V_{CC} 电压低于 3.8V 阈值电压时，HI 和 LI 输入均被忽略，以防止 GaN FET 发生部分导通。此外，如果 V_{CC} 电压不足，则 UVLO 会主动将高侧和低侧 GaN FET 栅极拉低。当 HB 至 HS 自举电压低于 3.2V UVLO 阈值时，仅高侧 GaN FET 栅极被拉低。两个 UVLO 阈值电压均具有 200mV 迟滞以避免抖动。

表 9-1. V_{CC} UVLO 功能逻辑运算

条件 (对于以下所有情况, $V_{HB-HS} > V_{HBR}$)	HI	LI	SW
在器件启动期间, $V_{CC} - V_{SS} < V_{CCR}$	H	L	高阻态
在器件启动期间, $V_{CC} - V_{SS} < V_{CCR}$	L	H	高阻态
在器件启动期间, $V_{CC} - V_{SS} < V_{CCR}$	H	H	高阻态
在器件启动期间, $V_{CC} - V_{SS} < V_{CCR}$	L	L	高阻态
在器件启动后, $V_{CC} - V_{SS} < V_{CCR} - V_{CC(hyst)}$	H	L	高阻态
在器件启动后, $V_{CC} - V_{SS} < V_{CCR} - V_{CC(hyst)}$	L	H	高阻态
在器件启动后, $V_{CC} - V_{SS} < V_{CCR} - V_{CC(hyst)}$	H	H	高阻态
在器件启动后, $V_{CC} - V_{SS} < V_{CCR} - V_{CC(hyst)}$	L	L	高阻态

表 9-2. V_{HB-HS} UVLO 功能逻辑运算

条件 (对于以下所有情况, $V_{CC} > V_{CCR}$)	HI	LI	SW
器件启动期间, $V_{HB-HS} < V_{HBR}$	H	L	高阻态
器件启动期间, $V_{HB-HS} < V_{HBR}$	L	H	PGND
器件启动期间, $V_{HB-HS} < V_{HBR}$	H	H	PGND
器件启动期间, $V_{HB-HS} < V_{HBR}$	L	L	高阻态
在器件启动后, $V_{HB-HS} < V_{HBR} - V_{HB(hyst)}$	H	L	高阻态
在器件启动后, $V_{HB-HS} < V_{HBR} - V_{HB(hyst)}$	L	H	PGND
在器件启动后, $V_{HB-HS} < V_{HBR} - V_{HB(hyst)}$	H	H	PGND
在器件启动后, $V_{HB-HS} < V_{HBR} - V_{HB(hyst)}$	L	L	高阻态

9.3.3 自举电源电压钳位

高侧偏置电压是使用自举技术生成的，并在内部钳位为 5V (典型值)。该钳位可防止栅极电压超过增强模式 GaN FET 的最大栅源电压额定值。

9.3.4 电平转换

电平转换电路是从高侧输入 HI 到高侧驱动器级的接口，以开关节点 (HS) 为基准。电平转换允许控制高侧 GaN FET 栅极驱动器输出，以 HS 引脚为基准，并提供与低侧驱动器的出色延迟匹配。

9.4 器件功能模式

LMG2100R044 可在正常模式和 UVLO 模式下运行。有关 UVLO 工作模式的信息，请参阅 [节 9.3.2](#)。在正常模式下，输出状态取决于 HI 和 LI 引脚的状态。[表 9-3](#) 列出了不同输入引脚组合的输出状态。请注意，当 HI 和 LI 均生效时，功率级中的两个 GaN FET 都会导通。必须仔细考虑控制输入以避免这种状态，因为这种状态会导致击穿情况，从而可能导致器件永久损坏。

表 9-3. 真值表

HI	LI	高侧 GaN FET	低侧 GaN FET	SW
L	L	关闭	关闭	高阻态
L	H	关闭	打开	PGND
H	L	打开	关闭	VIN
H	H	打开	打开	---

10 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规范，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计实现，以确认系统功能。

10.1 应用信息

LMG2100R044 GaN 功率级是一款多功能构建模块，适用于各种类型的高频开关模式电源应用。封装中集成的高性能栅极驱动器 IC 有助于最大限度地减少寄生效应，并让 GaN FET 实现极快的开关速度。该器件设计针对同步降压转换器和其他半桥配置进行了高度优化。

10.2 典型应用

[图 10-1](#) 展示了 V_{CC} 连接到 5V 电源的同步降压转换器应用。优化电源环路（从 VIN 电容器到 PGND 的环路阻抗）至关重要。具有高功率环路电感会在 SW 节点中引起显著振铃，并且还会引起相关的功率损耗。LMG2100R044 的 VIN 和 PGND 引脚彼此相邻。因此，VIN 电容器能够非常靠近 PCB 顶层的 LMG2100R044，从而最大限度减少电源环路电感。

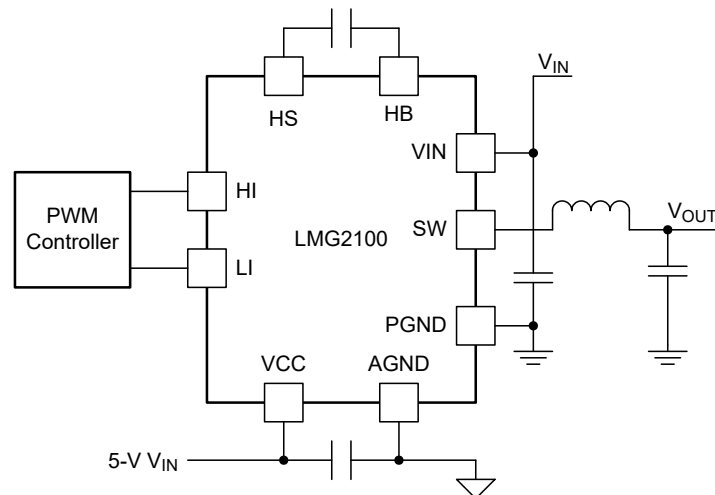


图 10-1. 同步降压转换器的典型连接图

10.2.1 设计要求

在设计包含 LMG2100R044 功率级的同步降压转换器应用时，为了做出最合适的选择，必须先评估一些设计注意事项。这些注意事项包括输入电压、无源器件、工作频率和控制器选择。表 10-1 展示了典型应用的一些示例值。如需了解 LMG2100R044 的其他重要设计注意事项，请参阅节 10.3、节 10.4 和节 10.2.2.3。

表 10-1. 设计参数

参数	示例值
半桥输入电源电压 V_{IN}	48V
输出电压, V_{OUT}	12V
输出电流	8A
V_{HB-HS} 自举电容器	0.1 μ F, X5R
开关频率	1MHz
死区时间	8ns
电感器	4.7 μ H
控制器	LM5148

10.2.2 详细设计过程

此过程概述了同步降压转换器中 LMG2100R044 的设计注意事项。要获得更多设计帮助，请参阅节 11.2.1。

10.2.2.1 V_{CC} 旁路电容器

V_{CC} 旁路电容器为低侧和高侧晶体管提供栅极电荷，并吸收自举二极管的反向恢复电荷。可通过方程式 1 计算所需的旁路电容。

$$C_{VCC} = (Q_{gH} + Q_{gL} + Q_{rr}) / \Delta V \quad (1)$$

Q_{gH} 和 Q_{gL} 分别是高侧和低侧晶体管的栅极电荷。 Q_{rr} 是自举二极管的反向恢复电荷。 ΔV 是旁路电容器上的最大允许压降。建议使用 0.1 μ F 或更大值的优质陶瓷电容器。为最大限度减少寄生电感，应将旁路电容器尽可能靠近器件的 V_{CC} 和 AGND 引脚放置。

10.2.2.2 自举电容器

自举电容器为高侧栅极驱动器提供栅极电荷，为 HB UVLO 电路提供直流偏置电源，并为自举二极管提供反向恢复电荷。可使用方程式 2 计算所需的旁路电容。

$$C_{BST} = (Q_{gH} + Q_{rr} + I_{HB} * t_{ON(max)}) / \Delta V \quad (2)$$

其中

- I_{HB} 是高侧栅极驱动器的静态电流 (150 μ A, 最大值)
- $t_{ON(max)}$ 是高侧栅极驱动器的最大导通时间
- Q_{rr} 是自举二极管的反向恢复电荷
- Q_{gH} 是高侧 GaN FET 的栅极电荷
- ΔV 是自举电容器中允许的纹波 (< 100mV, 典型值)

0.1 μ F、16V、0402 陶瓷电容器适用于大多数应用。请将自举电容器尽可能靠近 HB 和 HS 引脚放置。

10.2.2.3 功率损耗

确保驱动器和 GaN FET 中的功率损耗保持低于封装在工作温度下的最大功率耗散限值。驱动器和 GaN FET 中的功率损耗越小，应用中可实现的最大工作频率就越高。LMG2100R044 器件的总功率耗散是栅极驱动器损耗、自举二极管功率损耗以及 FET 中的开关和导通损耗的总和。

栅极驱动器损耗是由容性负载的充电和放电引起的。可以使用 [方程式 3](#) 来计算其近似值。

$$P = (2 \times Q_g) \times V_{DD} \times f_{SW} \quad (3)$$

其中

- Q_g 为栅极电荷
- V_{DD} 为辅助电源
- f_{SW} 为开关频率

由于内部 CMOS 级用于缓冲输出，因此栅极驱动器中存在一些额外损耗。

自举二极管功率损耗是自举电容器充电时产生的正向偏置功率损耗与反向恢复时产生的反向偏置功率损耗之和。由于这些事件每个周期发生一次，因此二极管功率损耗与工作频率成正比。半桥的输入电压 (V_{IN}) 越高，反向恢复损耗也越高。

GaN FET 引起的功率损耗可分为导通损耗和开关损耗。导通损耗是阻性损耗，可以使用 [方程式 4](#) 计算得出。

$$P_{COND} = \left[(I_{RMS(HS)})^2 \times R_{DS(on)HS} \right] + \left[(I_{RMS(LS)})^2 \times R_{DS(on)LS} \right] \quad (4)$$

其中

- $R_{DS(on)HS}$ 是高侧 GaN FET 导通电阻
- $R_{DS(on)LS}$ 是低侧 GaN FET 导通电阻
- $I_{RMS(HS)}$ 是高侧 GaN FET RMS 电流
- $I_{RMS(LS)}$ 是低侧 GaN FET RMS 电流

使用以下公式可以计算一阶的开关损耗；可将 V_{IN} 除以 25V/ns 来计算 t_{TR} 的近似值，这是开关节点压摆率的保守估计值。 [方程式 5](#)。

$$P_{SW} = V_{IN} \times I_{OUT} \times f_{SW} \times t_{TR} \quad (5)$$

其中

- t_{TR} 是指从开到关以及从关到开的开关切换时间

请注意，低侧 FET 不会出现此损耗。在一阶损耗计算中，将忽略低侧器件中的第三象限损耗。

如前所述，开关频率对器件功率耗散有直接影响。尽管 LMG2100R044 器件的栅极驱动器能够以高达 10MHz 的频率驱动 GaN FET，但必须仔细考虑，以确保器件的运行条件符合建议的工作温度规格。具体而言，硬开关拓扑往往比软开关应用产生更多损耗和自发热量。

驱动器损耗、自举二极管损耗以及 GaN FET 中的开关和导通损耗之和就是器件的总功率损耗。精心设计电路板布局布线，在电源焊盘 (V_{IN} 和 $PGND$) 附近设置足够数量的散热过孔，可实现封装的最佳功率耗散。带气流的顶面安装散热器也可以改善封装的功率耗散。

10.3 电源相关建议

LMG2100R044 的建议辅助电源电压范围为 4.75V 至 5.25V。该范围的下限取决于 V_{CC} 电源电路的内部欠压锁定 (UVLO) 保护功能。该范围的上限取决于 V_{CC} 的 6V 绝对最大电压额定值。请注意，低侧 GaN FET 的栅极电压未在内部钳制。因此，务必要将 V_{CC} 辅助电源保持在建议的工作范围内，以防超过低侧 GaN 晶体管栅极击穿电压。

UVLO 保护功能还涉及迟滞功能。这意味着，如果器件在正常模式下运行，即使 V_{CC} 电压下降，只要压降不超过迟滞规格 $V_{CC(hyst)}$ ，器件就会继续在正常模式下运行。如果压降超过迟滞规格，器件将关断。因此，在 4.5V 或接近 4.5V 范围内运行时，辅助电源输出端的电压纹波必须小于 LMG2100R044 的迟滞规格，以免触发器件关断。

在 VDD 和 VSS 引脚之间放置本地旁路电容器。该电容器必须尽可能靠近器件。建议使用低 ESR 的陶瓷表面贴装电容器。TI 建议在 VDD 和 GND 之间使用 2 个电容器：一个是用于高频滤波的 100nF 陶瓷表面贴装电容器，放置在非常靠近 VDD 和 GND 引脚的位置，另一个是用于满足 IC 偏置要求的 220nF 至 10 μ F 表面贴装电容器。

10.4 布局

10.4.1 布局指南

为了最大限度地提高快速开关的效率优势，极为重要的一点是优化电路板布局布线以使电源环路阻抗最小化。如果使用多层电路板（2 层以上），可通过减小到达输入电容器的返回路径（VIN 与 PGND 之间）并使其位于第一层正下方来最大限度降低电源环路寄生阻抗，如图 10-2 和图 10-3 所示。由于返回电流直接位于下方并沿相反方向流动，因此降低了环路电感（磁通抵消的原因）。同样重要的是，VCC 电容器和自举电容器应尽可能靠近器件并位于第一层。应仔细考虑 LMG2100R044 器件的 AGND 连接。该连接不能直接连接到 PGND，否则 PGND 噪声会直接使 AGND 移位，进而导致杂散开关事件（由于 HI 和 LI 信号中注入了噪声）。

10.4.2 布局示例

图 10-2 和图 10-3 的横截面中所示的布局显示了器件相对于敏感无源器件（如 VIN、自举电容器（HS 和 HB）以及 VSS 电容器）的建议布局。在布局中应留出适当的间距，以减小爬电距离，并根据应用污染级别满足间隙要求。由于污染可忽略，内层（如果存在）的间隔可以更紧密。

布局的设计必须最大限度减小 SW 节点的电容。使用尽可能小的覆铜面积将器件 SW 引脚连接到电感器、变压器或其他输出负载。此外，还要确保接地平面或任何其他铜平面具有切口，以免与 SW 节点重叠，因为这将有效地在印刷电路板上形成电容器。该节点上的额外电容会降低 LMG2100R044 先进封装技术的优势，并可能导致性能下降。

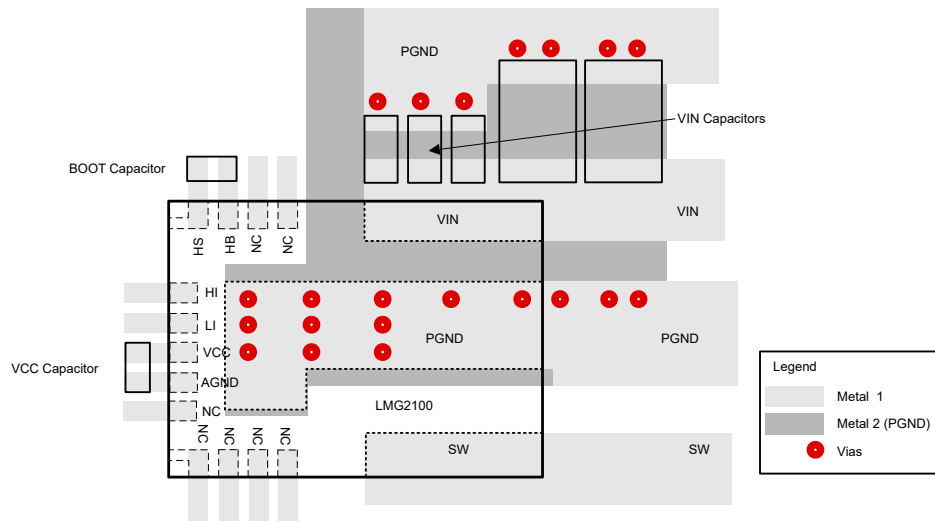


图 10-2. 外部元件放置方式（多层 PCB）

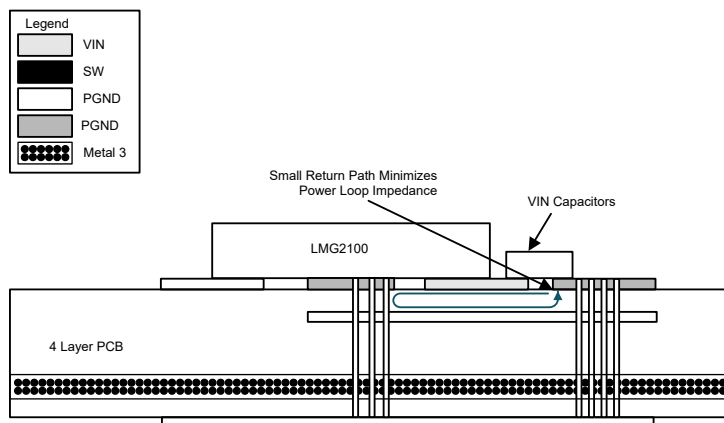


图 10-3. 四层电路板横截面，返回路径位于电源环路正下方

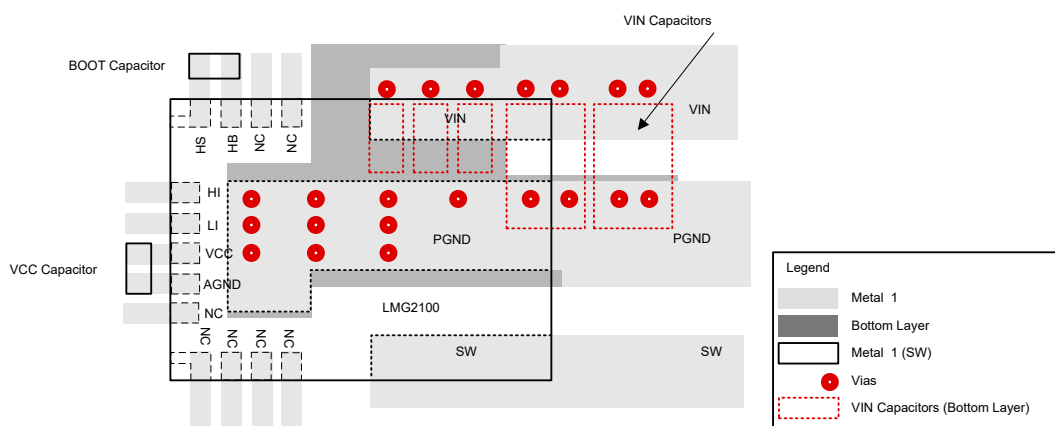


图 10-4. 外部元件放置方式 (双层 PCB)

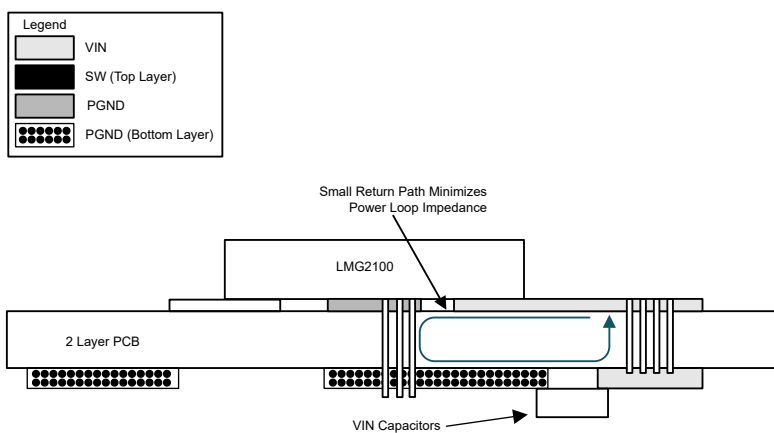


图 10-5. 具有返回路径的双层电路板横截面

由于电源环路电感较大，建议不要将双层电路板与 LMG2100R044 器件一起使用。但是，如果设计注意事项中只允许两个电路板层，请将输入去耦电容器直接放置在电路板背面的器件后方，以最大限度降低环路电感。图 10-4 和图 10-5 展示了双层电路板的布局示例。

11 器件和文档支持

11.1 器件支持

11.1.1 开发支持

11.2 文档支持

11.2.1 相关文档

[LMG2100R044 GaN 功率级模块布局指南](#)

[使用 LMG2100R044 : GaN 半桥功率模块评估模块](#)

11.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com.cn 上的器件产品文件夹。点击右上角的 *提醒我* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

11.4 社区资源

11.5 商标

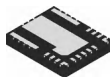
所有商标均为其各自所有者的财产。

机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

12.1 封装信息

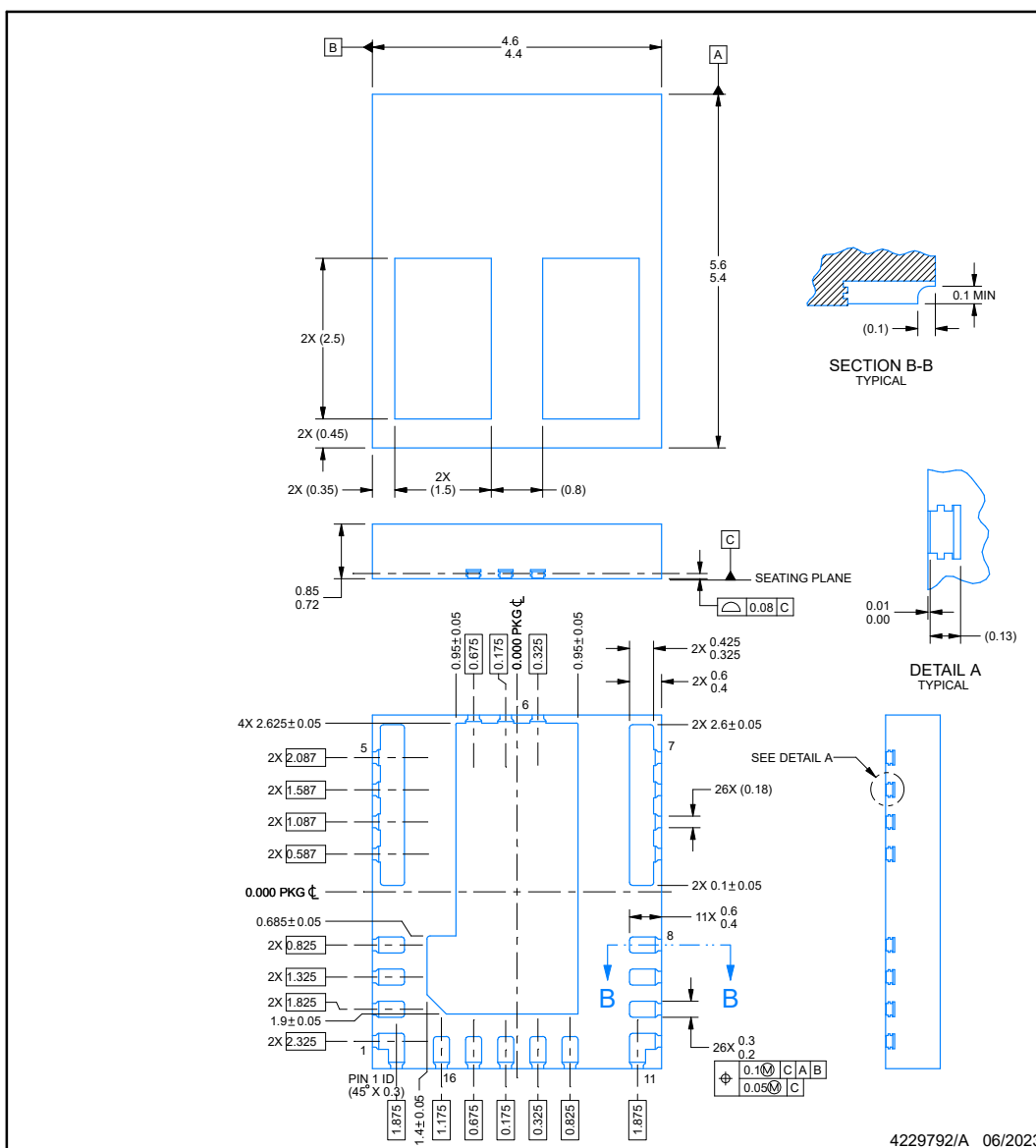
LMG2100R044 器件封装被评级为 MSL3 封装 (湿敏等级 3)。有关 MSL3 封装的具体操作和处理建议，请参阅应用报告 [AN-2029 操作和处理建议](#)。



RAR0016A-C01

PACKAGE OUTLINE
VQFN-FCRLF - 0.85 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

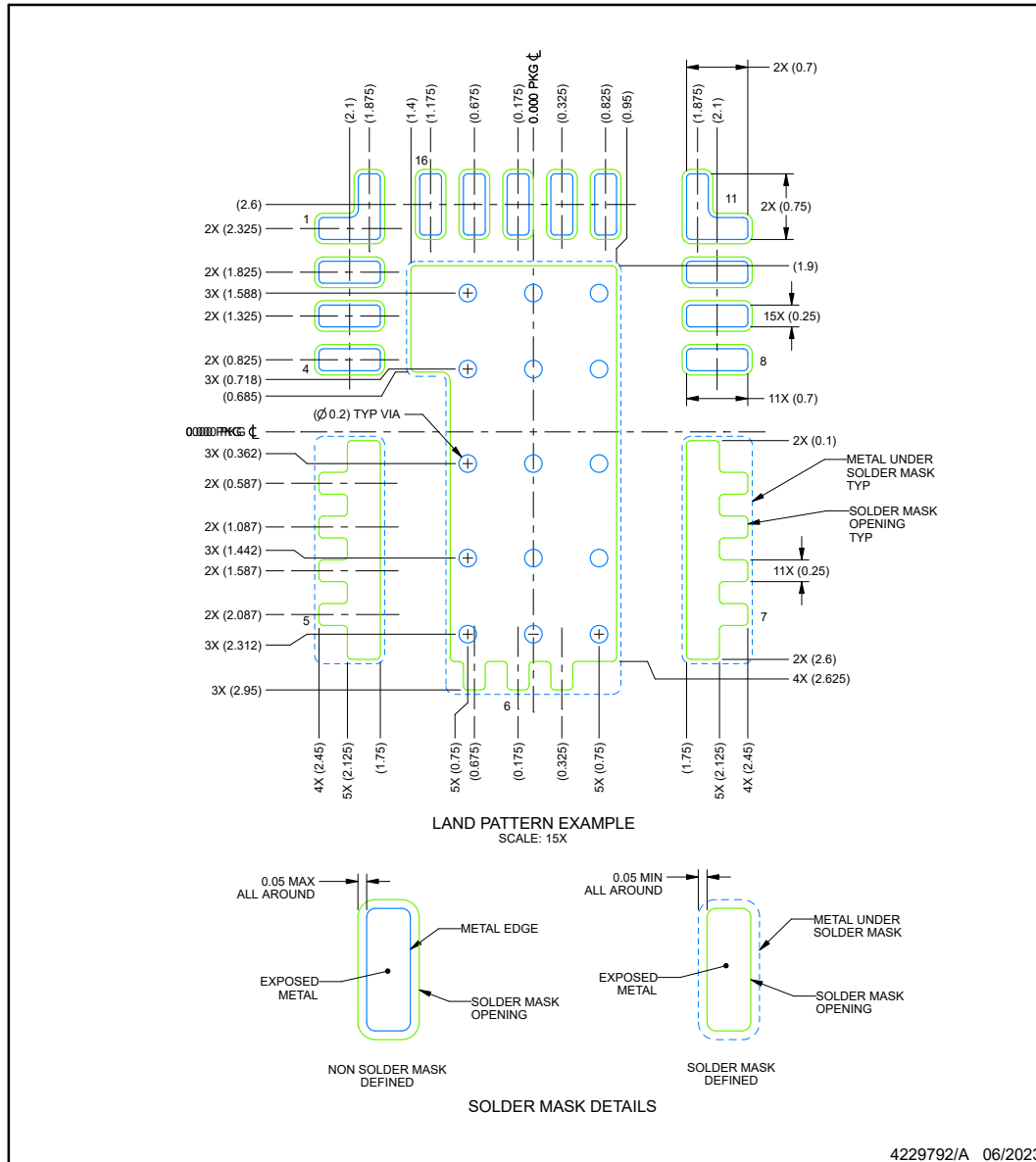
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RAR0016A-C01

VQFN-FCRLF - 0.85 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

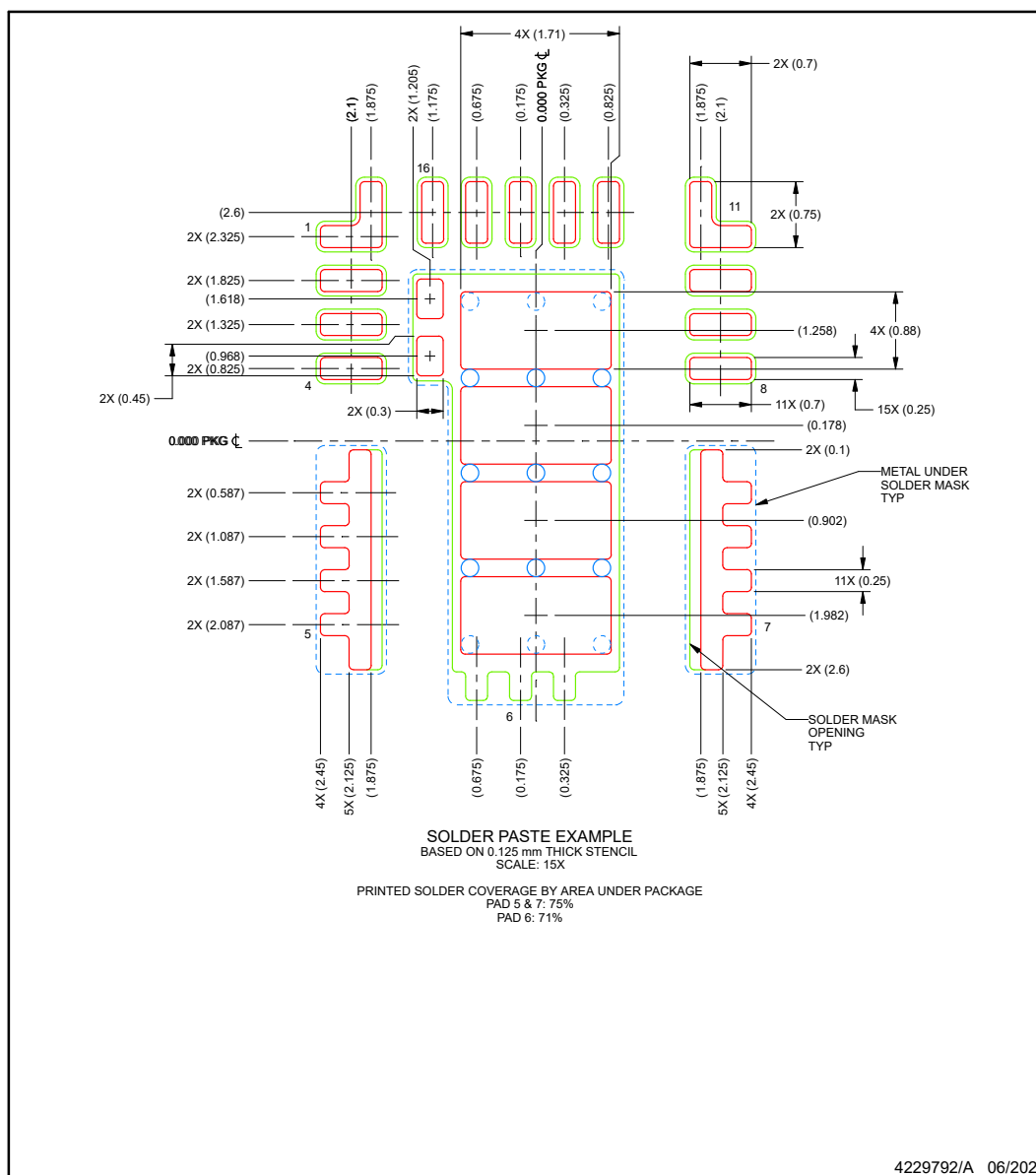
- This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
- Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RAR0016A-C01

VQFN-FCRLF - 0.85 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
LMG2100R044RARR	ACTIVE	VQFN-FCRLF	RAR	16	2500	RoHS & Green	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	G2100	Samples

⁽¹⁾ The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBsolete: TI has discontinued the production of the device.

⁽²⁾ **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

⁽³⁾ MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

⁽⁴⁾ There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

⁽⁵⁾ Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "-" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

⁽⁶⁾ Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司