

采用 VSSOP 封装的 LM8262 双路 RRIO、高输出电流和无限容性负载运算放大器

1 特性

- GBWP : 24MHz
- 宽电源电压范围 : 2.7V 至 32V
- 压摆率 : 35V/ μ s
- 电源电流 : 1.35mA
- 无限电容负载驱动
- 输出短路电流 : ± 125 mA
- 轨到轨输入和输出 : 3V
- 输入电压噪声 : $12\text{nV}/\sqrt{\text{Hz}}$
- 输入电流噪声 : $1\text{pA}/\sqrt{\text{Hz}}$
- THD+N < 0.00022%

2 应用

- TFT-LCD 平板 V_{COM} 驱动器
- 模数转换器缓冲器
- 高侧/低侧检测
- 耳机放大器

3 说明

LM8262 是一款轨到轨输入和输出运算放大器，可在宽电源电压范围内工作。该器件具有高输出电流驱动能力、超越轨到轨的输入共模电压范围、无限电容负载驱动能力，并提供经过验证的高速性能和高转换率。它旨在满足平板 TFT 面板 V_{COM} 驱动器应用的要求，同时也适用于其他需要易于使用且性能优于现有器件的低功耗和中速应用。

超越轨到轨的输入共模电压范围，结合 90dB 的共模抑制比，使得在许多应用的高侧和低侧检测中无需担心超出范围，且不影响精度。此外，大多数器件参数对电源变化不敏感。该设计增强功能是朝着简化使用迈出的又一步。输出级具有低失真 (0.00022% THD + N)，并且具有每通道 125mA 的高短路输出电流。

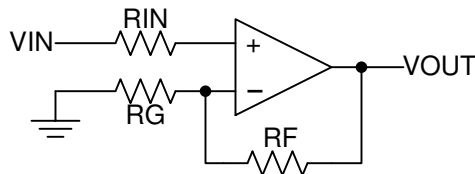
LM8262 采用节省空间的 VSSOP 封装。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾
LM8262	DGK (VSSOP , 8)	3.00mm × 4.90mm

(1) 有关更多信息，请参阅 [机械、封装和可订购信息](#)。

(2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



简化版原理图



内容

1 特性	1	6.2 输出短路电流与消耗问题.....	11
2 应用	1	6.3 其他应用提示.....	12
3 说明	1	6.4 电源相关建议.....	12
4 引脚配置和功能	3	6.5 布局.....	12
5 规格	4	7 器件和文档支持	13
5.1 绝对最大额定值.....	4	7.1 器件支持.....	13
5.2 ESD 等级.....	4	7.2 接收文档更新通知.....	13
5.3 建议运行条件.....	4	7.3 支持资源.....	13
5.4 热性能信息.....	4	7.4 商标.....	13
5.5 电气特性.....	5	7.5 静电放电警告.....	13
5.6 典型特性.....	6	7.6 术语表.....	13
5.7 新旧芯片比较.....	10	8 修订历史记录	13
6 应用和实施	11	9 机械、封装和可订购信息	14
6.1 驱动容性负载.....	11		

4 引脚配置和功能

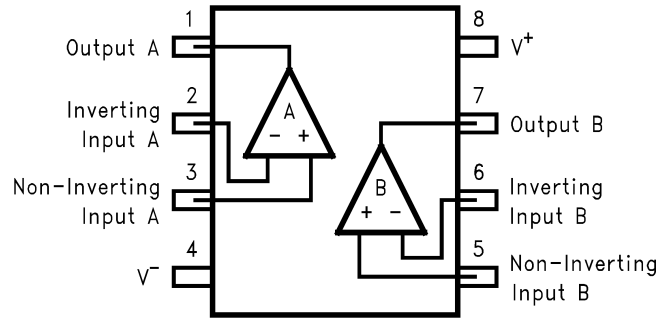


图 4-1. 8 引脚 VSSOP 顶视图

表 4-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
编号	名称		
1	OUT A	O	输出 A
2	-IN A	I	反相输入 A
3	+IN A	I	非反相输入 A
4	V-	I	负电源
5	+IN B	I	非反相输入 B
6	-IN B	I	反相输入 B
7	OUT B	O	输出 B
8	V+	I	正电源

(1) I = 输入, O = 输出

5 规格

5.1 绝对最大额定值

在工作环境温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
电源电压, $V_S = (V+) - (V-)$		0	33	V
信号输入引脚	共模电压 ⁽³⁾	$(V-) - 0.5$	$(V+) + 0.5$	V
	差分电压 ⁽⁴⁾		±10	V
	电流 ⁽³⁾		±10	mA
输出短路 ⁽²⁾		持续		
结温, T_J			150	°C
贮存温度, T_{stg}		-65	150	°C
焊接信息:	红外或对流 (20 秒)		235	°C
	波动焊接 (10 秒)		260	°C

- 如果在超出绝对最大额定值下列出的额定值的情况下运行器件, 则会对器件造成永久性损坏。这些只是基于工艺和设计限制条件的应力等级, 该器件并未设计为在建议运行条件中指定的条件之外运行。如果长时间暴露于建议运行条件之外的任何条件 (包括绝对最大额定条件下), 则可能影响器件的可靠性和性能。
- 接地短路, 每个封装对应一个放大器。延长的短路电流, 特别是在较高的电源电压下, 会导致过热并最终导致毁坏。
- 输入引脚被二极管钳制至电源轨。对于摆幅超过电源轨 0.5V 以上的输入信号, 其电流必须限制在 10mA 或者更低。
- 输入引脚通过背对背二极管进行连接, 以实现输入保护。如果差分输入电压可能超过 0.5V, 则将输入电流限制在 10mA 或更低。

5.2 ESD 等级

		值	单位
$V_{(ESD)}$	静电放电 ⁽¹⁾	人体放电模式 (HBM), 符合 ANSI/ESDA/JEDEC JS-001, 所有引脚 ⁽²⁾	±2000
		充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准 ⁽³⁾	±1500
		机器放电模型 (MM) ⁽²⁾	±200

- 人体放电模型, 1.5k Ω 与 100pF 串联。机器放电模型, 0 Ω 与 200pF 串联。
- JEDEC 文档 JEP155 指出: 2000V HBM 时能够在标准 ESD 控制流程下安全生产。
- JEDEC 文档 JEP157 指出: 250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

	最小值	最大值	单位
电源电压 ($V^+ - V^-$)	2.7	32	V
工作温度范围 ⁽²⁾	-40	+85	°C

5.4 热性能信息

热指标 ⁽¹⁾		DGK	单位
		8 引脚	
$R_{\theta JA}$	结至环境热阻 ⁽²⁾	169.6	°C/W

- 有关新旧热指标的更多信息, 请参阅 [IC 封装热指标](#) 应用手册。
- 最大功率耗散取决于 $T_J(\max)$ 、 $R_{\theta JA}$ 和 T_A 。任何环境温度下允许的最大功率耗散为 $P_D = (T_J(\max) - T_A) / R_{\theta JA}$ 。所有数字均适用于直接焊接到 PC 板的封装。

5.5 电气特性

除非另有说明，否则在 $T_A = 25^\circ\text{C}$ 、 $R_L = 10\text{k}\Omega$ 连接至 $V_S / 2$ 、 $V_{CM} = V_S / 2$ 且 $V_{OUT} = V_S / 2$ 条件下，适用于 $V_S = (V+) - (V-) = 2.7\text{V}$ 至 32V ($\pm 1.35\text{V}$ 至 $\pm 16\text{V}$)。(1)

参数		测试条件		最小值	典型值 ⁽²⁾	最大值 ⁽³⁾	单位
V_{OS}	输入失调电压	$V_{CM} = V^-$			± 0.7	± 7	mV
			$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			± 9	
$TC V_{OS}$	输入失调电压平均漂移	$V_{CM} = V^-$	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		± 2		$\mu\text{V}/^\circ\text{C}$
I_B	输入偏置电流				± 0.4	± 2	μA
			$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$			± 2.8	
I_{OS}	输入失调电流				30	275	nA
V_{CM}	输入共模电压范围			V^-		V^+	V
CMRR	共模抑制比	$V^- < V_{CM} < (V+) - 2\text{V}$	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$	80	100		dB
PSRR	电源抑制比	$V_{CM} = V^-$ ， $V_S = 5\text{V}$ 至 32V	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		± 3.5	± 22	$\mu\text{V}/\text{V}$
A_{OL}	开环电压增益	$V_S = 32\text{V}$ ， $V_{CM} = V_S / 2$ ， $(V^-) + 1\text{V} < V_O < (V+) - 1\text{V}$	$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$		85		dB
	相对于电源轨的电压输出摆幅	正负电源轨余量	$V_S = 32\text{V}$ ， $R_L = 10\text{k}\Omega$		15.94		V
			$V_S = 32\text{V}$ ， $R_L = 2\text{k}\Omega$		15.8		
			$V_S = 32\text{V}$ ， $R_L = 10\text{k}\Omega$		-15.94		V
			$V_S = 32\text{V}$ ， $R_L = 2\text{k}\Omega$		-15.8		
I_{SC}	输出短路电流	$V_S = 32\text{V}$		± 62	± 125		mA
		$V_S = 5\text{V}^{(4)}$		± 50	± 85		
		$V_S = 2.7\text{V}^{(4)}$		± 30	± 60		
I_S	电源电流	$V_{CM} = V^-$ ， $I_O = 0\text{A}$			1.30	1.93	mA
			$-40^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$				
SR	压摆率	$V_S = 32\text{V}$ ， $V_{STEP} = 10\text{V}$ ， $G = +1$ ， $C_L = 20\text{pF}$			35		$\text{V}/\mu\text{s}$
GBW	增益带宽积				24		MHz
Φ_{im}	相位裕度	$G = +1$ ， $R_L = 10\text{k}\Omega$ ， $C_L = 20\text{pF}$			50		$^\circ$
e_n	输入电压噪声密度	$f = 1\text{kHz}$			12		$\text{nV}/\sqrt{\text{Hz}}$
i_n	输入电流噪声密度	$f = 1\text{kHz}$			1		$\text{pA}/\sqrt{\text{Hz}}$
t_s	趋稳时间	$T_O 0.1\%$ ， $V_S = 32\text{V}$ ， $V_{STEP} = 10\text{V}$ ， $G = +1$ ， $C_L = 50\text{pF}$			430		ns
THD+N	总谐波失真 + 噪声	$V_S = 32\text{V}$ ， $V_O = 3V_{RMS}$ ， $G = 1$ ， $f = 1\text{kHz}$ ， $R_L = 10\text{k}\Omega$			113		dB

(1) 电气表值仅适用于所示温度下的工厂测试条件。

(2) 典型值表示最可能的参数标准。

(3) 所有限值均根据测试或统计分析确定。

(4) 仅由特性确定。

5.6 典型特性

在 $T_A = 25^\circ\text{C}$ 时, $V_S = \pm 16\text{V}$, $V_{CM} = V_S/2$ (除非另有说明)

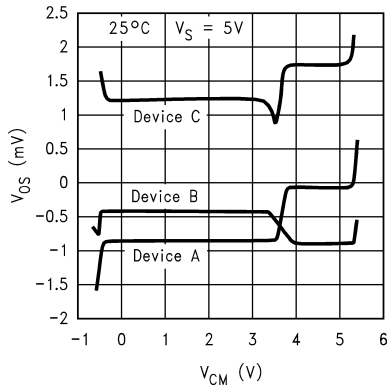


图 5-1. 3 个代表性旧裸片单元的 V_{OS} 与 V_{CM} 间关系

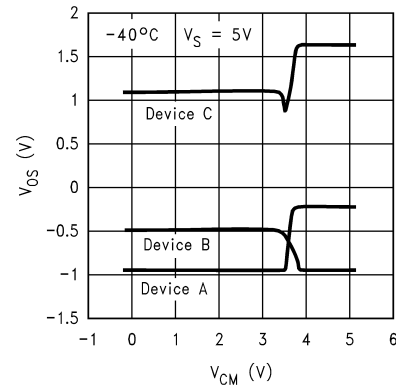


图 5-2. 3 个代表性旧裸片单元的 V_{OS} 与 V_{CM} 间关系

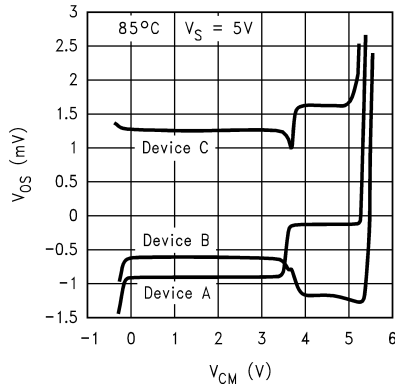


图 5-3. 3 个代表性旧裸片单元的 V_{OS} 与 V_{CM} 间关系

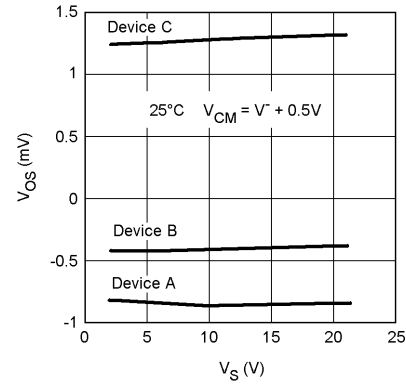


图 5-4. 3 个代表性旧裸片单元的 V_{OS} 与 V_S 间关系

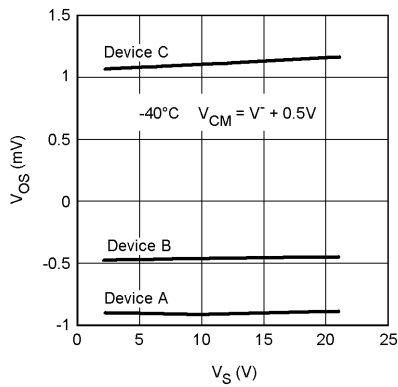


图 5-5. 3 个代表性旧裸片单元的 V_{OS} 与 V_S 间关系

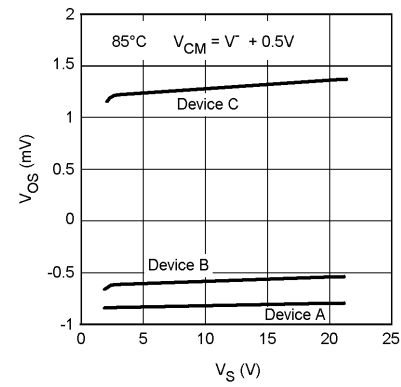


图 5-6. 3 个代表性旧裸片单元的 V_{OS} 与 V_S 间关系

5.6 典型特性 (续)

在 $T_A = 25^\circ\text{C}$ 时, $V_S = \pm 16\text{V}$, $V_{CM} = V_S/2$ (除非另有说明)

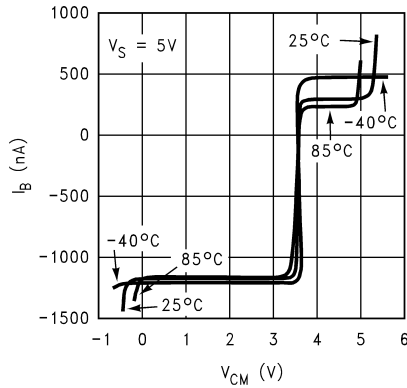


图 5-7. 旧裸片的 I_B 与 V_{CM} 间关系

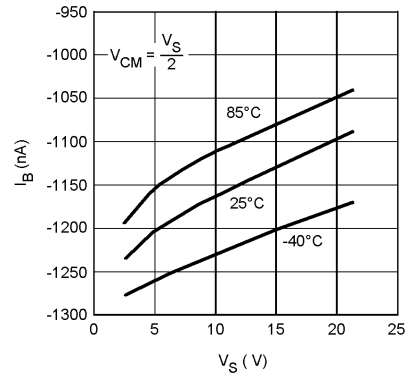


图 5-8. 旧裸片的 I_B 与 V_S 间关系

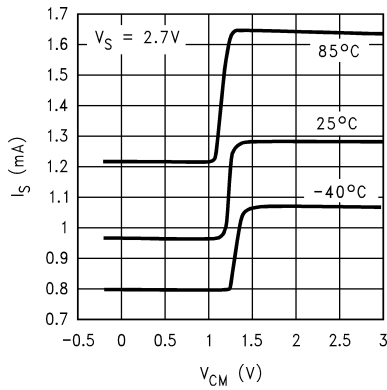


图 5-9. 旧裸片的 I_S 与 V_{CM} 间关系

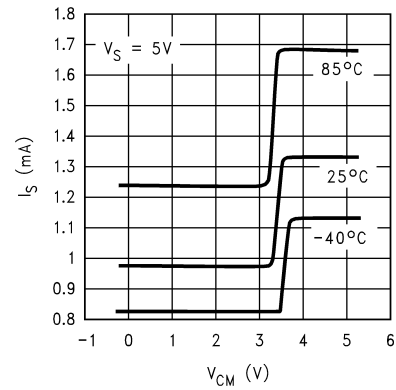


图 5-10. 旧裸片的 I_S 与 V_{CM} 间关系

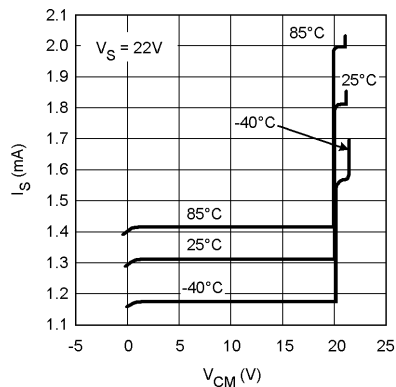


图 5-11. 旧裸片的 I_S 与 V_{CM} 间关系

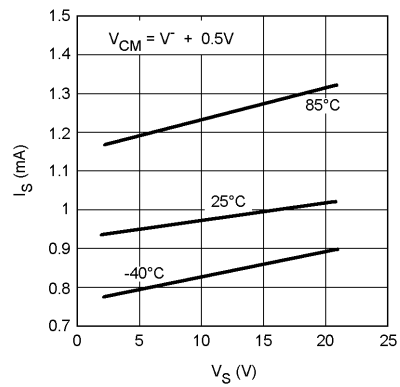


图 5-12. 旧裸片的 I_S 与 V_S (PNP 侧) 间关系

5.6 典型特性 (续)

在 $T_A = 25^\circ\text{C}$ 时, $V_S = \pm 16\text{V}$, $V_{CM} = V_S/2$ (除非另有说明)

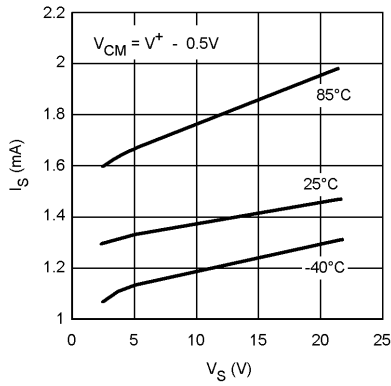


图 5-13. 旧裸片的 I_S 与 V_S (NPN 侧) 间关系

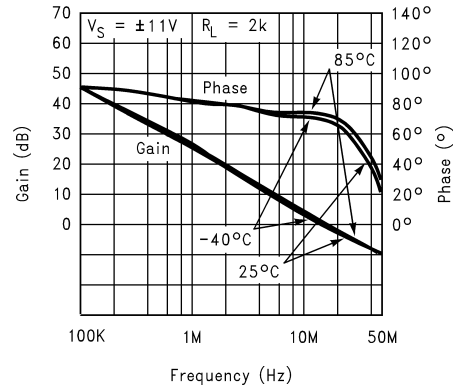


图 5-14. 旧裸片的增益/相位与频率间关系

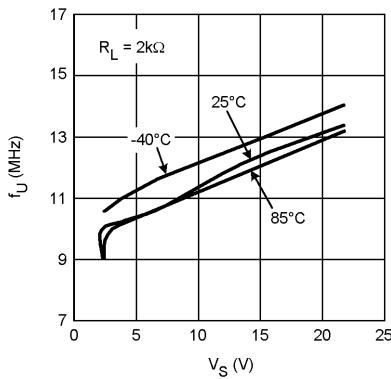


图 5-15. 旧裸片的单位增益频率与 V_S 间关系

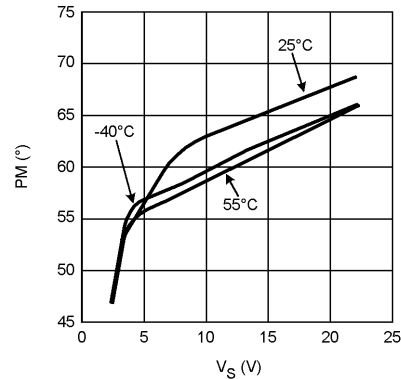


图 5-16. 旧裸片的相位裕度与 V_S 间关系

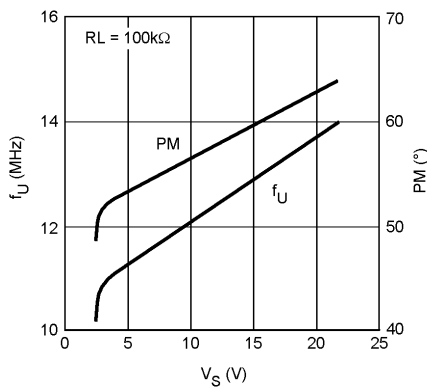


图 5-17. 旧裸片的单位增益频率和相位裕度与 V_S 间关系

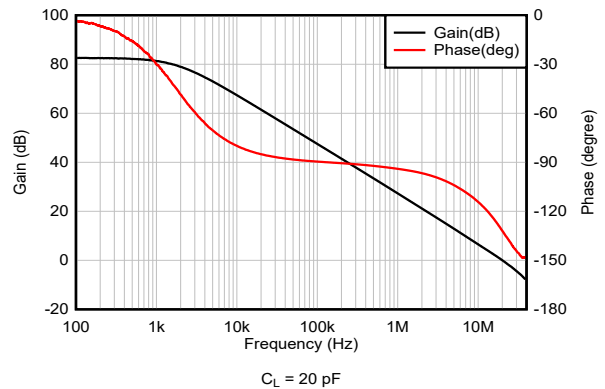


图 5-18. 开环增益和相位与频率间的关系 (新裸片)

5.6 典型特性 (续)

在 $T_A = 25^\circ\text{C}$ 时, $V_S = \pm 16\text{V}$, $V_{CM} = V_S/2$ (除非另有说明)

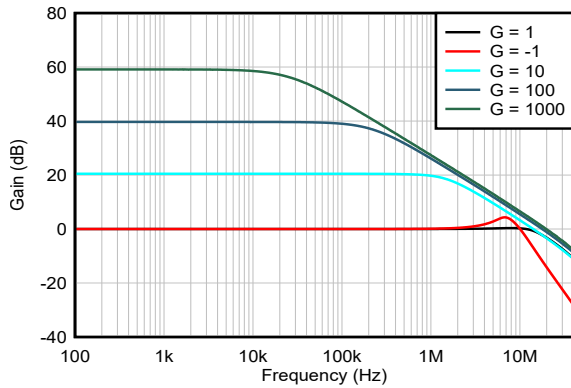


图 5-19. 闭环增益与频率间的关系 (新裸片)

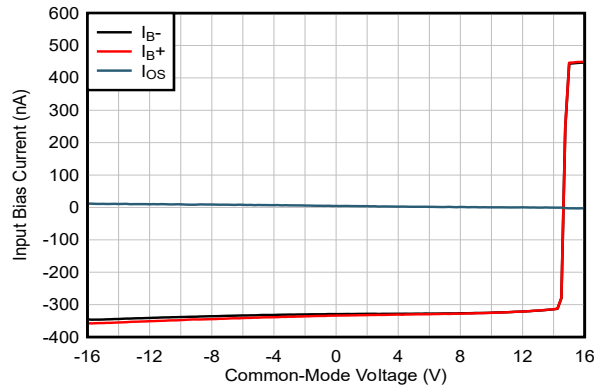


图 5-20. 输入偏置电流和失调电流与共模电压间的关系 (旧裸片)

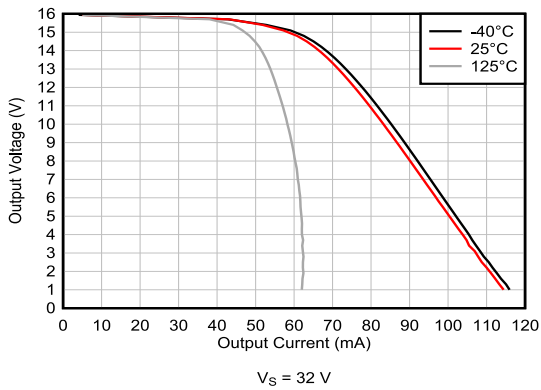


图 5-21. 输出电压摆幅与输出电流 (拉电流) 间的关系 (新裸片)

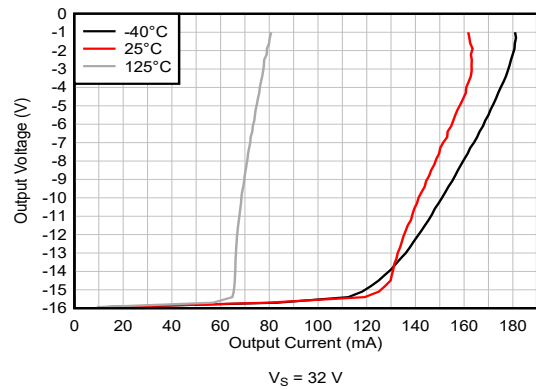


图 5-22. 输出电压摆幅与输出电流 (灌电流) 间的关系 (新裸片)

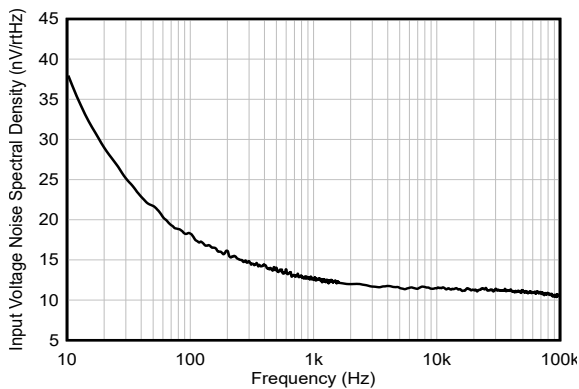


图 5-23. 输入电压噪声频谱密度与频率间的关系 (新裸片)

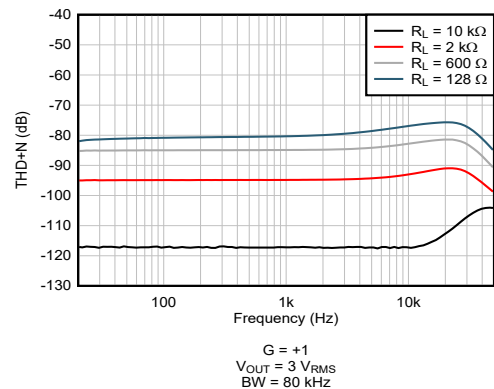


图 5-24. THD+N 比与频率间的关系 (新裸片)

5.6 典型特性 (续)

在 $T_A = 25^\circ\text{C}$ 时, $V_S = \pm 16\text{V}$, $V_{CM} = V_S/2$ (除非另有说明)

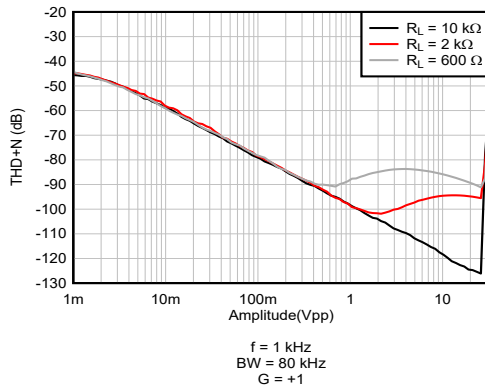


图 5-25. THD+N 与输出振幅间的关系 (新裸片)

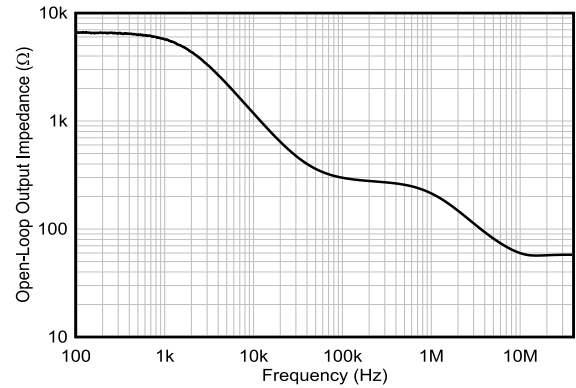


图 5-26. 开环输出阻抗与频率间的关系 (新裸片)

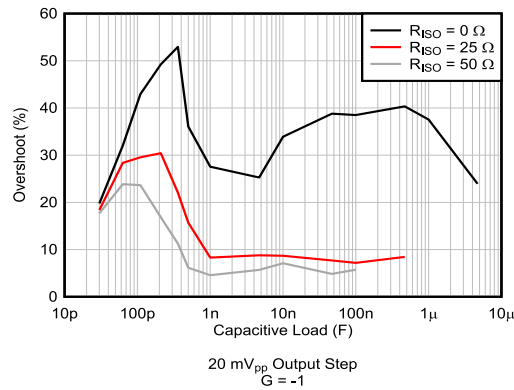


图 5-27. 小信号过冲与电容负载间的关系 (新裸片)

5.7 新旧芯片比较

截至本数据表修订版 H 发布时, 德州仪器 (TI) 已将 LM8262 的裸片制造转移到了一座现代制造厂。本文档中将两个不同的芯片称为“旧”(前一个制造基地)和“新”芯片。芯片原点可以与发货信息中的“芯片源来源”(CSO)参数分开。旧芯片 CSO 为“GF6”, 而新裸片 CSO 为“RFB”。旧芯片信息包含在发货信息中。旧芯片 CSO 为“GF6”, 而新裸片 CSO 为“RFB”。本数据表中保留了旧裸片信息, 用于进行比较, 但所有新制造工艺都转移到了新裸片上。

6 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

6.1 驱动容性负载

LM8262 专门设计用于驱动无限电容负载而不发生振荡。此外，该器件的输出电流处理能力使其即使在驱动大电容负载时也能保持良好的压摆特性。这些特性的结合旨在满足诸如 TFT 平板缓冲器、模数转换器输入放大器 etc 应用的需求。

然而，与大多数运算放大器一样，在运算放大器和容性负载之间添加一个串联隔离电阻器可以改善趋稳时间和过冲性能。

6.2 输出短路电流与消耗问题

LM8262 输出级旨在提供最大输出电流能力。尽管在所有工作电压下都能容忍输出对地或对任一电源的瞬时短路，但持续时间较长的短路情况可能导致结温升至超过器件的绝对最大额定值，尤其是在较高电源电压条件下。

当运算放大器连接负载时，器件的功率耗散包括由流入器件的电源电流引起的静态功耗，以及由负载电流引起的功率耗散。负载部分的功耗本身可包括一个平均值（由直流负载电流引起）和一个交流分量。如果存在输出电压偏移，或者输出交流平均电流非零，或者运算放大器工作在单电源应用中且输出维持在线性工作范围内的某点，则会有直流负载电流流过。因此：

$$P_{TOTAL} = P_Q + P_{DC} + P_{AC} \quad (1)$$

运算放大器静态功率耗散：

$$P_Q = I_S \times V_S \quad (2)$$

直流负载功耗：

$$P_{DC} = I_O \times [V_R - V_O] \quad (3)$$

表 6-1 显示了交流负载功耗 (P_{AC})。

其中

- I_S 为电源电流
- V_S 为总电源电压 (V_+ - V_-)
- I_O 为平均负载电流
- V_O 为平均输出电压
- V_R 对于拉电流为 V_+ ，对于灌电流为 V_-

表 6-1 显示了运算放大器在标准正弦波、三角波和方波波形下耗散的负载功耗的最大交流分量。

表 6-1. 标准波形下输出级功率耗散的归一化交流功率

P _{AC} (W/ΩV ²)		
正弦	三角波	方形
50.7 × 10 ⁻³	46.9 × 10 ⁻³	62.5 × 10 ⁻³

表格条目已归一化至 V_S^2/R_L 。要计算功率耗散的交流负载电流分量，只需将输出波形对应的表格条目乘以因子 V_S^2/R_L 即可。例如，在 $\pm 15V$ 电源、 600Ω 负载以及三角波形条件下，输出级的功率耗散计算如下：

$$P_{AC} = 46.9 \times 10^{-3} \times \frac{30^2}{600} = 70.4\text{mW} \quad (4)$$

6.3 其他应用提示

在大多数应用中，必须使用电源去耦合。与大多数相对高速/高输出电流的运算放大器一样，最佳结果是通过每条电源线使用两个电容器进行去耦来实现的：一个放置在非常靠近电源引脚位置的小值陶瓷电容器（约 $0.01\mu\text{F}$ ），再加上一个大值钽或铝电容器（ $> 4.7\mu\text{F}$ ）。如有必要，这个大电容器可以被多个器件共用。小陶瓷电容器在高频下维持低电源阻抗，而大电容器则充当电荷“桶”，用于应对运算放大器输出端的快速负载电流尖峰。这些电容器的组合将提供电源去耦功能，并有助于在任何负载下确保运算放大器不发生振荡。

6.4 电源相关建议

LM8262 可以使用单电源或双电源运行。该器件的输入共模范围 (CMVR) 覆盖了整个电源电压范围，从而提供了最大的灵活性。使用低电感电容器（通常为陶瓷电容器）对电源进行去耦，这些电容器应接地，电容器接地端到器件引脚的距离应小于 0.5 英寸。建议使用接地平面。与大多数高速器件一样，建议挖空器件敏感引脚（如输入引脚）附近的接地平面。

6.5 布局

6.5.1 布局指南

通常，良好的高频布局会使电源和接地走线远离反相输入和输出引脚。这些节点对地的寄生电容会导致出现频率响应峰值，并可能引起电路振荡。一般高速信号路径布局建议包括：

- 对于较长的走线，建议使用连续接地平面进行信号布线，并采用匹配阻抗的走线。但是，需要在电容敏感的输入和输出器件引脚周围，将接地平面和电源层都镂空。将信号发送到电阻器后，寄生电容会更多地导致带宽限制问题，而不是稳定性问题。
- 在器件电源引脚的接地平面上使用完好的高频去耦电容器 ($0.1\mu\text{F}$)。为获得良好的高频去耦效果，请考虑使用 X2Y 电源去耦电容器，以提供比标准电容器高得多的自谐振频率。
- 在任何可感知距离上使用差分信号路由时，请使用具有匹配阻抗引线的微带布局技术。
- 输入求和点对寄生电容非常敏感。以极小的到电阻器器件引脚侧的布线长度将任何 R_f 和 R_g 元件连接到求和点。如果需要连接到源或接地端，则这些元件的另一侧可能具有更大的布线长度。

7 器件和文档支持

7.1 器件支持

7.1.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

7.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

7.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

7.4 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

7.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

7.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

8 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision G (August 2015) to Revision H (June 2026)	Page
• 更新了整个文档中的表格、图和交叉参考的编号格式.....	1
• 根据新裸片规格更新了 <i>特性</i> 部分.....	1
• 根据新裸片特性更新了表格、规范和说明的格式.....	1
• 根据新裸片规格更新了 绝对最大额定值 表格和脚注.....	4
• 向 ESD 等级 添加了充电器件型号信息.....	4
• 更新了表注.....	4
• 将 建议运行条件 电源电压最小值从 2.5V 更改为 2.7V，将最大值从 22V 更改为 32V.....	4
• 将结至环境热阻从 235°C/W 更新为 169.6°C/W.....	4
• 根据新裸片特性更新了 <i>电气特性表</i>	5
• 删除了 5V 电气特性 和 +/-11V 电气特性 部分.....	5
• 根据新裸片规格更新了 <i>典型特性曲线图</i>	6
• 向 图 5-27 添加了 图 5-18	6
• 添加了 新旧芯片比较	10

- 添加了 *应用和实施* 部分..... 11

Changes from Revision F (August 2014) to Revision G (August 2015) Page

- 将 *引脚功能表* 中的引脚 5 从 -IN B 更改为 +IN B 非反相输入 B..... 3
- 将 *引脚功能表* 中的引脚 6 从 +IN B 更改为 -IN B 反相输入 B..... 3
- 将“贮存温度范围”移至 [节 5.1](#) 4
- 将 *处理额定值* 更改为：[节 5.2](#) 4

Changes from Revision E (April 2013) to Revision F (August 2014) Page

- 更改了数据表的结构和组织形式。添加、更新或重命名了以下各个部分：器件和文档支持；机械、封装和订购信息..... 1
- 将“结温范围”更改为“工作温度范围” 4
- 删除了 $T_J = 25^\circ\text{C}$, 5

9 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
LM8262MM/NOPB	Obsolete	Production	VSSOP (DGK) 8	-	-	Call TI	Call TI	-40 to 85	A46
LM8262MMX/NOPB	Active	Production	VSSOP (DGK) 8	3500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	A46
LM8262MMX/NOPB.B	Active	Production	VSSOP (DGK) 8	3500 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	A46

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

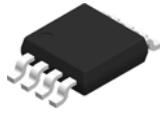
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
LM8262MMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
LM8262MMX/NOPB	VSSOP	DGK	8	3500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
LM8262MMX/NOPB	VSSOP	DGK	8	3500	367.0	367.0	35.0
LM8262MMX/NOPB	VSSOP	DGK	8	3500	366.0	364.0	50.0

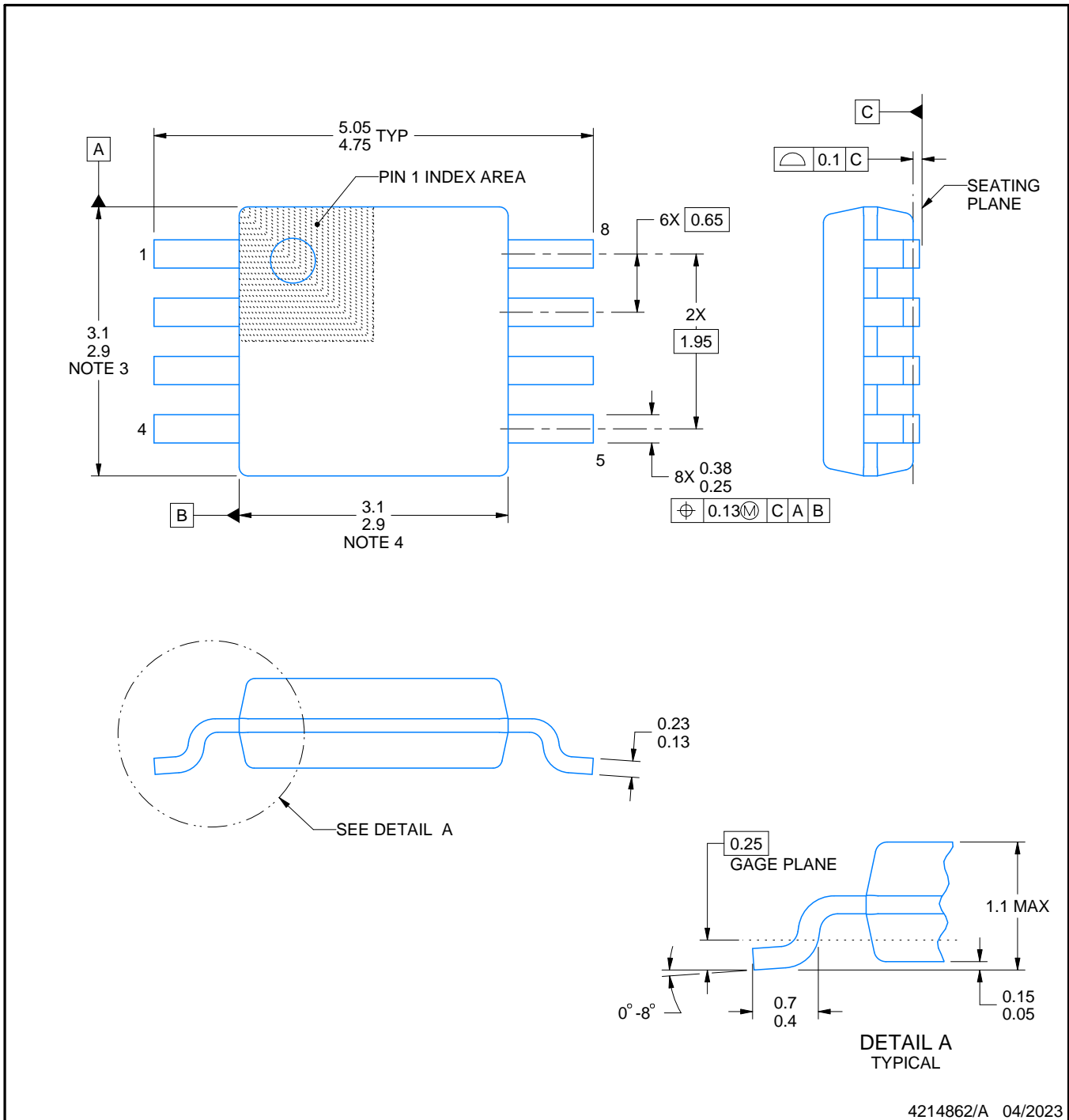
DGK0008A



PACKAGE OUTLINE

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4214862/A 04/2023

NOTES:

PowerPAD is a trademark of Texas Instruments.

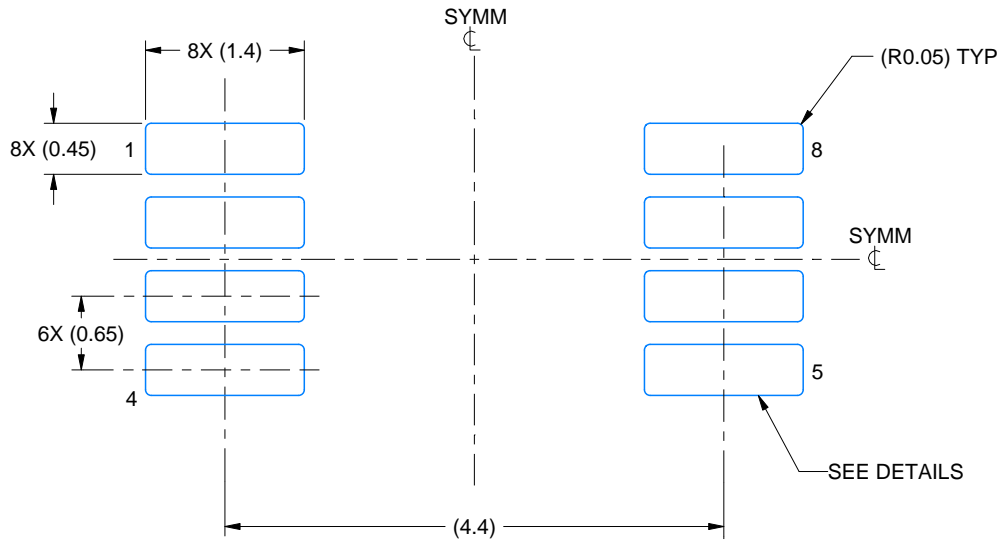
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.

EXAMPLE BOARD LAYOUT

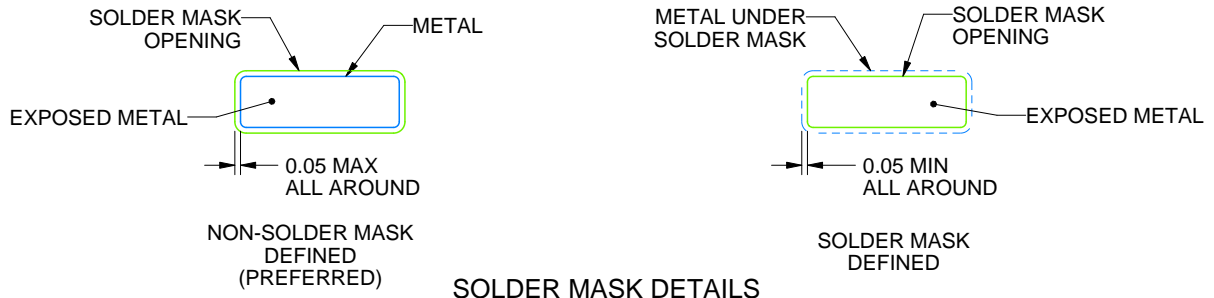
DGK0008A

™ VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X



SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

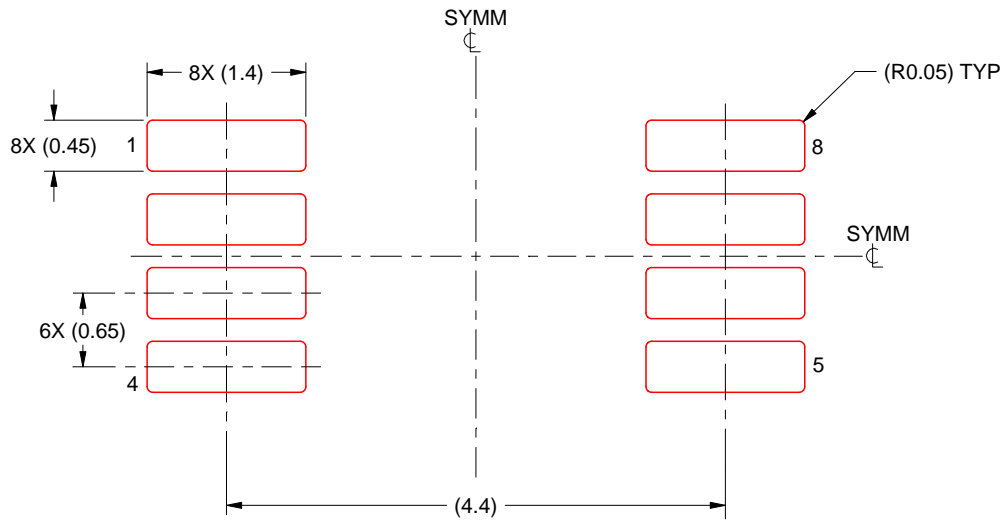
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.

EXAMPLE STENCIL DESIGN

DGK0008A

TM VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月