

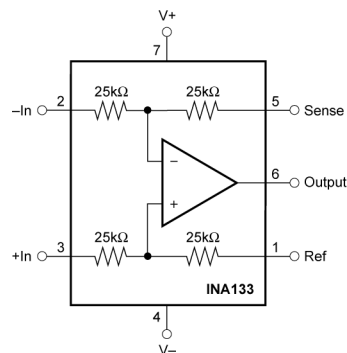
INAx133 高速精密差分放大器

1 特性

- 单通道和双通道版本
- 低失调电压： $\pm 450 \mu\text{V}$ (最大值)
- 低失调电压漂移： $\pm 5 \mu\text{V}/^\circ\text{C}$ (最大值)
- 低增益误差：0.05% (最大值)
- 高带宽：1.5MHz
- 高压摆率：
 - $5\text{V}/\mu\text{s}$ (CSO: SHE)
 - $20\text{V}/\mu\text{s}$ (CSO: RFB)
- 快速稳定时间：5.5 μs 更改为 0.01%
- 低静态电流：950 μA
- 宽电源电压范围： $\pm 2.25\text{V}$ 至 $\pm 18\text{V}$

2 应用

- 电芯化成和测试设备
- 传感器标签和数据记录器
- 伺服驱动器位置反馈
- 液位变送器
- 串式逆变器



INA133 简化版内部原理图

3 说明

INA133 和 INA2133 的转换率高，单位增益差分放大器由配有精密电阻器网络的精密运算放大器组成。片上电阻器经过激光微调，可实现准确增益和高共模抑制。电阻器出色的跟踪性能 (TCR) 在全温度范围内保持增益精度和共模抑制。INAx133 可在 $\pm 2.25\text{V}$ 至 $\pm 18\text{V}$ ($+4.5\text{V}$ 至 $+36\text{V}$ 的单电源) 的宽电源电压范围内运行且输入共模电压范围超出了正负电源轨。

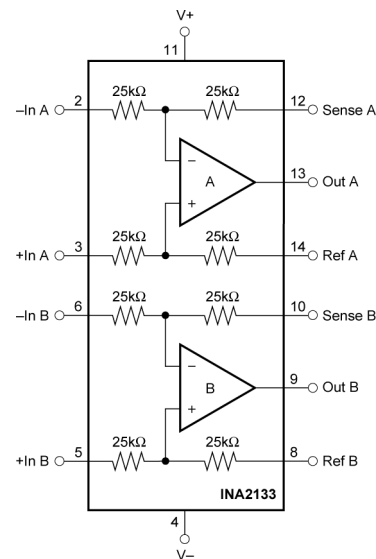
差分放大器是许多常用电路的基础。INAx133 可为成本优化型设计提供这种精密电路功能。

INA133 单通道版本采用 SOIC-8 表面贴装封装。INA2133 双通道版本采用 SOIC-14 封装。指定两者在工业级 -40°C 至 $+85^\circ\text{C}$ 温度范围内运行。

封装信息

| 器件型号 | 封装 ⁽¹⁾ | 封装尺寸 ⁽²⁾ |
|---------|-------------------|---------------------|
| INA133 | D (SOIC, 8) | 4.90mm × 6.00mm |
| INA2133 | D (SOIC, 14) | 8.65mm × 6.00mm |

- (1) 如需了解所有可用封装，请参阅节 10 中的可订购产品附录。
- (2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。



INA2133 简化版内部原理图



内容

| | | | |
|------------------------|-----------|-----------------------------|-----------|
| 1 特性 | 1 | 7 应用和实施 | 15 |
| 2 应用 | 1 | 7.1 应用信息..... | 15 |
| 3 说明 | 1 | 7.2 典型应用..... | 16 |
| 4 引脚配置和功能 | 3 | 7.3 其他应用..... | 17 |
| 5 规格 | 4 | 7.4 电源相关建议..... | 25 |
| 5.1 绝对最大额定值..... | 4 | 7.5 布局..... | 25 |
| 5.2 建议运行条件..... | 4 | 8 器件和文档支持 | 27 |
| 5.3 热性能信息..... | 4 | 8.1 器件支持..... | 27 |
| 5.4 电气特性..... | 5 | 8.2 接收文档更新通知..... | 27 |
| 5.5 典型特性..... | 7 | 8.3 支持资源..... | 27 |
| 6 详细说明 | 12 | 8.4 商标..... | 27 |
| 6.1 概述..... | 12 | 8.5 静电放电警告..... | 28 |
| 6.2 功能方框图..... | 12 | 8.6 术语表..... | 28 |
| 6.3 特性说明..... | 13 | 9 修订历史记录 | 28 |
| 6.4 器件功能模式..... | 14 | 10 机械、封装和可订购信息 | 29 |

4 引脚配置和功能

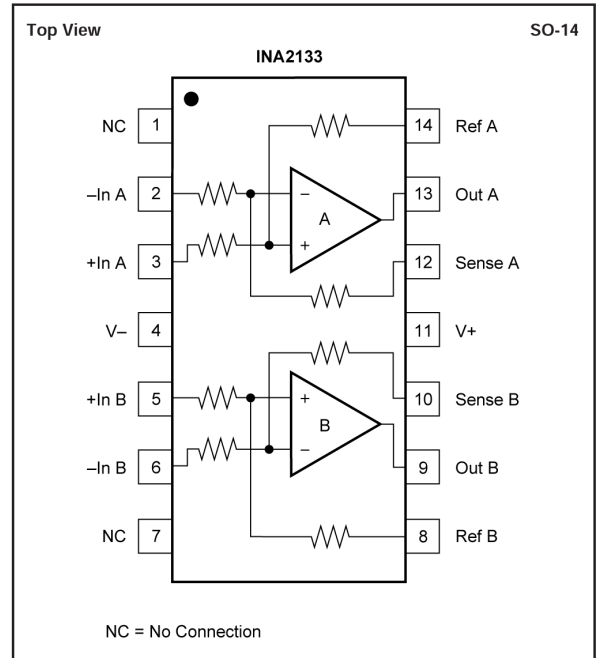
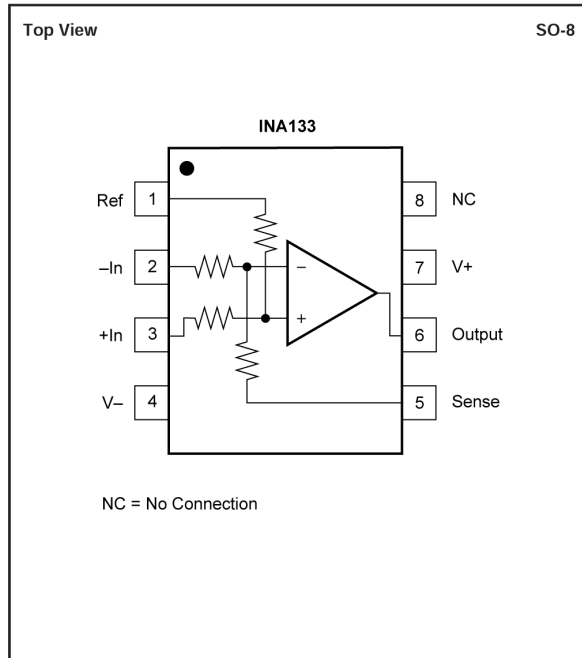


表 4-1. 引脚功能：INA133

| 名称 | 编号 | 类型 | 说明 |
|-----|----|----|--|
| +In | 3 | 输入 | 正向（同相）输入 25k Ω 电阻器连接到运算放大器的同相端子 |
| -In | 2 | 输入 | 负向（反相）输入 25k Ω 电阻器连接到运算放大器的反相端子 |
| 输出 | 6 | 输出 | 输出 |
| 参考 | 1 | 输入 | 基准输入 25k Ω 电阻器连接到运算放大器的同相端子 |
| V+ | 7 | - | 正（最高）电源 |
| V- | 4 | - | 负（最低）电源 |
| 检测 | 5 | 输入 | 感测输入 25k Ω 电阻器连接到运算放大器的反相端子 |
| NC | 8 | - | 未进行内部电路连接（可以悬空） |

表 4-2. 引脚功能：INA2133

| 名称 | 编号 | 类型 | 说明 |
|-------|----|----|---|
| +In A | 3 | 输入 | 正向（同相）输入，通道 A 25k Ω 电阻器连接到运算放大器的同相端子 |
| -In A | 2 | 输入 | 负向（反相）输入，通道 A 25k Ω 电阻器连接到运算放大器的反相端子 |
| +In B | 5 | 输入 | 正向（同相）输入，通道 B 25k Ω 电阻器连接到运算放大器的同相端子 |
| -In B | 6 | 输入 | 负向（反相）输入，通道 B 25k Ω 电阻器连接到运算放大器的反相端子 |
| 输出 A | 13 | 输出 | 输出，通道 A |
| 输出 B | 9 | 输出 | 输出，通道 B |
| 基准 A | 14 | 输入 | 基准输入，通道 A 25k Ω 电阻器连接到运算放大器的同相端子 |
| 基准 B | 8 | 输入 | 基准输入，通道 B 25k Ω 电阻器连接到运算放大器的同相端子 |
| 感测 A | 12 | 输入 | 感测输入，通道 A 25k Ω 电阻器连接到运算放大器的反相端子 |
| 感测 B | 10 | 输入 | 感测输入，通道 B 25k Ω 电阻器连接到运算放大器的反相端子 |
| V+ | 11 | - | 正（最高）电源 |
| V- | 4 | - | 负（最低）电源 |

5 规格

备注

TI 为此器件鉴定了多个制造流程。性能差异按芯片原产地 (CSO) 进行了标记。为确保系统稳健性，强烈建议针对所有流程进行设计。有关更多信息，请参阅节 8.1.1。

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得 (除非另有说明) ⁽¹⁾

| | | 最小值 | 最大值 | 单位 |
|---------------------------|-----------------|-----|----------------|----|
| 电源电压, $V_S = (V+) - (V-)$ | | 0 | 36 | V |
| 信号输入引脚 | 输入引脚 | 0 | $2 \times V_S$ | V |
| | 传感和 REF 引脚 | 0 | V_S | |
| 输出短路 ⁽²⁾ | | 持续 | | |
| 温度 | 温度, T_A | -55 | 125 | °C |
| | 结温, T_J | | 150 | |
| | 贮存温度, T_{stg} | -55 | 125 | |

- (1) 超出绝对最大额定值范围操作可能会导致器件永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议的工作条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- (2) $V_S/2$ 短路，每个封装对应一个通道。

5.2 建议运行条件

在自然通风条件下的工作温度范围内测得 (除非另有说明)

| | | 最小值 | 标称值 | 最大值 | 单位 |
|------|-----|------------|----------|----------|----|
| 电源电压 | 单电源 | 4.5 | 30 | 36 | V |
| | 双电源 | ± 2.25 | ± 15 | ± 18 | |
| 额定温度 | | -40 | | 85 | °C |

5.3 热性能信息

| 热指标 ⁽¹⁾ | | INA133 | INA2133 | 单位 |
|----------------------|--------------|----------|----------|------|
| | | 8 引脚 | 14 引脚 | |
| | | D (SOIC) | D (SOIC) | |
| $R_{\theta JA}$ | 结至环境热阻 | 108.9 | 71.4 | °C/W |
| $R_{\theta JC(top)}$ | 结至外壳 (顶部) 热阻 | 45.9 | 33.1 | °C/W |
| $R_{\theta JB}$ | 结至电路板热阻 | 56.6 | 31.2 | °C/W |
| ψ_{JT} | 结至顶部特征参数 | 4.8 | 3.4 | °C/W |
| ψ_{JB} | 结至电路板特征参数 | 55.7 | 30.9 | °C/W |
| $R_{\theta JC(bot)}$ | 结至外壳 (底部) 热阻 | 不适用 | 不适用 | °C/W |

- (1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

5.4 电气特性

在 $T_A = 25^\circ\text{C}$ 和 $V_S = \pm 15\text{V}$ 时, $R_L = 10\text{k}\Omega$ 接地, $V_{\text{REF}} = 0\text{V}$ 且 $G = 1$, 适用于所有封装和器件型号以及所有芯片原产地 (CSO) (除非另有说明)。

| 参数 | | 测试条件 | | 最小值 | 典型值 | 最大值 | 单位 |
|--------------------|-----------------------|--|---------------------------|-----------|---|---|--------------------------------|
| 输入 | | | | | | | |
| V_{OS} | 失调电压 | RTO ^{(1) (2)} , $V_{\text{CM}} = 0\text{V}$ | U 型号 | | ± 150 | ± 450 | μV |
| | | | UA 型号 | | ± 150 | ± 900 | |
| | | RTO ^{(1) (2)} , $V_{\text{CM}} = 0\text{V}$, $V_S = \pm 5\text{V}$ | U 型号 | | ± 300 | ± 750 | |
| | | | UA 型号 | | ± 300 | ± 1500 | |
| | 失调电压漂移 | RTO ^{(1) (2)} , $T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$ | | | ± 2 | ± 5 | $\mu\text{V}/^\circ\text{C}$ |
| | | | $V_S = \pm 5\text{V}$ | | ± 2 | | |
| PSRR | 电源抑制比 | RTO ^{(1) (2)} , $V_S = \pm 2.25\text{V}$ 至 $\pm 18\text{V}$ | U 型号 | | ± 10 | ± 30 | $\mu\text{V}/\text{V}$ |
| | | | UA 型号 | | 850 | 900 | |
| | 长期稳定性 | RTO ^{(1) (2)} | | | 0.3 | | $\mu\text{V}/\sqrt{\text{mo}}$ |
| $Z_{\text{IN-DM}}$ | 差分阻抗 ⁽³⁾ | | | | 50 | | $\text{k}\Omega$ |
| $Z_{\text{IN-CM}}$ | 共模阻抗 ⁽³⁾ | $V_{\text{CM}} = 0\text{V}$ | | | 25 | | $\text{k}\Omega$ |
| V_{CM} | 共模电压范围 ⁽⁴⁾ | $V_O = 0\text{V}$, $V_S = \pm 15\text{V}$ 且 $V_S = \pm 5\text{V}$ | 正 | | $2 \times (V^+) - \frac{2 \times (V^+) -}{3}$ | $2 \times (V^+) - \frac{2 \times (V^+) -}{2}$ | V |
| | | | 负 | | $2 \times (V^-) + \frac{2 \times (V^-) +}{3}$ | $2 \times (V^-) + \frac{2 \times (V^-) +}{2}$ | |
| CMRR | 共模抑制比 | $V_S = \pm 15\text{V}$ 且 $V_S = \pm 5\text{V}$, $V_{\text{CM}} = 2 \times (V^-) + 3$ 至 $2 \times (V^+) - 3$, $R_S = 0\Omega$ | U 型号 | | 80 | 90 | dB |
| | | | UA 型号 | | 74 | 90 | |
| 噪声电压 | | | | | | | |
| e_N | 电压噪声 | RTO ^{(2) (5)} | f = 0.01Hz 至 10Hz | CSO : SHE | | 2 | μV_{PP} |
| | | | | CSO : SHE | | 80 | |
| | | | f = 10Hz | CSO : RFB | | 40 | |
| | | | | CSO : SHE | | 60 | |
| | | | f = 100Hz | CSO : RFB | | 21 | |
| | | | | CSO : SHE | | 57 | |
| f = 1kHz | CSO : RFB | | 20 | | | | |
| | 增益 | | | | | | |
| G | 初始增益 | $V_S = \pm 15\text{V}$ 且 $V_S = \pm 5\text{V}$ | | | 1 | | V/V |
| GE | 增益误差 | $V_S = \pm 15\text{V}$ 且 $V_S = \pm 5\text{V}$, $(V^-) + 1\text{V} \leq V_O \leq (V^+) - 1.5\text{V}$ | U 型号 | | ± 0.02 | ± 0.05 | % |
| | | | UA 型号 | | ± 0.02 | ± 0.1 | |
| | 增益漂移 | $T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$ | | | ± 1 | ± 10 | ppm/ $^\circ\text{C}$ |
| | 增益非线性 | $V_S = \pm 15\text{V}$ 且 $V_S = \pm 5\text{V}$, $(V^-) + 1\text{V} \leq V_O \leq (V^+) - 1.5\text{V}$ | U 型号 | | ± 0.0001 | ± 0.001 | FSR 百分比 |
| | | | UA 型号 | | ± 0.0001 | ± 0.002 | |
| 输出 | | | | | | | |
| V_O | 输出电压, 增益误差 < 0.1% | 正, $V_S = \pm 15\text{V}$ 且 $V_S = \pm 5\text{V}$ | | | $(V^+) - 1.5$ | $(V^+) - 1.3$ | V |
| | | | $R_L = 100\text{k}\Omega$ | | $(V^+) - 0.8$ | | |
| | | 负, $V_S = \pm 15\text{V}$ 且 $V_S = \pm 5\text{V}$ | | | $(V^-) + 1$ | $(V^-) - 0.8$ | |
| | | | $R_L = 100\text{k}\Omega$ | | $(V^-) + 0.3$ | | |
| | 容性负载 (稳定运转) | | | | 1000 | | pF |
| I_{SC} | 短路电流 | 持续达 $V_S/2$ | 拉电流 | CSO : SHE | | 32 | mA |
| | | | | CSO : RFB | | 70 | |
| | | | 灌电流 | CSO : SHE | | 25 | |
| | | | | CSO : RFB | | 70 | |

INA133, INA2133

ZHCSY05B - JUNE 1999 - REVISED JANUARY 2026

在 $T_A = 25^\circ\text{C}$ 和 $V_S = \pm 15\text{V}$ 时, $R_L = 10\text{k}\Omega$ 接地, $V_{\text{REF}} = 0\text{V}$ 且 $G = 1$, 适用于所有封装和器件型号以及所有芯片原产地 (CSO) (除非另有说明)。

| 参数 | | 测试条件 | | 最小值 | 典型值 | 最大值 | 单位 |
|-------------|--------------|---|-----------------------|-----|------------|-----------|------------------|
| 频率响应 | | | | | | | |
| BW | 带宽, -3dB | | | | 1.5 | | MHz |
| SR | 压摆率 | CSO : SHE | | | 5 | | V/ μs |
| | | CSO : RFB | | | 20 | | |
| t_s | 趋稳时间 | $V_{\text{STEP}} = 10\text{V}$, $C_L = 100\text{pF}$ | 0.1% | | 4 | | μs |
| | | | 0.01% | | 5.5 | | |
| | 过载恢复时间 | 50% 过驱 | | | 4 | | μs |
| 电源 | | | | | | | |
| I_Q | (每个放大器)的静态电流 | $I_O = 0\text{A}$ | | | ± 0.95 | ± 1.2 | mA |
| | | | $V_S = \pm 5\text{V}$ | | ± 0.92 | ± 1.2 | |

- 参考单位增益差配置中的输出。
- 包括放大器输入偏置和偏移电流带来的影响。
- 25k Ω 电阻器比率匹配, 但绝对值为 $\pm 20\%$ 。
- 无保护功能时的最大输入电压比 $\pm 15\text{V}$ 电源 ($\pm 25\text{V}$) 高出 10V。将 I_{IN} 限制为 1mA。
- 包括放大器输入电流噪声和电阻器网络热噪声带来的影响。

5.5 典型特性

测试条件： $T_A = +25^\circ\text{C}$ ， $V_S = \pm 15\text{V}$ ， $R_L = 10\text{k}\Omega$ 接公共端， $V_{REF} = 0\text{V}$ ，且适用于所有芯片产地 (CSO)，除非另有说明。

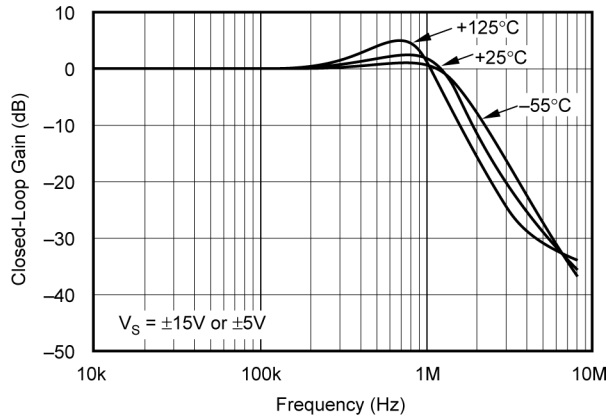


图 5-1. 增益与频率间的关系

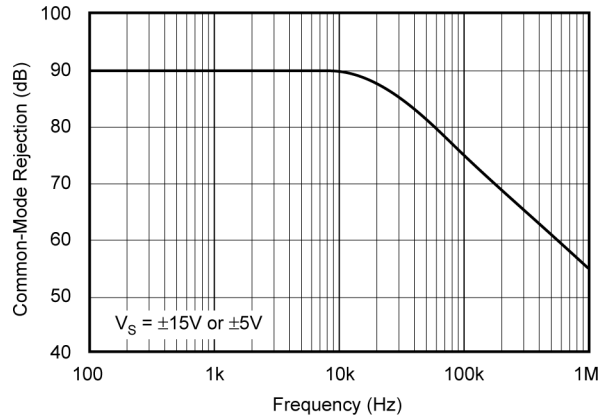


图 5-2. 共模抑制与频率间的关系

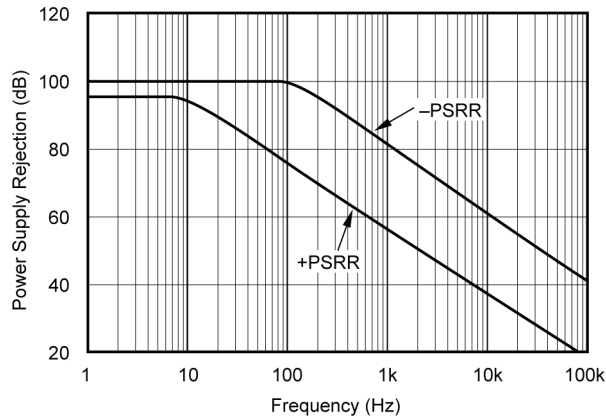


图 5-3. 电源抑制与频率间的关系

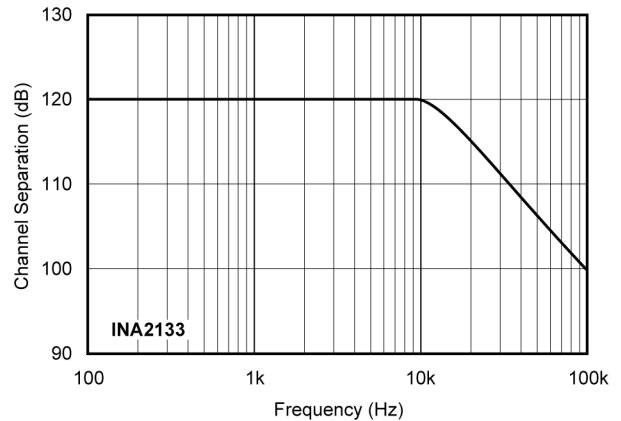


图 5-4. 通道隔离与频率间的关系

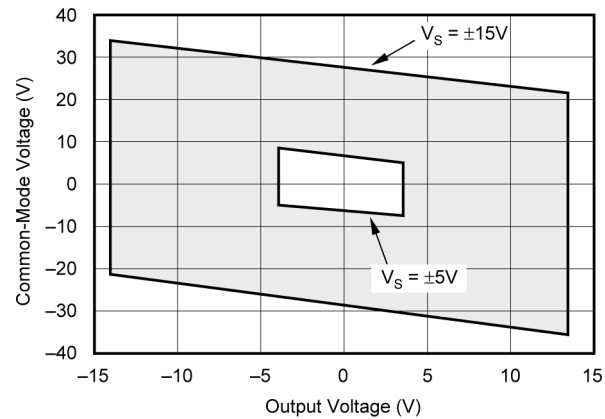


图 5-5. 输入共模电压与输出电压间的关系

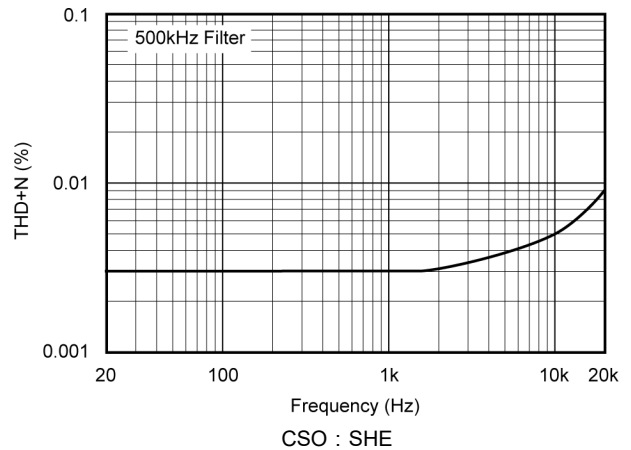
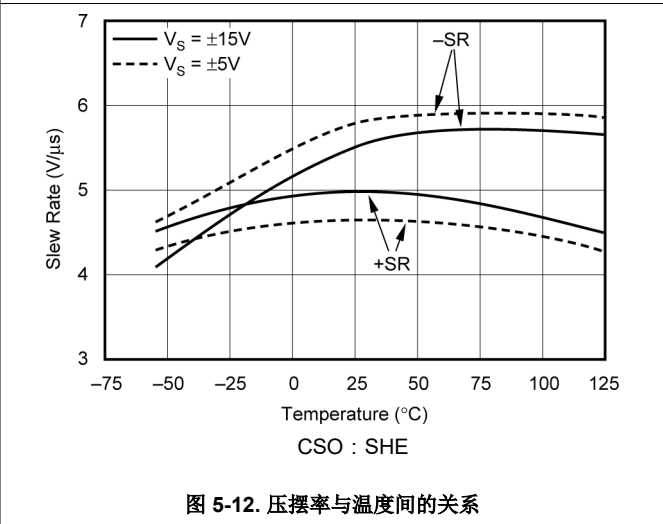
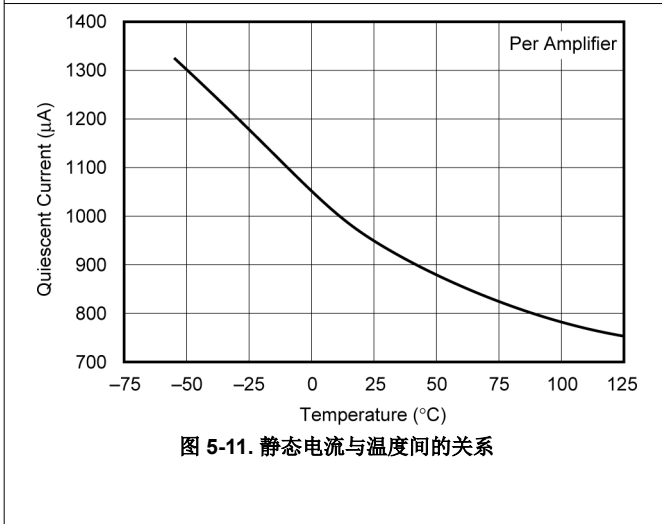
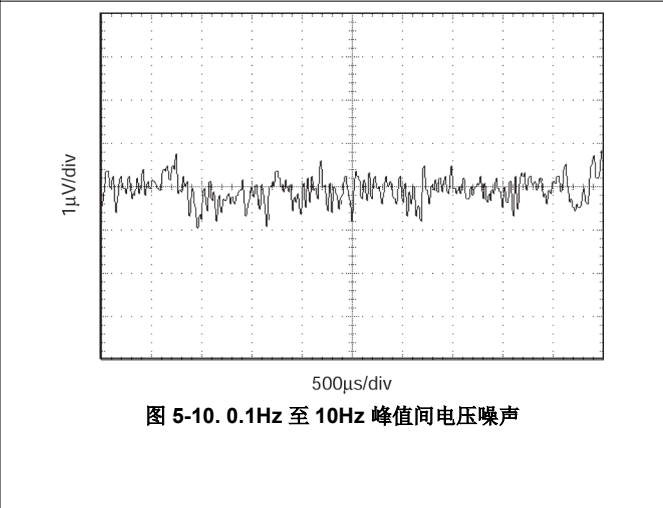
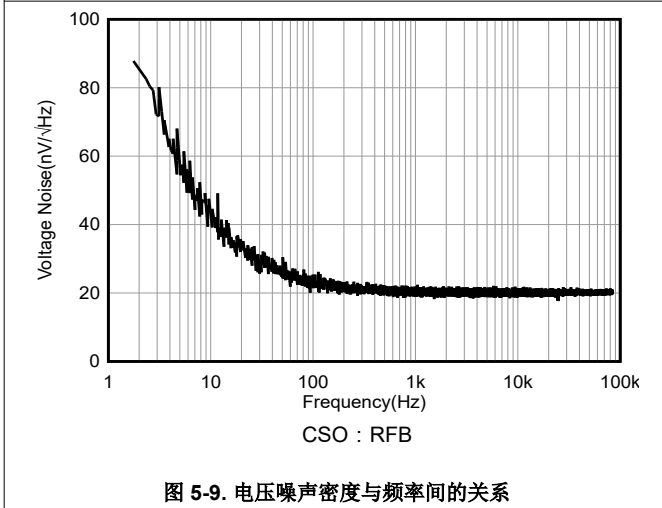
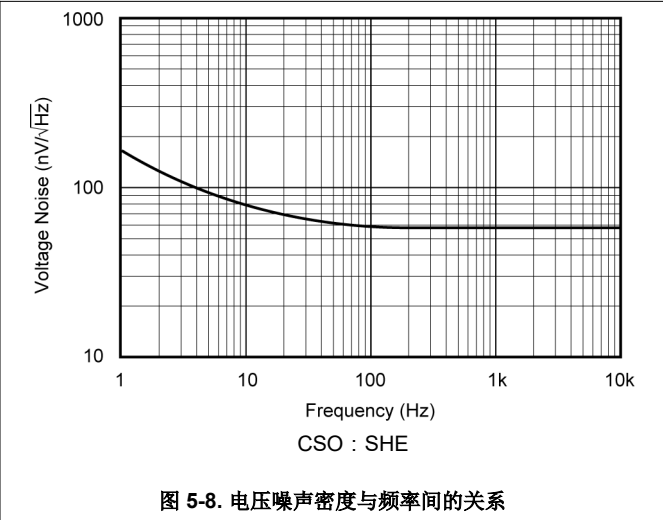
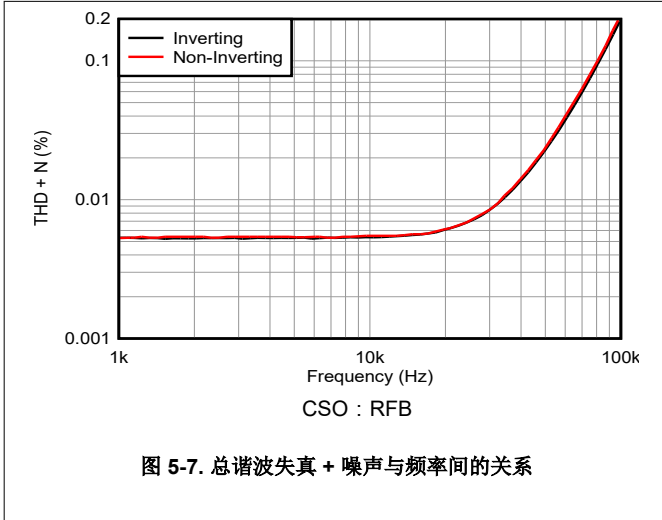


图 5-6. 总谐波失真 + 噪声与频率间的关系

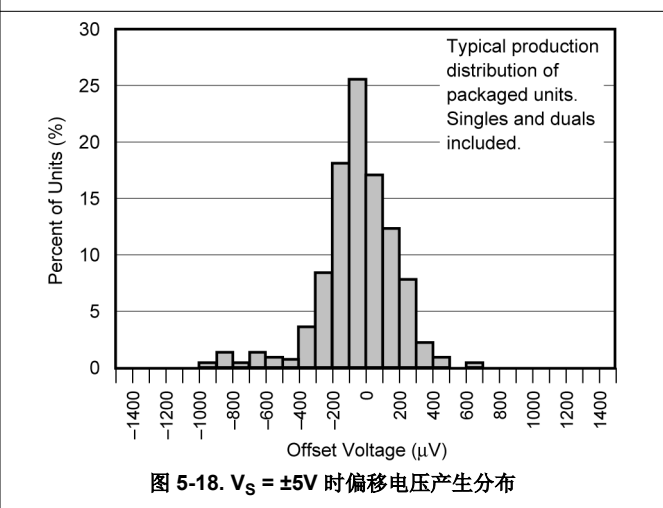
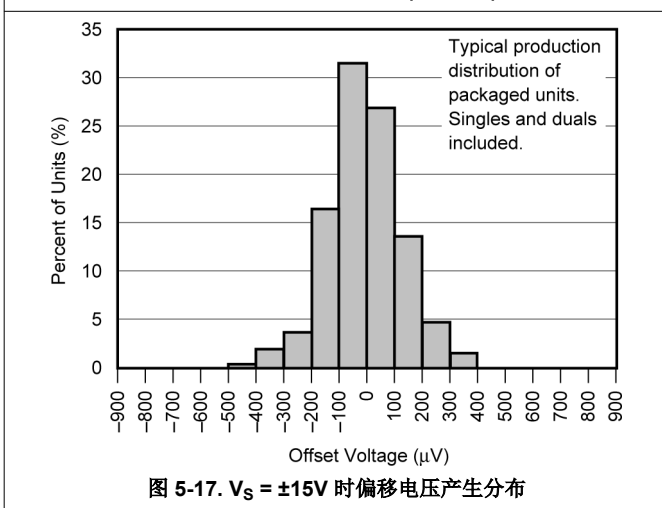
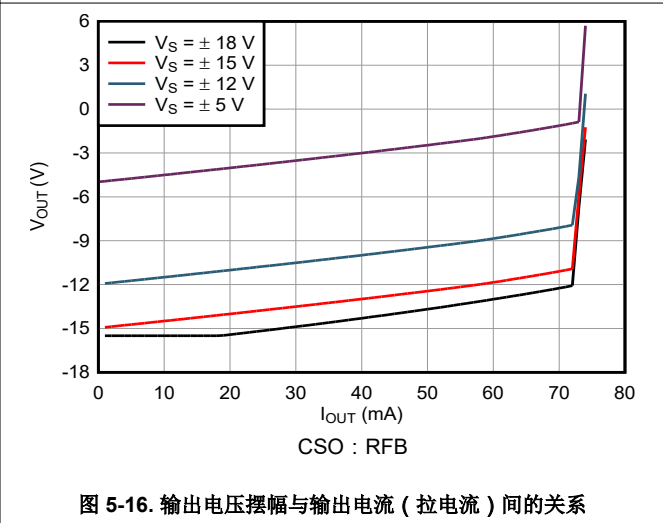
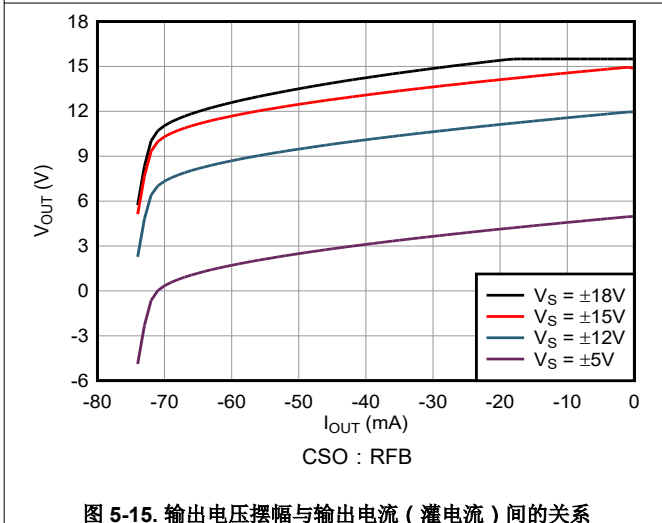
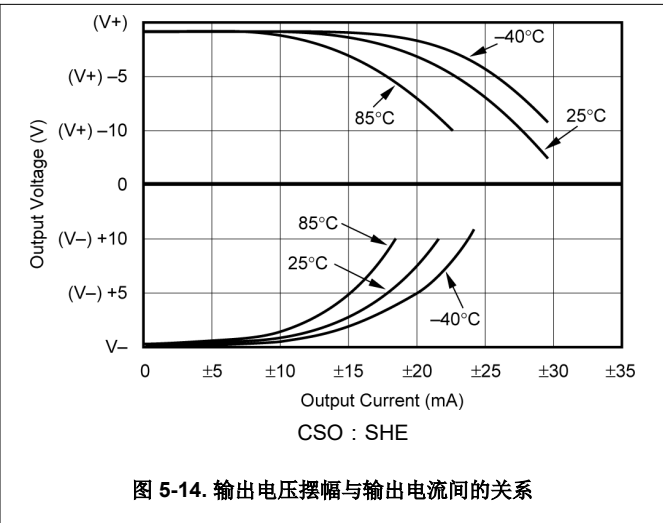
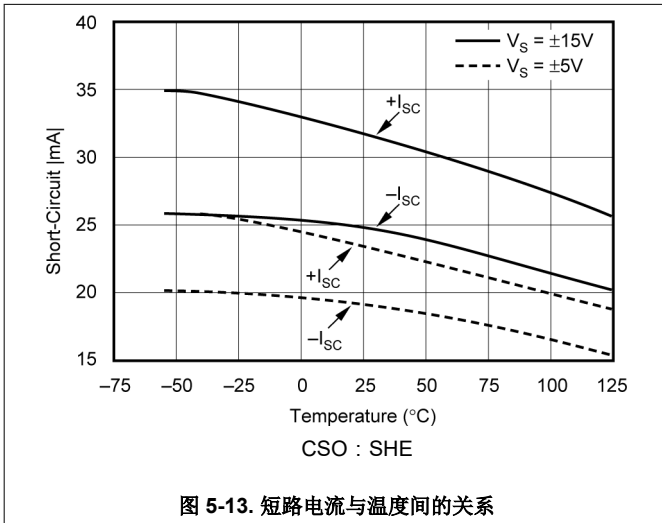
5.5 典型特性 (续)

测试条件： $T_A = +25^\circ\text{C}$ ， $V_S = \pm 15\text{V}$ ， $R_L = 10\text{k}\Omega$ 接公共端， $V_{REF} = 0\text{V}$ ，且适用于所有芯片产地 (CSO)，除非另有说明。



5.5 典型特性 (续)

测试条件： $T_A = +25^\circ\text{C}$ ， $V_S = \pm 15\text{V}$ ， $R_L = 10\text{k}\Omega$ 接公共端， $V_{REF} = 0\text{V}$ ，且适用于所有芯片产地 (CSO)，除非另有说明。



5.5 典型特性 (续)

测试条件： $T_A = +25^\circ\text{C}$ ， $V_S = \pm 15\text{V}$ ， $R_L = 10\text{k}\Omega$ 接公共端， $V_{REF} = 0\text{V}$ ，且适用于所有芯片产地 (CSO)，除非另有说明。

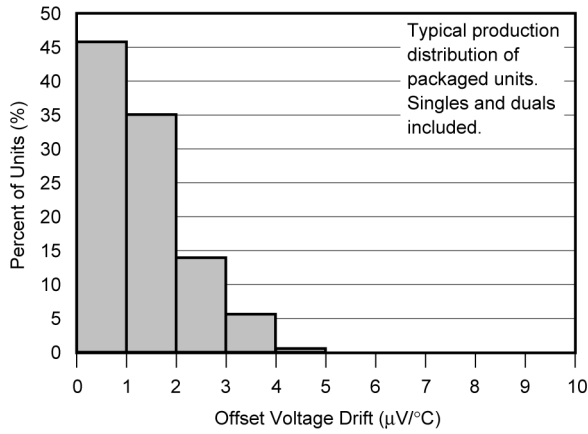


图 5-19. $V_S = \pm 15\text{V}$ 时偏移电压漂移产生分布

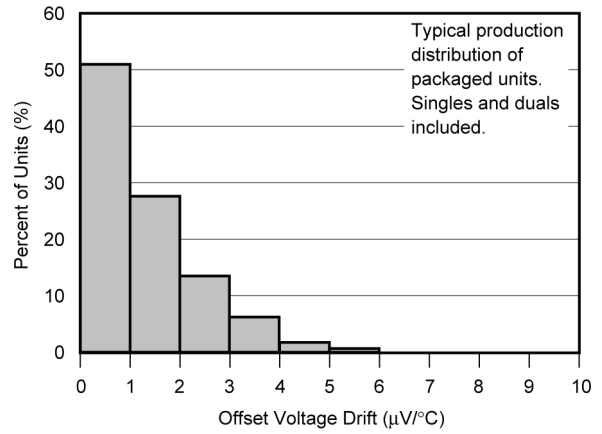


图 5-20. $V_S = \pm 5\text{V}$ 时偏移电压漂移产生分布

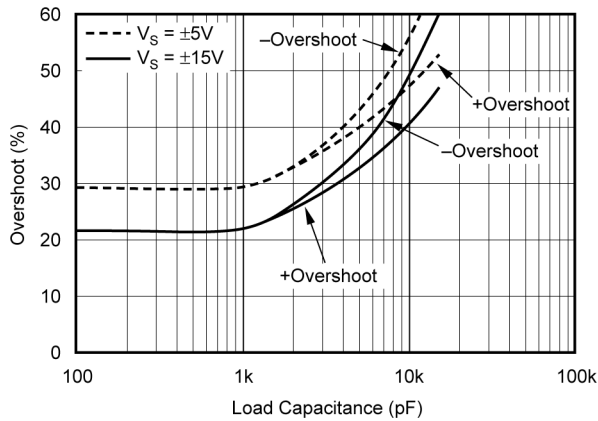


图 5-21. 小信号过冲与负载电容间的关系

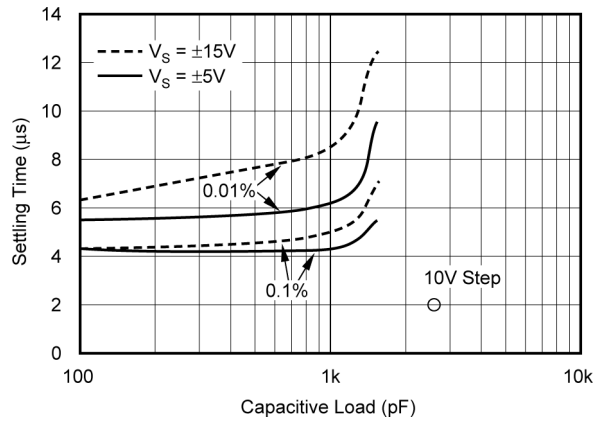


图 5-22. 稳定时间与负载电容间的关系

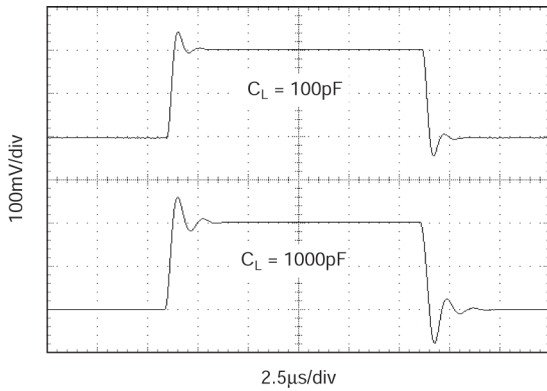


图 5-23. 小信号阶跃响应

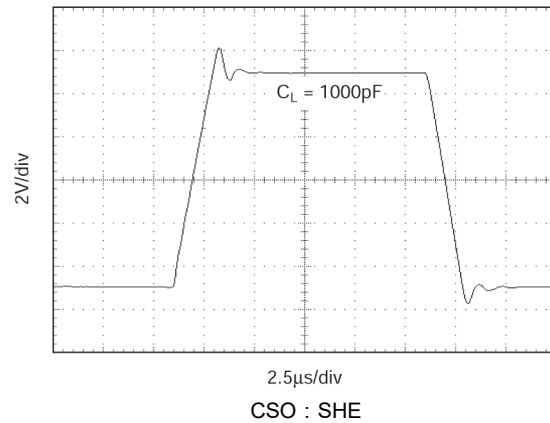
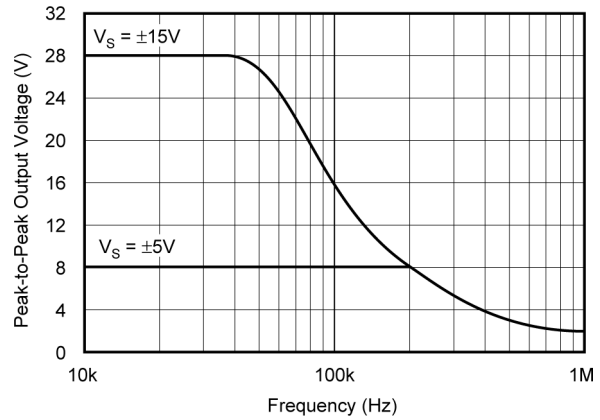
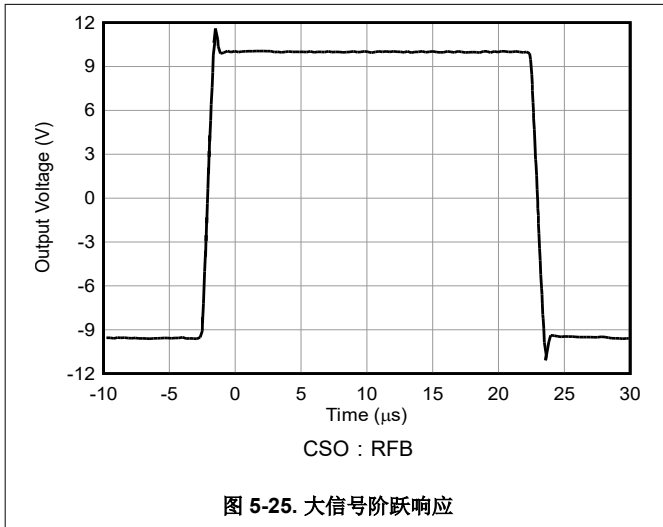


图 5-24. 大信号阶跃响应

5.5 典型特性 (续)

测试条件： $T_A = +25^\circ\text{C}$ ， $V_S = \pm 15\text{V}$ ， $R_L = 10\text{k}\Omega$ 接公共端， $V_{REF} = 0\text{V}$ ，且适用于所有芯片产地 (CSO)，除非另有说明。



6 详细说明

6.1 概述

INAx133 由一个高精度运算放大器和四个经调整的片上电阻器组成。该器件可以配置成各种放大器，例如进行差分、同相和反相配置。与分立式电阻器相比，集成式匹配电阻器更具优势。

运算放大器电路的直流性能很大程度上取决于周围电阻器的精度。INAx133 上的电阻器布局紧密匹配。每个器件的电阻器在片上匹配，并测试其匹配精度。为此，INAx133 为增益漂移、共模抑制比率和增益误差等规格提供了高精度。

6.2 功能方框图

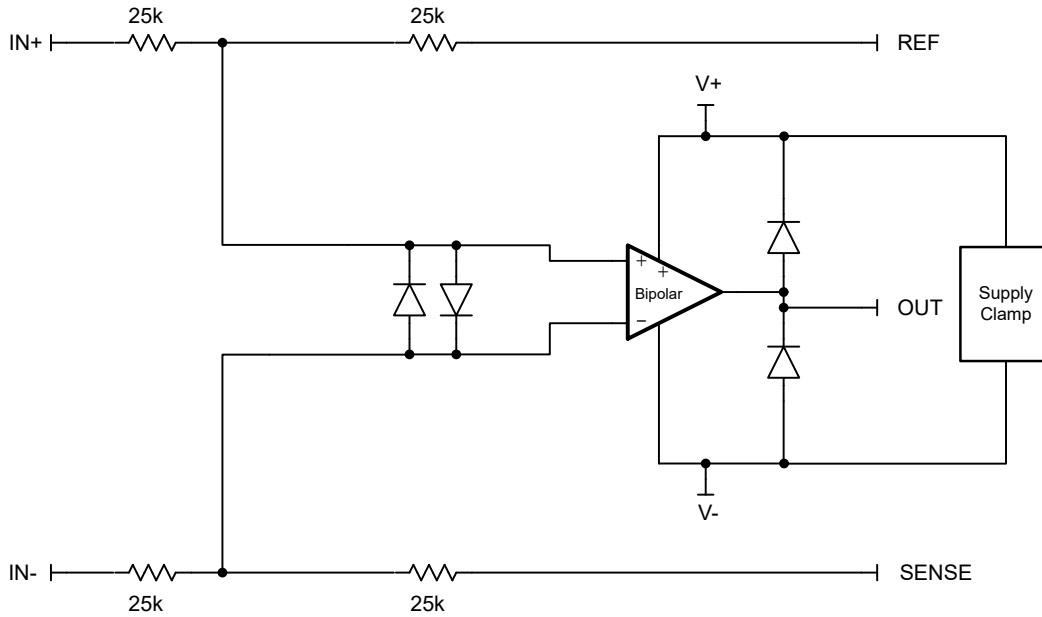


图 6-1. 以下制造过程的 INA133 内部原理图：CSO:SHE

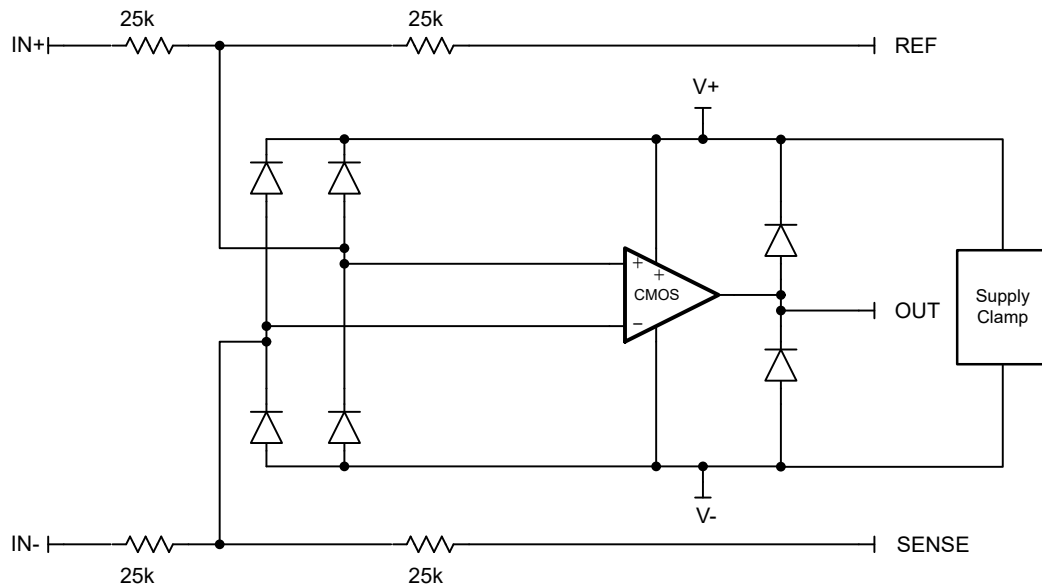


图 6-2. 以下制造过程的 INA133 内部原理图：CSO:RFB

6.3 特性说明

6.3.1 增益误差和漂移

INAx133 中的增益误差受到集成精密电阻器失配的限制。增益漂移受到集成电阻器温度系数轻微失配的限制。集成电阻器与低温系数电阻器精密匹配，与使用外部电阻器时差分放大器构建的分立式实现相比，可改善整体增益漂移。

6.3.2 输入电压范围

INAx133 差分放大器能够通过使用高精度电阻分频器对输入信号进行分频，从而确定宽输入共模电压范围。内部电阻器在电压到达内部运算放大器之前进行分压，并为运算放大器输入提供保护。图 6-3 显示了差分放大器配置中分压工作原理的示例。

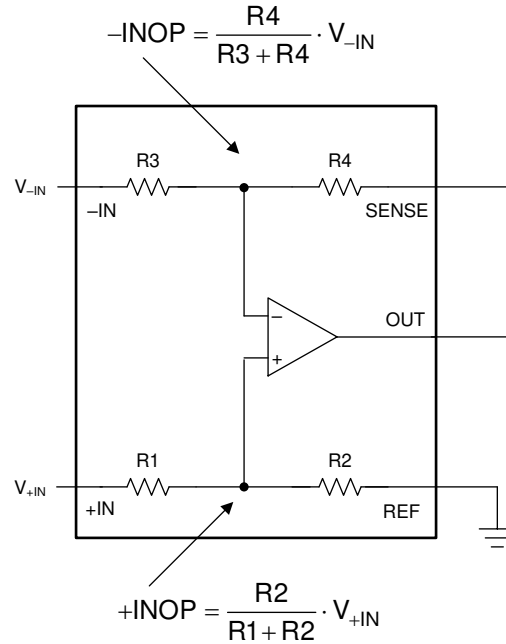


图 6-3. 差分放大器配置中的分压

6.4 器件功能模式

INAx133 有一种功能模式。该器件的额定电源电压为 $\pm 15V$ 或 $\pm 5V$ 。该器件可由 $\pm 2.25V$ 至 $\pm 18V$ 的电源供电运行，并具有降额性能。请参阅[典型特性](#)

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

INA133 和 INA2133 是高速差分放大器，专为各种通用应用而设计。图 7-2 显示了 INA133 运行所需的基本连接。如 图 7-2 所示，在采用噪声电源或高阻抗电源的应用中，将去耦电容器放置在靠近器件引脚的位置。所有电路在双通道版本中均完全独立，以便在一个放大器过驱动或短路时提供最低串扰和正常运行。

如 图 7-2 所示，差分输入信号连接至引脚 2 和 3。连接到输入端的源阻抗必须几乎相等，以维持良好的共模抑制。源阻抗中的 $5\ \Omega$ 失配会将典型器件的共模抑制降低到约 80dB ($10\ \Omega$ 失配能将 CMR 降低到 74dB)。如果源端具有已知的阻抗失配，则使用一个额外的电阻器与一个相反的输入串联，以保持良好的共模抑制。

INA133 的内部电阻器经过精确比率修整，能匹配。即，将 R_1 修整为与 R_2 匹配、将 R_3 修整为与 R_4 匹配。但是，绝对值不能相等 ($R_1 + R_2$ 可能与 $R_3 + R_4$ 略有不同)。因此，即使匹配良好，输入端的大串联电阻器 (大于 $250\ \Omega$) 也会降低共模抑制性能。

电路板布局限制可能表明内部电阻器的连接可能有变化，例如引脚 1 和 3 可以互换。然而，由于使用了比率修整技术，CMRR 可能会降低。如果引脚 1 和 3 互换，则引脚 2 和 5 也必须互换以保持适当的匹配比率。

7.1.1 工作电压

INA133 和 INA2133 由单电源 (+4.5V 至 +36V) 或双电源 ($\pm 2.25V$ 至 $\pm 18V$) 供电，具有出色的性能。可使用 $\pm 5V$ 和 $\pm 15V$ 电源针对规格进行量产测试。大多数特性在整个工作电压范围内保持不变。典型特性中显示了随工作电压变化而显著变化的参数。

7.1.2 输入电压

INA133 和 INA2133 可精确测量高于和低于电源轨的差分信号。线性共模范围从 $2 \times (V+) - 3V$ 扩展到 $2 \times (V-) + 3V$ (几乎是电源电压的两倍)。参阅 图 5-5。

7.1.3 失调电压调整

INA133 和 INA2133 会针对低偏移电压和温漂进行激光修整。大多数应用不要求进行外部失调电压调整。图 7-1 显示了用于调整输出失调电压的可选电路。输出称为输出基准端子 (引脚 1)，该端子通常接地。将施加到基准端子的电压与输出信号相加。此项操作能将偏移电压清零，如 图 7-1 所示。为保持良好的共模抑制，请确保施加到基准端子的信号源阻抗小于 $10\ \Omega$ 。

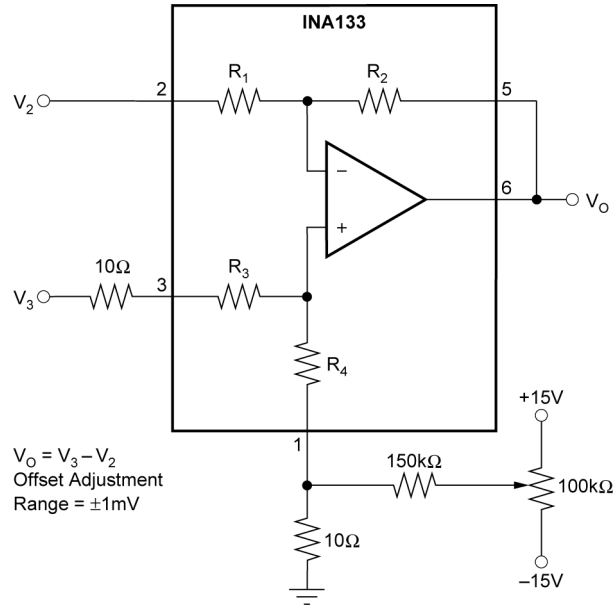


图 7-1. 偏移量调整

7.2 典型应用

INAx133 可用于多种应用。图 7-2 显示了一个示例。

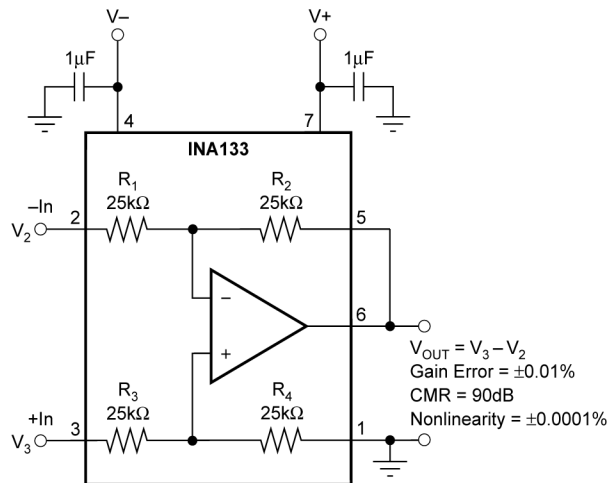


图 7-2. 精密差分放大器 (基本电源和信号连接)

7.3 其他应用

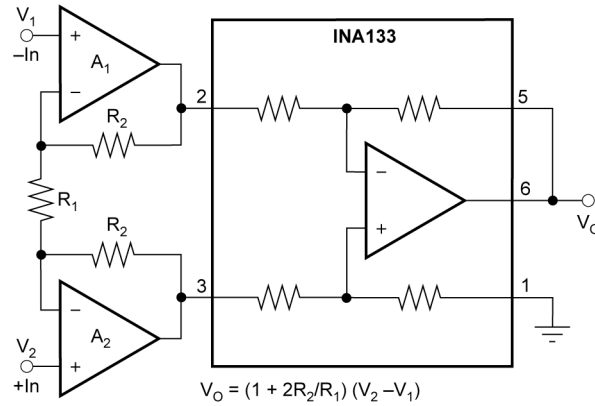
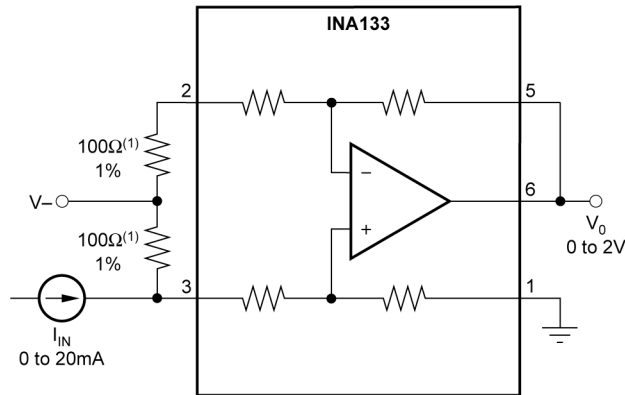


图 7-3. 精密仪表放大器



NOTE: (1) Input series resistors should be less than 250Ω (1% max mismatch) to maintain excellent CMR. With 100Ω resistors, gain error is increased to 0.5%.

图 7-4. 符合电源轨要求的电流接收器

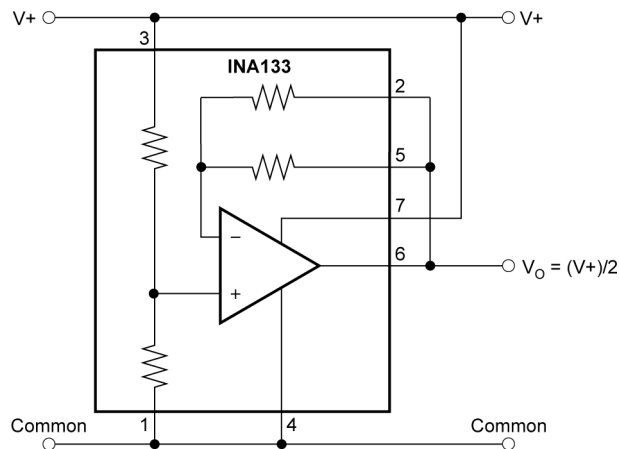


图 7-5. 伪接地发生器

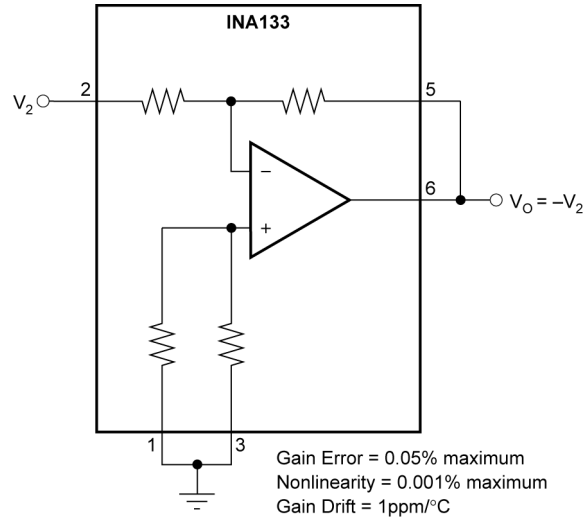


图 7-6. 精密单位增益反相放大器

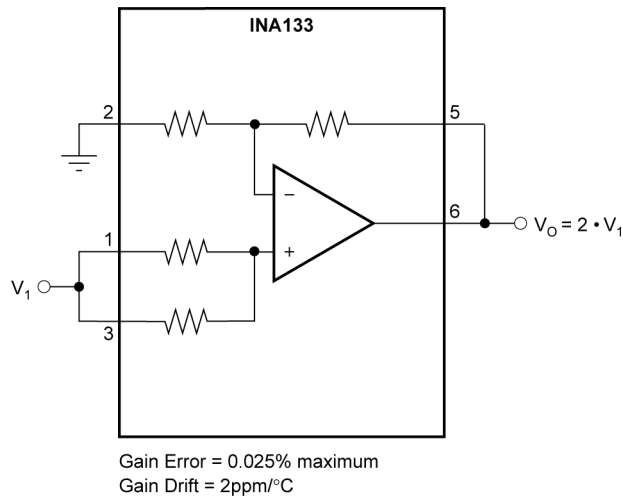


图 7-7. 增益 = 2 的精密放大器

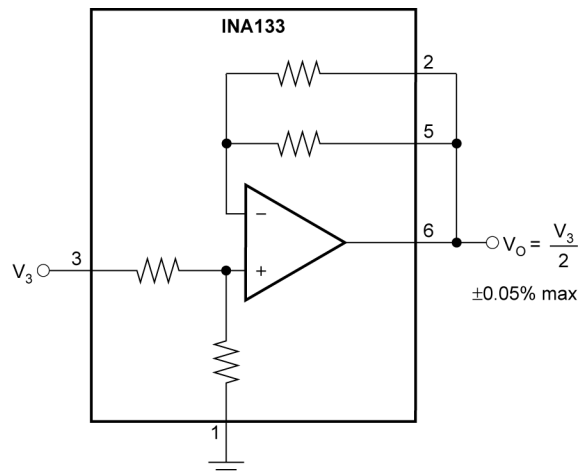


图 7-8. 增益 = 1/2 的精密放大器

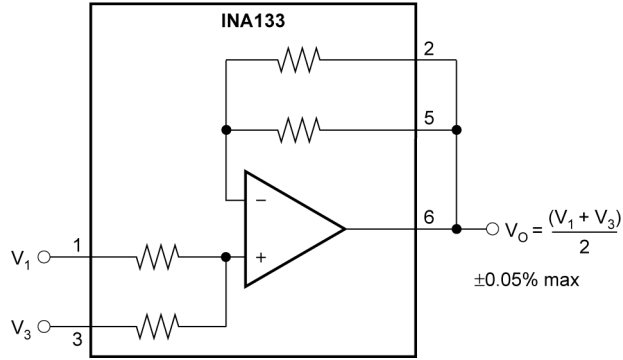


图 7-9. 精密平均值放大器

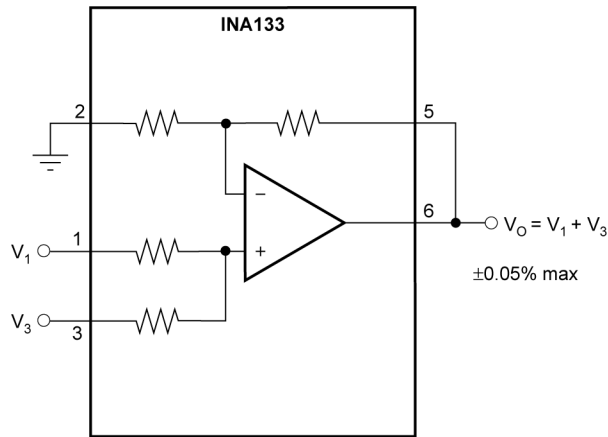


图 7-10. 精密加法放大器

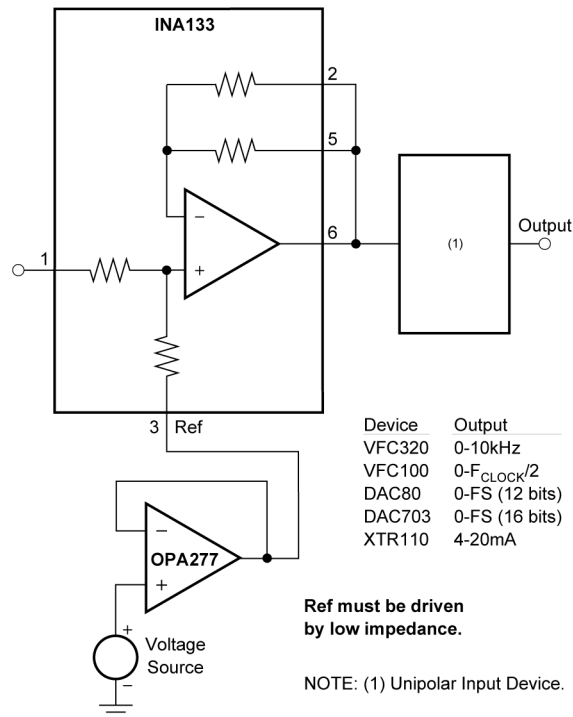


图 7-11. 精密双极偏移

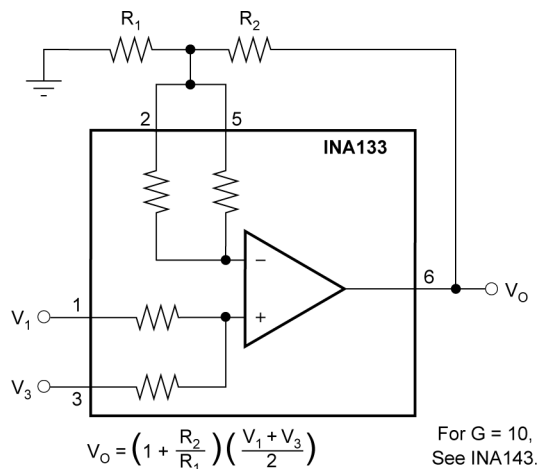


图 7-12. 带增益的精密加法放大器

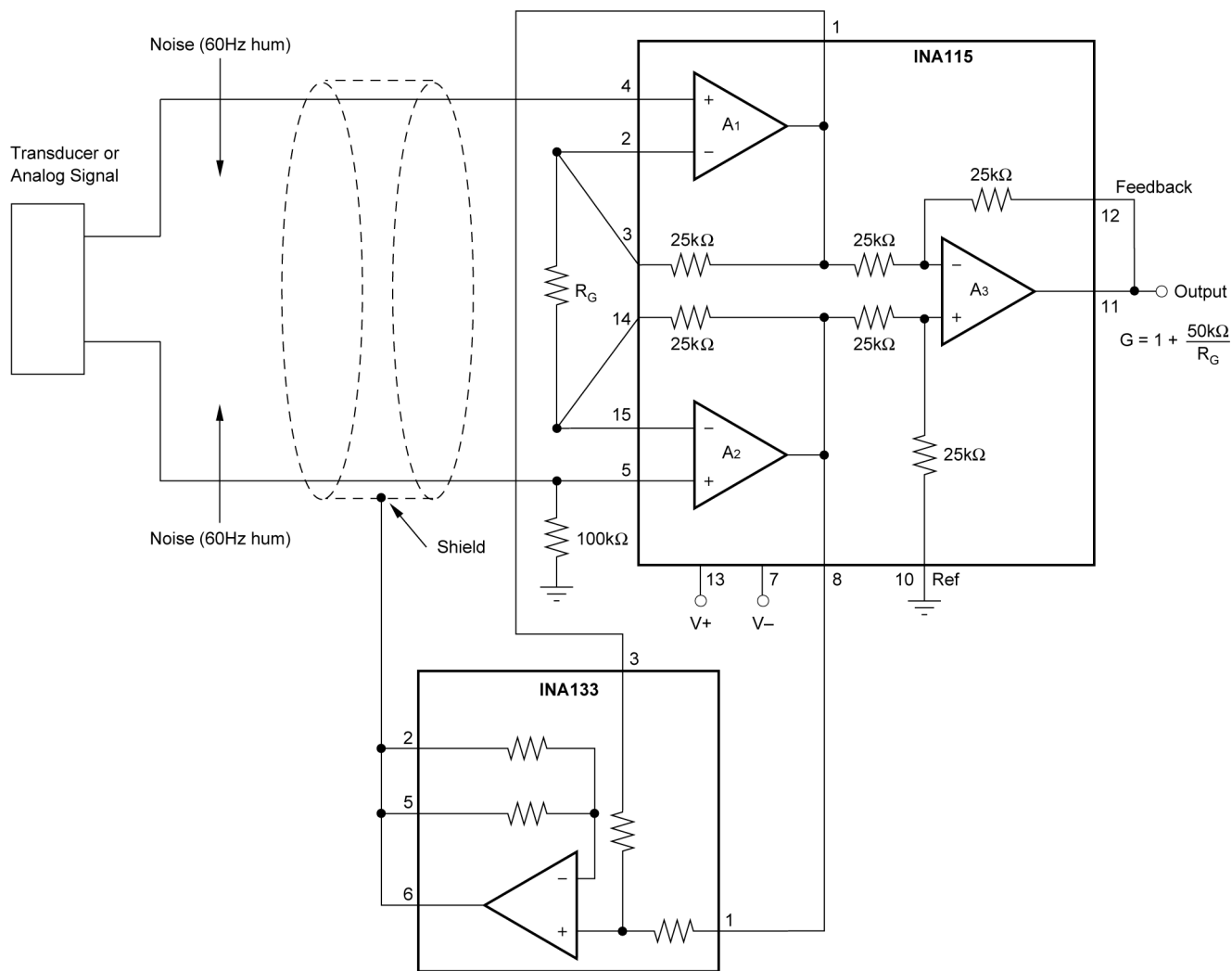


图 7-13. 仪表放大器防护装置驱动发电机

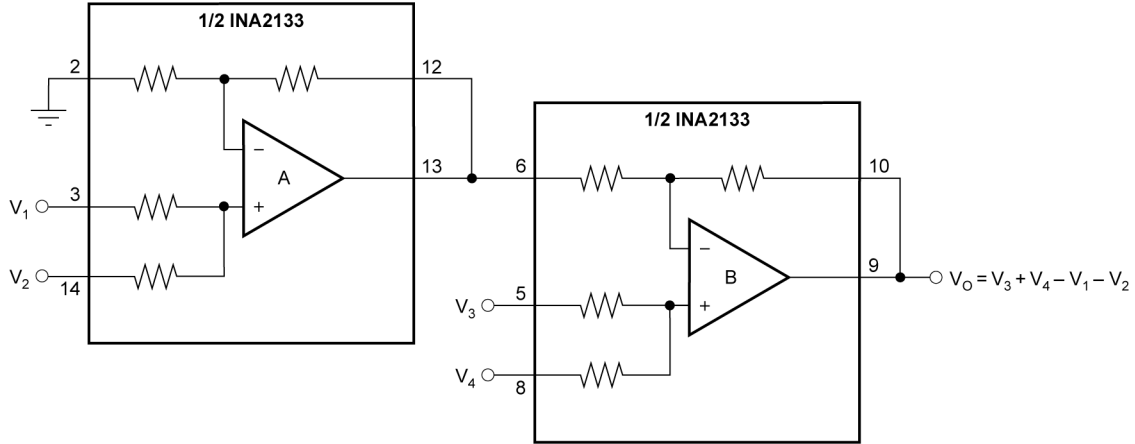


图 7-14. 精密加法仪表放大器

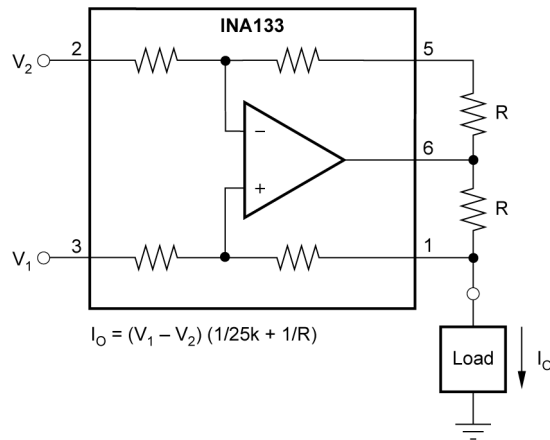


图 7-15. 带差分输入的精密电压至电流转换器

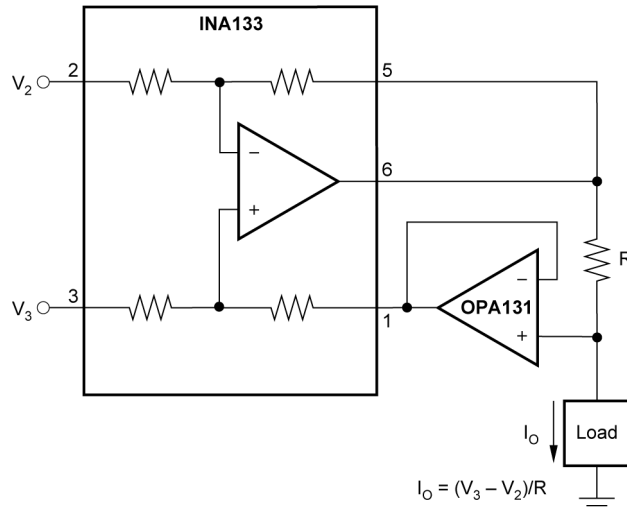


图 7-16. 实现低 I_{OUT} 的差分输入电压至电流转换器

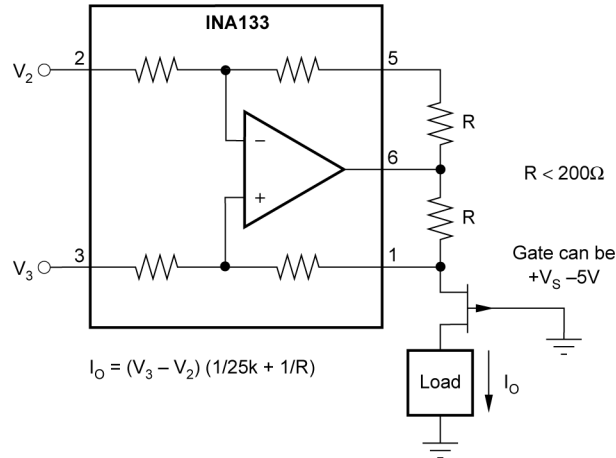


图 7-17. 隔离电流源

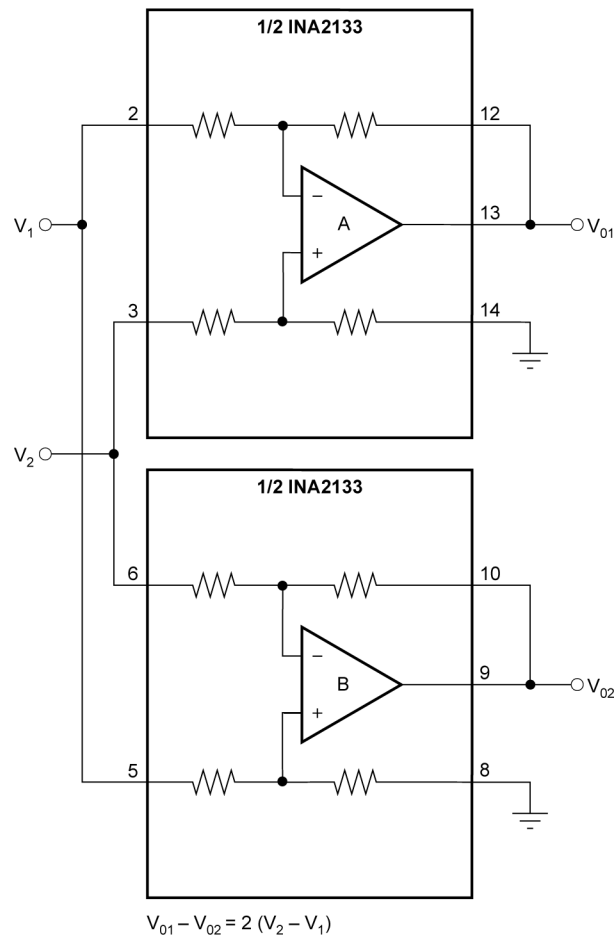


图 7-18. 差分输出差分放大器

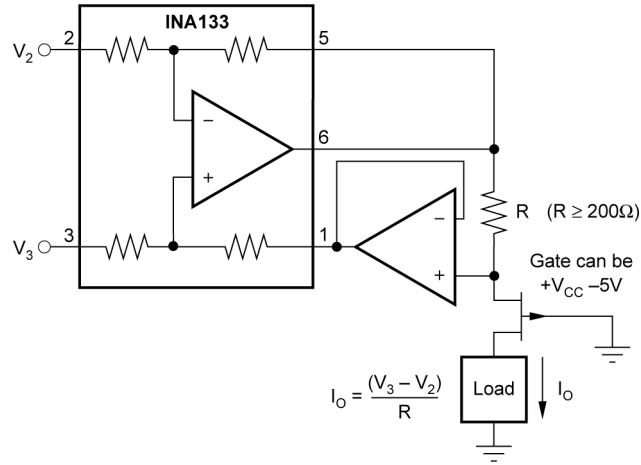


图 7-19. 采用缓冲放大器隔离电流源以提高精度

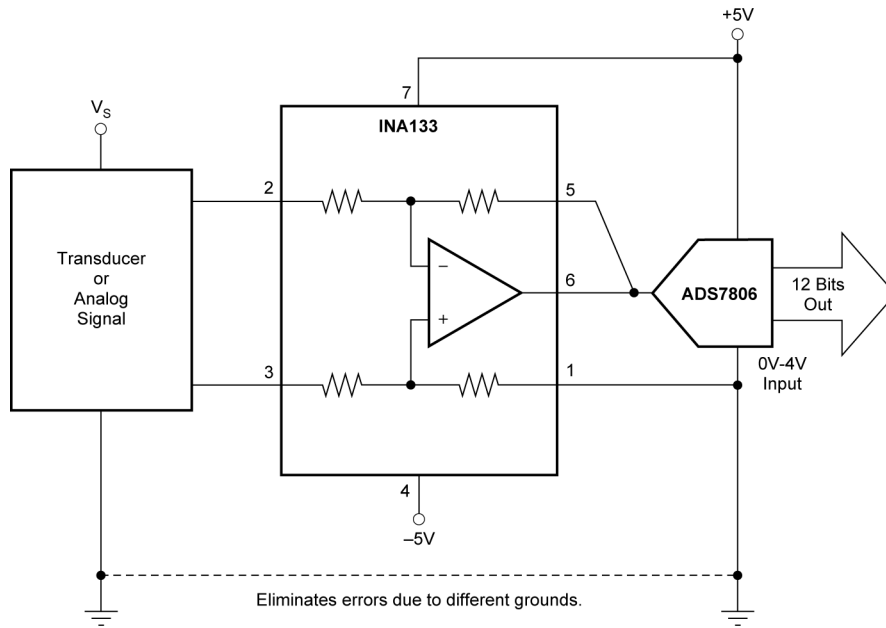


图 7-20. 差分输入数据采集

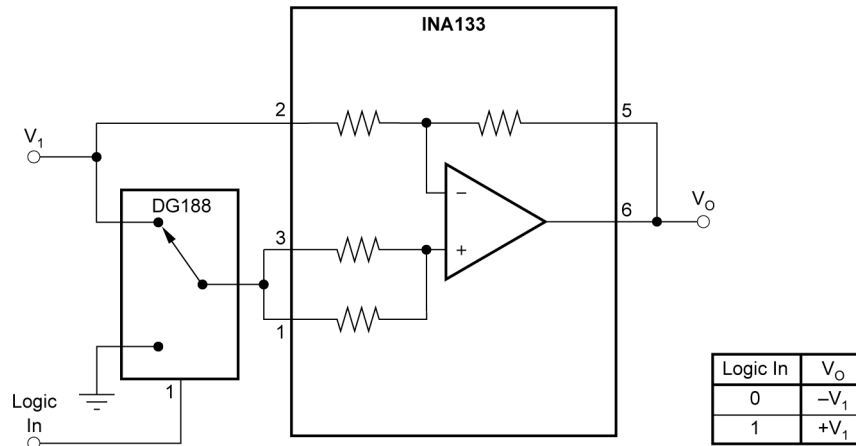


图 7-21. 增益为 ±1 的数字控制型放大器

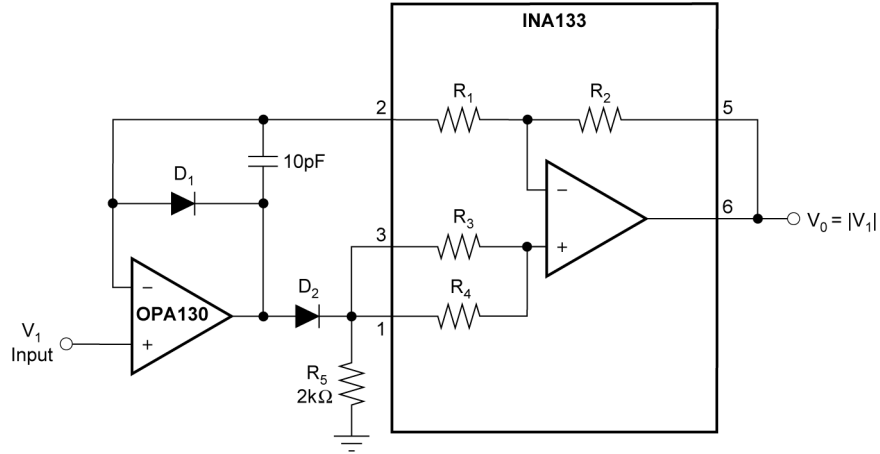


图 7-22. 精密绝对值缓冲器

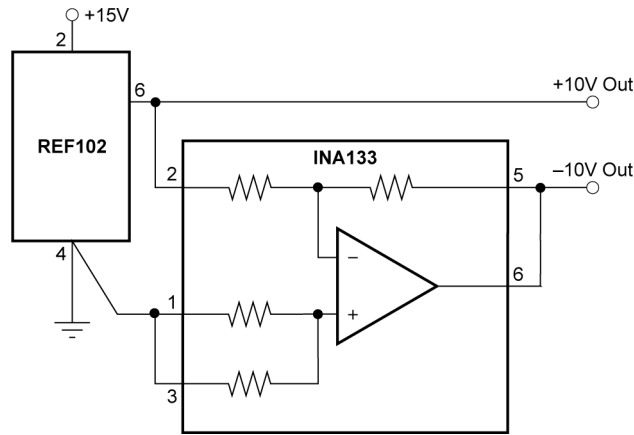


图 7-23. ±10V 精密电压基准

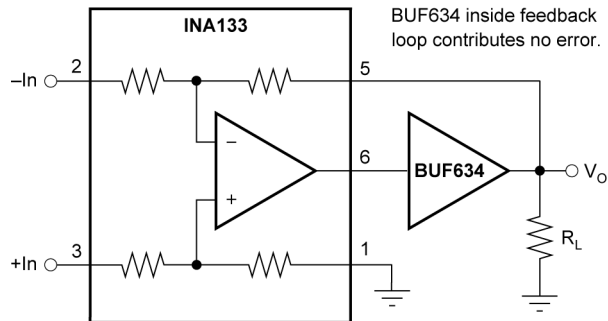


图 7-24. 高输出电流精密差分放大器

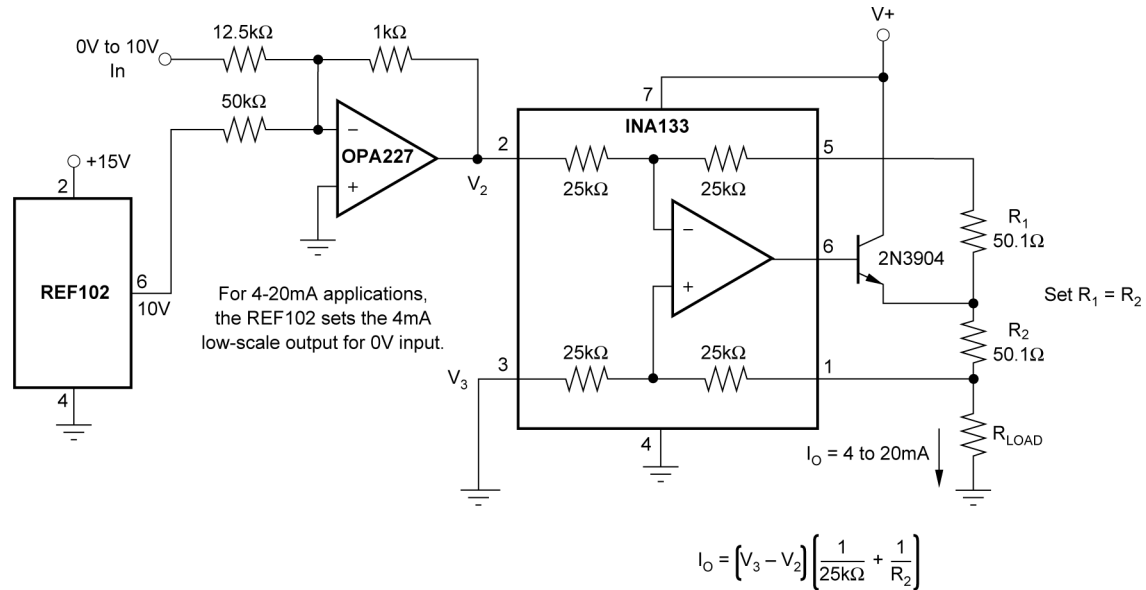


图 7-25. 精密电压至电流转换

7.4 电源相关建议

在 $\pm 15V$ 或 $\pm 5V$ 的电源电压下指定 INA133 的标称性能。该器件可在 2.25V 至 18V 的电源下运行，且性能各异。在 [典型特性](#) 中可以参考在工作电压和基准电压范围内变化的参数。

TI 强烈建议在每个电源引脚和接地之间添加低 ESR 陶瓷旁路电容器 (C_{BYP})。对于单电源运行，只需一个 C_{BYP} 就足够了。将 C_{BYP} 尽可能靠近器件放置，以减少噪声或高阻抗电源产生的耦合误差。请确保电源走线在到达放大器电源端子之前经过 C_{BYP} 。有关更多信息，请参阅[布局指南](#)。

7.5 布局

7.5.1 布局指南

建议使用良好的布局实践。为了实现器件的出色工作性能，请采用良好的 PCB 布局实践，包括：

- 确保两条输入路径在源阻抗和电容方面匹配良好，以避免将共模信号转换为差分信号。
- 噪声通过总体电路和器件的电源引脚传入模拟电路。旁路电容器通过提供模拟电路的本地低阻抗电源来减少耦合噪声。
 - 在每个电源引脚和接地端之间连接低等效串联电阻 (ESR) $0.1 \mu F$ 陶瓷旁路电容器，并尽量靠近器件放置。针对单电源应用， $V+$ 与接地端之间可以接入单个旁路电容器。
- 为了减少寄生耦合，应让输入布线尽可能远离电源或输出布线。如果上述布线无法分离，则让敏感性布线与有噪声布线垂直交叉要远优于选择平行的布线方式。
- 外部元件应尽量靠近器件放置。
- 应使布线尽可能短。

7.5.2 布局示例

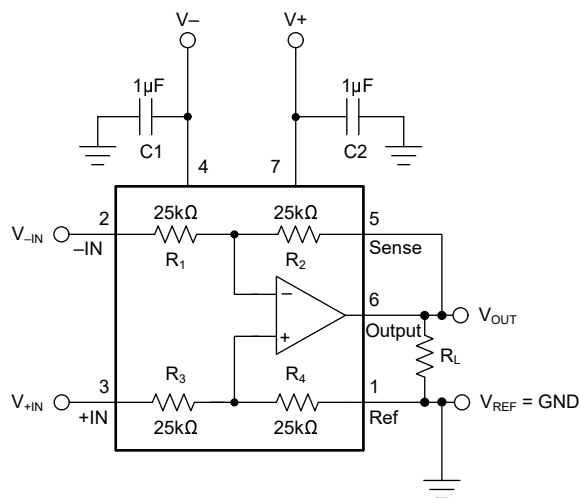


图 7-26. 示例原理图

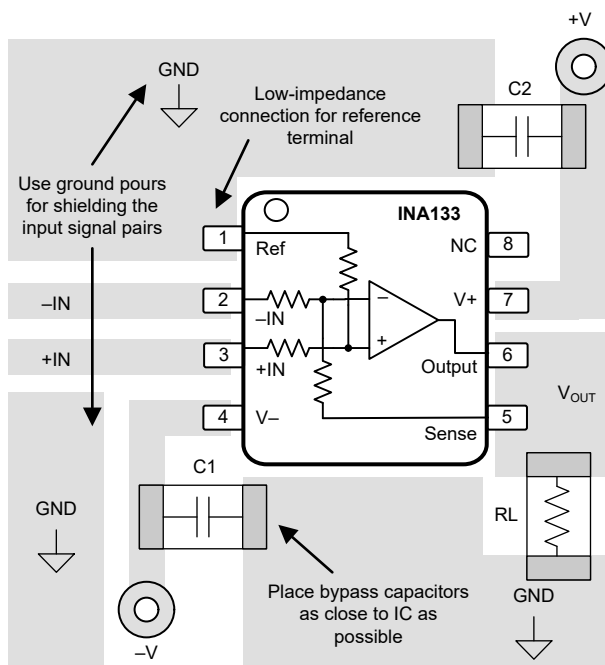


图 7-27. SOIC-8 封装的相关 PCB 布局

8 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

8.1 器件支持

8.1.1 器件命名规则

表 8-1. 器件命名规则

| 器件型号 | 定义 |
|--|----------------------------|
| INA133U/2K5 INA133UA/2K5 | 芯片采用 CSO 制造：SHE 或 CSO：RFB。 |
| INA133U INA133UA INA2133U INA2133UA | 芯片采用 CSO 制造：SHE。 |

8.1.2 开发支持

关于此产品的开发支持，请参阅以下内容：

8.1.2.1 PSpice® for TI

PSpice® for TI 是可帮助评估模拟电路性能的设计和仿真环境。在进行布局和制造之前创建子系统设计和原型解决方案，可降低开发成本并缩短上市时间。

8.1.2.2 TINA-TI™ (免费软件下载)

TINA™ 是一款基于 SPICE 引擎的简单、功能强大且易于使用的电路仿真程序。TINA-TI 是 TINA 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI 提供所有传统的 SPICE 直流、瞬态和频域分析，以及其他设计功能。

TINA-TI 可通过模拟电子实验室设计中心[免费下载](#)，该软件提供了丰富的后处理能力，允许用户以各种方式格式化结果。虚拟仪器提供选择输入波形和探测电路节点、电压以及波形的能力，从而构建一个动态的快速启动工具。

备注

这些文件要求安装 TINA 软件 (从 DesignSoft™) 或者 TINA-TI 软件。请从 [TINA-TI 文件夹](#) 中下载免费的 TINA-TI 软件。

8.2 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

8.4 商标

TINA-TI™ and TI E2E™ are trademarks of Texas Instruments.
TINA™ and DesignSoft™ are trademarks of DesignSoft, Inc.
PSpice® is a registered trademark of Cadence Design Systems, Inc.

所有商标均为其各自所有者的财产。

8.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

| Changes from Revision A (March 2025) to Revision B (January 2026) | Page |
|--|------|
| • 在 <i>特性</i> 中添加了转换率的不同制造过程规格..... | 1 |
| • 在 <i>规格</i> 中添加了器件流程信息的说明..... | 4 |
| • 向 <i>电气特性</i> 中的典型测试条件添加了所有芯片原产地 (CSO) 条件..... | 5 |
| • 将 <i>电气特性</i> 中的输出电压典型值从 “(V+) - 0.8” 更改为 “(V-) - 0.8” | 5 |
| • 在 <i>电气特性</i> 中添加了短路电流、灌电流和拉电流的不同制造过程规格..... | 5 |
| • 在 “电气特性” 中区分了短路电流的灌电流和拉电流..... | 5 |
| • 将 “电气特性” 中的 0.01% 趋稳时间测试条件从 “ $C_L = 1000\text{pF}$ ” 更改为 “ $C_L = 100\text{pF}$ ” | 5 |
| • 将 <i>电气特性</i> 中的静态电流测试条件从 “ $I_O = 0\text{V}$ ” 更改为 “ $I_O = 0\text{A}$ ” | 5 |
| • 向 <i>典型特性</i> 中的总谐波失真 + 噪声与频率间的关系、电压噪声密度与频率间的关系、转换率与温度间的关系、短路电流与温度间的关系、输出电压摆幅与输出电流间的关系以及大信号阶跃响应中添加了 “CSO:SHE” | 7 |
| • 在 <i>典型特性</i> 中添加了总谐波失真 + 噪声与频率间的关系、电压噪声密度与频率间的关系、输出电压摆幅与输出电流 (灌电流) 间的关系、输出电压摆幅与输出电流 (拉电流) 间的关系以及大信号阶跃响应..... | 7 |
| • 向 <i>典型特性</i> 中的典型测试条件添加了所有芯片原产地 (CSO) 条件..... | 7 |
| • 在 <i>功能方框图</i> 中更改并为每个制造过程添加了 INA133 内部原理图..... | 12 |
| • 将 <i>电源建议</i> 中的 “INA105” 更改为 “INA133” | 25 |

| Changes from Revision * (June 1999) to Revision A (March 2025) | Page |
|---|------|
| • 更新了整个文档中的表格、图以及交叉引用的编号和格式..... | 1 |
| • 添加了引脚配置和功能、规格、推荐的工作条件、热性能信息、详细说明、概述、功能方框图、特性说明、器件功能模式、应用和实现、电源建议、布局、布局指南、布局示例、器件和文档支持以及机械、封装和可订购信息部分..... | 1 |
| • 更改了封装信息表..... | 1 |
| • 添加了 INA133 和 INA2133 引脚功能表..... | 3 |
| • 向 <i>电气特性表</i> 中添加了测试条件..... | 5 |
| • 合并了 <i>电气特性</i> 中的 $V_S = \pm 15\text{V}$ 和 $V_S = \pm 5\text{V}$ 规格表..... | 5 |
| • 将 <i>电气特性</i> 中的参数名称从 <i>偏移电压初始值与温度之间的关系</i> 更改为 <i>偏移电压漂移</i> | 5 |
| • 将 <i>电气特性</i> 中的参数名称从 <i>偏移电压初始值与电源之间的关系</i> 更改为 <i>电源抑制比</i> | 5 |
| • 将 <i>电气特性</i> 中的参数名称从 <i>偏移电压与时间之间的关系</i> 更改为 <i>长期稳定性</i> | 5 |
| • 将 <i>电气特性</i> 中的参数名称从 <i>电流限制、连续至共模电流</i> 更改为 <i>短路电流</i> ，并添加了测试条件..... | 5 |
| • 将电源和温度范围从 <i>电气特性表</i> 移至 <i>建议运行条件和绝对最大额定值表</i> | 5 |
| • 更改了应用部分..... | 15 |

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

| Orderable part number | Status (1) | Material type (2) | Package Pins | Package qty Carrier | RoHS (3) | Lead finish/ Ball material (4) | MSL rating/ Peak reflow (5) | Op temp (°C) | Part marking (6) |
|------------------------------|---------------|----------------------|----------------|-----------------------|-------------|--------------------------------------|-----------------------------------|--------------|---------------------------|
| INA133U/2K5 | Active | Production | SOIC (D) 8 | 2500 LARGE T&R | Yes | Call TI Nipdau | Level-3-260C-168 HR | - | INA 133U |
| INA133U/2K5.A | Active | Production | SOIC (D) 8 | 2500 LARGE T&R | Yes | Call TI | Level-3-260C-168 HR | -40 to 85 | INA 133U |
| INA133UA/2K5 | Active | Production | SOIC (D) 8 | 2500 LARGE T&R | Yes | NIPDAU | Level-3-260C-168 HR | - | INA (133U, 133UA) A |
| INA133UA/2K5.A | Active | Production | SOIC (D) 8 | 2500 LARGE T&R | Yes | NIPDAU | Level-3-260C-168 HR | -40 to 85 | INA (133U, 133UA) A |
| INA2133U | Active | Production | SOIC (D) 14 | 50 TUBE | Yes | Call TI | Level-3-260C-168 HR | -55 to 125 | INA2133U |
| INA2133U.A | Active | Production | SOIC (D) 14 | 50 TUBE | Yes | Call TI | Level-3-260C-168 HR | -55 to 125 | INA2133U |
| INA2133UA | Active | Production | SOIC (D) 14 | 50 TUBE | Yes | Call TI | Level-3-260C-168 HR | -55 to 125 | INA2133U A |
| INA2133UA.A | Active | Production | SOIC (D) 14 | 50 TUBE | Yes | Call TI | Level-3-260C-168 HR | -55 to 125 | INA2133U A |

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

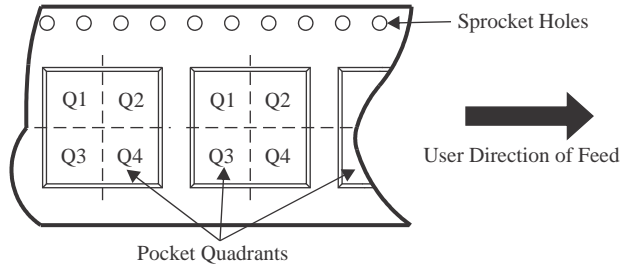
(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Reel Diameter (mm) | Reel Width W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1 Quadrant |
|--------------|--------------|-----------------|------|------|--------------------|--------------------|---------|---------|---------|---------|--------|---------------|
| INA133U/2K5 | SOIC | D | 8 | 2500 | 330.0 | 12.4 | 6.4 | 5.2 | 2.1 | 8.0 | 12.0 | Q1 |
| INA133UA/2K5 | SOIC | D | 8 | 2500 | 330.0 | 12.4 | 6.4 | 5.2 | 2.1 | 8.0 | 12.0 | Q1 |

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

| Device | Package Type | Package Drawing | Pins | SPQ | Length (mm) | Width (mm) | Height (mm) |
|--------------|--------------|-----------------|------|------|-------------|------------|-------------|
| INA133U/2K5 | SOIC | D | 8 | 2500 | 353.0 | 353.0 | 32.0 |
| INA133UA/2K5 | SOIC | D | 8 | 2500 | 353.0 | 353.0 | 32.0 |

TUBE


*All dimensions are nominal

| Device | Package Name | Package Type | Pins | SPQ | L (mm) | W (mm) | T (μm) | B (mm) |
|-------------|--------------|--------------|------|-----|--------|--------|--------|--------|
| INA2133U | D | SOIC | 14 | 50 | 506.6 | 8 | 3940 | 4.32 |
| INA2133U.A | D | SOIC | 14 | 50 | 506.6 | 8 | 3940 | 4.32 |
| INA2133UA | D | SOIC | 14 | 50 | 506.6 | 8 | 3940 | 4.32 |
| INA2133UA.A | D | SOIC | 14 | 50 | 506.6 | 8 | 3940 | 4.32 |



D0008A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4214825/C 02/2019

NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed $.006$ [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.

EXAMPLE BOARD LAYOUT

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



D0014A

PACKAGE OUTLINE

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



4220718/A 09/2016

NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.

EXAMPLE BOARD LAYOUT

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

- 6. Publication IPC-7351 may have alternate designs.
- 7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月