INA114 精密仪表放大器

1 特性

- 低失调电压：最大值为 50μV（对于高增益）
- 低温漂：最大值为 0.3μV/°C（对于高增益）
- 低输入偏置电流：2nA（最大值）
- 高共模抑制：115dB（最小值）
- 输入过压保护：±40V
- 宽电源电压范围：±2.25V 至 ±18V
- 封装：PDIP-8 和 SOIC-16

2 应用

- 外科手术设备
- 传动器
- 多功能继电器
- 火车控制和管理
- 轨道旁信令和控制

3 说明

INA114 是一款低成本通用仪表放大器，可提供出色的精度。此器件采用多功能三级运算放大器设计，尺寸小巧，适用于多种应用。

可通过单个外部电阻器在 1 到 10,000 范围内设置任意增益。内部输入保护可耐受高达 ±40V 的电压且不会造成损坏。

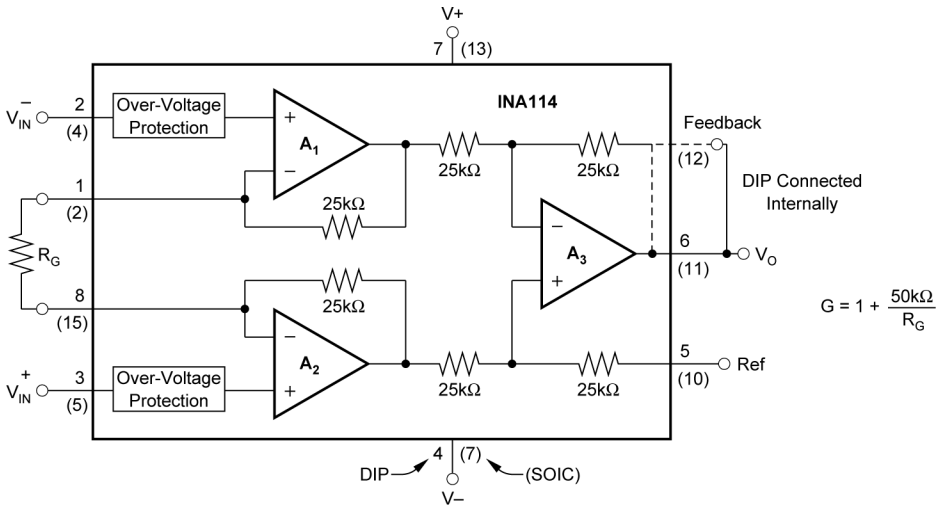
INA114 经过激光修整，具有极低失调电压 (50μV)、低温漂 (0.3μV/°C) 和高共模抑制（G = 1000 时为 115dB）。该器件可由低至 ±2.25V 的电源供电，适用于电池供电型和 5V 单电源系统。

INA114 采用 8 引脚 PDIP 和 16 引脚 SOIC 表面贴装封装。采用两种封装时，额定工作温度范围均为 −40°C 至 +85°C。

封装信息

器件型号	封装(1)	封装尺寸(2)
INA114	P（PDIP，8）	9.81mm × 9.43mm
	DW（SOIC，16）	10.3mm × 10.3mm

(1) 有关更多信息，请参阅 节 9。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



原理图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....4
5.1 绝对最大额定值.....4
5.2 ESD 等级.....4
5.3 建议运行条件.....4
5.4 热性能信息.....4
5.5 电气特性.....5
5.6 典型特性.....7
6 应用和实施.....13
6.1 应用信息.....13
6.2 典型应用.....17
7 器件和文档支持.....20
7.1 器件命名规则.....20
7.2 接收文档更新通知.....20
7.3 支持资源.....20
7.4 商标.....20
7.5 静电放电警告.....20
7.6 术语表.....20
8 修订历史记录.....20
9 机械、封装和可订购信息.....22

Copyright © 2026 Texas Instruments Incorporated

4 引脚配置和功能

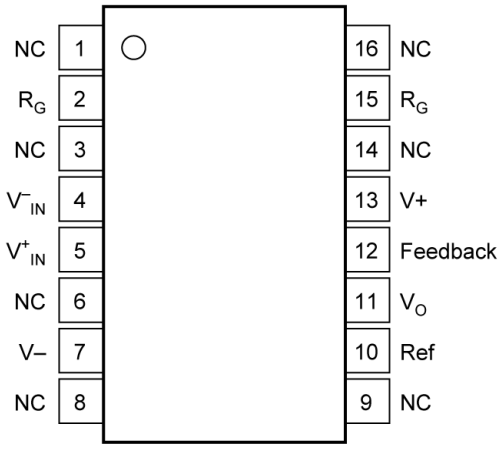


图 4-1. DW 封装，16 引脚 SOIC（俯视图）

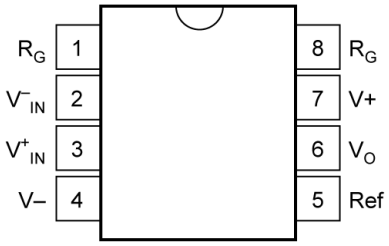


图 4-2. P 封装，8 引脚 PDIP（俯视图）

5 规格

备注

TI 为此器件鉴定了多个制造流程。性能差异按芯片原产地 (CSO) 进行了标记。为确保系统稳健性，强烈建议针对所有流程进行设计。有关更多信息，请参阅节 7.1。

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）[(1)]

			最小值	最大值	单位
V_S	电源电压	单电源，V_S = (+V_S)		36	V
		双电源，V_S = (+V_S) – (–V_S)	-18	18	
	信号输入引脚		-40	40	V
V_O	信号输出电压		(–V_S) – 0.5	(+V_S) + 0.5	V
I_S	输出短路（对 V_S/2 短路）		持续		
T_A	工作温度		-40	125	°C
T_J	结温			150	°C
T_{stg}	贮存温度		-40	125	°C

(1) 超出*绝对最大额定值*范围操作可能会导致器件永久损坏。*绝对最大额定值* 并不表示器件在这些条件下或在*建议的工作条件* 以外的任何其他条件下能够正常运行。如果超出 *建议运行条件* 但在*绝对最大额定值* 范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准[(1)]	±1500	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准[(2)]	±1500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	最大值	单位
V_S	电源电压	单电源，V_S = (+V_S)	4.5	36	V
		双电源，V_S = (+V_S) – (–V_S)	±2.25	±18	
T_A	额定温度		-40	85	°C

5.4 热性能信息

热指标[(1)]		INA114		单位
		DW (SOIC)	P (PDIP)	
		16 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	74.2	110.2	℃/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

Copyright © 2026 Texas Instruments Incorporated

5.5 电气特性

在 T_A = 25°C、V_S = ±15V、R_L = 2kΩ、V_{REF} = 0V、G = 1 时，所有芯片原产地 (CSO)，除非另有说明。

参数		测试条件			最小值	典型值	最大值	单位
输入								
V_{OS}	失调电压	RTI	INA114BP，BU			±10 + 20/G	±50 + 150/G	μV
			INA114AP，AU			±25 + 30/G	±125 + 500/G	
	失调电压漂移	T_A = –40℃ 至 +85℃，RTI	INA114BP，BU			±0.1 + 0.5/G	±0.3 + 5/G	μV/℃
			INA114AP，AU			±0.25 + 5/G	±1 + 10/G	
	长期稳定性					±0.2 + 0.5/G		μV/mo
	差分阻抗					100 || 6		GΩ || pF
	共模阻抗					100 || 6		GΩ || pF
	工作输入电压				(V–) + 4		(V+) – 4	V
PSRR	电源抑制比	RTI，±2.25V 至 ±18V				0.5 + 2/G	3 + 10/G	μV/V
CMRR	共模抑制比	直流至 60Hz，RTI，V_{CM} = ±10V，ΔR_S = 1kΩ	G = 1	INA114BP，BU	80	96		dB
				INA114AP，AU	75	90		
			G = 10	INA114BP，BU	96	115		
				INA114AP，AU	90	106		
			G = 100	INA114BP，BU	110	120		
				INA114AP，AU	106	110		
			G = 1000	INA114BP，BU	115	120		
				INA114AP，AU	106	110		
偏置电流								
I_B	输入偏置电流	V_{CM} = V_S/2	INA114BP，BU			±0.5	±2	nA
			INA114AP，AU			±0.5	±5	
	输入偏置电流漂移	T_A = -40°C 至 +85°C	INA114BP，BU			±8		pA/℃
			INA114AP，AU			±8		
I_{OS}	输入失调电流	V_{CM} = V_S/2	INA114BP，BU			±0.5	±2	nA
			INA114AP，AU			±0.5	±5	
	输入失调电流漂移	T_A = -40°C 至 +85°C	INA114BP，BU			±8		pA/℃
			INA114AP，AU			±8		
噪声电压								
	电压噪声	G = 1000，R_S = 0 Ω	CSO：SHE	f = 10Hz		15		nV/√Hz
				f = 100Hz		11		
				f = 1kHz		11		
			CSO：TID	f = 10Hz 至 1kHz		7		
			CSO：SHE	f_B = 0.1Hz 至 10Hz		0.4		$μV_{PP}$
			CSO：TID	f_B = 0.1Hz 至 10Hz		0.45		
	噪声电流	f = 10Hz				0.4		pA/√Hz
		f = 1kHz				0.2		
		f_B = 0.1Hz 至 10Hz				18		pA_{PP}

5.5 电气特性（续）

在 T_A = 25°C、V_S = ±15V、R_L = 2kΩ、V_{REF} = 0V、G = 1 时，所有芯片原产地 (CSO)，除非另有说明。

参数		测试条件			最小值	典型值	最大值	单位
增益								
G	增益公式					1 + (50kΩ/R_G)		V/V
	增益范围				1		10000	V/V
GE	增益误差	V_O = ±10V，G = 1				±0.01	±0.05	%
		V_O = ±10V	G = 10	INA114BP，BU		±0.02	±0.4	
				INA114AP，AU		±0.02	±0.5	
			G = 100	INA114BP，BU		±0.05	±0.5	
				INA114AP，AU		±0.05	±0.7	
			G = 1000	INA114BP，BU		±0.5	±1	
				INA114AP，AU		±0.5	±2	
	增益漂移					±2	±10	ppm/°C
		R_S = 50kΩ(1)				±25	±100	
	增益非线性	V_O = -10V 至 +10V	G = 1	INA114BP，BU		±0.0001	±0.001	FSR 百分比
				INA114AP，AU		±0.0001	±0.002	
			G = 10、100	INA114BP，BU		±0.0005	±0.002	
				INA114AP，AU		±0.0005	±0.004	
			G = 1000	INA114BP，BU		±0.002	±0.01	
				INA114AP，AU		±0.002	±0.02	
输出								
	输出电压	I_O = 5mA，T_A = –40℃ 至 85℃			(V–) +1.5		(V+) -1.5	V
			V_S = ±11.4V		(V–) + 1.4		(V+) – 1.4	
			V_S = ±2.25V		(V–) +1		(V+) – 1	
	负载电容稳定性					1000		pF
I_{SC}	短路电流	持续达 V_S/2				+20 / –15		mA
频率响应								
BW	带宽，–3dB	G = 1		CSO：SHE		1		MHz
				CSO：TID		1.5		
		G = 10		CSO：SHE		100		kHz
				CSO：TID		600		
		G = 100		CSO：SHE		10		
				CSO：TID		200		
		G = 1000		CSO：SHE		1		
				CSO：TID		30		
SR	压摆率	G = 10，V_O = ±10V		CSO：SHE	0.3	0.6		V/μs
				CSO：TID		1.2		
t_S	趋稳时间	0.01%，V_{STEP} = 10V	G = 1			18		μs
			G = 10			20		
			G = 100			120		
			G = 1000			1100		
	过载恢复	50% 过驱		CSO：TID		2		μs
				CSO：SHE		20		
电源								
I_Q	静态电流	V_S = ±2.25V 至 ±18V，V_{IN} = 0V				±2.2	±3	mA

(1) 增益公式中“50kΩ”项的温度系数。

Copyright © 2026 Texas Instruments Incorporated

5.6 典型特性

T_A = +25°C、V_S = ±15V、G = 1 V/V 以及所有芯片原产地 (CSO)，除非另有说明。

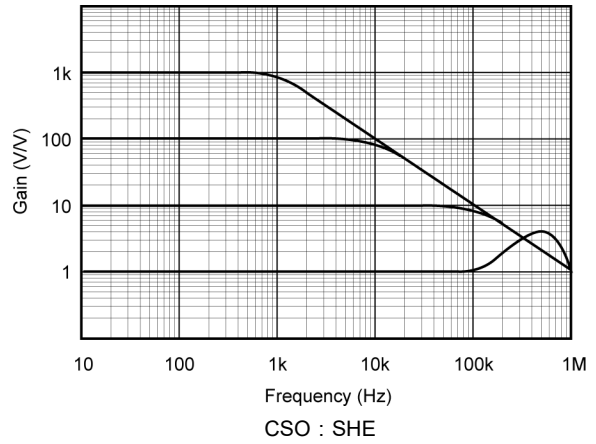


图 5-1. 增益与频率间的关系

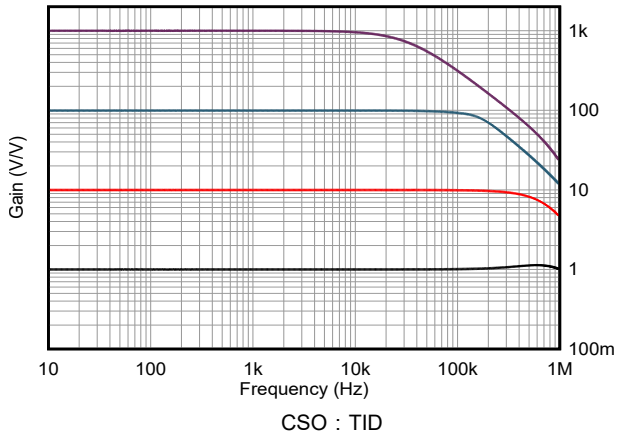


图 5-2. 增益与频率间的关系

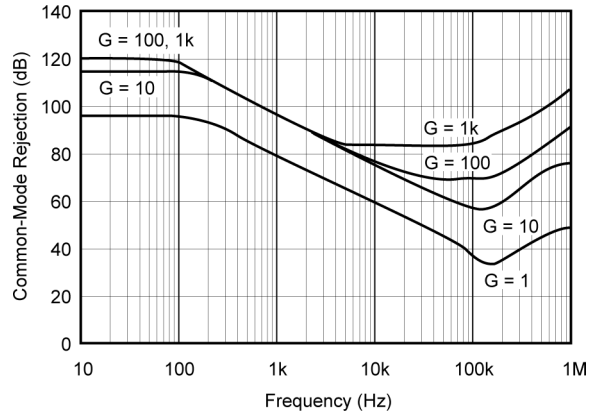


图 5-3. 共模抑制与频率间的关系

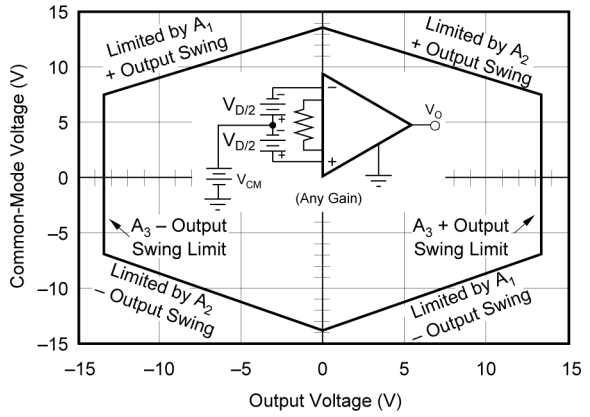


图 5-4. 输入共模电压范围与输出电压间的关系

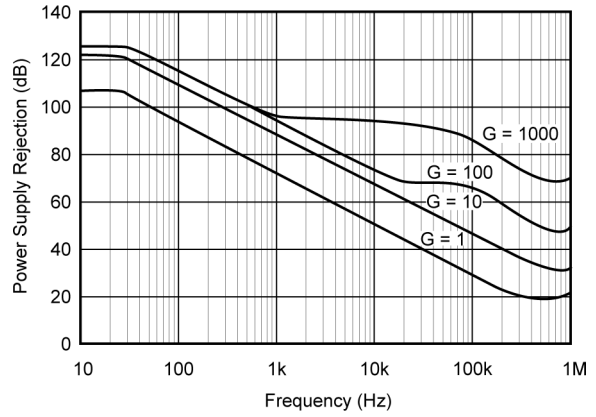


图 5-5. 正电源抑制与频率间的关系

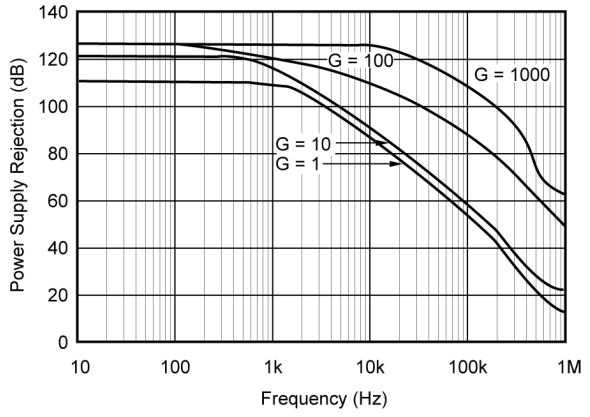
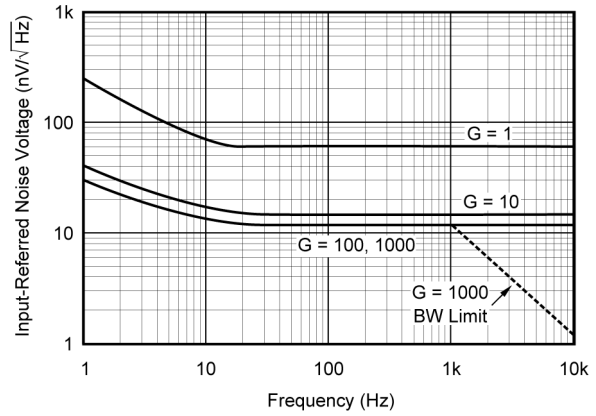


图 5-6. 负电源抑制与频率间的关系

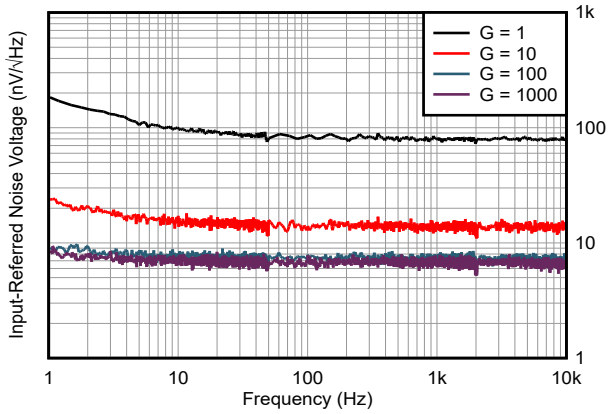
5.6 典型特性（续）

T_A = +25°C、V_S = ±15V、G = 1 V/V 以及所有芯片原产地 (CSO)，除非另有说明。



CSO：SHE

图 5-7. 输入基准噪声电压与频率间的关系



CSO：TID

图 5-8. 输入基准噪声电压与频率间的关系

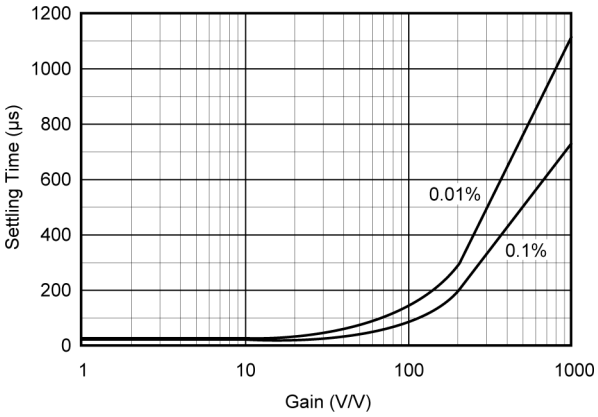


图 5-9. 稳定时间与增益间的关系

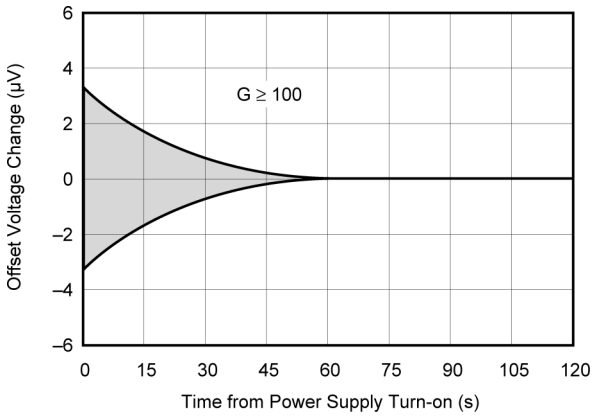


图 5-10. 失调电压预热与时间间的关系

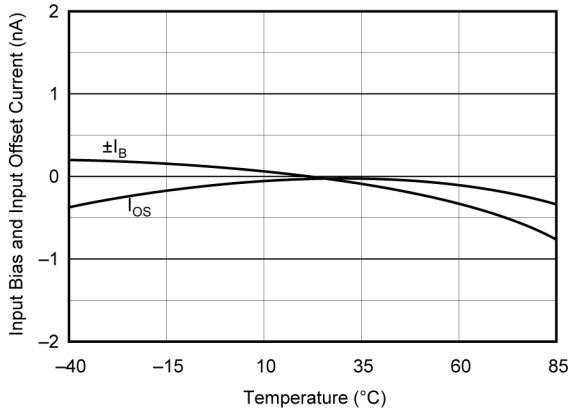
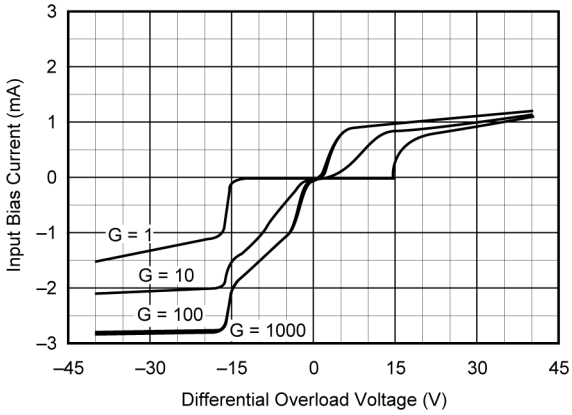


图 5-11. 输入偏置和输入失调电流与温度间的关系



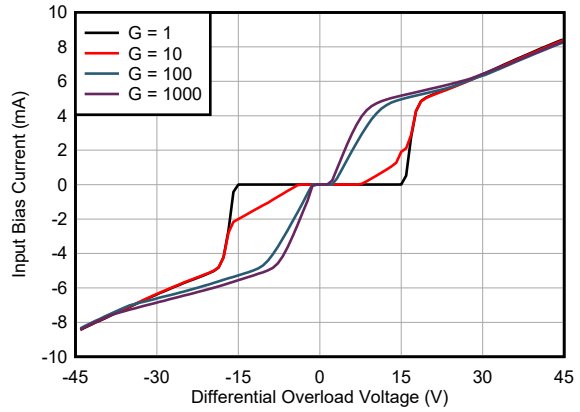
CSO：SHE

图 5-12. 输入偏置电流与差分输入电压间的关系

Copyright © 2026 Texas Instruments Incorporated

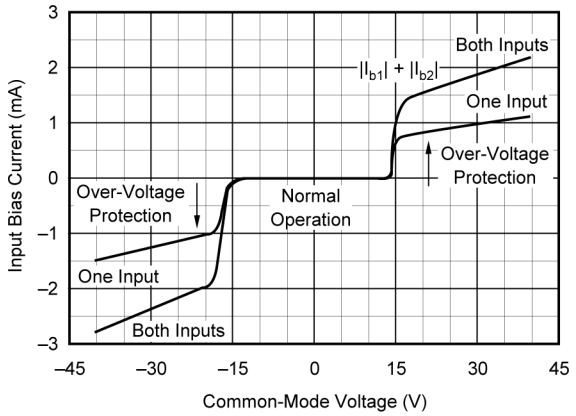
5.6 典型特性（续）

T_A = +25°C、V_S = ±15V、G = 1 V/V 以及所有芯片原产地 (CSO)，除非另有说明。



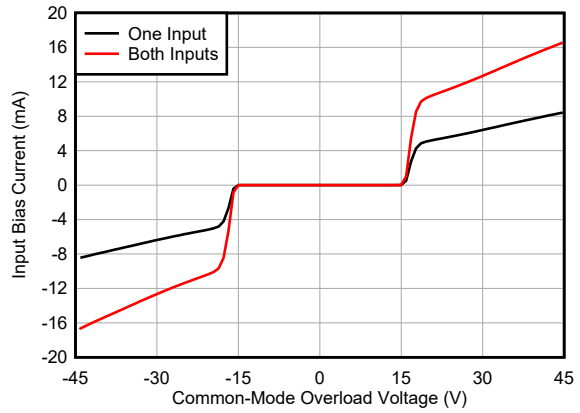
CSO：TID

图 5-13. 输入偏置电流与差分输入电压间的关系



CSO：SHE

图 5-14. 输入偏置电流与共模输入电压间的关系



CSO：TID

图 5-15. 输入偏置电流与共模输入电压间的关系

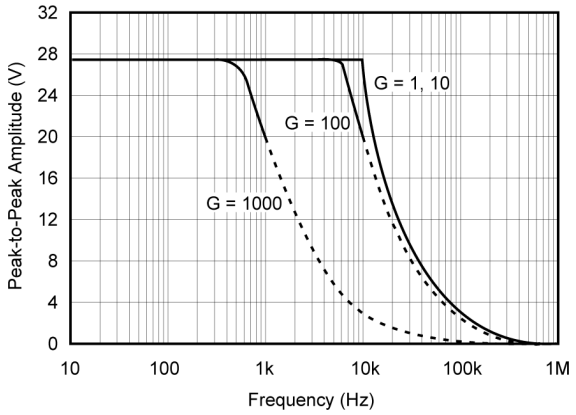


图 5-16. 最大输出摆幅与频率间的关系

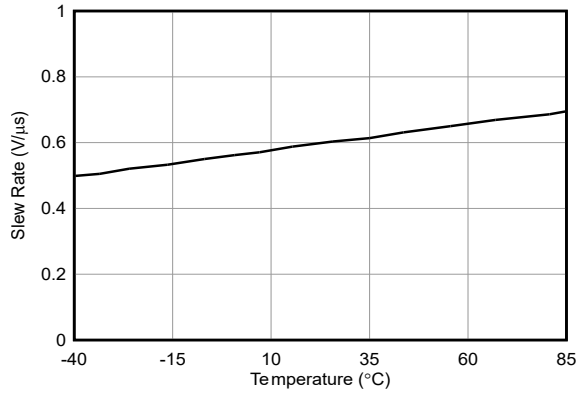


图 5-17. 压摆率与温度间的关系

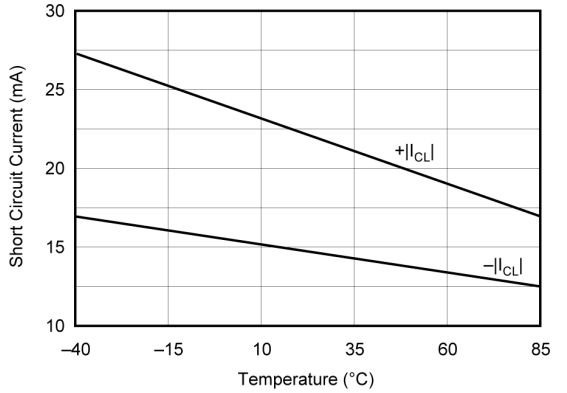


图 5-18. 输出电流限制与温度间的关系

5.6 典型特性（续）

T_A = +25°C、V_S = ±15V、G = 1 V/V 以及所有芯片原产地 (CSO)，除非另有说明。

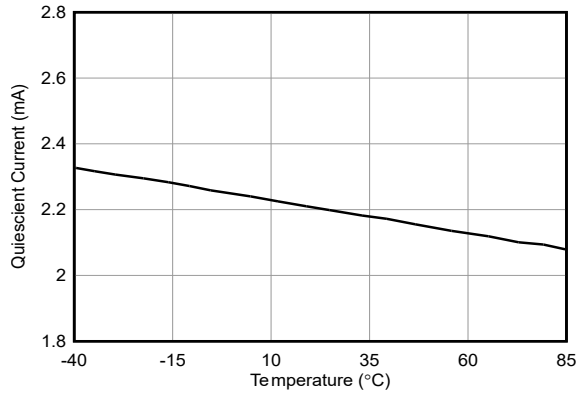


图 5-19. 静态电流与温度间的关系

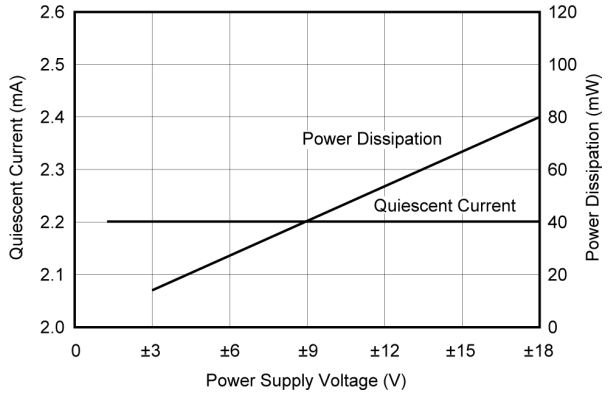
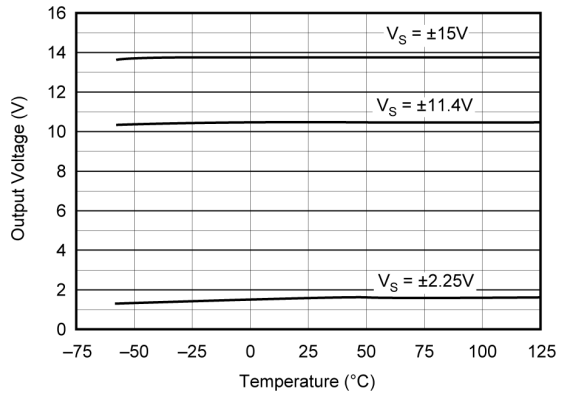
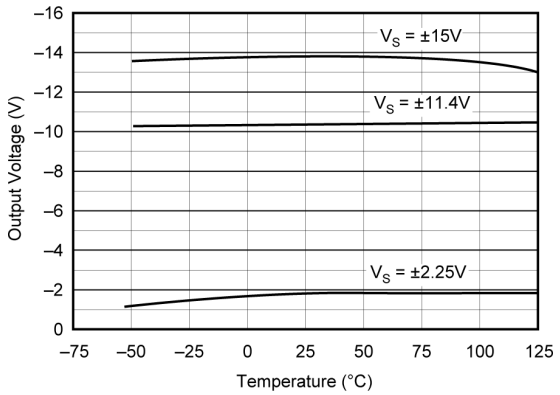


图 5-20. 静态电流和功耗与电源电压间的关系



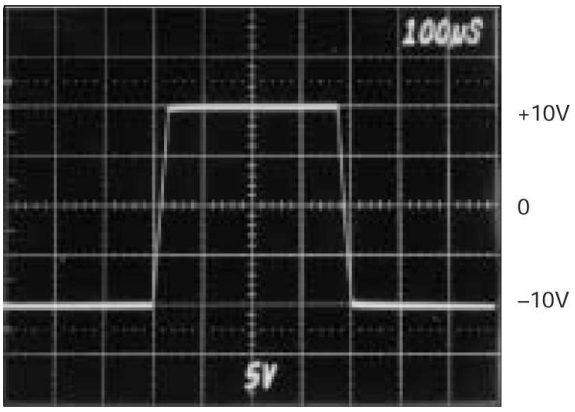
R_L = 2kΩ

图 5-21. 正信号摆幅与温度间的关系



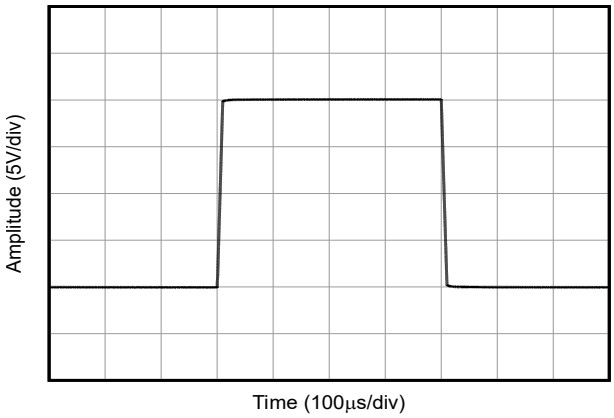
R_L = 2kΩ

图 5-22. 负信号摆幅与温度间的关系



CSO：SHE G = 1

图 5-23. 大信号响应



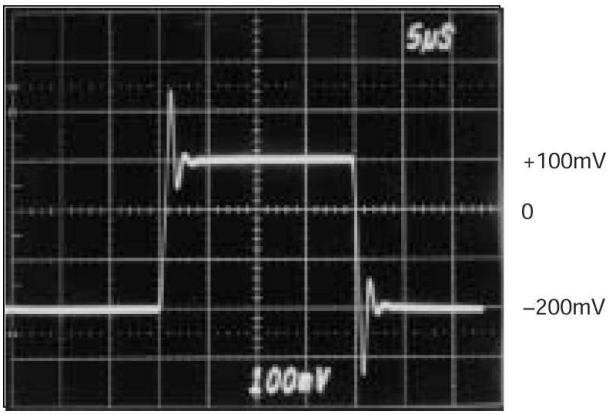
CSO：TID G = 1

图 5-24. 大信号响应

Copyright © 2026 Texas Instruments Incorporated

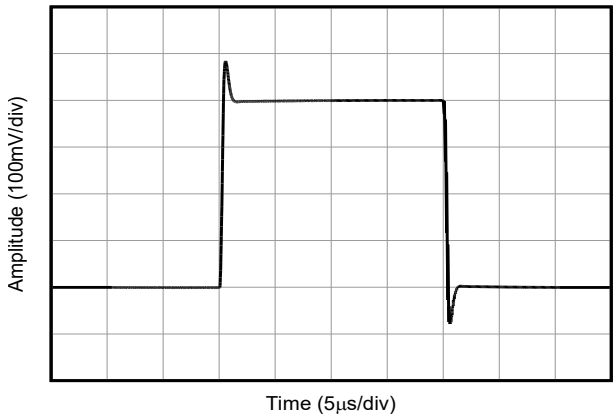
5.6 典型特性（续）

T_A = +25°C、V_S = ±15V、G = 1 V/V 以及所有芯片原产地 (CSO)，除非另有说明。



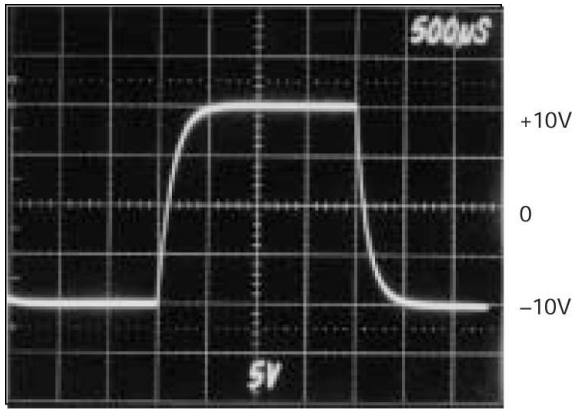
CSO：SHE G = 1

图 5-25. 小信号响应



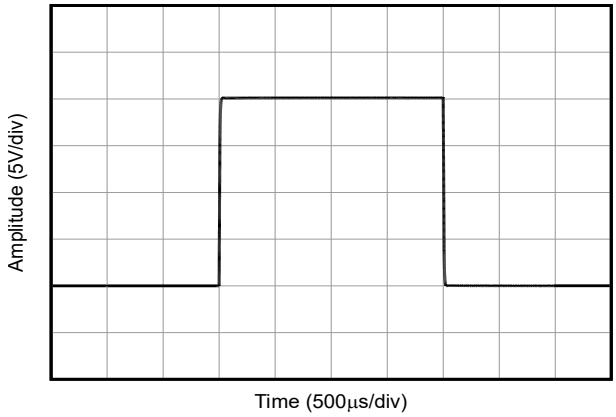
CSO：TID G = 1

图 5-26. 小信号响应



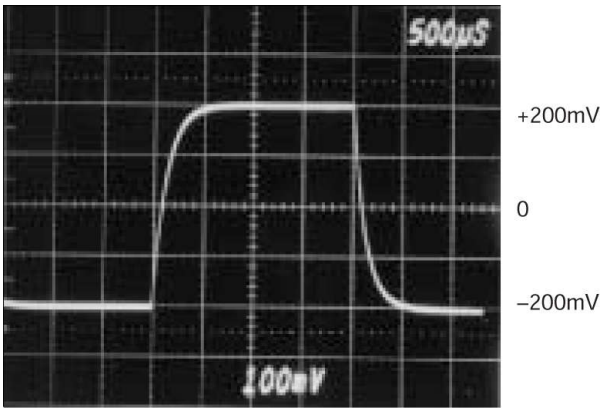
CSO：SHE G = 1000

图 5-27. 大信号响应



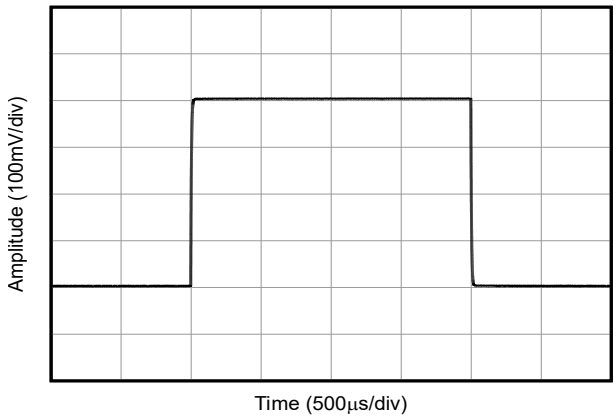
CSO：TID G = 1000

图 5-28. 大信号响应



CSO：SHE G = 1000

图 5-29. 小信号响应

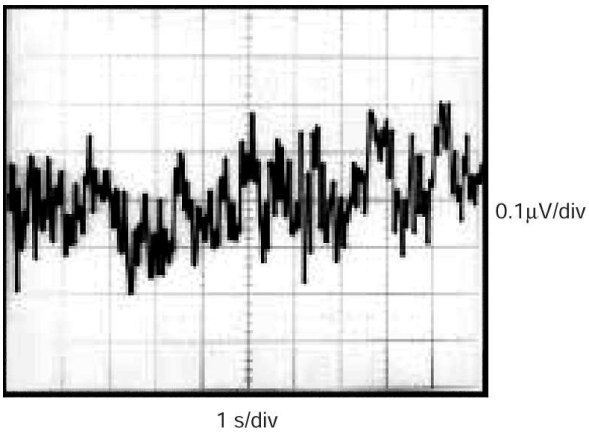


CSO：TID G = 1000

图 5-30. 小信号响应

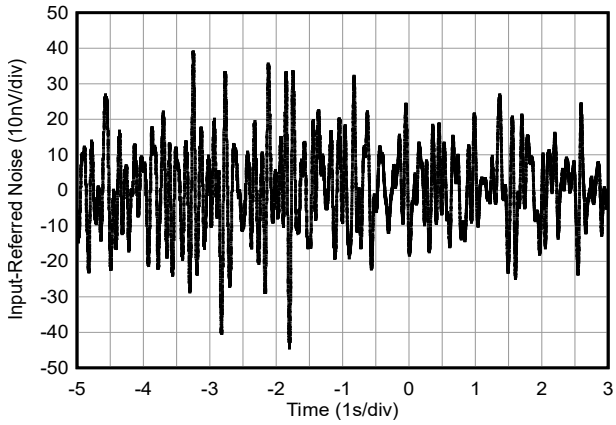
5.6 典型特性（续）

T_A = +25°C、V_S = ±15V、G = 1 V/V 以及所有芯片原产地 (CSO)，除非另有说明。



CSO：SHE

图 5-31. 输入基准噪声（0.1Hz 至 10Hz）



CSO：TID

图 5-32. 输入基准噪声（0.1Hz 至 10Hz）

Copyright © 2026 Texas Instruments Incorporated

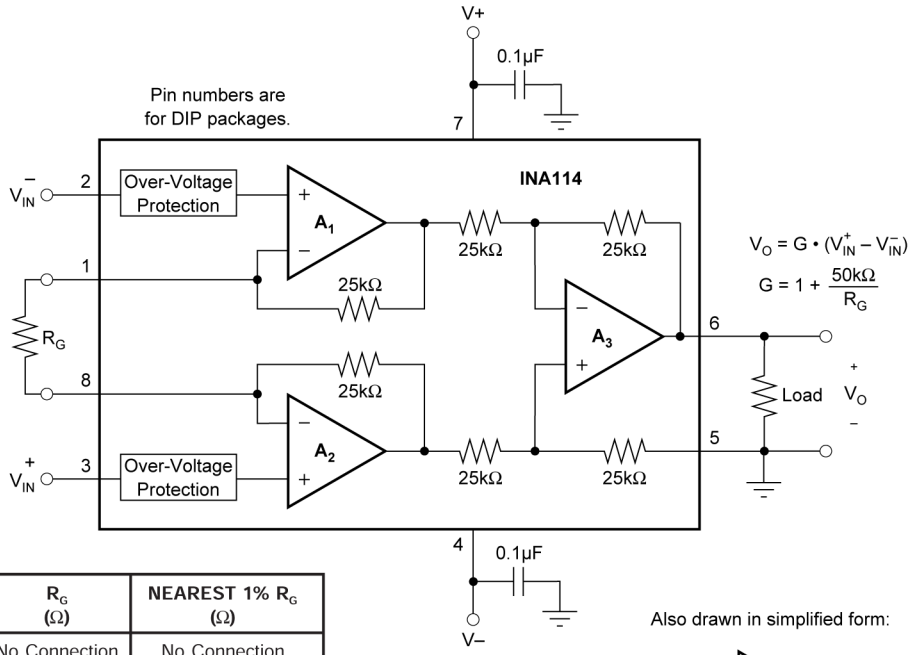
6 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

6.1 应用信息

图 6-1 显示了 INA114 运行所需的基本连接。采用高噪声或高阻抗电源的应用可能要求去耦电容器靠近器件引脚，如图所示。



DESIRED GAIN	R_G (Ω)	NEAREST 1% R_G (Ω)
1	No Connection	No Connection
2	50.00k	49.9k
5	12.50k	12.4k
10	5.556k	5.62k
20	2.632k	2.61k
50	1.02k	1.02k
100	505.1	511
200	251.3	249
500	100.2	100
1000	50.05	49.9
2000	25.01	24.9
5000	10.00	10
10000	5.001	4.99

图 6-1. 基本连接。

输出是指输出基准 (Ref) 引脚，该引脚通常接地。此连接必须具有低阻抗，以提供良好共模抑制。与 Ref 引脚串联的 5Ω 电阻导致典型器件的共模抑制比 (CMR) 降低至大约 80dB (G = 1)。

6.1.1 设置增益

通过连接单个外部电阻器 R_G 来设置 INA114 的增益：

$$G = 1 + \frac{50\ k\Omega}{R_G} \tag{1}$$

图 6-1 列出了常用的增益和电阻器阻值。

方程式 1 中的 50kΩ 项代表两个内部反馈电阻器之和。这些电阻器是片上金属膜电阻器，经过激光修整后可达到精确的绝对值。INA114 的增益精度和漂移规格中包含这些电阻器的精度和温度系数。

外部增益设置电阻器 R_G 的稳定性和温漂也会影响增益。可以从方程式 1 直接推断出 R_G 对增益精度和漂移的影响。高增益所需的低电阻值会让配线电阻变得重要。插座会增加配线电阻，这在大约 100 或更大的增益中产生了额外的增益误差（可能是不稳定的增益误差）。

6.1.2 噪声性能

INA114 在大多数应用中的噪声都很低。对于低于 1kΩ 的差分源阻抗，INA103 能够提供更低的噪声。当源阻抗高于 50kΩ 时，INA111 FET 输入仪表放大器可提供较低的噪声。

INA114 的低频噪声在 0.1Hz 至 10Hz 范围内测量时约为 0.4μV_{PP}。此噪声大约是*低噪声*斩波稳定放大器噪声的十分之一。

6.1.3 失调修整

INA114 经过激光调整，可实现极低的失调电压和漂移。大多数应用不要求进行外部失调电压调整。图 6-2 显示了用于调整输出失调电压的可选电路。施加到 Ref 引脚的电压会在输出端叠加。如图所示，通过使用运算放大器缓冲修整电压，在该节点保持低阻抗，以保持良好的共模抑制效果。

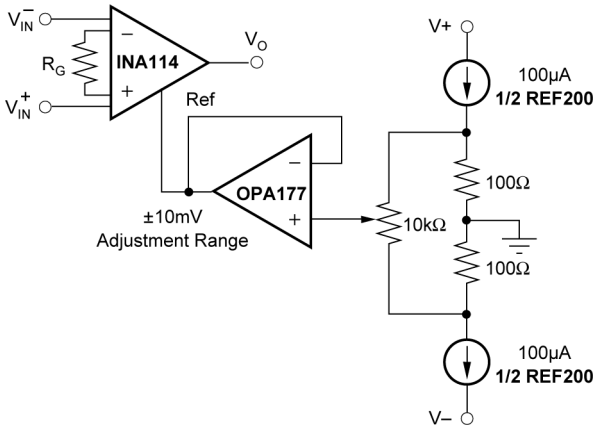


图 6-2. 输出失调电压的可选修整。

Copyright © 2026 Texas Instruments Incorporated

6.1.4 输入偏置电流返回路径

INA114 的输入阻抗极高，约为 10^{10} Ω。然而，必须为这两个输入的输入偏置电流提供路径。此输入偏置电流通常低于 ±1nA，并且受消除电路影响，可以是任一极性。高输入阻抗意味着，随着输入电压发生变化，该输入偏置电流变化很小。

输入电路必须为该输入偏置电流提供路径，以便 INA114 正常运行。图 6-3 显示了提供输入偏置电流路径的多种方式。在没有偏置电流返回路径的情况下，输入悬空到超过 INA114 共模范围的电位，且输入放大器饱和。如果差分源电阻较低，则偏置电流返回路径可以连接到一个输入端（请参阅图 6-3 中的热电偶示例）。在源阻抗较高的情况下，使用两个电阻可提供平衡输入，其优点是偏置电流导致的输入失调电压更低，且共模抑制效果更好。

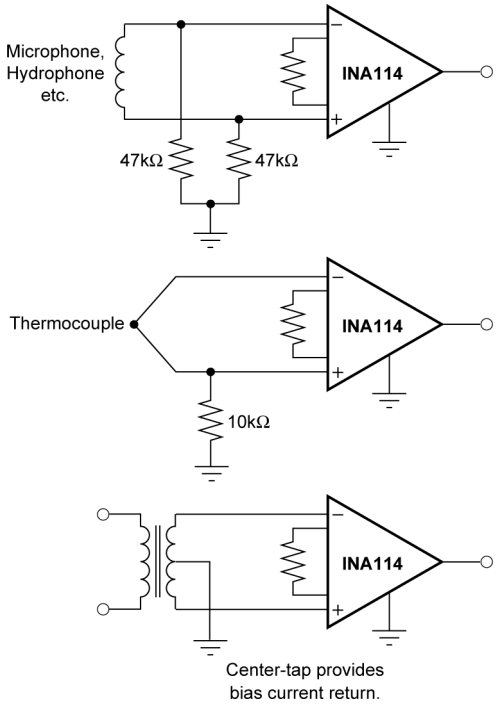


图 6-3. 提供输入共模电流路径。

6.1.5 输入共模范围

INA114 输入运算放大器的线性共模范围约为 ±13.75V（或低于电源电压 1.25V）。然而，随着输出电压的升高，线性输入范围会受到输入放大器 A_1 和 A_2 输出电压摆幅的限制。共模范围与整个放大器的输出电压有关。请参阅典型特性曲线*“输入共模范围与输出电压间的关系”*。

共模和差分输入信号的组合可能会导致 A_1 或 A_2 的输出饱和。图 6-4 显示了 A_1 和 A_2 的输出电压摆幅，以共模和差分输入电压表示。这些内部放大器的输出摆幅能力与输出放大器 A_3 的相同。对于必须更大限度地扩大输入共模范围的应用，通过以较低增益连接 INA114 来限制输出电压摆幅（请参阅性能曲线*“输入共模电压范围与输出电压间的关系”*）。如有必要，在 INA114 之后添加增益，以增加电压摆幅。

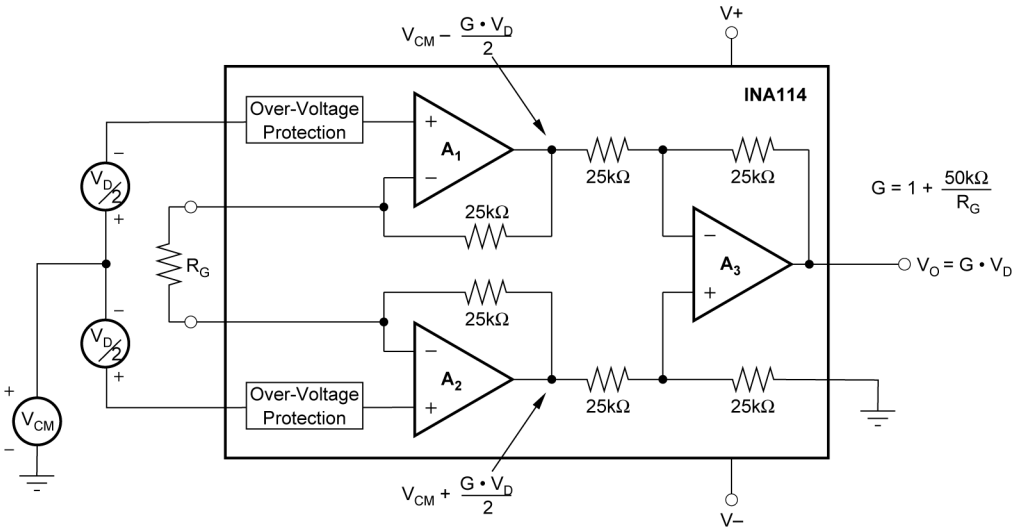


图 6-4. A_1 和 A_2 的电压摆幅

输入过载通常会产生看起来正常的输出电压。例如，一个输入端的输入电压为 20V，另一个输入端的输入电压为 40V，这显然超出了两个输入放大器的线性共模范围。两个输入放大器均饱和到几乎相同的输出电压限值；因此，输出放大器测得的差分电压接近于零。即使两个输入都过载，INA114 的输出也接近 0V。

6.1.6 输入保护

在高达 ±40V 的电压下，INA114 的输入会受到单独保护。例如，一个输入端的电压为 –40V，另一个输入端的电压为 +40V，这种情况不会造成损坏。每个输入端的内部电路在正常信号条件下提供低串联阻抗。为了提供等效保护，串联输入电阻会产生过多的噪声。如果输入过载，则保护电路将输入电流限制到安全值（约 1.5mA）。典型性能曲线*“输入偏置电流与共模输入电压间的关系”*显示了这种输入电流限制行为。即使不存在电源电压，输入也会受到保护。

Copyright © 2026 Texas Instruments Incorporated

6.1.7 输出电压检测（仅限 SOIC-16 封装）

INA114 的表面贴装版本具有单独的输出检测反馈连接（引脚 12）。必须将引脚 12 连接到输出端子（引脚 11），这样才能确保正常工作。（在 INA114 的 DIP 版本上，此连接采用内部连接。）

输出检测连接可以用于检测负载处的输出电压，以获得出色精度。图 6-5 显示了如何通过串联互连电阻驱动负载。远程反馈路径可能会导致不稳定。这种不稳定性通常可以通过经由 C_1 的高频反馈路径来消除。通过在反馈路径内连接缓冲器来驱动重负载或长线路（请参阅图 6-6）。

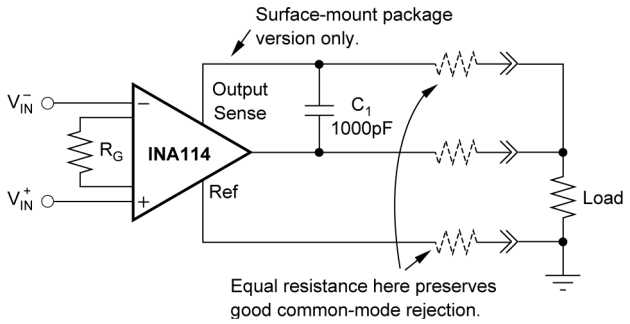


图 6-5. 远程负载和接地感应

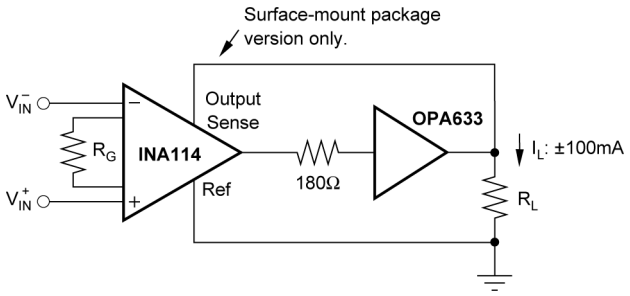


图 6-6. 重负载缓冲输出

6.2 典型应用

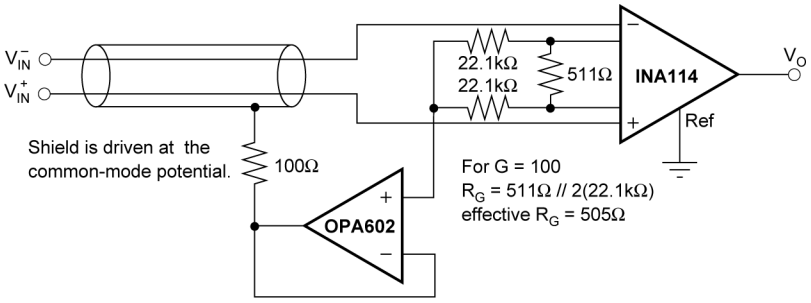


图 6-7. 屏蔽驱动电路

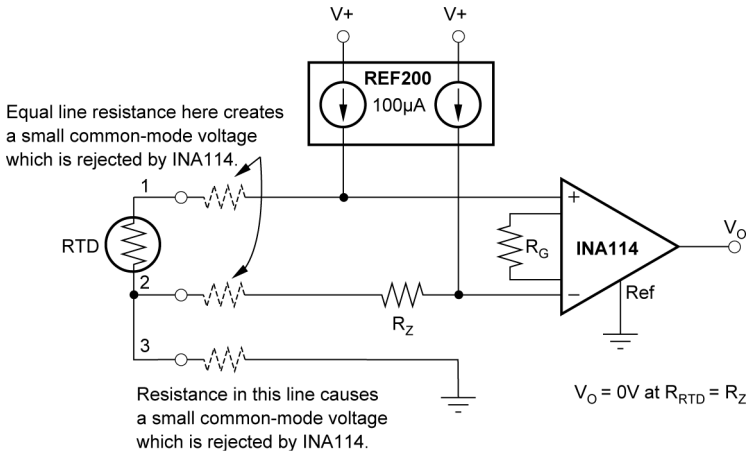
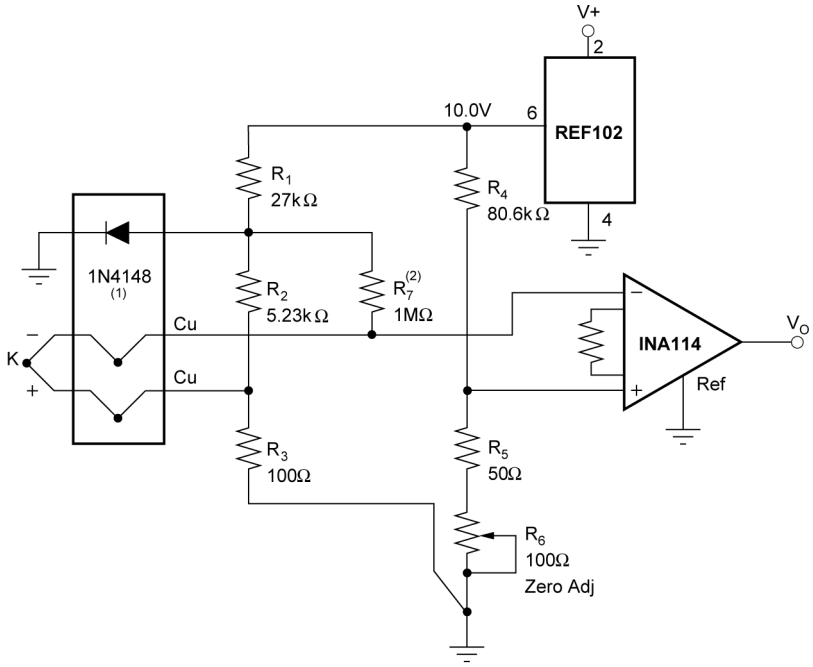


图 6-8. RTD 温度测量电路



ISA TYPE	MATERIAL	SEEBECK COEFFICIENT (µV/°C)	R_2 (R_3 = 100Ω)	R_4 (R_5 + R_6 = 100Ω)
E	Chromel Constantan	58.5	3.48kΩ	56.2kΩ
J	Iron Constantan	50.2	4.12kΩ	64.9kΩ
K	Chromel Alumel	39.4	5.23kΩ	80.6kΩ
T	Copper Constantan	38.0	5.49kΩ	84.5kΩ

NOTES: (1) –2.1mV/°C at 200µA. (2) R_7 provides down-scale burn-out indication.

图 6-9. 具有冷端补偿的热电偶放大器

Copyright © 2026 Texas Instruments Incorporated

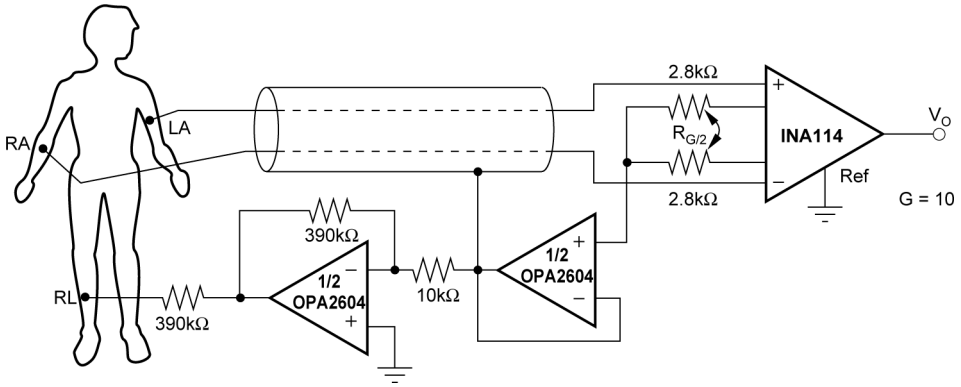


图 6-10. 具有右腿驱动的 ECG 放大器

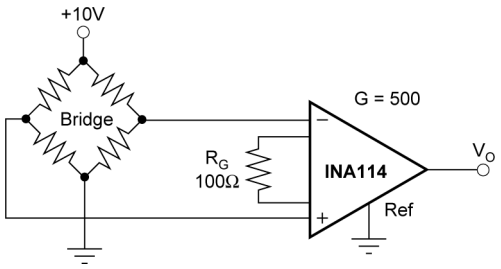


图 6-11. 桥式传感器放大器

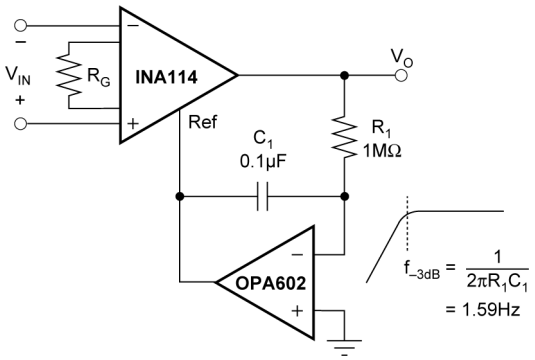
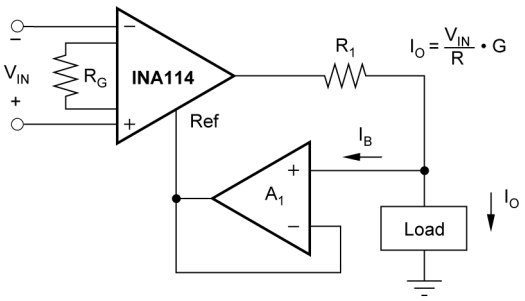


图 6-12. 交流耦合仪表放大器



A_1	I_B Error
OPA177	±1.5nA
OPA602	1pA
OPA128	75fA

图 6-13. 差分电压至电流转换器

7 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

7.1 器件命名规则

表 7-1. 器件命名规则

器件型号	定义
INA114AP INA114AU INA114AU/1K INA114BP INA114BU INA114BU/1K	芯片采用 CSO: SHE 或 CSO:TID 制造。

7.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

7.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

7.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

7.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

7.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

8 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision A (January 2024) to Revision B (January 2026) **Page**

- 在 *“规格”* 中添加了器件流程信息的说明。 4
- 向 *电气特性* 中的典型测试条件添加了所有芯片原产地 (CSO) 条件 5
- 在 *电气特性* 中为电压噪声添加了不同的制造过程规范 5
- 在 *“电气特性”* 中添加了带宽的不同制造工艺规格 5
- 在 *电气特性* 中添加了转换率的不同制造过程规格 5
- 在 *“电气特性”* 中添加了过载恢复的不同制造过程规格 5
- 向 *典型特性* 中的典型测试条件添加了所有芯片原产地 (CSO) 条件 7

Copyright © 2026 Texas Instruments Incorporated

- 在 *“典型特性”* 中的“增益与频率间的关系”和“输入基准噪声（0.1Hz 至 10Hz）”曲线中添加了“CSO:SHE” 7
- 在 *“典型特性”* 中的“输入偏置电流与差分输入电压间的关系”“输入偏置电流与共模输入电压间的关系”“大信号响应（G=1 和 G=1000）”和“小信号响应（G=1 和 G=1000）”曲线中添加了“CSO:TID” 7
- 在 *“典型特性”* 中添加了针对 CSO:TID 的“增益与频率间的关系”“输入基准噪声电压与频率间的关系”和“输入基准噪声（0.1Hz 至 10Hz）”曲线 7
- 在 *“典型特性”* 中添加了针对 CSO:SHE 的“输入基准噪声电压与频率间的关系”“输入偏置电流与差分输入电压间的关系”“输入偏置电流与共模输入电压间的关系”“大信号响应（G=1 和 G=1000）”和“小信号响应（G=1 和 G=1000）”曲线 7
- 更新了“压摆率与温度间的关系”和“静态电流与温度间的关系”曲线，以反映 *“典型特性”* 中的工作温度范围 7
- 向 *器件命名规则* 添加了器件型号流程信息表 20

Changes from Revision * (March 1998) to Revision A (January 2024) **Page**

- 更新了整个文档中的表格、图和交叉参考的编号格式 1
- 添加了 *ESD 等级*、*建议运行条件*、*热性能信息*、*应用和实施*、*典型应用*、*器件和文档支持* 以及 *机械、封装和可订购信息* 部分 1
- 将整个数据表中的 SOL 封装名称更改为 SOIC 1
- 向 *特性* 中的低失调电压和低温漂要点中添加了“（对于高增益）” 1
- 将 *特性* 中低温漂要点的值从 0.25μV/°C 更改为 0.3μV/°C 1
- 更新了 *应用* 中的要点 1
- 在 *“绝对最大额定值”* 中添加了符号 4
- 在 *“绝对最大额定值”* 中更改了电源电压，以显示双电源和单电源 4
- 将 *“绝对最大额定值”* 中的“输入电压范围”更改为“信号输入引脚” 4
- 在 *“绝对最大额定值”* 中添加了信号输出电压 4
- 将“绝对最大额定值”中的输出短路从“接地”更改为“V_S/2” 4
- 添加了 DW (SOIC) 封装环境热阻值 4
- 将 P (PDIP) 封装的环境热阻值从 80℃/W 更改为 110.2℃/W 4
- 在 *“电气特性”* 中添加了符号 5
- 将失调电压最大值从 ±50 + 100/G 更改为 ±50 + 150/G 5
- 将“失调电压与温度间的关系”更改为“失调电压漂移”。 5
- 将失调电压漂移的测试条件从 $T_A = T_{MIN}$ 至 T_{MAX} 更改为 T_A = –40℃ 至 +85℃ 5
- 将失调电压漂移最大值从 ±0.25 + 5/G 更改为 ±0.3 + 5/G 5
- 从 *“电气特性”* 中删除了安全输入电压 5
- 将“输入共模范围”更改为“工作输入电压” 5
- 将“失调电压与电源间的关系”更改为“电源抑制比” 5
- 将“偏置电流与温度间的关系”更改为“输入偏置电流漂移” 5
- 在输入偏置电流漂移的测试条件中添加了“T_A = –40℃ 至 +85℃” 5
- 将“失调电流与温度间的关系”更改为“输入失调电流漂移” 5
- 在输入失调电流漂移的测试条件中添加了“T_A = –40℃ 至 +85℃” 5
- 在增益误差的测试条件中添加了“V_O = ±10V” 5
- 将“增益与温度间的关系”更改为“增益漂移” 5
- 在增益非线性的测试条件中添加了“V_O = –10V 至 +10V” 5
- 将输出电压值从 ±13.5（最小值）和 ±13.7（典型值）更改为 (V–) + 1.5（最小值）和 (V+) – 1.5（最大值） 5
- 将输出电压测试条件从 T_{MIN} 至 T_{MAX} 更改为 T_A = –40℃ 至 +85℃ 5
- 添加了 V_S = ±11.4V 和 V_S = ±2.25V 的输出电压测试条件 5
- 在趋稳时间中添加了 V_{STEP} = 10V 测试条件 5
- 删除了电源电压范围典型值 ±15V 5

- 将电压范围、工作温度范围和热阻从*“电气特性”*移至*“建议运行条件”*和*“热性能信息”* 5
- 更改了图 5-6*“输入基准噪声电压与频率间的关系”* 7
- 更新了图 5-10*“输入偏置电流与差分输入电压间的关系”* 7
- 更新了图 5-11*“输入偏置电流与共模输入电压间的关系”* 7
- 将图 5-19 更新为图 22“小信号和大信号响应”图..... 7

9 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2026 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
INA114AP	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-	INA114AP
INA114AP.B	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	INA114AP
INA114AU	Active	Production	SOIC (DW) | 16	40 | TUBE	Yes	Call TI | Nipdau	Level-3-260C-168 HR	-40 to 85	INA114AU
INA114AU.B	Active	Production	SOIC (DW) | 16	40 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	INA114AU
INA114AU/1K	Active	Production	SOIC (DW) | 16	1000 | LARGE T&R	Yes	Call TI | Nipdau	Level-3-260C-168 HR	-40 to 85	INA114AU
INA114AU/1K.B	Active	Production	SOIC (DW) | 16	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	INA114AU
INA114BP	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-	INA114BP
INA114BP.B	Active	Production	PDIP (P) | 8	50 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	INA114BP
INA114BU	Active	Production	SOIC (DW) | 16	40 | TUBE	Yes	Call TI | Nipdau	Level-3-260C-168 HR	-	INA114BU
INA114BU.B	Active	Production	SOIC (DW) | 16	40 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	INA114BU
INA114BU/1K	Active	Production	SOIC (DW) | 16	1000 | LARGE T&R	Yes	Call TI | Nipdau	Level-3-260C-168 HR	-	INA114BU
INA114BU/1K.B	Active	Production	SOIC (DW) | 16	1000 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 85	INA114BU

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

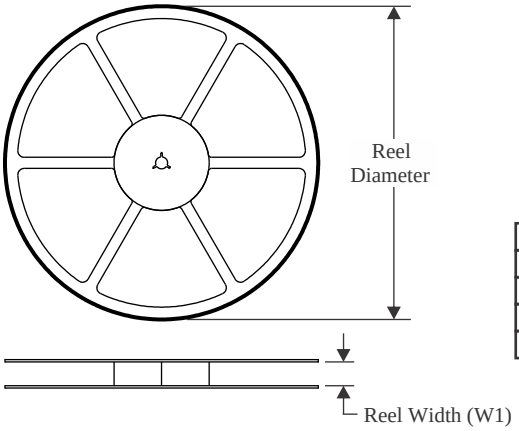
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

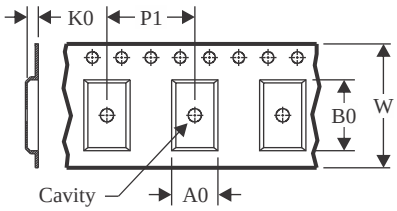
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

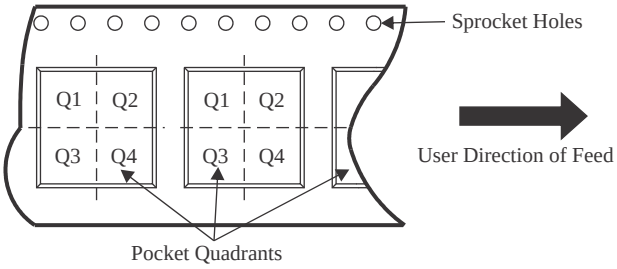


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

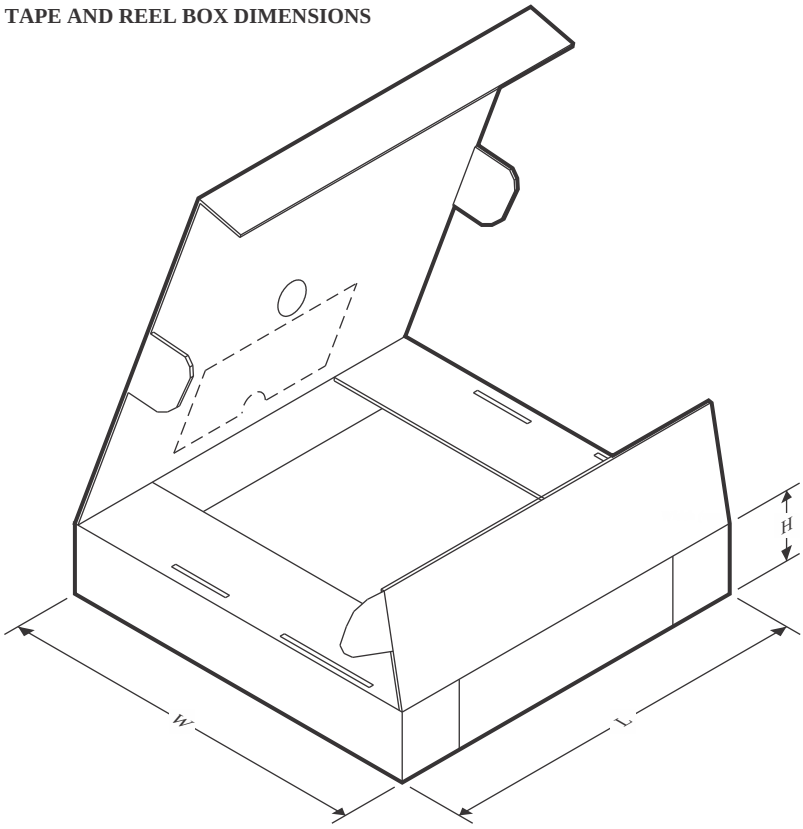
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
INA114AU/1K	SOIC	DW	16	1000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
INA114BU/1K	SOIC	DW	16	1000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1

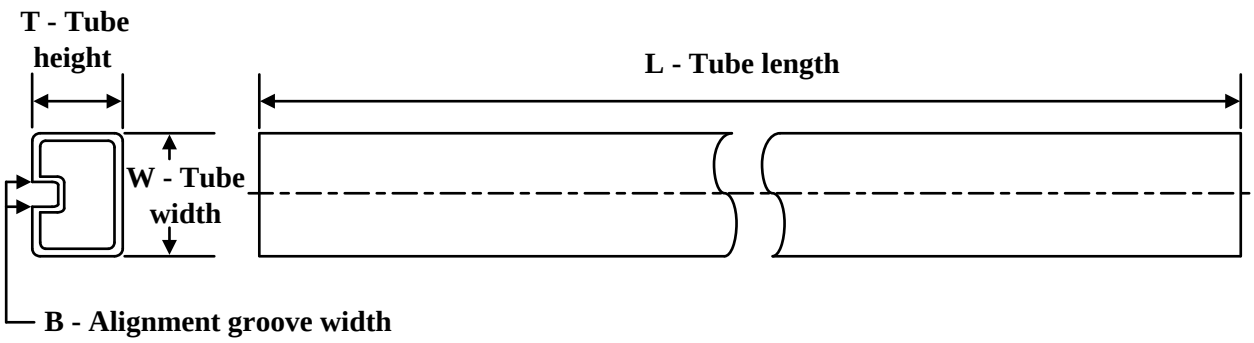
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
INA114AU/1K	SOIC	DW	16	1000	353.0	353.0	32.0
INA114BU/1K	SOIC	DW	16	1000	353.0	353.0	32.0

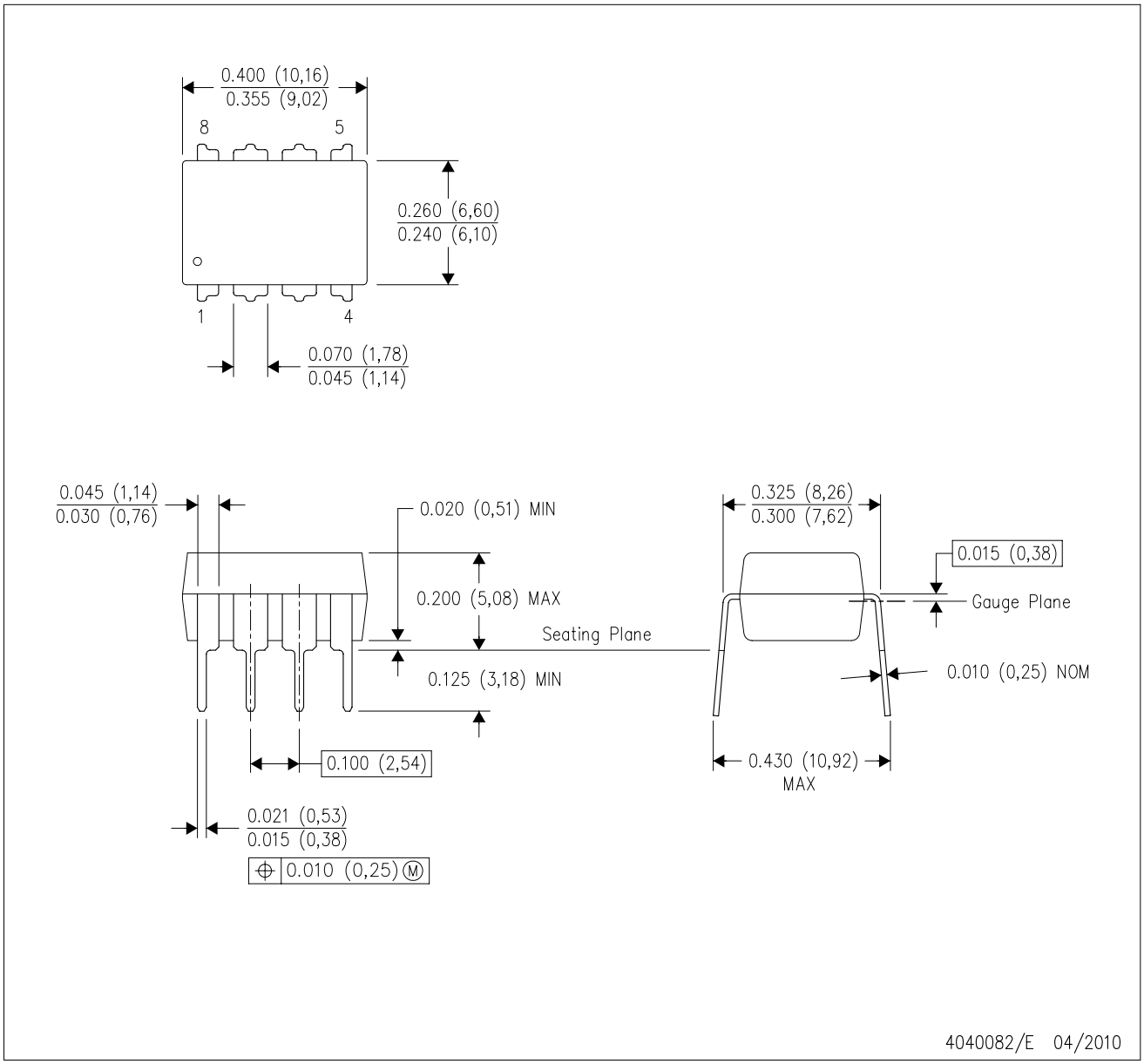
TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
INA114AP	P	PDIP	8	50	506	13.97	11230	4.32
INA114AP.B	P	PDIP	8	50	506	13.97	11230	4.32
INA114AU	DW	SOIC	16	40	507	12.83	5080	6.6
INA114AU.B	DW	SOIC	16	40	507	12.83	5080	6.6
INA114BP	P	PDIP	8	50	506	13.97	11230	4.32
INA114BP.B	P	PDIP	8	50	506	13.97	11230	4.32
INA114BU	DW	SOIC	16	40	507	12.83	5080	6.6
INA114BU.B	DW	SOIC	16	40	507	12.83	5080	6.6

P (R–PDIP–T8) PLASTIC DUAL–IN–LINE PACKAGE



NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001 variation BA.

GENERIC PACKAGE VIEW

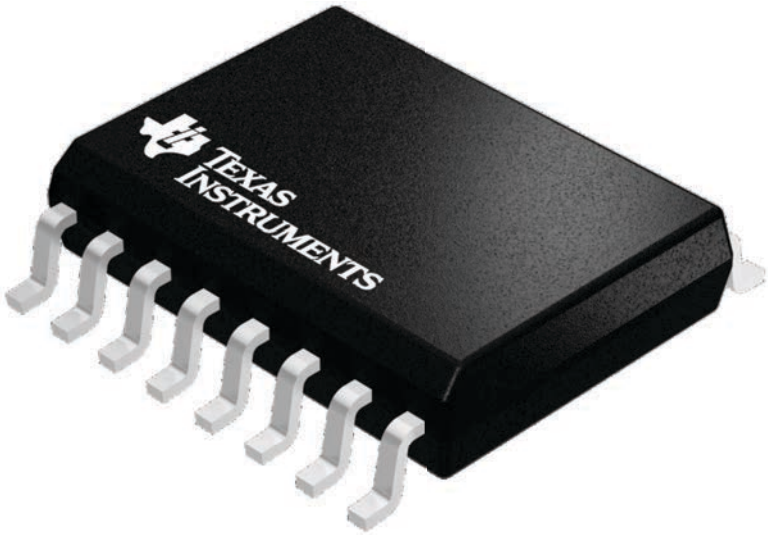
DW 16

SOIC - 2.65 mm max height

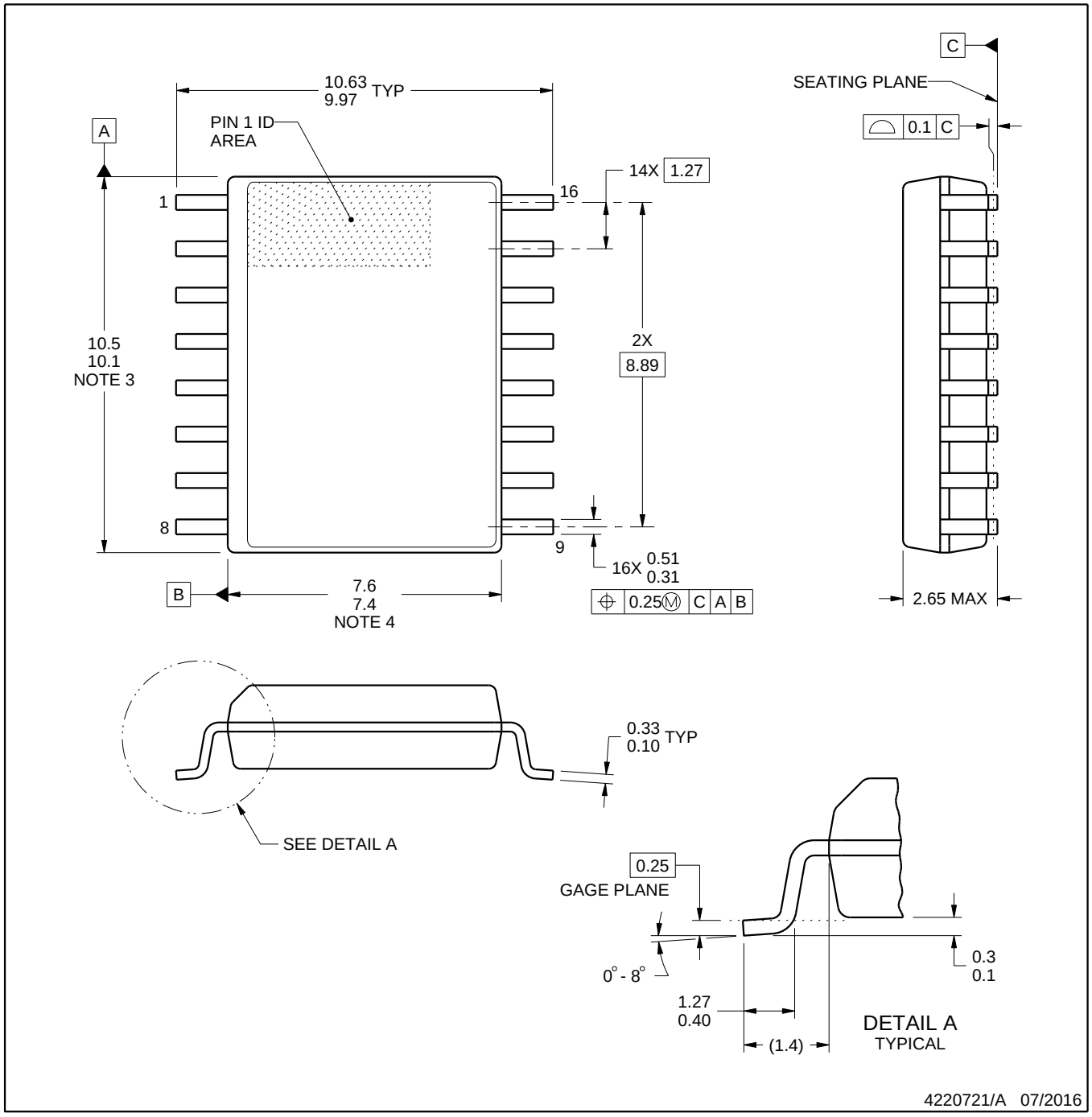
7.5 x 10.3, 1.27 mm pitch

SMALL OUTLINE INTEGRATED CIRCUIT

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

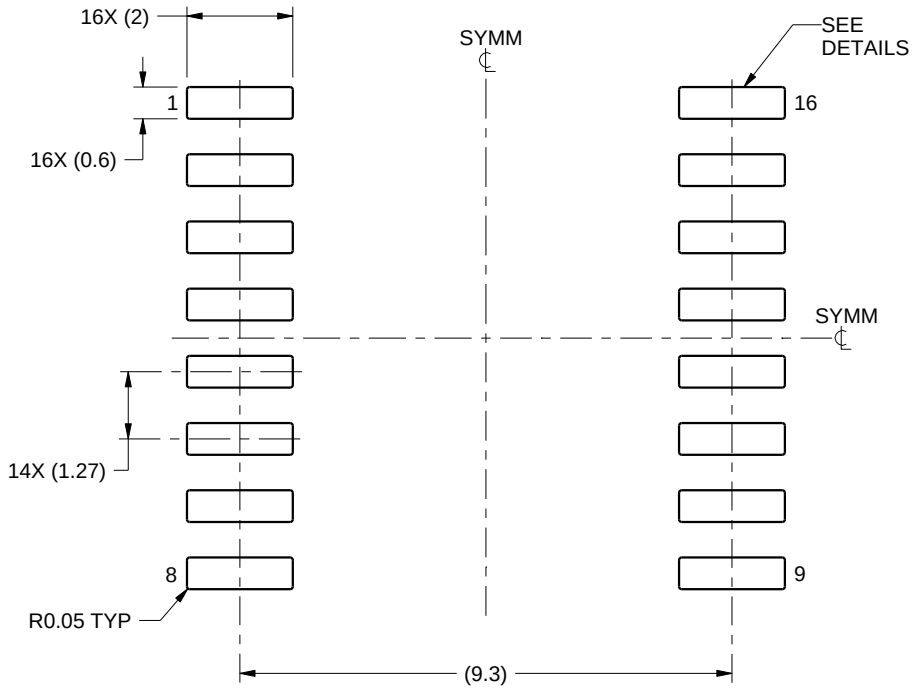


4224780/A

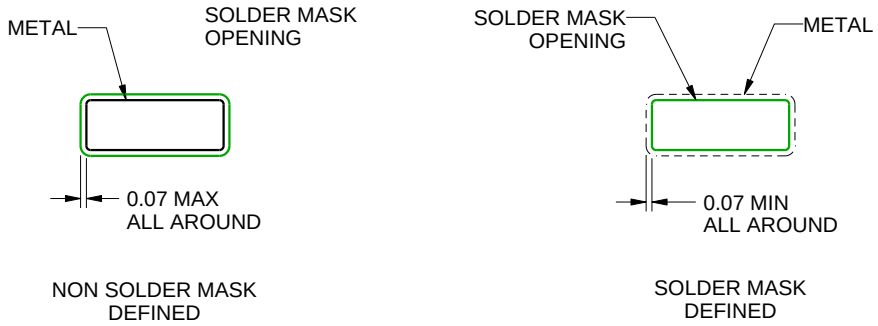


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.



LAND PATTERN EXAMPLE
SCALE:7X

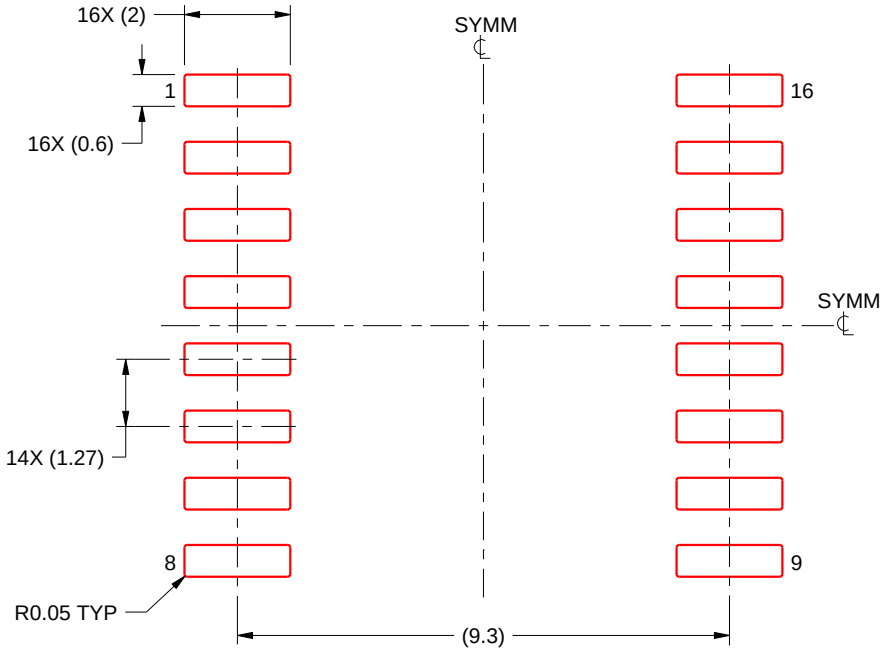


SOLDER MASK DETAILS

4220721/A 07/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:7X

4220721/A 07/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月