

F28E12x 实时微控制器

1 特性

- 实时处理
 - 160MHz C28x 32 位 DSP CPU
 - 在实时信号链性能方面相当于基于 320MHz Arm® Cortex®-M7 的器件 (请参阅 [展示 C2000™ 控制 MCU 优化信号链的实时基准测试](#) 应用手册)
 - 浮点单元 (FPU) 可实现更精确的数学计算
- 片上存储器
 - 最高 128KB (64KW) 单组闪存 (ECC 保护)
 - 16KB (8KW) RAM (奇偶校验保护)
 - 安全性
 - JTAGLOCK
 - 零引脚引导
 - 双区域安全
- 时钟和系统控制
 - 精度高达 $\pm 2\%$ 的内部 32MHz 振荡器 (SYSOSC)
 - 晶体振荡器或外部时钟输入
 - 窗口化看门狗计时器模块
 - 丢失时钟检测电路
 - 双时钟比较器 (DCC)
- 3.3V I/O 支持
 - 欠压复位 (BOR) 电路
- 系统外设
 - 27 个独立可编程多路复用通用输入/输出 (GPIO) 引脚 (8 个与模拟共享)
 - 在模拟引脚上提供 9 路数字输入
 - 一个 2 通道直接存储器存取 (DMA) 控制器
 - 增强型外设中断扩展 (ePIE)
 - 支持多个低功耗模式 (LPM)
 - 唯一标识 (UID) 号
- 通信外设
 - 一个内部集成电路 (I2C) 接口
 - 一个高速 (20Mbps) 通用异步接收器/发送器 (UART)
 - 一个串行外设接口 (SPI) 端口
 - 两个 UART 兼容的串行通信接口 (SCI)
- 模拟系统
 - 一个 8.9MSPS 12 位模数转换器 (ADC)
 - 多达 17 个外部通道 (8 个与 GPIO 共享)
 - 三个集成后处理块 (PPB)
 - 三个具有 10 位有效基准 DAC 的窗口比较器 (CMPSS_LITE)
 - 数字干扰滤波器
 - 引脚上有一个 DAC 输出端口 (CMP3_LITE_DACL)
 - 一个可编程增益放大器 (PGA)
 - 单位增益支持
 - 反相和同相增益模式支持
 - 3 转 1 多路复用器的输出
 - 可编程输出滤波
- 增强型控制外设
 - 2 个 MCPWM 模块、总共 8 个的 PWM 通道 (一个 6 通道 MCPWM 模块和一个 2 通道模块)
 - 一个增强型采集 (eCAP) 模块
 - 一个支持 CW/CCW 运行模式的增强型正交编码器脉冲 (eQEP) 模块
- 用于 SW AES 的 CMAC 密钥 (128-位)
- 封装选项：
 - 48 引脚 Low-profile Quad Flatpack (LQFP) [后缀 PT]
 - 32 引脚 Low-profile Quad Flatpack (LQFP) [后缀 VFC]
 - 32 引脚 Very Thin Quad Flatpack No-Lead (VQFN) [RHB 后缀]
- 温度选项：
 - 结温 (T_J) : -40°C 至 125°C

2 应用

- 电器
 - [空调室外机](#)
 - [洗衣机和烘干机](#)
 - [割草机器人](#)
 - [商用通信电源整流器](#)
 - [电器泵和风扇](#)
 - [电器：压缩机](#)
 - [无线手持园艺工具](#)
 - [无绳电动工具](#)
 - [割草机](#)
 - [电动工具](#)
 - [油烟机](#)
 - [洗碗机](#)
 - [冰箱和冷冻柜](#)
 - [空调室内机](#)
 - [扫地机器人](#)



- 空气净化器和加湿器
- 无线真空吸尘器
- 搅拌机、搅拌机和食品加工机
- 住宅和生活风扇
- 楼宇自动化
 - 自动门
 - HVAC 电机控制
- 工厂自动化与控制
 - 传动器
 - 自动分拣设备
- 移动机器人运动控制器
 - 纺织机
- 电机驱动器
 - 交流驱动器控制模块
 - 交流驱动器功率级模块
 - 线性电机功率级
 - 无人机螺旋桨 ESC
 - 伺服驱动器控制模块
- 伺服驱动器功率级模块
- 交流输入 BLDC 电机驱动器
- 直流输入 BLDC 电机驱动器
- 闭环步进
- 开环步进
- 工业电源
 - 工业交流-直流
- 移动式发电站
 - UPS
- 单相在线交互式 UPS
 - 单相在线式 UPS
- 电网基础设施
 - 微型逆变器
 - 快速关断
 - 太阳能充电控制器
 - 太阳能电源优化器

3 说明

F28E12x 是 C2000™ 可扩展、超低延迟实时微控制器器件系列中的一款器件，专为提高电机驱动应用的效率而设计。

[实时控制子系统](#) 基于德州仪器 (TI) 的 32 位 C28x DSP 内核，可针对从片上闪存或 SRAM 运行的定点代码提供 160MHz 的信号处理性能。

F28E12x 支持高达 128KB (64KW) 的闪存。高达 16KB (8KW) 的片上 SRAM 也可用于补充闪存。

高性能模拟块集成在 F28E12x 实时微控制器 (MCU) 中，并与处理单元和 PWM 单元紧密耦合，从而提供出色的实时信号链性能。八个 PWM 通道可控制从 3 相逆变器到功率因数校正的各种功率级，以及其他先进的多级电源拓扑。

各种业界通用的通信端口 (如 SPI、SCI、I2C 和 UART) 不仅支持连接，还提供了 [多个引脚复用选项](#)，可实现出色的信号布局。

是否想详细了解 C2000 MCU 适用于实时控制系统的特性？查看 [使用 C2000™ 实时微控制器的基本开发指南](#)，并访问 [C2000 实时微控制器](#) 页面。

[C2000™ 实时控制微控制器 \(MCU\) 入门指南](#) 涵盖了 C2000 器件开发中从硬件到支持资源的所有方面。除了主要的参考文档外，每个部分还提供了相关链接和资源，帮助用户进一步了解相关信息。

准备开始了吗？查看 [LAUNCHXL-F28E12X](#) 开发套件并下载 [C2000Ware](#)。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾	封装尺寸 (标称值)
F28E120SC	PT (LQFP , 48)	9mm × 9mm	7mm × 7mm
	VFC (LQFP , 32)	9mm × 9mm	7mm × 7mm
	RHB (VQFN , 32)	5mm × 5mm	5mm × 5mm
F28E120SB	PT (LQFP , 48)	9mm × 9mm	7mm × 7mm
	VFC (LQFP , 32)	9mm × 9mm	7mm × 7mm
	RHB (VQFN , 32)	5mm × 5mm	5mm × 5mm

- (1) 如需更多信息, 请参阅 *机械、封装和可订购信息* 部分。
 (2) 封装尺寸 (长 × 宽) 为标称值, 并包括引脚 (如适用)。

器件信息

器件型号 ⁽¹⁾	封装选项	闪存大小	内部稳压器	外部稳压器
F28E120SC	48 PT 32 VFC 32 RHB	128KB	是	否
F28E120SB	48 PT 32 VFC 32 RHB	64KB	是	否

- (1) 如需更多有关这些器件的信息, 请参阅 *器件比较表*。

3.1 功能方框图

功能方框图展示了 CPU 系统及关联的外设。

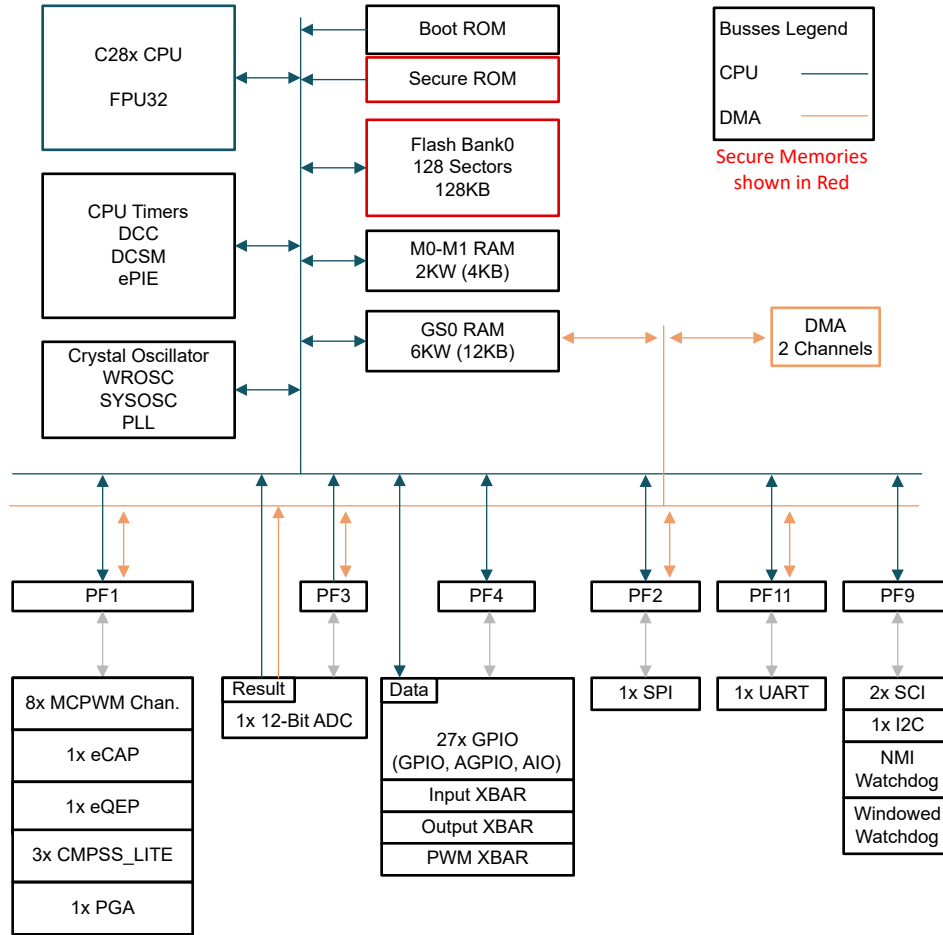


图 3-1. 功能方框图

内容

1 特性	1	6.13 通信外设.....	113
2 应用	1	7 详细说明	128
3 说明	2	7.1 概述.....	128
3.1 功能方框图.....	4	7.2 存储器.....	128
4 器件比较	6	7.3 标识.....	133
4.1 相关产品.....	7	7.4 C28x 处理器.....	134
5 引脚配置和功能	8	7.5 直接存储器存取 (DMA).....	135
5.1 引脚图.....	8	7.6 器件引导模式.....	136
5.2 引脚属性.....	11	7.7 安全性.....	142
5.3 信号说明.....	21	7.8 看门狗.....	143
5.4 引脚多路复用.....	27	7.9 C28x 计时器.....	144
5.5 带有内部上拉和下拉的引脚.....	34	7.10 双时钟比较器 (DCC).....	144
5.6 未使用引脚的连接.....	35	8 应用、实施和布局	146
6 规格	36	8.1 典型应用.....	146
6.1 绝对最大额定值.....	36	9 器件和文档支持	148
6.2 ESD 等级.....	36	9.1 器件命名规则.....	148
6.3 建议运行条件.....	36	9.2 标识.....	149
6.4 功耗摘要.....	37	9.3 工具与软件.....	150
6.5 电气特性.....	41	9.4 文档支持.....	151
6.6 PT 封装的热阻特性.....	42	9.5 支持资源.....	152
6.7 VFC 封装的热阻特性.....	42	9.6 商标.....	152
6.8 RHB 封装的热阻特性.....	42	9.7 静电放电警告.....	152
6.9 散热设计注意事项.....	43	9.8 术语表.....	152
6.10 系统.....	43	10 修订历史记录	152
6.11 模拟外设.....	75	11 机械、封装和可订购信息	155
6.12 控制外设.....	103	卷带包装信息.....	165

4 器件比较

表 4-1 列出了 F28E12x 器件的特性。

表 4-1. 器件比较

特性 ⁽¹⁾		F28E120SC	F28E120SB
处理器和加速器			
C28x	频率 (MHz)	160	
	FPU32 - 0 类	是	
2 通道 DMA - 0 类		1	
存储器			
闪存		128KB (64KW)	64KB (32KW)
RAM		16KB (8KW)	
安全性 : JTAGLOCK、零引脚引导、双区域安全		是	
系统			
32 位 CPU 计时器		3	
看门狗计时器		1	
双时钟比较 (DCC)		1	
外部中断		5	
非可屏蔽中断看门狗 (NMIWD) 计时器		1	
晶体振荡器/外部时钟输入		1	
内部振荡器精度 (WROSC 和 SYSOSC)		请参阅 节 6.10.3.5	
GPIO		请参阅 表 5-9	
模拟外设			
ADC 12 位	ADC 数量	1	
	转换时间 (ns) ⁽²⁾	112.36ns/8.9MSPS	
	ADC 通道	请参阅 表 5-9	
温度传感器		1	
比较器子系统		CMPSS_LITE (每个都包含两个比较器和两个静态 10 位有效 DAC)	3
PGA		1	
控制外设⁽³⁾			
eCAP 模块 - 2 类		1	
MCPWM - 类型 0	总通道数	8	
eQEP 模块 - 2 类		1	
通信外设⁽³⁾			
I2C - 2 类		1	
SCI - 0 类 (与 UART 兼容)		2	
SPI - 2 类		1	
UART - 0 类		1	

表 4-1. 器件比较 (续)

特性 ⁽¹⁾	F28E120SC	F28E120SB
封装、温度和资质认证选项		
结温 (T _J)	-40°C 至 125°C	
自然通风温度 (T _A)	-40°C 至 105°C	

- (1) 一个类型变化代表一个外设模块中的主要功能特性差异。在一个外设类型内，器件之间会有细微差异，但不会影响模块的基本功能性。
- (2) 从采样保持窗口开始到下一次转换的采样保持窗口开始之间的时间。
- (3) 对于采用多个封装的器件，较小封装中列出的外设数量会减少，因为较小封装中的可用器件引脚较少。与器件型号内提供的最大封装相比，器件内部存在的外设数量并未减少。有关确定哪些外设实例可以在较小封装中的引脚上访问，请参阅 [引脚配置和功能](#) 部分。

4.1 相关产品

[TMS320F2802x 实时微控制器](#)

F2802x 系列增加了引脚数和存储器大小选项。

[TMS320F2803x 实时微控制器](#)

F2803x 系列增加了引脚数和存储器大小选项。F2803x 系列还引入了并行控制律加速器 (CLA) 选项。

[TMS320F280013x 实时微控制器](#)

F280013x 系列是 F28003x 系列的精简版，具有最新一代的增强性能。

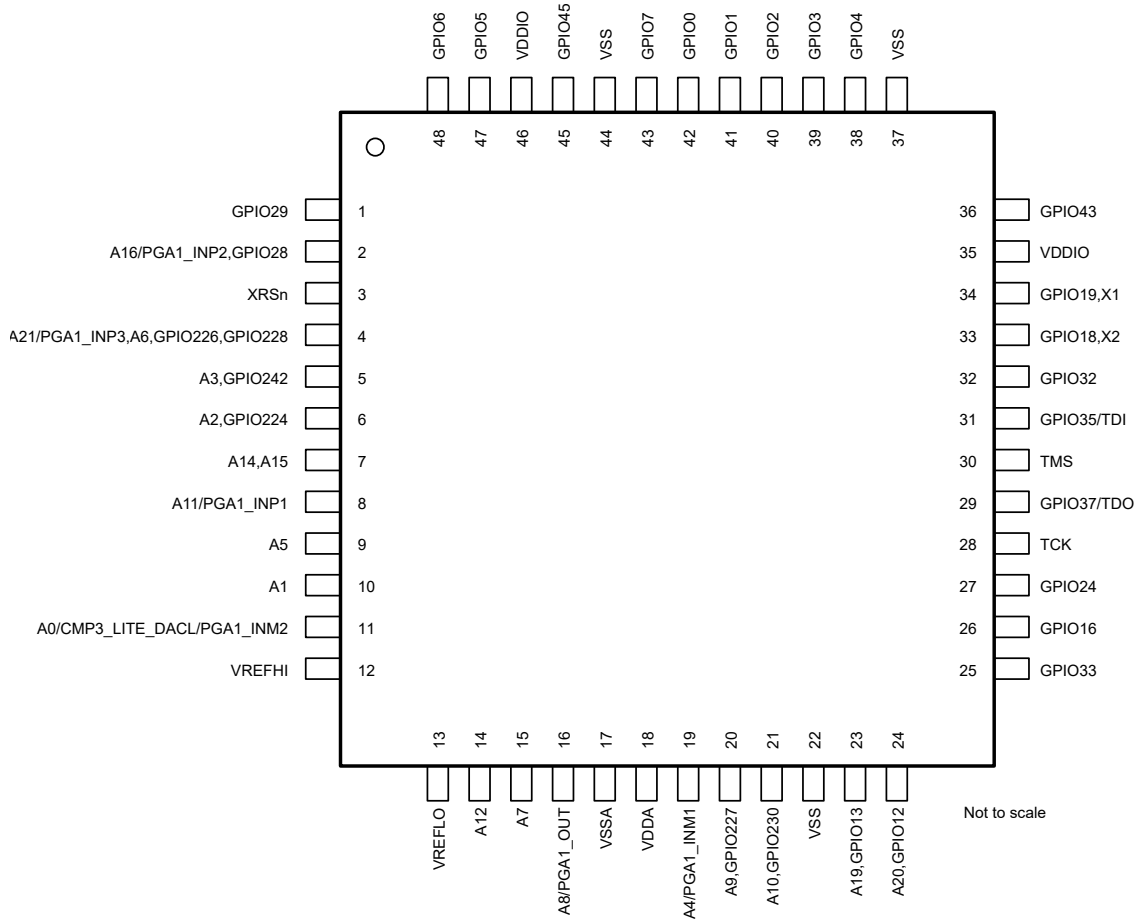
[TMS320F280015x 实时微控制器](#)

F280015x 系列基于 F28002x 系列，提供更高的频率、更多的存储器和更多的外设选项。此系列引入了 F2838x 系列的 CAN-FD 和安全特性。

5 引脚配置和功能

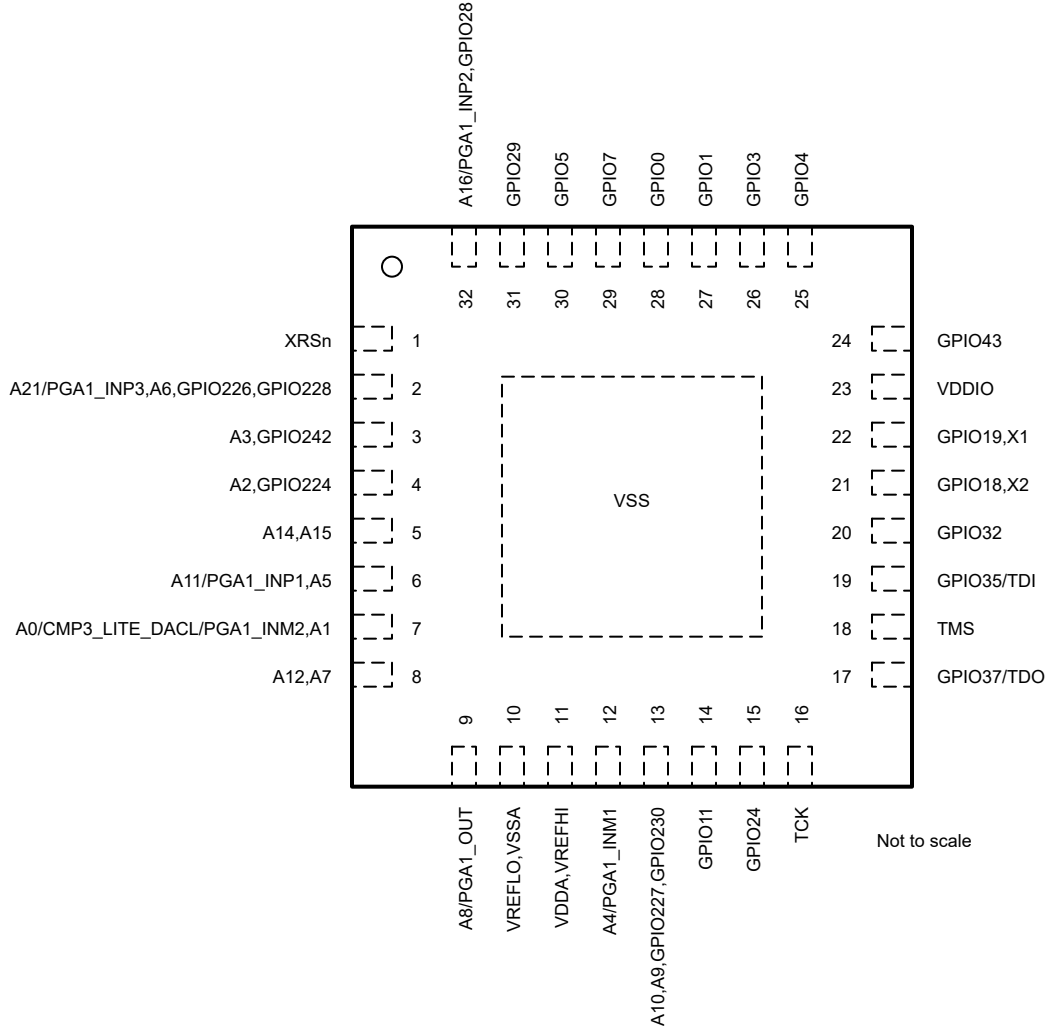
5.1 引脚图

图 5-1 展示了 48 引脚 PT LQFP 上的引脚分配。图 5-2 展示了 32 引脚 RHB VQFN 上的引脚分配。图 5-3 展示了 32 引脚 VFC LQFP 上的引脚分配。



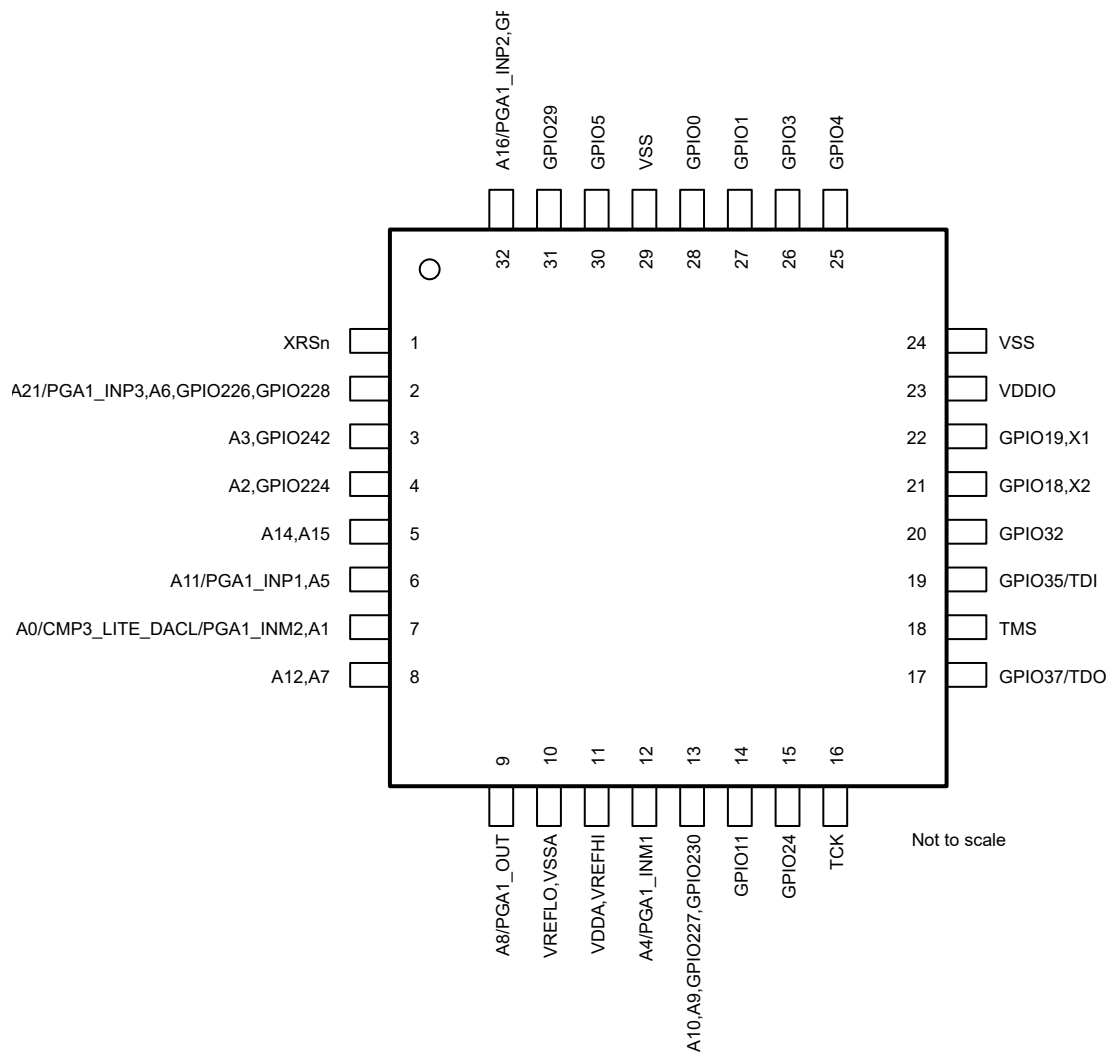
A. GPIO 终端上仅显示 GPIO 功能。请参阅 [引脚属性](#) 部分以了解完整的多路复用信号名称。

图 5-1. 48 引脚 PT Low-Profile Quad Flatpack (顶视图)



A. GPIO 终端上仅显示 GPIO 功能。请参阅 *引脚属性* 部分以了解完整的多路复用信号名称。

图 5-2. 32 引脚 RHB Very Thin Quad Flatpack No-Lead (顶视图)



A. GPIO 终端上仅显示 GPIO 功能。请参阅 *引脚属性* 部分以了解完整的多路复用信号名称。

图 5-3. 32 引脚 VFC Low-Profile Quad Flatpack (顶视图)

5.2 引脚属性

表 5-1. 引脚属性

信号名称	多路复用器位置	48 PT	32 VFC	32 RHB	引脚类型	说明
模拟						
A0 CMP3_HP2 CMP3_LP2 PGA1_INM2 AIO231	0、4、8、12	11	7	7	I I I I I	ADC-A 输入 0 CMPSS-3 高电平比较器正输入 2 CMPSS-3 低电平比较器正输入 2 PGA-1 减去 2 用于数字输入 231 的模拟引脚
A1 CMP1_HP4 CMP1_LP4 AIO232	0、4、8、12	10	7	7	I I I	ADC-A 输入 1 CMPSS-1 高电平比较器正输入 4 CMPSS-1 低电平比较器正输入 4 用于数字输入 232 的模拟引脚
A2 CMP1_HP0 CMP1_LP0 GPIO224		6	4	4	I I I I/O	ADC-A 输入 2 CMPSS-1 高电平比较器正输入 0 CMPSS-1 低电平比较器正输入 0 通用输入/输出 224。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。
A3 CMP3_HN0 CMP3_HP3 CMP3_LN0 CMP3_LP3 GPIO242		5	3	3	I I I I I I/O	ADC-A 输入 3 CMPSS-3 高电平比较器负输入 0 CMPSS-3 高电平比较器正输入 3 CMPSS-3 低电平比较器负输入 0 CMPSS-3 低电平比较器正输入 3 通用输入/输出 242。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。
A4 CMP2_HP0 CMP2_LP0 PGA1_INM1 AIO225	0、4、8、12	19	12	12	I I I I	ADC-A 输入 4 CMPSS-2 高电平比较器正输入 0 CMPSS-2 低电平比较器正输入 0 PGA-1 减去 1 用于数字输入 225 的模拟引脚
A5 CMP3_HN1 CMP3_HP1 CMP3_LN1 CMP3_LP1 AIO244	0、4、8、12	9	6	6	I I I I I	ADC-A 输入 5 CMPSS-3 高电平比较器负输入 1 CMPSS-3 高电平比较器正输入 1 CMPSS-3 低电平比较器负输入 1 CMPSS-3 低电平比较器正输入 1 用于数字输入 244 的模拟引脚
A6 CMP1_HP2 CMP1_LP2 GPIO228		4	2	2	I I I I/O	ADC-A 输入 6 CMPSS-1 高电平比较器正输入 2 CMPSS-1 低电平比较器正输入 2 通用输入/输出 228。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	48 PT	32 VFC	32 RHB	引脚类型	说明
A7 AIO245	0、4、8、12	15	8	8	I I	ADC-A 输入 7 用于数字输入 245 的模拟引脚
A8 CMP2_HP4 CMP2_LP4 PGA1_OUT AIO241	0、4、8、12	16	9	9	I I I O I	ADC-A 输入 8 CMPSS-2 高电平比较器正输入 4 CMPSS-2 低电平比较器正输入 4 PGA-1 输出 用于数字输入 241 的模拟引脚
A9 CMP2_HP2 CMP2_LP2 GPIO227		20	13	13	I I I I/O	ADC-A 输入 9 CMPSS-2 高电平比较器正输入 2 CMPSS-2 低电平比较器正输入 2 通用输入/输出 227。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。
A10 CMP2_HN0 CMP2_HP3 CMP2_LN0 CMP2_LP3 GPIO230		21	13	13	I I I I I I/O	ADC-A 输入 10 CMPSS-2 高电平比较器负输入 0 CMPSS-2 高电平比较器正输入 3 CMPSS-2 低电平比较器负输入 0 CMPSS-2 低电平比较器正输入 3 通用输入/输出 230。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。
A11 CMP1_HN1 CMP1_HP1 CMP1_LN1 CMP1_LP1 PGA1_INP1 AIO237	0、4、8、12	8	6	6	I I I I I I	ADC-A 输入 11 CMPSS-1 高电平比较器负输入 1 CMPSS-1 高电平比较器正输入 1 CMPSS-1 低电平比较器负输入 1 CMPSS-1 低电平比较器正输入 1 PGA-1 加上 1 用于数字输入 237 的模拟引脚
A12 CMP2_HN1 CMP2_HP1 CMP2_LN1 CMP2_LP1 AIO238	0、4、8、12	14	8	8	I I I I I	ADC-A 输入 12 CMPSS-2 高电平比较器负输入 1 CMPSS-2 高电平比较器正输入 1 CMPSS-2 低电平比较器负输入 1 CMPSS-2 低电平比较器正输入 1 用于数字输入 238 的模拟引脚
A14 CMP3_HP4 CMP3_LP4 AIO239	0、4、8、12	7	5	5	I I I	ADC-A 输入 14 CMPSS-3 高电平比较器正输入 4 CMPSS-3 低电平比较器正输入 4 用于数字输入 239 的模拟引脚
A15 CMP1_HN0 CMP1_HP3 CMP1_LN0 CMP1_LP3 AIO233	0、4、8、12	7	5	5	I I I I I	ADC-A 输入 15 CMPSS-1 高电平比较器负输入 0 CMPSS-1 高电平比较器正输入 3 CMPSS-1 低电平比较器负输入 0 CMPSS-1 低电平比较器正输入 3 用于数字输入 233 的模拟引脚

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	48 PT	32 VFC	32 RHB	引脚类型	说明
A16					I	ADC-A 输入 16
GPIO28		2	32	32	I/O	通用输入/输出 28。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。
PGA1_INP2					I	PGA-1 加上 2
A19					I	ADC-A 输入 19
GPIO13		23			I/O	通用输入/输出 13。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。
A20					I	ADC-A 输入 20
GPIO12		24			I/O	通用输入/输出 12。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。
CMP3_HP0					I	CMPSS-3 高电平比较器正输入 0
CMP3_LP0					I	CMPSS-3 低电平比较器正输入 0
GPIO226		4	2	2	I/O	通用输入/输出 226。该引脚还具有数字多路复用器功能 (此表的“GPIO”部分对这些功能进行了介绍)。
PGA1_INP3					I	PGA-1 加上 3
VREFHI		12	11	11	I	ADC 高基准电压。在外部基准模式下, 从外部驱动这个引脚上的高基准电压。在内部基准模式下, 电压由器件驱动到该引脚。在任一模式下, 在此引脚上串联至少一个 2.2μF 的电容器和一个 10Ω 的电阻器。此电容器和电阻器应放置在 VREFHI 和 VREFLO 引脚之间尽可能靠近器件的位置。在 32 QFN 封装上, VREFHI 在内部连接至 VDDA。
VREFLO		13	10	10	I	ADC 低基准电压应连接至 VSSA
GPIO						
GPIO0	0、4、8、12				I/O	通用输入/输出 0
MCPWM1_1A	1				O	MCPWM-1 输出 1A
OUTPUTXBAR7	3				O	输出 X-BAR 输出 7
SCIA_RX	5	42	28	28	I	SCI-A 接收数据
I2CA_SDA	6				I/OD	I2C-A 开漏双向数据
SPIA_PTE	7				I/O	SPI-A 外设发送使能 (PTE)
EQEP1_INDEX	13				I/O	eQEP-1 索引
MCPWM1_3A	15				O	MCPWM-1 输出 3A
GPIO1	0、4、8、12				I/O	通用输入/输出 1
MCPWM1_1B	1				O	MCPWM-1 输出 1B
OUTPUTXBAR4	3				O	输出 X-BAR 输出 4
SCIA_TX	5	41	27	27	O	SCI-A 发送数据
I2CA_SCL	6				I/OD	I2C-A 开漏双向时钟
SPIA_POCI	7				I/O	SPI-A 外设输出控制器输入 (POCI)
EQEP1_STROBE	9				I/O	eQEP-1 选通
MCPWM1_3B	15				O	MCPWM-1 输出 3B

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	48 PT	32 VFC	32 RHB	引脚类型	说明
GPIO2	0、4、8、12				I/O	通用输入/输出 2
MCPWM1_2A	1				O	MCPWM-1 输出 2A
OUTPUTXBAR1	5	40			O	输出 X-BAR 输出 1
SPIA_PICO	7				I/O	SPI-A 外设输入控制器输出 (PICO)
SCIA_TX	9				O	SCI-A 发送数据
I2CA_SDA	11				I/OD	I2C-A 开漏双向数据
GPIO3	0、4、8、12				I/O	通用输入/输出 3
MCPWM1_2B	1				O	MCPWM-1 输出 2B
OUTPUTXBAR2	2、5	39	26	26	O	输出 X-BAR 输出 2
SPIA_CLK	7				I/O	SPI-A 时钟
SCIA_RX	9				I	SCI-A 接收数据
I2CA_SCL	11				I/OD	I2C-A 开漏双向时钟
GPIO4	0、4、8、12				I/O	通用输入/输出 4
MCPWM1_3A	1				O	MCPWM-1 输出 3A
I2CA_SCL	2				I/OD	I2C-A 开漏双向时钟
OUTPUTXBAR3	5	38	25	25	O	输出 X-BAR 输出 3
EQEP1_STROBE	9				I/O	eQEP-1 选通
SPIA_POCI	14				I/O	SPI-A 外设输出控制器输入 (POCI)
MCPWM1_1A	15				O	MCPWM-1 输出 1A
GPIO5	0、4、8、12				I/O	通用输入/输出 5
MCPWM1_3B	1				O	MCPWM-1 输出 3B
I2CA_SDA	2				I/OD	I2C-A 开漏双向数据
OUTPUTXBAR3	3	47	30	30	O	输出 X-BAR 输出 3
SPIA_PTE	7				I/O	SPI-A 外设发送使能 (PTE)
SPIA_POCI	9				I/O	SPI-A 外设输出控制器输入 (POCI)
SCIA_RX	11				I	SCI-A 接收数据
MCPWM1_1B	15				O	MCPWM-1 输出 1B
GPIO6	0、4、8、12				I/O	通用输入/输出 6
OUTPUTXBAR4	2				O	输出 X-BAR 输出 4
SYNCOUT	3	48			O	外部 MCPWM 同步脉冲
EQEP1_A	5				I	eQEP-1 输入 A
MCPWM1_3A	10				O	MCPWM-1 输出 3A
MCPWM1_2A	15				O	MCPWM-1 输出 2A
GPIO7	0、4、8、12				I/O	通用输入/输出 7
MCPWM1_2A	2				O	MCPWM-1 输出 2A
OUTPUTXBAR5	3				O	输出 X-BAR 输出 5
EQEP1_B	5				I	eQEP-1 输入 B
SPIA_PICO	7	43		29	I/O	SPI-A 外设输入控制器输出 (PICO)
MCPWM3_1A	9				O	MCPWM-3 输出 1A
SCIA_TX	11				O	SCI-A 发送数据
MCPWM1_2B	15				O	MCPWM-1 输出 2B

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	48 PT	32 VFC	32 RHB	引脚类型	说明
GPIO8	0、4、8、12				I/O	通用输入/输出 8
ADCSOCAO	3				O	外部 ADC 的 ADC 转换启动 A
EQEP1_STROBE	5				I/O	eQEP-1 选通
SCIA_TX	6				O	SCI-A 发送数据
SPIA_PICO	7				I/O	SPI-A 外设输入控制器输出 (PICO)
I2CA_SCL	9				I/OD	I2C-A 开漏双向时钟
GPIO9	0、4、8、12				I/O	通用输入/输出 9
SCIB_TX	2				O	SCI-B 发送数据
OUTPUTXBAR6	3				O	输出 X-BAR 输出 6
EQEP1_INDEX	5				I/O	eQEP-1 索引
SCIA_RX	6				I	SCI-A 接收数据
SPIA_CLK	7				I/O	SPI-A 时钟
MCPWM1_1B	9				O	MCPWM-1 输出 1B
I2CA_SCL	14				I/OD	I2C-A 开漏双向时钟
GPIO10	0、4、8、12				I/O	通用输入/输出 10
MCPWM1_2B	2				O	MCPWM-1 输出 2B
ADCSOCBO	3				O	外部 ADC 的 ADC 转换启动 B
EQEP1_A	5				I	eQEP-1 输入 A
SCIB_TX	6				O	SCI-B 发送数据
SPIA_POCI	7				I/O	SPI-A 外设输出控制器输入 (POCI)
I2CA_SDA	9				I/OD	I2C-A 开漏双向数据
GPIO11	0、4、8、12				I/O	通用输入/输出 11
OUTPUTXBAR7	3				O	输出 X-BAR 输出 7
EQEP1_B	5				I	eQEP-1 输入 B
SCIB_RX	6		14	14	I	SCI-B 接收数据
SPIA_PTE	7				I/O	SPI-A 外设发送使能 (PTE)
MCPWM3_1B	9				O	MCPWM-3 输出 1B
EQEP1_A	11				I	eQEP-1 输入 A
SPIA_PICO	13				I/O	SPI-A 外设输入控制器输出 (PICO)
GPIO12	0、4、8、12				I/O	通用输入/输出 12。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
MCPWM3_1A	1	24			O	MCPWM-3 输出 1A
EQEP1_STROBE	5				I/O	eQEP-1 选通
SCIB_TX	6				O	SCI-B 发送数据
SPIA_CLK	11				I/O	SPI-A 时钟
GPIO13	0、4、8、12				I/O	通用输入/输出 13。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
MCPWM3_1B	1	23			O	MCPWM-3 输出 1B
EQEP1_INDEX	5				I/O	eQEP-1 索引
SCIB_RX	6				I	SCI-B 接收数据
SPIA_POCI	11				I/O	SPI-A 外设输出控制器输入 (POCI)

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	48 PT	32 VFC	32 RHB	引脚类型	说明
GPIO16	0、4、8、12	26			I/O	通用输入/输出 16
SPIA_PICO	1				I/O	SPI-A 外设输入控制器输出 (PICO)
OUTPUTXBAR7	3				O	输出 X-BAR 输出 7
SCIA_TX	6				O	SCI-A 发送数据
EQEP1_STROBE	9				I/O	eQEP-1 选通
XCLKOUT	11				O	外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。
EQEP1_B	13				I	eQEP-1 输入 B
GPIO17	0、4、8、12				I/O	通用输入/输出 17
SPIA_POCI	1				I/O	SPI-A 外设输出控制器输入 (POCI)
OUTPUTXBAR8	3				O	输出 X-BAR 输出 8
EQEP1_INDEX	9				I/O	eQEP-1 索引
GPIO18	0、4、8、12	33	21	21	I/O	通用输入/输出 18
SPIA_CLK	1				I/O	SPI-A 时钟
SCIB_TX	2				O	SCI-B 发送数据
I2CA_SCL	6				I/OD	I2C-A 开漏双向时钟
EQEP1_A	9				I	eQEP-1 输入 A
XCLKOUT	11				O	外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。
X2	ALT				I/O	晶体振荡器输出。
GPIO19	0、4、8、12	34	22	22	I/O	通用输入/输出 19
SPIA_PTE	1				I/O	SPI-A 外设发送使能 (PTE)
SCIB_RX	2				I	SCI-B 接收数据
I2CA_SDA	6				I/OD	I2C-A 开漏双向数据
EQEP1_B	9				I	eQEP-1 输入 B
X1	ALT				I/O	晶体振荡器或单端时钟输入。器件初始化软件必须在启用晶体振荡器之前配置该引脚。为了使用此振荡器，必须将一个石英晶体电路连接至 X1 和 X2。此引脚也可用于馈入单端 3.3V 电平时钟。
GPIO20	0、4、8、12				I/O	通用输入/输出 20
EQEP1_A	1				I	eQEP-1 输入 A
SPIA_PICO	6				I/O	SPI-A 外设输入控制器输出 (PICO)
I2CA_SCL	11				I/OD	I2C-A 开漏双向时钟
UARTA_TX	15				O	UART-A 发送数据
GPIO21	0、4、8、12				I/O	通用输入/输出 21
EQEP1_B	1				I	eQEP-1 输入 B
SPIA_POCI	6				I/O	SPI-A 外设输出控制器输入 (POCI)
I2CA_SDA	11				I/OD	I2C-A 开漏双向数据
UARTA_RX	15	I	UART-A 接收数据			
GPIO22	0、4、8、12				I/O	通用输入/输出 22
EQEP1_STROBE	1				I/O	eQEP-1 选通
SCIB_TX	3				O	SCI-B 发送数据

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	48 PT	32 VFC	32 RHB	引脚类型	说明
GPIO23	0、4、8、12				I/O	通用输入/输出 23
EQEP1_INDEX	1				I/O	eQEP-1 索引
SPIA_PTE	2				I/O	SPI-A 外设发送使能 (PTE)
SCIB_RX	3				I	SCI-B 接收数据
GPIO24	0、4、8、12				I/O	通用输入/输出 24
OUTPUTXBAR1	1				O	输出 X-BAR 输出 1
EQEP1_A	2				I	eQEP-1 输入 A
SPIA_PTE	3	27	15	15	I/O	SPI-A 外设发送使能 (PTE)
SPIA_PICO	6				I/O	SPI-A 外设输入控制器输出 (PICO)
SCIA_TX	11				O	SCI-A 发送数据
ERRORSTS	13				O	错误状态输出。该信号需要一个外部下拉电阻。
GPIO28	0、4、8、12				I/O	通用输入/输出 28。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
SCIA_RX	1				I	SCI-A 接收数据
OUTPUTXBAR8	2				O	输出 X-BAR 输出 8
MCPWM3_1A	3				O	MCPWM-3 输出 1A
OUTPUTXBAR5	5				O	输出 X-BAR 输出 5
EQEP1_A	6	2	32	32	I	eQEP-1 输入 A
EQEP1_STROBE	9				I/O	eQEP-1 选通
UARTA_TX	10				O	UART-A 发送数据
SPIA_CLK	11				I/O	SPI-A 时钟
ERRORSTS	13				O	错误状态输出。该信号需要一个外部下拉电阻。
I2CA_SDA	14				I/OD	I2C-A 开漏双向数据
GPIO29	0、4、8、12				I/O	通用输入/输出 29
SCIA_TX	1				O	SCI-A 发送数据
MCPWM1_2A	2				O	MCPWM-1 输出 2A
MCPWM3_1B	3				O	MCPWM-3 输出 1B
OUTPUTXBAR6	5				O	输出 X-BAR 输出 6
EQEP1_B	6	1	31	31	I	eQEP-1 输入 B
EQEP1_INDEX	9				I/O	eQEP-1 索引
UARTA_RX	10				I	UART-A 接收数据
SPIA_PTE	11				I/O	SPI-A 外设发送使能 (PTE)
ERRORSTS	13				O	错误状态输出。该信号需要一个外部下拉电阻。
I2CA_SCL	14				I/OD	I2C-A 开漏双向时钟
GPIO30	0、4、8、12				I/O	通用输入/输出 30
OUTPUTXBAR7	5				O	输出 X-BAR 输出 7
EQEP1_STROBE	6				I/O	eQEP-1 选通
MCPWM1_1A	11				O	MCPWM-1 输出 1A

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	48 PT	32 VFC	32 RHB	引脚类型	说明
GPIO32	0、4、8、12				I/O	通用输入/输出 32
I2CA_SDA	1				I/OD	I2C-A 开漏双向数据
EQEP1_INDEX	2	32	20	20	I/O	eQEP-1 索引
SPIA_CLK	3				I/O	SPI-A 时钟
UARTA_RX	6				I	UART-A 接收数据
ADCSOCBO	13				O	外部 ADC 的 ADC 转换启动 B
GPIO33	0、4、8、12				I/O	通用输入/输出 33
I2CA_SCL	1				I/OD	I2C-A 开漏双向时钟
OUTPUTXBAR4	5	25			O	输出 X-BAR 输出 4
UARTA_TX	6				O	UART-A 发送数据
EQEP1_B	11				I	eQEP-1 输入 B
ADCSOCAO	13				O	外部 ADC 的 ADC 转换启动 A
GPIO35	0、4、8、12				I/O	通用输入/输出 35
SCIA_RX	1				I	SCI-A 接收数据
SPIA_POCI	2				I/O	SPI-A 外设输出控制器输入 (POCI)
I2CA_SDA	3				I/OD	I2C-A 开漏双向数据
UARTA_RX	7	31	19	19	I	UART-A 接收数据
EQEP1_A	9				I	eQEP-1 输入 A
TDI	15				I	JTAG 测试数据输入 (TDI) - TDI 是引脚的默认多路复用器选择。默认情况下, 内部上拉电阻处于禁用状态。如果将该引脚用作 JTAG TDI, 则应启用内部上拉电阻或在电路板上添加外部上拉电阻, 以避免输入悬空。
GPIO37	0、4、8、12				I/O	通用输入/输出 37
OUTPUTXBAR2	1				O	输出 X-BAR 输出 2
SPIA_PTE	2				I/O	SPI-A 外设发送使能 (PTE)
I2CA_SCL	3				I/OD	I2C-A 开漏双向时钟
SCIA_TX	5				O	SCI-A 发送数据
UARTA_TX	7				O	UART-A 发送数据
EQEP1_B	9	29	17	17	I	eQEP-1 输入 B
SYNCOUT	13				O	外部 MCPWM 同步脉冲
TDO	15				O	JTAG 测试数据输出 (TDO) - TDO 是引脚的默认多路复用器选择。默认情况下, 内部上拉电阻处于禁用状态。当没有 JTAG 活动时, TDO 功能将处于三态条件, 使这个引脚悬空; 内部上拉电阻应该被启用或者在电路板上增加一个外部上拉电阻来避免 GPIO 输入悬空。
GPIO39	0、4、8、12				I/O	通用输入/输出 39
EQEP1_INDEX	9、14				I/O	eQEP-1 索引
SYNCOUT	13				O	外部 MCPWM 同步脉冲
GPIO40	0、4、8、12				I/O	通用输入/输出 40
MCPWM1_2B	5				O	MCPWM-1 输出 2B
SCIB_TX	9				O	SCI-B 发送数据
EQEP1_A	10				I	eQEP-1 输入 A

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	48 PT	32 VFC	32 RHB	引脚类型	说明
GPIO41	0、4、8、12				I/O	通用输入/输出 41
MCPWM3_1A	1				O	MCPWM-3 输出 1A
SPIA_CLK	2				I/O	SPI-A 时钟
MCPWM1_2A	5				O	MCPWM-1 输出 2A
SCIB_RX	9				I	SCI-B 接收数据
EQEP1_B	10				I	eQEP-1 输入 B
GPIO43	0、4、8、12				I/O	通用输入/输出 43
OUTPUTXBAR6	3				O	输出 X-BAR 输出 6
I2CA_SCL	6	36		24	I/OD	I2C-A 开漏双向时钟
UARTA_TX	7				O	UART-A 发送数据
EQEP1_INDEX	10				I/O	eQEP-1 索引
GPIO45	0、4、8、12				I/O	通用输入/输出 45
OUTPUTXBAR8	3	45			O	输出 X-BAR 输出 8
SPIA_POCI	6				I/O	SPI-A 外设输出控制器输入 (POCI)
GPIO46	0、4、8、12				I/O	通用输入/输出 46
GPIO224	0、4、8、12				I/O	通用输入/输出 224。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
OUTPUTXBAR3	5				O	输出 X-BAR 输出 3
SPIA_PICO	6	6	4	4	I/O	SPI-A 外设输入控制器输出 (PICO)
MCPWM1_1A	9				O	MCPWM-1 输出 1A
EQEP1_A	11				I	eQEP-1 输入 A
UARTA_TX	14				O	UART-A 发送数据
GPIO226	0、4、8、12				I/O	通用输入/输出 226。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
SPIA_CLK	6				I/O	SPI-A 时钟
MCPWM1_1B	9	4	2	2	O	MCPWM-1 输出 1B
EQEP1_STROBE	11				I/O	eQEP-1 选通
UARTA_RX	14				I	UART-A 接收数据
GPIO227	0、4、8、12				I/O	通用输入/输出 227。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
I2CA_SCL	1				I/OD	I2C-A 开漏双向时钟
MCPWM1_3A	3	20	13	13	O	MCPWM-1 输出 3A
OUTPUTXBAR1	5				O	输出 X-BAR 输出 1
MCPWM1_2B	6				O	MCPWM-1 输出 2B
GPIO228	0、4、8、12				I/O	通用输入/输出 228。该引脚还具有模拟功能 (此表的“模拟”部分对这些功能进行了介绍)。
ADCSOCAO	3				O	外部 ADC 的 ADC 转换启动 A
SPIA_POCI	6	4	2	2	I/O	SPI-A 外设输出控制器输入 (POCI)
MCPWM1_2B	9				O	MCPWM-1 输出 2B
EQEP1_B	11				I	eQEP-1 输入 B

表 5-1. 引脚属性 (续)

信号名称	多路复用器位置	48 PT	32 VFC	32 RHB	引脚类型	说明
GPIO230	0、4、8、12				I/O	通用输入/输出 230。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
I2CA_SDA	1、7	21	13	13	I/OD	I2C-A 开漏双向数据
MCPWM1_3B	3				O	MCPWM-1 输出 3B
MCPWM1_2A	6				O	MCPWM-1 输出 2A
GPIO242	0、4、8、12				I/O	通用输入/输出 242。该引脚还具有模拟功能（此表的“模拟”部分对这些功能进行了介绍）。
MCPWM1_2A	3				O	MCPWM-1 输出 2A
OUTPUTXBAR2	5	5	3	3	O	输出 X-BAR 输出 2
SPIA_PTE	6				I/O	SPI-A 外设发送使能 (PTE)
EQEP1_INDEX	11				I/O	eQEP-1 索引
GPIO243	0、4、8、12				I/O	通用输入/输出 243
XCLKOUT	1				O	外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。
测试、JTAG 和复位						
TCK		28	16	16	I	带有内部上拉电阻的 JTAG 测试时钟。
TMS		30	18	18	I/O	带有内部上拉电阻的 JTAG 测试模式选择 (TMS)。此串行控制输入在 TCK 上升沿上的 TAP 控制器中计时。该器件没有 TRSTn 引脚。在电路板上应放置一个外部上拉电阻器（建议 $2.2k\Omega$ ）以将 TMS 引脚连接至 VDDIO，从而在正常运行期间将 JTAG 保持在复位状态。
XRSn		3	1	1	I/OD	器件复位（输入）和看门狗复位（输出）。在上电条件下，此引脚由器件驱动为低电平。外部电路也可能驱动此引脚以使器件复位生效。发生看门狗复位时，此引脚也由 MCU 驱动为低电平。在看门狗复位期间，XRSn 引脚在 512 个 OSCCLK 周期的看门狗复位持续时间内被驱动为低电平。XRSn 和 VDDIO 之间应放置一个 $2.2k\Omega$ 至 $10k\Omega$ 的电阻。如果在 XRSn 和 VSS 之间放置一个电容器进行噪声滤除，则该电容器的容值应为 $100nF$ 或更小。当看门狗复位生效时，这些值允许看门狗在 512 个 OSCCLK 周期内正确地将 XRSn 引脚驱动至 VOL。该引脚是具有内部上拉电阻的开漏输出。如果此引脚由外部器件驱动，则应使用开漏器件进行驱动。
电源和接地						
VDDA		18	11	11		3.3V 模拟电源引脚。在每个引脚上放置一个最小值为 $2.2\mu F$ 的去耦电容器。在 32 QFN 封装上，VREFHI 在内部连接至 VDDA。有关用法的详细信息，请参阅“电源管理模块 (PMM)”一节。
VDDIO		35、46	23	23		3.3V 数字 I/O 电源引脚。有关用法的详细信息，请参阅“电源管理模块 (PMM)”一节。
VSS		22、37、44	24、29	PAD		数字接地。对于 QFN 封装，必须将位于封装底部的接地焊盘焊接到 PCB 的接地平面。
VSSA		17	10	10		模拟接地

5.3 信号说明

5.3.1 模拟信号

表 5-2. 模拟信号

信号名称	引脚类型	说明	48 PT	32 VFC	32 RHB
A0	I	ADC-A 输入 0	11	7	7
A1	I	ADC-A 输入 1	10	7	7
A2	I	ADC-A 输入 2	6	4	4
A3	I	ADC-A 输入 3	5	3	3
A4	I	ADC-A 输入 4	19	12	12
A5	I	ADC-A 输入 5	9	6	6
A6	I	ADC-A 输入 6	4	2	2
A7	I	ADC-A 输入 7	15	8	8
A8	I	ADC-A 输入 8	16	9	9
A9	I	ADC-A 输入 9	20	13	13
A10	I	ADC-A 输入 10	21	13	13
A11	I	ADC-A 输入 11	8	6	6
A12	I	ADC-A 输入 12	14	8	8
A14	I	ADC-A 输入 14	7	5	5
A15	I	ADC-A 输入 15	7	5	5
A16	I	ADC-A 输入 16	2	32	32
A19	I	ADC-A 输入 19	23		
A20	I	ADC-A 输入 20	24		
AIO225	I	用于数字输入 225 的模拟引脚	19	12	12
AIO231	I	用于数字输入 231 的模拟引脚	11	7	7
AIO232	I	用于数字输入 232 的模拟引脚	10	7	7
AIO233	I	用于数字输入 233 的模拟引脚	7	5	5
AIO237	I	用于数字输入 237 的模拟引脚	8	6	6
AIO238	I	用于数字输入 238 的模拟引脚	14	8	8
AIO239	I	用于数字输入 239 的模拟引脚	7	5	5
AIO241	I	用于数字输入 241 的模拟引脚	16	9	9
AIO244	I	用于数字输入 244 的模拟引脚	9	6	6
AIO245	I	用于数字输入 245 的模拟引脚	15	8	8
CMP1_HN0	I	CMPSS-1 高电平比较器负输入 0	7	5	5
CMP1_HN1	I	CMPSS-1 高电平比较器负输入 1	8	6	6
CMP1_HP0	I	CMPSS-1 高电平比较器正输入 0	6	4	4
CMP1_HP1	I	CMPSS-1 高电平比较器正输入 1	8	6	6
CMP1_HP2	I	CMPSS-1 高电平比较器正输入 2	4	2	2
CMP1_HP3	I	CMPSS-1 高电平比较器正输入 3	7	5	5
CMP1_HP4	I	CMPSS-1 高电平比较器正输入 4	10	7	7
CMP1_LN0	I	CMPSS-1 低电平比较器负输入 0	7	5	5
CMP1_LN1	I	CMPSS-1 低电平比较器负输入 1	8	6	6
CMP1_LP0	I	CMPSS-1 低电平比较器正输入 0	6	4	4
CMP1_LP1	I	CMPSS-1 低电平比较器正输入 1	8	6	6

表 5-2. 模拟信号 (续)

信号名称	引脚类型	说明	48 PT	32 VFC	32 RHB
CMP1_LP2	I	CMPSS-1 低电平比较器正输入 2	4	2	2
CMP1_LP3	I	CMPSS-1 低电平比较器正输入 3	7	5	5
CMP1_LP4	I	CMPSS-1 低电平比较器正输入 4	10	7	7
CMP2_HN0	I	CMPSS-2 高电平比较器负输入 0	21	13	13
CMP2_HN1	I	CMPSS-2 高电平比较器负输入 1	14	8	8
CMP2_HP0	I	CMPSS-2 高电平比较器正输入 0	19	12	12
CMP2_HP1	I	CMPSS-2 高电平比较器正输入 1	14	8	8
CMP2_HP2	I	CMPSS-2 高电平比较器正输入 2	20	13	13
CMP2_HP3	I	CMPSS-2 高电平比较器正输入 3	21	13	13
CMP2_HP4	I	CMPSS-2 高电平比较器正输入 4	16	9	9
CMP2_LN0	I	CMPSS-2 低电平比较器负输入 0	21	13	13
CMP2_LN1	I	CMPSS-2 低电平比较器负输入 1	14	8	8
CMP2_LP0	I	CMPSS-2 低电平比较器正输入 0	19	12	12
CMP2_LP1	I	CMPSS-2 低电平比较器正输入 1	14	8	8
CMP2_LP2	I	CMPSS-2 低电平比较器正输入 2	20	13	13
CMP2_LP3	I	CMPSS-2 低电平比较器正输入 3	21	13	13
CMP2_LP4	I	CMPSS-2 低电平比较器正输入 4	16	9	9
CMP3_HN0	I	CMPSS-3 高电平比较器负输入 0	5	3	3
CMP3_HN1	I	CMPSS-3 高电平比较器负输入 1	9	6	6
CMP3_HP0	I	CMPSS-3 高电平比较器正输入 0	4	2	2
CMP3_HP1	I	CMPSS-3 高电平比较器正输入 1	9	6	6
CMP3_HP2	I	CMPSS-3 高电平比较器正输入 2	11	7	7
CMP3_HP3	I	CMPSS-3 高电平比较器正输入 3	5	3	3
CMP3_HP4	I	CMPSS-3 高电平比较器正输入 4	7	5	5
CMP3_LN0	I	CMPSS-3 低电平比较器负输入 0	5	3	3
CMP3_LN1	I	CMPSS-3 低电平比较器负输入 1	9	6	6
CMP3_LP0	I	CMPSS-3 低电平比较器正输入 0	4	2	2
CMP3_LP1	I	CMPSS-3 低电平比较器正输入 1	9	6	6
CMP3_LP2	I	CMPSS-3 低电平比较器正输入 2	11	7	7
CMP3_LP3	I	CMPSS-3 低电平比较器正输入 3	5	3	3
CMP3_LP4	I	CMPSS-3 低电平比较器正输入 4	7	5	5
PGA1_INM1	I	PGA-1 减去 1	19	12	12
PGA1_INM2	I	PGA-1 减去 2	11	7	7
PGA1_INP1	I	PGA-1 加上 1	8	6	6
PGA1_INP2	I	PGA-1 加上 2	2	32	32
PGA1_INP3	I	PGA-1 加上 3	4	2	2
PGA1_OUT	O	PGA-1 输出	16	9	9

表 5-2. 模拟信号 (续)

信号名称	引脚类型	说明	48 PT	32 VFC	32 RHB
VREFHI	I	ADC 高基准电压。在外部基准模式下，从外部驱动这个引脚上的高基准电压。在内部基准模式下，电压由器件驱动到该引脚。在任一模式下，在此引脚上串联至少一个 2.2 μ F 的电容器和一个 10 Ω 的电阻器。此电容器和电阻器应放置在 VREFHI 和 VREFLO 引脚之间尽可能靠近器件的位置。在 32 QFN 封装上，VREFHI 在内部连接至 VDDA。	12	11	11
VREFLO	I	ADC 低基准电压应连接至 VSSA	13	10	10

5.3.2 数字信号

表 5-3. 数字信号

信号名称	引脚类型	说明	GPIO	48 PT	32 VFC	32 RHB
ADCSOCAO	O	外部 ADC 的 ADC 转换启动 A	8、33、228	4、25	2	2
ADCSOCBO	O	外部 ADC 的 ADC 转换启动 B	10、32	32	20	20
EQEP1_A	I	eQEP-1 输入 A	6、10、11、18、20、24、28、35、40、224	2、6、27、31、33、48	4、14、15、19、21、32	4、14、15、19、21、32
EQEP1_B	I	eQEP-1 输入 B	7、11、16、19、21、29、33、37、41、228	1、4、25、26、29、34、43	2、14、17、22、31	2、14、17、22、29、31
EQEP1_INDEX	I/O	eQEP-1 索引	0、9、13、17、23、29、32、39、43、242	1、5、23、32、36、42	3、20、28、31	3、20、24、28、31
EQEP1_STROBE	I/O	eQEP-1 选通	1、4、8、12、16、22、28、30、226	2、4、24、26、38、41	2、25、27、32	2、25、27、32
ERRORSTS	O	错误状态输出。该信号需要一个外部下拉电阻。	24、28、29	1、2、27	15、31、32	15、31、32
GPIO0	I/O	通用输入/输出 0	0	42	28	28
GPIO1	I/O	通用输入/输出 1	1	41	27	27
GPIO2	I/O	通用输入/输出 2	2	40		
GPIO3	I/O	通用输入/输出 3	3	39	26	26
GPIO4	I/O	通用输入/输出 4	4	38	25	25
GPIO5	I/O	通用输入/输出 5	5	47	30	30
GPIO6	I/O	通用输入/输出 6	6	48		
GPIO7	I/O	通用输入/输出 7	7	43		29
GPIO8	I/O	通用输入/输出 8	8			
GPIO9	I/O	通用输入/输出 9	9			
GPIO10	I/O	通用输入/输出 10	10			
GPIO11	I/O	通用输入/输出 11	11		14	14
GPIO12	I/O	通用输入/输出 12	12	24		
GPIO13	I/O	通用输入/输出 13	13	23		
GPIO16	I/O	通用输入/输出 16	16	26		
GPIO17	I/O	通用输入/输出 17	17			
GPIO18	I/O	通用输入/输出 18	18	33	21	21
GPIO19	I/O	通用输入/输出 19	19	34	22	22
GPIO20	I/O	通用输入/输出 20	20			
GPIO21	I/O	通用输入/输出 21	21			
GPIO22	I/O	通用输入/输出 22	22			
GPIO23	I/O	通用输入/输出 23	23			
GPIO24	I/O	通用输入/输出 24	24	27	15	15
GPIO28	I/O	通用输入/输出 28	28	2	32	32
GPIO29	I/O	通用输入/输出 29	29	1	31	31
GPIO30	I/O	通用输入/输出 30	30			
GPIO32	I/O	通用输入/输出 32	32	32	20	20
GPIO33	I/O	通用输入/输出 33	33	25		
GPIO35	I/O	通用输入/输出 35	35	31	19	19
GPIO37	I/O	通用输入/输出 37	37	29	17	17
GPIO39	I/O	通用输入/输出 39	39			
GPIO40	I/O	通用输入/输出 40	40			
GPIO41	I/O	通用输入/输出 41	41			
GPIO43	I/O	通用输入/输出 43	43	36		24
GPIO45	I/O	通用输入/输出 45	45	45		
GPIO46	I/O	通用输入/输出 46	46			
GPIO224	I/O	通用输入/输出 224	224	6	4	4
GPIO226	I/O	通用输入/输出 226	226	4	2	2
GPIO227	I/O	通用输入/输出 227	227	20	13	13
GPIO228	I/O	通用输入/输出 228	228	4	2	2

表 5-3. 数字信号 (续)

信号名称	引脚类型	说明	GPIO	48 PT	32 VFC	32 RHB
GPIO230	I/O	通用输入/输出 230	230	21	13	13
GPIO242	I/O	通用输入/输出 242	242	5	3	3
GPIO243	I/O	通用输入/输出 243	243			
I2CA_SCL	I/OD	I2C-A 开漏双向时钟	1、3、4、8、9、18、20、29、33、37、43、227	1、20、25、29、33、36、38、39、41	13、17、21、25、26、27、31	13、17、21、24、25、26、27、31
I2CA_SDA	I/OD	I2C-A 开漏双向数据	0、2、5、10、19、21、28、32、35、230	2、21、31、32、34、40、42、47	13、19、20、22、28、30、32	13、19、20、22、28、30、32
MCPWM1_1A	O	MCPWM-1 输出 1A	0、4、30、224	6、38、42	4、25、28	4、25、28
MCPWM1_1B	O	MCPWM-1 输出 1B	1、5、9、226	4、41、47	2、27、30	2、27、30
MCPWM1_2A	O	MCPWM-1 输出 2A	2、6、7、29、41、230、242	1、5、21、40、43、48	3、13、31	3、13、29、31
MCPWM1_2B	O	MCPWM-1 输出 2B	3、7、10、40、227、228	4、20、39、43	2、13、26	2、13、26、29
MCPWM1_3A	O	MCPWM-1 输出 3A	0、4、6、227	20、38、42、48	13、25、28	13、25、28
MCPWM1_3B	O	MCPWM-1 输出 3B	1、5、230	21、41、47	13、27、30	13、27、30
MCPWM3_1A	O	MCPWM-3 输出 1A	7、12、28、41	2、24、43	32	29、32
MCPWM3_1B	O	MCPWM-3 输出 1B	11、13、29	1、23	14、31	14、31
OUTPUTXBAR1	O	输出 X-BAR 输出 1	2、24、227	20、27、40	13、15	13、15
OUTPUTXBAR2	O	输出 X-BAR 输出 2	3、37、242	5、29、39	3、17、26	3、17、26
OUTPUTXBAR3	O	输出 X-BAR 输出 3	4、5、224	6、38、47	4、25、30	4、25、30
OUTPUTXBAR4	O	输出 X-BAR 输出 4	1、6、33	25、41、48	27	27
OUTPUTXBAR5	O	输出 X-BAR 输出 5	7、28	2、43	32	29、32
OUTPUTXBAR6	O	输出 X-BAR 输出 6	9、29、43	1、36	31	24、31
OUTPUTXBAR7	O	输出 X-BAR 输出 7	0、11、16、30	26、42	14、28	14、28
OUTPUTXBAR8	O	输出 X-BAR 输出 8	17、28、45	2、45	32	32
SCIA_RX	I	SCI-A 接收数据	0、3、5、9、28、35	2、31、39、42、47	19、26、28、30、32	19、26、28、30、32
SCIA_TX	O	SCI-A 发送数据	1、2、7、8、16、24、29、37	1、26、27、29、40、41、43	15、17、27、31	15、17、27、29、31
SCIB_RX	I	SCI-B 接收数据	11、13、19、23、41	23、34	14、22	14、22
SCIB_TX	O	SCI-B 发送数据	9、10、12、18、22、40	24、33	21	21
SPIA_CLK	I/O	SPI-A 时钟	3、9、12、18、28、32、41、226	2、4、24、32、33、39	2、20、21、26、32	2、20、21、26、32
SPIA_PICO	I/O	SPI-A 外设输入控制器输出 (PICO)	2、7、8、11、16、20、24、224	6、26、27、40、43	4、14、15	4、14、15、29
SPIA_POCI	I/O	SPI-A 外设输出控制器输入 (POCI)	1、4、5、10、13、17、21、35、45、228	4、23、31、38、41、45、47	2、19、25、27、30	2、19、25、27、30
SPIA_PTE	I/O	SPI-A 外设发送使能 (PTE)	0、5、11、19、23、24、29、37、242	1、5、27、29、34、42、47	3、14、15、17、22、28、30、31	3、14、15、17、22、28、30、31
SYNCOUT	O	外部 MCPWM 同步脉冲	6、37、39	29、48	17	17
TDI	I	JTAG 测试数据输入 (TDI) - TDI 是引脚的默认多路复用器选择。默认情况下，内部上拉电阻处于禁用状态。如果将该引脚用作 JTAG TDI，则应启用内部上拉电阻或在电路板上添加外部上拉电阻，以避免输入悬空。	35	31	19	19
TDO	O	JTAG 测试数据输出 (TDO) - TDO 是引脚的默认多路复用器选择。默认情况下，内部上拉电阻处于禁用状态。当没有 JTAG 活动时，TDO 功能将处于三态条件，使这个引脚悬空；内部上拉电阻应该被启用或者在电路板上增加一个外部上拉电阻来避免 GPIO 输入悬空。	37	29	17	17
UARTA_RX	I	UART-A 接收数据	21、29、32、35、226	1、4、31、32	2、19、20、31	2、19、20、31
UARTA_TX	O	UART-A 发送数据	20、28、33、37、43、224	2、6、25、29、36	4、17、32	4、17、24、32
X1	I/O	晶体振荡器或单端时钟输入。器件初始化软件必须在启用晶体振荡器之前配置该引脚。为了使用此振荡器，必须将一个石英晶体电路连接至 X1 和 X2。此引脚也可用于馈入单端 3.3V 电平时钟。	19	34	22	22
X2	I/O	晶体振荡器输出。	18	33	21	21
XCLKOUT	O	外部时钟输出。此引脚从器件中输出所选时钟信号的分频版本。	16、18、243	26、33	21	21

5.3.3 电源和接地

表 5-4. 电源和接地

信号名称	说明	48 PT	32 VFC	32 RHB
VDDA	3.3V 模拟电源引脚。在每个引脚上放置一个最小值为 2.2 μ F 的去耦电容器。在 32 QFN 封装上，VREFHI 在内部连接至 VDDA。有关用法的详细信息，请参阅“电源管理模块 (PMM)”一节。	18	11	11
VDDIO	3.3V 数字 I/O 电源引脚。有关用法的详细信息，请参阅“电源管理模块 (PMM)”一节。	35、46	23	23
VSS	数字接地。对于 QFN 封装，必须将位于封装底部的接地焊盘焊接到 PCB 的接地平面。	22、37、44	24、29	PAD
VSSA	模拟接地	17	10	10

5.3.4 测试、JTAG 和复位

表 5-5. 测试、JTAG 和复位

信号名称	引脚类型	说明	48 PT	32 VFC	32 RHB
TCK	I	带有内部上拉电阻的 JTAG 测试时钟。	28	16	16
TMS	I/O	带有内部上拉电阻器的 JTAG 测试模式选择 (TMS)。此串行控制输入在 TCK 上升沿上的 TAP 控制器中计时。该器件没有 TRSTn 引脚。在电路板上应放置一个外部上拉电阻器 (建议 2.2kΩ) 以将 TMS 引脚连接至 VDDIO, 从而在正常运行期间将 JTAG 保持在复位状态。	30	18	18
XRSn	I/OD	器件复位 (输入) 和看门狗复位 (输出)。在上电条件下, 此引脚由器件驱动为低电平。外部电路也可能驱动此引脚以使器件复位生效。发生看门狗复位时, 此引脚也由 MCU 驱动为低电平。在看门狗复位期间, XRSn 引脚在 512 个 OSCCLK 周期的看门狗复位持续时间内被驱动为低电平。XRSn 和 VDDIO 之间应放置一个 2.2kΩ 至 10kΩ 的电阻。如果在 XRSn 和 VSS 之间放置一个电容器进行噪声滤除, 则该电容器的容值应为 100nF 或更小。当看门狗复位生效时, 这些值允许看门狗在 512 个 OSCCLK 周期内正确地将 XRSn 引脚驱动至 VOL。该引脚是具有内部上拉电阻的开漏输出。如果此引脚由外部器件驱动, 则应使用开漏器件进行驱动。	3	1	1

5.4 引脚多路复用

以下部分列出了 GPIO 多路复用引脚。

F28E120SC, F28E120SB

ZHCSY08B - JULY 2025 - REVISED OCTOBER 2025

5.4.1 GPIO 多路复用引脚
表 5-6. GPIO 多路复用引脚

0、4、8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO0	MCPWM1_1A		OUTPUTXBAR7	SCIA_RX	I2CA_SDA	SPIA_PTE				EQEP1_INDEX		MCPWM1_3A	
GPIO1	MCPWM1_1B		OUTPUTXBAR4	SCIA_TX	I2CA_SCL	SPIA_POCI	EQEP1_STROBE					MCPWM1_3B	
GPIO2	MCPWM1_2A			OUTPUTXBAR1		SPIA_PICO	SCIA_TX		I2CA_SDA				
GPIO3	MCPWM1_2B	OUTPUTXBAR2		OUTPUTXBAR2		SPIA_CLK	SCIA_RX		I2CA_SCL				
GPIO4	MCPWM1_3A	I2CA_SCL		OUTPUTXBAR3			EQEP1_STROBE				SPIA_POCI	MCPWM1_1A	
GPIO5	MCPWM1_3B	I2CA_SDA	OUTPUTXBAR3			SPIA_PTE	SPIA_POCI		SCIA_RX			MCPWM1_1B	
GPIO6		OUTPUTXBAR4	SYNCOUT	EQEP1_A				MCPWM1_3A				MCPWM1_2A	
GPIO7		MCPWM1_2A	OUTPUTXBAR5	EQEP1_B		SPIA_PICO	MCPWM3_1A		SCIA_TX			MCPWM1_2B	
GPIO8			ADCSOCAO	EQEP1_STROBE	SCIA_TX	SPIA_PICO	I2CA_SCL						
GPIO9		SCIB_TX	OUTPUTXBAR6	EQEP1_INDEX	SCIA_RX	SPIA_CLK	MCPWM1_1B				I2CA_SCL		
GPIO10		MCPWM1_2B	ADCSOCBO	EQEP1_A	SCIB_TX	SPIA_POCI	I2CA_SDA						
GPIO11			OUTPUTXBAR7	EQEP1_B	SCIB_RX	SPIA_PTE	MCPWM3_1B		EQEP1_A	SPIA_PICO			
GPIO12	MCPWM3_1A			EQEP1_STROBE	SCIB_TX				SPIA_CLK				
GPIO13	MCPWM3_1B			EQEP1_INDEX	SCIB_RX				SPIA_POCI				
GPIO16	SPIA_PICO		OUTPUTXBAR7		SCIA_TX		EQEP1_STROBE		XCLKOUT	EQEP1_B			
GPIO17	SPIA_POCI		OUTPUTXBAR8		SCIA_RX		EQEP1_INDEX						
GPIO18	SPIA_CLK	SCIB_TX			I2CA_SCL		EQEP1_A		XCLKOUT				X2
GPIO19	SPIA_PTE	SCIB_RX			I2CA_SDA		EQEP1_B						X1
GPIO20	EQEP1_A				SPIA_PICO				I2CA_SCL			UARTA_TX	
GPIO21	EQEP1_B				SPIA_POCI				I2CA_SDA			UARTA_RX	
GPIO22	EQEP1_STROBE		SCIB_TX										
GPIO23	EQEP1_INDEX	SPIA_PTE	SCIB_RX										
GPIO24	OUTPUTXBAR1	EQEP1_A	SPIA_PTE		SPIA_PICO				SCIA_TX	ERRORSTS			
GPIO28	SCIA_RX	OUTPUTXBAR8	MCPWM3_1A	OUTPUTXBAR5	EQEP1_A		EQEP1_STROBE	UARTA_TX	SPIA_CLK	ERRORSTS	I2CA_SDA		
GPIO29	SCIA_TX	MCPWM1_2A	MCPWM3_1B	OUTPUTXBAR6	EQEP1_B		EQEP1_INDEX	UARTA_RX	SPIA_PTE	ERRORSTS	I2CA_SCL		
GPIO30				OUTPUTXBAR7	EQEP1_STROBE				MCPWM1_1A				
GPIO32	I2CA_SDA	EQEP1_INDEX	SPIA_CLK		UARTA_RX					ADCSOCBO			
GPIO33	I2CA_SCL			OUTPUTXBAR4	UARTA_TX				EQEP1_B	ADCSOCAO			
GPIO35	SCIA_RX	SPIA_POCI	I2CA_SDA			UARTA_RX	EQEP1_A					TDI	
GPIO37	OUTPUTXBAR2	SPIA_PTE	I2CA_SCL	SCIA_TX		UARTA_TX	EQEP1_B			SYNCOUT		TDO	
GPIO39							EQEP1_INDEX			SYNCOUT	EQEP1_INDEX		
GPIO40				MCPWM1_2B			SCIB_TX	EQEP1_A					
GPIO41	MCPWM3_1A	SPIA_CLK		MCPWM1_2A			SCIB_RX	EQEP1_B					
GPIO43			OUTPUTXBAR6		I2CA_SCL	UARTA_TX		EQEP1_INDEX					
GPIO45			OUTPUTXBAR8		SPIA_POCI								
GPIO46													

表 5-6. GPIO 多路复用引脚 (续)

0、4、8、12	1	2	3	5	6	7	9	10	11	13	14	15	ALT
GPIO224				OUTPUTXBAR3	SPIA_PICO		MCPWM1_1A		EQEP1_A		UARTA_TX		
GPIO226					SPIA_CLK		MCPWM1_1B		EQEP1_STROBE		UARTA_RX		
GPIO227	I2CA_SCL		MCPWM1_3A	OUTPUTXBAR1	MCPWM1_2B								
GPIO228			ADCSOAO		SPIA_POCI		MCPWM1_2B		EQEP1_B				
GPIO230	I2CA_SDA		MCPWM1_3B		MCPWM1_2A	I2CA_SDA							
GPIO242			MCPWM1_2A	OUTPUTXBAR2	SPIA_PTE				EQEP1_INDEX				
GPIO243	XCLKOUT												
AIO225													
AIO231													
AIO232													
AIO233													
AIO237													
AIO238													
AIO239													
AIO241													
AIO244													
AIO245													

5.4.2 ADC 引脚上的数字输入 (AIO)

端口 H 上的 GPIO 与模拟引脚进行多路复用。这也称为 AIO。这些引脚只能在输入模式下工作。默认情况下，这些引脚将用作模拟引脚，并且 GPIO 处于高阻抗状态。GPHAMSEL 寄存器用于配置这些引脚的数字或模拟操作。

备注

如果将具有尖锐边缘 (高 dv/dt) 的数字信号连接到 AIO，则相邻的模拟信号可能会发生串扰。因此，如果相邻通道用于模拟功能，用户应限制连接到 AIO 的信号的边沿速率。

5.4.3 ADC 引脚上的数字输入和输出 (AGPIO)

一些 GPIO 与模拟引脚进行多路复用，并具有数字输入和输出功能。这些也称为 AGPIO。与 AIO 不同，AGPIO 具有完整的输入和输出能力。默认情况下，AGPIO 未连接，必须进行配置。表 5-7 显示了如何配置 AGPIO。要启用模拟功能，请设置模拟子系统寄存器 AGPICTRLx。要启用数字功能，请设置通用输入/输出 (GPIO) 一章中的寄存器 GPxAMSEL。

表 5-7. AGPIO 配置

AGPICTRLx.GPIOy (默认值 = 0)	GPxAMSEL.GPIOy (默认值 = 1)	引脚连接到：	
		ADC	GPIOy
0	0	-	是
0	1	-(1)	-(1)
1	0	-	是
1	1	是	-

(1) 默认情况下，没有信号连接到 AGPIO 引脚。必须选择表中的其他行之一来实现引脚功能。

备注

如果将具有尖锐边缘 (高 dv/dt) 的数字信号连接到 AGPIO，则相邻的模拟信号可能会发生串扰。因此，如果相邻通道用于模拟功能，用户必须限制连接到 AGPIO 的信号的边沿速率。

5.4.4 GPIO 输入 X-BAR

输入 X-BAR 用于将信号从 GPIO 路由到许多不同的 IP 块，例如 ADC、eCAP、MCPWM 和外部中断 (请参阅图 5-4)。输入 X-BAR 目标表列出了输入 X-BAR 目标。有关配置输入 X-BAR 的详细信息，请参阅 F28E12x 实时微控制器技术参考手册的“交叉开关 (X-BAR)”一章。

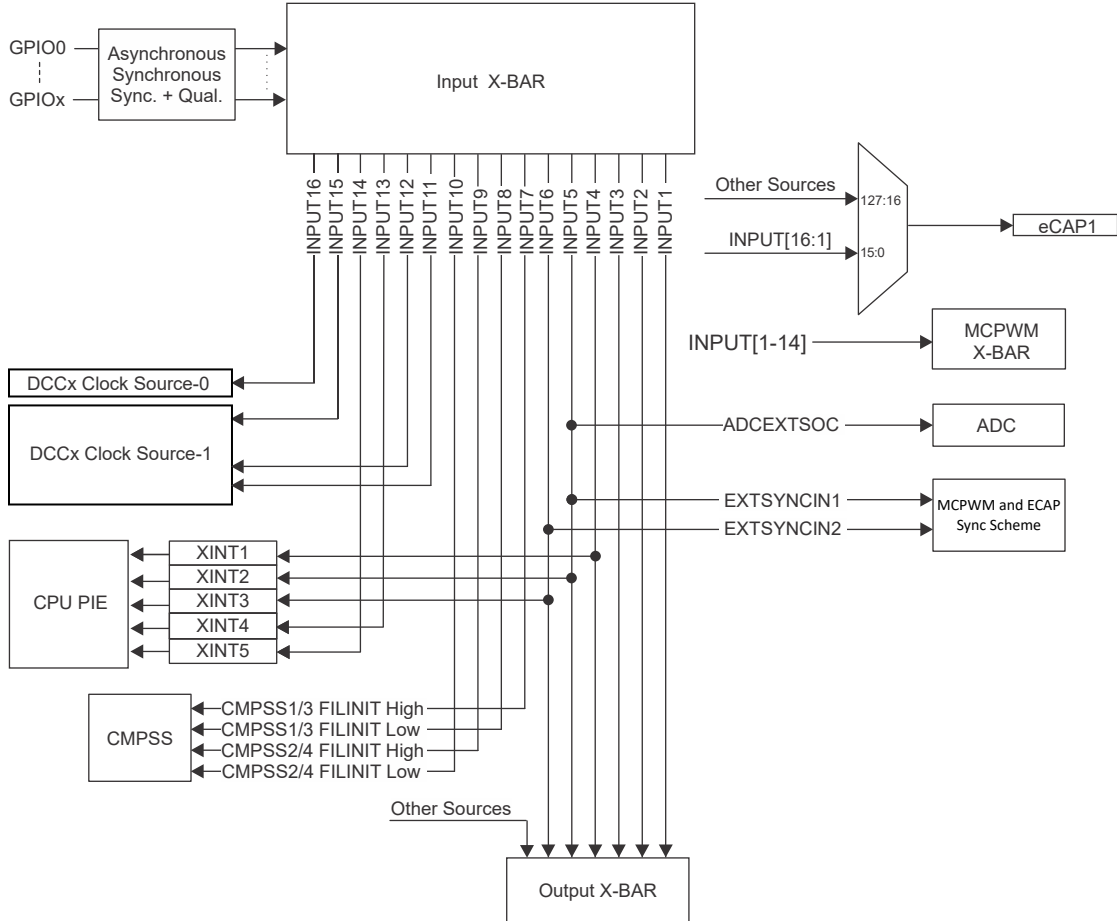


图 5-4. 输入 X-BAR

表 5-8. 输入 X-BAR 目标

输入	ECAP	PWM XBAR	输出 XBAR	CPU XINT	ADC 转换启动	PWM/ECAP 同步	DCCx	CMPSS
1	是	是	是	-	-	-	-	-
2	是	是	是	-	-	-	-	-
3	是	是	是	-	-	-	-	-
4	是	是	是	XINT1	-	-	-	-
5	是	是	是	XINT2	ADCEXTSOC	EXTSYNCIN1	-	-
6	是	是	是	XINT3	-	EXTSYNCIN2	-	-
7	是	是	-	-	-	-	-	CMPSS1_EXT_FILTIN_H[1]/ CMPSS3_EXT_FILTIN_H[1]
8	是	是	-	-	-	-	-	CMPSS1_EXT_FILTIN_L[1]/ CMPSS3_EXT_FILTIN_L[1]
9	是	是	-	-	-	-	-	CMPSS2_EXT_FILTIN_H[1]/ CMPSS4_EXT_FILTIN_H[1]
10	是	是	-	-	-	-	-	CMPSS2_EXT_FILTIN_L[1]/ CMPSS4_EXT_FILTIN_L[1]
11	是	是	-	-	-	-	CLK1	-
12	是	是	-	-	-	-	CLK1	-
13	是	是	-	XINT4	-	-	-	-

表 5-8. 输入 X-BAR 目标 (续)

输入	ECAP	PWM XBAR	输出 XBAR	CPU XINT	ADC 转换启动	PWM/ECAP 同步	DCCx	CMPSS
14	是	是	-	XINT5	-	-	-	-
15	是	-	-	-	-	-	CLK1	-
16	是	-	-	-	-	-	CLK0	-

5.4.5 GPIO 输出 X-BAR 和 PWM X-BAR

输出 X-BAR 有 8 个输出可以在 GPIO 多路复用器上选择作为 OUTPUTXBARx。PWM X-BAR 有八个输出与 MCPWM 的 TRIPx 输入相连。输出 X-BAR 和 PWM X-BAR 的源如图 5-5 所示。

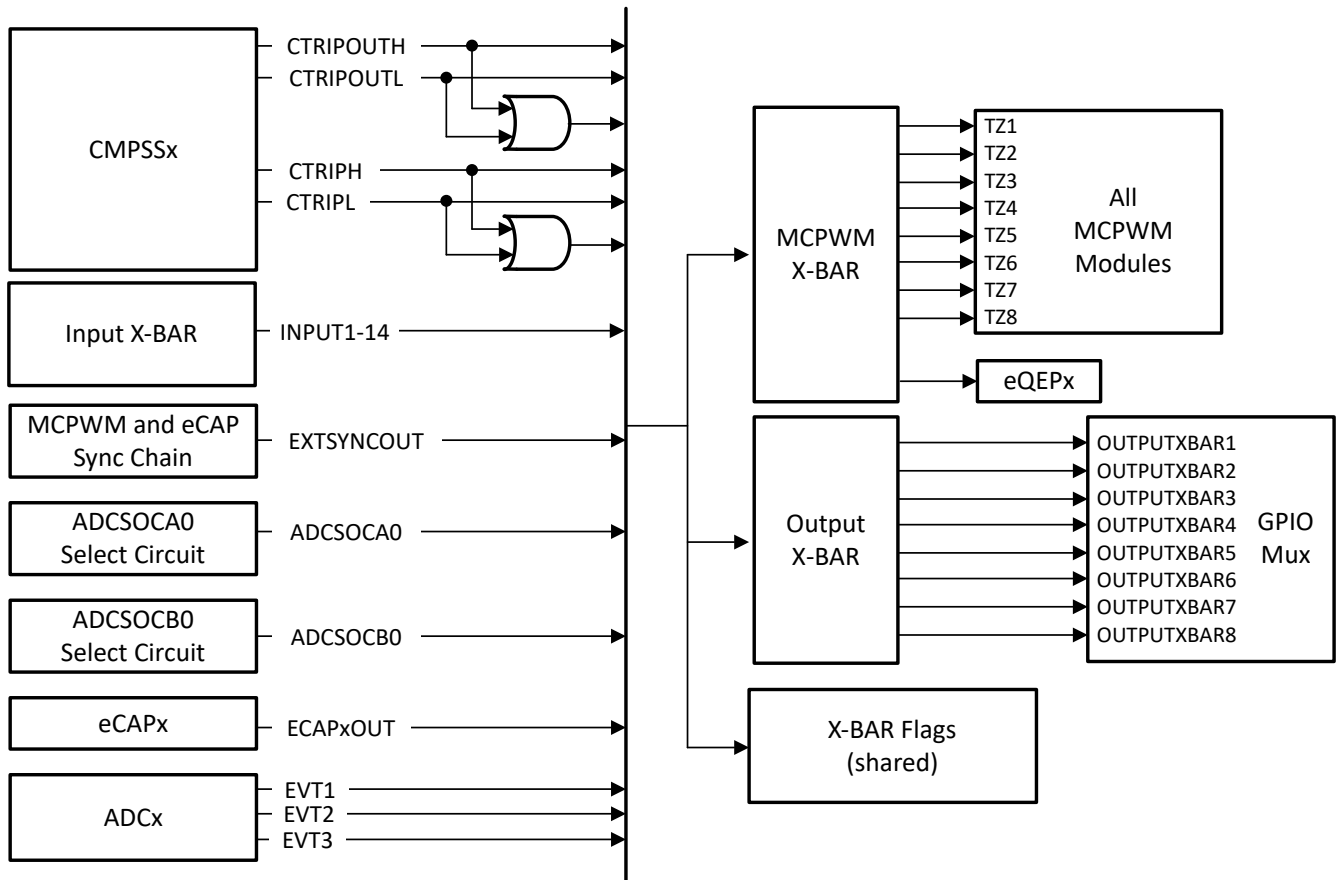


图 5-5. GPIO 输出 X-BAR 和 PWM X-BAR 源

5.4.6 GPIO 和 ADC 分配

表 5-9. GPIO 和 ADC 分配

特性	48 PT	32 RHB	32 VFC
GPIO			
GPIO	15	11	9
AGPIO	8	5	5
JTAG 和振荡器 GPIO	4 (TDI、TDO、X1、X2)		
总 GPIO	27	20	18
AIO	9	6	6
总 GPIO 和 AIO	36	26	24
ADC			
ADC 通道	9	6	6
AGPIO	8	5	5
总 ADC 通道数 (单端)	17	11	11

5.5 带有内部上拉和下拉的引脚

器件上的某些引脚具有内部上拉或下拉。表 5-10 列出了拉动方向及其活动时间。默认情况下，GPIO 引脚的上拉被禁用，可以通过软件启用。为了避免任何悬空的未键合输入，引导 ROM 将在特定封装中对未键合的 GPIO 引脚启用内部上拉。表 5-10 中提到的带有上拉和下拉的其他引脚始终处于打开状态且无法被禁用。

表 5-10. 带有内部上拉和下拉的引脚

引脚	复位 (XRSn = 0)	器件引导	应用
GPIOx	禁用上拉	禁用上拉 ⁽¹⁾	应用定义
GPIO35/TDI	禁用上拉		应用定义
GPIO37/TDO	禁用上拉		应用定义
TCK	上拉有效		
TMS	上拉有效		
XRSn	上拉有效		
其他引脚 (包括 AIO)	上拉或下拉未存在		

(1) 给定封装中未绑定的引脚将具有由引导 ROM 启用内部上拉。

5.6 未使用引脚的连接

对于不需要使用器件所有功能的应用，表 5-11 列出了对任何未使用引脚的可接受条件。当表 5-11 中列出了多个选项时，任何选项都可接受。表 5-11 中未列的引脚需按照节 5 中所述进行连接。

表 5-11. 未使用引脚的连接

信号名称	可接受的做法
模拟	
VREFHI	连接至 VDDA (仅在应用中未使用 ADC 时适用)
VREFLO	连接至 VSSA
模拟输入引脚	<ul style="list-style-type: none"> • 无连接 • 连接至 VSSA • 通过电阻器连接到 VSSA
模拟输入引脚 (与 GPIO 共用)	<ul style="list-style-type: none"> • 无连接 • 通过电阻器连接到 VSSA
数字	
GPIOx	<ul style="list-style-type: none"> • 无连接 (启用内部上拉的输入模式) • 无连接 (禁用内部上拉的输出模式) • 上拉或下拉电阻器 (任意值电阻器, 输入模式, 禁用内部上拉)
GPIO35/TDI	选择 TDI 多路复用器选项 (默认) 时, GPIO 处于输入模式。 <ul style="list-style-type: none"> • 启用内部上拉电阻 • 外部上拉电阻
GPIO37/TDO	当 TDO 多路复用选项被选中时 (默认), GPIO 只在 JTAG 活动期间处于输出模式; 否则, 它处于三态条件。必须对该引脚进行偏置, 以避免在输入缓冲器上产生额外电流。 <ul style="list-style-type: none"> • 启用内部上拉电阻 • 外部上拉电阻
TCK	<ul style="list-style-type: none"> • 无连接 • 上拉电阻器
TMS	上拉电阻器
GPIO19/X1	关闭 XTAL 和 : <ul style="list-style-type: none"> • 输入模式, 启用内部上拉电阻 • 输入模式, 使用外部上拉或下拉电阻 • 输出模式, 禁用内部上拉电阻
GPIO18/X2	关闭 XTAL 和 : <ul style="list-style-type: none"> • 输入模式, 启用内部上拉电阻 • 输入模式, 使用外部上拉或下拉电阻 • 输出模式, 禁用内部上拉电阻
电源和接地	
VDDA	如果未使用专用模拟电源, 则连接到 VDDIO。
VDDIO	所有 VDDIO 引脚必须按照节 5.3 所述进行连接。
VSS	所有 VSS 引脚必须连接到电路板接地。
VSSA	如果未使用模拟接地, 则连接到 VSS。

6 规格

6.1 绝对最大额定值

在建议运行条件下测得 (除非另有说明) (1) (2)

		最小值	最大值	单位
电源电压	VDDIO, 以 VSS 为基准	-0.3	4.6	V
	VDDA, 以 VSSA 为基准	-0.3	4.6	
输入电压	V_{IN} (3.3V)	-0.3	4.6	V
输出电压	V_O	-0.3	4.6	V
输入钳位电流	数字/模拟输入 (每引脚), I_{IK} ($V_{IN} < VSS/VSSA$ 或 $V_{IN} > VDDIO/VDDA$) (4)	-20	20	mA
	所有输入的总计, $I_{IKTOTAL}$ ($V_{IN} < VSS/VSSA$ 或 $V_{IN} > VDDIO/VDDA$)	-20	20	
输出电流	数字输出 (每引脚), I_{OUT}	-20	20	mA
工作结温	T_J	-40	125	°C
贮存温度(3)	T_{stg}	-65	150	°C

- 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用,器件可能不会完全正常运行,这可能影响器件的可靠性、功能和性能并缩短器件寿命。
- 除非另有说明,否则所有电压值均以 VSS 为基准。
- 长期高温贮存或在最大温度条件下超期使用可能会导致器件总体使用寿命缩短。有关更多信息,请参阅“[半导体和 IC 封装热指标](#)”应用报告。
- 每个引脚的连续钳位电流为 ± 2 mA。请勿在此条件下连续工作,因为 V_{DDIO}/V_{DDA} 电压可能会在内部上升并影响其他电气规格。

6.2 ESD 等级

			值	单位
采用 48 引脚 PT 封装的 F28E120SC、F28E120SB				
$V_{(ESD)}$ 静电放电 (ESD)	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准(1)		± 2000	V
	充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准(2)	所有引脚	± 500	
		48 引脚 PT 上的转角引脚: 1、12、13、24、25、36、37、48	± 750	
采用 32 引脚 VFC 封装的 F28E120SC、F28E120SB				
$V_{(ESD)}$ 静电放电 (ESD)	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准(1)		± 2000	V
	充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准(2)	所有引脚	± 500	
		32 引脚 VFC 上的转角引脚: 1、8、9、16、17、24、25、32	± 750	
采用 32 引脚 RHB 封装的 F28E120SC、F28E120SB				
$V_{(ESD)}$ 静电放电 (ESD)	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准(1)		± 2000	V
	充电器件模型 (CDM), 符合 ANSI/ESDA/JEDEC JS-002 标准(2)	所有引脚	± 500	
		32 引脚 RHB 上的转角引脚: 1、8、9、16、17、24、25、32	± 750	

- JEDEC 文档 JEP155 指出: 500V HBM 可通过标准 ESD 控制流程实现安全生产。
- JEDEC 文档 JEP157 指出: 250V CDM 能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

		最小值	标称值	最大值	单位
器件电源电压, VDDIO 和 VDDA	启用内部 BOR(3)	$V_{BOR-VDDIO(MAX)} + V_{BOR-GB}$ (2)	3.3	3.63	V
	禁用内部 BOR	2.8	3.3	3.63	

6.3 建议运行条件 (续)

		最小值	标称值	最大值	单位
器件接地, VSS			0		V
模拟接地, VSSA			0		V
SR _{SUPPLY}	VDDIO、VDDA 相对于 VSS 的电源电压斜升速率 ⁽⁴⁾				
V _{IN}	数字输入电压	VSS - 0.3		VDDIO + 0.3	V
	模拟输入电压	VSSA - 0.3		VDDA + 0.3	V
结温, T _J ⁽¹⁾		-40		125	°C
自然通风温度, T _A		-40		105	°C

(1) 在 T_J = 105°C 以上的温度下长时间运行将缩短器件的使用寿命。有关更多信息, 请参阅 [计算嵌入式处理器的有效使用寿命](#)。

(2) 请参阅 [电源管理模块 \(PMM\)](#) 部分。

(3) 默认情况下会启用内部 BOR。

(4) 请参阅“电源管理模块运行条件”表。

6.4 功耗摘要

本小节中列出的电流值仅代表给定的测试条件下的值, 而不是可能的绝对最大值。应用中的实际器件电流将随应用代码和引脚配置的不同而变化。节 [6.4.1](#) 列出了系统电流消耗值。

6.4.1 系统电流消耗 - 内部电源

在建议的工作条件下测得 (除非另有说明)

典型值: V_{nom}

参数	测试条件	最小值	典型值	最大值	单位
工作模式					
I _{DDIO} ⁽³⁾	运行期间的 VDDIO 电流消耗	这是典型重负载应用中电流的估算值。实际电流会因系统活动、I/O 电气负载和开关频率而异。这包括内核电源电流。	30°C	28	mA
			85°C	33	mA
			125°C	37	mA
I _{DDA}	运行期间的 VDDA 电流消耗	- CPU 从 RAM 运行 - 闪存加电 - X1/X2 晶振加电 - PLL 被启用, SYSCLK=最大器件频率 - 模拟模块加电 - 输出在没有直流负载的情况下是静态 - 输入是静态高电平或低电平	30°C	3.3	mA
			85°C	6.5	mA
			125°C	7	mA
空闲模式					
I _{DDIO}	器件处于空闲模式时的 VDDIO 电流消耗	- CPU 处于空闲模式 - PLL 被启用, SYSCLK=最大器件频率, CPUCLK 被选通	30°C	18	mA
			85°C	22	mA
			125°C	29	mA
I _{DDA}	器件处于空闲模式时的 VDDA 电流消耗	- X1/X2 晶振被加电 - 模拟模块被断电 - 输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平	30°C	2.5	mA
			85°C	3.5	mA
			125°C	4	mA
待机模式 (PLL 启用)					

6.4.1 系统电流消耗 - 内部电源 (续)

在建议的工作条件下测得 (除非另有说明)

典型值: V_{nom}

参数		测试条件		最小值	典型值	最大值	单位
I _{DDIO}	器件处于待机模式时的 VDDIO 电流消耗	- CPU 处于待机模式	30°C		8.5		mA
		- PLL 被启用, SYSCLK 和 CPUCLK 会选通	85°C			13	mA
		- X1/X2 晶振断电	125°C			20	mA
I _{DDA}	器件处于待机模式时的 VDDA 电流消耗	- 模拟模块断电	30°C		2.5		mA
		- 输出在没有直流负载的情况下是静态	85°C			3.5	mA
		- 输入为静态高电平或低电平	125°C			4.0	mA

6.4.1 系统电流消耗 - 内部电源 (续)

在建议的工作条件下测得 (除非另有说明)

典型值: V_{nom}

参数		测试条件		最小值	典型值	最大值	单位
待机模式 (PLL 禁用)							
I_{DDIO}	器件处于待机模式时的 VDDIO 电流消耗	- CPU 处于待机模式 - PLL 被禁用, SYSCLK 和 CPUCLK 会选通 - X1/X2 晶振断电	30°C		4		mA
			85°C			7	mA
			125°C			11	mA
I_{DDA}	器件处于待机模式时的 VDDA 电流消耗	- 模拟模块断电 - 输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平	30°C		2.5		mA
			85°C			3.5	mA
			125°C			4	mA
停机模式							
I_{DDIO}	器件处于停机模式时的 VDDIO 电流消耗	- CPU 处于停机模式 - PLL 被禁用, SYSCLK 和 CPUCLK 被选通 - X1/X2 晶振被断电	30°C		4		mA
			85°C			7	mA
			125°C			11	mA
I_{DDA}	器件处于停机模式时的 VDDA 电流消耗	- 模拟模块被断电 - 输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平	30°C		2		mA
			85°C			2.5	mA
			125°C			3	mA
闪存擦除/编程							
I_{DDIO}	擦除/编程周期期间的 VDDIO 电流消耗 ⁽¹⁾	- CPU 从 RAM 运行 - 闪存进行连续编程/擦除操作 - PLL 被启用, SYSCLK 为 120MHz。 - 外设时钟被关闭。 - X1/X2 晶体上电 - 模拟器件断电 - 输出在没有直流负载的情况下是静态 - 输入为静态高电平或低电平			34	46	mA
I_{DDA}	擦除/编程周期期间的 VDDA 电流消耗				1	4	mA
复位模式							
I_{DDIO}	复位处于活动状态时的 VDDIO 电流消耗 ⁽²⁾	器件正在复位	30°C		12.5		mA
			85°C			12.5	mA
			125°C			12.5	mA
I_{DDA}	复位处于活动状态时的 VDDA 电流消耗 ⁽²⁾		30°C		1		mA
			85°C			1	mA
			125°C			1	mA

(1) 闪存编程期间的欠压事件可能会损坏闪存数据并永久锁定器件。使用备用电源 (例如 USB 编程器) 的编程环境必须能够为器件和其他系统组件提供额定电流, 并留有足够的裕度以避免电源欠压情况。

(2) 这是复位激活 (即 XRSn 为低电平) 时的电流消耗。

(3) 虽然该值代表在列出的工作条件下消耗的峰值电流, 但请参阅“电源管理模块特性”一节中的 VDDIO 浪涌电流规格, 了解器件正常运行所需的最大电流预算

6.4.2 工作模式测试说明

节 6.4.1 列出了器件工作模式下的电流消耗值。工作模式下将估算应用可能遇到的流耗。这些测量的测试条件具有以下属性:

- 从 RAM 执行代码。
- 闪存被读取, 并保持激活状态。

- I/O 引脚不驱动任何外部元件。
- 所有外设都启用了时钟。
- 所有 CPU 都在积极执行代码。
- 所有模拟外设均已通电。ADC 未定期转换。

6.4.3 电流消耗图

下面的图显示了器件频率、温度、电源与电流消耗之间关系的典型图示。实际结果因系统实现情况和具体条件而异。

图 6-1 显示了内部电源在不同温度和工作模式下的典型工作电流曲线，数据基于 *系统电流消耗 - 内部电源表* (30°C 数据在 VNOM 下获取，较高温度数据点在 VMAX 下获取)。

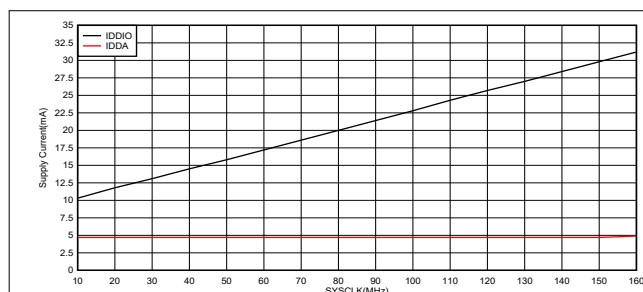


图 6-1. 工作电流与频率间的关系

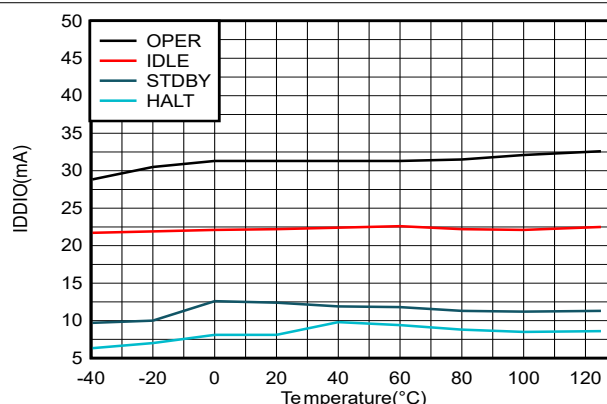


图 6-2. 电流与温度间的关系 - IDDI0

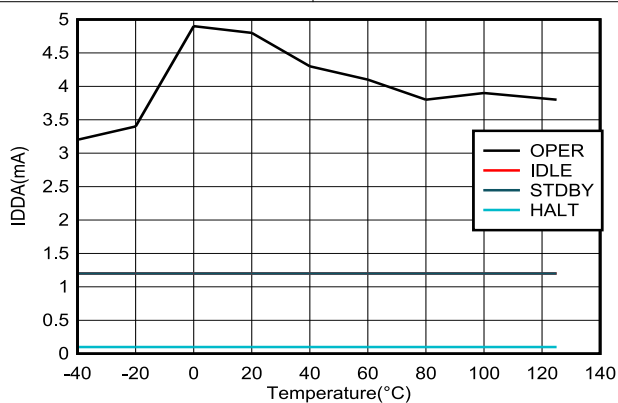


图 6-3. 电流与温度间的关系 - IDDA

6.4.4 减少电流消耗

F28E12x 器件提供了一些减少器件电流消耗的方法：

- 在应用的空闲期间，可以进入两种低功耗模式中的任何一种：空闲或待机。
- 如果代码从 RAM 中运行，闪存模块可能会断电。
- 禁用假定具有输出功能的引脚上的上拉电阻。
- 为了在 LPM 模式下实现更低的 VDDA 电流消耗，请参阅 *F28E12x 实时微控制器技术参考手册* 中的“模数转换器 (ADC)”一章，以确保每个模块也断电。

6.5 电气特性

在建议运行条件下 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
数字和模拟 IO						
V _{OH}	高电平输出电压	I _{OH} = I _{OH} MIN	VDDIO * 0.8			V
		I _{OH} = -100 μA	VDDIO - 0.2			
V _{OL}	低电平输出电压	I _{OL} = I _{OL} 最大值	0.4			V
		I _{OL} = 100 μA	0.2			
I _{OH}	所有输出引脚的高电平输出源电流		-4			mA
I _{OL}	所有输出引脚的低电平输出灌电流				4	mA
R _{OH}	所有输出引脚的高电平输出阻抗	VOH=VDDSD-0.4V	50	65	96	Ω
R _{OL}	所有输出引脚的低电平输出阻抗	VOL=0.4V	48	60	84	Ω
V _{IH}	高电平输入电压		2.0			V
V _{IL}	低电平输入电压				0.8	V
V _{HYSTERESIS}	输入迟滞 (AIO)		125			mV
	输入迟滞 (GPIO)		125			
I _{PULLDOWN}	输入电流	带有下拉的引脚	VDDIO = 3.3V V _{IN} = VDDIO		120	μA
I _{PULLUP}	输入电流	启用上拉的数字输入 ⁽¹⁾	VDDIO = 3.3V V _{IN} = 0V		160	μA
R _{PULLDOWN}	弱下拉电阻		22.66	31.49	61.55	kΩ
R _{PULLUP}	弱上拉电阻		19.89	29.45	53.63	kΩ
I _{LEAK}	引脚漏电流	数字输入	上拉和输出被禁用 0V ≤ V _{IN} ≤ VDDIO		0.1	μA
		模拟引脚	模拟驱动器禁用 0V ≤ V _{IN} ≤ VDDA		0.1	
C _i	输入电容	数字输入			2	pF
		模拟引脚 ⁽²⁾				
BOR						
POR、BOR ⁽³⁾						

(1) 有关带有上拉或下拉的引脚列表, 请参阅“带有内部上拉和下拉的引脚”表。

(2) 模拟引脚是单独指定的; 请参阅“ADC 输入模型”部分中的“每通道寄生电容”表。

(3) 请参阅电源管理模块 (PMM) 部分。

6.6 PT 封装的热阻特性

		$^{\circ}\text{C}/\text{W}^{(1)}$
R^{θ}_{JC}	结至外壳热阻	22.9
R^{θ}_{JB}	结至电路板热阻	36.8
R^{θ}_{JA} (高 k PCB)	结至大气热阻	61.8
Psi_{JT}	结至封装顶部	1.2
Psi_{JB}	结点到电路板	36.5

(1) 以上值基于 JEDEC 定义的 2S2P 系统 (基于 JEDEC 定义的 1S0P 系统的 Theta_{JC} [R^{θ}_{JC}] 值除外) , 将随环境和应用的变化而更改。有关更多信息, 请参阅以下 EIA/JEDEC 标准:

- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

6.7 VFC 封装的热阻特性

		$^{\circ}\text{C}/\text{W}^{(1)}$
R^{θ}_{JC}	结至外壳热阻, 顶部	23.2
R^{θ}_{JB}	结至电路板热阻	37.0
R^{θ}_{JA} (高 k PCB)	结至大气热阻	63.7
Psi_{JT}	结至封装顶部	1.3
Psi_{JB}	结点到电路板	36.5

(1) 以上值基于 JEDEC 定义的 2S2P 系统 (基于 JEDEC 定义的 1S0P 系统的 Theta_{JC} [R^{θ}_{JC}] 值除外) , 将随环境和应用的变化而更改。有关更多信息, 请参阅以下 EIA/JEDEC 标准:

- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

6.8 RHB 封装的热阻特性

		$^{\circ}\text{C}/\text{W}^{(1)}$
R^{θ}_{JC}	结至外壳热阻, 顶部	25.2
	结至外壳热阻, 底部	4.1
R^{θ}_{JB}	结至电路板热阻	14.0
R^{θ}_{JA} (高 k PCB)	结至大气热阻	33.1
Psi_{JT}	结至封装顶部	0.4
Psi_{JB}	结点到电路板	13.9

(1) 以上值基于 JEDEC 定义的 2S2P 系统 (基于 JEDEC 定义的 1S0P 系统的 Theta_{JC} [R^{θ}_{JC}] 值除外) , 将随环境和应用的变化而更改。有关更多信息, 请参阅以下 EIA/JEDEC 标准:

- JESD51-2, *Integrated Circuits Thermal Test Method Environmental Conditions - Natural Convection (Still Air)*
- JESD51-3, *Low Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-7, *High Effective Thermal Conductivity Test Board for Leaded Surface Mount Packages*
- JESD51-9, *Test Boards for Area Array Surface Mount Package Thermal Measurements*

6.9 散热设计注意事项

根据最终应用设计和运行情况， I_{DD} 和 I_{DDIO} 电流可能有所不同。最终产品中超过建议最大功率耗散的系统可能需要额外的散热增强措施。环境温度 (T_A) 随最终应用和产品设计的不同而不同。影响可靠性和功能性的关键参数是结温 T_J ，而不是环境温度。因此，应该注意将 T_J 保持在指定限值内。应该测量 T_{case} 以评估工作结温 T_J 。通常在封装顶部表面的中心测量 T_{case} 。热应用报告 [半导体和 IC 封装热指标](#) 有助于理解热指标和相关定义。

6.10 系统

6.10.1 电源管理模块 (PMM)

6.10.1.1 引言

电源管理模块 (PMM) 可以处理运行器件时所需的所有电源管理功能。

6.10.1.2 概述

在图 6-4 中给出了 PMM 的方框图。可以看出，PMM 包含多个子组件，这些子组件将在后续章节中进行介绍。

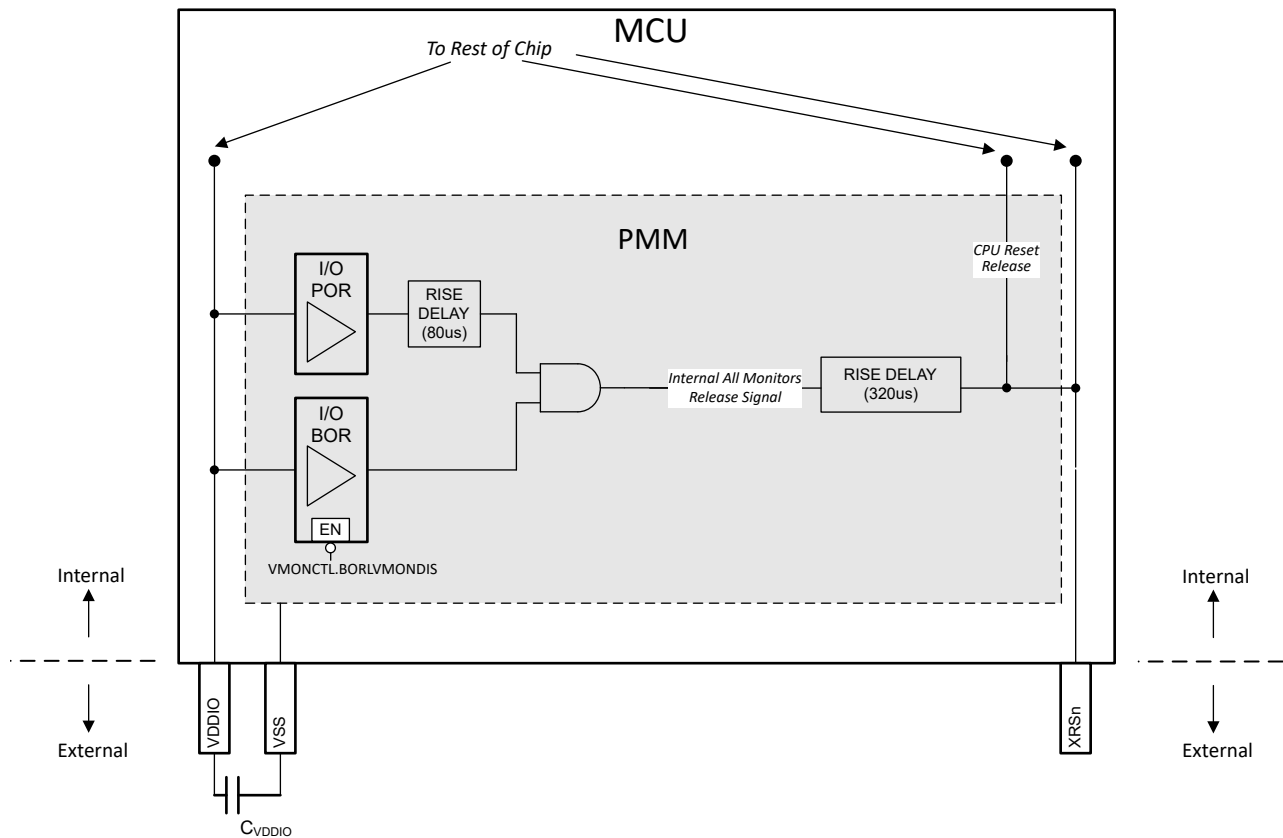


图 6-4. PMM 方框图

6.10.1.2.1 电源轨监视器

PMM 在电源轨上有电压监视器，一旦电压在上电期间超过设定的阈值， $XRSn$ 信号便会释放为高电平。如果任何电压降至编程的电平以下，这些电压监视器还可以使 $XRSn$ 信号跳闸为低电平。后续各节将介绍各种电压监视器。

备注

启动后，并非所有电压监视器都支持在应用中运行器件。在不支持电压监视器的情况下，如果器件在应用运行过程中需要监视电源电压，则建议使用外部监控器。

两个电压监视器 (I/O POR 和 I/O BOR) 都必须在器件开始运行 (即 XRSn 变为高电平) 之前释放各自的输出。但是, 如果任一电压监视器跳闸, XRSn 将被驱动为低电平。当任何电压监视器跳闸时, I/O 保持高阻抗。

6.10.1.2.1.1 I/O POR (上电复位) 监视器

I/O POR 监视器会监控 VDDIO 电源轨。在上电期间, 这是第一个在 VDDIO 上释放的监视器 (即第一个要解除跳闸的监视器)。

备注

I/O POR 跳闸的电平远低于 VDDIO 的最小建议电压, 因此不应用于器件监控。

6.10.1.2.1.2 I/O BOR (欠压复位) 监视器

I/O BOR 监视器还会监控 VDDIO 电源轨。在上电期间, 这是第二个在 VDDIO 上释放的监视器 (即第二个要解除跳闸的监视器)。与 I/O POR 相比, 该监视器具有更严格的容差。

只要电压降至低于建议工作电压, 都会导致 I/O BOR 跳闸并复位器件, 但可以通过将 VMONCTL.bit.BORLVMONDIS 设置为 1 来禁用该功能。只有在器件完全启动后, 才能禁用 I/O BOR。如果 I/O BOR 被禁用, I/O POR 将在电压下降时复位器件。

图 6-5 所示为 I/O BOR 的工作区域。

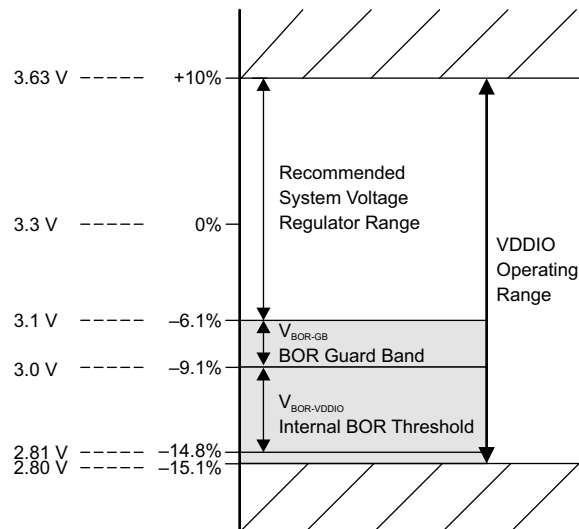


图 6-5. I/O BOR 工作区域

6.10.1.2.2 外部监控器使用情况

VDDIO 监控: I/O BOR 功能只要满足应用要求, 就可用于 I/O 电源轨监控。

6.10.1.2.3 延迟块

电压监控器路径中的延迟块协同工作, 以延迟电压监控器和 XRSn 之间的释放时间。这是为了确保当 XRSn 释放时电压稳定。延迟块仅在上电期间 (即, 当 VDDIO 斜升时) 有效。

延迟块有助于实现电源管理模块电气数据和时序中所指定的电源轨最小压摆率。

备注

方框图中指定的延迟数字是典型值。

6.10.1.3 外部元件

6.10.1.3.1 去耦电容器

VDDIO 需要去耦电容器才能正常运行。后续章节将概述这些要求。

6.10.1.3.1.1 VDDIO 去耦

在 VDDIO 上放置最小的去耦电容值。请参阅 C_{VDDIO} 参数 (位于 [电源管理模块电气数据和时序](#) 中) 。实际使用的去耦电容值取决于驱动 VDDIO 的电源。可接受以下任一配置：

- **配置 1**：根据 C_{VDDIO} 参数在每个 VDDIO 引脚上放置一个去耦电容器。
- **配置 2**：安装等效于 $C_{VDDIO} * VDDIO$ 引脚的单个去耦电容器。

备注

将去耦电容器 (一个或多个) 靠近器件引脚放置至关重要。

6.10.1.4 电源时序

6.10.1.4.1 电源引脚联动

强烈建议将所有 3.3V 电源轨连接在一起并由单个电源供电。该列表包括：

- VDDIO
- VDDA

此外，连接所有电源引脚以避免任何未连接的情况。

器件上的模拟模块具有相当高的 PSRR；因此，在大多数情况下，VDDA 上的噪声必须超过电源轨的建议运行条件之后，模拟模块才会出现性能下降。因此，单独为 VDDA 供电带来的好处通常微乎其微。然而，为了改善噪声，一种可接受的做法是在 VDDIO 和 VDDA 之间放置一个 π 型滤波器。

备注

每个电源轨的所有电源引脚在内部连接在一起。例如，所有 VDDIO 引脚在内部连接在一起，。

6.10.1.4.2 信号引脚电源序列

在给器件供电之前，请勿向任何数字引脚施加比 VDDIO 高 0.3V 或比 VSS 低 0.3V 的电压，也不得向任何模拟引脚施加比 VDDA 高 0.3V 或比 VSSA 低 0.3V 的电压 (包括 VREFHI) 。即使 VDDIO 和 VDDA 未连接在一起，仍需要进行此时序控制。

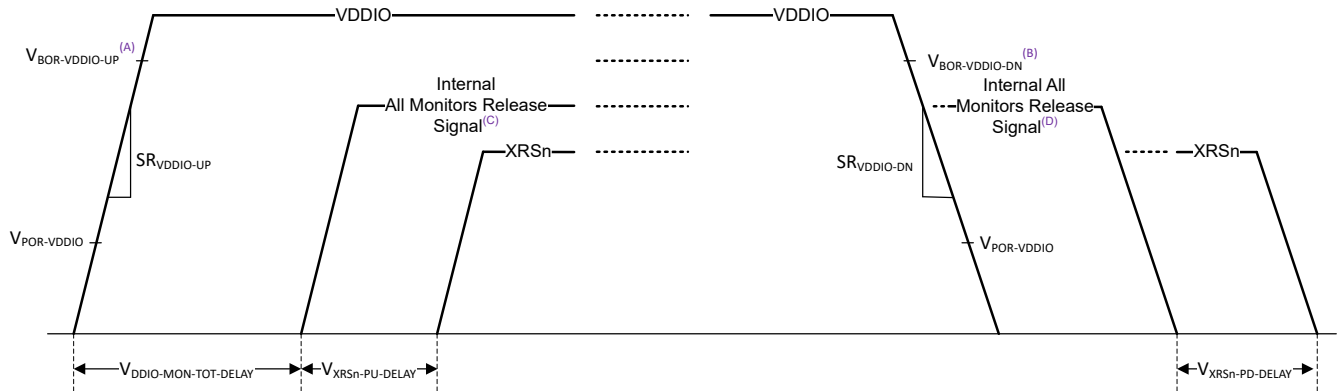
小心

如果违反上述序列，则可能会发生器件故障，甚至可能造成损坏，因为电流将流经器件中的意外寄生路径。

6.10.1.4.3 电源引脚电源序列

6.10.1.4.3.1 内部上电序列

图 6-6 展示了电源时序控制要求。所有所示参数的值均可在 [电源管理模块电气数据和时序](#) 中找到。



- A. 该跳闸点是 XRSn 释放之前的跳闸点。请参阅 [电源管理模块特性表](#)。
- B. 该跳闸点是 XRSn 释放之后的跳闸点。请参阅 [电源管理模块特性表](#)。
- C. 上电期间，所有监视器释放信号在所有 POR 和 BOR 监视器释放后变为高电平。请参阅 [PMM 方框图](#)。
- D. 在断电期间，如果任何 POR 或 BOR 监视器跳闸，所有监视器释放信号都会变为低电平。请参阅 [PMM 方框图](#)。

图 6-6. 内部上电序列

- 在上电期间：
 - VDDIO (即 3.3V 电源轨) 应提供指定的最小压摆率。
 - 在 $V_{DDIO-MON-TOT-DELAY}$ 和 $V_{XRSn-PU-DELAY}$ 指定的时间过后，XRSn 将被释放，并且器件的启动序列将开始。
 - I/O BOR 监视器在上电和断电期间具有不同的释放点。
- 在断电期间：
 - 在断电期间对 VDDIO 的唯一要求是压摆率。
 - I/O BOR 监视器在上电和断电期间具有不同的释放点。
 - I/O BOR 跳闸将导致 XRSn 在 $V_{XRSn-PD-DELAY}$ 。

备注

所有监视器释放信号是一个内部信号。

备注

如果有一个驱动 XRSn 的外部电路 (例如，监控器)，在所有内部和外部源释放 XRSn 引脚之前，启动序列不会开始。

6.10.1.4.3.2 电源时序摘要和违规影响

电源轨的可接受上电序列汇总如下。此处的“上电”表示相关电源轨已达到建议的最低工作电压。

小心

不可接受的序列会导致可靠性问题并可能导致损坏。

为简单起见，建议将所有 3.3V 电源轨连接在一起，并按照[电源引脚电源序列](#)中的说明进行操作。

表 6-1. 内部上电序列摘要

情形	电源轨上电顺序		可接受
	VDDIO	VDDA	
A	1	2	是
B	2	1	否

表 6-1. 内部上电序列摘要 (续)

情形	电源轨上电顺序		可接受
	VDDIO	VDDA	
C	1	1	是

备注

应当仅在 VDDA 达到建议的最低工作电压后才为器件上的模拟模块供电。

6.10.1.4.3.3 电源压摆率

VDDIO 有最低压摆率要求。如果不满足最低压摆率要求，XRSn 可能会切换几次，直到 VDDIO 越过 I/O BOR 区域。

备注

XRSn 上的切换操作对器件没有不利影响，因为只有当 XRSn 稳定为高电平时才会开始引导。但是，如果使用器件的 XRSn 来选通其他 IC 的复位信号，则应满足压摆率要求以防止这种切换。

6.10.1.5 建议运行条件对 PMM 的适用性

如 *建议运行条件* 表中所述，器件上所有引脚的电压 (V_{IN}) 应保持在 $VSS - 0.3V$ 以上。低于该值的负电压将向器件注入电流，从而可能导致运行异常。应特别注意 PMM 附近的引脚。这些引脚上的负电压可能会导致 POR 或 BOR 模块意外将 XRSn 置为有效 (请参阅 *PMM 方框图*)。下面的 *PMM 附近的引脚* 表中显示了该器件上 PMM 附近的引脚。

表 6-2. PMM 附近的引脚

引脚名称	引脚编号		
	48 PT	32 VFC	32 RHB
A0/AIO231	11	7	7

避免引脚上出现负噪声的方法包括 (按重要性排序)：

1. 从源头降低或消除噪声。
2. 避免这些引脚上的噪声源之间的耦合。
3. 通过器件引脚附近的滤波器隔离任何噪声。

6.10.1.6 电源管理模块电气数据和时序

6.10.1.6.1 电源管理模块运行条件

在建议运行条件下 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
通用					
C_{VDDIO} ^{(1) (2)}	每个引脚的 VDDIO 电容 ⁽⁵⁾	0.1			uF
C_{VDDA} ^{(1) (2)}	每个引脚的 VDDA 电容 ⁽⁵⁾	2.2			uF
SR_{VDD33} ⁽³⁾	3.3V 电源轨 (VDDIO、VDDA) 的电源电压斜升速率	3		100	mV/us
$V_{BOR-VDDIO-GB}$ ⁽⁴⁾	VDDIO 欠压复位电压保护带		0.1		V

(1) 还应使用大容量电容器。去耦电容的确切值取决于为这些引脚供电的系统电压调节解决方案。

(2) 建议将 3.3V 电压轨 (VDDIO、VDDA) 连接在一起并由单电源供电。

(3) 请参阅 *电源压摆率* 一节。电源斜坡速率高于最大值会触发片上 ESD 保护。

(4) TI 建议使用 $V_{BOR-VDDIO-GB}$ ，避免由于正常电源噪声或 3.3V VDDIO 系统稳压器上的负载瞬态事件而导致 BOR-VDDIO 复位。要防止在器件正常运行期间激活 BOR-VDDIO，良好的系统稳压器设计和去耦电容 (符合系统稳压器规格) 非常重要。 $V_{BOR-VDDIO-GB}$ 的值是一个系统级设计注意事项；此处列出的电压是许多应用的典型值。

(5) 最大电容器容差应为 20%。

6.10.1.6.2 电源管理模块特性

在建议运行条件下 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位	
$V_{CORE-PU}$ ⁽⁵⁾	内核上电时间			40	us	
$V_{VDDIO-INRUSH}$ ^{(4) (5)}	电源上电浪涌电流		45		mA	
$V_{POR-VDDIO}$	VDDIO 上电复位电压	XRSn 释放之前和之后		2.3	V	
$V_{BOR-VDDIO-UP}$ ⁽¹⁾	斜升时的 VDDIO 欠压复位电压	XRSn 释放之前		2.7	V	
$V_{BOR-VDDIO-DOWN}$ ⁽¹⁾	斜降时的 VDDIO 欠压复位电压	XRSn 释放之后		2.81	3.0	V
$V_{XRSn-PU-DELAY}$ ⁽²⁾	上电期间电源斜升后的 XRSn 释放延迟		320		us	
$V_{XRSn-PD-DELAY}$ ⁽³⁾	断电期间电源斜降后的 XRSn 跳闸延迟		2		us	
$V_{DDIO-MON-TOT-DELAY}$	VDDIO 监视器 (POR、BOR) 路径中的总延迟		80		us	
$V_{XRSn-MON-RELEASE-DELAY}$	VDDIO BOR 事件之后的 XRSn 释放延迟	电源处于工作范围内		360	us	
	VDDIO POR 事件之后的 XRSn 释放延迟			440	us	

(1) 请参阅 *I/O BOR 工作区域图*。

(2) 电源在越过相应电源轨的最低建议运行条件后被视为完全斜升。在该延迟生效之前，需要释放所有 POR 和 BOR 监视器。RC 网络延迟将与该延迟相加。

(3) 断电时，任何跳闸的 POR 或 BOR 监视器都会立即使 XRSn 跳闸。该延迟是任何 POR、BOR 监视器跳闸和 XRSn 变为低电平之间的时间。该延迟是变量，取决于电源的斜降速率。RC 网络延迟将与该延迟相加。

(4) 这是器件开启时在 VDDIO 电源轨上汲取的瞬态电流。因此，在电压斜升时，VDDIO 电源轨上可能会出现一些压降。这对器件没有损害。

(5) 在初始冷上电期间。

6.10.2 复位时序

XRSn 是器件复位引脚。它用作输入和漏极开路输出。该器件内置上电复位 (POR) 和欠压复位 (BOR) 监控器。在上电期间，监控器电路会将 XRSn 引脚保持为低电平。有关更多详细信息，请参阅 *电源管理模块 (PMM)* 部分。看门狗或 NMI 看门狗复位也会驱动引脚至低电平。外部开漏电路可以驱动该引脚，从而使器件复位生效。

应在 XRSn 和 VDDIO 之间放置一个阻值为 2.2kΩ 至 10kΩ 的电阻。应在 XRSn 和 VSS 之间放置一个电容器进行噪声滤除；电容应为 100nF 或更小。当看门狗复位生效时，这些值允许看门狗在 512 个 OSCCLK 周期内正确地将 XRSn 引脚驱动至 V_{OL}。图 6-7 展示了推荐的复位电路。

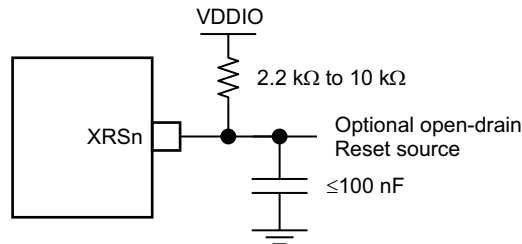


图 6-7. 复位电路

6.10.2.1 复位源

复位信号表总结了各种复位信号及其对器件的影响。

表 6-3. 复位信号

复位源	CPU 内核复位 (C28x、FPU、)	外设复位	JTAG/调试逻辑复位	IOs	XRS 输出
POR	是	是	是	高阻态	是
BOR	是	是	是	高阻态	是
XRS 引脚	是	是	否	高阻态	-
WDRS	是	是	否	高阻态	是
NMIWDRS	是	是	否	高阻态	是
SYSRS (调试器复位)	是	是	否	高阻态	否
SCCRESET	是	是	否	高阻态	否
SIMRESET。XRS	是	是	否	高阻态	是
SIMRESET。CPU1RS	是	是	否	高阻态	否

参数 $t_{h(\text{boot-mode})}$ 必须考虑从这些来源启动的复位。

请参阅 *F28E12x 实时微控制器技术参考手册* 中“系统控制”一章的复位一节。

小心

有些复位源由器件内部驱动。其中一些源会将 XRSn 驱动为低电平，用于禁用驱动引导引脚的任何其他器件。SCCRESET 和调试器复位源不会驱动 XRSn；因此，用于引导模式的引脚不应由系统中的其他器件主动驱动。引导配置规定可更改 OTP 中的引导引脚。

6.10.2.2 复位电气数据和时序

6.10.2.2.1 复位 - XRSn - 时序要求

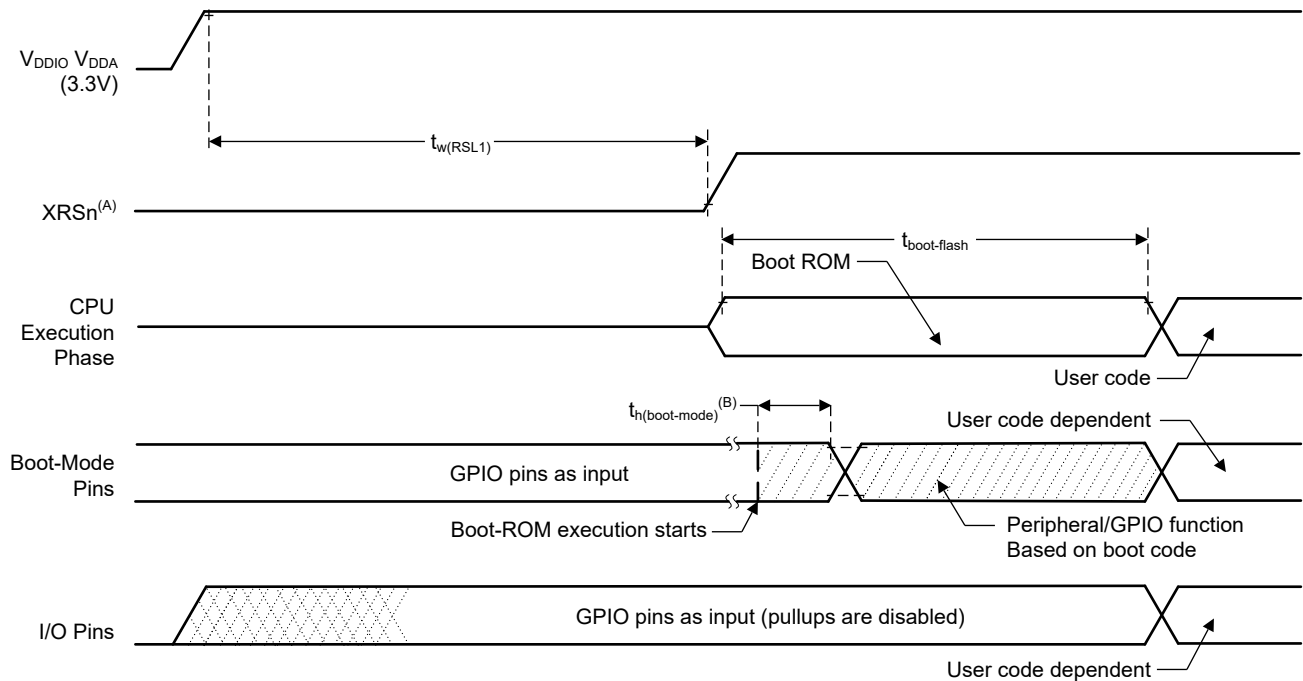
		最小值	最大值	单位
t_h (引导模式)	引导模式引脚的保持时间	1.5		ms
$t_w(RSL2)$	脉冲持续时间, 热复位时 XRSn 处于低电平	3.2		μ s

6.10.2.2.2 复位 - XRSn - 开关特性

在建议运行条件下 (除非另有说明)

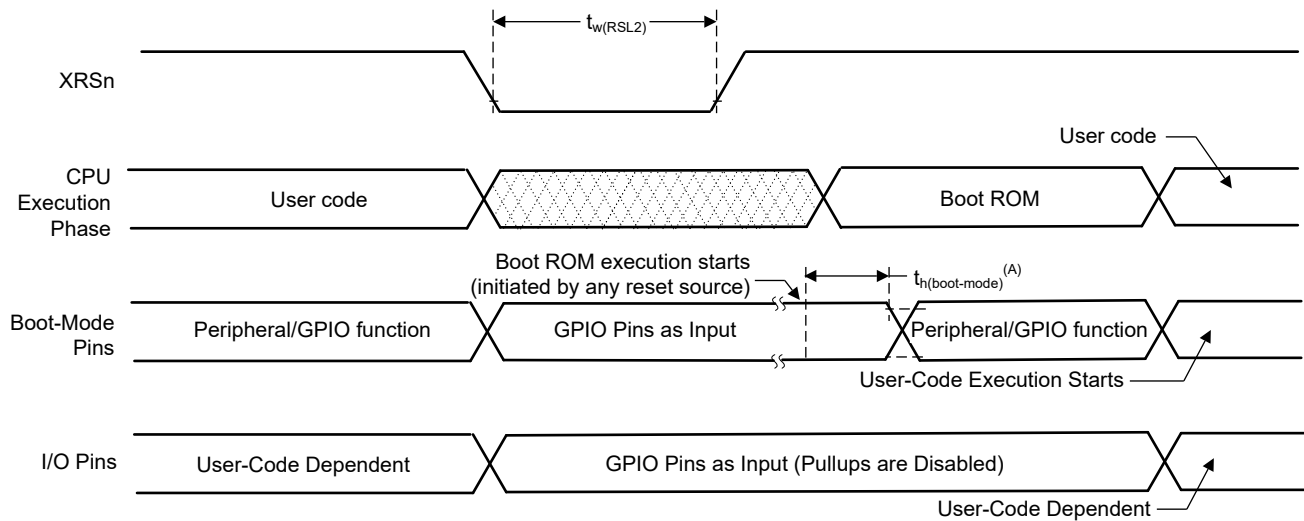
参数		最小值	典型值	最大值	单位
$t_w(RSL1)$	脉冲持续时间, XRSn 在电源稳定后由器件驱动为低电平		100		μ s
$t_w(WDRS)$	脉冲持续时间, 由看门狗生成的复位脉冲		$512t_{c(OSCCLK)}$		周期
$t_{boot-flash}$	在闪存中第一次取指令之前的引导 ROM 执行时间			1.2	ms

6.10.2.2.3 复位时序图



- A. XRSn 引脚可以由监控器或外部上拉电阻从外部驱动, 请参阅 [引脚属性表](#)。片上监控器将保持该引脚为低电平, 直到电源处于有效范围内。
- B. 从任何源 (参阅 [复位源](#) 部分) 复位后, 引导 ROM 代码将对引导模式引脚进行采样。基于引导模式引脚的状态, 引导代码向目的内存或者引导代码函数下达分支指令。如果引导 ROM 代码在上电条件后 (在调试程序环境中) 执行, 则引导代码执行时间基于当前的 SYSCLK 速度。SYSCLK 将基于用户环境, 可以启用或不启用 PLL。

图 6-8. 上电复位



- A. 从任何源（参阅复位源部分）复位后，引导 ROM 代码将对引导模式引脚进行采样。基于引导模式引脚的状态，引导代码向目的内存或者引导代码函数下达分支指令。如果引导 ROM 代码在上电条件后（在调试程序环境中）执行，则引导代码执行时间基于当前的 SYSCLK 速度。SYSCLK 将基于用户环境，可以启用或不启用 PLL。

图 6-9. 热复位

6.10.3 时钟规格

6.10.3.1 时钟源

本节介绍了此器件上的时钟源和时钟域，以及如何配置它们以满足应用需求。表 6-4 中给出了时钟源。图 6-10 和图 6-11 概述了器件的时钟系统。方程式 1 中给出了 PLLRAWCLK 和 OSCCLK 之间的关系。

$$f_{PLLRAWCLK} = \frac{f_{OSCCLK} \times (QDIV)}{(PDIV) \times (RDIVCLK0)} \quad (1)$$

表 6-4. 可能的基准时钟源

时钟源	说明
WROSC	内部 20MHz 至 70MHz 振荡器
SYSOSC ⁽¹⁾	内部 4MHz 至 32MHz 振荡器
X1 (XTAL)	X1 和 X2 引脚之间连接的外部晶体或谐振器，或连接到 X1 引脚的单端时钟。

(1) 复位时，SYSOSC 为 PLL (OSCCLK) 的默认时钟源。

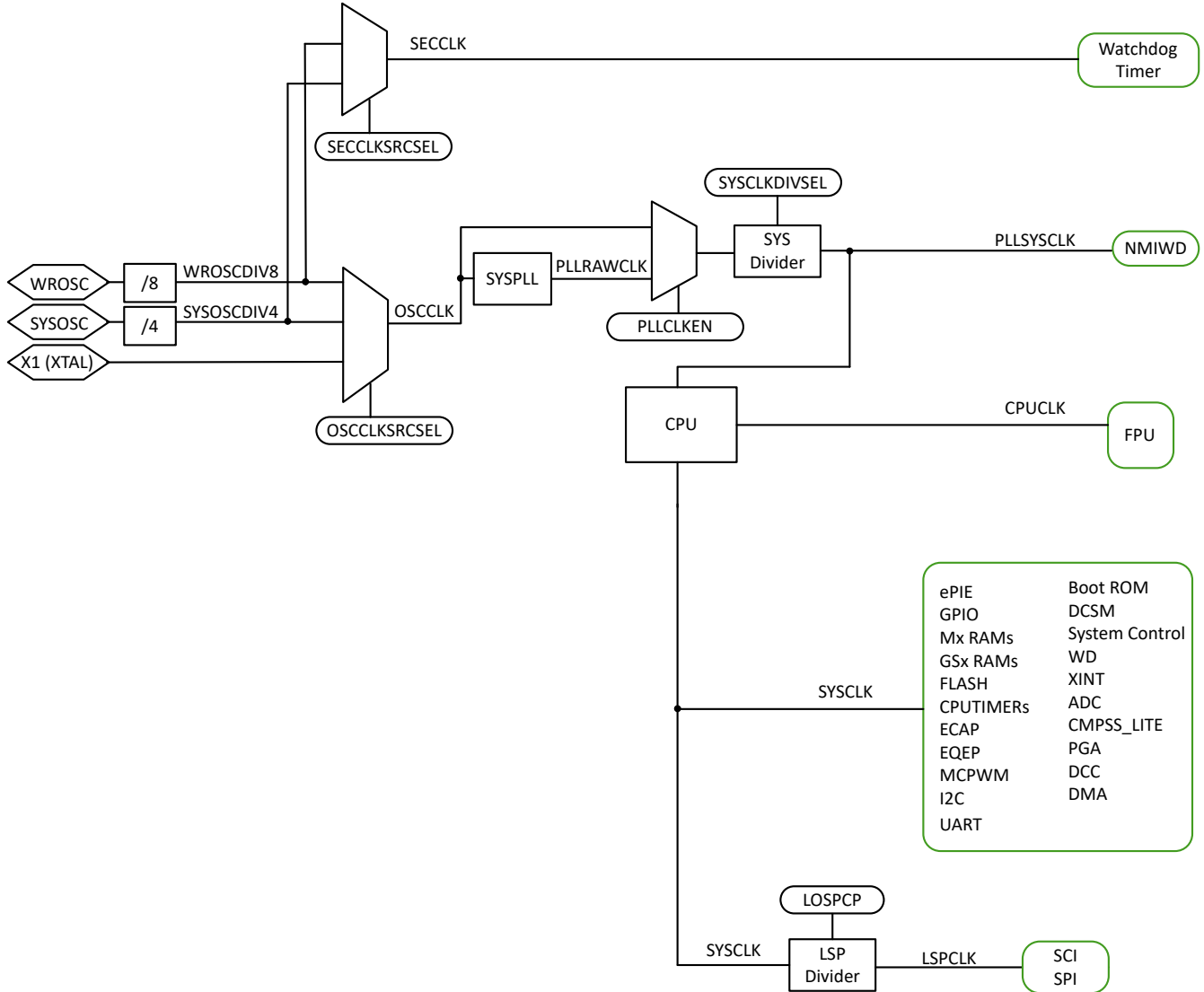


图 6-10. 计时系统

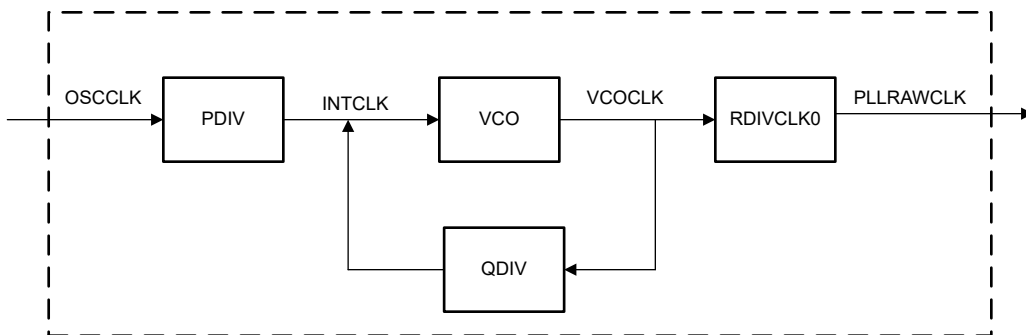


图 6-11. 系统 PLL

6.10.3.2 时钟频率、要求和特性

本节提供了输入时钟的频率和时序要求、PLL 锁定时间、内部时钟的频率以及输出时钟的频率和开关特性。

6.10.3.2.1 输入时钟频率和时序要求, PLL 锁定时间

6.10.3.2.1.1 输入时钟频率

		最小值	最大值	单位
$f_{(XTAL)}$	频率, X1/X2, 来自外部晶体或谐振器	10	20	MHz
$f_{(X1)}$	频率, X1, 来自外部振荡器	10	25	MHz

6.10.3.2.1.2 XTAL 振荡器特性

在建议运行条件下 (除非另有说明)

参数		最小值	典型值	最大值	单位
X1 V_{IL}	有效低电平输入电压	-0.3		$0.3 * V_{DDIO}$	V
X1 V_{IH}	有效高电平输入电压	$0.7 * V_{DDIO}$		$V_{DDIO} + 0.3$	V

6.10.3.2.1.3 X1 时序要求

		最小值	最大值	单位
$t_f(X1)$	下降时间, X1		6	ns
$t_r(X1)$	上升时间, X1		6	ns
$t_w(X1L)$	脉冲持续时间, X1 低电平占 $t_c(X1)$ 的百分比	45%	55%	
$t_w(X1H)$	脉冲持续时间, X1 高电平占 $t_c(X1)$ 的百分比	45%	55%	

6.10.3.2.1.4 PLL 特性

在建议运行条件下 (除非另有说明)

参数	最小值	典型值	最大值	单位
PLL 锁定时间				
SYS PLL 锁定时间 ⁽¹⁾			$786 * t_{c(OSCCLK)}$	us

(1) 此处的 PLL 锁定时间定义了 PLL 启用 (SYSPLLCTL1[PLLENA]=1) 后 PLL 锁定所需的典型时间。此处未考虑使用双路钟比较器 (DCC) 验证 PLL 时钟的额外时间。TI 建议使用 C2000Ware 的最新示例软件来初始化 PLL。对于系统 PLL, 请参阅 InitSysPll() 或 SysCtl_setClock()。

6.10.3.2.1.5 XCLKOUT 开关特性 - 旁路或启用 PLL

在建议运行条件下 (除非另有说明)

参数 ⁽¹⁾		最小值	最大值	单位
$t_f(XCO)$	下降时间, XCLKOUT		6	ns
$t_r(XCO)$	上升时间, XCLKOUT		6	ns
$t_w(XCOL)$	脉冲持续时间, XCLKOUT 低电平	$H - 2^{(2)}$	$H + 2^{(2)}$	ns
$t_w(XCOH)$	脉冲持续时间, XCLKOUT 高电平	$H - 2^{(2)}$	$H + 2^{(2)}$	ns
$f_{(XCO)}$	频率, XCLKOUT		50	MHz

(1) 假定这些参数有 6pF 的负载。

(2) $H = 0.5t_{c(XCO)}$

6.10.3.2.1.6 内部时钟频率

		最小值	标称值	最大值	单位
$f_{(SYSCLK)}$	频率, 器件 (系统) 时钟	2		160	MHz
$t_{c(SYSCLK)}$	周期, 器件 (系统) 时钟	6.25		500	ns
$f_{(INTCLK)}$	频率, 系统 PLL 输入 VCO (在 PDIV 之后)	4		25	MHz

6.10.3.2.1.6 内部时钟频率 (续)

		最小值	标称值	最大值	单位
$f_{(VCOCLK)}$	频率, 系统 PLL VCO (在 RDIVCLK0 之前)	160		400	MHz
$f_{(PLLRAWCLK)}$	频率, 系统 PLL 输出 (在 SYSCLK 分频器之前)	5		200	MHz
$f_{(PLL)}$	频率, PLLSYSCLK	2		160	MHz
$f_{(PLL_LIMP)}$	频率, PLL 跛行频率 ⁽¹⁾		30/(RDIVCLK0 + 1)		MHz
$f_{(LSP)}$	频率, LSPCLK	2		160	MHz
$t_{c(LSPCLK)}$	周期, LSPCLK	6.25		500	ns
$f_{(OSCCLK)}$	频率, OSCCLK (WROSCDIV8、SYSOSCDIV4、XTAL 或 X1)		参阅各自的时钟		MHz
$f_{(MCPWM)}$	频率, MCPWMCLK			160	MHz

(1) OSCCLK 无效时的 PLL 输出频率 (OSCCLK 丢失导致 PLL 变为跛行模式)。

6.10.3.3 输入时钟和 PLL

除了内部 0 引脚振荡器外, 还支持三种类型的外部时钟源:

- 单端 3.3V 外部时钟。时钟信号应连接到 X1 (如图 6-12 所示), 且 XTALCR.SE 位设置为 1。
- 外部晶体。如图 6-13 所示, 晶体应连接在 X1 和 X2 之间, 其负载电容器连接至 VSS。
- 外部谐振器。如图 6-14 所示, 谐振器应连接在 X1 和 X2 之间, 且其接地端连接至 VSS。

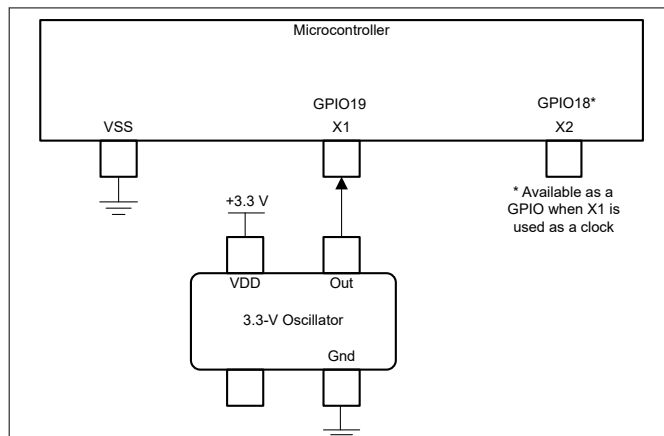


图 6-12. 单端 3.3V 外部时钟

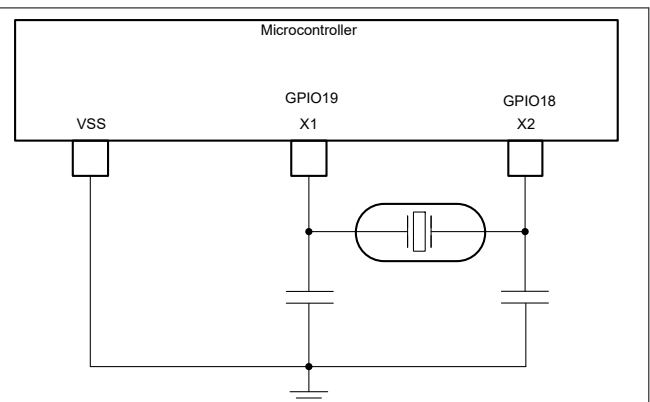


图 6-13. 外部晶体

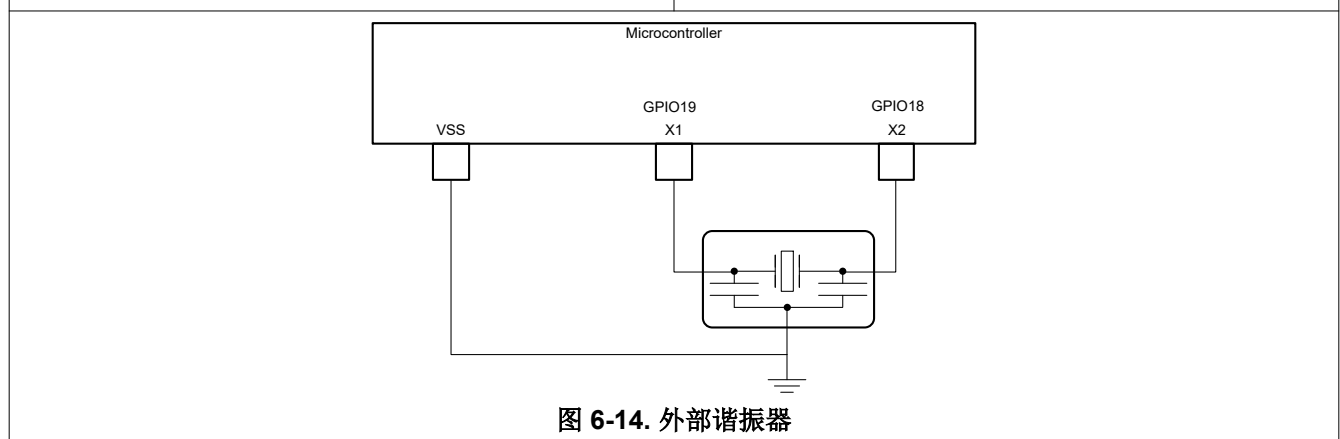


图 6-14. 外部谐振器

6.10.3.4 XTAL 振荡器

6.10.3.4.1 引言

该器件中的晶体振荡器是一种嵌入式电振荡器，当与兼容的石英晶体（或陶瓷谐振器）配对使用时，可生成器件所需的系统时钟。

6.10.3.4.2 概述

以下几节将介绍电振荡器和晶体的元件。

6.10.3.4.2.1 电子振荡器

该器件中的电子振荡器是皮尔斯振荡器。它是一个正反馈逆变器电路，需要一个调优电路才能振荡。当这个振荡器与一个兼容的晶体配对时，会形成振荡电路。该振荡电路在晶体的基频处振荡。在该器件上，由于分流电容器 (C0) 和所需的负载电容器 (CL)，振荡器被设计成在并联谐振模式下运行。图 6-15 所示为电子振荡器和振荡电路的元件。

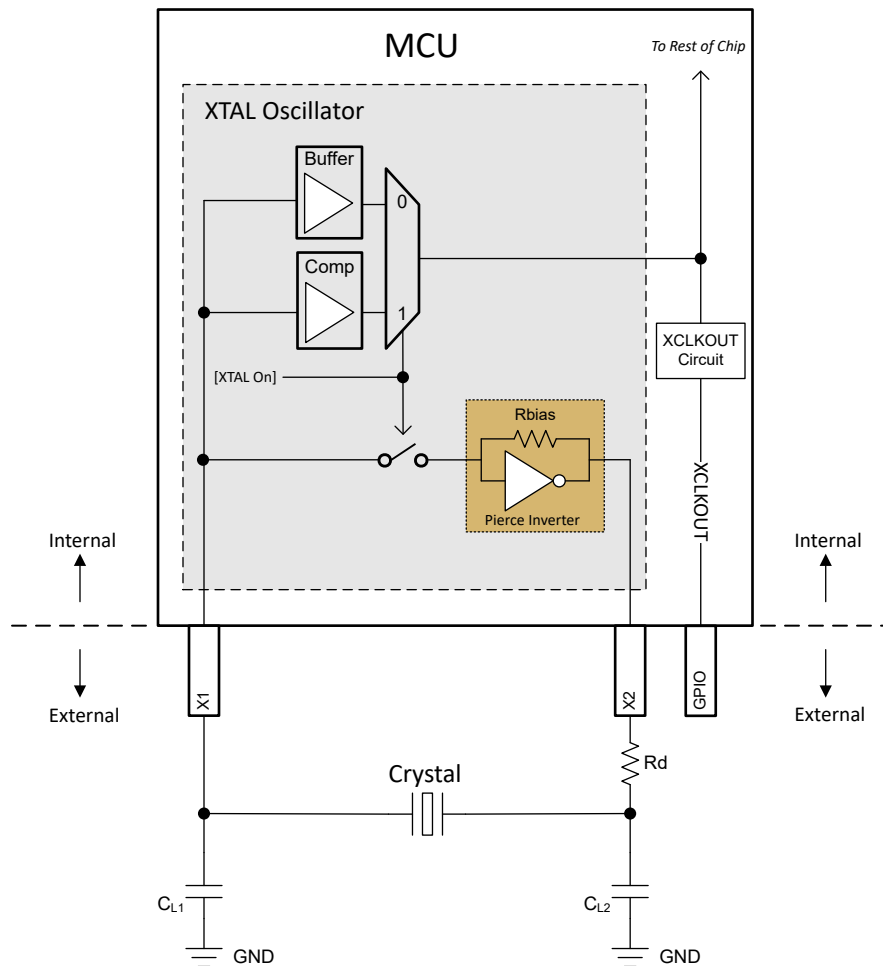


图 6-15. 电子振荡器方框图

6.10.3.4.2.1.1 运行模式

此器件中的电振荡器有两种工作模式：晶体模式和单端模式。

6.10.3.4.2.1.1.1 晶体的工作模式

在晶体工作模式下，必须将带有负载电容器的石英晶体连接到 X1 和 X2。

当 [XTAL On] = 1 时，会启用此工作模式，这是通过设置 XTALCR.OSCOFF = 0 和 XTALCR.SE = 0 来实现的。反馈环路有一个内部偏置电阻器，因此不应使用外部偏置电阻器。添加外部偏置电阻器会产生与内部 R_{bias} 并联的电阻，从而移动工作偏置点并可能导致波形削波、占空比超出规格以及有效负电阻降低。

在此工作模式下，X1 上的结果时钟通过比较器 (Comp) 传递到芯片的其余部分。X1 上的时钟需要满足比较器的 VIH 和 VIL。有关比较器的 VIH 和 VIL 要求，请参阅 XTAL 振荡器特性表。

6.10.3.4.2.1.1.2 单端工作模式

在单端工作模式下，一个时钟信号连接至 X1，而 X2 悬空。在此模式下不应使用石英晶体。

当 [XTAL On] = 0 时会启用此模式，这可通过设置 XTALCR.OSCOFF = 1 和 XTALCR.SE = 1 来实现。

在此工作模式下，X1 上的时钟通过一个缓冲器 (Buffer) 传递到芯片的其余部分。有关缓冲器的输入要求，请参阅使用外部时钟源 (非晶体) 时的 X1 输入电平特征表。

6.10.3.4.2.1.2 XCLKOUT 上的 XTAL 输出

通过配置 CLKSRCCTL3.XCLKOUTSEL 和 XCLKOUTDIVSEL.XCLKOUTDIV 寄存器，可以将馈入芯片其余部分的电振荡器输出引出到 XCLKOUT 上以供观察。如需查看输出 XCLKOUT 的 GPIO 的列表，请参阅 GPIO 多路复用引脚表。

6.10.3.4.2.2 石英晶体

石英晶体可以由 LCR (电感-电容-电阻) 电路进行电气表示。然而，与 LCR 电路不同，晶体由于低动态电阻而具有非常高的 Q 值，并且阻尼也非常低。晶体元件如图 6-16 所示，并在下文中有相应说明。

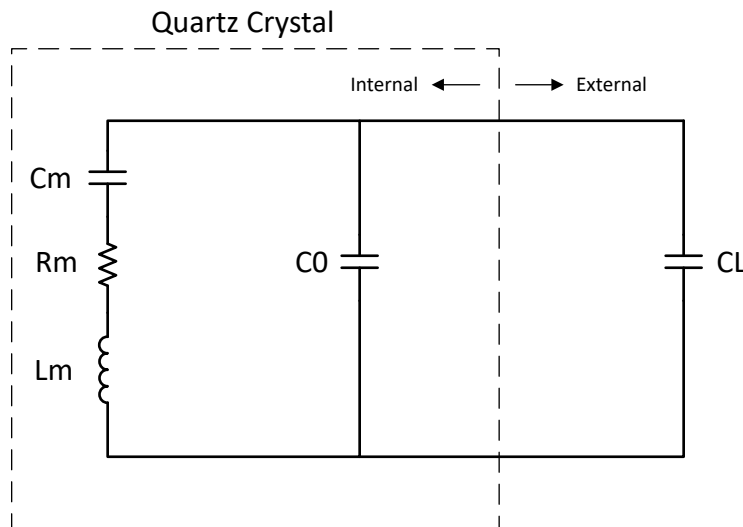


图 6-16. 晶体电气表示

C_m (动态电容)：表示晶体的弹性。

R_m (动态电阻)：表示晶体内的电阻损耗。这不是晶体的 ESR，但可以根据其他晶体元件的值进行近似计算。

L_m (动态电感)：表示晶体的振动质量。

C₀ (并联电容)：由两个晶体电极和杂散封装电容形成的电容。

CL (负载电容)：这是晶体在其电极处看到的有效电容。它位于晶体外部。晶体数据表中指明的频率 ppm 通常与 CL 参数相关联。

请注意，大多数晶体制造商将 CL 指定为晶体引脚上的有效电容，而一些晶体制造商将 CL 指定为仅其中一个晶体引脚上的电容。请与晶体制造商核实 CL 的指定值，以便在计算中使用正确的值。

根据图 6-15，CL1 和 CL2 是串联的；因此，要找到晶体看到的等效总电容，必须应用电容串联公式：如果 CL1 = CL2，只需计算 [CL1]/2 即可。

建议将杂散 PCB 电容与该值相加。合理的估算值为 3pF 至 5pF，但实际值将取决于相关的 PCB。

请注意，电振荡器和晶体都需要负载电容。所选的值必须同时满足电振荡器和晶振的要求。

CL 对晶体的影响是频率牵引。如果有效负载电容低于目标值，晶体频率将增加，反之亦然。然而，频率牵引的影响通常非常小，通常会导致与标称频率相差不到 10ppm。

6.10.3.4.3 正常运行

6.10.3.4.3.1 ESR - 有效串联电阻

有效串联电阻是晶体在谐振时提供给电子振荡器的电阻负载。ESR 越高，Q 越低，晶体启动或保持振荡的可能性就越小。ESR 和晶体元件之间的关系如下所示。

$$ESR = Rm * \left(1 + \frac{C0}{CL}\right)^2 \quad (2)$$

请注意，ESR 与晶体的动态电阻不同，但如果有效负载电容远高于分流电容、则可以按此近似计算。

6.10.3.4.3.2 Rneg - 负电阻

负电阻是电振荡器向晶体呈现的阻抗。这是电振荡器为了克服振荡期间产生的损耗而必须为晶体提供的能量。Rneg 描述了一个提供而不是消耗能量的电路，也可以看作是电路的总体增益。

为确保晶体在所有条件下都能启动，普遍接受的做法是让 Rneg > 3 倍 ESR 至 5 倍 ESR。请注意，启动晶体所需的能量略大于维持振荡所需的能量；因此，如果能够确保在启动时满足负电阻要求，则维持振荡将不是问题。

图 6-17 和图 6-18 所示为该器件的负电阻与晶体元件之间的差异。从图中可以看出，晶体并联电容 (C0) 和有效负载电容 (CL) 对电振荡器的负电阻有极大影响。请注意，这些是典型图；因此，请参阅表 6-5 了解设计中需要注意的最小值和最大值。

6.10.3.4.3.3 启动时间

在选择晶体电路的元件时，启动时间是一个重要的考虑因素。如 Rneg - 负电阻 一节所述，为了在所有条件下实现可靠启动，建议晶体的 Rneg > 3 倍 ESR 至 5 倍 ESR。

晶体 ESR 和阻尼电阻 (Rd) 会极大地影响启动时间。这两个值越高，晶体启动所需的时间就越长。较长的启动时间通常表明晶体和元件未正确匹配。

如需了解典型的启动时间，请参阅 晶体振荡器规格 一节。请注意，此处指定的数字是仅供参考的典型数字。实际启动时间在很大程度上取决于所涉及的晶体和外部元件。

6.10.3.4.3.3.1 X1/X2 前提条件

在该器件上，X1/X2 上的 GPIO19/18 备选功能可用于在需要时缩短晶体的启动时间。此功能是通过将负载电容器 CL1 和 CL2 预调节到 XTAL 开启前的已知状态来实现的。有关详细信息，请参阅。

6.10.3.4.3.4 DL - 驱动电平

驱动电平是指电子振荡器提供以及晶体耗散的功率。晶体制造商数据表中指定的最大驱动电平通常是晶体在不损坏或显著缩短使用寿命的情况下可以耗散的最大驱动电平。另一方面，电子振荡器指定的驱动电平是它可以提供的最大功率。电子振荡器提供的实际功率不一定是最大功率，具体取决于晶体和电路板元件。

如果电子振荡器的实际驱动电平超过晶体的最大驱动电平规格，则应安装阻尼电阻器 (Rd) 以限制电流并降低晶体的功率耗散。请注意，Rd 会降低电路增益；因此，应评估要使用的实际值，以确保满足启动和持续振荡的所有其他条件。

6.10.3.4.4 如何选择晶体

请参考 [晶体振荡器规格](#)：

1. 选择一个晶体频率（例如，20MHz）。
2. 确认晶体的 ESR $\leq 50\Omega$ ，符合 20MHz 的规格。
3. 确认晶体制造商的负载电容要求位于 6pF 和 12pF 之间，符合 20MHz 的规格。
 - 如前所述，CL1 和 CL2 是串联的；因此，如果 $CL1 = CL2$ ，则有效负载电容 $CL = [CL1]/2$ 。
 - 在此基础上加上电路板寄生效应会得到 $CL = [CL1]/2 + \text{杂散电容}$
4. 确认晶体的最大驱动电平 $\geq 1\text{mW}$ 。如果不满足此要求，则可以使用阻尼电阻 Rd。请参阅 [DL - 驱动电平](#)，了解使用 Rd 时要考虑的其他要点。

6.10.3.4.5 测试

建议用户让晶体制造商使用其电路板对晶体进行完整表征，以确保晶体始终启动并保持振荡。

下面简要概述了可执行的一些测量：

由于晶体电路对电容非常敏感，建议不要将示波器探针连接到 X1 和 X2。如果必须使用示波器探针来监测 X1/X2，则应使用输入电容小于 1pF 的有源探针。

频率

1. 在 XCLKOUT 上引出 XTAL。
2. 测量该频率作为晶体频率。

负电阻

1. 在 XCLKOUT 上引出 XTAL。
2. 在负载电容器之间放置一个与晶体串联的电位器。
3. 增加电位器的电阻，直到 XCLKOUT 上的时钟停止。
4. 该电阻加上晶体的实际 ESR 就是电振荡器的负电阻。

启动时间

1. 关闭 XTAL。
2. 在 XCLKOUT 上引出 XTAL。
3. 开启 XTAL 并测量 XCLKOUT 上的时钟保持在 45% 和 55% 占空比范围内所需的时间。

6.10.3.4.6 常见问题和调试提示

晶体无法启动

- 浏览 [如何选择晶体](#) 部分，确保没有违规。

晶体需要很长时间才能启动

- 如果安装了阻尼电阻 Rd，则其过高。
- 如果未安装阻尼电阻，则晶体 ESR 过高或由于高负载电容而导致总电路增益过低。

6.10.3.4.7 晶体振荡器规格

6.10.3.4.7.1 晶体振荡器参数

		最小值	最大值	单位
CL1、CL2	负载电容	12	24	pF
C0	晶体并联电容		7	pF

6.10.3.4.7.2 晶振等效串联电阻 (ESR) 要求

对于晶振等效串联电阻 (ESR) 需求表：

1. 晶振并联电容 (C0) 应小于或等于 7pF。
2. ESR = 负电阻/3

表 6-5. 晶振等效串联电阻 (ESR) 要求

晶体频率 (MHz)	最大 ESR (Ω) (CL1 = CL2 = 12pF)	最大 ESR (Ω) (CL1 = CL2 = 24pF)
10	55	110
12	50	95
14	50	90
16	45	75
18	45	65
20	45	50

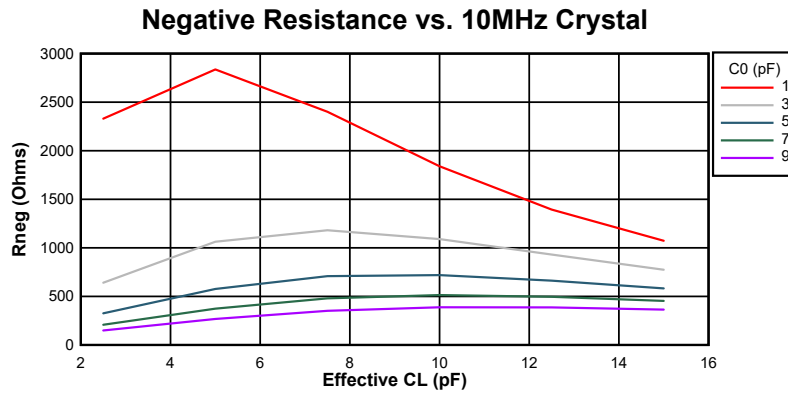


图 6-17. 10MHz 时的负电阻变化

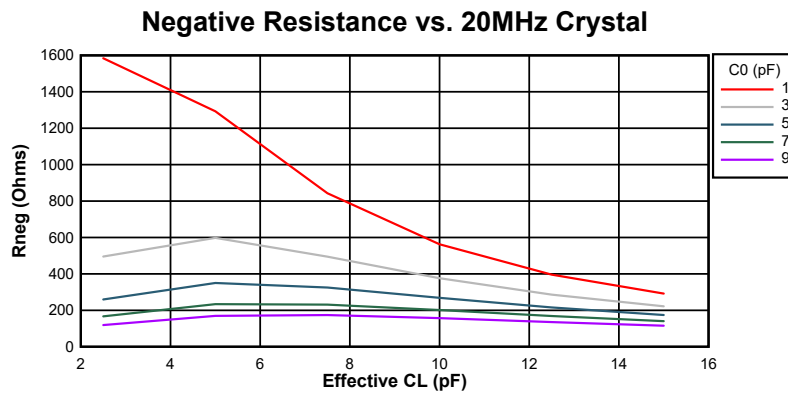


图 6-18. 20MHz 时的负电阻变化

6.10.3.4.7.3 晶体振荡器电气特性

在建议运行条件下 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
启动时间 ⁽¹⁾	f = 10MHz	ESR 最大值 = 110 Ω CL1 = CL2 = 24pF C0 = 7pF		4		ms
	f = 20MHz	ESR 最大值 = 50 Ω CL1 = CL2 = 24pF C0 = 7pF		2		ms
晶振驱动电平 (DL)					1	mW

(1) 启动时间取决于晶体和振荡电路元件。TI 建议晶体供应商使用所选晶体来表征应用。

6.10.3.5 内部振荡器

为了减少电路板生产成本和缩短应用开发时间,所有器件都包含两个独立的内部振荡器 SYSOSC 和 WROSC。默认情况下, SYSOSC 设置为系统参考时钟 (OSCCLK) 源, WROSC 设置为备用时钟源。

如果应用需要更严格的 **SCI 波特率匹配**, 则可以使用 C2000Ware 中提供的 SCI 波特率调优示例 (baud_tune_via_uart)。

6.10.3.5.1 系统振荡器 SYSOSC

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
f _{SYSOSC}	出厂修整的 SYSOSC 频率	SYSOSCCFG.FREQ=00 (BASE)		32.2		MHz
f _{SYSOSC}	启用频率校正环路 (FCL) 后的 SYSOSC 频率精度 ⁽¹⁾	-40°C < T _a < 125°C	-2		1.4	%
t _{settle, SYSOSC}	达到目标精度的稳定时间 ⁽²⁾	SETUSEFCL=1			30	us

- (1) 使用 FCL 时, SYSOSC 频率校正环路 (FCL) 可通过内部基准电阻器实现高 SYSOSC 精度。有关计算 SYSOSC 精度的详细信息, 请参阅技术参考手册的“SYSOSC”部分。
- (2) 当 SYSOSC 从禁用状态启用时, SYSOSC 输出将在 t_{start, SYSOSC} 指定的时间内释放到器件。输出释放后, SYSOSC 在最坏情况下的精度由 f_{settle, SYSOSC} 指定。在 t_{settle, SYSOSC} 指定的时间之后, SYSOSC 便已稳定到目标 f_{SYSOSC} 精度。

6.10.3.5.2 宽范围振荡器 WROSC

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
f _{WROSC}	出厂 WROSC 频率			30 - 40		MHz

6.10.4 闪存参数

表 6-6 列出了不同时钟源和频率下所需的最低闪存等待状态。等待状态是寄存器 FRDCNTL[RWAIT] 中设置的值。

表 6-6. 不同时钟源和频率下所需的最低闪存等待状态

CPUCLK (MHz)	等待状态 (FRDCNTL[RWAIT] ⁽¹⁾)
120 < CPUCLK ≤ 160	3
80 < CPUCLK ≤ 120	2
0 < CPUCLK ≤ 80	1

(1) 所需的最小 FRDCNTL[RWAIT] 为 1，不支持 RWAIT=0。

F28E12x 器件具有经改进的 128 位预取缓冲器，可在不同等待状态下提供更高的闪存代码执行效率。图 6-19 和图 6-20 展示了该系列器件与采用 64 位预取缓冲器的上一代器件在不同等待状态设置下的典型效率比较情况。使用预取缓冲器时的等待状态执行效率将取决于应用软件中存在的分支数量。此处提供了线性代码和 if-then-else 代码的两个示例。

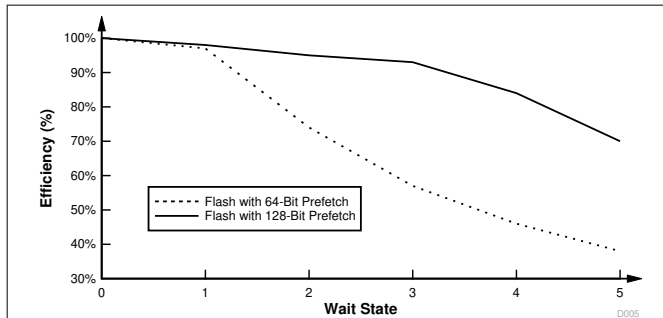


图 6-19. 具有大量 32 位浮点数学指令的应用程序代码

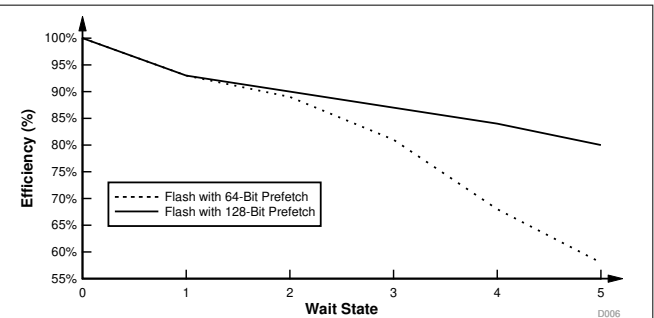


图 6-20. 具有 16 位 If-Else 指令的应用程序代码

备注

主阵列闪存编程必须与 64 位地址边界对齐，并且每个 64 位字在每个写/擦除周期只能编程一次。

6.10.4.1 闪存参数

参数		最小值	典型值	最大值	单位
编程时间 ⁽¹⁾	128 数据位 + 16 ECC 位		62.5	625	μs
	2KB (扇区)		8	80	ms
擦除时间 ^{(2) (3)} (< 25 个周期)	2KB (扇区)		15	55	ms
	64KB		17	61	ms
	128KB		18	66	ms
擦除时间 ^{(2) (3)} (1000 个周期)	2KB (扇区)		25	130	ms
	64KB		28	143	ms
	128KB		30	157	ms
擦除时间 ^{(2) (3)} (2000 个周期)	2KB (扇区)		30	221	ms
	64KB		33	243	ms
	128KB		36	265	ms
擦除时间 ^{(2) (3)} (20K 个周期)	2KB (扇区)		120	1003	ms
	64KB		132	1102	ms
	128KB		145	1205	ms
每个存储体的 N _{wec} 写入/擦除周期 ⁽⁴⁾			100000		周期
t _{retention} 数据保持持续时间 (T _J = 85°C)		20			年

(1) 编程时间是最大器件频率下的值。编程时间包括闪存状态机的开销，但不包括将以下内容传输到 RAM 的时间：

- 使用闪存 API 对闪存进行编程的代码
- 闪存 API 本身
- 要编程的闪存数据

换言之，此表中显示的时间是指器件 RAM 中的所有必需代码/数据都变为可用状态并准备好进行编程之后的相应时间。所用 JTAG 调试探头的速度对传输时间有显著影响。

编程时间的计算以在指定的工作频率下一次编程 144 位为基础。编程时间包含 CPU

对编程的验证。写入/擦除 (W/E) 循环不会缩短编程时间，但会缩短擦除时间。

擦除时间包括由 CPU 对编程的验证，不涉及任何数据传输。

- (2) 擦除时间包含 CPU 对擦除的验证。
- (3) 当器件从 TI 出货时，片上闪存存储器处于一个被擦除状态。这样，当首次编辑器件时，在编程前无需擦除闪存存储器。然而，对于所有随后的编程操作，需要执行擦除操作。
- (4) 存储体和扇区写入/擦除周期的总和不能超过此数字。

6.10.5 RAM 规格

表 6-7. RAM 参数

RAM 类型	每个的大小	获取时间 (周期数)	读取时间 (周期数)	存储时间 (周期数)	支持的 总线宽度 (位数)	主机访问列表	等待状态	突发访问支持
GS RAM	12KB	2	2	1	16/32	C28x	0	否
M0	2KB							
M1								

6.10.6 ROM 规格

表 6-8. ROM 参数

RAM 类型	每个的大小	获取时间 (周期数)	读取时间 (周期数)	存储时间 (周期数)	支持的 总线宽度 (位数)	主机访问列表	等待状态	突发访问支持
引导 ROM + 安全 ROM	64KB	2	2	1	16/32	C28x	0	否

6.10.7 仿真/JTAG

JTAG (IEEE 标准 1149.1-1990 标准测试接入端口和边界扫描架构) 端口有四个专用引脚: TMS、TDI、TDO 和 TCK。cJTAG (针对简化引脚和增强功能测试接入端口以及边界扫描架构的 IEEE 标准 1149.7-2009) 端口, 是一个只需要两个引脚 (TMS 和 TCK) 的紧凑型 JTAG 接口, 此接口可实现多路复用为传统 GPIO35 (TDI) 和 GPIO37 (TDO) 引脚的其他器件功能。

通常情况下, 当 MCU 目标和 JTAG 接头之间的距离小于 6 英寸 (15.24cm), 并且 JTAG 链上没有其他器件时, JTAG 信号上不需要缓冲器。否则, 每个信号都应被缓冲。此外, 对于大多数 10MHz 下的 JTAG 调试探针操作, JTAG 信号上不需要串联电阻器。但是, 如果需要高仿真速度 (35MHz 左右), 则应在每个 JTAG 信号上串联 22 Ω 电阻。

JTAG 调试探针头的 PD (电源检测) 引脚应连接到电路板 3.3V 电源。接头 GND 引脚应连接至电路板接地。TDIS (电缆断开感应) 也应连接至电路板接地。JTAG 时钟应从接头 TCK 输出引脚环回到接头的 RTCK 输入引脚 (以通过 JTAG 调试探针检测时钟连续性)。此 MCU 不支持 14 引脚和 20 引脚仿真实接头上的 EMU0 和 EMU1 信号。这些信号应始终通过一对 2.2k Ω 至 4.7k Ω (取决于调试器端口的驱动强度) 的板载上拉电阻在仿真接头处上拉。通常使用 2.2k Ω 的阻值。

接头引脚 **RESET** 是 JTAG 调试探针接头的开漏输出, 通过 JTAG 调试探针命令使电路板元件复位 (仅通过 20 引脚接头可用)。图 6-21 展示了如何将 14 引脚 JTAG 接头连接到 MCU 的 JTAG 端口信号图 6-22 展示了如何连接到 20 引脚 JTAG 接头。20 引脚 JTAG 接头引脚 EMU2、EMU3 和 EMU4 未使用, 应接地。

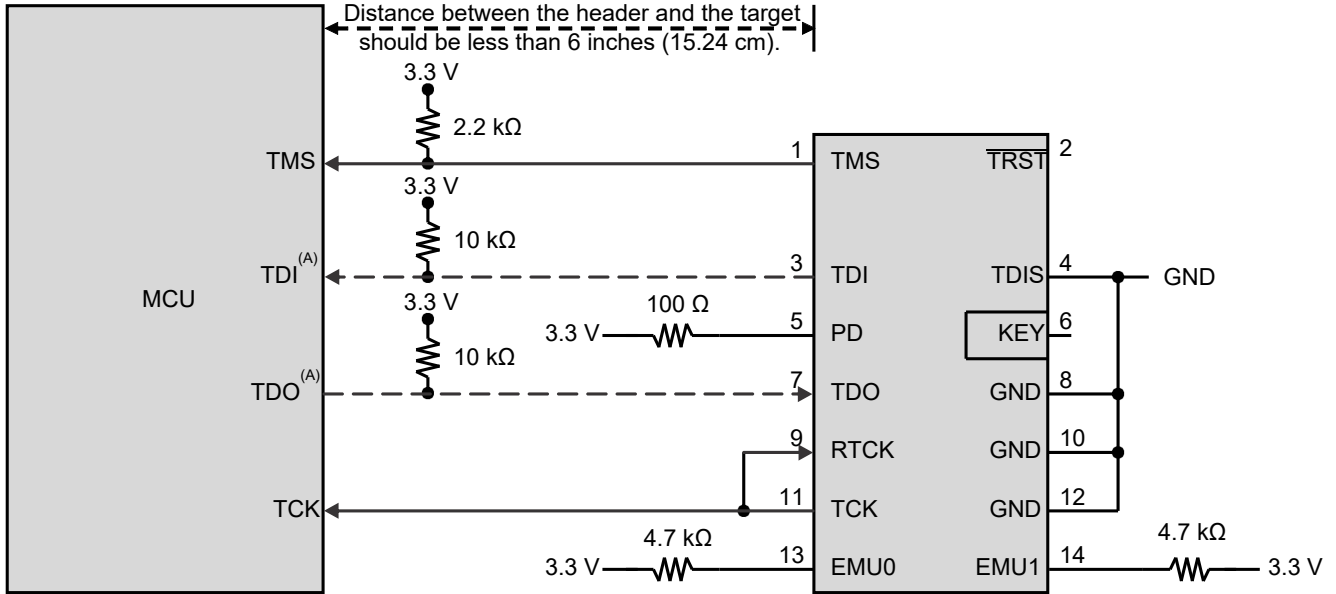
有关硬件断点和观察点的更多信息, 请参阅 [CCS 中 C2000 器件的硬件断点和观察点](#)。

有关 JTAG 仿真的更多信息, 请参阅 [XDS 目标连接指南](#)。

备注

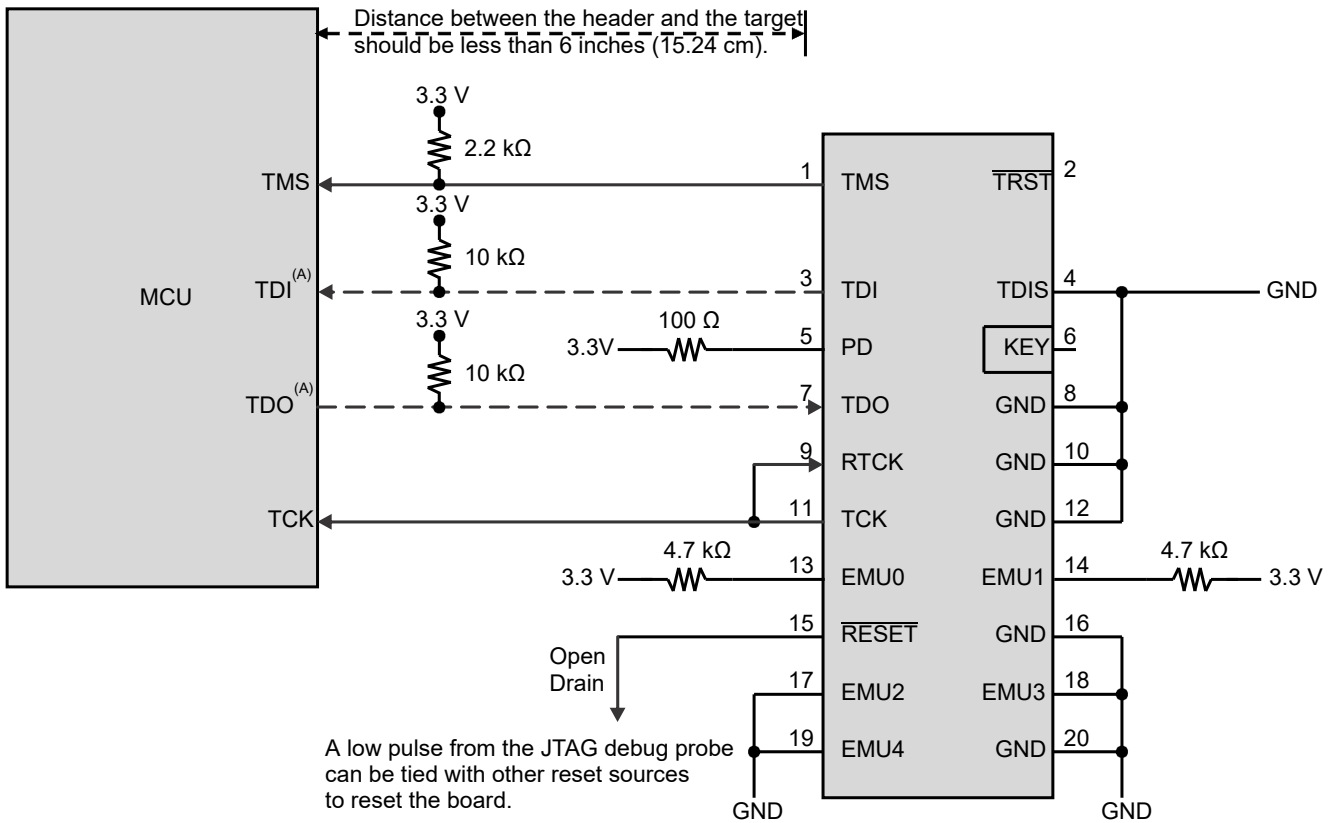
JTAG 测试数据输入 (TDI) 是引脚的默认多路复用器选择。默认情况下, 内部上拉电阻处于禁用状态。如果此引脚被用作 JTAG TDI, 应该启用内部上拉电阻器或在电路板上增加一个外部上拉电阻器来避免悬空输入。在 cJTAG 选项中, 此引脚可用作 GPIO。

JTAG 测试数据输出 (TDO) 是引脚的默认多路复用器选择。默认情况下, 内部上拉电阻处于禁用状态。当没有 JTAG 活动时, TDO 函数将处于三态条件, 使此引脚悬空。应启用内部上拉或在电路板上添加外部上拉, 以避免 GPIO 输入悬空。在 cJTAG 选项中, 此引脚可用作 GPIO。



A. cJTAG 选项不需要 TDI 和 TDO 连接，这些引脚可用作 GPIO。

图 6-21. 连接到 14 引脚 JTAG 接头



A. cJTAG 选项不需要 TDI 和 TDO 连接，这些引脚可用作 GPIO。

图 6-22. 连接到 20 引脚 JTAG 接头

6.10.7.1 JTAG 电气数据和时序

6.10.7.1.1 JTAG 时序要求

编号			最小值	最大值	单位
1	$t_c(\text{TCK})$	周期时间, TCK	66.66		ns
1a	$t_w(\text{TCKH})$	脉冲持续时间, TCK 高电平 (t_c 的 40%)	26.66		ns
1b	$t_w(\text{TCKL})$	脉冲持续时间, TCK 低电平 (t_c 的 40%)	26.66		ns
3	$t_{su}(\text{TDI-TCKH})$	输入建立时间, TDI 有效至 TCK 高电平	7		ns
	$t_{su}(\text{TMS-TCKH})$	输入建立时间, TMS 有效至 TCK 高电平	7		
4	$t_h(\text{TCKH-TDI})$	从 TCK 高电平至 TDI 有效的输入保持时间	7		ns
	$t_h(\text{TCKH-TMS})$	从 TCK 高电平至 TMS 有效的输入保持时间	7		

6.10.7.1.2 JTAG 开关特性

在建议运行条件下 (除非另有说明)

编号	参数		最小值	最大值	单位
2	$t_d(\text{TCKL-TDO})$	TCK 低电平到 TDO 有效的延迟时间	6	21	ns

6.10.7.1.3 JTAG 时序图

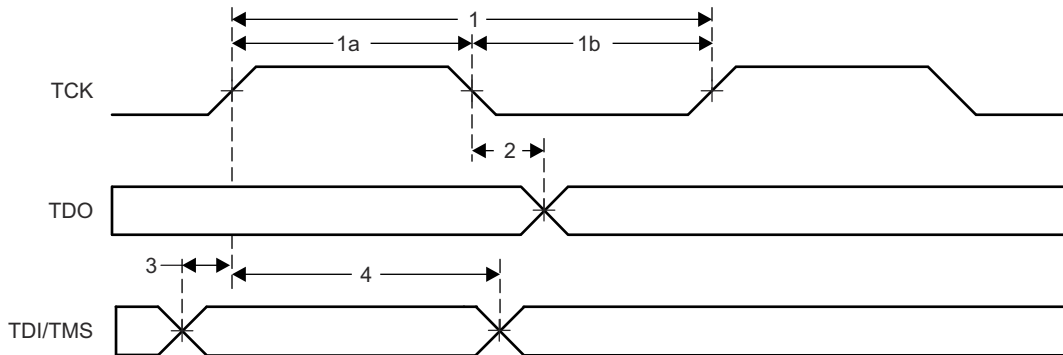


图 6-23. JTAG 时序

6.10.7.2 cJTAG 电气数据和时序

6.10.7.2.1 cJTAG 时序要求

编号			最小值	最大值	单位
1	$t_c(\text{TCK})$	周期时间, TCK	100		ns
1a	$t_w(\text{TCKH})$	脉冲持续时间, TCK 高电平 (t_c 的 40%)	40		ns
1b	$t_w(\text{TCKL})$	脉冲持续时间, TCK 低电平 (t_c 的 40%)	40		ns
3	$t_{su}(\text{TMS-TCKH})$	输入建立时间, TMS 有效至 TCK 高电平	7		ns
	$t_{su}(\text{TMS-TCKL})$	输入设置时间, TMS 有效至 TCK 低电平	7		ns
4	$t_h(\text{TCKH-TMS})$	从 TCK 高电平至 TMS 有效的输入保持时间	2		ns
	$t_h(\text{TCKL-TMS})$	输入保持时间, 从 TCK 低电平至 TMS 有效	2		ns

6.10.7.2.2 cJTAG 开关特性

在建议运行条件下 (除非另有说明)

编号	参数	最小值	最大值	单位	
2	$t_d(\text{TCKL-TMS})$	TCK 低电平到 TMS 有效的延迟时间	6	20	ns
5	$t_{dis}(\text{TCKH-TMS})$	延迟时间, TCK 高电平到 TMS 禁用的时间		25	ns

6.10.7.2.3 cJTAG 时序图

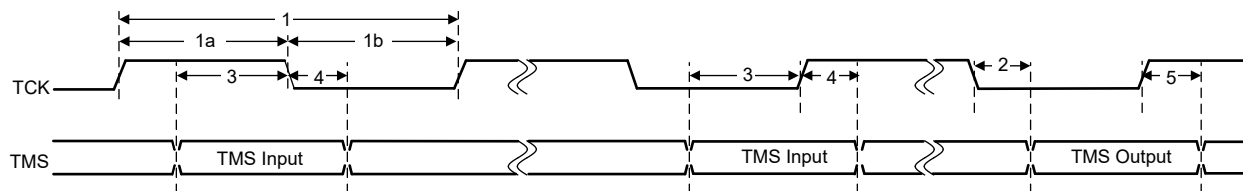


图 6-24. cJTAG 时序

6.10.8 GPIO 电气数据和时序

外设信号与通用输入/输出 (GPIO) 信号多路复用。复位时，GPIO 引脚配置为输入。对于特定的输入，用户还能选择输入限定周期的数量来滤除不必要的噪声干扰。

许多 GPIO 都具有用于输出 X-BAR 的多路复用器选项，允许将各种内部信号路由到 GPIO。所有 GPIO 都连接到每个输入 X-BAR，这些输入 X-BAR 可以将 GPIO 的高电平或低电平状态路由到不同的 IP 块，例如 ADC、eCAP、MCPWM 和外部中断。中的“X-BAR”一章。有关更多详细信息，请参阅 [F28E12x 实时微控制器技术参考手册](#) 中的“X-BAR”一章。

6.10.8.1 GPIO - 输出时序

6.10.8.1.1 通用输出开关特征

在建议运行条件下 (除非另有说明)

参数		最小值	最大值	单位
$t_{r(GPO)}$	上升时间，GPIO 从低电平切换至高电平		6 ⁽¹⁾	ns
$t_{f(GPO)}$	下降时间，GPIO 从高电平切换至低电平		6 ⁽¹⁾	ns
f_{GPO}	切换频率，GPIO 引脚		50	MHz

(1) 上升时间和下降时间随负载而变化。这些值假定负载为 6pF。

6.10.8.1.2 通用输出时序图

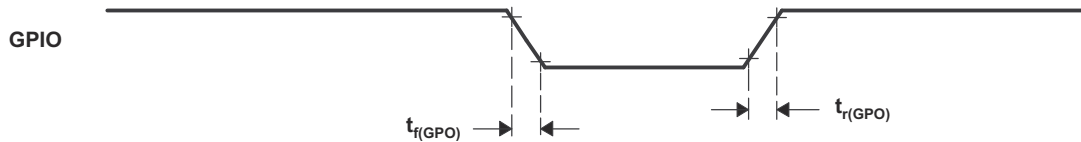


图 6-25. 通用输出时序

6.10.8.2 GPIO - 输入时序

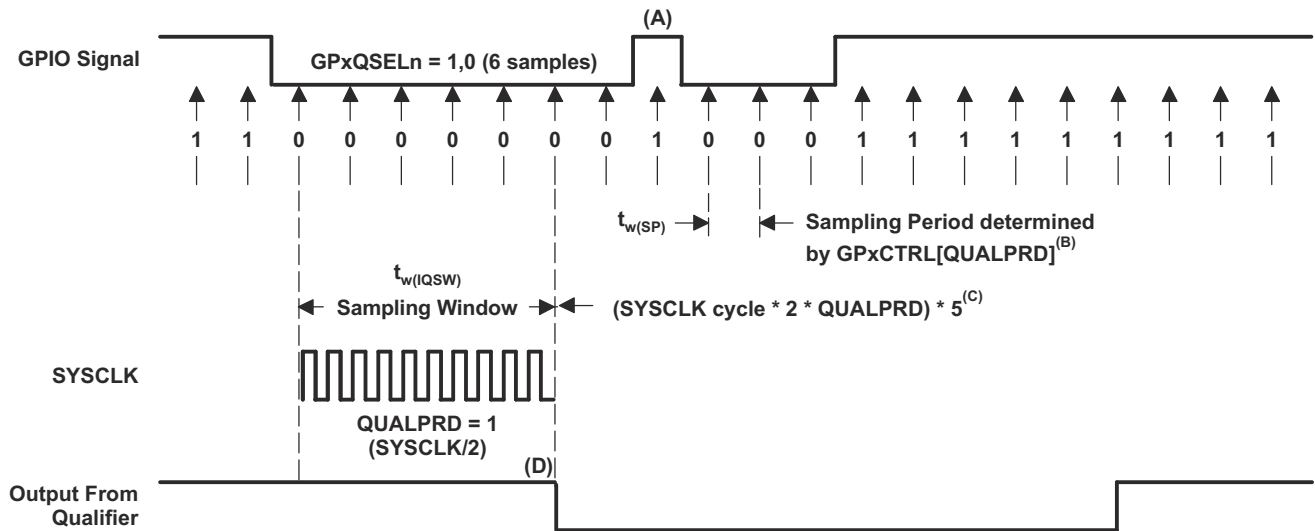
6.10.8.2.1 通用输入时序要求

		最小值	最大值	单位
$t_{w(SP)}$	采样周期	QUALPRD=0	$1t_{c(SYSCLK)}$	周期
		QUALPRD≠0	$2t_{c(SYSCLK)} * QUALPRD$	周期
$t_{w(IQSW)}$	输入限定符采样窗口		$t_{w(SP)} * (n^{(1)} - 1)$	周期
$t_{w(GPI)}$ ⁽²⁾	脉冲持续时间，GPIO 低电平/高电平	同步模式	$2t_{c(SYSCLK)}$	周期
		带输入限定器	$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SYSCLK)}$	周期

(1) “n”代表由 GPXQSELn 寄存器定义的合格样片的数量。

(2) 对于 $t_{w(GPI)}$ ，对低电平有效信号在 V_{IL} 至 V_{IL} 之间测量脉宽，而高电平有效信号，在 V_{IH} 至 V_{IH} 之间测量脉宽。

6.10.8.2.2 采样模式



- A. 输入限定符将忽略此短时脉冲波干扰。QUALPRD 位字段指定了限定采样周期。该位字段可以在 00 至 0xFF 之间变化。如果 QUALPRD=00，那么采样周期为 1 个 SYSCLK 周期。对于任何其他“n”值，限定采样周期为 2n SYSCLK 周期（也就是说，在每 2n 个 SYSCLK 周期上，GPIO 引脚将被采样）。
- B. 通过 GPxCTRL 寄存器选择的限定周期会应用于包含 8 个 GPIO 引脚的组。
- C. 此限定块可取 3 个或者 6 个样片。GPxQSELn 寄存器选择使用哪种采样模式。
- D. 在所示的示例中，为了使限定器检测到变化，输入应该在 10 个 SYSCLK 周期或者更长周期内保持稳定。换句话说，输入应该在 $(5 \times \text{QUALPRD} \times 2)$ 个 SYSCLK 周期内保持稳定。这将确保有 5 个采样周期用于检测。由于外部信号是异步驱动的，因此 13 SYSCLK 宽的脉冲确保了可靠的识别。

图 6-26. 采样模式

6.10.8.3 输入信号的采样窗口宽度

下述小节总结了各种输入限定符配置下的输入信号的采样窗口宽度。

采样频率表明相对于 SYSCLK 对信号进行采样的频率。

如果 $QUALPRD \neq 0$ ，采样频率 = $SYSCLK / (2 \times QUALPRD)$

如果 $QUALPRD=0$ ，则采样频率 = $SYSCLK$

如果 $QUALPRD \neq 0$ ，则采样周期 = $SYSCLK$ 周期 $\times 2 \times QUALPRD$

在上面的等式中， $SYSCLK$ 周期表示 $SYSCLK$ 的时间周期。

如果 $QUALPRD=0$ ，则采样周期 = $SYSCLK$ 周期

在给定的采样窗口中，采取输入信号的 3 个或者 6 个样片来确定信号的有效性。这是由写入到 $GPxQSELn$ 寄存器的值确定的。

情况 1：

使用 3 个样片进行限定

如果 $QUALPRD \neq 0$ ，则采样窗口宽度 = $(SYSCLK$ 周期 $\times 2 \times QUALPRD) \times 2$

如果 $QUALPRD=0$ ，则采样窗口宽度 = $(SYSCLK$ 周期) $\times 2$

情况 2：

使用 6 个样片进行限定

如果 $QUALPRD \neq 0$ ，则采样窗口宽度 = $(SYSCLK$ 周期 $\times 2 \times QUALPRD) \times 5$

如果 $QUALPRD=0$ ，则采样窗口宽度 = $(SYSCLK$ 周期) $\times 5$

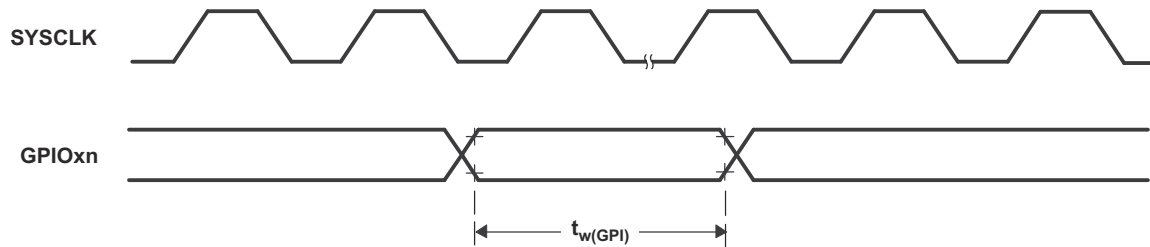


图 6-27. 通用输入时序

6.10.9 中断

C28x CPU 有 14 条外设中断线路，其中两条 (INT13 和 INT14) 分别直接连接到 CPU 计时器 1 和 2。其余 12 条通过增强型外设中断扩展 (ePIE) 模块连接到外设中断信号。ePIE 将多达 4 个外设中断多路复用到每条 CPU 中断线路中。它还会扩展矢量表以允许每个中断都有自己的 ISR。这使得 CPU 能够支持大量外设。

中断路径分为三级：外设、ePIE 和 CPU。每一级都有其自身的使能和标志寄存器。该系统允许 CPU 处理一个中断并让其他中断挂起，在软件中实施嵌套中断并确定其优先级，以及在某些关键任务期间禁用中断。

图 6-28 所示为该器件的中断架构。

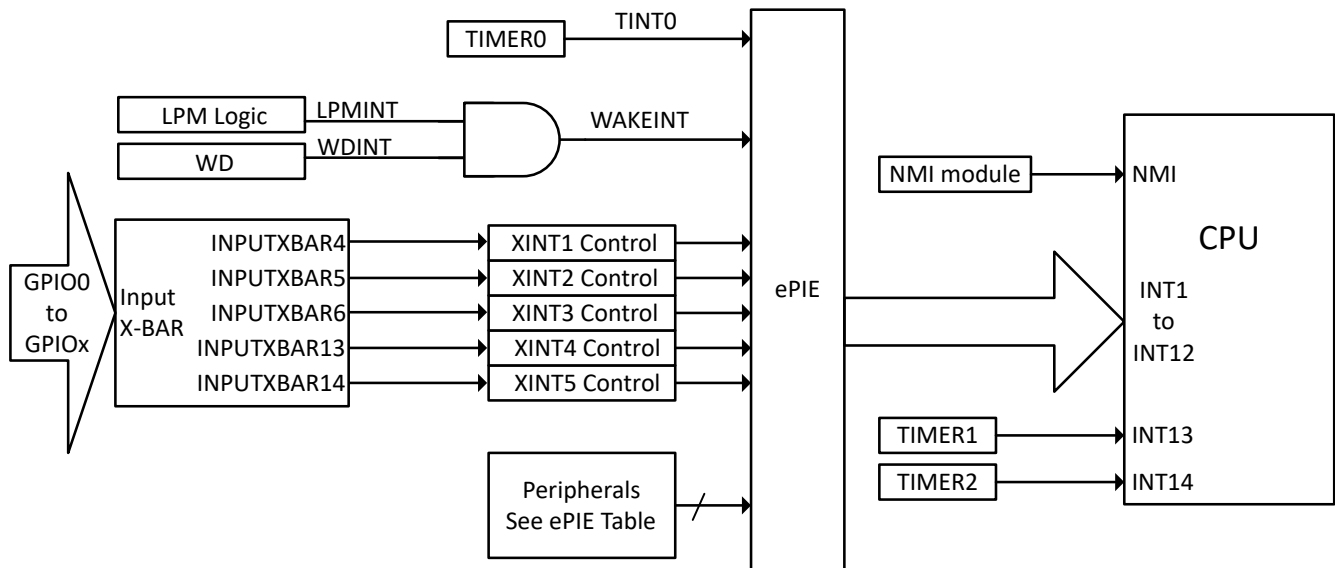


图 6-28. 器件中断架构

6.10.9.1 外部中断 (XINT) 电气数据和时序

有关输入限定符参数的说明，请参阅通用输入时序要求表。

6.10.9.1.1 外部中断时序要求

		同步	带限定符	最小值	最大值	单位
$t_{w(INT)}$	脉冲持续时间，INT 输入低电平/高电平			$2t_{c(SYSCLK)}$		周期
				$t_{w(IQSW)} + t_{w(SP)} + 1t_{c(SYSCLK)}$		周期

6.10.9.1.2 外部中断开关特性

在建议运行条件下 (除非另有说明)

参数		最小值	最大值	单位
$t_{d(INT)}$	延时时间，INT 低电平/高电平到中断矢量获取 ⁽¹⁾	$t_{w(IQSW)} + 14t_{c(SYSCLK)}$	$t_{w(IQSW)} + t_{w(SP)} + 14t_{c(SYSCLK)}$	周期

(1) 这是假设 ISR 是在单周期存储器中。

6.10.9.1.3 外部中断时序

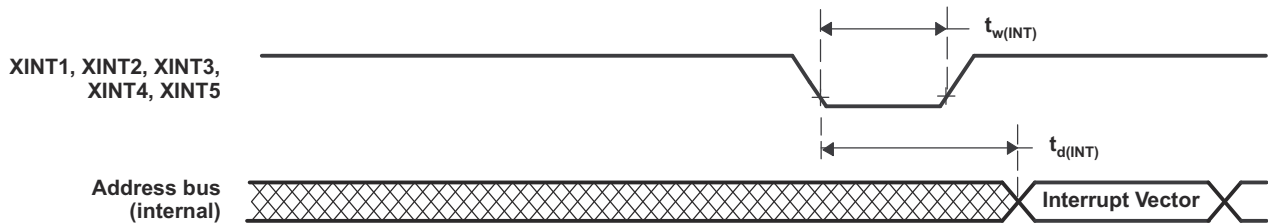


图 6-29. 外部中断时序

6.10.10 低功耗模式

该器件具有停机、空闲和待机三种时钟门控低功耗模式。

6.10.10.1 时钟门控低功耗模式

该器件上的空闲和待机模式与其他 C28x 器件上的类似。表 6-9 描述了进入任何一种时钟门控低功耗模式时对系统的影响。

表 6-9. 时钟门控低功耗模式对器件的影响

模块/ 时钟域	空闲	STANDBY	停机
SYSCLK	有效	门控	门控
CPUCLK	门控	门控	门控
WDCLK	有效	有效	如果 CLKSRCCTL1.WDHALTI = 0，则进行门控
PLL	供电	供电	软件必须在进入 HALT 之前关闭 PLL。
WROSC	供电	供电	如果 CLKSRCCTL1.WDHALTI = 0，则断电
SYSOSC	供电	供电	如果 CLKSRCCTL1.WDHALTI = 0，则断电
闪存 ⁽¹⁾	供电	供电	供电
XTAL ⁽²⁾	供电	供电	供电

(1) 在任何 LPM 下，闪存模块不会由硬件断电。如果应用需要，可使用软件将其断电。

(2) 在任何 LPM 下，XTAL 不会由硬件断电。它可以通过软件将 XTALCR.OSCOFF 位设置为 1 来断电。如果不需要 XTAL，可以在应用期间的任何时间完成此操作。

6.10.10.2 低功耗模式唤醒时序

有关输入限定符参数的说明，请参阅通用输入时序要求表。

6.10.10.2.1 空闲模式时序要求

			最小值	最大值	单位
$t_{w(WAKE)}$	脉冲持续时间，外部唤醒信号	无输入限定器	$2t_{c(SYSCLK)}$		周期
		带输入限定器	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		

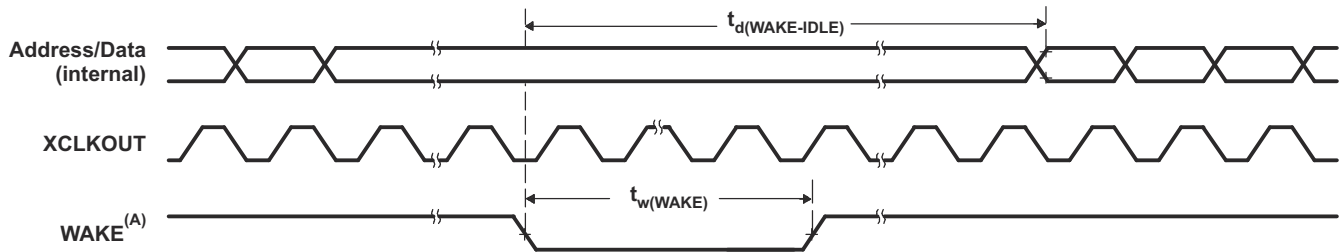
6.10.10.2.2 空闲模式开关特性

在建议运行条件下 (除非另有说明)

参数	测试条件	最小值	最大值	单位
$t_{d(WAKE-IDLE)}$	来自闪存 (活动状态)	无输入限定器	$40t_{c(SYSCLK)}$	周期
		带输入限定器	$40t_{c(SYSCLK)} + t_{w(WAKE)}$	周期
	来自 RAM	无输入限定器	$25t_{c(SYSCLK)}$	周期
		带输入限定器	$25t_{c(SYSCLK)} + t_{w(WAKE)}$	周期

(1) 这个时间是在 IDLE 指令之后立即开始指令执行的时间。ISR (由唤醒信号触发) 的执行需要额外延迟。

6.10.10.2.3 空闲进入和退出时序图



A. WAKE 可以是任何启用的中断、 \overline{WDINT} 或 XRSn。IDLE 指令执行后，在唤醒信号生效前需要 5 个 OSCCLK 周期 (最少) 的延迟。

图 6-30. 空闲进入和退出时序图

6.10.10.2.4 STANDBY 模式时序要求

		最小值	最大值	单位
$t_{w(WAKE-INT)}$	脉冲持续时间, 外部唤醒信号	$QUALSTDBY = 0 \mid 2t_{c(OSCCLK)}$	$3t_{c(OSCCLK)}$	周期
		$QUALSTDBY > 0 \mid (2 + QUALSTDBY)t_{c(OSCCLK)}^{(1)}$	$(2 + QUALSTDBY) * t_{c(OSCCLK)}$	

(1) QUALSTDBY 是 LPMCR 寄存器中的一个 6 位字段。

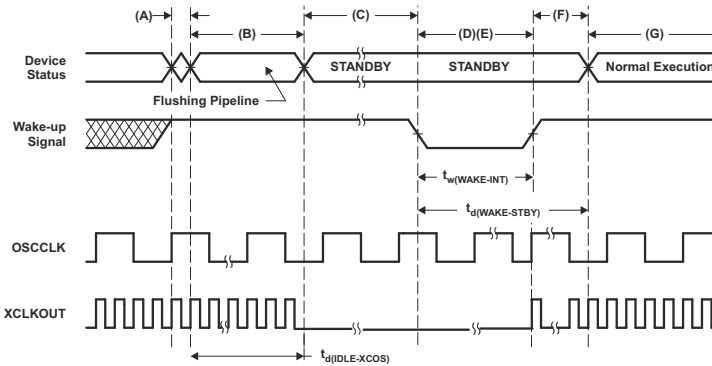
6.10.10.2.5 待机模式开关特征

在建议运行条件下 (除非另有说明)

参数	测试条件	最小值	最大值	单位
$t_{d(IDLE-XCOS)}$	IDLE 指令被执行到 XCLKOUT 停止的延迟时间		$16t_{c(SYSOSC)}$	周期
$t_{d(WAKE-STBY)}$	延迟时间, 外部唤醒信号到程序执行重新开始的时间 ⁽¹⁾	从闪存唤醒 (闪存模块处于活动状态)	$175t_{c(SYSCLK)} + t_{w(WAKE-INT)}$	周期
$t_{d(WAKE-STBY)}$		从 RAM 唤醒	$3t_{c(OSC)} + 15t_{c(SYSCLK)} + t_{w(WAKE-INT)}$	周期

(1) 这个时间是在 IDLE 指令之后立即开始指令执行的时间。ISR (由唤醒信号触发) 的执行需要额外延迟。

6.10.10.2.6 待机进入和退出时序图



- 执行 IDLE 指令将器件置于待机模式。
- LPM 块响应待机信号, SYSCLK 在关闭之前最多保持 16 个 SYSOSCDIV4 时钟周期。此延迟使得 CPU 流水线和其他待定操作适当清除。
- 外设的时钟被关闭。然而, PLL 和看门狗并未关闭。此器件现在处于待机模式。IDLE 指令执行后, 在唤醒信号生效前需要 5 个 OSCCLK 周期 (最小值) 的延迟。
- 外部唤醒信号驱动为有效。
- 为唤醒器件而馈送给 GPIO 引脚的唤醒信号必须符合最小脉冲宽度要求。此外, 此信号不能有毛刺。如果噪声信号馈送到 GPIO 引脚, 器件的唤醒行为将是不确定的并且在随后的唤醒脉冲中器件可能不会退出低功耗模式。
- 在延迟周期后, 退出待机模式。
- 执行恢复正常。器件将响应中断 (如果启用)。

图 6-31. 待机进入和退出时序图

6.10.10.2.7 停机模式时序要求

		最小值	最大值	单位
$t_{w(WAKE-GPIO)}$	脉冲持续时间, GPIO 唤醒信号 ⁽¹⁾	$t_{oscst} + 2t_c(OSCCLK)$		周期
$t_{w(WAKE-XRS)}$	脉冲持续时间, XRS 唤醒信号 ⁽¹⁾	$t_{oscst} + 8t_c(OSCCLK)$		周期

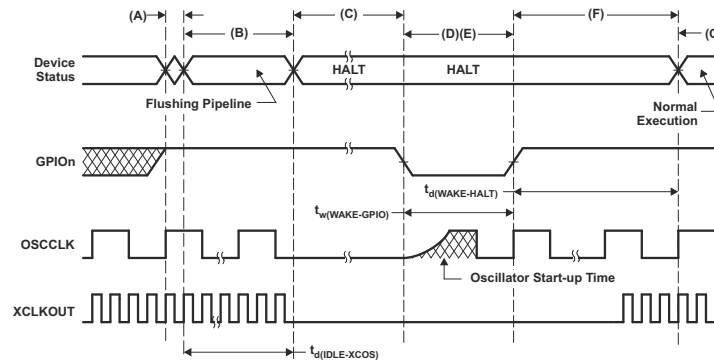
(1) 对于将 X1/X2 用于 OSCCLK 的应用, 用户必须表征其特定的振荡器启动时间, 因为它取决于器件外部的电路/布局。要了解更多信息, 请参阅 *晶体振荡器 (XTAL)* 部分。对于使用 SYSOSC 或 WROSC 作为 OSCCLK 的应用, 请参阅“内部振荡器”部分了解 t_{oscst} 。振荡器启动时间不适用于在 X1 引脚上使用单端晶振的应用, 因为它由器件外部供电。

6.10.10.2.8 停机模式开关特征

在建议运行条件下 (除非另有说明)

参数	描述	最小值	最大值	单位
$t_{d(IDLE-XCOS)}$	IDLE 指令被执行到 XCLKOUT 停止的延迟时间		$16t_c(SYSOSC)$	周期
$t_{d(WAKE-HALT)}$	延迟时间, 外部唤醒信号结束到 CPU1 程序执行重新开始的时间			周期
	从闪存唤醒 - 闪存模块处于活动状态		$75t_c(OSCCLK)$	
	从 RAM 唤醒		$75t_c(OSCCLK)$	

6.10.10.2.9 停机模式进入和退出时序图



- IDLE 指令被执行以将器件置于停机模式。
- LPM 块响应停机信号, SYSCLK 在关闭之前最多保持 16 个 SYSOSCDIV4 时钟周期。此延迟使得 CPU 流水线和其他待定操作适当清除。
- 到外设的时钟被关闭并且 PLL 被关断。如果一个石英晶振或者陶瓷谐振器被用作时钟源, 内部振荡器也被关断。器件现在处于停机模式, 并且功耗非常低。可以在停机模式中保持内部振荡器 (SYSOSC) 以及看门狗处于活动中。为实现这一点, 需要向 CLKSRCCTL1.WDHALTI 写入 1。IDLE 指令执行后, 在唤醒信号生效前需要 5 个 OSCCLK 周期 (最小值) 的延迟。
- 当 GPIOn 引脚 (用于使器件脱离停机模式) 被驱动为低电平时, 振荡器开启并且振荡器唤醒序列被启动。只有当振荡器稳定时, GPIO 才应被驱动为高电平。这样可在 PLL 锁序列期间提供一个洁净的时钟信号。由于 GPIO 引脚的下降沿会以异步方式开始唤醒过程, 因此在进入停机模式之前和在此模式期间, 应该注意保持低噪声环境。
- 为唤醒器件而馈送给 GPIO 引脚的唤醒信号必须符合最小脉冲宽度要求。此外, 此信号不能有毛刺。如果噪声信号馈送到 GPIO 引脚, 器件的唤醒行为将是不确定的并且在随后的唤醒脉冲中器件可能不会退出低功耗模式。
- 当内核的 CLKIN 已启用时, 器件将在一些延迟后响应中断 (如果已启用)。现在退出停机模式。
- 运行恢复正常。
- 用户必须在停机唤醒时重新锁定 PLL, 以确保稳定的 PLL 锁定。

图 6-32. 停机模式进入和退出时序图

6.11 模拟外设

本节介绍了模拟子系统模块。

该器件上的模拟模块包括模数转换器 (ADC)、温度传感器、可编程增益放大器 (PGA) 和 Lite 比较器子系统型号 (CMPSS_LITE)。

模拟子系统具有以下特性：

- 灵活的电压基准
 - ADC 以 VREFHI 和 VSSA 引脚为基准
 - VREFHI 引脚电压可由外部驱动或由内部带隙电压基准生成。
 - 内部电压基准范围可选为 0V 至 3.3V 或 0V 至 2.5V
 - 比较器 DAC 以 VDDA 和 VSSA 为基准
- 灵活地使用引脚
 - 比较器子系统输入和数字输入 (AIO)/输出 (AGPIO) 与 ADC 输入进行多路复用
 - 低比较器 DAC (CMP3_LITE_DAC1) 可选择性输出到多路复用 ADC 引脚供外部使用 (不能与 CMPSS 比较功能同时使用, 仅在某些 CMPSS 实例中可用)
 - 内部连接到 ADC 上的 VREFLO, 用于偏移量自校准

图 6-33 显示了所有封装的模拟子系统方框图。图 6-34 显示了模拟组连接。节 6.11.1 列出了模拟引脚和内部连接, 以及模拟信号说明。

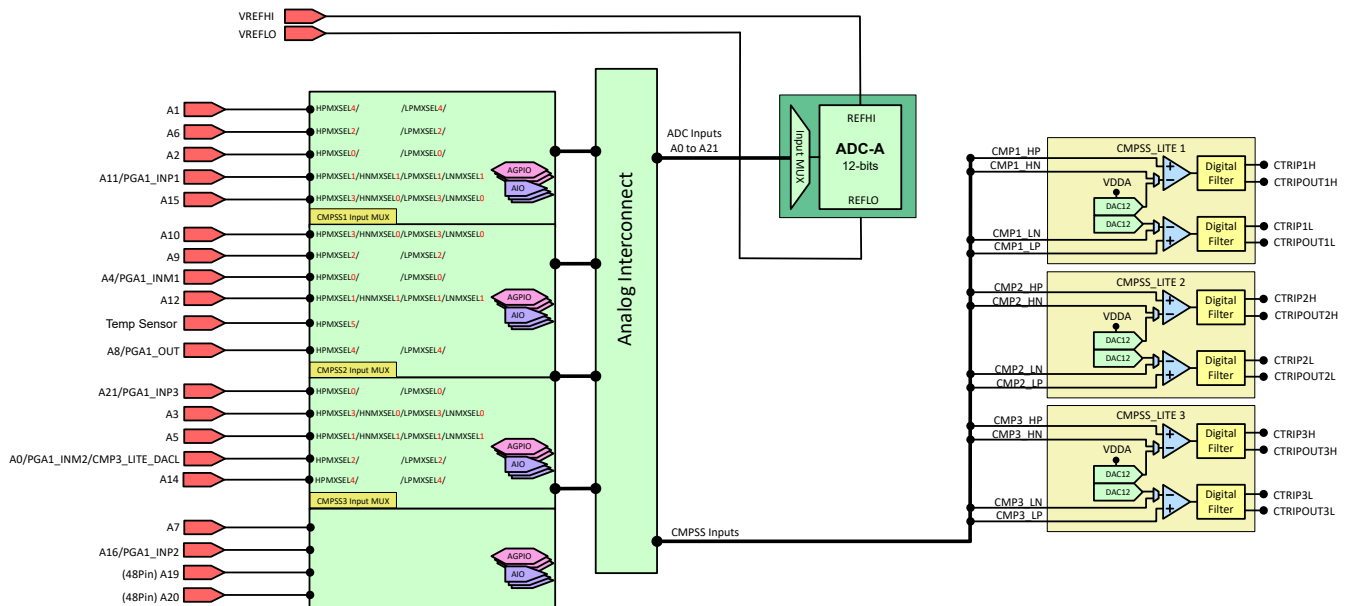
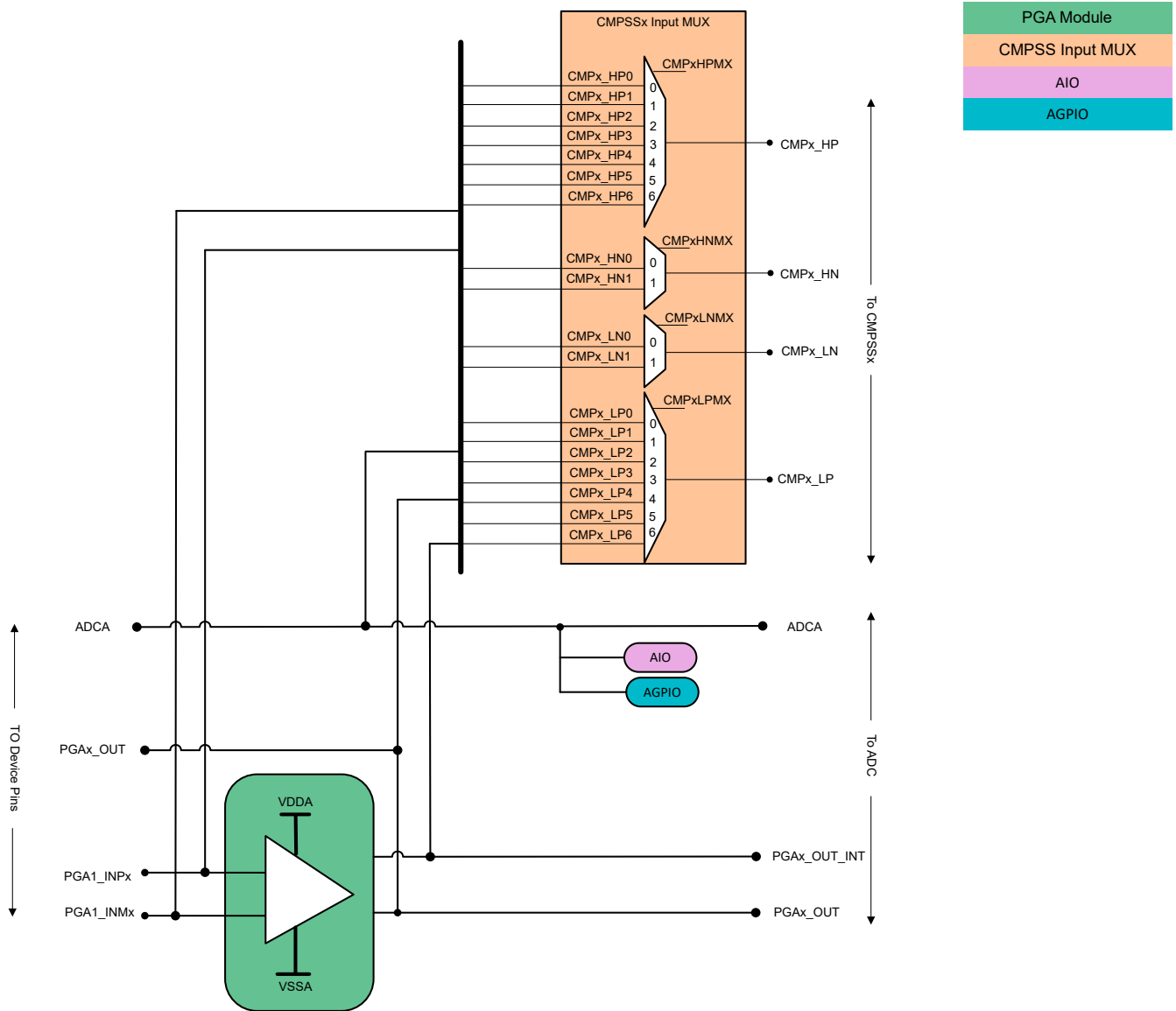


图 6-33. 模拟子系统方框图



注意：AIO 仅支持数字输入模式。

图 6-34. 模拟组连接

6.11.1 模拟引脚和内部连接

表 6-10. 模拟引脚和内部连接

引脚名称	引脚/封装			ADC	DAC	PGA	比较器子系统 (多路复用器)				AIO 输入/GPIO
	48 QFP	32 QFP	32 QFN				高正	高负	低正	低负	
VREFHI	12	-(4)	-(4)								
VREFLO	13	-(4)	-(4)								
模拟组 1							CMP1				
A6	4 ⁽¹⁾	2 ⁽¹⁾	2 ⁽¹⁾	A6			CMP1 (HPMXSEL=2)		CMP1 (LPMXSEL=2)		GPIO228 ⁽³⁾
A2	6	4	4	A2			CMP1 (HPMXSEL=0)		CMP1 (LPMXSEL=0)		GPIO224 ⁽³⁾
A15	7 ⁽¹⁾	5 ⁽¹⁾	5 ⁽¹⁾	A15			CMP1 (HPMXSEL=3)	CMP1 (HNMXSEL=0)	CMP1 (LPMXSEL=3)	CMP1 (LNMXSEL=0)	AIO233
A11	8	6 ⁽¹⁾	6 ⁽¹⁾	A11		PGA_INP1	CMP1 (HPMXSEL=1)	CMP1 (HNMXSEL=1)	CMP1 (LPMXSEL=1)	CMP1 (LNMXSEL=1)	AIO237
A1	10	7 ⁽¹⁾	7 ⁽¹⁾	A1			CMP1 (HPMXSEL=4)		CMP1 (LPMXSEL=4)		AIO232
模拟组 2							CMP2				
A10	21	13 ⁽¹⁾	13 ⁽¹⁾	A10			CMP2 (HPMXSEL=3)	CMP2 (HNMXSEL=0)	CMP2 (LPMXSEL=3)	CMP2 (LNMXSEL=0)	GPIO230 ⁽³⁾
A12	14	8 ⁽¹⁾	8 ⁽¹⁾	A12		PGA_INN3	CMP2 (HPMXSEL=1)	CMP2 (HNMXSEL=1)	CMP2 (LPMXSEL=1)	CMP2 (LNMXSEL=1)	AIO238
A8/PGA1_OUT	16	9	9	A8		PGA_OUT	CMP2 (HPMXSEL=4)		CMP2 (LPMXSEL=4)		AIO241
A4/PGA1_INM1	19	12	12	A4		PGA_INM1	CMP2 (HPMXSEL=0)		CMP2 (LPMXSEL=0)		AIO225
A9	20	13 ⁽¹⁾	13 ⁽¹⁾	A9			CMP2 (HPMXSEL=2)		CMP2 (LPMXSEL=2)		GPIO227 ⁽³⁾
模拟组 3							CMP3				
A3	5	3	3	A3			CMP3 (HPMXSEL=3)	CMP3 (HNMXSEL=0)	CMP3 (LPMXSEL=3)	CMP3 (LNMXSEL=0)	GPIO242 ⁽³⁾
A14	7 ⁽¹⁾	5 ⁽¹⁾	5 ⁽¹⁾	A14			CMP3 (HPMXSEL=4)		CMP3 (LPMXSEL=4)		AIO239
A5	9	6 ⁽¹⁾	6 ⁽¹⁾	A5			CMP3 (HPMXSEL=1)	CMP3 (HNMXSEL=1)	CMP3 (LPMXSEL=1)	CMP3 (LNMXSEL=1)	AIO244
A0/ CMP3_LITE_DACL/ PGA1_INM2	11	7 ⁽¹⁾	7 ⁽¹⁾	A0	CMP3_LITE_DACL	PGA1_INM2	CMP3 (HPMXSEL=2)		CMP3 (LPMXSEL=2)		AIO231
A21/PGA1_INP3	4 ⁽¹⁾	2 ⁽¹⁾	2 ⁽¹⁾	A21			CMP3 (HPMXSEL=0)		CMP3 (LPMXSEL=0)		GPIO 226 ⁽³⁾

表 6-10. 模拟引脚和内部连接 (续)

引脚名称	引脚/封装			ADC	DAC	PGA	比较器子系统 (多路复用器)				AIO 输入/GPIO
	48 QFP	32 QFP	32 QFN				高正	高负	低正	低负	
其他模拟											
A16/PGA1_INP2	2	32	32	A16		PGA1_INP2					GPIO28 ⁽³⁾
A19	23	-	-	A19							GPIO13 ⁽³⁾
A20	24	-	-	A20							GPIO12 ⁽³⁾
A7	15	8 ⁽¹⁾	8 ⁽¹⁾	A7							AIO245
温度传感器 ⁽²⁾	-	-	-	A22			CMP1 (HPMXSEL=5)				
PGA1_OUT_INT ⁽²⁾	-	-	-	A25			CMP2 (HPMXSEL=6)		CMP2 (LPMXSEL=6)		

- (1) 信号与另一个信号在该封装上作为单个引脚接合在一起。
- (2) 仅限内部连接；不连接到器件引脚。
- (3) 这些模拟引脚上的 GPIO 支持完整的数字输入和输出功能，称为 AGPIO。默认情况下，AGPIO 处于未连接状态；也就是说，模拟和数字功能都被禁用。有关配置详细信息，请参阅 *ADC 引脚上的数字输入和输出 (AGPIO)* 部分。
- (4) 在 32 RHB 和 32 VFC 封装上，VREFHI 在内部连接到 VDDA，而 VREFLO 在内部连接到 VSSA。

备注

模拟引脚上的 GPIO 支持完整的数字输入和输出功能，称为 AGPIO。默认情况下，AGPIO 处于未连接状态；也就是说，模拟和数字功能都被禁用。有关配置详细信息，请参阅 *ADC 引脚上的数字输入和输出 (AGPIO)* 部分。

表 6-11. 模拟信号说明

信号名称	说明
AIOx	ADC 引脚上的数字输入
AGPIOx	具有 ADC 功能的数字输入/输出引脚
Ax	ADC A 输入
CMPx_HNy	比较器子系统高电平比较器负输入
CMPx_HPy	比较器子系统高电平比较器正输入
CMPx_LNy	比较器子系统低电平比较器负输入
CMPx_LPy	比较器子系统低电平比较器正输入
CMP3_LITE_DACL	来自较低 CMPSS3_LITE DAC 的 DAC 输出 (可连接到外部引脚)
PGAx_INPy	PGA 模块同相引脚
PGAx_INMy	PGA 模块反相引脚
PGAx_OUT	PGA 模块输出
PGAx_OUT_INT	PGA 模块内部输出连接到 CMPSS 和 ADC 模块
温度传感器	内部温度传感器

表 6-12. 参考汇总

模块	参考选项	配置位置	寄存器	Driverlib 函数	注释
ADC	内部	模拟系统	AnalogSubsysRegs.ANAREFCTL.bit.ANAREFxSEL	ADC_setVREF	这两个选项都需要使用 VREFHI 引脚。
	外部	模拟系统	1) AnalogSubsysRegs.ANAREFCTL.bit.ANAREFxSEL2) AnalogSubsysRegs.REFCONFIGA.bit.ANAREFSEL	ADC_setVREF	这两个选项都需要使用 VREFHI 引脚。
	3.3V 或 2.5V 内部基准电压范围	模拟系统	AnalogSubsysRegs.ANAREFCTL.bit.ANAREFx2P5SEL	ADC_setVREF	仅在使用内部基准模式时适用。
CMPSS DAC	VDDA	CMPSS 模块	不可配置		

6.11.2 模数转换器 (ADC)

此处所述的 ADC 模块是一个逐次逼近 (SAR) 型 ADC，具有 12 位分辨率。本节将转换器的模拟电路称为“内核”，包括通道选择多路复用器、采样保持 (S/H) 电路、逐次逼近电路、电压基准电路和其他模拟支持电路。转换器的数字电路被称为“包装器”，包括用于可编程转换的逻辑、结果寄存器、模拟电路接口、外设总线接口、后处理电路以及其他片上模块接口。

每个 ADC 模块都包含一个采样保持 (S/H) 电路。ADC 包装器基于转换启动 (SOC) (参阅“模数转换器 (ADC)”一章的 SOC 工作原理一节，该章节位于 [F28E12x 实时微控制器技术参考手册](#))。

每个 ADC 具有以下特性：

- 12 位分辨率
- 由 VREFHI/VREFLO 设定的比例式外部基准
- 2.5V 或 3.3V 的可选内部基准电压
- ADC A 和 B 上的单端信号模式
- 具有多达 17 个通道的输入多路复用器
- 16 个可配置 SOC
- 16 个可单独寻址的结果寄存器
- 一个触发中继器模块，支持可定制的硬件过采样模式，几乎无需 CPU 开销
- 多个触发源
 - 软件立即启动
 - 所有 MCPWM : ADCSOC A、B、C 或 D
 - GPIO XINT2
 - CPU 计时器 0/1/2
 - ADCINT1/2
- 三个灵活的中断
- 高达 8 倍的硬件过采样模式，具有可配置的触发器扩展延迟
- 三个后处理块，每个块具有：
 - 饱和和偏移量校准
 - 设定点计算的误差
 - 具有中断和 MCPWM 跳变功能的高电平、低电平和过零比较
 - 聚合功能：求和与平均值 (二进制移位) (仅适用于 PPB1)

备注

并非每个通道都可以从所有 ADC 的引脚输出。请参阅 [引脚配置和功能](#) 部分以确定哪些通道可用。

ADC 内核和 ADC 包装器的方框图如图 6-35 所示。

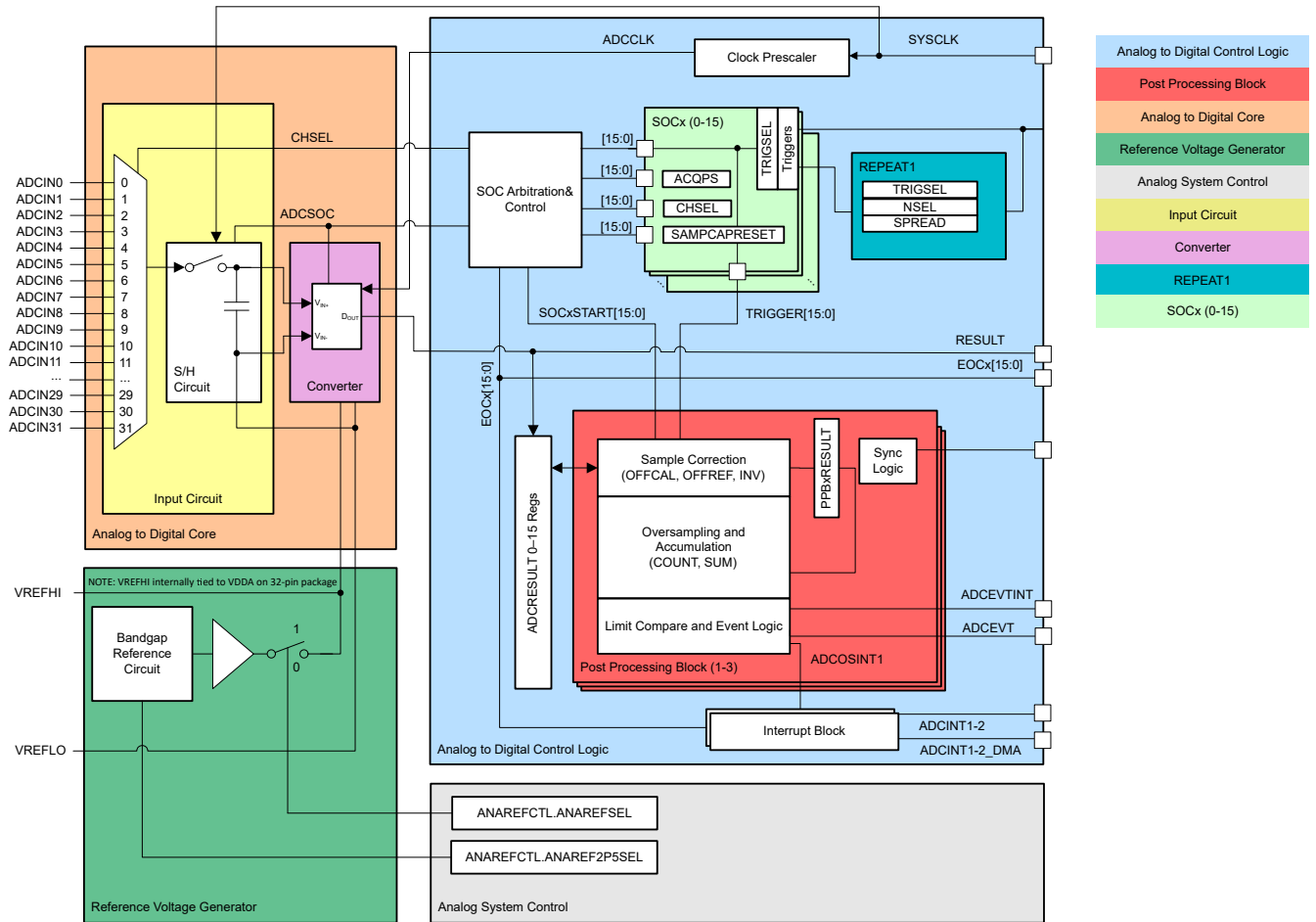


图 6-35. ADC 模块方框图

6.11.2.1 ADC 可配置性

一些 ADC 配置由 SOC 单独控制，而其他配置则由每个 ADC 模块全局控制。表 6-13 汇总了基本的 ADC 选项及其可配置性级别。

表 6-13. ADC 选项和配置级别

选项	可配置性
时钟	按照模块
分辨率	不可配置 (仅限 12 位分辨率)
信号模式	不可配置 (仅限单端信号模式)
基准电压源	外部或内部
触发源	按照 SOC
转换后的通道	按照 SOC
采集窗口持续时间	按照 SOC
EOC 位置	按照模块
采样电容器复位	按照 SOC

6.11.2.1.1 信号模式

ADC 支持单端信号模式。以 VREFLO 为基准通过单个引脚 (ADCINx) 对转换器的输入电压进行采样。

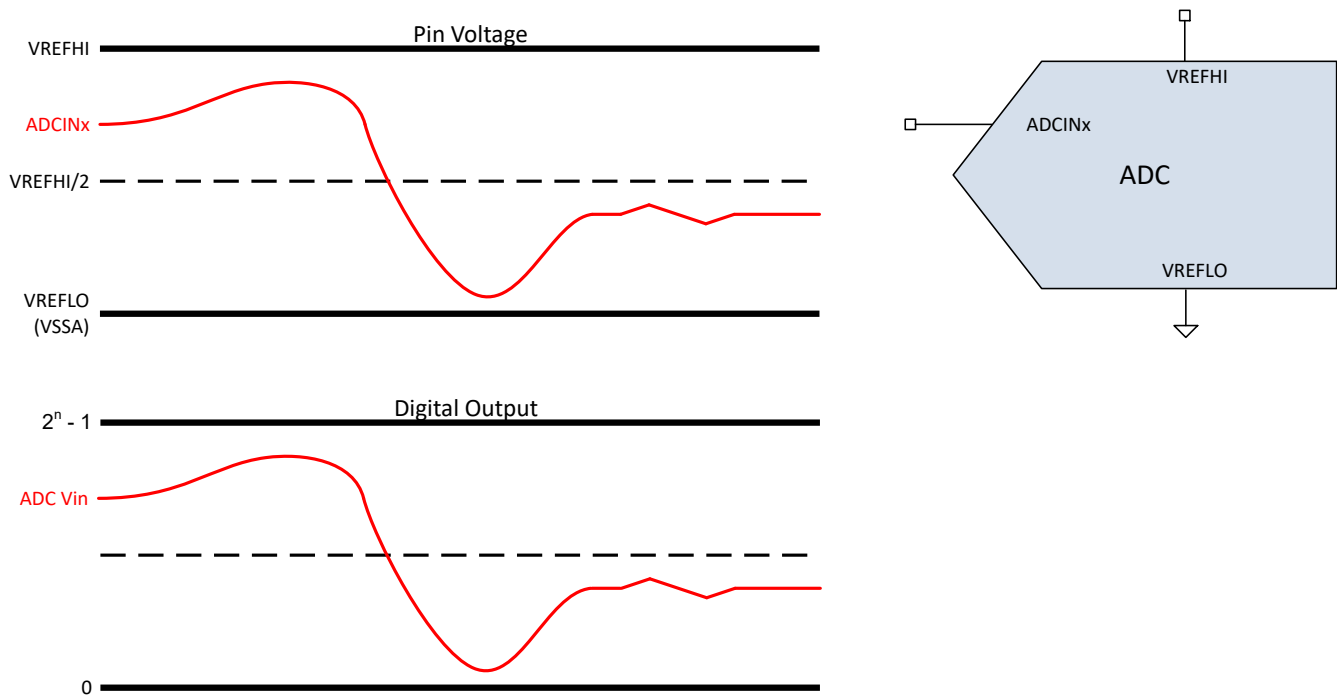


图 6-36. 单端信号模式

6.11.2.2 ADC 电气数据和时序

备注

ADC 输入应保持低于 $V_{DDA} + 0.3V$ 。如果 ADC 输入高于此电平，则 ADC 可能会通过两种机制对其他通道产生干扰：

- ADC 输入过压将过驱 CMPSS 多路复用器，从而干扰所有其他共用一个公共 CMPSS 多路复用器的通道。无论 ADC 是否对过压输入进行采样，这种干扰都会持续存在
- 当 ADC 对过压 ADC 输入进行采样时，VREFHI 将被上拉至更高的电平。这将干扰任何通道上的后续 ADC 转换，直到 V_{REF} 稳定下来

备注

VREFHI 引脚必须保持低于 $V_{DDA} + 0.3V$ ，以确保正常工作。如果 VREFHI 引脚超过此电平，可能会激活阻塞电路，并且 VREFHI 的内部值可能会在内部浮动至 0V，从而导致 ADC 转换不正确。

6.11.2.2.1 ADC 运行条件

在建议运行条件下（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
ADCCLK (源自 PERx.SYSCLK)		5		160	MHz
采样率 ⁽³⁾ ⁽⁴⁾	160-MHz ADCCLK (48 引脚)			8.9	MSPS
采样率 ⁽³⁾ ⁽⁴⁾	80-MHz ADCCLK (32 引脚)			5.5	MSPS
采样窗口持续时间 (由 ACQPS 和 PERx.SYSCLK 设置)	具有 50 Ω 或更小的 R_s	37.5			ns
	内部 VREFLO 连接	37.5			
VREFHI	外部基准	2.4	2.5 或 3.0	VDDA	V
VREFHI ⁽¹⁾	内部基准电压 = 3.3V 范围		1.65		V
	内部基准电压 = 2.5V 范围		2.5		V
VREFHI	封装 = 32QFN、32QFP	VDDA	VDDA	VDDA	V
VREFLO		VSSA		VSSA	V
VREFHI - VREFLO		2.4		VDDA	V
转换范围	内部基准电压 = 3.3V 范围	0		3.3	V
	内部基准电压 = 2.5V 范围	0		2.5	
	外部基准	VREFLO		VREFHI	
	封装 = 32QFN、32QFP	0		VDDA ⁽²⁾	

- (1) 在内部基准模式下，基准电压由器件从 VREFHI 引脚驱动。在此模式下，用户不应将电压驱动到引脚中。
- (2) 在 32QFN 封装中，VREFHI 在内部连接至 VDDA，而 VREFLO 在内部连接至 VSSA。32QFN 封装不支持内部基准模式。
- (3) 不支持非整数 ADC 时钟分频器：ADCCTL2.PRESCALE 应仅使用偶数值
- (4) 建议启用 VREFHI/2 的采样保持电容复位特性，以满足所有 ADC 电气规格的要求；在相应的 ADCSOCxCTL 寄存器内，SAMPCAPRESETSEL = 1 且 SAMPCAPRESETDISABLE = 0。

6.11.2.2.2 ADC 特性

在建议运行条件下 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
通用					
ADCCLK 转换周期 ⁽⁵⁾	160MHz SYSCLK			12	ADCCLK
上电时间	外部基准模式			500	μs
	内部基准模式			5000	μs
	在 2.5V 和 3.3V 范围之间切换时采用内部基准模式。			5000	μs
VREFHI 输入电流 ⁽¹⁾	2.5 参考资料		200		μA
	1.65 参考资料		130		
内部基准电容值 ⁽²⁾		2.2			μF
外部基准电容值 ⁽²⁾		2.2			μF
直流特性					
增益误差	内部基准电压	-45		45	LSB
	外部基准	-5		5	
偏移误差		-5		5	LSB
通道间增益误差 ⁽⁴⁾			2		LSB
通道间偏移量误差 ⁽⁴⁾			2		LSB
DNL 误差		>-1		1	LSB
INL 误差		-2		2	LSB
交流特性					
SNR ⁽³⁾	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 X1		67.08		dB
	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 SYSOSCDIV4		62.3		
THD ⁽³⁾	VREFHI = 2.5V, fin = 100kHz		-77		dB
SFDR ⁽³⁾	VREFHI = 2.5V, fin = 100kHz		82		dB
SINAD ⁽³⁾	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 X1		66.8		dB
	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 SYSOSCDIV4		62.14		
ENOB ⁽³⁾	VREFHI = 2.5V, fin = 100kHz, SYSCLK 源自 X1, 单个 ADC		10.8		位
PSRR	VDDA = 3.3V 直流 + 200mV 直流至正弦 (1kHz 时)		60		dB
PSRR	VDDA = 3.3V 直流 + 200mV 正弦 (900kHz 时)		57		dB

(1) 当 ADC 输入大于 VDDA 时, VREFHI 上的负载电流会增加。这会导致转换不准确。

(2) 最好使用封装尺寸为 0805 或更小的陶瓷电容器。可接受高达 ±20% 的容差。

(3) 作为减少电容耦合和串扰的最佳实践的一部分, 与 ADC 输入和 VREFHI 引脚相邻的引脚上的 IO 活动已尽可能减少。

(4) 同一 ADC 模块的所有通道之间的差异。

(5) 使用 SAMPCAPRESET 特性; 在相应的 ADCSOCxCTL 寄存器内, SAMPCAPRESETSEL = 1 且 SAMPCAPRESETDISABLE = 0。

6.11.2.2.3 ADC INL 和 DNL

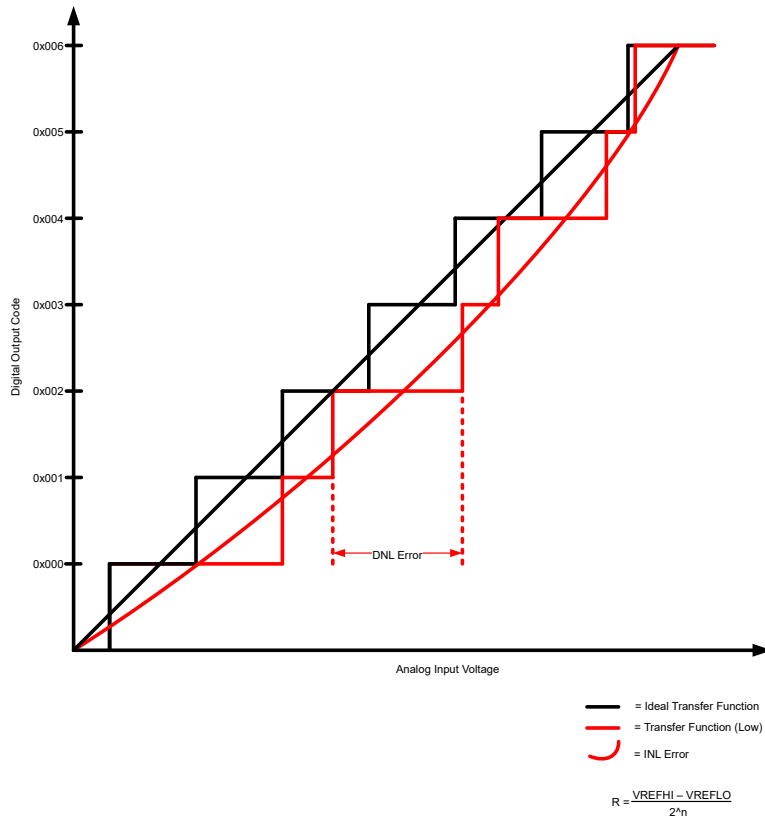


图 6-37. ADC INL 和 DNL

6.11.2.2.4 每个引脚的 ADC 性能

每个引脚的 ADC 性能均受相邻引脚的影响。以下各图详细说明了这些引脚的性能差异。

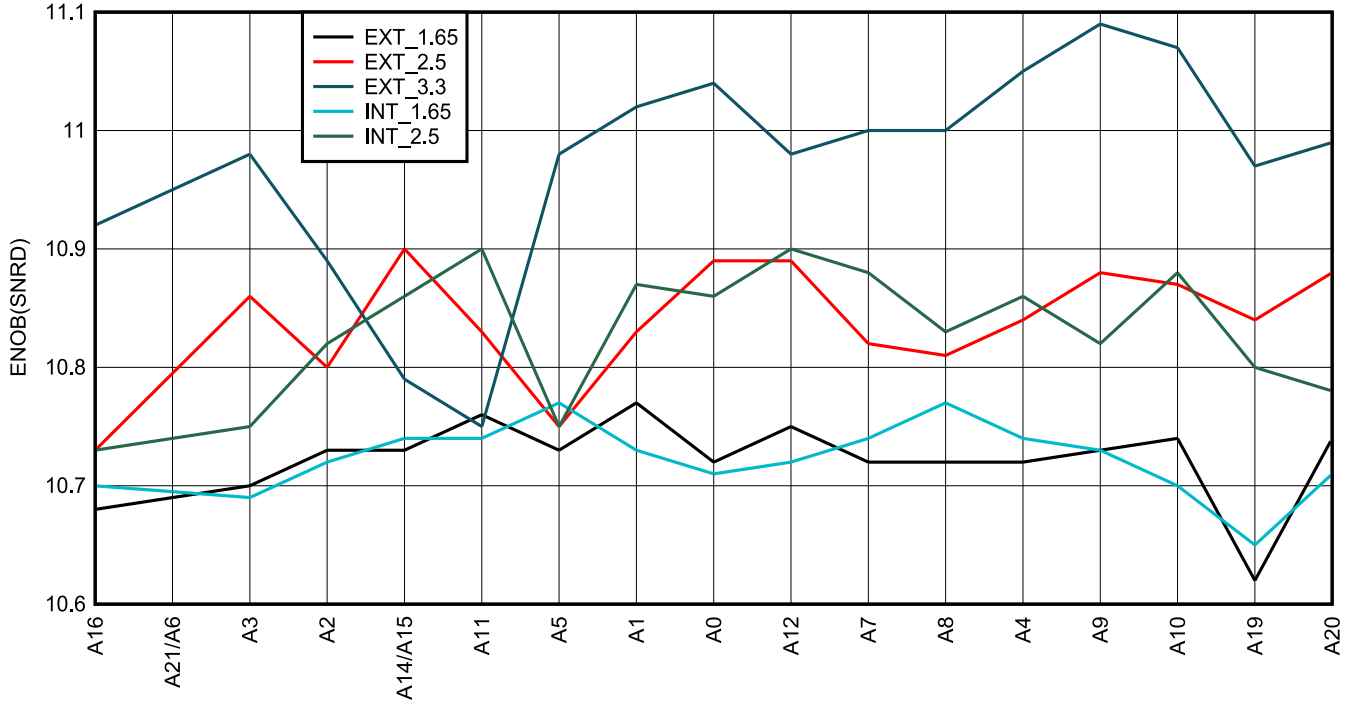


图 6-38. 48 引脚 PT 的每通道 ENOB

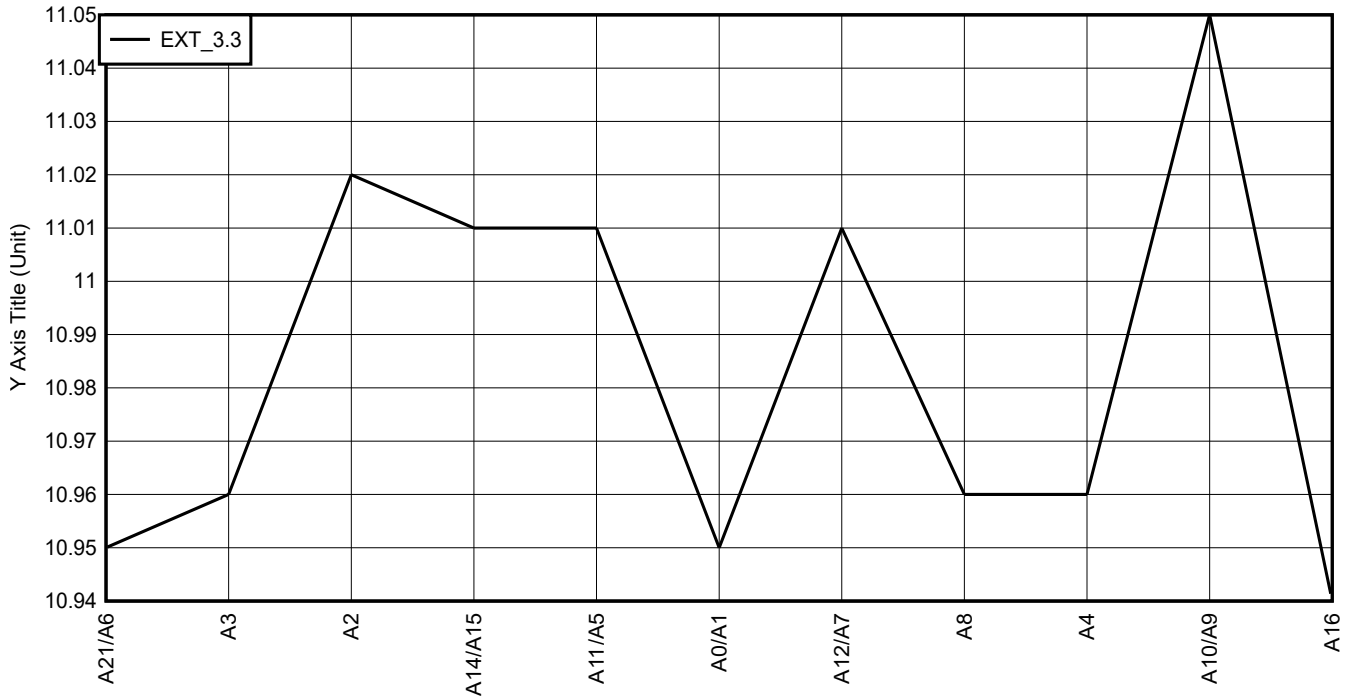


图 6-39. 32 引脚 RHB 的每通道 ENOB

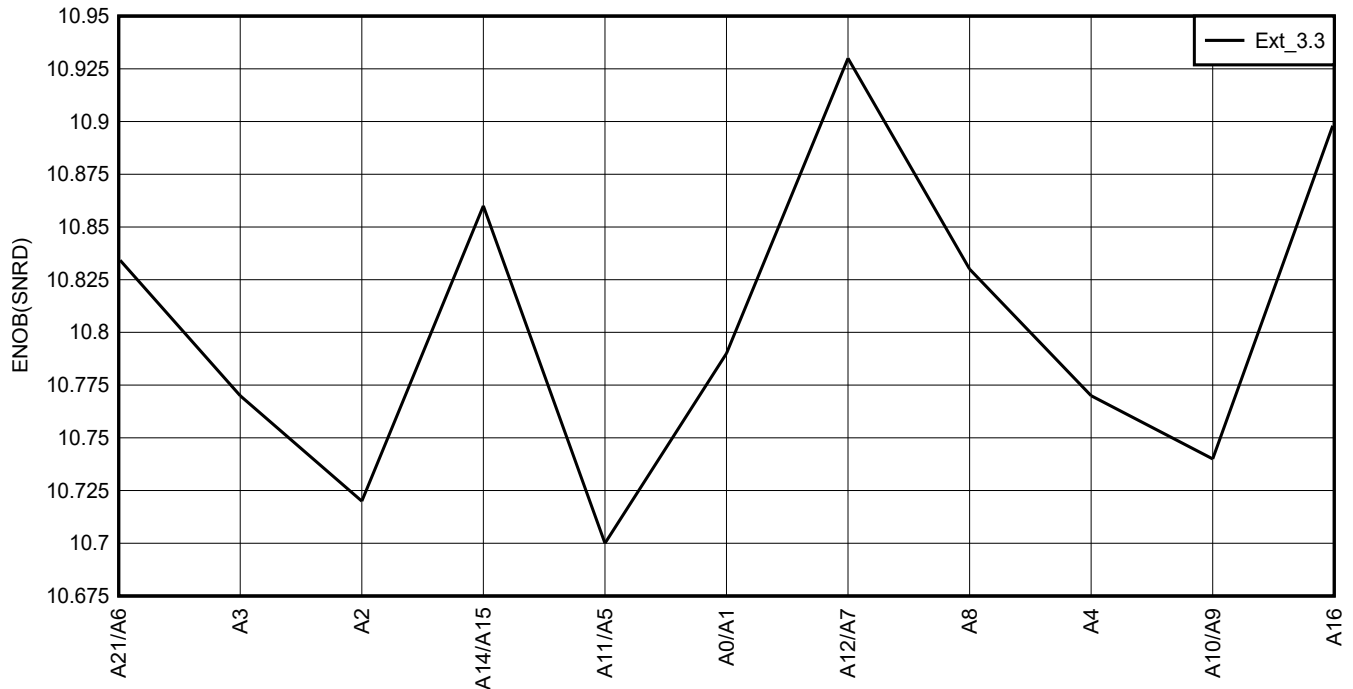


图 6-40. 32 引脚 VFC 的每通道 ENOB

6.11.2.2.5 ADC 输入模型

, ADC 输入特性由 表 6-14 和 图 6-41 给出。

表 6-14. 适用于 12 位 ADC 的输入模型参数

	说明	基准模式	值
C_p	寄生输入电容	全部	请参阅 48 引脚 PT LQFP 的每通道寄生电容、32 引脚 VFC LQFP 的每通道寄生电容和 32 引脚 RHB VQFN 的每通道寄生电容
R_{on}	采样开关电阻	外部基准, 2.5V 内部基准	400 Ω
		3.3V 内部基准	500 Ω
C_h	采样电容器	外部基准, 2.5V 内部基准	10pF
		3.3V 内部基准	8pF
R_s	标称源阻抗	全部	50 Ω

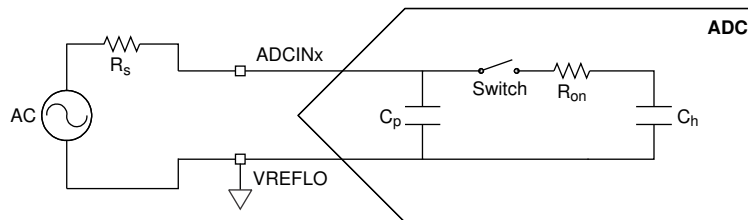


图 6-41. 输入模型

应将此输入模型与实际信号源阻抗配合使用, 来确定采集窗口持续时间。有关改进 ADC 输入电路的建议, 请参阅 [C2000 MCU 的 ADC 输入电路评估](#) 应用手册。

表 6-15. 48 引脚 PT LQFP 的每通道寄生电容

ADC 通道	C _p (pF)	
	所有其他模拟外设禁用	所有模拟外设启用
A0/C15/CMP3_LITE_DACL	6.2	8
A1	1	3
A2/C9	2.9	4.4
A3/C5	2.7	6.4
A4/C14	1.9	1.9
A5/C2	2.7	4.4
A6/C6	6.8	9
A7/C3	2	2
A8/C11	3.6	4
A9/C8	5.6	5.8
A10/C10	6.6	7.2
A11/C0	6.5	7.8
A12/C1	1.8	2.4
A14/A15/C4/C7/ADCINCAL	1.7	3.5
A16/C16	2.7	3.5
A19/C19	3.1	2.7
A20/C20	2.3	2.2

表 6-16. 32 引脚 RHB VQFN 的每通道寄生电容

ADC 通道	C _p (pF)	
	所有其他模拟外设禁用	所有模拟外设启用
A0/A1/C15/CMP3_LITE_DACL	6.2	8
A2/C9	2.9	4.4
A3/C5	2.7	6.4
A4/C14	1.9	1.9
A5/C2/A11/C0	2.7	4.4
A6/C6	6.8	9
A7/C3/A12/C1	2	2
A8/C11	3.6	4
A9/C8/A10/C10	5.6	5.8
A14/A15/C4/C7/ADCINCAL	1.7	3.5
A16/C16	2.7	3.5

表 6-17. 32 引脚 VFC LQFP 的每通道寄生电容

ADC 通道	C _p (pF)	
	所有其他模拟外设禁用	所有模拟外设启用
A0/A1/C15/CMP3_LITE_DACL	6.2	8
A2/C9	2.9	4.4
A3/C5	2.7	6.4
A4/C14	1.9	1.9
A5/C2/A11/C0	2.7	4.4
A6/C6	6.8	9
A7/C3/A12/C1	2	2
A8/C11	3.6	4
A9/C8/A10/C10	5.6	5.8

表 6-17. 32 引脚 VFC LQFP 的每通道寄生电容 (续)

ADC 通道	C _p (pF)	
	所有其他模拟外设禁用	所有模拟外设启用
A14/A15/C4/C7/ADCINCAL	1.7	3.5
A16/C16	2.7	3.5

6.11.2.2.6 ADC 时序图

在下列假设下两个 SOC 的 ADC 转换时序：

- SOC0 和 SOC1 配置为使用相同的触发器。
- 触发发生时，没有其他 SOC 正在转换或挂起。
- 轮循指针处于使 SOC0 首先转换的状态。
- ADCINTSEL 配置为在 SOC0 的转换结束时设置一个 ADCINT 标志（该标志是否传播到 CPU 以引起中断取决于中断控制器中的配置）。

表 6-18 列出了 ADC 时序参数的说明。

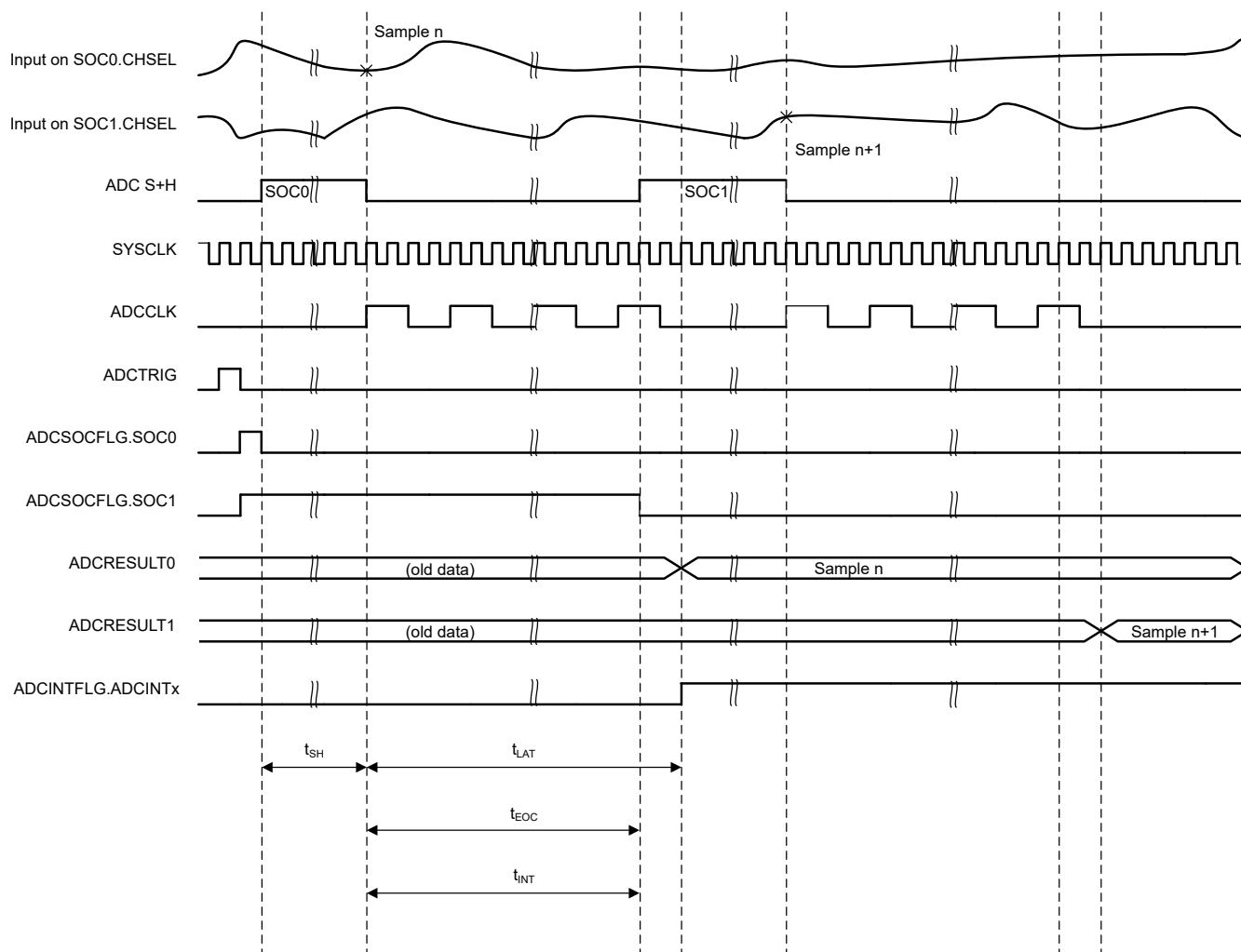


图 6-42. ADC 时序

表 6-18. ADC 时序参数说明

参数	说明
t_{SH}	S+H 窗口的持续时间。 在该窗口结束时，S+H 电容器上的值则变为待转换成数字值的电压。持续时间由 (ACQPS + 1) 个 SYSCLK 周期计算得出。ACQPS 可以为每个 SOC 单独配置，因此对于不同的 SOC， t_{SH} 不一定相同。 注意： 无论器件时钟设置如何，S+H 电容器上的值均在 S+H 窗口结束前大约 5ns 时被采集。
t_{LAT}	从 S+H 窗口结束到 ADC 结果锁存到 ADCRESULTx 寄存器的时间。 如果在此时间之前读取 ADCRESULTx 寄存器，返回的是之前的转换结果。
t_{EOC}	从 S+H 窗口结束到下一个 ADC 转换的 S+H 窗口可以开始的时间。后续采样可以在锁存转换结果之前开始。
t_{INT}	从 S+H 窗口结束到设置 ADCINT 标志 (如果已配置) 的时间。 如果 ADCCTL1 寄存器中的 INTPULSEPOS 位被置位， t_{INT} 将与转换结束 (EOC) 信号相一致。 如果 INTPULSEPOS 位为 0， t_{INT} 将与 S+H 窗口的结束相一致。如果 t_{INT} 触发读取 ADC 结果寄存器 (通过触发读取结果的 ISR 来读取)，必须注意确保读取发生在结果锁存之后 (否则，读取的是之前的结果)。
t_{DMA}	当 ADCCTL1.TDMAEN = 1 时，从 S+H 窗口结束到触发 DMA 读取 ADC 转换结果的时间。 如果 TDMAEN 设置为 0，则会在 t_{INT} 时发生 DMA 触发。在某些情况下，可以在 ADCRESULT 值被锁存之前设置 ADCINT 标志。为了确保 DMA 读取发生在 ADCRESULT 值被锁存之后，应向 ADCCTL1.TDMAEN 写入 1 来启用 DMA 时序。

表 6-19. SAMPCAPRESETSEL = 0 时 12 位模式下的 ADC 时序

ADCCLK 预分频		SYSCLK 周期				
ADCCTL2. 预分频	预分频比	t_{EOC}	t_{LAT}	t_{INT} (Early) ⁽¹⁾	t_{INT} (Late)	t_{DMA}
0	1	12	17	1	12	17
2	2	24	34	1	24	34
4	3	36	41	1	36	41
8	5	60	65	1	60	65
10	6	72	77	1	72	77
12	7	84	89	1	84	89
14	8	96	101	1	96	101

(1) 默认情况下，如果 INTPULSEPOS 为 0，则 t_{INT} 在 S+H 窗口后的一个 SYSCLK 周期内发生。这可以通过写入 ADCINTCYCLE 寄存器的 OFFSET 字段来改变。

表 6-20. SAMPCAPRESETSEL = 1 时 12 位模式下的 ADC 时序

ADCCLK 预分频		SYSCLK 周期				
ADCCTL2. 预分频	预分频比	t_{EOC}	t_{LAT}	t_{INT} (Early) ⁽¹⁾	t_{INT} (Late)	t_{DMA}
0	1	11	16	1	11	16
2	2	24	34	1	24	34
4	3	36	41	1	36	41
6	4	47	52	1	47	52
8	5	59	64	1	59	64
10	6	71	76	1	71	76
12	7	83	88	1	83	88
14	8	95	100	1	95	100

(1) 默认情况下，如果 INTPULSEPOS 为 0，则 t_{INT} 在 S+H 窗口后的一个 SYSCLK 周期内发生。这可以通过写入 ADCINTCYCLE 寄存器的 OFFSET 字段来改变。

6.11.3 比较器子系统 (CMPSS_LITE)

比较器子系统 (CMPSS_LITE) 由模拟比较器和支持电路组成，这些电路对于峰值电流模式控制、开关模式电源、功率因数校正、电压跳闸监控等电源应用非常有用。

比较器子系统基于多个模块构建而成。每个子系统包含两个比较器、两个基准 12 位 DAC (CMPSS_LITE 实例是 9.5 位有效基准 DAC) 和两个数字滤波器。比较器在每个模块中用“H”或“L”表示，其中“H”代表高电平，“L”代表低电平。每个比较器都会生成一个数字输出，指示正输入端的电压是否大于负输入端的电压。比较器的正输入由一个外部引脚驱动 (请参阅 中的“模拟子系统”一章，了解适用于 CMPSS 的多路复用器选项)。负输入可由外部引脚或可编程基准 12 位 DAC 驱动。每个比较器输出都会通过一个可编程的数字滤波器，该滤波器可以去除伪跳变信号。如果不需要滤波，也可以使用未滤波的输出。

每个 CMPSS 包含：

- 两个模拟比较器
- 两个可编程的基准 12 位 DAC (CMPSS_LITE 实例上为 9.5 位有效 DAC)
- 两个数字滤波器，65536 最大滤波器时钟预分频
- 能够将各个子模块与 MCPWMSYNCPER 同步
- 能够将输出与 SYSCLK 同步
- 能够锁存输出
- 能够反转输出
- 可选择在输入端使用迟滞
- 可选择通过外部信号或基准 DAC 驱动比较器的负输入
- 可选择通过外部信号或 PGA 驱动比较器的正输入
- 可选择在外部引脚上使用低电平比较器 DAC 输出 CMPx_DACL (仅限部分实例，不能与比较功能同时使用)

6.11.3.1 COMPDACOUT

一些 CMPSS 模块实例支持缓冲到引脚的 DAC 输出。CMPSS 模块的该 CMP3_LITE_DACL 输出采用指定的 CMPSS 模块的低侧 DAC。当使用来自 CMPSS 实例的 DAC 输出时，该实例的所有其他 CMPSS 模块功能都不可用。

如需了解特定器件可用的 CMPx_LITE_DACL 实例，可参阅 *模拟引脚与内部连接表* 的 DAC 列。

如需了解 DAC 输出功能，可参阅“*CMPx_LITE_DACL 的缓冲输出电气特性*”一节。

6.11.3.2 CMPSS 连接图

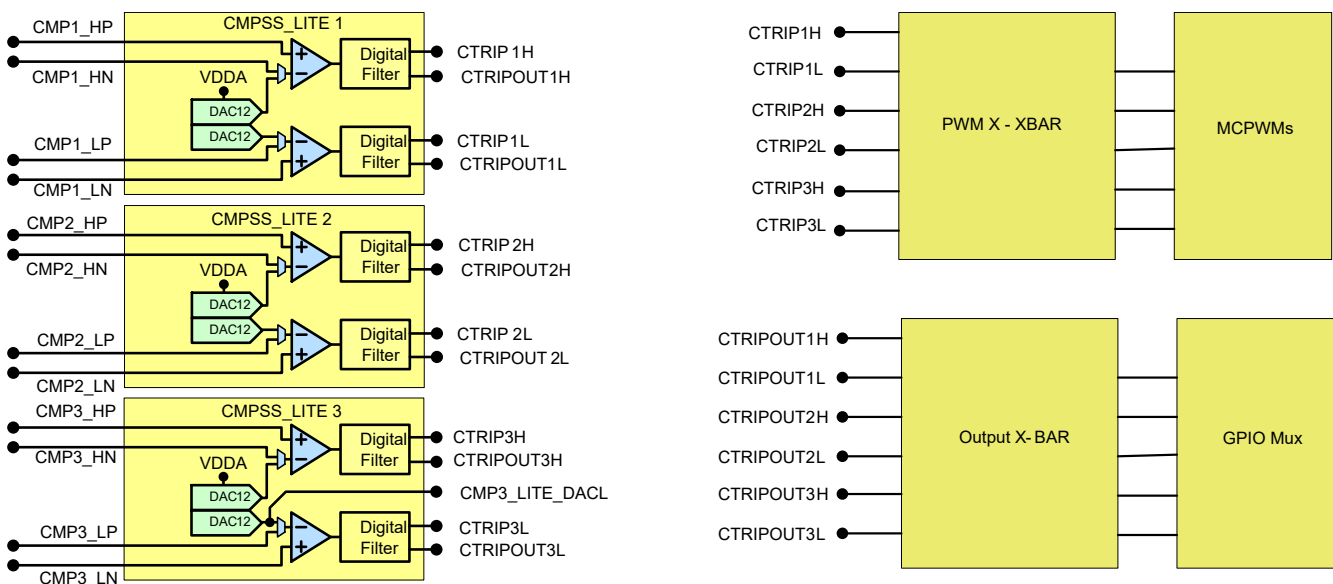
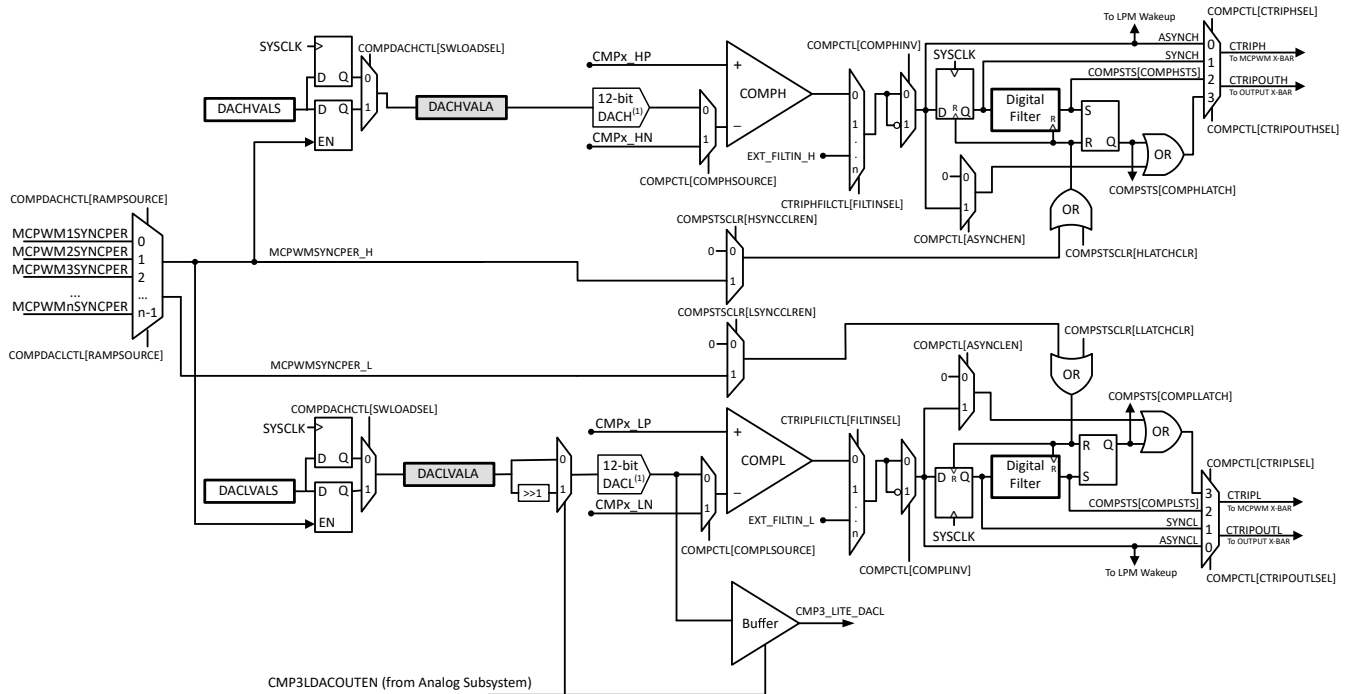


图 6-43. CMPSS 连接

6.11.3.3 方框图

CMPSS_LITE 的方框图如 图 6-44 所示。

- CTRIPx (x= "H" 或 "L") 信号连接至 PWM X-BAR , 用于 MCPWM 跳闸响应。有关 PWM X-BAR mux 配置的更多详细信息, 请参阅 *F28E12x 实时微控制器技术参考手册* 的“多通道脉宽调制器 (MCPWM)”一章。
- CTRIPxOUTx (x= “H” 或 “L”) 信号连接到输出 X-BAR , 用于外部信号。有关输出 X-BAR mux 配置的更多详细信息, 请参阅 *F28E12x 实时微控制器技术参考手册* “通用输入/输出 (GPIO)”一章。



- CMP3_LITE_DAC 仅适用于该器件上的 CMPSS 3 模块。
- 启用 DACL 引脚后, 低侧比较器 (COMPL) 的功能将会失效, 这种情况下, COMPL 的负输入必须通过器件引脚驱动。

图 6-44. CMPSS 模块方框图

每个基准 12 位 DAC 都可以配置为将基准电压驱动到相应比较器的负输入端。一些 CMPSS 实例还允许将低 DAC 输出路由到一个引脚以用作外部 DAC。这种情况下, COMPL 无法使用 DAC 输出。这种情况下, COMPL 的负输入需要通过器件引脚驱动。

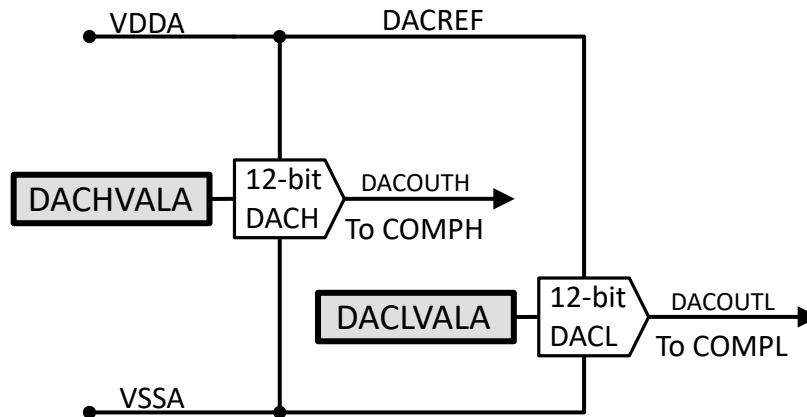


图 6-45. 参考设计方框图

6.11.3.4 CMPSS 电气数据和时序

6.11.3.4.1 CMPSS_LITE 比较器电气特性

在建议运行条件下 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
TPU	上电时间	带隙未启用			500	μs
比较器输入 (CMPINxx) 范围			0		VDDA	V
以输入为基准的失调电压误差		通过 AIO/AGPIO, 输入共模 = VDDA 的 5% 至 95%	-20		20	mV
迟滞 ⁽¹⁾	1x		1	10	19	mV
	2x		7	20	34	
	3x		14	30	51	
	4x		19	41	70	
	5x		25	52	88	
	6x		31	64	109	
	7x		37	77	131	
响应时间 (从 CMPINx 输入更改到 ePWM X-BAR 输出或 X-BAR 输出的延迟)		阶跃响应		21	40	ns
		斜坡响应 (1.65V/μs)		26		
		斜坡响应 (8.25mV/μs)		30		
PSRR	电源抑制比	高达 250kHz		46		dB
CMRR	共模抑制比		40			dB

(1) 迟滞适用于所有比较器输入源配置。

CMPSS 比较器以输入为基准的偏移量和迟滞

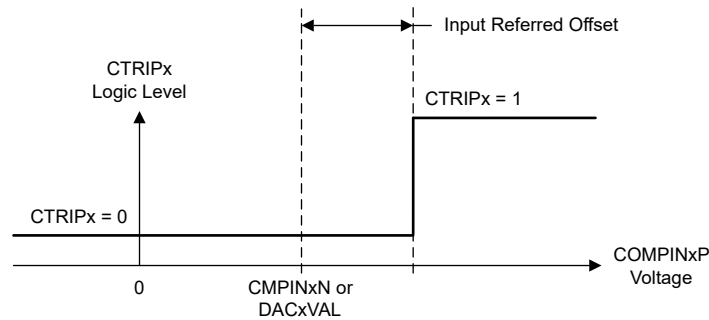


图 6-46. CMPSS 比较器以输入为基准的偏移量

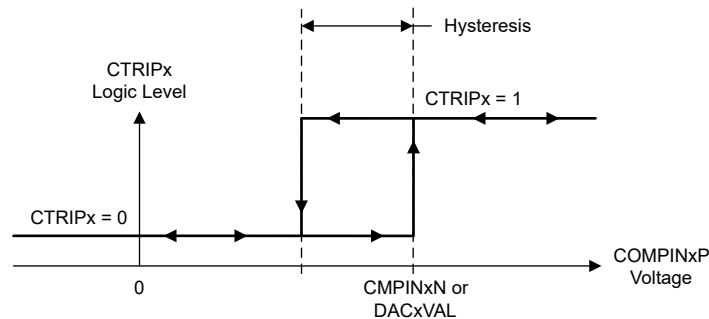


图 6-47. CMPSS 比较器迟滞

6.11.3.4.2 CMPSS_LITE DAC 静态电气特性

在建议运行条件下 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
CMPSS_LITE DAC 输出范围		0		VDDA	V
静态失调电压误差 ⁽¹⁾		-25		25	mV
静态增益误差 ⁽¹⁾		-0.5		0.5	FSR 百分比
静态 DNL	已更正端点	-5		5	LSB (12 位)
静态 INL	已更正端点	-7		7	LSB (12 位)
静态 TUE (总体未调整误差)				35	mV
趋稳时间	满量程输出变化后稳定到 1LSB		1		μs
分辨率 ⁽²⁾			12		位

(1) 包含以比较器输入为基准的误差。

(2) 单调响应时为 9.5 位有效分辨率

6.11.3.4.3 CMPSS 示意图

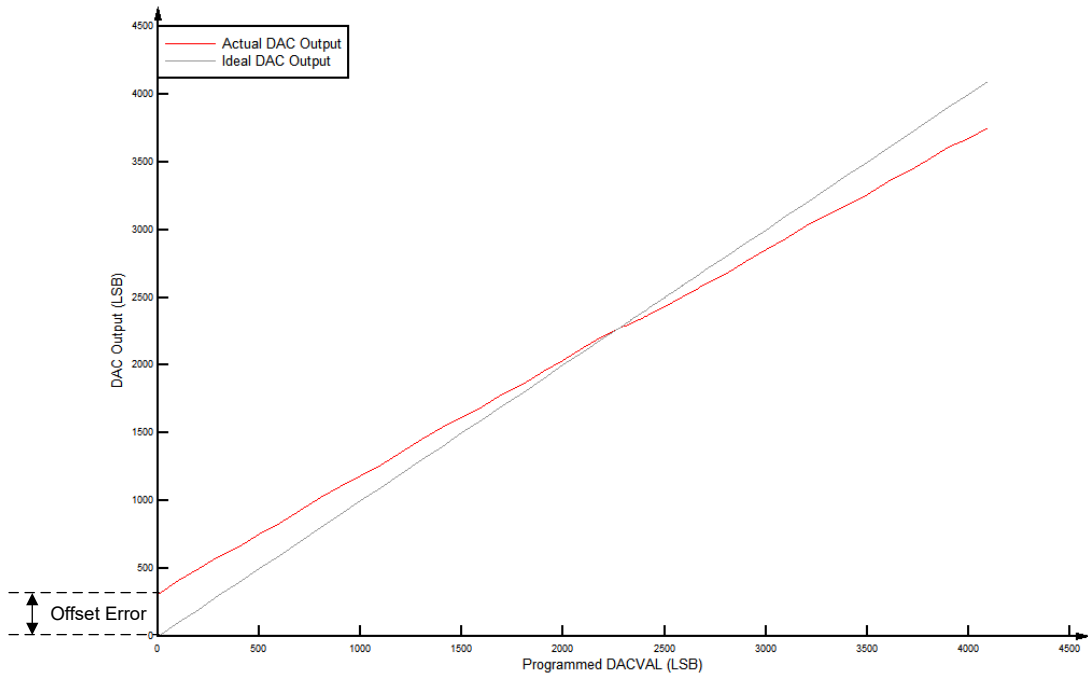


图 6-48. CMPSS DAC 静态偏移量

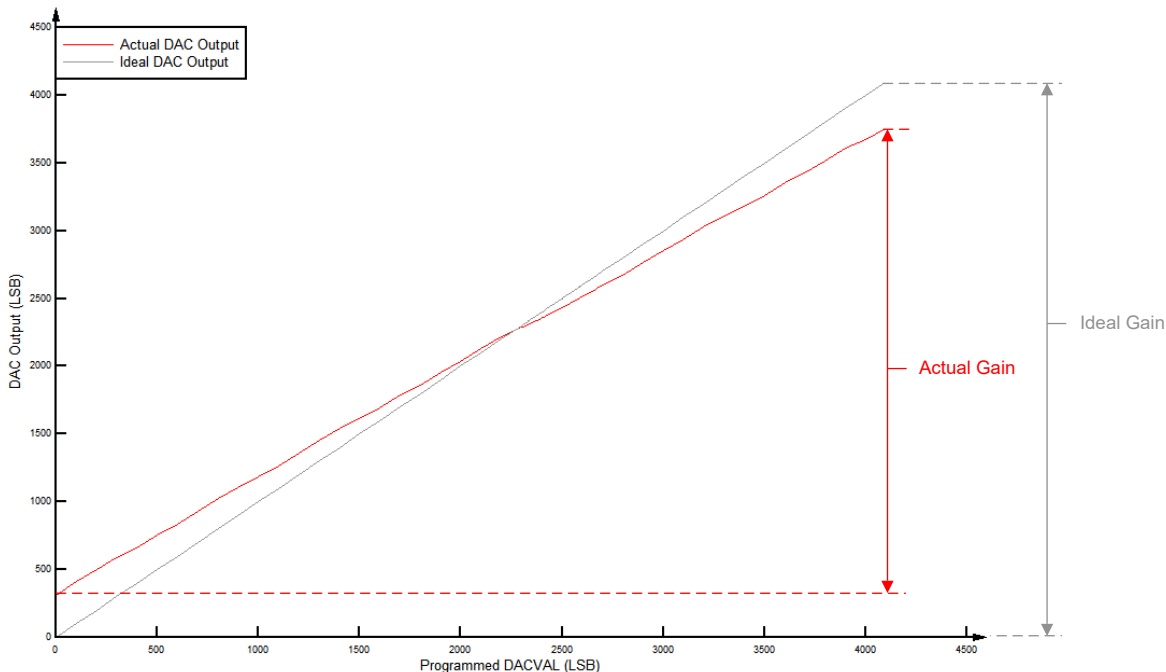


图 6-49. CMPSS DAC 静态增益

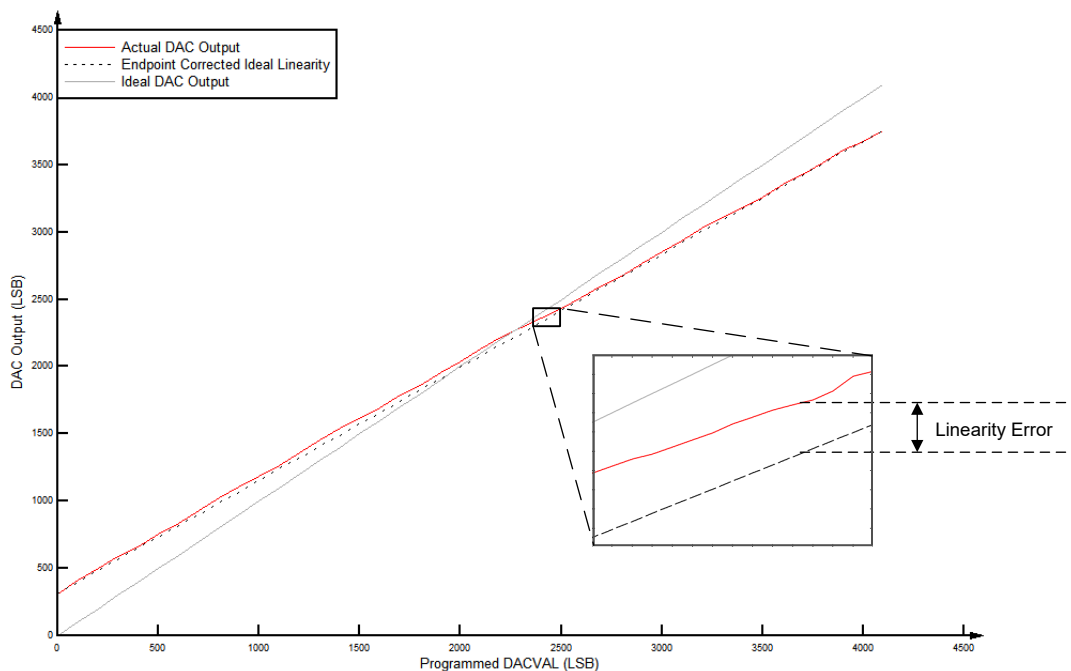


图 6-50. CMPSS DAC 静态线性

6.11.3.4.4 CMPx_LITE_DACL 缓冲输出的运行条件

在建议运行条件下 (除非另有说明) ⁽¹⁾

参数		测试条件	最小值	典型值	最大值	单位
R _L	电阻负载 ⁽²⁾		5			k Ω
C _L	容性负载				100	pF

6.11.3.4.4 CMPx_LITE_DACL 缓冲输出的运行条件 (续)

在建议运行条件下 (除非另有说明) ⁽¹⁾

参数		测试条件	最小值	典型值	最大值	单位
V _{OUT}	有效输出电压范围 ⁽³⁾	R _L = 5kΩ	0.3		VDDA - 0.3	V
		R _L = 1kΩ	0.6		VDDA - 0.6	V
基准电压 ⁽⁴⁾		VREFHI	2.4	2.5 或 3.0	VDDA	V

- (1) 典型值是在 VREFHI = 3.3V 和 VREFLO = 0V 时测得的, 除非另外注明。在 VREFHI = 2.5V 和 VREFLO = 0V 条件下对最小值和最大值进行测试或表征。
 (2) DAC 可以驱动最小 1kΩ 的阻性负载, 但输出范围会受到限制。
 (3) 这是 DAC 的线性输出范围。DAC 可以产生此范围以外的电压, 但由于缓冲器的原因, 输出电压将不呈线性。
 (4) 为了获得卓越 PSRR 性能, VREFHI 应小于 VDDA。

6.11.3.4.5 CMPx_LITE_DACL 缓冲输出的电气特性

在建议运行条件下 (除非另有说明) ⁽¹⁾

参数		测试条件	最小值	典型值	最大值	单位
通用						
分辨率 ⁽⁴⁾				12		位
负载调整率			-1		1	mV/V
毛刺脉冲能量				1.5		V-ns
电压输出稳定时间满量程		在 0.3V 至 3V 切换后稳定到 2LSB			2	μs
电压输出稳定时间第 1/4 满量程		在 0.3V 至 0.75V 切换后稳定到 2LSB			1.6	μs
电压输出压摆率		从 0.3V 到 3V 转换的压摆率	3.9	4.5	5.4	V/μs
负载瞬态的稳定时间		5kΩ 负载			750	ns
直流特性						
偏移	偏移量误差		-100		100	mV
增益	增益误差 ⁽²⁾		-1.5		1.5	FSR 百分比
DNL	微分非线性	已更正端点	-6		6	LSB (12 位)
INL	积分非线性	已更正端点	-7		7	LSB (12 位)
交流特性						
输出噪声		从 100 Hz 到 100 kHz 的积分噪声		80		μVrms
		10 kHz 时的噪声密度		242		nVrms/√Hz
SNR	信噪比	1kHz, 200KSPS		76.6		dB
THD	总谐波失真	1kHz, 200KSPS		-66.6		dB
SFDR	无杂散动态范围	1kHz, 200KSPS		75.3		dB
SINAD	信噪比和失真比	1kHz, 200KSPS		66.4		dB
PSRR	电源抑制比 ⁽³⁾	DC		70		dB
		100kHz		30		dB

- (1) 典型值是在 VREFHI = 3.3V 和 VREFLO = 0V 时测得的, 除非另外注明。在 VREFHI = 2.5V 和 VREFLO = 0V 条件下对最小值和最大值进行测试或表征。
 (2) 增益误差是在线性输出范围内计算得出。
 (3) VREFHI = 3.2V, VDDA = 3.3V DC + 100mV 正弦。
 (4) 9 位有效 (单调响应)。

6.11.4 可编程增益放大器 (PGA)

可编程增益放大器 (PGA) 用于放大输入电压，以提高下游 ADC 和 CMPSS 模块的有效分辨率。

集成的 PGA 有助于使传统上需要外部独立放大器的许多控制应用降低成本和设计工作量。通过片上集成可确保 PGA 与下游 ADC 及 CMPSS 模块兼容。软件可选增益和滤波器设置使 PGA 能够满足各种性能需求。

该 PGA 具有以下特性：

- VDDA 和 VSSA 范围内的轨到轨输入和输出电压
- 可编程增益模式，包括单位增益和 2X - 64X 范围内的其他值
- 独立增益模式使用片外无源器件
- 使用片上电阻器进行后增益滤波
- 差分输入支持
- 硬件辅助斩波可减少失调电压
- 支持使用 PGA_INM 引脚实现开尔文接地
- 正输入引脚上的 3 选 1 多路复用器

PGA 中的有源器件是一个嵌入式运算放大器，通过内部反馈电阻配置为同相或反相放大器。这些内部反馈电阻值经过配对以产生软件可选的电压增益。

器件引脚上有六个 PGA 信号：

- PGA_INP1、PGA_INP2 和 PGA_INP3 经过多路复用后，作为 PGA 运算放大器的正输入端。
- PGA_INM1 和 PGA_INM2 经过多路复用后，作为 PGA 运算放大器的负输入端。
- PGA_OUT 支持使用 RC 元件进行运算放大器输出滤波。经滤波后的信号可由片上 ADC 和 CMPSS 模块进行采样和监控。

PGA_OUT_INT 是运算放大器输出端的内部信号。它可由内部 ADC 和 CMPSS 模块进行采样和监控。图 6-51 展示了 PGA 方框图。

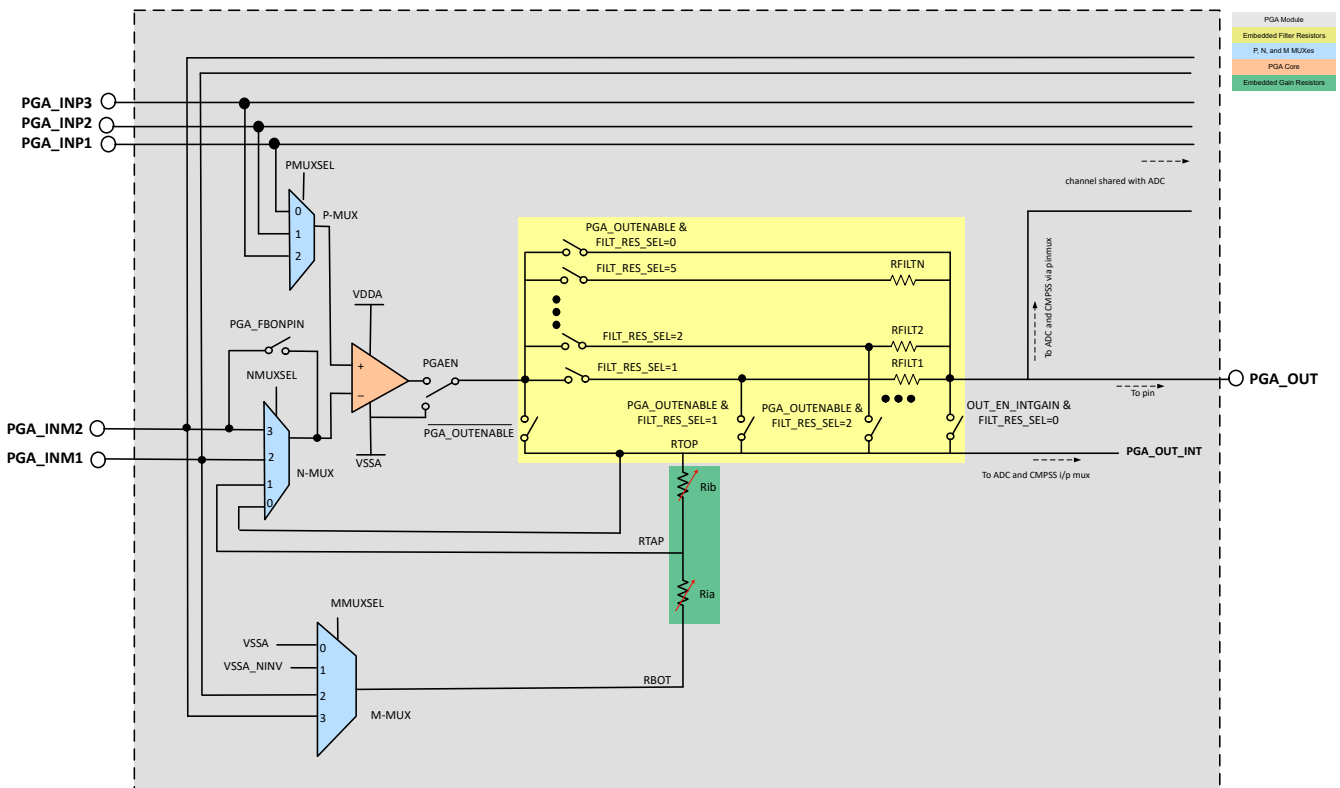


图 6-51. PGA 方框图

6.11.4.1 PGA 电气数据和时序

6.11.4.1.1 PGA 运行条件

在推荐运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
PGA 输出范围 ⁽¹⁾		VSSA+0.025		VDDA - 0.025	V
PGA 输出上的负载电容				40	pF

(1) 这是 PGA 的线性输出范围。PGA 可以输出此范围以外的电压，但电压将不呈线性。

6.11.4.1.2 PGA 特性

在推荐运行条件下测得（除非另有说明）

参数	测试条件	最小值	典型值	最大值	单位
通用					
ADC S+H 稳定在 ± 1 ADC LSB 精度范围内的最短时间（无滤波器；所有增益设置；单个 ADC 驱动） ⁽⁴⁾	增益 = 1	117			ns
	增益 = 2/-1	124			
	增益 = 4/-3	124			
	增益 = 8/-7	149			
	增益 = 16/-15	217			
	增益 = 32/-31	299			
	增益 = 64/-63	393			
增益设置			1		
			2、4、8、16、 32、64		
			-1、-3、-7、-15、 -31、-63		
短路电流 ⁽⁵⁾			41		mA
满量程阶跃响应（无滤波器）稳定在 0.05% 精度范围内 ⁽⁴⁾	G < 64			420	ns
	G = 64/-63			500	ns
稳定时间：增益开关				10	μ s
压摆率	裸心 OPA 模式		12		V/ μ s
压摆率	增益 = 1		12		V/ μ s
	增益 = 2/-1		24		V/ μ s
	增益 = 4/-3		43		V/ μ s
	增益 = 8/-7		58		V/ μ s
	增益 = 16/-15		35		V/ μ s
	增益 = 32/-31		29		V/ μ s
	增益 = 64/-63		26		V/ μ s
R _{ia}	增益 = 1		256		k Ω
	增益 = 2/-1		16		k Ω
	增益 = 4/-3		8		k Ω
	增益 = 8/-7		8		k Ω
	增益 = 16/-15		8		k Ω
	增益 = 32/-31		8		k Ω
	增益 = 64/-63		4		k Ω

F28E120SC, F28E120SB

ZHCSY08B - JULY 2025 - REVISED OCTOBER 2025

6.11.4.1.2 PGA 特性 (续)

在推荐运行条件下测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
R _{ib}	增益 = 1		0		k Ω
	增益 = 2/-1		16		k Ω
	增益 = 4/-3		24		k Ω
	增益 = 8/-7		56		k Ω
	增益 = 16/-15		120		k Ω
	增益 = 32/-31		248		k Ω
	增益 = 64/-63		252		k Ω
滤波电阻目标	R _{FILT} = 800 Ω		800		Ω
	R _{FILT} = 400 Ω		400		Ω
	R _{FILT} = 200 Ω		200		Ω
	R _{FILT} = 100 Ω		100		Ω
	R _{FILT} = 50 Ω		50	62	Ω
增益带宽积 (裸运算放大器模式)	增益=1		7		MHz
闭环 -3dB BW	增益=1		15		MHz
	增益 = 2/-1		14		MHz
	增益 = 4/-3		13.5		MHz
	增益 = 8/-7		12		MHz
	增益 = 16/-15		11		MHz
	增益 = 32/-31		5.5		MHz
	增益 = 64/-63		5.0		MHz
直流特性					
增益误差 ⁽¹⁾	增益 = 1	-0.18		0.18	%
增益误差 ⁽¹⁾	增益 = 2、-1	-0.45		0.45	%
增益误差 ⁽¹⁾	增益 = 4、-3	-0.7		0.7	%
增益误差 ⁽¹⁾	增益 = 8、-7	-0.84		0.84	%
增益误差 ⁽¹⁾	增益 = 16、-15	-0.9		0.9	%
增益误差 ⁽¹⁾	增益 = 32、-31	-1.05		1.05	%
增益误差 ⁽¹⁾	增益 = 64、-63	-1.82		1.82	%
失调电压误差 ⁽²⁾	以输入为基准	-3.0	+/-1.0	3.0	mV
失调温度系数	以输入为基准	-7.0		7.0	μV/C
失调电压误差 - 斩波		-0.8		0.8	mV
失调温度系数 - 斩波			0.3		μV/C
直流代码扩展	G < 64		2.5		12b LSB
	G = 64/-63		4		12b LSB
交流特性					
相位裕度 裸 OPA	C _{load} = 40pF G=1		45		度
AoI (开环电压增益) 裸 OPA	R _L = 7.5k Ω 至 GND 0.3V < V _O < VDDA-0.3V		94		dB
THD + 噪声 (THD + N) 裸 OPA	f _{in} = 1kHz G = 1		82		dB

6.11.4.1.2 PGA 特性 (续)

在推荐运行条件下测得 (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
SNR 10kHz (带 ADC)	增益 = 1		68		dB
	增益 = 2、-1		68		
	增益 = 4、-3		66		
	增益 = 8、-7		62		
	增益 = 16、-15		58		
	增益 = 32、-31		55		
	增益 = 64、-63		51		
THD ⁽³⁾	DC		-78		dB
THD (高达 100kHz) ⁽³⁾	增益 = 1		-58		dB
	增益 = 2、-1		-70		
	增益 = 4、-3		-70		
	增益 = 8、-7		-70		
	增益 = 16、-15		-70		
	增益 = 32、-31		-58		
	增益 = 64、-63		-58		
CMRR	直流: $V_{IN} \leq 1.5V$		-86		dB
	直流: 满量程输入范围		-77		dB
	高达 100kHz		-50		dB
PSRR ⁽³⁾	DC		-75		dB
	高达 10kHz		-60		dB
	高达 100kHz		-40		dB
噪声 PSD ⁽³⁾	1kHz		200		nV/sqrt(Hz)
	10kHz		100		nV/sqrt(Hz)
集成噪声 (以输入为基准) ⁽³⁾	3Hz 至 30MHz		100		μV

- (1) 包含 ADC 增益误差。
- (2) 包含 ADC 失调电压误差。
- (3) PGA 单独的表现。
- (4) 采用滤波器的阶跃响应时间 = $t_S + H + 7.6 \cdot R_{fit} \cdot C_{fit}$
- (5) 假定无滤波器电路

6.11.5 温度传感器

6.11.5.1 温度传感器电气数据和时序

温度传感器可用于测量器件结温。温度传感器通过与 ADC 的内部连接进行采样，并通过 TI 提供的软件转换为温度。在对温度传感器进行采样时，ADC 必须满足 *温度传感器特性* 表中的采集时间要求。

6.11.5.1.1 温度传感器特性

在建议运行条件下 (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
T _{acc}	温度精度	内部基准 (-40°C 至 30°C)	-15	±2	15	°C
		内部基准 (30°C 至 85°C)	-9	±2	7	°C
		内部基准 (85°C 至 125°C)	-5	±2	8	°C
		外部基准 (-40°C 至 30°C)	-8	±2	10	°C
		外部基准 (30°C 至 125°C)	-5	±2	8	°C
t _{startup}	启动时间 (TSNSCTL[ENABLE] 至采 样温度传感器)			500		μs
t _{acq}	ADC 采集时间			450		ns

6.12 控制外设

6.12.1 多通道脉宽调制器 (MCPWM)

MCPWM 外设是控制商业和工业设备中的许多电力电子系统的关键元件。通过从具备独立资源（这些独立资源可以一起运行形成一个系统）的较小模块构建外设，MCPWM 模块能够以最小的 CPU 开销生成复杂的脉冲宽度波形。MCPWM 模块的一些亮点包括复杂波形生成、死区生成、灵活的同步方案、高级跳变区功能和全局寄存器重载功能。

借助 MCPWM 和 eCAP 同步方案，可灵活地划分 MCPWM 和 eCAP 模块，并可在这些模块内进行局部同步。

图 6-52 展示了 MCPWM 模块。

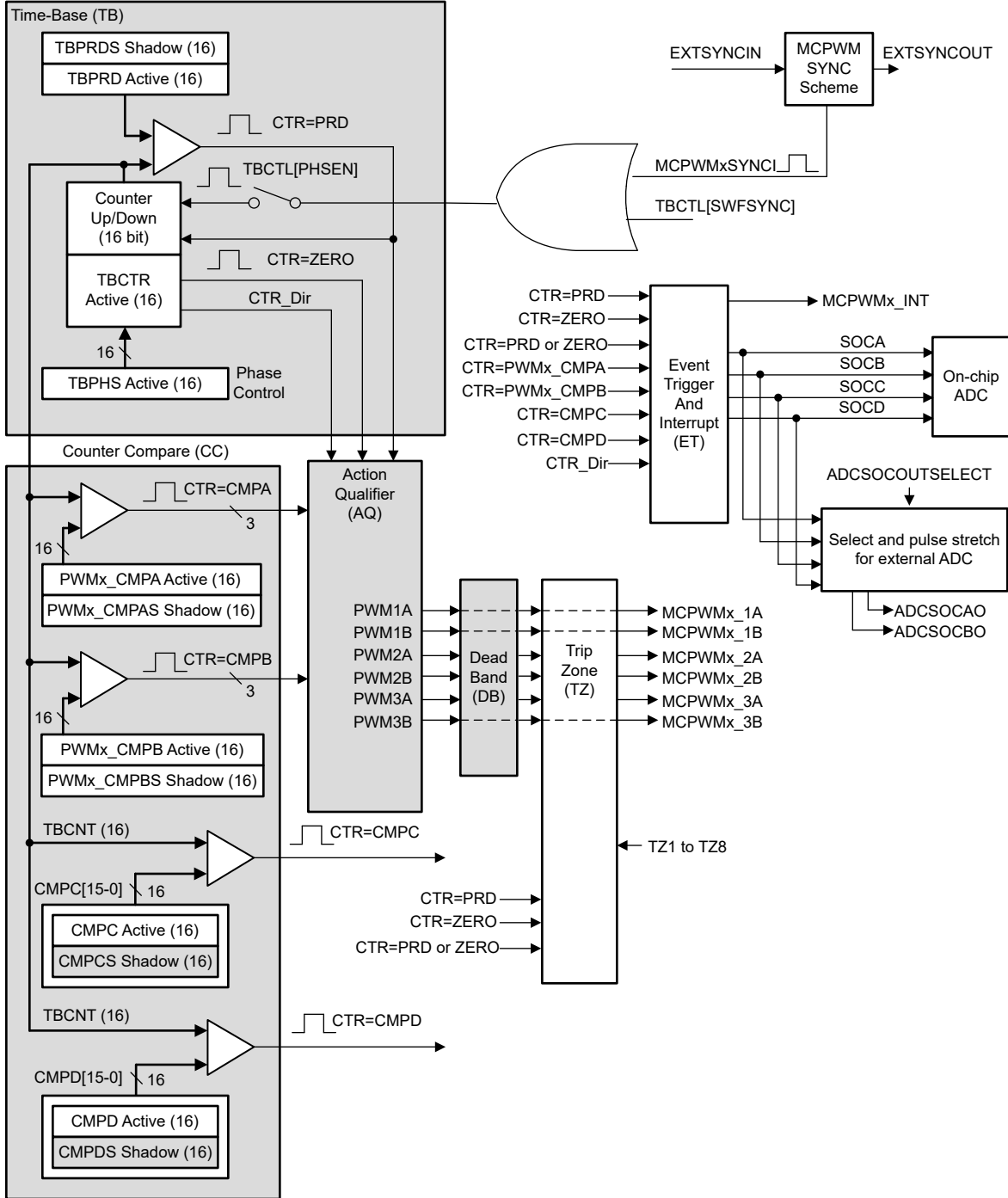


图 6-52. MCPWM 子模块和关键内部信号互连

6.12.1.1 控制外设同步

借助 MCPWM 和 eCAP 同步方案，可灵活地划分 MCPWM 和 eCAP 模块，并可在这些模块内进行局部同步。图 6-53 展示了同步方案。

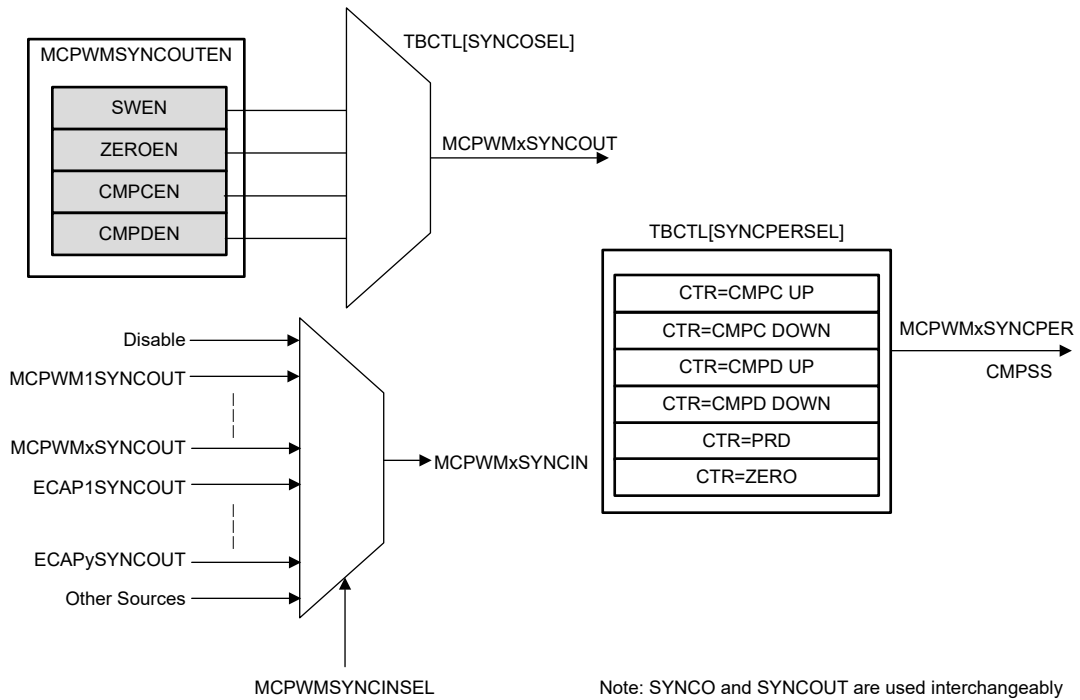


图 6-53. 同步链架构

6.12.1.2 MCPWM 电气数据和时序

有关输入限定符参数的说明, 请参阅通用输入时序要求表。

6.12.1.2.1 MCPWM 时序要求

			最小值	最大值	单位
$t_{w(\text{SYNCIN})}$	同步输入脉冲宽度	异步	$2t_{c(\text{MCPWMCLK})}$		周期
		同步	$2t_{c(\text{MCPWMCLK})}$		
		带输入限定器	$1t_{c(\text{MCPWMCLK})} + t_{w(\text{IQSW})}$		

6.12.1.2.2 MCPWM 开关特性

在建议运行条件下 (除非另有说明)

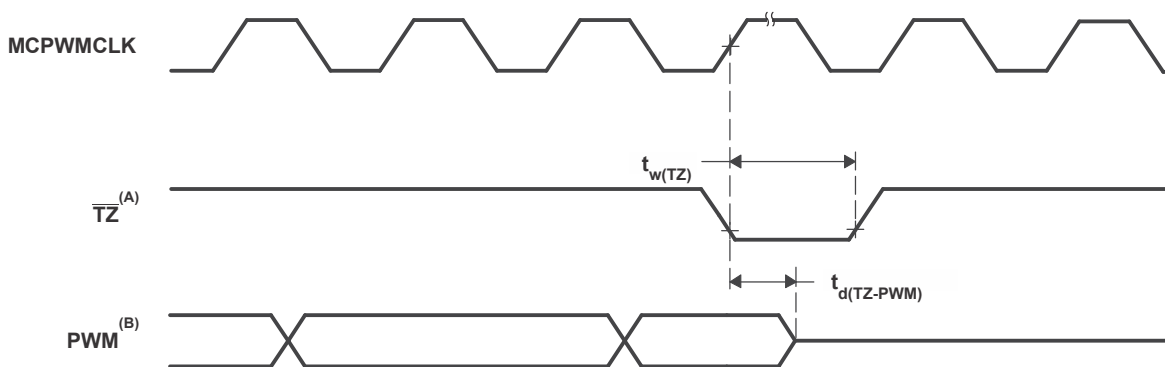
参数 ⁽¹⁾		最小值	最大值	单位
$t_{w(\text{PWM})}$	脉冲持续时间, PWMx 输出高电平/低电平	20		ns
$t_{w(\text{SYNCOUT})}$	同步输出脉冲宽度	$8t_{c(\text{SYSCLK})}$		周期
$t_{d(\text{TZ-PWM})}$	延迟时间, 跳变输入激活到 PWM 强制高电平 延迟时间, 跳变输入激活到 PWM 强制低电平 延迟时间, 跳变输入激活到 PWM 高阻抗		25	ns

(1) 引脚上 20pF 负载。

6.12.1.2.3 跳闸区输入时序

有关输入限定符参数的说明, 请参阅通用输入时序要求表。

6.12.1.2.3.1 PWM 高阻态特征时序图



A. $\overline{\text{TZ}}$: $\overline{\text{TZ1}}$ 、 $\overline{\text{TZ2}}$ 、 $\overline{\text{TZ3}}$ 、TRIP1 至 TRIP12

B. PWM 是指器件内的所有 PWM 引脚。 $\overline{\text{TZ}}$ 置于高电平后 PWM 引脚的状态取决于 PWM 恢复软件。

图 6-54. PWM Hi-Z 特征

6.12.2 外部 ADC 转换启动电气数据和时序

6.12.2.1 外部 ADC 转换启动开关特性

在建议运行条件下 (除非另有说明)

参数	最小值	最大值	单位
$t_{w(ADCSOCL)}$	$32t_{c(SYSCLK)}$		周期

6.12.2.2 ADCSOCAO 或 ADCSOCBO 时序图

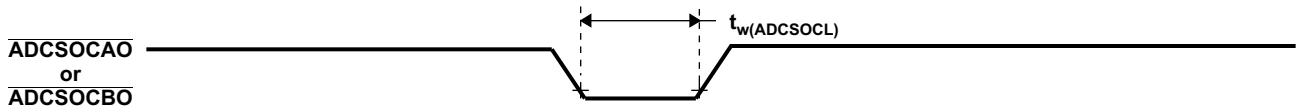


图 6-55. ADCSOCAO 或者 ADCSOCBO 时序

6.12.3 增强型正交编码器脉冲 (eQEP)

该器件上的 eQEP 模块为 2 类。eQEP 直接与线性或旋转增量编码器相连，以便从高性能运动和位置控制系统中使用的旋转机器中获得位置、方向和速度信息。

该 eQEP 外设包含以下主要功能单元 (请参阅图 6-56)：

- 针对每个引脚的可编程输入鉴定 (GPIO 多路复用器的一部分)
- 正交解码器单元 (QDU)
- 用于位置测量的位置计数器和控制单元 (PCCU)
- 用于低速测量的正交边沿捕捉单元 (QCAP)
- 用于速度/频率测量的单位时基 (UTIME)
- 用于检测失速的看门狗计时器 (QWDOG)
- 正交模式适配器 (QMA)

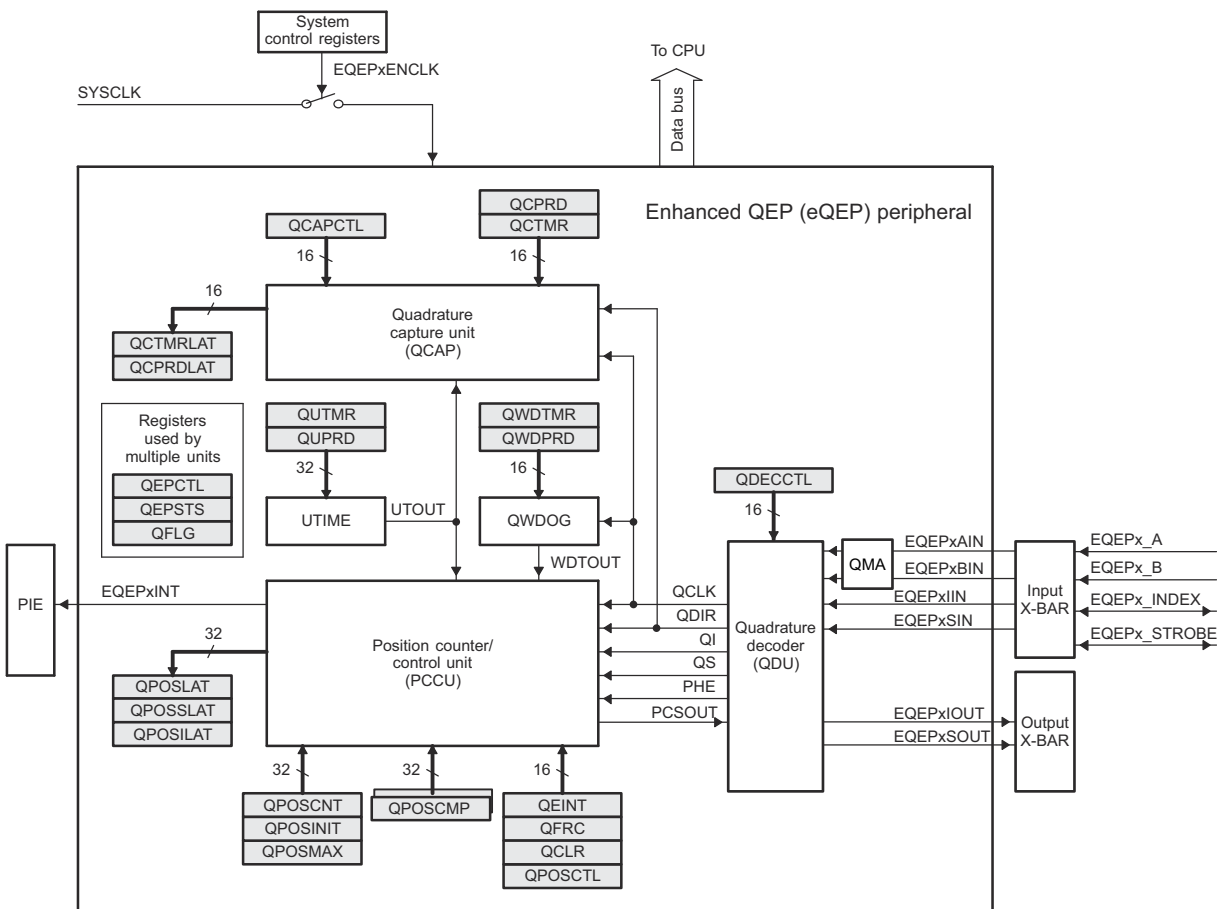


图 6-56. eQEP 方框图

6.12.3.1 eQEP 电气数据和时序

有关输入限定符参数的说明，请参阅通用输入时序要求表。

6.12.3.1.1 eQEP 时序要求

			最小值	最大值	单位
$t_{w(QEPP)}$	QEP 输入周期	同步 ⁽¹⁾	$2t_{c(SYSCLK)}$		周期
		与输入限定符同步	$2[1t_{c(SYSCLK)} + t_{w(IQSW)}]$		
$t_{w(INDEXH)}$	QEP 索引输入高电平时间	同步 ⁽¹⁾	$2t_{c(SYSCLK)}$		周期
		与输入限定符同步	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		
$t_{w(INDEXL)}$	QEP 索引输入低电平时间	同步 ⁽¹⁾	$2t_{c(SYSCLK)}$		周期
		与输入限定符同步	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		
$t_{w(STROBH)}$	QEP 选通高电平时间	同步 ⁽¹⁾	$2t_{c(SYSCLK)}$		周期
		与输入限定符同步	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		
$t_{w(STROBL)}$	QEP 选通输入低电平时间	同步 ⁽¹⁾	$2t_{c(SYSCLK)}$		周期
		与输入限定符同步	$2t_{c(SYSCLK)} + t_{w(IQSW)}$		

(1) GPIO GPxQSELn 异步模式不得用于 eQEP 模块输入引脚。

6.12.3.1.2 eQEP 开关特性

在建议运行条件下 (除非另有说明)

参数		最小值	最大值	单位
$t_{d(CNTR)xin}$	延迟时间, 外部时钟到计数器增量		$5t_{c(SYSCLK)}$	周期
$t_{d(PCS-OUT)QEP}$	延迟时间, QEP 输入边沿到位置比较同步输出		$7t_{c(SYSCLK)}$	周期

6.12.4 增强型捕获 (eCAP)

eCAP 模块的特性包括：

- 测量旋转机械的速度 (例如, 通过霍尔传感器感应齿状链轮)
- 位置传感器脉冲之间的持续时间测量
- 脉冲序列信号的周期和占空比测量
- 解码来自占空比编码电流/电压传感器的电流或电压振幅

本节介绍的 eCAP 模块特性包括：

- 4 事件时间戳寄存器 (每个 32 位)
- 边缘极性选择, 最多选择四个序列时间戳捕获事件
- 对 4 个事件中的任何一个事件进行中断
- 单次采集多达 4 个事件时间戳
- 在深度为 4 的循环缓冲器中以连续模式采集时间戳
- 绝对时间戳采集
- 差分 (Δ) 模式时间戳采集
- 当未用于采集模式时, eCAP 模块可配置为单通道 PWM 输出

1 类 eCAP 的捕捉功能通过 0 类 eCAP 得到增强, 增加了以下特性：

- 事件过滤器复位位
 - 向 ECCTL2[CTRFILTRESET] 写入 1 会清零事件过滤器、模数计数器和任何挂起的中断标志。复位该位对于初始化和调试很有用。
- 模数计数器状态位。

- 模数计数器 (ECCTL2 [MODCNRSTS]) 指示接下来加载哪个捕捉寄存器。在 0 类 eCAP 中，无法了解模数计数器的当前状态。
- DMA 触发源
 - eCAPxDMA 被添加为一个 DMA 触发器。CEVT[1-4] 可以配置为 eCAPxDMA 的源。
- 输入多路复用器
 - ECCTL0 [INPUTSEL] 选择 128 个输入信号之一，详情请参阅 [F28E12x 实时微控制器技术参考手册](#) 中“增强型捕捉 (eCAP)”一章的 [配置 eCAP 器件引脚](#) 部分。
- EALLOW 保护
 - EALLOW 保护已添加到关键寄存器。为了维持与 0 类的软件兼容性，请配置 DEV_CFG_REGS.ECAPTYPE 以使这些寄存器不受保护。

2 类 eCAP 的捕捉功能通过 1 类 eCAP 得到增强，增加了以下特性：

- 添加了 ECAPxSYNCINSEL 寄存器
 - 为每个 eCAP 添加了 ECAPxSYNCINSEL 寄存器以选择外部 SYNCIN。每个 eCAP 可以有一个单独的 SYNCIN 信号。

6.12.4.1 eCAP 方框图

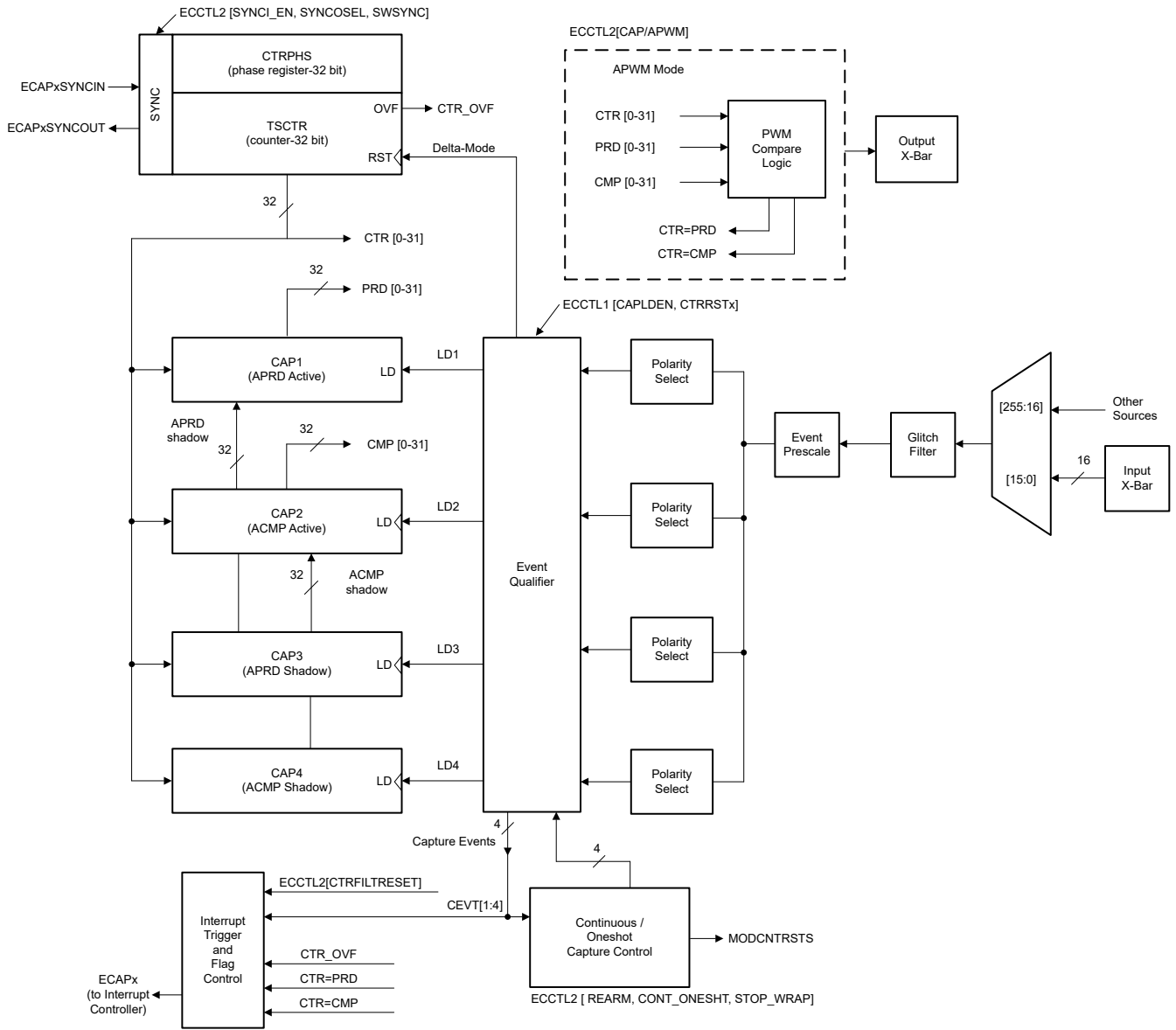


图 6-57. eCAP 方框图

6.12.4.2 eCAP 同步

通过选择一个公共的 SYNCIN 源，eCAP 模块可以互相同步。eCAP 的 SYNCIN 源可以是软件同步输入或外部同步输入。外部同步输入信号可来自 MCPWM、eCAP 或 X-Bar。如图 6-58 所示，SYNC 信号由 ECAPx 的 ECAPxSYNCINSEL[SEL] 位中的选择定义。

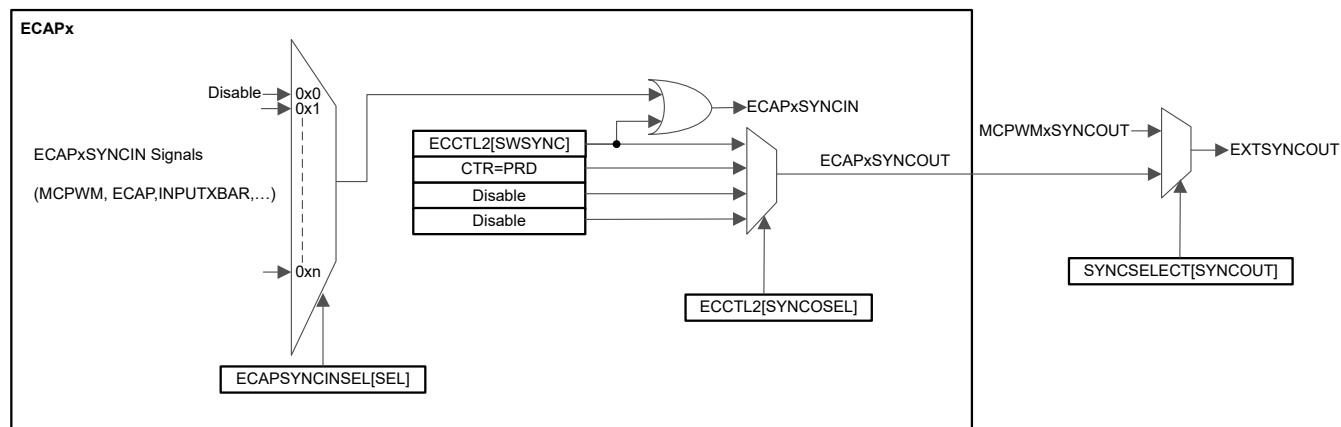


图 6-58. eCAP 同步方案

6.12.4.3 eCAP 电气数据和时序

有关输入限定符参数的说明，请参阅通用输入时序要求表。

6.12.4.3.1 eCAP 开关特性

在建议运行条件下（除非另有说明）

参数		最小值	典型值	最大值	单位
$t_w(\text{APWM})$	脉冲持续时间，APWMx 输出高电平/低电平	20			ns

6.13 通信外设

6.13.1 内部集成电路 (I2C)

I2C 模块具有以下特性：

- 符合 NXP Semiconductor I²C 总线规范 (版本 2.1) :
 - 支持 8 位格式传输
 - 7 位和 10 位寻址模式
 - 常规调用
 - START 字节模式
 - 支持多个控制器-发送器和目标-接收器
 - 支持多个目标-发送器和控制器-接收器
 - 组合控制器发送/接收和接收/发送模式
 - 数据传输速率从 10kbps 到高达 400Kbps (快速模式)
- 支持与以下兼容的电压阈值：
 - SMBus 3.0 及更低版本
 - PMBus 1.3 及更低版本
- 一个 16 字节接收 FIFO 和一个 16 字节发送 FIFO
- 支持两个中断
 - I2Cx 中断 - 可以配置以下任何条件来生成 I2Cx 中断：
 - 发送就绪
 - 接收就绪
 - 寄存器访问就绪
 - 无确认
 - 仲裁丢失
 - 检测到停止条件
 - 被寻址为目标
 - I2Cx_FIFO 中断：
 - 发送 FIFO 中断
 - 接收 FIFO 中断
- 模块启用和禁用能力
- 自由数据格式模式

图 6-59 显示了 I2C 外设模块如何在器件内连接。

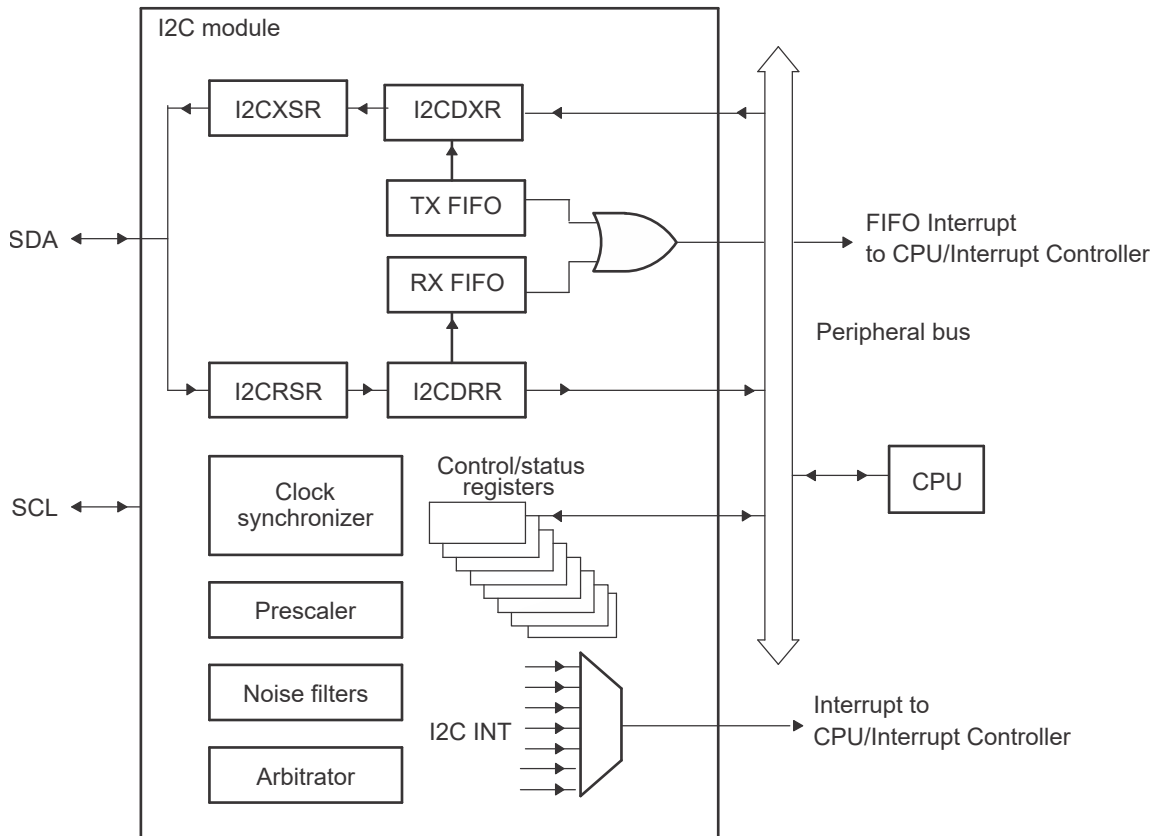


图 6-59. I2C 外设模块接口

6.13.1.1 I2C 电气数据和时序

备注

为了满足所有的 I2C 协议时序规范，I2C 模块时钟必须配置为 7MHz 至 12MHz 范围内的值。

必须选择符合 I2C 标准时序的上拉电阻。在大多数情况下，2.2kΩ 的总线至 VDDIO 总线电阻是足够的。要评估特定设计的上拉电阻器阻值，请参阅 [I2C 总线上拉电阻器计算](#) 应用手册。

6.13.1.1.1 I2C 时序要求

编号			最小值	最大值	单位
标准模式					
T0	f _{mod}	I2C 模块频率	7	12	MHz
T1	t _h (SDA-SCL)START	保持时间，启动条件，SDA 下降后 SCL 下降延迟	4.0		μs
T2	t _{su} (SCL-SDA)START	设置时间，重复启动，SDA 下降延迟之前 SCL 上升	4.0		μs
T3	t _h (SCL-DAT)	保持时间，SCL 下降后的数据	0		μs
T4	t _{su} (DAT-SCL)	设置时间，SCL 上升前的数据	250		ns
T5	t _r (SDA)	上升时间，SDA		1000	ns
T6	t _r (SCL)	上升时间，SCL		1000	ns
T7	t _f (SDA)	下降时间，SDA		300	ns
T8	t _f (SCL)	下降时间，SCL		300	ns
T9	t _{su} (SCL-SDA)STOP	设置时间，停止条件，SDA 上升延迟之前 SCL 上升	4.0		μs
T10	t _w (SP)	将由滤波器抑制的尖峰脉冲持续时间	0	50	ns
T11	C _b	每条总线上的电容负载		400	pF
快速模式					
T0	f _{mod}	I2C 模块频率	7	12	MHz
T1	t _h (SDA-SCL)START	保持时间，启动条件，SDA 下降后 SCL 下降延迟	0.6		μs
T2	t _{su} (SCL-SDA)START	设置时间，重复启动，SDA 下降延迟之前 SCL 上升	0.6		μs
T3	t _h (SCL-DAT)	保持时间，SCL 下降后的数据	0		μs
T4	t _{su} (DAT-SCL)	设置时间，SCL 上升前的数据	100		ns
T5	t _r (SDA)	上升时间，SDA	20	300	ns
T6	t _r (SCL)	上升时间，SCL	20	300	ns
T7	t _f (SDA)	下降时间，SDA	11.4	300	ns
T8	t _f (SCL)	下降时间，SCL	11.4	300	ns
T9	t _{su} (SCL-SDA)STOP	设置时间，停止条件，SDA 上升延迟之前 SCL 上升	0.6		μs
T10	t _w (SP)	将由滤波器抑制的尖峰脉冲持续时间	0	50	ns
T11	C _b	每条总线上的电容负载		400	pF

6.13.1.1.2 I2C 开关特性

在建议运行条件下测得 (除非另有说明)

编号	参数		测试条件	最小值	最大值	单位
标准模式						
S1	f_{SCL}	SCL 时钟频率		0	100	kHz
S2	T_{SCL}	SCL 时钟周期		10		μs
S3	$t_{w(SCLL)}$	脉冲持续时间, SCL 时钟低电平		4.7		μs
S4	$t_{w(SCLH)}$	脉冲持续时间, SCL 时钟高电平		4.0		μs
S5	t_{BUF}	停止和启动条件之间的总线空闲时间		4.7		μs
S6	$t_{v(SCL-DAT)}$	有效时间, SCL 下降后的数据			3.45	μs
S7	$t_{v(SCL-ACK)}$	有效时间, SCL 下降后的确认			3.45	μs
	V_{IL}	有效低电平输入电压		-0.3	$0.3 * V_{DDIO}$	V
	V_{IH}	有效高电平输入电压		$0.7 * V_{DDIO}$	$V_{DDIO} + 0.3$	V
	V_{OL}	低电平输出电压	灌电流 3mA	0	0.4	V
S8	I_I	引脚上的输入电流	$0.1 V_{bus} < V_i < 0.9 V_{bus}$	-10	10	μA
快速模式						
S1	f_{SCL}	SCL 时钟频率		0	400	kHz
S2	T_{SCL}	SCL 时钟周期		2.5		μs
S3	$t_{w(SCLL)}$	脉冲持续时间, SCL 时钟低电平		1.3		μs
S4	$t_{w(SCLH)}$	脉冲持续时间, SCL 时钟高电平		0.6		μs
S5	t_{BUF}	停止和启动条件之间的总线空闲时间		1.3		μs
S6	$t_{v(SCL-DAT)}$	有效时间, SCL 下降后的数据			0.9	μs
S7	$t_{v(SCL-ACK)}$	有效时间, SCL 下降后的确认			0.9	μs
	V_{IL}	有效低电平输入电压		-0.3	$0.3 * V_{DDIO}$	V
	V_{IH}	有效高电平输入电压		$0.7 * V_{DDIO}$	$V_{DDIO} + 0.3$	V
	V_{OL}	低电平输出电压	灌电流 3mA	0	0.4	V
S8	I_I	引脚上的输入电流	$0.1 V_{bus} < V_i < 0.9 V_{bus}$	-10	10	μA

6.13.1.1.3 I2C 时序图

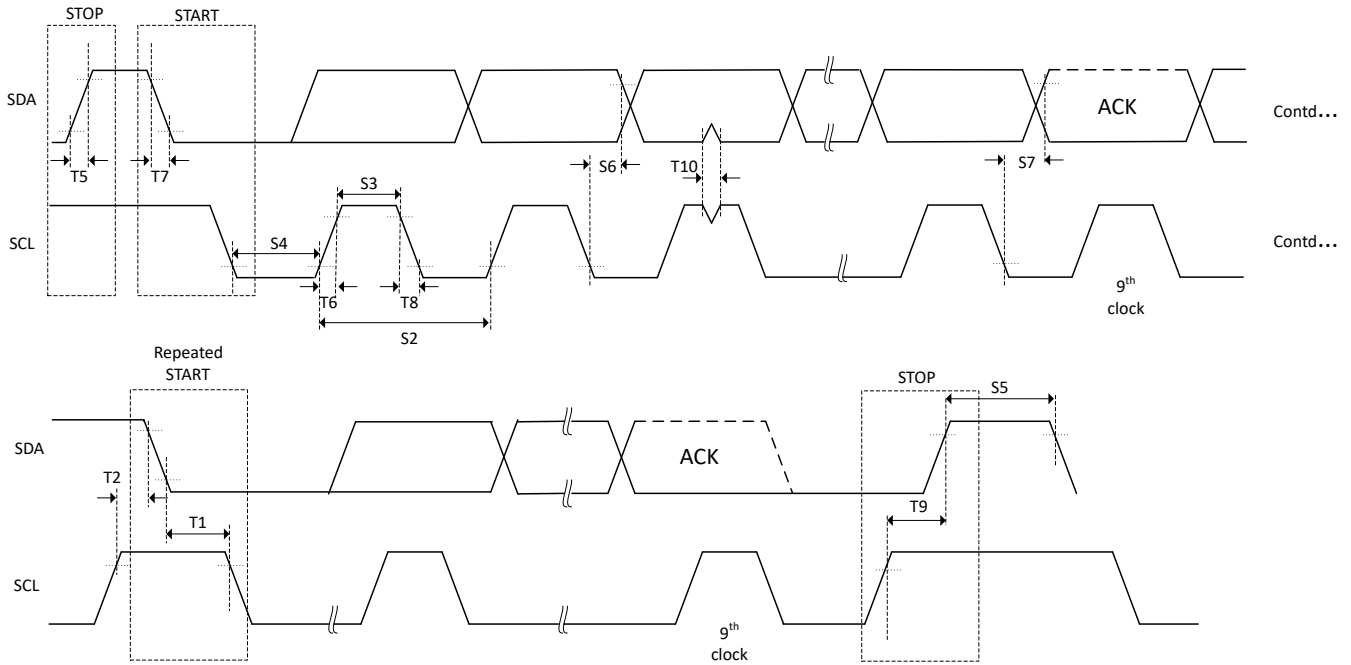


图 6-60. I2C 时序图

6.13.2 通用异步接收器/发送器 (UART)

此器件中的通用异步接收器/发送器 (UART) 模块包含以下特性：

- 可编程的波特率发生器，在常规模式 (16 分频) 下最高可达 10Mbps，在高速模式 (8 分频) 下最高可达 20Mbps
- 独立的 16 级深度和 8 位宽发送 (TX) FIFO 和接收 (RX) FIFO 可减少 CPU 中断服务负载
- FIFO 长度可编程，包括提供传统双缓冲接口的 1 字节深的操作 (非 FIFO 模式)
- FIFO 触发级别为 1/16、1/8、3/16、1/2、5/16、3/8、7/16、1/2、9/16、5/8、11/16、3/4、13/16、7/8 和 15/16
- 标准的异步通讯位：起始位、停止位、奇偶校验位
- 线中止的产生与检测；
- 完全可编程的串行接口特性
 - 可包含 5、6、7 或 8 个数据位
 - 偶校验、奇校验、固定校验或无奇偶校验位生成与检测
 - 可产生 1 或 2 个停止位
- IrDA 串行 IR (SIR) 编码器和解码器提供：
 - 可编程使用 IrDA SIR 或 UART 输入/输出
 - 支持 IrDA SIR 编码器和解码器功能，半双工时数据传输率最高 115.2Kbps
 - 支持正常 3/16 和低功耗 (1.41 μ s 至 2.23 μ s) 位持续时间
 - 可编程的内部时钟发生器，能够对参考时钟进行 1 至 256 分频，以实现低功耗模式位持续时间
- 支持 EIA-485 (9 位)
- 提供标准的基于 FIFO 深度的中断以及发送结束 (EOT) 中断
- 使用直接存储器存取 (DMA) 控制器进行高效传输
 - 相互独立的发送通道和接收通道
 - 接收 FIFO 达到预设触发深度时产生的突发请求
 - 发送 FIFO 达到预设触发深度时产生的突发请求

图 6-61 显示了 UART 模块方框图。

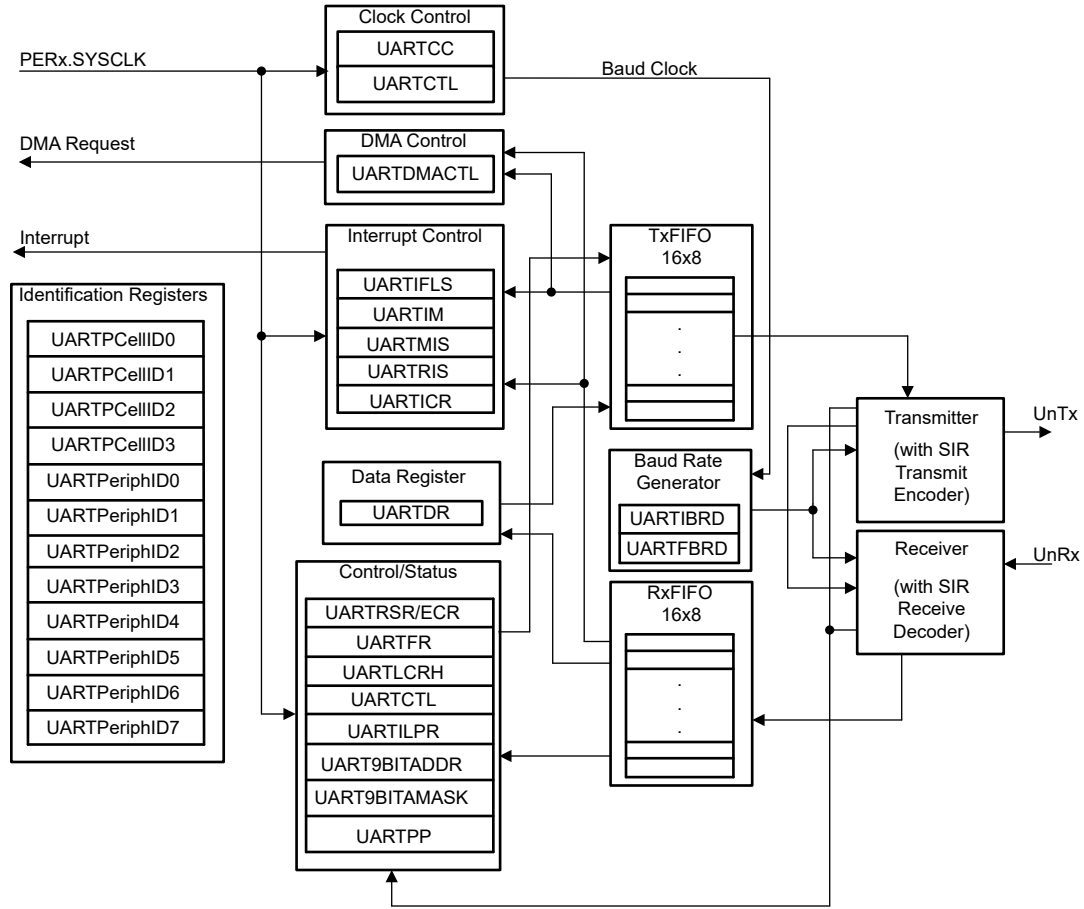


图 6-61. UART 模块方框图

6.13.3 串行外设接口 (SPI)

串行外设接口 (SPI) 是一种高速同步串行输入和输出 (I/O) 端口，其允许以编程的位传输速率将编程长度 (1 至 16 位) 的串行位流移入和移出器件。SPI 通常用于 MCU 控制器与外部外设或另一控制器之间的通信。典型应用包括外部 I/O 或者通过诸如移位寄存器、显示驱动器和模数转换器 (ADC) 等器件进行外设扩展。SPI 的控制器或外设运行时支持多器件通信。该端口支持 16 级接收和发送 FIFO，以减少 CPU 服务开销。

SPI 模块的功能包括：

- SPIPOCI：SPI 外设输出/控制器输入引脚
- SPIPICO：SPI 外设输入/控制器输出引脚
- $\overline{\text{SPIPT\bar{E}}}$ ：SPI 外设发送使能引脚
- SPICLK：SPI 串行时钟引脚
- 两种工作模式：控制器和外设
- 波特率：125 个不同的可编程速率。可采用的最大波特率受限于 SPI 引脚上使用的 I/O 缓冲器的最大速度。
- 数据字长度：1 至 16 数据位
- 四种时钟方案 (由时钟极性和时钟相位的位控制) 包含：
 - 无相位延迟的下降沿：SPICLK 高电平有效。SPI 在 SPICLK 信号的下降沿上发送数据，在 SPICLK 信号的上升沿上接收数据。
 - 有相位延迟的下降沿：SPICLK 高电平有效。SPI 在 SPICLK 信号下降沿提前半个周期发送数据，在 SPICLK 信号的下降沿上接收数据。
 - 无相位延迟的上升沿：SPICLK 低电平无效。SPI 在 SPICLK 信号的上升沿上发送数据，在 SPICLK 信号的下降沿上接收数据。
 - 有相位延迟的上升沿：SPICLK 低电平无效。SPI 在 SPICLK 信号上升沿的半个周期之前发送数据，而在 SPICLK 信号的上升沿上接收数据。
- 同时接收和发送操作 (可在软件中禁用发送功能)
- 发送器和接收器操作通过中断驱动或轮询算法完成
- 16 级发送/接收 FIFO
- DMA 支持
- 高速模式
- 延迟的发送控制
- 3 线 SPI 模式
- 在带有两个 SPI 模块的器件上实现数字音频接口接收模式的 $\overline{\text{SPIPT\bar{E}}}$ 反转

图 6-62 所示为 SPI CPU 接口。

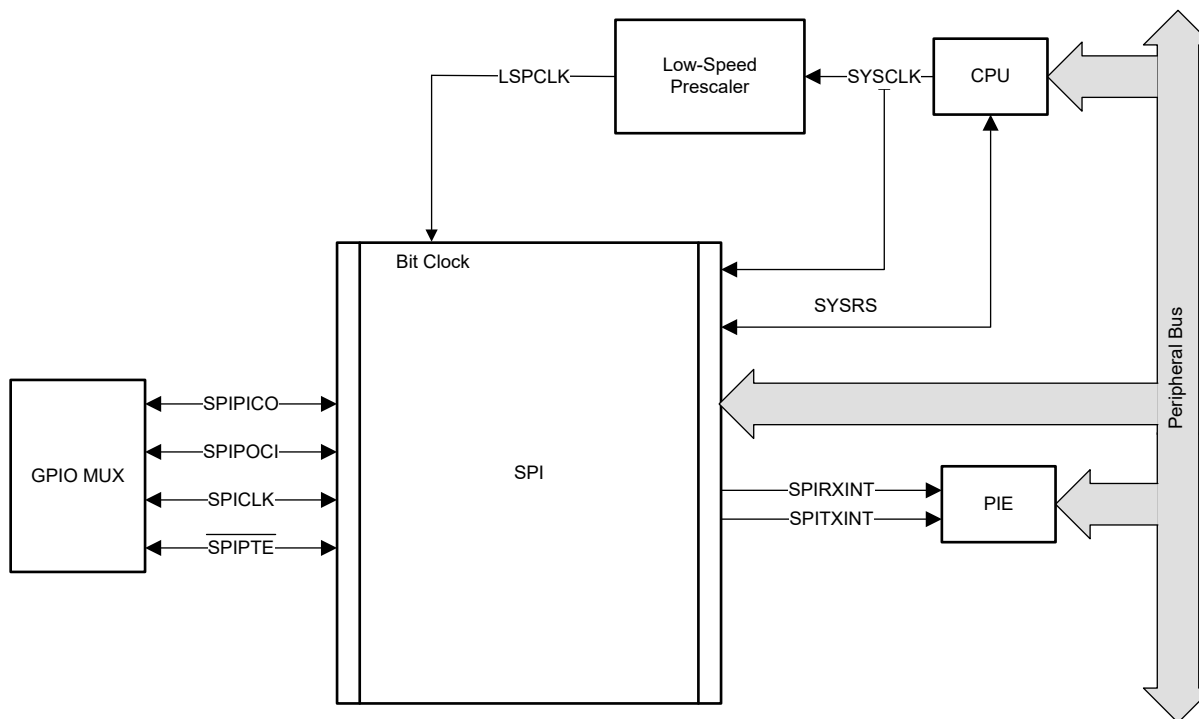


图 6-62. SPI CPU 接口

6.13.3.1 SPI 控制器模式时序

以下各节介绍了 SPI 控制器模式时序。

备注

SPI 高速模式的所有时序参数都假设 SPICLK、SPIPICO 和 SPIPOCI 上的负载电容为 5pF。在 HS_MODE 下，最大支持 50MHz 的时钟。

6.13.3.1.1 SPI 控制器模式时序要求

编号		(BRR + 1) ⁽¹⁾	最小值	最大值	单位
高速模式					
8	$t_{su(POCI)M}$	SPICLK 之前 SPIPOCI 有效的设置时间	偶数, 奇数	1	ns
9	$t_{h(POCI)M}$	SPICLK 之后 SPIPOCI 有效的保持时间	偶数, 奇数	6.5	ns
正常模式					
8	$t_{su(POCI)M}$	SPICLK 之前 SPIPOCI 有效的设置时间	偶数, 奇数	15	ns
9	$t_{h(POCI)M}$	SPICLK 之后 SPIPOCI 有效的保持时间	偶数, 奇数	0	ns

(1) 当 (SPIBRR + 1) 为偶数或 SPIBRR 为 0 或 2 时, (BRR + 1) 条件为偶数。当 (SPIBRR + 1) 为奇数且 SPIBRR 大于 3 时, (BRR + 1) 条件为奇数。

6.13.3.1.2 SPI 控制器模式开关特性 - 时钟相位为 0

在建议运行条件下 (除非另有说明)

编号	参数 ^{(1) (2)}		(BRR + 1) ⁽³⁾	最小值	最大值	单位
通用						
1	$t_{c(SPC)M}$	周期时间, SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
			奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPC1)M}$	脉冲持续时间, SPICLK, 第一个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 1$	
3	$t_{w(SPC2)M}$	脉冲持续时间, SPICLK, 第二个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 1$	
23	$t_{d(SPC)M}$	延迟时间, \overline{SPISTE} 有效至 SPICLK 的时间	偶数	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} - 3$	$1.5t_{c(SPC)M} - 3t_{c(SYSCLK)} + 3$	ns
			奇数	$1.5t_{c(SPC)M} - 4t_{c(SYSCLK)} - 3$	$1.5t_{c(SPC)M} - 4t_{c(SYSCLK)} + 3$	
24	$t_{v(STE)M}$	有效时间, SPICLK 至 \overline{SPISTE} 无效的时间	偶数	$0.5t_{c(SPC)M} - 3$	$0.5t_{c(SPC)M} + 3$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 3$	
高速模式						
4	$t_{d(PICO)M}$	延时时间, SPICLK 至 SPIPICO 有效的 时间	偶数, 奇数		1	ns
5	$t_{v(PICO)M}$	有效时间, SPICLK 之后 SPIPICO 有效 的时间	偶数	$0.5t_{c(SPC)M} - 3$	ns	
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$		
正常模式						
4	$t_{d(PICO)M}$	延时时间, SPICLK 至 SPIPICO 有效的 时间	偶数, 奇数		2	ns
5	$t_{v(PICO)M}$	有效时间, SPICLK 之后 SPIPICO 有效 的时间	偶数	$0.5t_{c(SPC)M} - 3$	ns	
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$		

(1) 高速模式下引脚上的负载为 10pF。

(2) 正常模式下引脚上的负载为 20pF。

(3) 当 (SPIBRR + 1) 为偶数或 SPIBRR 为 0 或 2 时, (BRR + 1) 条件为偶数。当 (SPIBRR + 1) 为奇数且 SPIBRR 大于 3 时, (BRR + 1) 条件为奇数。

6.13.3.1.3 SPI 控制器模式开关特性 - 时钟相位为 1

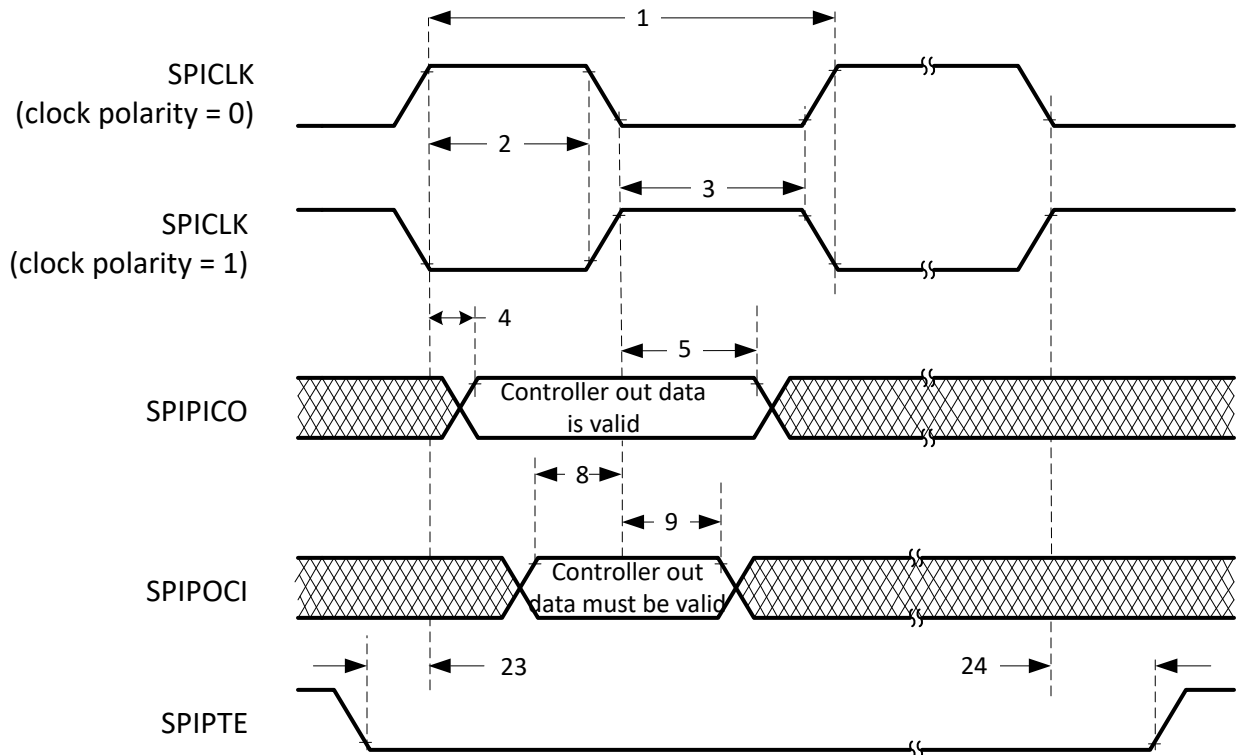
在建议运行条件下 (除非另有说明)

编号	参数 ^{(1) (2)}		(BRR + 1)	最小值	最大值	单位
通用						
1	$t_{c(SPC)M}$	周期时间, SPICLK	偶数	$4t_{c(LSPCLK)}$	$128t_{c(LSPCLK)}$	ns
			奇数	$5t_{c(LSPCLK)}$	$127t_{c(LSPCLK)}$	
2	$t_{w(SPCH)M}$	脉冲持续时间, SPICLK, 第一个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} + 1$	
3	$t_{w(SPC2)M}$	脉冲持续时间, SPICLK, 第二个脉冲	偶数	$0.5t_{c(SPC)M} - 1$	$0.5t_{c(SPC)M} + 1$	ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 1$	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} + 1$	
23	$t_{d(SPC)M}$	延迟时间, \overline{SPISTE} 有效至 SPICLK 的时间	偶数, 奇数	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} - 3$	$2t_{c(SPC)M} - 3t_{c(SYSCLK)} + 3$	ns
24	$t_{d(STE)M}$	延迟时间, SPICLK 至 \overline{SPISTE} 无效的时间	偶数	-3	3	ns
			奇数	-3	3	
高速模式						
4	$t_{d(PICO)M}$	延时时间, SPIPICO 有效至 SPICLK 的时间	偶数	$0.5t_{c(SPC)M} - 2$		ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 2$		
5	$t_{v(PICO)M}$	有效时间, SPICLK 之后 SPIPICO 有效的的时间	偶数	$0.5t_{c(SPC)M} - 3$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$		
正常模式						
4	$t_{d(PICO)M}$	延时时间, SPIPICO 有效至 SPICLK 的时间	偶数	$0.5t_{c(SPC)M} - 2$		ns
			奇数	$0.5t_{c(SPC)M} + 0.5t_{c(LSPCLK)} - 2$		
5	$t_{v(PICO)M}$	有效时间, SPICLK 之后 SPIPICO 有效的的时间	偶数	$0.5t_{c(SPC)M} - 3$		ns
			奇数	$0.5t_{c(SPC)M} - 0.5t_{c(LSPCLK)} - 3$		

(1) 高速模式下引脚上的负载为 10pF。

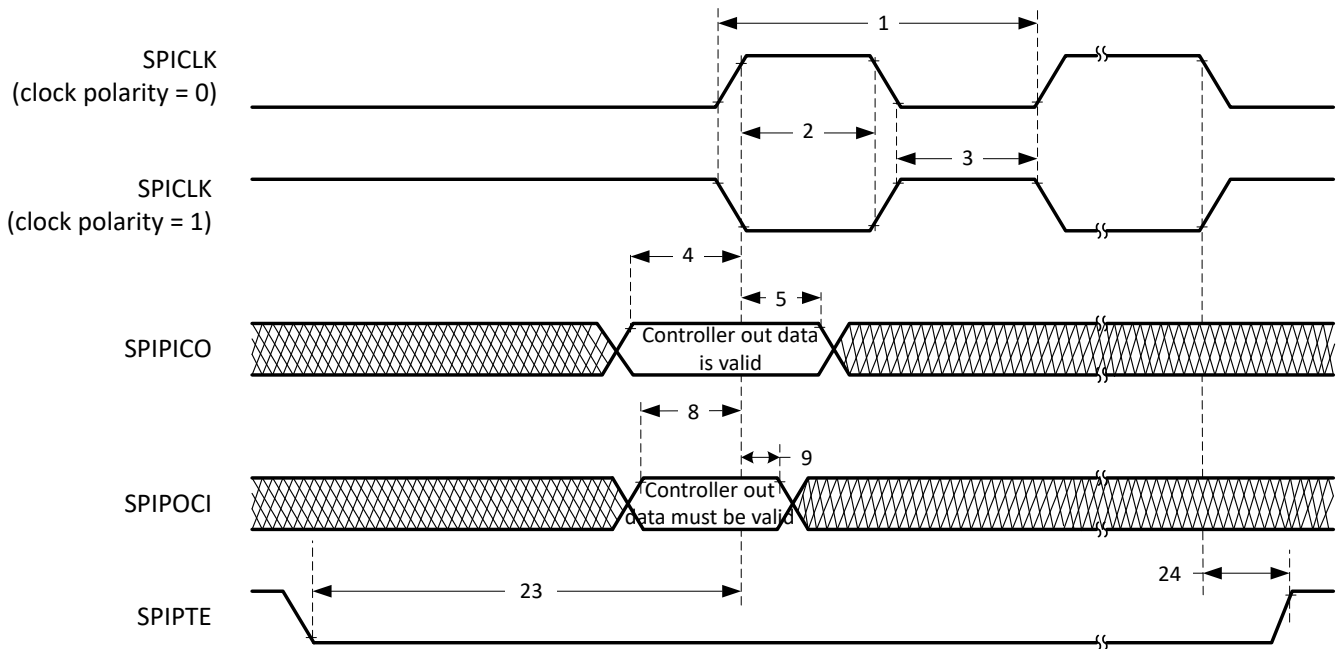
(2) 正常模式下引脚上的负载为 20pF。

6.13.3.1.4 SPI 控制器模式时序图



A. 除了在 FIFO 和非 FIFO 模式下的背对背传输字之间的情况外，在字的尾端， $\overline{\text{SPIPTE}}$ 将变为停止状态。

图 6-63. SPI 控制器模式外部时序 (时钟相位 = 0)



A. 除了在 FIFO 和非 FIFO 模式下的背对背传输字之间的情况外，在字的尾端， $\overline{\text{SPIPTE}}$ 将变为停止状态。

图 6-64. SPI 控制器模式外部时序 (时钟相位 = 1)

6.13.3.2 SPI 外设模式时序

以下各节介绍了 SPI 外设模式时序。

6.13.3.2.1 SPI 外设模式时序要求

编号			最小值	最大值	单位
12	$t_{c(SPC)}S$	周期时间, SPICLK	$4t_{c(SYSCLK)}$		ns
13	$t_{w(SPC1)}S$	脉冲持续时间, SPICLK, 第一个脉冲	$2t_{c(SYSCLK)} - 1$		ns
14	$t_{w(SPC2)}S$	脉冲持续时间, SPICLK, 第二个脉冲	$2t_{c(SYSCLK)} - 1$		ns
19	$t_{su(PICO)}S$	SPICLK 之前 SPIPICO 有效的设置时间	$1.5t_{c(SYSCLK)}$		ns
20	$t_{h(PICO)}S$	SPICLK 之后 SPIPICO 有效的保持时间	$1.5t_{c(SYSCLK)}$		ns
25	$t_{su(STE)}S$	SPICLK 之前 \overline{SPISTE} 有效的设置时间 (时钟相位 = 0)	$2t_{c(SYSCLK)} + 15$		ns
		SPICLK 之前 \overline{SPISTE} 有效的设置时间 (时钟相位 = 1)	$2t_{c(SYSCLK)} + 15$		ns
26	$t_{h(STE)}S$	SPICLK 之后 \overline{SPISTE} 无效的保持时间	$1.5t_{c(SYSCLK)}$		ns

6.13.3.2.2 SPI 外设模式开关特性

在建议运行条件下 (除非另有说明)

编号		参数 ⁽¹⁾	最小值	最大值	单位
正常模式					
15	$t_{d(POCI)}S$	延时时间, SPICLK 至 SPIPOCI 有效的时间		12.5	ns
16	$t_{v(POCI)}S$	有效时间, SPICLK 之后 SPIPOCI 有效的时间	0		ns
高速模式					
15	$t_{d(POCI)}S$	延时时间, SPICLK 至 SPIPOCI 有效的时间		12.5	ns
16	$t_{v(POCI)}S$	有效时间, SPICLK 之后 SPIPOCI 有效的时间	0		ns

(1) 引脚上 20pF 负载。

6.13.3.2.3 SPI 外设模式时序图

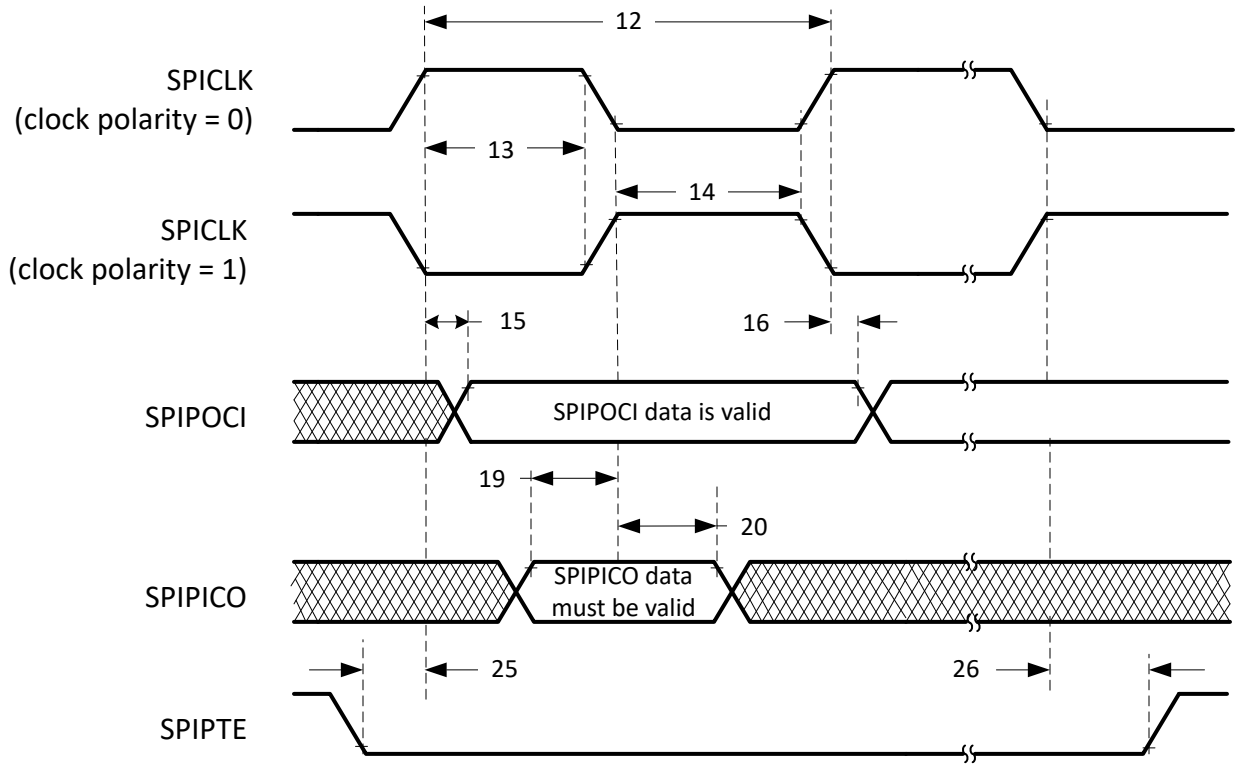


图 6-65. SPI 外设模式外部时序 (时钟相位 = 0)

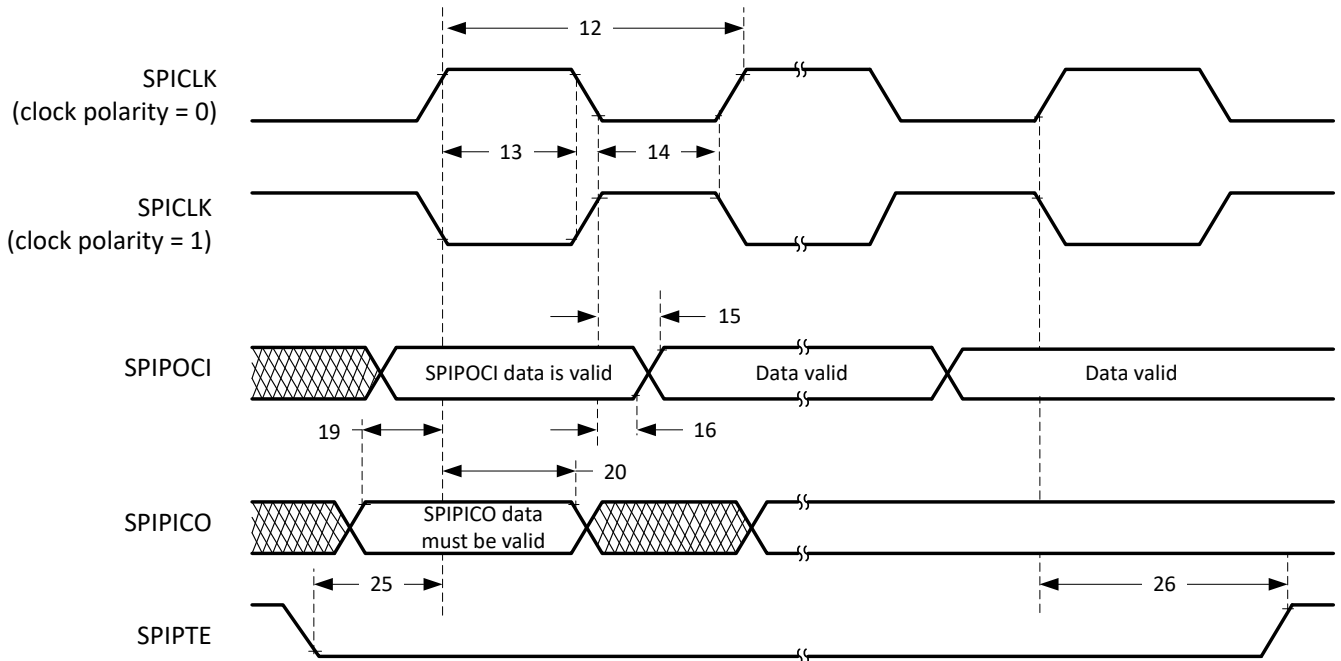


图 6-66. SPI 外设模式外部时序 (时钟相位 = 1)

6.13.4 串行通信接口 (SCI)

SCI 是一种双线制异步串行端口，通常称为 UART。SCI 模块支持 CPU 与其他异步外设之间使用标准非归零码 (NRZ) 格式的数字通信

SCI 发送器和接收器都有一个用于减少服务开销的 16 级深度 FIFO，且具有各自独立的使能位和中断位。两者都能独立进行半双工通信，或同时进行全双工通信。为了指定数据完整性，SCI 检查接收到的数据是否存在中断检测、奇偶校验、超限和组帧错误。比特率通过 16 位波特选择寄存器可编程为不同的速度。

SCI 模块的特性包括：

- 两个外部引脚：
 - SCITXD：SCI 发送-输出引脚
 - SCIRXD：SCI 接收-输入引脚
 - 波特率可编程为 64K 不同速率
- 数据字格式
 - 1 个起始位
 - 数据字长度可在 1 至 8 位之间编程
 - 可选偶数/奇数/无奇偶校验位
 - 1 个或 2 个停止位
- 四个错误检测标志：奇偶校验、超限、成帧和中断检测
- 两种唤醒多处理器模式：空闲线和地址位
- 半双工或全双工操作
- 双缓冲接收和发送功能
- 发送器和接收器操作可通过带有状态标志的中断驱动或轮询算法来完成。
 - 发送器：TXRDY 标志（发送器缓冲寄存器已准备好接收另一个字符）和 TX EMPTY 标志（发送器移位寄存器为空）
 - 接收器：RXRDY 标志（接收器缓冲寄存器已准备好接收另一个字符）、BRKDT 标志（发生了中断条件）和 RX ERROR 标志（监测四个中断条件）
- 发送器和接收器中断的独立使能位（BRKDT 除外）
- NRZ 格式
- 自动波特检测硬件逻辑
- 16 级发送和接收 FIFO

图 6-67 展示了 SCI 方框图。

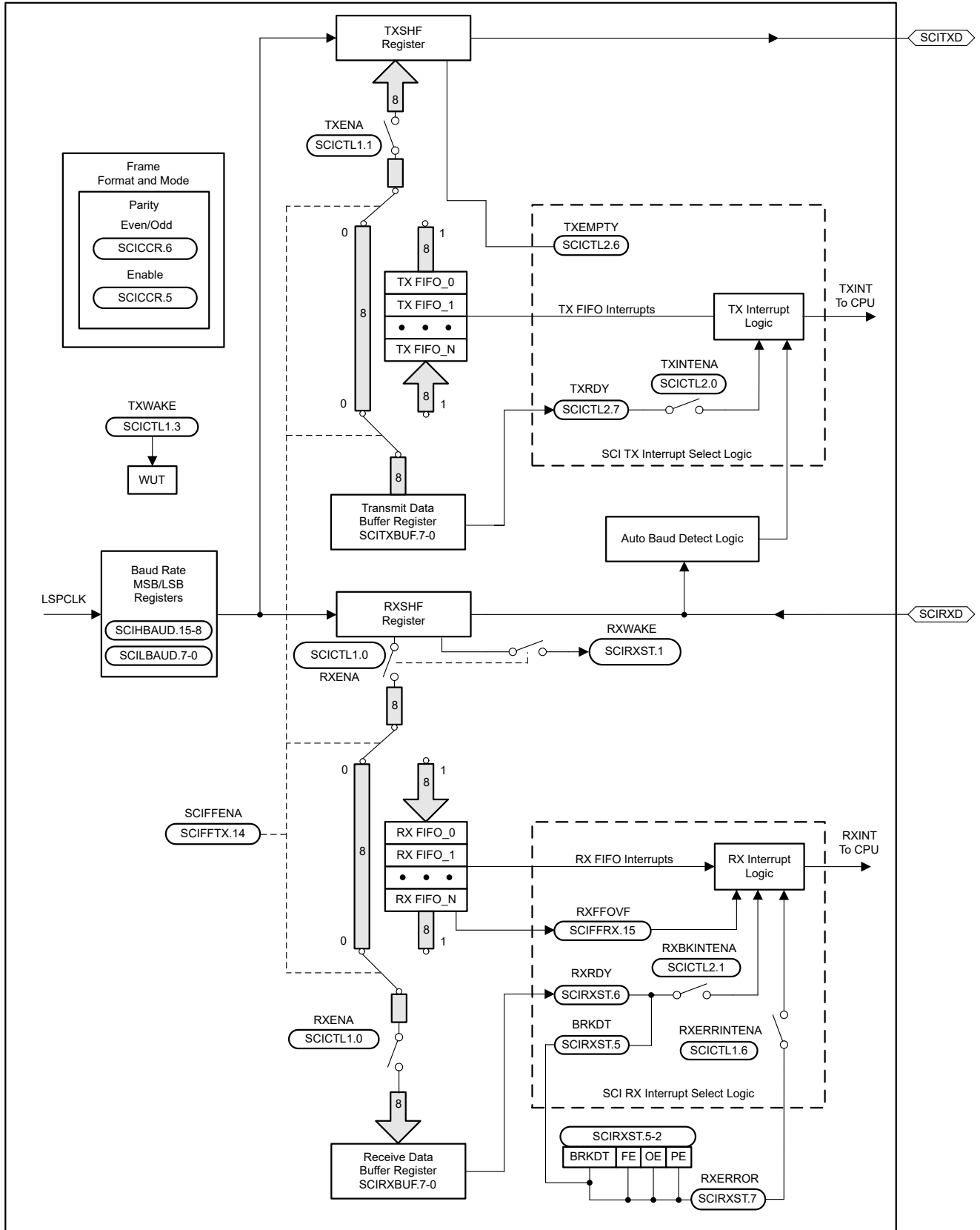


图 6-67. SCI 方框图

7 详细说明

7.1 概述

F28E12x 是 C2000™ 可扩展、超低延迟实时微控制器器件系列中的一款器件，专为提高电机驱动应用的效率而设计。

实时控制子系统基于德州仪器 (TI) 的 32 位 C28x DSP 内核，可针对从片上闪存或 SRAM 运行的定点代码提供 160MHz 的信号处理性能。

F28E12x 支持高达 128KB (64KW) 的闪存。高达 16KB (8KW) 的片上 SRAM 也可用于补充闪存。

高性能模拟块集成在 F28E12x 实时微控制器 (MCU) 中，并与处理单元和 PWM 单元紧密耦合，从而提供出色的实时信号链性能。八个 PWM 通道可控制从 3 相逆变器到功率因数校正的各种功率级，以及其他先进的多级电源拓扑。

各种业界通用的通信端口 (如 SPI、SCI、I2C 和 UART) 不仅支持连接，还提供了 **多个引脚复用选项**，可实现出色的信号布局。

是否想详细了解 C2000 MCU 适用于实时控制系统的特性？查看 [使用 C2000™ 实时微控制器的基本开发指南](#)，并访问 [C2000 实时微控制器](#) 页面。

C2000™ 实时控制微控制器 (MCU) 入门指南 涵盖了 C2000 器件开发中从硬件到支持资源的所有方面。除了主要的参考文档外，每个部分还提供了相关链接和资源，帮助用户进一步了解相关信息。

准备开始了吗？查看 [LAUNCHXL-F28E12X](#) 开发套件并下载 [C2000Ware](#)。

7.2 存储器

7.2.1 C28x 存储器映射

表 7-1. 存储器映射

存储器	大小 (x16)	起始地址	结束地址	CPU1.DMA ACCESS	ECC/ 奇偶校验	安全性	器件型号
M0 RAM	1024	0x0000_0000	0x0000_03FF	-	奇偶校验	-	-
M1 RAM	1024	0x0000_0400	0x0000_07FF	-	奇偶校验	-	-
PIE 矢量表	160	0x0000_0D00	0x0000_0D9F	-	奇偶校验	-	-
GS0_1 RAM (支持奇偶校验)	1024	0x0000_C000	0x0000_C3FF	是	奇偶校验	-	-
GS0_2 RAM (支持奇偶校验)	1024	0x0000_C400	0x0000_C7FF	是	奇偶校验	-	-
GS0_3 RAM (支持奇偶校验)	1024	0x0000_C800	0x0000_CBFF	是	奇偶校验	-	-
GS0_4 RAM (支持奇偶校验)	1024	0x0000_CC00	0x0000_CFFF	是	奇偶校验	-	-
GS0_5 RAM (支持奇偶校验)	1024	0x0000_D000	0x0000_D3FF	是	奇偶校验	-	-
GS0_6 RAM (支持奇偶校验)	1024	0x0000_D400	0x0000_D7FF	是	奇偶校验	-	-
TI OTP 组 0	1536	0x0007_2000	0x0007_25FF	-	ECC	-	-
UID_REGS	6	0x0007_2172	0x0007_2177	-	ECC	-	-
DCSM BANK0 Z1 OTP	512	0x0007_8000	0x0007_81FF	-	ECC	是	-
DCSM BANK0 Z2 OTP	512	0x0007_8200	0x0007_83FF	-	ECC	是	-
BANK0 MAIN 扇区 (前 128KB)	65536	0x0008_0000	0x0008_FFFF	-	ECC	是	-
Z1 安全功能 (安全启动、安全代码复制、安全 CRC 计算)	4096	0x003F_8000	0x003F_8FFF	-	奇偶校验	是	-
BootROM 函数闪存 API 数学表 (IQ) FPU32 表 FFT Twiddle 因数表	28672	0x003F_9000	0x003F_FFFF	-	奇偶校验	-	-

表 7-1. 存储器映射 (续)

存储器	大小 (x16)	起始地址	结束地址	CPU1.DMA ACCESS	ECC/ 奇偶校验	安全性	器件型号
TI OTP 存储体 0 ECC	192	0x0107_0400	0x0107_04BF	-	-	-	-

7.2.1.1 专用 RAM (Mx RAM)

CPU 子系统有两个支持 ECC 功能的专用 RAM 模块：M0 和 M1。这些存储器是与 CPU 紧密耦合的小型非安全块（即，只有 CPU 可以访问这些存储器）。

7.2.2 闪存映射

F28E12x 器件上有一个闪存存储体。对闪存进行编程的代码应在 RAM 之外执行，在进行擦除或编程操作时，不应以任何形式存取闪存存储体。

表 7-2. 闪存映射

器件型号	扇区	地址			ECC 地址		
		尺寸	启动	结束	尺寸	启动	结束
OTP 扇区							
全部	TI OTP 组 0 (不安全)	1536 x 16	0x0007 2000	0x0007 25EF	128 x 16	0x0107 0200	0x0107 02BD
	TI OTP 组 0 (安全)	16 x 16	0x0007 25F0	0x0007 25FF	128 x 16	0x0107 02BE	0x0107 02BF
	用户可配置的 DCISM OTP 组 0	1K x 16	0x0007 8000	0x0007 83FF	128 x 16	0x0107 1000	0x0107 107F
组 0 扇区							

表 7-2. 闪存映射 (续)

器件型号	扇区	地址			ECC 地址		
		尺寸	启动	结束	尺寸	启动	结束
全部	扇区 0	1K x 16	0x0008 0000	0x0008 03FF	128 x 16	0x0108 0000	0x0108 007F
	扇区 1	1K x 16	0x0008 0400	0x0008 07FF	128 x 16	0x0108 0080	0x0108 00FF
	扇区 2	1K x 16	0x0008 0800	0x0008 0BFF	128 x 16	0x0108 0100	0x0108 017F
	扇区 3	1K x 16	0x0008 0C00	0x0008 0FFF	128 x 16	0x0108 0180	0x0108 01FF
	扇区 4	1K x 16	0x0008 1000	0x0008 13FF	128 x 16	0x0108 0200	0x0108 027F
	扇区 5	1K x 16	0x0008 1400	0x0008 17FF	128 x 16	0x0108 0280	0x0108 02FF
	扇区 6	1K x 16	0x0008 1800	0x0008 1BFF	128 x 16	0x0108 0300	0x0108 037F
	扇区 7	1K x 16	0x0008 1C00	0x0008 1FFF	128 x 16	0x0108 0380	0x0108 03FF
	扇区 8	1K x 16	0x0008 2000	0x0008 23FF	128 x 16	0x0108 0400	0x0108 047F
	扇区 9	1K x 16	0x0008 2400	0x0008 27FF	128 x 16	0x0108 0480	0x0108 04FF
	扇区 10	1K x 16	0x0008 2800	0x0008 2BFF	128 x 16	0x0108 0500	0x0108 057F
	扇区 11	1K x 16	0x0008 2C00	0x0008 2FFF	128 x 16	0x0108 0580	0x0108 05FF
	扇区 12	1K x 16	0x0008 3000	0x0008 33FF	128 x 16	0x0108 0600	0x0108 067F
	扇区 13	1K x 16	0x0008 3400	0x0008 37FF	128 x 16	0x0108 0680	0x0108 06FF
	扇区 14	1K x 16	0x0008 3800	0x0008 3BFF	128 x 16	0x0108 0700	0x0108 077F
	扇区 15	1K x 16	0x0008 3C00	0x0008 3FFF	128 x 16	0x0108 0780	0x0108 07FF
	扇区 16	1K x 16	0x0008 4000	0x0008 43FF	128 x 16	0x0108 0800	0x0108 087F
	扇区 17	1K x 16	0x0008 4400	0x0008 47FF	128 x 16	0x0108 0880	0x0108 08FF
	扇区 18	1K x 16	0x0008 4800	0x0008 4BFF	128 x 16	0x0108 0900	0x0108 097F
	扇区 19	1K x 16	0x0008 4C00	0x0008 4FFF	128 x 16	0x0108 0980	0x0108 09FF
	扇区 20	1K x 16	0x0008 5000	0x0008 53FF	128 x 16	0x0108 0A00	0x0108 0A7F
	扇区 21	1K x 16	0x0008 5400	0x0008 57FF	128 x 16	0x0108 0A80	0x0108 0AFF
	扇区 22	1K x 16	0x0008 5800	0x0008 5BFF	128 x 16	0x0108 0B00	0x0108 0B7F
	扇区 23	1K x 16	0x0008 5C00	0x0008 5FFF	128 x 16	0x0108 0B80	0x0108 0BFF
	扇区 24	1K x 16	0x0008 6000	0x0008 63FF	128 x 16	0x0108 0C00	0x0108 0C7F
	扇区 25	1K x 16	0x0008 6400	0x0008 67FF	128 x 16	0x0108 0C80	0x0108 0CFF
	扇区 26	1K x 16	0x0008 6800	0x0008 6BFF	128 x 16	0x0108 0D00	0x0108 0D7F
	扇区 27	1K x 16	0x0008 6C00	0x0008 6FFF	128 x 16	0x0108 0D80	0x0108 0DFF
	扇区 28	1K x 16	0x0008 7000	0x0008 73FF	128 x 16	0x0108 0E00	0x0108 0E7F
	扇区 29	1K x 16	0x0008 7400	0x0008 77FF	128 x 16	0x0108 0E80	0x0108 0EFF
	扇区 30	1K x 16	0x0008 7800	0x0008 7BFF	128 x 16	0x0108 0F00	0x0108 0F7F
	扇区 31	1K x 16	0x0008 7C00	0x0008 7FFF	128 x 16	0x0108 0F80	0x0108 0FFF

表 7-2. 闪存映射 (续)

器件型号	扇区	地址			ECC 地址		
		尺寸	启动	结束	尺寸	启动	结束
F28E120SC	扇区 32	1K x 16	0x0008 8000	0x0008 83FF	128 x 16	0x0108 1000	0x0108 107F
	扇区 33	1K x 16	0x0008 8400	0x0008 87FF	128 x 16	0x0108 1080	0x0108 10FF
	扇区 34	1K x 16	0x0008 8800	0x0008 8BFF	128 x 16	0x0108 1100	0x0108 117F
	扇区 35	1K x 16	0x0008 8C00	0x0008 8FFF	128 x 16	0x0108 1180	0x0108 11FF
	扇区 36	1K x 16	0x0008 9000	0x0008 93FF	128 x 16	0x0108 1200	0x0108 127F
	扇区 37	1K x 16	0x0008 9400	0x0008 97FF	128 x 16	0x0108 1280	0x0108 12FF
	扇区 38	1K x 16	0x0008 9800	0x0008 9BFF	128 x 16	0x0108 1300	0x0108 137F
	扇区 39	1K x 16	0x0008 9C00	0x0008 9FFF	128 x 16	0x0108 1380	0x0108 13FF
	扇区 40	1K x 16	0x0008 A000	0x0008 A3FF	128 x 16	0x0108 1400	0x0108 147F
	扇区 41	1K x 16	0x0008 A400	0x0008 A7FF	128 x 16	0x0108 1480	0x0108 14FF
	扇区 42	1K x 16	0x0008 A800	0x0008 ABFF	128 x 16	0x0108 1500	0x0108 157F
	扇区 43	1K x 16	0x0008 AC00	0x0008 AFFF	128 x 16	0x0108 1580	0x0108 15FF
	扇区 44	1K x 16	0x0008 B000	0x0008 B3FF	128 x 16	0x0108 1600	0x0108 167F
	扇区 45	1K x 16	0x0008 B400	0x0008 B7FF	128 x 16	0x0108 1680	0x0108 16FF
	扇区 46	1K x 16	0x0008 B800	0x0008 BBFF	128 x 16	0x0108 1700	0x0108 177F
	扇区 47	1K x 16	0x0008 BC00	0x0008 BFFF	128 x 16	0x0108 1780	0x0108 17FF
	扇区 48	1K x 16	0x0008 C000	0x0008 C3FF	128 x 16	0x0108 1800	0x0108 187F
	扇区 49	1K x 16	0x0008 C400	0x0008 C7FF	128 x 16	0x0108 1880	0x0108 18FF
	扇区 50	1K x 16	0x0008 C800	0x0008 CBFF	128 x 16	0x0108 1900	0x0108 197F
	扇区 51	1K x 16	0x0008 CC00	0x0008 CFFF	128 x 16	0x0108 1980	0x0108 19FF
	扇区 52	1K x 16	0x0008 D000	0x0008 D3FF	128 x 16	0x0108 1A00	0x0108 1A7F
	扇区 53	1K x 16	0x0008 D400	0x0008 D7FF	128 x 16	0x0108 1A80	0x0108 1AFF
	扇区 54	1K x 16	0x0008 D800	0x0008 DBFF	128 x 16	0x0108 1B00	0x0108 1B7F
	扇区 55	1K x 16	0x0008 DC00	0x0008 DFFF	128 x 16	0x0108 1B80	0x0108 1BFF
	扇区 56	1K x 16	0x0008 E000	0x0008 E3FF	128 x 16	0x0108 1C00	0x0108 1C7F
	扇区 57	1K x 16	0x0008 E400	0x0008 E7FF	128 x 16	0x0108 1C80	0x0108 1CFF
	扇区 58	1K x 16	0x0008 E800	0x0008 EBFF	128 x 16	0x0108 1D00	0x0108 1D7F
	扇区 59	1K x 16	0x0008 EC00	0x0008 EFFF	128 x 16	0x0108 1D80	0x0108 1DFF
	扇区 60	1K x 16	0x0008 F000	0x0008 F3FF	128 x 16	0x0108 1E00	0x0108 1E7F
	扇区 61	1K x 16	0x0008 F400	0x0008 F7FF	128 x 16	0x0108 1E80	0x0108 1EFF
	扇区 62	1K x 16	0x0008 F800	0x0008 FBFF	128 x 16	0x0108 1F00	0x0108 1F7F
	扇区 63	1K x 16	0x0008 FC00	0x0008 FFFF	128 x 16	0x0108 1F80	0x0108 1FFF

7.2.3 外设寄存器内存映射

表 7-3. 外设寄存器内存映射

结构	DriverLib 名称	基址	CPU1.DMA	受流水线保护
外设帧 0 (PF0)				
CPUTIMER_REGS	CPUTIMER0_BASE	0x0000_0C00	-	-
CPUTIMER_REGS	CPUTIMER1_BASE	0x0000_0C08	-	-
CPUTIMER_REGS	CPUTIMER2_BASE	0x0000_0C10	-	-
PIE_CTRL_REGS	PIECTRL_BASE	0x0000_0CE0	-	-
PIE_VECT_TABLE	PIEVECTTABLE_BASE	0x0000_0D00	-	-
DMA_REGS	DMA_BASE	0x0000_1000	-	-
DMA_CH_REGS	DMA_CH1_BASE	0x0000_1020	-	-
DMA_CH_REGS	DMA_CH2_BASE	0x0000_1040	-	-
ADC_LITE_RESULT_REGS	ADCARESULT_BASE	0x0000_1800	是	-
UID_REGS	UID_BASE	0x0007_2172	-	-
DCSM_Z1_OTP	DCSM_Z1OTP_BASE	0x0007_8000	-	-
DCSM_Z2_OTP	DCSM_Z2OTP_BASE	0x0007_8200	-	-
外设帧 1 (PF1)				
MCPWM_6CH_REGS	PWM1_BASE	0x0000_4000	是	是
MCPWM_2CH_REGS	PWM3_BASE	0x0000_4800	是	是
EQEP_REGS	EQEP1_BASE	0x0000_5100	是	是
ECAP_REGS	ECAP1_BASE	0x0000_5200	是	是
CMPSS_LITE_REGS	CMPSSLITE1_BASE	0x0000_5500	是	是
CMPSS_LITE_REGS	CMPSSLITE2_BASE	0x0000_5540	是	是
CMPSS_LITE_REGS	CMPSSLITE3_BASE	0x0000_5580	是	是
PGA_REGS	PGA1_BASE	0x0000_5B00	是	是
外设帧 2 (PF2)				
SPI_REGS	SPIA_BASE	0x0000_6100	是	是
外设帧 3 (PF3)				
ADC_LITE_REGS	ADCA_BASE	0x0000_7400	-	是
外设帧 4 (PF4)				
INPUT_XBAR_REGS	INPUTXBAR_BASE	0x0000_7900	-	是
XBAR_REGS	XBAR_BASE	0x0000_7920	-	是
SYNC_SOC_REGS	SYNCSOC_BASE	0x0000_7940	-	是
DMA_CLA_SRC_SEL_REGS	DMACLASRCSEL_BASE	0x0000_7980	-	是
PWM_XBAR_REGS	PWMXBAR_BASE	0x0000_7A00	-	是
OUTPUT_XBAR_REGS	OUTPUTXBAR_BASE	0x0000_7A80	-	是
GPIO_CTRL_REGS	GPIOCTRL_BASE	0x0000_7C00	-	是
GPIO_DATA_REGS	GPIODATA_BASE	0x0000_7F00	-	是
GPIO_DATA_READ_REGS	GPIODATA_READ_BASE	0x0000_7F80	-	是
DEV_CFG_REGS	DEVCFG_BASE	0x0005_D000	-	是
CLK_CFG_REGS	CLKCFG_BASE	0x0005_D200	-	是
CPU_SYS_REGS	CPUSYS_BASE	0x0005_D300	-	是
SYS_STATUS_REGS	SYSSTAT_BASE	0x0005_D400	-	是
ANALOG_SUBSYS_REGS	ANALOGSUBSYS_BASE	0x0005_D700	-	是
外设帧 6 (PF6)				
DCSM_Z1_REGS	DCSM_Z1_BASE	0x0005_F000	-	是
DCSM_Z2_REGS	DCSM_Z2_BASE	0x0005_F080	-	是
DCSM_COMMON_REGS	DCSMCOMMON_BASE	0x0005_F0C0	-	是
MEM_CFG_REGS	MEMCFG_BASE	0x0005_F400	-	是
MEMORY_ERROR_REGS	MEMORYERROR_BASE	0x0005_F540	-	是

表 7-3. 外设寄存器内存映射 (续)

结构	DriverLib 名称	基址	CPU1.DMA	受流水线保护
ROM_WAIT_STATE_REGS	ROMWAITSTATE_BASE	0x0005_F580	-	是
TEST_ERROR_REGS	TESTERROR_BASE	0x0005_F590	-	是
FLASH_CTRL_REGS	FLASH0CTRL_BASE	0x0005_F800	-	是
FLASH_ECC_REGS	FLASH0ECC_BASE	0x0005_FB00	-	是
外设帧 7 (PF7)				
DCC_REGS	DCC0_BASE	0x0005_E700	-	是
外设帧 9 (PF9)				
WD_REGS	WD_BASE	0x0000_7000	-	是
NMI_INTRUPT_REGS	NMI_BASE	0x0000_7060	-	是
XINT_REGS	XINT_BASE	0x0000_7070	-	是
SCI_REGS	SCIA_BASE	0x0000_7200	-	是
SCI_REGS	SCIB_BASE	0x0000_7210	-	是
I2C_REGS	I2CA_BASE	0x0000_7300	-	是
外设帧 11 (PF11)				
UART_REGS、 UART_REGS_WRITE	UARTA_BASE、 UARTAWRITE_BASE	0x0006_A000	是	是

7.3 标识

表 7-4 列出了器件标识寄存器。有关这些器件标识寄存器的其他信息，请参阅 [F28E12x 实时微控制器技术参考手册](#)。

表 7-4. 器件标识寄存器

名称	地址	大小 (x16)	说明	
			位	选项
PARTIDL	0x0007_21CA	2	23-16 FLASH_SIZE	0x2 - 64KB 0x4 - 128KB
			7-6 QUAL	0 = 工程样片 (TMX) 1 = 试点生产 (TMP) 2 = 完全合格 (TMS)
			器件型号标识号	
PARTIDH	0x0007_21CC	2	F28E120SC F28E120SB	0x10FF_0500 0x10FE_0500
REVID	0x0005_D006	2	器件修订版本号 修订版 0	0x0000_0001
UID_UNIQUE0	0x0007_214A	2	唯一标识号。此编号在具有相同 PARTIDH 的每个单独器件上是不同的。此唯一编号可以用作应用中的序列号。此编号仅存在于 TMS 器件上。	
UID_UNIQUE1	0x0007_214C	2	唯一标识号。此编号在具有相同 PARTIDH 的每个单独器件上是不同的。此唯一编号可以用作应用中的序列号。此编号仅存在于 TMS 器件上。	

7.4 C28x 处理器

CPU 是 32 位定点处理器。该器件借鉴了数字信号处理的最佳特性；精简指令集计算 (RISC)；以及微控制器架构、固件和工具集。

CPU 的特性包含修改后的 Harvard 架构和循环寻址。RISC 特性是单周期指令执行、寄存器到寄存器操作和修改后的 Harvard 架构。微控制器特性包含通过直观的指令集、字节打包和解包以及位操作来实现易用性。CPU 修改后的 Harvard 架构使指令和数据获取能够并行执行。CPU 可以读取指令和数据，同时写入数据以在整个流水线中保持单周期指令操作。CPU 通过六条独立的地址/数据总线完成此操作。

有关 CPU 架构和指令集的更多信息，请参阅 [TMS320C28x CPU 和指令集参考指南](#)。

7.4.1 浮点单元 (FPU)

C28x 加浮点 (C28x+FPU) 处理器通过增加支持 IEEE 单精度浮点运算的寄存器和指令来扩展 C28x 定点 CPU 的功能。

具有 C28x+FPU 的器件包含标准 C28x 寄存器集以及一组额外的浮点单元寄存器。额外的浮点单元寄存器如下：

- 八个浮点结果寄存器，RnH (其中 $n=0-7$)
- 浮点状态寄存器 (STF)
- 重复块寄存器 (RB)

除 RB 寄存器外，所有浮点寄存器都采用影子化技术。这种影子化可用于高优先级中断，以实现浮点寄存器的快速上下文保存和恢复。

有关 C28x 浮点单元 (FPU) 的更多信息，请参阅 [TMS320C28x 扩展指令集技术参考手册](#)。

7.5 直接存储器存取 (DMA)

DMA 模块提供了一种在外设和/或存储器之间传输数据的硬件方法，无需 CPU 干预，从而为其他系统功能释放带宽。此外，DMA 还能够在数据传输时对其进行正交重排，以及在缓冲器之间对数据执行“乒乓”操作。这些特性对于将数据结构化为模块以实现最优 CPU 处理非常有用。图 7-1 显示了 DMA 的器件级方框图。

DMA 模块特性包括：

- 具有独立 ePIE 中断的双通道
- 外设中断触发源
 - ADC 中断和 EVT 信号
 - 外部中断
 - MCPWM SOC 信号
 - CPU 计时器
 - SPI 发送和接收
 - UART 发送和接收
 - 常规 FIFO 级别触发 (UARTx_TX 和 UARTx_RX) 以及单个请求触发 (UARTx_TX_SREQ 和 UARTx_RX_SREQ)
- 数据源和目标：
 - GSx RAM
 - ADC 结果寄存器
 - 控制外设寄存器 (MCPWM、eQEP)
 - 通信外设寄存器 (SPI, UART)
 - PGA 控制寄存器
 - CMPSS 控制寄存器
- 字大小：16 位或 32 位 (SPI 限制到 16 位)
- 吞吐量：每个字三个周期，无需仲裁

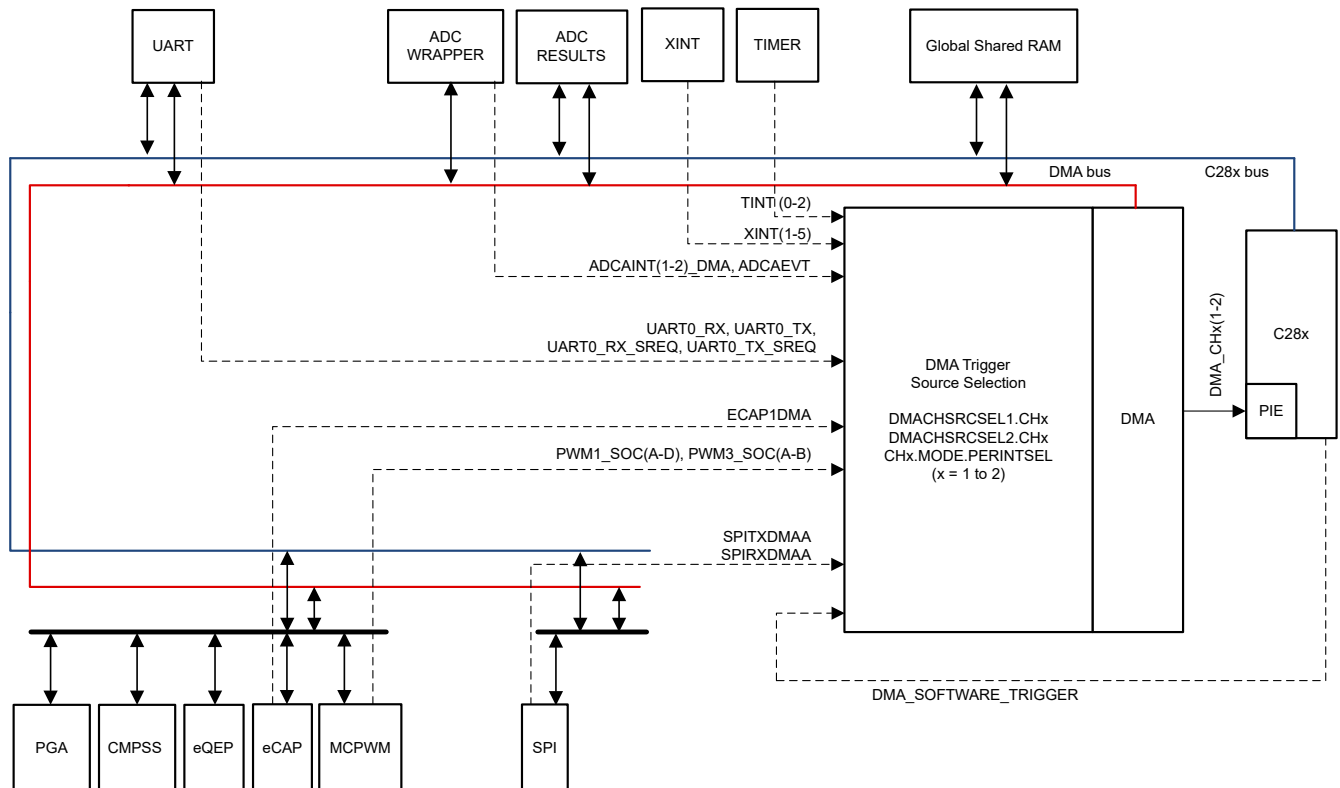


图 7-1. DMA 方框图

备注

具有 EALLOW 保护功能的外设寄存器受写保护，可防止非预期的 DMA 写入。要使用 DMA 写入这些寄存器、请禁用 EALLOW 保护机制。

7.6 器件引导模式

本节介绍了默认引导模式以及该器件支持的所有可用引导模式。引导 ROM 使用引导模式选择、通用输入/输出 (GPIO) 引脚来确定引导模式配置。

表 7-5 展示了可供默认引导模式选择引脚选择的引导模式选项。用户可以选择对器件进行编程，以自定义引导表中可选的引导模式以及使用的引导模式选择引脚 GPIO。

所有支持的外设引导模式都使用外设模块 (SCIA、SPIA、I2CA 等) 的第一个实例。凡是本章提到的这些引导模式 (例如 SCI 引导) 时，实际均指第一个模块实例，如 SCIA 端口上的 SCI 引导。这同样适用于其他外设引导。

请参阅复位 (XRSn) 开关特性表和 $t_{boot-flash}$ (在闪存中第一次取指令之前的引导 ROM 执行时间) 的复位时序图部分。

表 7-5. 器件默认引导模式

引导模式	GPIO24 (默认引导模式选择引脚 1)	GPIO32 (默认引导模式选择引脚 0)
并行 IO	0	0
SCI/等待引导 ⁽¹⁾	0	1
闪存	1	1

(1) 只要 SCI 在 SCI 自动波特率锁定过程中继续等待“A”或“a”，SCI 引导模式就可用作等待引导模式。

表 7-6 列出了器件上可能支持的引导模式。默认引导模式引脚为 GPIO24 (引导模式引脚 1) 和 GPIO32 (引导模式引脚 0)。如果用户在这些引脚上也使用外设，则可选择为引导模式引脚设置弱上拉，因此上拉可能会过驱动。在此器件上，客户可以通过对用户可配置的双代码安全模块 (DCSM) OTP 位置进行编程来更改出厂默认的引导模式引脚。

表 7-6. 所有可用的引导模式

引导模式编号	引导模式
0	并行
1	SCI/等待
3	闪存
4	等待
5	RAM
6	SPI
7	I2C
10	安全闪存

备注

所有支持的外设引导模式都使用外设模块 (SCIA、SPIA、I2CA 等) 的第一个实例。凡是本节提到的这些引导模式 (例如 SCI 引导) 时，实际均指第一个模块实例，如 SCIA 端口上的 SCI 引导。这同样适用于其他外设引导。

7.6.1 器件引导配置

本节详细介绍了可用的引导配置以及如何对其进行配置。该器件支持从零个到三个引导模式选择引脚，以及从一种到多达八种配置的引导模式。

要更改器件并将其从默认设置配置为适合应用程序的自定义设置，请遵从以下过程：

1. 确定您希望应用程序能够引导的所有各种方式。(例如：用于主应用程序的闪存引导的初级引导选项、用于固件更新的 SPI 的次级引导选项、用于调试的 SCI 引导的三级引导选项等等。)
2. 根据所需引导模式的数量，确定需要多少个引导模式选择引脚 (BMSP) 来在所选的引导模式之间进行选择。(例如：需要两个 BMSP 来在三个引导模式选项之间进行选择)
3. 将所需的 BMSP 分配到物理 GPIO 引脚 (例如，BMSP0 到 GPIO10，BMSP1 到 GPIO51，BMSP2 保留为默认禁用状态。) 有关执行这些配置的所有详细信息，请参阅节 7.6.1.1。
4. 将确定的引导模式定义分配给自定义引导表中与 BMSP 的解码值相关的索引例如，BOOTDEF0=引导至闪存，BOOTDEF1=SPI 引导，BOOTDEF2=SCI 引导；所有其他 BOOTDEFx 保留为默认值/无。有关如何设置和配置自定义引导模式表的所有详细信息，请参阅配置引导模式引脚。

此外，F28E12x 实时微控制器技术参考手册的引导模式示例用例一节提供了一些有关如何配置 BMSP 和自定义引导表的示例用例。

7.6.1.1 配置引导模式引脚

本节介绍了用户如何通过可在用户可配置双区域安全模块 (DCSM) OTP 中对 BOOTPIN-CONFIG 位置 (请参阅表 7-7) 进行编程来自定义引导模式选择引脚。DCSM OTP 中的位置是 Z1-OTP-BOOTPIN-CONFIG 或 Z2-OTP-BOOTPIN-CONFIG。调试时，EMU-BOOTPIN-CONFIG 是 Z1-OTP-BOOTPIN-CONFIG/Z2-OTP-BOOTPIN-CONFIG 的仿真等效，可进行编程，从而在不写入 OTP 的情况下使用不同的引导模式进行实验。可根据需要对器件进行编程，以使用 0、1、2 或 3 个引导模式选择引脚。

备注

使用 Z2-OTP-BOOTPIN-CONFIG 时，在此位置编程的配置优先于 Z1-OTP-BOOTPIN-CONFIG 中的配置。建议先使用 Z1-OTP-BOOTPIN-CONFIG，然后如果需要更改 OTP 配置，请改为使用 Z2-OTP-BOOTPIN-CONFIG。

表 7-7. BOOTPIN-CONFIG 位字段

位	名称	说明
31:24	密钥	将 0x5A 写入这 8 位，以告知引导 ROM 代码此寄存器中的位有效。
23:16	引导模式选择引脚 2 (BMSP2)	请参阅 BMSP0 说明。
15:8	引导模式选择引脚 1 (BMSP1)	请参阅 BMSP0 说明。
7:0	引导模式选择引脚 0 (BMSP0)	<p>设置为在引导期间使用的 GPIO 引脚 (最多 255)。</p> <p>0x0 = GPIO0, 0x01 = GPIO1, 依此类推。</p> <p>写入 0xFF 会禁用此 BMSP，此引脚不再用于选择引导模式。</p>

备注

GPIO 12、13、20、21、28、224、226-228、230、242-243 是模拟引脚，但如果软件会写入 GPIOHAMSEL 寄存器位，则可以在这些引脚上进行数字输入。

以下 GPIO 不能用作 BMSP。如果选择用于特定的 BMSP，引导 ROM 会自动为 BMSP0 和 BMSP1 选择出厂默认 GPIO。BMSP2 的出厂默认值为 0xFF，这会禁用 BMSP。

- GPIO 8、GPIO 14 和 GPIO 15 (在任何封装上均不可用)
 - GPIO 17 至 GPIO 22 (在任何封装上均不可用)
 - GPIO 25 至 GPIO 27 (在任何封装上均不可用)
 - GPIO 31、GPIO 34 至 GPIO 38 (在任何封装上均不可用)
 - GPIO 42、GPIO 44 和 GPIO 46 至 GPIO 49 (在任何封装上均不可用)
 - GPIO 225 和 GPIO 229 (在任何封装上均不可用)
 - GPIO 231 至 GPIO 241 (在任何封装上均不可用)
 - GPIO 244 和 GPIO 245 (在任何封装上均不可用)
-

表 7-8. 独立引导模式选择引脚解码

BOOTPIN_CONFIG 键	BMSP0	BMSP1	BMSP2	实现的引导模式
!= 0x5A	不用考虑	不用考虑	不用考虑	由出厂默认 BMSP 定义的引导。
= 0x5A	0xFF	0xFF	0xFF	引导模式 0 的引导表中定义的引导 (禁用所有 BMSP)。
	有效 GPIO	0xFF	0xFF	由 BMSP0 值定义的引导 (禁用 BMSP1 和 BMSP2)。
	0xFF	有效 GPIO	0xFF	由 BMSP1 值定义的引导 (禁用 BMSP0 和 BMSP2)。
	0xFF	0xFF	有效 GPIO	由 BMSP2 值定义的引导 (禁用 BMSP0 和 BMSP1)。
	有效 GPIO	有效 GPIO	0xFF	由 BMSP0 和 BMSP1 的值定义的引导 (禁用 BMSP2)。
	有效 GPIO	0xFF	有效 GPIO	由 BMSP0 和 BMSP2 的值定义的引导 (禁用 BMSP1)。
	0xFF	有效 GPIO	有效 GPIO	由 BMSP1 和 BMSP2 的值定义的引导 (禁用 BMSP0)。
	有效 GPIO	有效 GPIO	有效 GPIO	由 BMSP0、BMSP1 和 BMSP2 的值定义的引导。
	GPIO 无效	有效 GPIO	有效 GPIO	BMSP0 被复位为出厂默认的 BMSP0 GPIO。由 BMSP0、BMSP1 和 BMSP2 的值定义的引导。
	有效 GPIO	GPIO 无效	有效 GPIO	BMSP1 被复位为出厂默认 BMSP1 GPIO。由 BMSP0、BMSP1 和 BMSP2 的值定义的引导。
有效 GPIO	有效 GPIO	GPIO 无效	BMSP2 被复位为出厂默认状态, 处于禁用状态。由 BMSP0 和 BMSP1 的值定义的引导。	

备注

解码引导模式时, BMSP0 是引导表索引值的最低有效位, BMSP2 是最高有效位。建议在禁用 BMSP 时, 先禁用 BMSP2。例如, 在仅使用 BMSP2 (禁用 BMSP1 和 BMSP0) 的实例中, 只能选择引导表索引 0 和 4。在仅使用 BMSP0 的实例中, 可选引导表索引 0 和 1。

7.6.1.2 配置引导模式表选项

本节介绍了如何为器件配置引导定义表 BOOTDEF 以及相关的引导选项。64 位位置位于 Z1-OTP-BOOTDEF-LOW 和 Z1-OTP-BOOTDEF-HIGH 位置的用户可配置 DCSM OTP 中。调试时，EMU-BOOTDEF-LOW 和 EMU-BOOTDEF-HIGH 是 Z1-OTP-BOOTDEF-LOW 和 Z1-OTP-BOOTDEF-HIGH 的仿真等效，并且可以进行编程，以便在不写入 OTP 的情况下使用不同的引导模式选项进行实验。引导定义表的自定义范围取决于正在使用多少引导模式选择引脚 (BMSP)。例如，0 个 BMSP 等于 1 个表条目、1 个 BMSP 等于 2 个表条目、2 个 BMSP 等于 4 个表条目，而 3 个 BMSP 等于 8 个表条目。有关如何设置 BOOTPIN_CONFIG 和 BOOTDEF 值的示例，请参阅 [F28E12x 实时微控制器技术参考手册](#)。

备注

配置 Z2-OTP-BOOTPIN-CONFIG 时使用的位置是 Z2-OTP-BOOTDEF-LOW 和 Z2-OTP-BOOTDEF-HIGH，而不是 Z1-OTP-BOOTDEF-LOW 和 Z1-OTP-BOOTDEF-HIGH。有关 BOOTPIN_CONFIG 用法的更多详细信息，请参阅 [节 7.6.1.1](#)。

表 7-9. BOOTDEF 位字段

BOOTDEF 名称	字节位置	名称	说明
BOOT_DEF0	7:0	[3:0] BOOT_DEF0 模式	从表 7-6 中设置引导模式编号。任何不支持的引导模式都会导致器件进入等待引导 (已连接调试程序) 或引导至闪存 (独立)。
		[7:4] BOOT_DEF0 选项	设置备用/附加引导选项。这可能包括更改特定引导外设的 GPIO 或指定不同的闪存入口点。有关表中要设置的有效 BOOTDEF 值，请参阅 GPIO 分配 一节。
BOOT_DEF1	15:8	BOOT_DEF1 模式/选项	请参阅 BOOT_DEF0 说明。
BOOT_DEF2	23:16	BOOT_DEF2 模式/选项	
BOOT_DEF3	31:24	BOOT_DEF3 模式/选项	
BOOT_DEF4	39:32	BOOT_DEF4 模式/选项	
BOOT_DEF5	47:40	BOOT_DEF5 模式/选项	
BOOT_DEF6	55:48	BOOT_DEF6 模式/选项	
BOOT_DEF7	63:56	BOOT_DEF7 模式/选项	

7.6.2 GPIO 分配

本节详细介绍了用于在位于 Z1-OTP-BOOTDEF-LOW/ Z2-OTP-BOOTDEF-LOW 和 Z1-OTP-BOOTDEF-HIGH/ Z2-OTP-BOOTDEF-HIGH 的 BOOT_DEF 存储器位置中设置引导模式的 GPIO 和引导选项值。有关如何配置 BOOT_DEFx，请参阅节 7.6.1.2。选择引导模式选项时，请确认所用特定器件封装的引脚多路复用器选项中提供了必要的引脚。

默认引导模式 GPIO 引脚：

- 引导模式引脚 0 - GPIO32
- 引导模式引脚 1 - GPIO24

关于引导引脚选择的指南：

- 避免使用具有 PWM 功能的引脚。
- 不能是模拟引脚或 USB 引脚。
- 所有封装上都可以使用引导模式选择引脚和默认引导外设引脚。
- 避免使用 JTAG 仿真引脚和晶振引脚。
- 引导模式选择引脚可以是输入。
- 引脚不能具有 PHY 自举功能。

表 7-10. SCI 引导选项

选项	BOOTDEFx 值	SCITXDA GPIO	SCIRXDA GPIO	受支持的封装
0 (默认值)	0x01	GPIO29	GPIO28	全部
1	0x21	GPIO1	GPIO0	全部
3	0x61	GPIO7	GPIO3	48-PT、32-RHB、32-VFC
4	0x81	GPIO16	GPIO3	48-PT

表 7-11. I2C 引导选项

选项	BOOTDEFx 值	SDAA GPIO	SCLA GPIO	受支持的封装
0	0x07	GPIO0	GPIO1	全部
1	0x27	GPIO32	GPIO33	48-PT
2	0x47	GPIO5	GPIO4	全部

表 7-12. SPI 引导选项

选项	BOOTDEFx 值	SPIPCOA	SPIPOCIA	SPICLKA	SPIPTEA	受支持的封装
0	0x06	GPIO24	GPIO1	GPIO3	GPIO5	全部
1	0x26	GPIO16	GPIO1	GPIO3	GPIO0	48-PT
3	0x66	GPIO16	GPIO13	GPIO12	GPIO24	48-PT

表 7-13. 等待引导选项

选项	BOOTDEFx 值	看门狗状态	受支持的封装
0	0x04	启用	全部
1	0x24	禁用	全部

表 7-14. 闪存引导选项

选项	BOOTDEFx 值	闪存入口地址	闪存扇区	受支持的封装
0 (默认值)	0x03	0x0008 0000	CPU1 存储体 0 扇区 0	全部
1	0x23	0x0008 8000	CPU1 存储体 0 扇区 32	全部

表 7-15. 安全闪存启动选项

选项	BOOTDEFx 值	闪存入口地址	闪存扇区	受支持的封装
0 (默认值)	0x0A	0x0008 0000	CPU1 存储体 0 扇区 0	全部
1	0x2A	0x0008 8000	CPU1 存储体 0 扇区 32	全部

表 7-16. 并行引导选项

选项	BOOTDEFx 值	D0-D7 GPIO	DSP 控制 GPIO	主机控制 GPIO	受支持的封装
0 (默认值)	0x00	D0-D7 (GPIO 0、1、3、4、5、24、28、29)	GPIO224	GPIO242	全部
1	0x20	D0-D7 (GPIO 0-7)	GPIO12	GPIO13	48-PT

7.7 安全性

安全功能由双代码安全模块 (DCSM) 强制执行。主要的防御层是保护芯片边界，该功能应始终启用。此外，还提供了双区域安全功能以支持代码分区。

7.7.1 保护芯片边界

应使用以下两项功能以及固件更新代码中的身份验证来帮助防止未经授权的代码在器件上运行。

7.7.1.1 JTAGLOCK

在 USER OTP 中启用 JTAGLOCK 功能会禁用对器件资源的 JTAG 访问 (例如调试探针)。

7.7.1.2 零引脚引导

在 USER OTP 中启用零引脚引导选项以及闪存引导会阻止所有基于引脚的外部引导加载程序选项 (例如: SCI、以及并行)。

7.7.2 双区域安全

双区域安全机制为两个区域提供保护: 区域 1 (Z1) 和区域 2 (Z2)。这两个区域的安全实现是相同的。每个区域都有自身的专用安全资源 (OTP 存储器和安全 ROM) 和分配的安全资源 (LSx RAM 和闪存扇区)。

7.7.3 免责声明

Code Security Module Disclaimer

本器件所包含的代码安全模块 (CSM) 旨在对存储在相关存储器中的数据进行了密码保护，并且由德州仪器 (TI) 根据其标准条款和条件保证以符合 TI 发布的适用于本器件的保修期规范。

然而，TI 不保证或承诺 CSM 不会受到损坏或破坏，也不保证或承诺存储在相关存储器中的数据不能通过其他方式访问。此外，除上述内容外，TI 也未对本器件的 CSM 或运行做任何保证或表示，包括对适销性或特定用途适用性的任何暗示保证。

在任何情况下，TI 对以任何方法使用 CSM 或本器件产生的任何必然、特殊、间接、偶然或惩罚性损害概不负责，无论 TI 是否已告知上述损害。排除的损害包括但不限于数据丢失、信誉损失、使用损失、业务中断或其他经济损失。

7.8 看门狗

该看门狗模块与之前的 TMS320C2000™ 微控制器上的模块相同，但对计数器的软件复位之间的时间提供一个可选的下限。默认情况下会禁用此窗口倒计时，因此该看门狗完全向后兼容。

看门狗生成复位或中断。看门狗使用可选分频器通过内部振荡器计时。

图 7-2 展示了看门狗模块内的各种功能块。

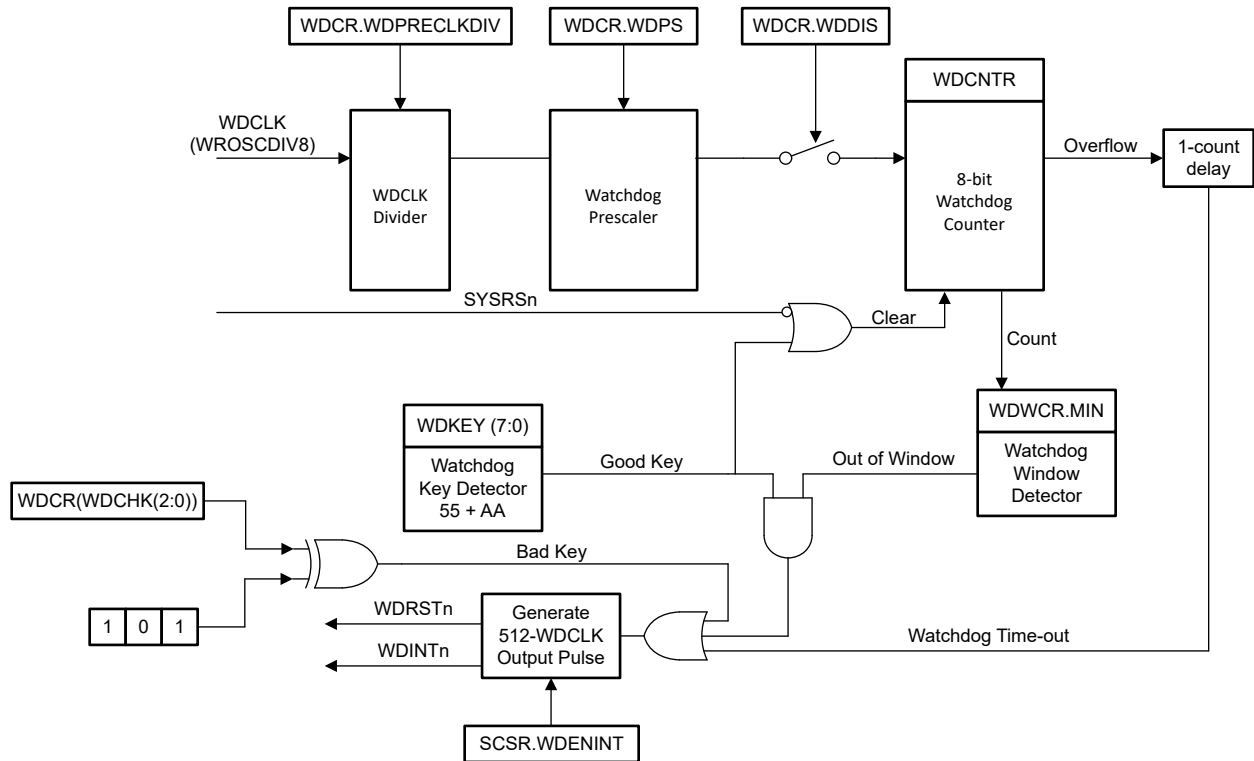


图 7-2. 窗口看门狗

7.9 C28x 计时器

CPU 计时器 0, 1, 和 2 是完全一样的 32 位计时器, 具有可预设定周期和 16 位时钟预分频。此计时器具有 32 位递减计数寄存器, 该寄存器在计数器达到 0 时生成一中断。计数器以 CPU 时钟速度除以预分频值设置形式递减。当计数器达到 0 时, 则自动重新加载 32 位周期值。

CPU 计时器 0 用于普通用途并连接至 PIE 块。CPU 计时器 1 也用于普通用途, 并连接至 CPU 的 INT13。CPU 计时器 2 为 TI-RTOS 保留。该计时器连接至 CPU 的 INT14。如果未使用 TI-RTOS, CPU 计时器 2 也可用于普通用途。

CPU 计时器 2 可由下列任一器件计时:

- SYSCLK (默认)
- WROSCDIV8
- SYSOSCDIV4
- X1 (XTAL)

7.10 双时钟比较器 (DCC)

DCC 模块用于根据第二个时钟评估和监测时钟输入, 第二个时钟可以是更准确和可靠的版本。该仪器用于检测时钟源或时钟结构中的故障, 从而增强系统的安全性指标。

7.10.1 特性

DCC 具有以下特性:

- 允许应用确保两个时钟信号的频率之间保持固定的比率。
- 支持根据参考时钟周期数定义可编程公差窗口。
- 支持连续监视, 而无需应用干预。
- 支持单序列模式进行点测量。
- 允许为每个计数器选择一个时钟源, 从而产生几种特定的用例。

7.10.2 DCCx 时钟源中断的映射

表 7-17. DCCx 时钟源 0 表

DCCxCLKSRC0[3:0]	时钟名称
0x0	XTAL/X1
0x1	WROSCDIV8
0x2	SYSOSCDIV4
0x4	TCK
0x5	CPU1.SYSCLK
0xC	INPUT XBAR (输入 xbar 的输出 16)
其它	保留

表 7-18. DCCx 时钟源 1 表

DCCxCLKSRC1[4:0]	时钟名称
0x0	PLLRAWCLK
0x2	WROSCDIV8
0x3	SYSOSCDIV4
0x6	CPU1.SYSCLK
0x9	输入 XBAR (输入 xbar 的输出 15)
0xB	MCPWMCLK
0xC	LSPCLK
0xD	ADCCLK
0xE	WDCLK

表 7-18. DCCx 时钟源 1 表 (续)

DCCxCLKSRC1[4:0]	时钟名称
0xF	保留
其它	保留

8 应用、实施和布局

8.1 典型应用

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1.1 参考设计

TI 参考设计库是一个涵盖模拟、嵌入式处理器和连接等内容的强大参考设计资源库。所有参考设计均由 TI 专家构建，旨在帮助您着手进行系统设计，其中包括原理图或方框图、BOM 和设计文件，助您加快产品上市步伐。在[精选 TI 参考设计](#)页面上搜索并下载设计。

以下是适用参考设计的部分列表。[TI Resource Explorer](#) 中保留了该器件以及其他 C2000 MCU 支持的参考设计的完整列表。

[具有 16A 最大输入的 3kW、180W/in³ 单相图腾柱无桥 PFC 参考设计](#)

此参考设计演示了一种使用 C2000™ 微控制器控制连续导通模式图腾柱功率因数校正转换器 (PFC) 的方法。此 PFC 还可以在并网 (电流控制) 模式下用作逆变器。该转换器旨在支持 16ARMS 的最大输入电流和 3.6kW 的峰值功率。

[基于 GaN 的 6.6kW 双向车载充电器参考设计](#)

PMP22650 参考设计是 6.6kW 双向车载充电器。该设计采用两相图腾柱 PFC 和带有同步整流功能的全桥 CLLLC 转换器。CLLLC 采用频率和相位调制在所需的调节范围内调节输出。

[适用于混合动力汽车/电动汽车车载充电器的双向 CLLLC 谐振双有源电桥 \(DAB\) 参考设计](#)

具有双向功率流功能和软开关特性的 CLLLC 谐振 DAB 非常适合混合动力汽车/电动汽车 (HEV/EV) 车载充电器和能量存储应用。此设计演示了在闭合电压和闭合电流环路模式中使用 C2000™ MCU 控制此电源拓扑。

[具有基于采样电阻的内嵌式电机相电流采样的 48V 三相逆变器评估模块](#)

BOOSTXL-3PHGANINV 评估模块采用 48V/10A 三相 GaN 逆变器，具备基于分流器的精密直列式相电流检测功能，从而对精密驱动器 (例如，伺服驱动器) 进行精准控制。

[C2000 DesignDRIVE Position Manager BoosterPack™ 插件模块](#)

PositionManager BoosterPack 是一个用于评估绝对编码器和模拟传感器 (如旋转变压器和 SinCos 传感器) 接口的灵活低电压平台。与 DesignDRIVE Position Manager 软件解决方案结合使用时，这种低成本评估模块成为用于将许多流行的位置编码器类型 (如 EnDat、BiSS 和 T-Format) 与 C2000 实时控制器件连接的强大工具。C2000 Position Manager 技术将流行的数字和模拟位置传感器接口集成到 C2000 实时控制器上，因此无需外部 FPGA 来实现这些功能。

[适用于高压三相逆变器电机控制的 C2000™ MCU 评估模块](#)

TIEVM-MTR-HVINV 是一款适用于高压电机驱动应用的 750W 开发板。该 EVM 使用 InstaSPIN-FOC FAST 和 eSMO 无传感器观测器实现了三相永磁同步电机 (PMSM) 的无传感器 FOC 控制。该模块化设计允许通过即插即用方式将不同子板连接到同一主板。该 EVM 的硬件和固件经过测试，可供随时使用，有助于缩短开发时间。本用户指南中提供了设计详细信息和测试结果。

[250W 电机逆变器参考设计](#)

此参考设计是一款适用于大型电器或类似应用的 250W 电机驱动器，展示了基于 GaN IPM DRV7308 的高效率且不带散热器的电机逆变器，还演示了采用 UCC28911 的低待机功耗设计。此参考设计展示了一种通过 FAST™ 软件编码器或 eSMO 实现 3 相 PMSM 无传感器 FOC 控制的方法。此参考设计采用模块化设计，支持 C2000™ MCU 和 MSPM0 系列微控制器子板位于同一主板上。此参考设计提供的硬件和软件已经过测试，而且可随时使用，有助于加快开发，从而缩短产品上市时间。此设计指南提供了硬件设计详细信息和测试结果。

[DRV8323RS 三相智能栅极驱动器 \(带降压转换器、电流采样放大器, SPI 接口\) 评估模块](#)

BOOSTXL-DRV8323RS 是一个 15A 三相无刷直流电机驱动模块, 基于 DRV8323RH 栅极驱动器和 CSD88599Q5DC NexFET™ 功率模块构建。该模块具有单独的直流母线和相电压感应以及单独的低侧电流分流放大器, 因此该评估模块非常适合无传感器 BLDC 算法。该模块借助集成式 0.6A 降压稳压器为 MCU 提供 3.3V 电源。驱动级受到全面的短路、过热、击穿和欠压保护, 并可通过器件 SPI 寄存器轻松配置。

[DRV8323RH 三相智能栅极驱动器 \(带降压转换器、电流采样放大器, 硬件接口\) 评估模块](#)

BOOSTXL-DRV8323RH 是一个 15A 三相无刷直流驱动级模块, 基于 DRV8323RH 栅极驱动器和 CSD88599Q5DC NexFET™ 功率模块构建。该模块具有独立的直流母线和相电压传感以及独立低侧电流分流放大器, 因而此 EVM 十分适合无传感器 BLDC 算法。该模块借助集成式 0.6A 降压稳压器为 MCU 提供 3.3V 电源。驱动级受到全面的短路、过热、击穿和欠压保护, 并可通过不同硬件配置引脚轻松配置。

[DRV8329A 三相 BLDC 栅极驱动器评估模块](#)

DRV8329AEVM 是一款基于 DRV8329A 栅极驱动器 (适用于 BLDC 电机) 的 30A 三相无刷直流驱动级。DRV8329 包含三个二极管用于自举操作, 因此无需使用外部二极管。该器件包含用于低侧电流测量的电流分流放大器、80mA LDO、死区时间控制引脚、VDS 过流电平引脚和栅极驱动器关断引脚。EVM 包含用于评估这些设置的开关、电位计和电阻器, 可面向 DRV8329 器件 A 型 (6x PWM) 和 B 型 (3x PWM) 进行配置。

[DRV8316R 三相 PWM 电机驱动器评估模块](#)

DRV8316REVM 提供三个半 H 桥集成式 MOSFET 驱动器, 用于驱动具有 8A 峰值电流驱动的三相无刷直流 (BLDC) 电机, 适用于 12V/24V 直流电源轨或电池供电应用。

[DRV8353RS 三相无刷直流智能栅极驱动器评估模块](#)

DRV8353RS-EVM 是基于 DRV8353RS 栅极驱动器和 CSD19532Q5B NexFET™ MOSFET 的 15A 三相无刷直流驱动级模块。

[1.3kW GaN 图腾柱 PFC 和电机逆变器参考设计](#)

TIDA-010282 参考设计是一款 1.3kW 图腾柱功率因数校正和电机逆变器, 适用于主要电器和类似产品。此设计展示了一种实现 3 相永磁同步电机 (PMSM) 数字图腾柱 PFC 和无传感器矢量控制的方法, 可通过单个 C2000™ 微控制器满足更高的效率和薄型要求。此参考设计提供的硬件和软件已经过测试, 而且可随时使用, 有助于加快开发, 从而缩短产品上市时间。本设计指南提供了设计详细信息和测试结果。

9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

9.1 器件命名规则

为了标示在产品开发周期中所处的阶段，德州仪器 (TI) 为所有 MCU 器件的器件型号分配了前缀。每个 MCU 商用产品系列成员都具有以下三个前缀之一：X、P 或无前缀（例如，XF28E120SCPT）。

器件开发演变流程：

X 试验器件不一定代表最终器件的电气规范标准，并且可能不使用生产组装流程。

P 原型器件不一定是最终器件模型，并且不一定符合最终电气标准规范。

无 完全合格的芯片模型的生产版本。

X 和 P 器件和 TMDX 开发支持工具在供货时附带如下免责条款：

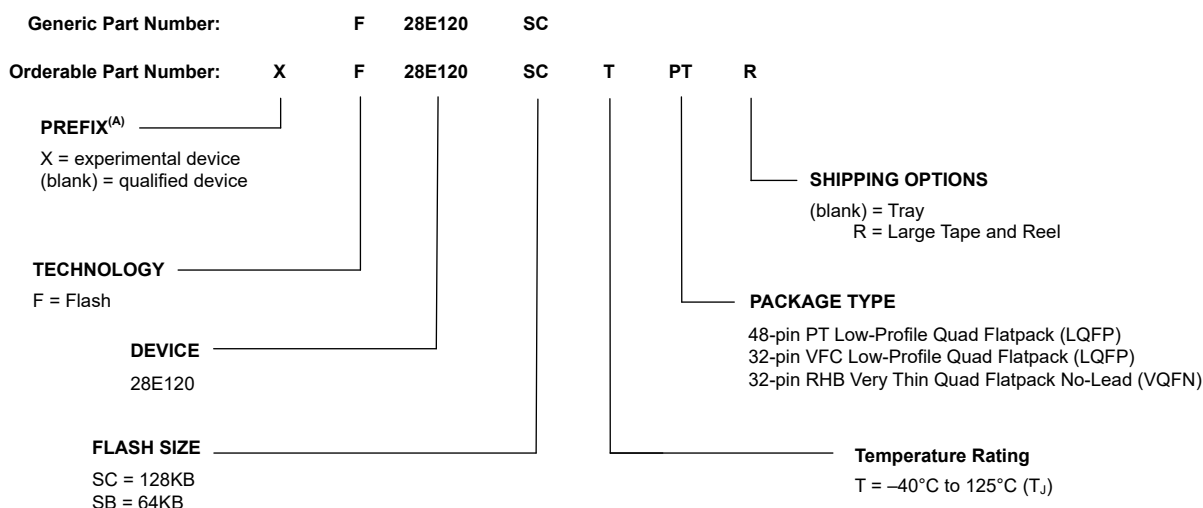
“开发的产品用于内部评估用途。”

生产器件和 TMD5 开发支持工具已进行完全特性描述，并且器件的质量和可靠性已经完全论证。TI 的标准保修证书适用。

预测显示原型器件 (X 或者 P) 的故障率大于标准生产器件。由于这些器件的预期最终使用故障率仍未确定，故德州仪器 (TI) 建议请勿将这些器件用于任何生产系统。请仅使用合格的生产器件。

TI 的器件命名规则还包含具有器件产品系列名称的后缀。这个后缀表示封装类型（例如，PT）。

若要获取器件型号以及更多订购信息，请访问 TI 网站 (www.ti.com.cn) 或者联系您的 TI 销售代表。



A. 可订购器件型号使用前缀 X。

图 9-1. 器件命名规则

9.2 标识

图 9-2、图 9-3 和 图 9-4 展示了封装编号法。表 9-1 列出了器件修订版本代码。

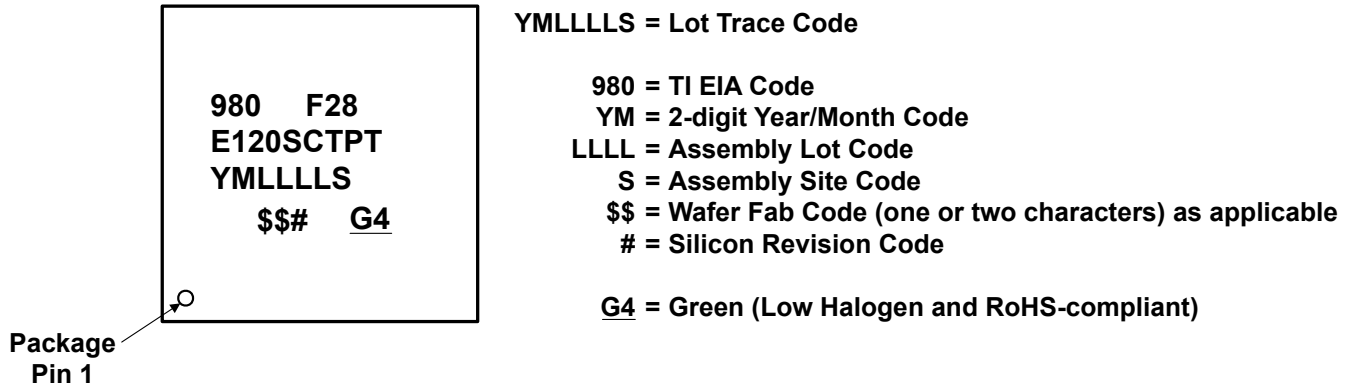


图 9-2. PT 封装的封装编号法

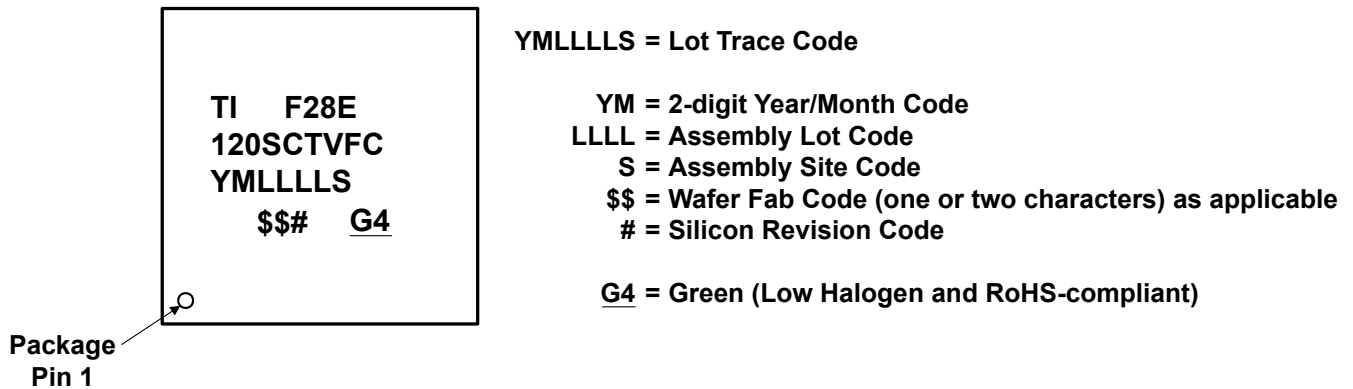


图 9-3. VFC 封装的封装编号法

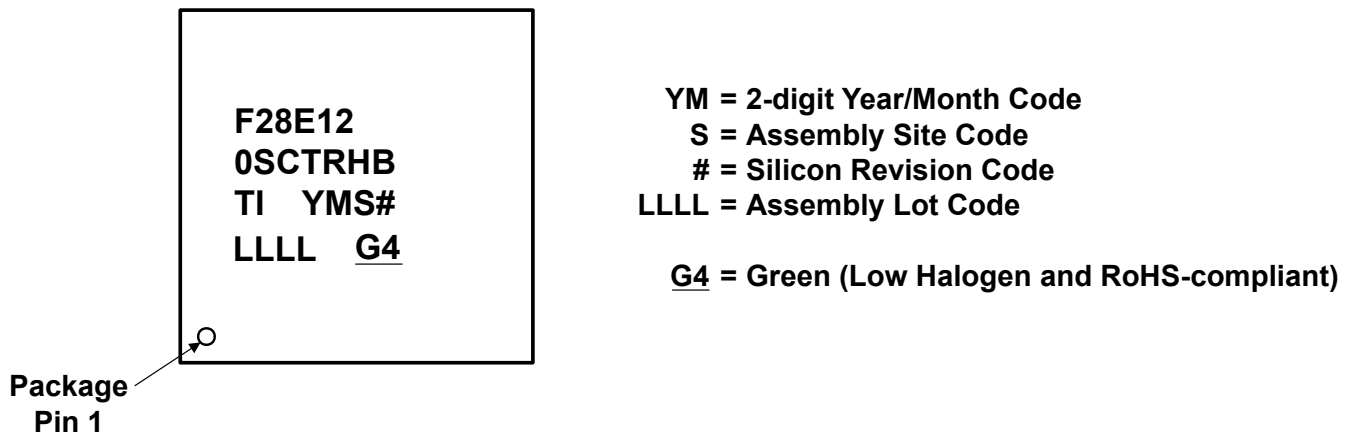


图 9-4. RHB 封装的封装编号法

表 9-1. 版本标识

器件修订版本代码	器件修订版本	REVID ⁽¹⁾ 地址：0x5D006	注释
空白	0	0x0000 0001	该器件修订版本的代码为 TMX 和 TMS。

(1) 器件修订版本 ID

9.3 工具与软件

TI 提供广泛的开发工具。下面是部分用于评估器件性能、生成代码和开发解决方案的工具和软件。若要查看 C2000™ 实时控制 MCU 的所有可用工具和软件，请访问 [C2000 实时微控制器](#) 页面。

开发工具

TI Resource Explorer

要增强您的体验，请务必查看 TI Resource Explorer 以浏览应用的示例、库和文档。

软件工具

用于 C2000 MCU 的 C2000Ware

用于 C2000™ MCU 的 C2000Ware 是一系列紧密相关的软件和文档，旨在尽可能缩短软件开发时间。它包括特定于器件的驱动程序、库和外设示例。

DigitalPower SDK

DigitalPower SDK 包含一套紧密相关的软件基础架构、工具和文档，旨在尽可能缩短基于 C2000 MCU 的数字电源系统的开发时间，可适用于各种交流/直流、直流/直流和直流/交流电源应用。该软件包含可运行于 C2000 数字电源评估模块 (EVM) 的固件和适用于太阳能、电信、服务器、电动汽车充电器和工业电力输送应用的 TI Designs (TID)。DigitalPower SDK 包含数字电源应用在开发和评估等各阶段所需的所有资源。

MotorControl SDK

MotorControl SDK 包含一系列紧密相关的软件架构、工具和文档，旨在尽可能缩短基于 C2000 MCU 的电机控制系统开发时间，适用于各种三相电机控制应用。软件包含可运行于 C2000 电机控制评估模块 (EVM) 的固件和适用于工业驱动和其他电机控制的 TI Designs (TID)。MotorControl SDK 包含高性能电机控制应用在开发和评估等各阶段所需的所有资源。

Code Composer Studio™ 集成开发环境 (IDE)

Code Composer Studio 是一款适用于 TI 微控制器和处理器的集成开发环境 (IDE)。它包含一整套用于开发和调试嵌入式应用的工具。Code Composer Studio 可在 Windows®、Linux® 和 macOS® 桌面上下下载。此外，可以通过访问 <https://dev.ti.com>，在云中使用它。Code Composer Studio 包含用于优化的 C/C++ 编译器、源代码编辑器、项目构建环境、调试器、性能分析器以及很多其他功能。直观的 IDE 将引导您完成应用开发流程的每个步骤熟悉的工具和界面让您能够比以前更快地上手。Code Composer Studio 的桌面版本将 Eclipse 软件框架的优势与 TI 先进的功能相结合，提供了一种功能丰富的优异开发环境。基于云的 Code Composer Studio 利用 Theia 应用程序框架，无需下载和安装大量软件即可在云中进行开发。

SysConfig 系统配置工具

SysConfig 是一个全面的图形实用程序集合，用于配置引脚、外设、无线电、子系统和其他组件。SysConfig 可助您直观地管理、发现和解决冲突，以便您有更多时间创建差异化应用。该工具的输出包括 C 头文件和代码文件，这些文件可与软件开发套件 (SDK) 示例配合使用，或用于配置定制软件。SysConfig 工具会自动选择满足输入要求的 pinmux 设置。SysConfig 工具作为独立安装程序集成在 CCS 中，也可以通过 dev.ti.com 云工具门户使用。有关 SysConfig 系统配置工具的更多信息，请访问 [系统配置工具](#) 页面。

C2000 第三方搜索工具

TI 与多家公司携手推出适用于 TI C2000 器件的各种解决方案和服务。这些公司可使用 C2000 器件加速量产流程。下载此搜索工具，快速浏览第三方详细信息，并寻找合适的第三方来满足您的需求。

UniFlash 独立闪存工具

UniFlash 是一个独立工具，用于通过 GUI、命令行或脚本接口对片上闪存进行编程。

模型

您可以从产品的“设计与开发”页面下载各种模型。这些模型包括 I/O 缓冲器信息规范 (IBIS) 模型和边界扫描描述语言 (BSDL) 模型。若要查看所有可用模型，请访问每个器件的 *设计与开发* 页面的 *设计工具与仿真* 部分。

培训

为帮助设计工程师充分利用 C2000 微控制器的特性和性能，TI 开发了各种培训资源。通过利用在线培训资料和可下载的实际操作技术讲座，可方便地获得关于 C2000 微控制器系列的全方位的实际知识。这些培训资源旨在简化学习过程，同时缩短开发时间并加快产品上市速度。有关各种培训资源的更多信息，请访问 [C2000 实时微控制器](#) 页面。

9.4 文档支持

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击 *通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

下面列出了介绍处理器、相关外设以及其他配套技术资料的最新文档。

备注

TI 正在过渡到使用更具包容性的术语。某种语言可能与您期望在特定技术领域看到的语言不同。

勘误

[F28E12x 实时 MCU 器件勘误表](#) 介绍了有关器件的已知公告，并给出了权变措施。

技术参考手册

[F28E12x 实时微控制器技术参考手册](#) 详述了 F28E12x 实时微控制器中每个外设和子系统的集成、环境、功能说明和编程模型。

CPU 用户指南

[TMS320C28x CPU 和指令集参考指南](#) 介绍了 TMS320C28x 定点数字信号处理器 (DSP) 的中央处理单元 (CPU) 和汇编语言指令。此参考指南还介绍了这些 DSP 上可用的仿真特性。

[TMS320C28x 扩展指令集技术参考手册](#) 介绍了 TMU、VCU-II 和 FPU 加速器的架构、流水线和指令集。

外设指南

[C2000 实时微控制器外设参考指南](#) 介绍了适用于 TMS320x28x 和 F29x 器件的所有外设。此参考指南介绍了每个器件使用的外设，并提供了外设的说明。

工具指南

[TMS320C28x 汇编语言工具 v22.6.0.LTS 用户指南](#) 介绍了用于 TMS320C28x 器件的汇编语言工具 (用于开发汇编语言代码的汇编器和其他工具)、汇编器指令、宏、通用目标文件格式和符号调试指令。

[TMS320C28x 优化 C/C++ 编译器 v22.6.0.LTS 用户指南](#) 介绍了 TMS320C28x C/C++ 编译器。此编译器接受 ANSI 标准 C/C++ 源代码，并为 TMS320C28x 器件生成 TMS320 DSP 汇编语言源代码。

应用手册

[SMT 和封装应用手册](#) 网站列出了有关 TI Surface Mount Technology (SMT) 的文档以及涵盖各种封装相关主题的应用手册。

[半导体包装方法](#) 介绍了向最终用户发货时对半导体器件使用的包装方法。

[计算嵌入式处理器的有效使用寿命](#) 介绍了如何计算 TI 嵌入式处理器 (EP) 在电子系统中运行时的有效使用寿命。本文档的目标读者为希望确定 TI EP 的可靠性是否符合终端系统可靠性要求的总工程师。

IBIS (I/O 缓冲器信息规范) 建模简介讨论了 IBIS 的各个方面，包括其历史、优势、兼容性、模型生成流程、输入/输出结构建模中的数据要求以及未来趋势。

C2000™ 微控制器的串行闪存编程介绍了使用闪存内核和 ROM 加载程序对器件进行串行编程。

使用 C2000™ 实时微控制器的基本开发指南更深入探究了使与实时控制系统相关的 C2000 微控制器 (MCU) 脱颖而出的器件。

将软件从 8 位 (字节) 可寻址 CPU 迁移到 C28x CPU讨论了将软件从 8 位 (字节) 可寻址 CPU 迁移到 C28x CPU 的常见场景，并提供了有关如何开发应用程序而不考虑可寻址性的指南。

“F2800x C2000™ 实时 MCU 系列的硬件设计指南” 应用手册是使用 C2000 器件的硬件开发人员的基本指南，有助于简化设计过程，同时降低设计故障的可能性。论述的主要主题包括：电源要求、通用输入/输出 (GPIO) 连接、模拟输入和 ADC、时钟生成和要求以及 JTAG 调试等。

9.5 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的**使用条款**。

9.6 商标

C2000™, TMS320C2000™, Code Composer Studio™, and TI E2E™ are trademarks of Texas Instruments. Arm® and Cortex® are registered trademarks of Arm Limited (or its subsidiaries or affiliates) in the US and/or elsewhere.

Windows® is a registered trademark of Microsoft Corporation.

Linux® is a registered trademark of Linus Torvalds.

macOS® is a registered trademark of Apple Inc.

所有商标均为其各自所有者的财产。

9.7 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.8 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

Changes from SEPTEMBER 9, 2025 to OCTOBER 22, 2025 (from Revision A (September 2025) to Revision B (October 2025))

	Page
• 特性部分：将 ADC 速度从 9.4MSPS 更改为 8.9MSPS。.....	1
• 器件比较部分：将 ADC 速度从 68.75ns/9.4MSPS 更改为 112.36ns/8.9MSPS。.....	6
• 器件比较部分：删除了“内部 3.3V 至 1.2V 稳压器 (VREG)”表格行。.....	6
• 电源和接地表：向 VDD3VFL、VDDA、VDDIO 和 VDDOSC 的说明中添加了“将该引脚连接到 3.3V 电源”。.....	21
• GPIO 和 ADC 分配表：将“F2800135V”更改为“64 VPM”。.....	34
• 将 30 度环境下的典型 VDDIO 工作模式电流消耗从 32mA 更改为 28mA.....	37
• 将 30 度环境下的典型 VDDA 工作模式电流消耗从 2.5mA 更改为 3.3mA.....	37

• 将 125 度环境下的最大 VDDA 工作模式电流消耗从 6.5mA 更改为 7mA.....	37
• 将 125 度环境下的最大 VDDIO 空闲模式电流消耗从 27mA 更改为 29mA.....	37
• 将 30 度环境下的典型 VDDA 空闲模式电流消耗从 0.01mA 更改为 2.5mA.....	37
• 将 125 度环境下的最大 VDDA 待机模式 (PLL 已启用) 电流消耗从 0.1mA 更改为 4.0mA.....	37
• 将 30 度环境下的典型 VDDIO 复位模式电流消耗从 8mA 更改为 12.5mA.....	37
• 将 30 度环境下的典型 VDDA 复位模式电流消耗从 0.01mA 更改为 1mA.....	37
• 电流消耗图 部分：更新了数字。.....	40
• 电流消耗图 部分：新增了该部分.....	40
• PMM 方框图：更新了图。.....	43
• 外部监控器使用情况 部分：更新了部分，删除提到的 VDD 内容。.....	44
• 内部上电序列 部分：更新了标题和部分，删除提到的 VDD 和 VREG 内容。.....	45
• 内部上电序列摘要表：更新了标题，删除提到的 VDD 内容。.....	46
• 建议运行条件对 PMM 的适用性 部分：更新了部分，删除提到的 VREG 内容。.....	47
• 将最小电源斜升率从 20mV/us 更改为 3mV/us.....	48
• 将上电时间从 350us 更改为 40us.....	48
• 将浪涌电流从 80mA 更改为 45mA.....	48
• 将电源斜升后的 XRSn 释放延迟从 40us 更改为 320us.....	48
• 将 VDDIO BOR 事件后的 XRSn 释放延迟从 40us 更改为 360us.....	48
• 将 VDDIO POR 事件后的 XRSn 释放延迟从 120us 更改为 440us.....	48
• 上电复位图：删除了图中的 VDD。.....	50
• 将最大 PLL 锁定时间从 15us 更改为 786*tC(OSCLK) us.....	53
• 将最低 INTCLK 频率从 2MHz 更改为 4MHz.....	53
• 将最高 INTCLK 频率从 20MHz 更改为 25MHz.....	53
• 将最低 VCOCLK 频率从 220MHz 更改为 160MHz.....	53
• 将最高 VCOCLK 频率从 600MHz 更改为 400MHz.....	53
• 将最低 PLLRAWCLK 频率从 6MHz 更改为 5MHz.....	53
• 将最高 PLLRAWCLK 频率从 240MHz 更改为 200MHz.....	53
• 更改了标称 PLL 应急频率计算公式.....	53
• 将最小 LSPCLK 周期从 8.33ns 更改为 6.25ns.....	53
• 添加了 WROSC 频率表.....	60
• RAM 规格 部分：新增了该部分.....	62
• ROM 规格 部分：新增了该部分.....	62
• 参考汇总表：将 CONFIG8 位字段名称替换为了 ANAREFSEL。.....	77
• 模数转换器 (ADC) 部分：更新了“每个 ADC 都具有以下特性”下的要点。.....	80
• 将 ADCCLK 转换周期从 11 个 ADCCLK 更改为 12 个 ADCCLK.....	84
• 将 2.5V 基准电压下的典型 VREFHI 输入电流从 40uA 更改为 200uA.....	84
• 将 1.65V 基准电压下的典型 VREFHI 输入电流从 40uA 更改为 130uA.....	84
• 将典型增益误差 (采用外部基准) 从 +/-3LSB 更改为最小值 -5LSB.....	84
• 将典型增益误差 (采用外部基准) 从 +/-3LSB 更改为最大值 5LSB.....	84
• 将典型失调电压误差从 +/-2LSB 更改为最小值 -5LSB.....	84
• 将典型失调电压误差从 +/-2LSB 更改为最大值 5LSB.....	84
• 将典型 DNL 误差从 -0.999 至 1LSB 更改为最小值 >-1LSB.....	84
• 将典型 DNL 误差从 -0.999 至 1LSB 更改为最大值 1LSB.....	84
• 将典型 INL 误差更改为最小值和最大值.....	84
• 将典型 THD 从 -80dB 更改为 -77dB.....	84
• 每个引脚的 ADC 性能 部分：新增了该部分.....	86
• 48 引脚 PT LQFP 的每通道寄生电容表：更新了表.....	87
• 32 引脚 RHB VQFN 的每通道寄生电容表：更新了表.....	87
• 32 引脚 VFC LQFP 的每通道寄生电容表：更新了表.....	87

• 将 1 倍增益下的最小迟滞电压从 2mV 更改为 1mV.....	94
• 将 2 倍增益下的最小迟滞电压从 8mV 更改为 7mV.....	94
• 将 3 倍增益下的最小迟滞电压从 15mV 更改为 14mV.....	94
• 将 4 倍增益下的最小迟滞电压从 20mV 更改为 19mV.....	94
• 将 5 倍增益下的最小迟滞电压从 26mV 更改为 25mV.....	94
• 将 6 倍增益下的最小迟滞电压从 32mV 更改为 31mV.....	94
• 将 7 倍增益下的最小迟滞电压从 38mV 更改为 37mV.....	94
• 将最小静态 INL 从 -5LSB 更改为 -7LSB.....	95
• 将最大静态 INL 从 5LSB 更改为 7LSB.....	95
• 将负载调整率从典型值 +/- 1mV/V 更改为最小值 -1mV/V.....	97
• 将负载调整率从典型值 +/- 1mV/V 更改为最大值 1mV/V.....	97
• 添加了电压输出压摆率最小值.....	97
• 将电压输出压摆率典型值从 2.5V/us 更改为 4.5V/us.....	97
• 添加了电压输出压摆率最大值.....	97
• 将负载瞬态趋稳时间最大值从 700ns 更改为 750ns.....	97
• 添加了失调电压误差最小值.....	97
• 删除了失调电压误差典型值.....	97
• 添加了失调电压误差最大值.....	97
• 添加了 DNL 最小值.....	97
• 删除了 DNL 典型值.....	97
• 添加了 DNL 最大值.....	97
• 添加了 INL 最小值.....	97
• 删除了 INL 典型值.....	97
• 添加了 INL 最大值.....	97
• 更改了所有增益下的最小 ADC S+H 趋稳时间.....	99
• 将增益为 2/-1 时的典型 R_{ia} 值从 14kOhms 更改为 16kOhms.....	99
• 将增益为 4/-3 时的典型 R_{ia} 值从 7kOhms 更改为 8kOhms.....	99
• 将增益为 2/-1 时的典型 R_{ib} 值从 14kOhms 更改为 16kOhms.....	99
• 将增益为 4/-3 时的典型 R_{ib} 值从 21kOhms 更改为 24kOhms.....	99
• 更改了增益从 2,-1 至 32,-31 的最小和最大增益误差.....	99
• eQEP 方框图 ：更新了图.....	107
• 闪存存储器映射表 ：从“器件型号”列中删除了 F2800135V。.....	129
• 直接存储器存取 (DMA) 部分：添加了有关 DMA 存取受 EALLOW 保护的外设寄存器的注释。.....	135
• 直接存储器存取 (DMA) ：更新了图表和“DMA 特性包括”列表，以添加对 PGA 和 CMPSS 外设寄存器的存取权限。在方框图中添加了来自 C28x 的软件触发器作为触发源。.....	135
• 卷带包装 章节：向“卷带包装”表中添加了 32VFC 和 48PT 器件。.....	165

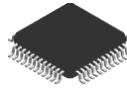
Changes from JULY 27, 2025 to SEPTEMBER 8, 2025
Page

• 卷带包装信息 章节：添加了 XF28E120SBTRHBR.....	165
---	-----

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

若要了解关于 TI 封装的更多信息，请访问[封装](#)网站。

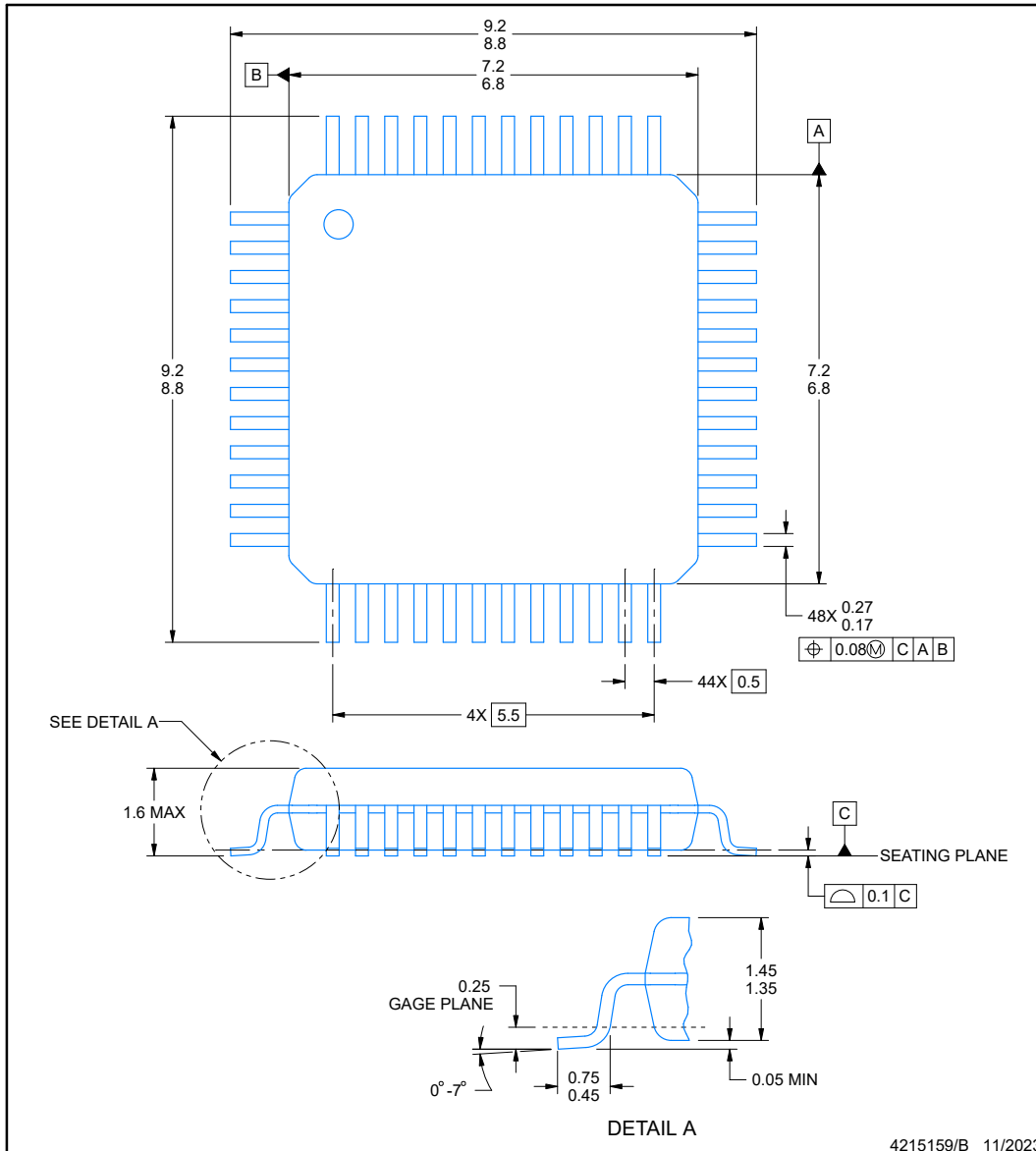


PT0048A

PACKAGE OUTLINE

LQFP - 1.6 mm max height

LOW PROFILE QUAD FLATPACK



NOTES:

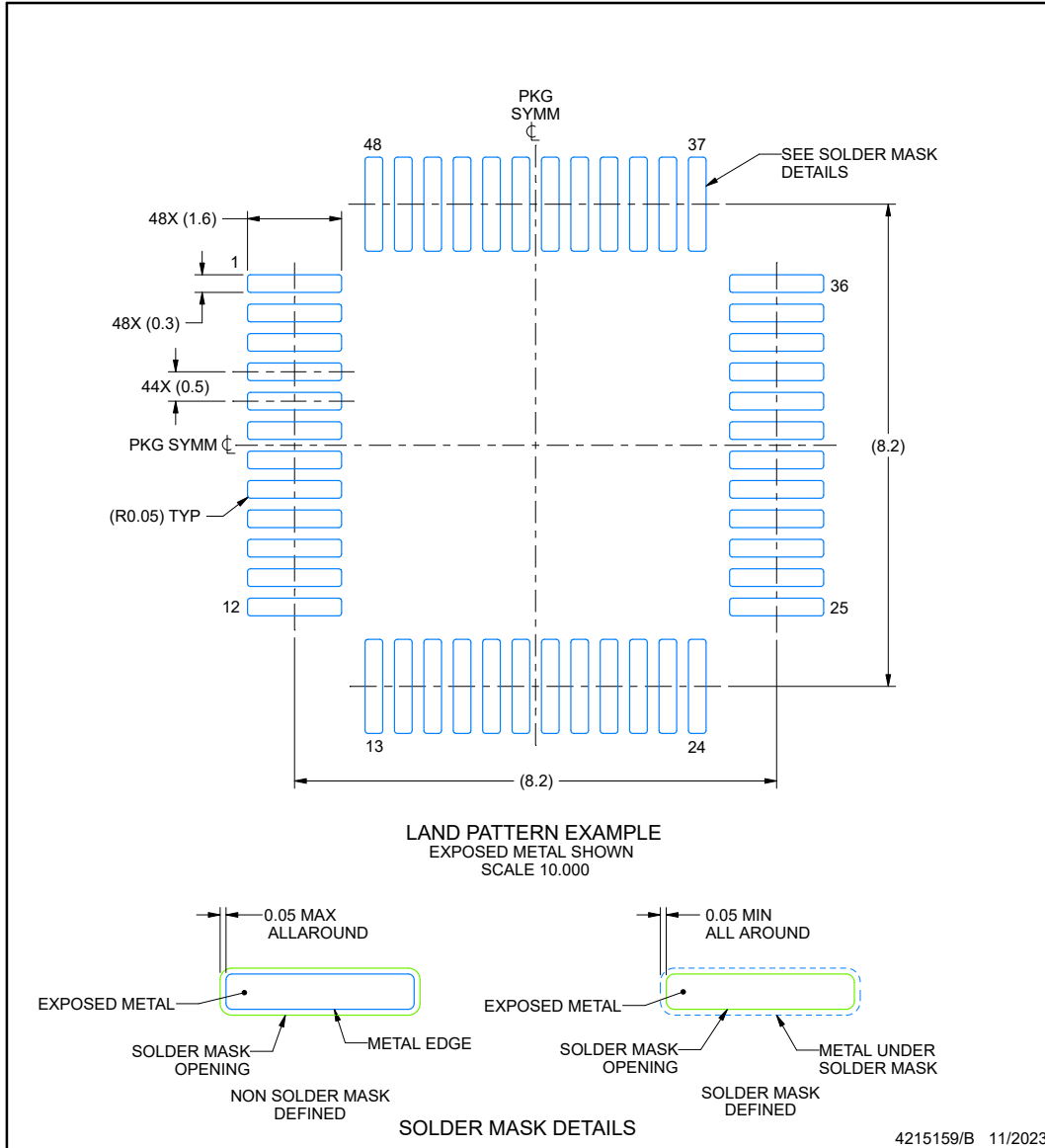
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026.
4. This may also be a thermally enhanced plastic package with leads connected to the die pads.

EXAMPLE BOARD LAYOUT

PT0048A

LQFP - 1.6 mm max height

LOW PROFILE QUAD FLATPACK



NOTES: (continued)

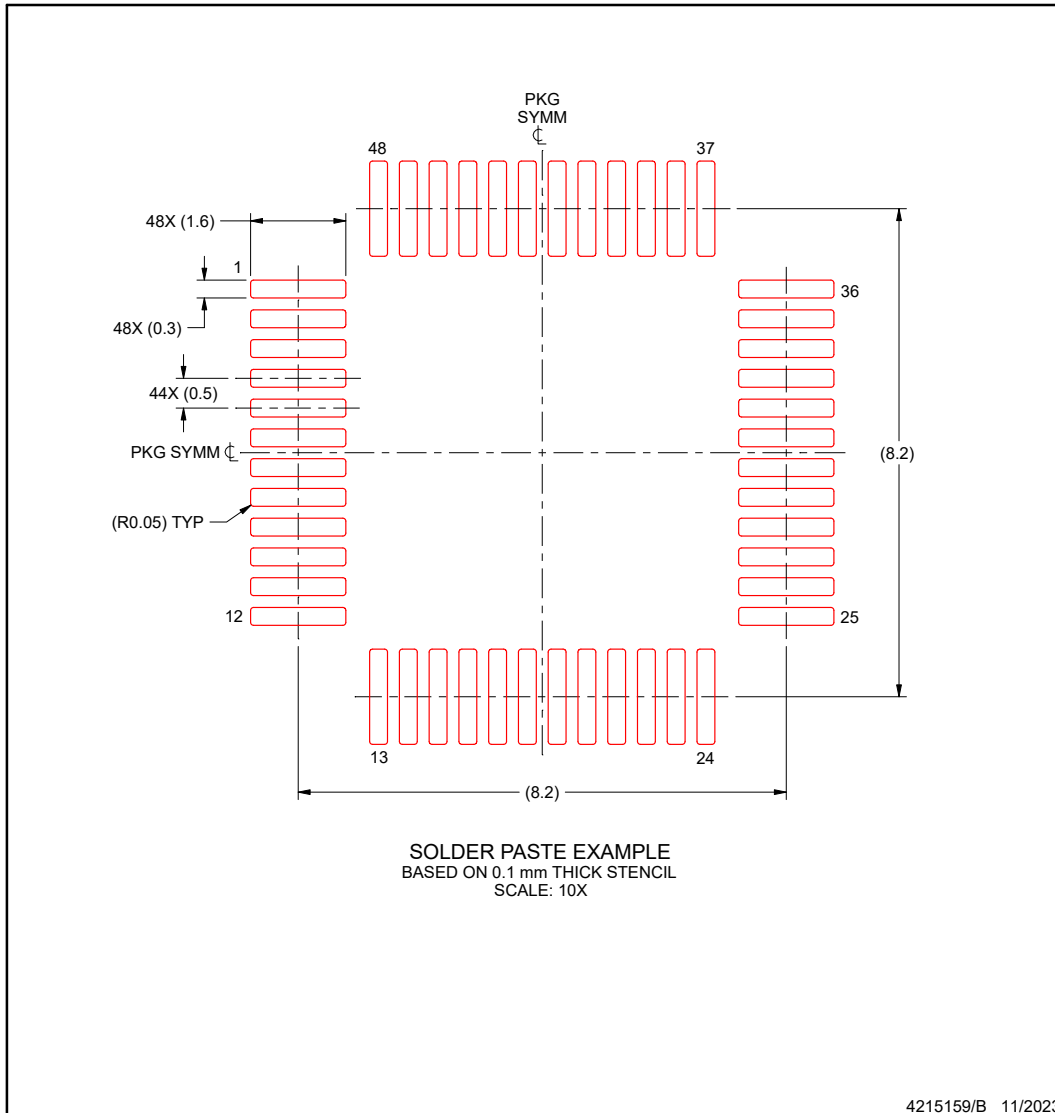
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PT0048A

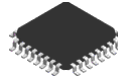
LQFP - 1.6 mm max height

LOW PROFILE QUAD FLATPACK



NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

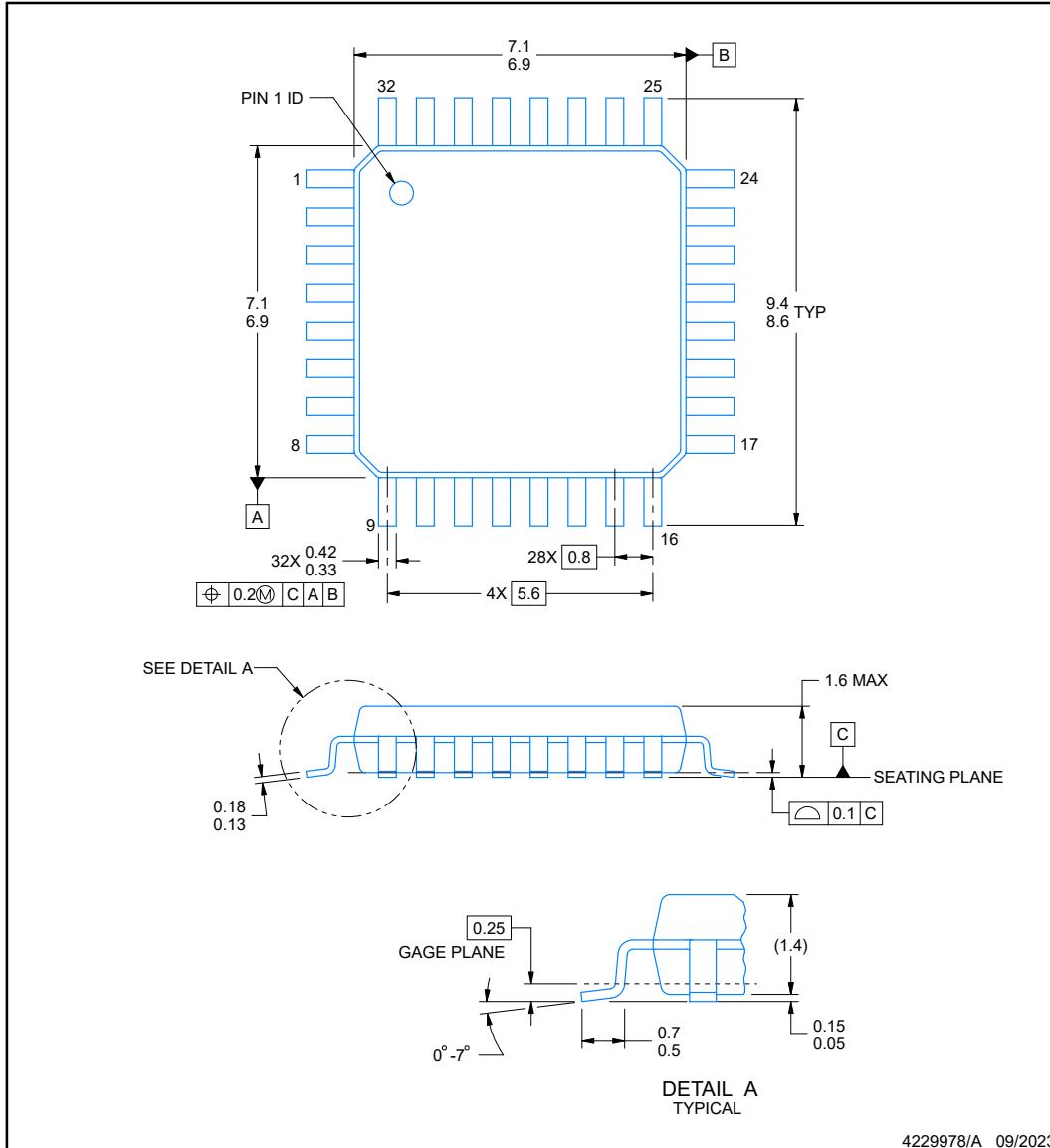


VFC0032A

PACKAGE OUTLINE

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



NOTES:

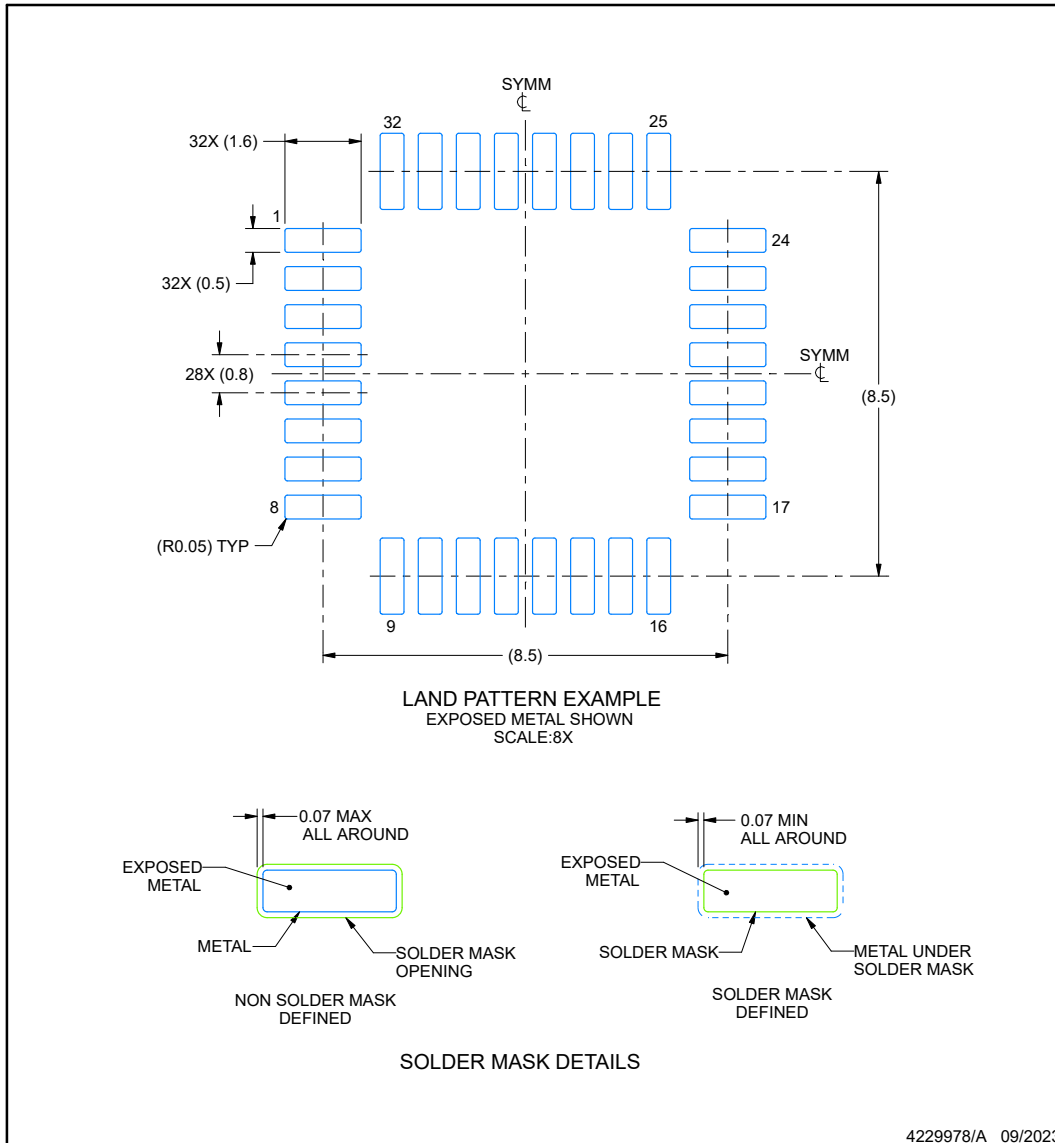
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Reference JEDEC registration MS-026.

EXAMPLE BOARD LAYOUT

VFC0032A

LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



NOTES: (continued)

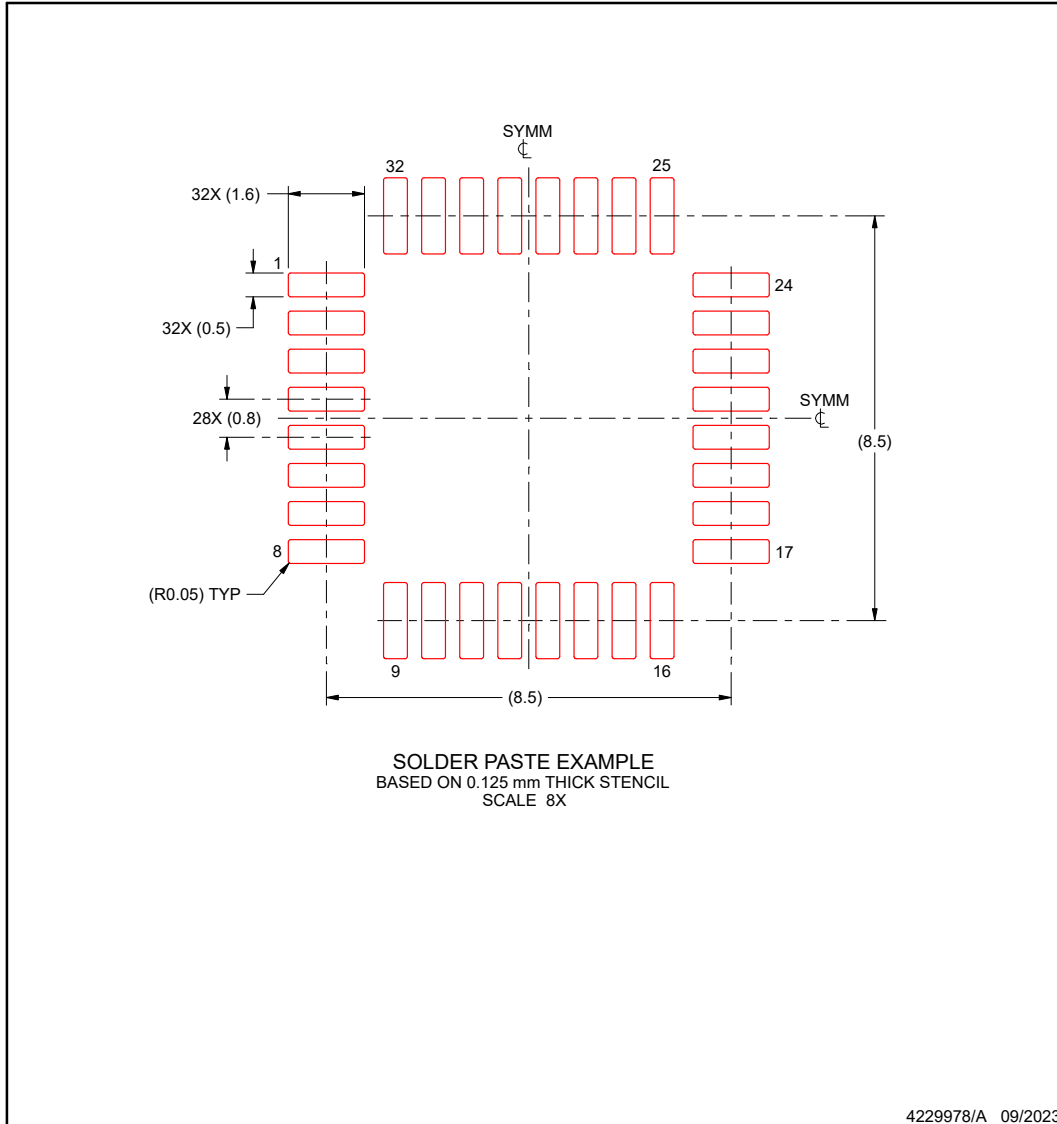
4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

VFC0032A

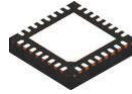
LQFP - 1.6 mm max height

PLASTIC QUAD FLATPACK



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

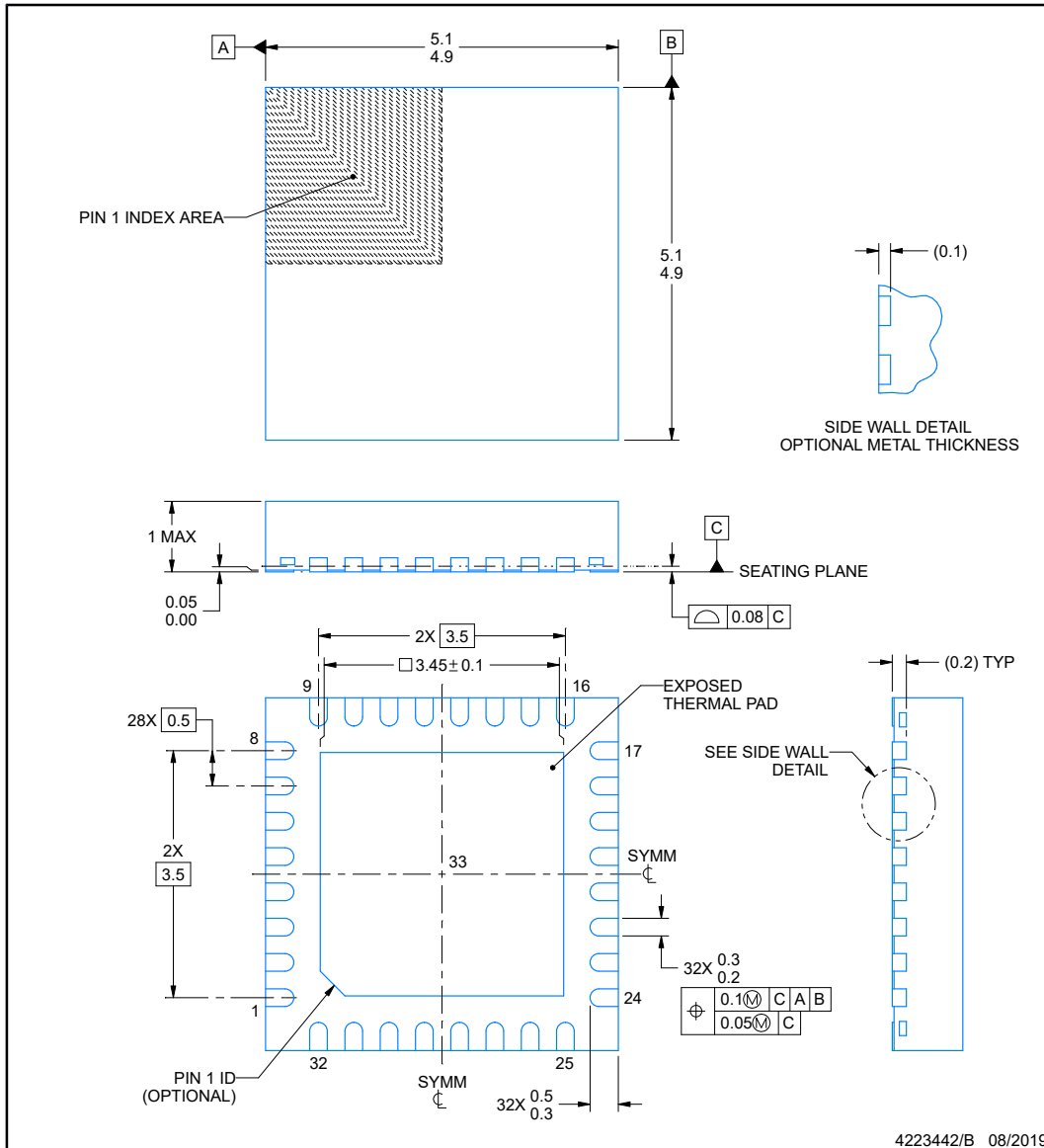


RHB0032E

PACKAGE OUTLINE

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES:

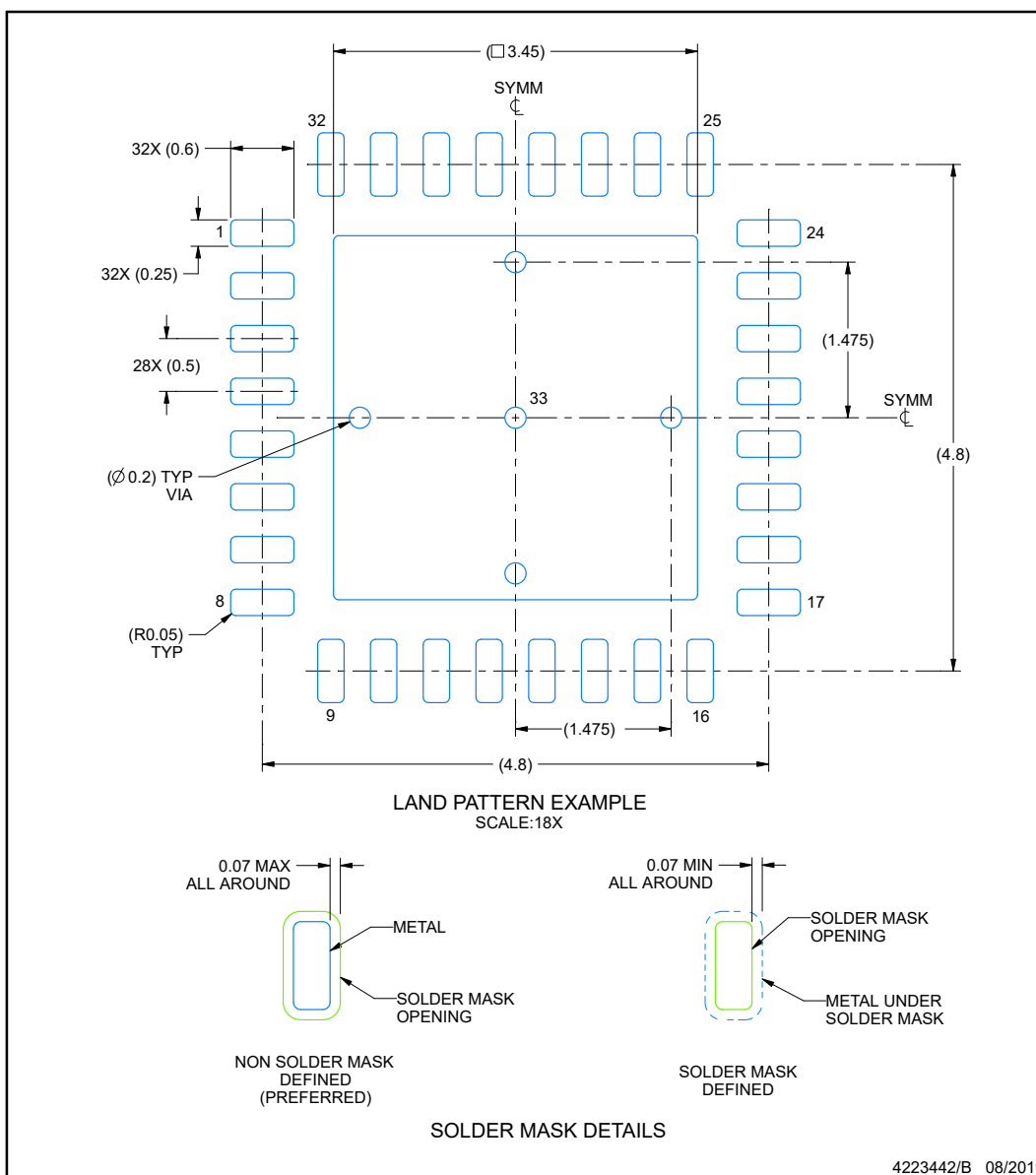
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

EXAMPLE BOARD LAYOUT

RHB0032E

VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

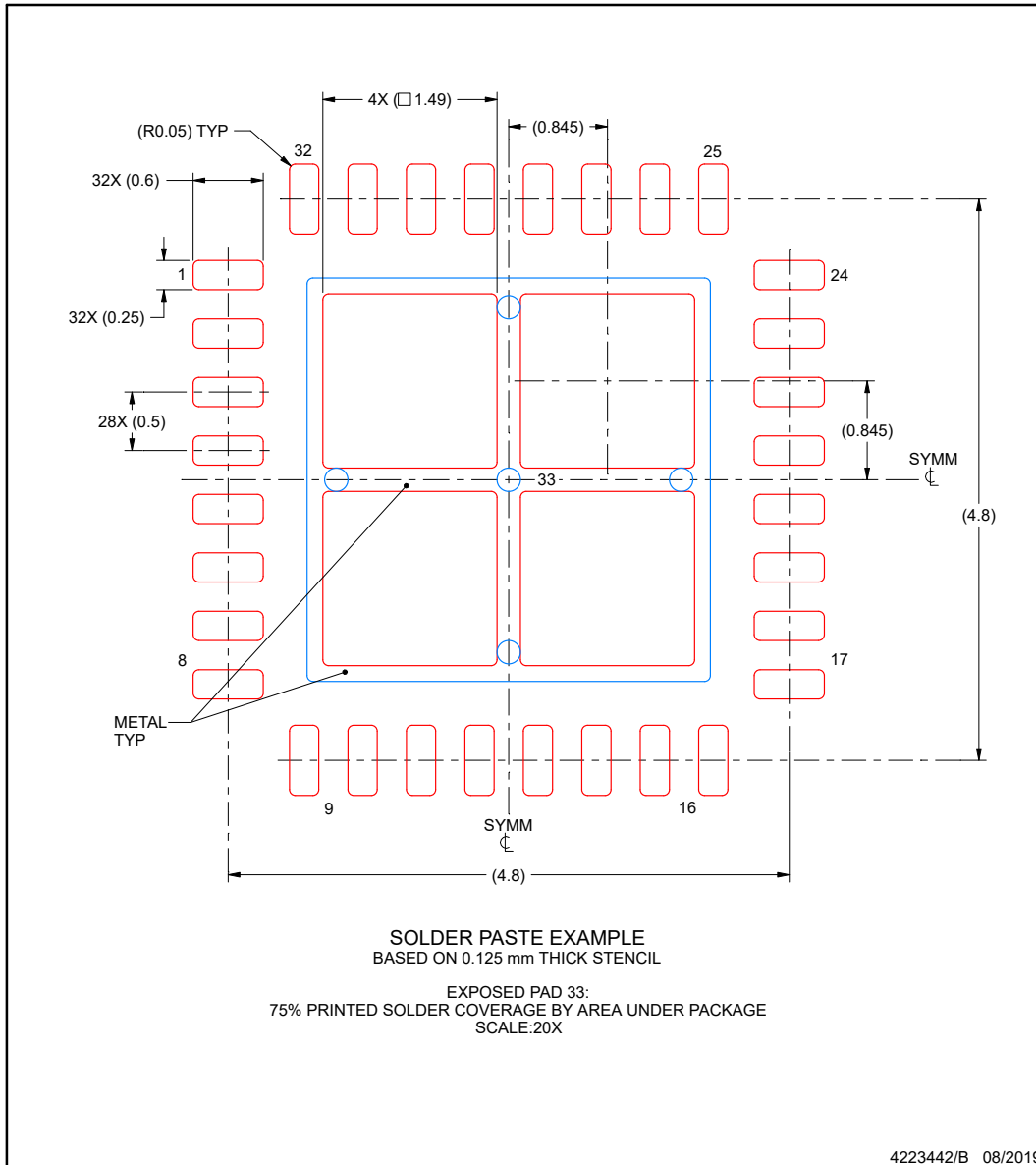
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sl原因271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

RHB0032E

VQFN - 1 mm max height

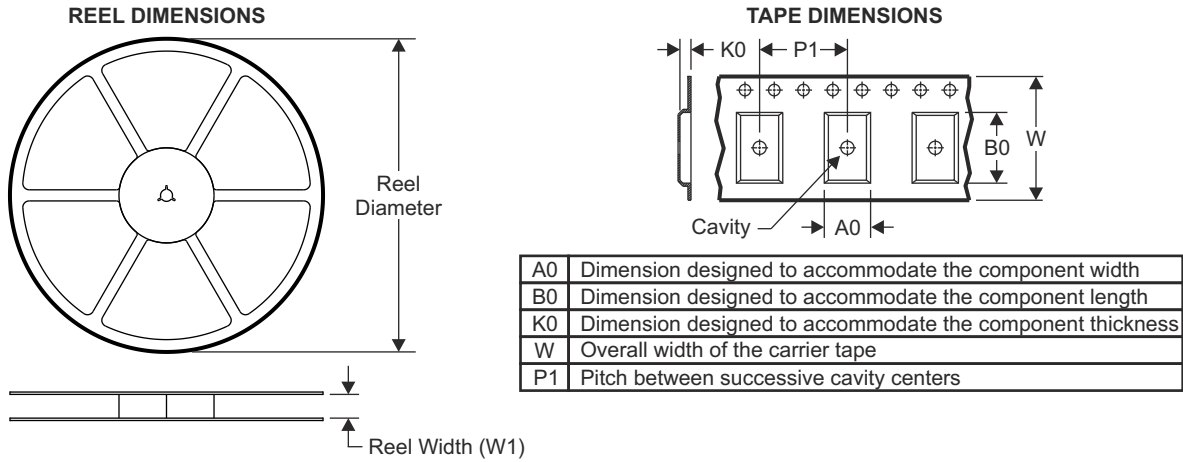
PLASTIC QUAD FLATPACK - NO LEAD



NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

卷带包装信息

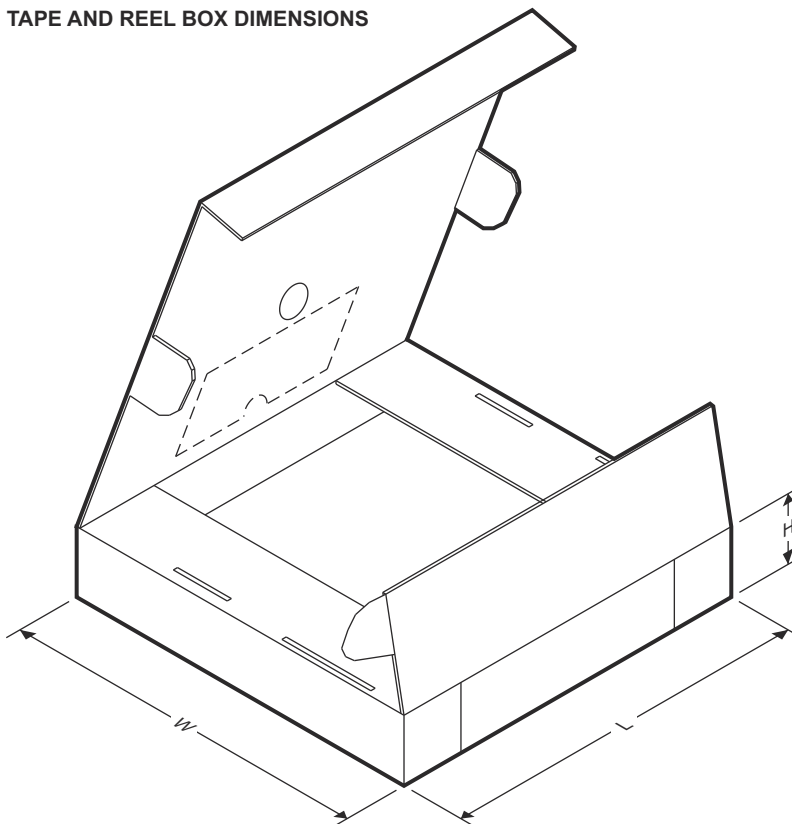


QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



器件	封装类型	封装图	引脚	SPQ	卷带直径 (mm)	卷带宽度 W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 象限
F28E120SCTRHBR	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
F28E120SBTRHBR	VQFN	RHB	32	3000	330.0	12.4	5.3	5.3	1.1	8.0	12.0	Q2
F28E120SCTVFCR	LQFP	VFC	32	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2
F28E120SBTVFCR	LQFP	VFC	32	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2
F28E120SCTPTR	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2
F28E120SBTPTR	LQFP	PT	48	1000	330.0	16.4	9.6	9.6	1.9	12.0	16.0	Q2

TAPE AND REEL BOX DIMENSIONS



器件	封装类型	封装图	引脚	SPQ	长度 (mm)	宽度 (mm)	高度 (mm)
F28E120SCTRHBR	VQFN	RHB	32	3000	367.0	367.0	35.0
F28E120SBTRHBR	VQFN	RHB	32	3000	367.0	367.0	35.0
F28E120SCTVFCR	LQFP	VFC	32	1000	367.0	367.0	35.0
F28E120SBTVFCR	LQFP	VFC	32	1000	367.0	367.0	35.0
F28E120SCTPTR	LQFP	PT	48	1000	367.0	367.0	35.0
F28E120SBTPTR	LQFP	PT	48	1000	367.0	367.0	35.0

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
F28E120SCTPTR	Active	Production	LQFP (PT) 48	1000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 105	E120SCTPT F28
XF28E120SBTRHBR	Active	Preproduction	VQFN (RHB) 32	5000 LARGE T&R	-	Call TI	Call TI	-40 to 105	
XF28E120SCTPT	Active	Preproduction	LQFP (PT) 48	250 JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 105	
XF28E120SCTRHBR	Active	Preproduction	VQFN (RHB) 32	5000 LARGE T&R	-	Call TI	Call TI	-40 to 105	
XF28E120SCTVFC	Active	Preproduction	LQFP (VFC) 32	250 JEDEC TRAY (10+1)	-	Call TI	Call TI	-40 to 105	

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "-" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 [TI 销售条款](#)、[TI 通用质量指南](#) 或 [ti.com](#) 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月